(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2011 年 9 月 1 日(01.09.2011)

PCT

(10) 国際公開番号
WO 2011/105282 A1

(51) 国際特許分類:
H01L 21/3213 (2006.01) *H01L 21/3065* (2006.01)
C23F 1/38 (2006.01) *H01L 21/3205* (2006.01)
C23F 4/00 (2006.01) *H01L 21/336* (2006.01)
G09F 9/30 (2006.01) *H01L 23/52* (2006.01)
H01L 21/306 (2006.01) *H01L 29/786* (2006.01)

(21) 国際出願番号: PCT/JP2011/053406

(22) 国際出願日: 2011 年 2 月 17 日(17.02.2011)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2010-040795 2010 年 2 月 25 日(25.02.2010) JP

(71) 出願人 (米国を除く全ての指定国について): シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町２２番２２号 Osaka (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 大平　真也 (OHHIRA SHINYA).

(74) 代理人: 特許業務法人原謙三国際特許事務所 (HARAKENZO WORLD PATENT & TRADEMARK); 〒5300041 大阪府大阪市北区天神橋２丁目北２番６号　大和南森町ビル Osaka (JP).

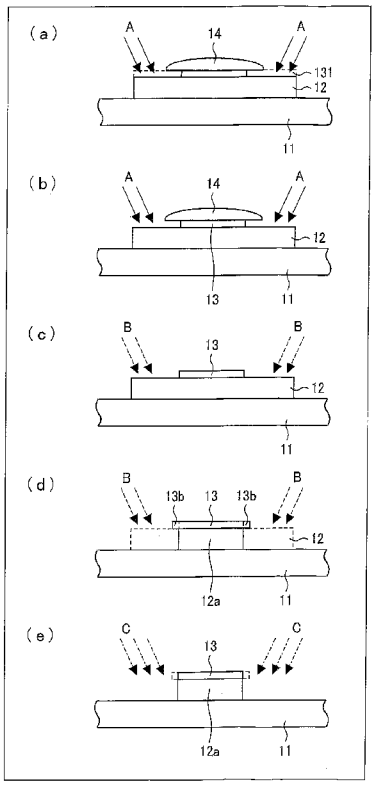
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) **Title**: METHOD FOR FORMING CONDUCTOR TRACES AND METHOD FOR MANUFACTURING SEMICONDUCTOR SUBSTRATES

(54) 発明の名称 : 配線形成方法、および、半導体基板の製造方法

[図1]



(57) **Abstract**: Disclosed is a method for forming conductor traces. The method includes the steps of: depositing a metallic thin film (12) of copper (Cu) on a glass substrate (11) serving as a base; forming an insulating film or a Cu-free metallic insulating film (131) on the metallic thin film (12); patterning a photoresist (14) by photolithography on the insulating film (131); etching a liner film (13) by isotropic dry etching using the photoresist (14) as an etching mask; and after the etching of the liner film (13), removing the photoresist (14), and then removing part of the metallic thin film (12) by isotropic wet etching using the liner film (13) as an etching mask, thereby forming metallic conductor traces (12a).

(57) 要約: 本発明の配線形成方法は、基材としてのガラス基板（１１）上にＣｕを含む金属薄膜（１２）を成膜する工程と、金属薄膜（１２）上に、絶縁膜またはＣｕを含まない金属膜である絶縁膜（１３１）を形成する工程と、絶縁膜（１３１）上に、フォトリソグラフィーを用いてフォトレジスト（１４）をパターニングする工程と、等方性のドライエッチングを用いて、フォトレジスト（１４）をエッチングマスクとしてライナー膜（１３）をエッチングする工程と、ライナー膜（１３）のエッチング後、フォトレジスト（１４）を除去し、ライナー膜（１３）をエッチングマスクとして等方性のウエットエッチングを行い、金属薄膜（１２）を部分的に除去し、金属配線（１２ａ）を形成する工程と、を含む。

WO 2011/105282 A1

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ： 配線形成方法、および、半導体基板の製造方法

技術分野

[0001] 本発明は、基板上にＣｕ配線を形成する方法、および、Ｃｕ配線を含む半導体基板の製造方法に関する。

背景技術

[0002] 半導体デバイスを高集積化するために配線を微細化し、また、半導体デバイスの動作速度を高速化するために配線電流密度を増大させると、エレクトロマイグレーションによる配線の信頼性低下が問題となる。

[0003] 現在、半導体デバイスに広く用いられているＡｌ配線は、エレクトロマイグレーション耐性に劣るため、これに代わる種々の配線材料が検討されている。ＣｕはＡｌに代わる配線材料のひとつとして注目されている。

[0004] Ｃｕ配線形成の方法としては、基板上に形成したＣｕ薄膜上に、レジストとしてフォトレジストを形成した後、フォトリソグラフィーにてパターニングし、等方性エッチングであるウエットエッチングを行う方法が挙げられる。

[0005] しかしながら、この方法では、図２の（ａ）に示すように、配線の一部に、配線幅が細くなったり、配線高さが低くなる箇所が存在し、断線が生じたり抵抗が増大したりしてしまうという問題が発生する。

[0006] これは、Ｃｕ薄膜の表面は、比較的低温で酸化等の表面反応を起こしやすく、その状態が不安定なことが原因であり、Ｃｕ薄膜の表面状態によってはフォトレジストとの密着力が極めて低下する場合がある。

[0007] フォトレジストとＣｕ薄膜表面との密着力が弱いと、Ｃｕ薄膜上にフォトレジストを形成してパターニングする際に、局所的にレジストが浮き上がってしまい、上記のような問題が発生する。

[0008] このように、レジストがＣｕ薄膜表面に密着されていないと、設計通りの寸法（配線幅および配線高さ）で配線を形成することができない。

[0009] また、特許文献１には、異方性エッチングであるＲＩＥ（Reactive Ion Etching；反応性イオンエッチング）法を用いて、Ｃｕを配線形状にエッチング加工するという技術が開示されている。

[0010] このＣｕ配線形成技術では、図９の（ａ）に示すように、下地１１０上に、ＴｉＮバリア層１１２（下層のバリア層）、Ｃｕ層１１４、及びＴｉＮバリア層１１６（上層のバリア層）を順次積層した後、上層のバリア層であるＴｉＮバリア層１１６上にSiO_2エッチングマスク１１８ａを形成する。

[0011] 次に、ＲＩＥ法により、エッチングマスクを介して上層のＴｉＮバリア層１１６、Ｃｕ層１１４、及び下層のＴｉＮバリア層１１２を順次エッチングし、配線形状に加工する。

[0012] この際、エッチングガスとして、例えば$SiCl_4$、Cl_2、及びN_2の混合ガスを用いる。ここで、エッチングガス中のＳｉ及びＣｌ原子個数の比を制御することにより、図９の（ｂ）に示すように、上層のＴｉＮバリア層１１６、Ｃｕ層１１４、及び下層のバリア層１１２をエッチングしながら、これらのエッチング加工側壁面に側壁バリア層１２２としてSiO_XN_Yバリア層を堆積させる。

[0013] このように、特許文献１のＣｕ配線形成技術では、Ｃｕ層をエッチング加工するときに、エッチングマスクと反応性エッチングガスとの間で反応生成物を生じさせ、この反応生成物を、Ｃｕ層のエッチング加工側壁面１１４ｌに堆積させることにより、側壁バリア層１２２を形成している。

[0014] したがって、エッチングと同時に側壁バリア層１２２を形成できるため、側壁バリア層１２２の形成のための熱処理を省くことができる。このため、側壁バリア層１２２の形成を、半導体素子の劣化を招かないような低温で行うことができる。

先行技術文献

特許文献

[0015] 特許文献1：日本国公開特許公報「特開平７－５８１０８号公報（１９９５年３月３日公開）」

発明の概要

発明が解決しようとする課題

[0016] 上記特許文献１に記載の技術のように、ＲＩＥ法を用いて異方性のドライエッチングを行えば、ウエットエッチングによって配線のパターニングを行う方法と比較して、より微細な加工を行うことができる。

[0017] しかしながら、ＲＩＥ法では真空チャンバー（図９の（ａ）・（ｂ）に示す反応室１２３）などの特殊な装置が必要となり、製造コストが増大してしまうという問題点がある。

[0018] また、Ｃｕは反応蒸気圧が低いために反応速度が極端に遅く、ＲＩＥ法によるドライエッチングでは処理速度が極めて遅なってしまい、生産性が低下するという問題もある。

[0019] 本発明は、上記の問題点に鑑みてなされたものであり、ウエットエッチングを用いて設計どおりの寸法でＣｕ配線を形成する方法を提供することを目的とする。

課題を解決するための手段

[0020] 上記の課題を解決するために、配線形成方法は、基材上にＣｕを含む金属薄膜を成膜する工程と、上記金属薄膜上に絶縁膜またはＣｕを含まない金属膜（すなわち、（１）絶縁膜、および、（２）Ｃｕを含まない金属膜、からなる群より選ばれる何れか一方の膜）を形成する工程と、上記絶縁膜またはＣｕを含まない金属膜上に、フォトリソグラフィーを用いてフォトレジストをパターニングする工程と、等方性のドライエッチングを用いて、上記フォトレジストをエッチングマスクとして上記絶縁膜またはＣｕを含まない金属膜をエッチングする工程と、上記絶縁膜またはＣｕを含まない金属膜のエッチング後、上記フォトレジストを除去し、上記絶縁膜またはＣｕを含まない金属膜をエッチングマスクとして等方性のウエットエッチングを行い、上記金属薄膜を部分的に除去し、金属配線を形成する工程と、を含んでいる。

[0021] 上記の方法においては、Ｃｕを含む金属薄膜とフォトレジストとの間に、エッチング選択性を有するライナー膜として、上記したように絶縁膜または

Ｃｕを含まない金属膜を形成している。

[0022] 絶縁膜またはＣｕを含まない金属膜の表面状態は、Ｃｕの表面状態と比較して酸化等の反応を起こしにくく安定している。そのため、Ｃｕを含む金属薄膜とフォトレジストとの密着力と比較して、絶縁膜（またはＣｕを含まない金属膜）とフォトレジストとの密着力は強い。したがって、上記金属薄膜上に絶縁膜またはＣｕを含まない金属膜を形成し、その上層にフォトレジストを形成すれば、フォトレジストが浮き上がってしまうことがなくなる。

[0023] したがって、上記の方法によれば、フォトレジストと金属薄膜との間に絶縁膜またはＣｕを含まない金属膜を挟むことで、フォトレジストと加工対象となる金属薄膜との密着性が向上し、配線加工の際の局部的な配線パターンの崩れを抑制することができ、配線抵抗の増大、および、断線を招来する配線の欠陥などを無くすことが可能となるという効果が得られる。

[0024] また、上記の方法によれば、金属配線の形成を行う場合に、より簡便な設備および工程で処理が可能なウエットエッチングを用いても、設計どおりの寸法でＣｕを材料とする金属配線を形成することができる。また、Ｃｕを含む金属薄膜は、ＲＩＥ法によるドライエッチングで加工を行うと、処理速度が極めて遅なってしまうという問題もあるが、上記の方法では、本発明ではウエットエッチングを行うため、適度な処理速度で加工を行うことができ、高い生産性を保つことができる。

[0025] 上記の課題を解決するために、半導体基板の製造方法では、上記の配線形成方法を用いて、Ｃｕを含むゲート電極層およびソース電極層をパターニングして半導体素子および配線を形成する。

[0026] 上記の製造方法によれば、配線材料としてＣｕ導電膜を使用した場合に、設計どおりの配線幅および配線高さで配線を形成することができるという効果が得られる。

発明の効果

[0027] 上記したように、配線形成方法は、基材上にＣｕを含む金属薄膜を成膜する工程と、上記金属薄膜上に絶縁膜またはＣｕを含まない金属膜を形成する

工程と、上記絶縁膜またはＣｕを含まない金属膜上に、フォトリソグラフィーを用いてフォトレジストをパターニングする工程と、等方性のドライエッチングを用いて、上記フォトレジストをエッチングマスクとして上記絶縁膜またはＣｕを含まない金属膜をエッチングする工程と、上記絶縁膜またはＣｕを含まない金属膜のエッチング後、上記フォトレジストを除去し、上記絶縁膜またはＣｕを含まない金属膜をエッチングマスクとして等方性のウエットエッチングを行い、上記金属薄膜を部分的に除去し、金属配線を形成する工程と、を含んでいる。

[0028] 上記の方法によれば、金属配線の形成を行う場合に、より簡便な設備および工程で処理が可能なウエットエッチングを用いても、設計どおりの寸法でＣｕを材料とする金属配線を形成することができるという効果を奏する。

図面の簡単な説明

[0029] [図1]（ａ）～（ｅ）は、本発明の一実施の形態にかかる配線形成方法の工程を説明するための図である。

[図2]（ａ）は、従来の配線形成方法によって形成されたＣｕ配線の構成の一例を示す模式図であり、（ｂ）は、本実施の形態の配線形成方法によって形成されたＣｕ配線の構成の一例を示す模式図である。

[図3]（ａ）～（ｅ）は、本発明の配線形成方法の他の例を説明するための図である。

[図4]本発明の一実施の形態にかかる製造方法によって得られるＴＦＴ基板の構成を示す模式図である。

[図5]（ａ）～（ｄ）は、本発明の一実施の形態にかかる半導体基板の製造方法の工程を説明するための平面図である。

[図6]（ａ）～（ｄ）は、本発明の一実施の形態にかかる半導体基板の製造方法の工程を説明するための断面図であり、この図の（ａ）～（ｄ）は、図５の（ａ）～（ｄ）にそれぞれ対応する。

[図7]（ａ）～（ｄ）は、本発明の一実施の形態にかかる半導体基板の製造方法の工程を説明するための平面図である。この図は、図５に示す工程の続き

の工程を示す。

[図8]（ａ）～（ｄ）は、本発明の一実施の形態にかかる半導体基板の製造方法の工程を説明するための断面図であり、この図の（ａ）～（ｄ）は、図７の（ａ）～（ｄ）にそれぞれ対応する。

[図9]（ａ）・（ｂ）は、従来のＣｕ配線の形成方法を説明するための図である。

発明を実施するための形態

[0030] 本発明の一実施形態について図１の（ａ）～（ｅ）ないし図８の（ａ）～（ｄ）に基づいて説明すると以下の通りである。なお、本実施の形態はこれに限定されるものではない。

[0031] 本実施の形態では、まず、基板上に銅薄膜（Ｃｕ薄膜）を材料として配線を形成する方法について説明する。続いて、このＣｕ配線の形成方法を応用して、Ｃｕ配線を金属配線として含む半導体基板を製造する方法について説明する。

[0032] ＜Ｃｕ配線の形成方法＞

図１の（ａ）～（ｅ）は、本実施の形態におけるＣｕ配線の形成方法を説明するための図である。図１の（ａ）～（ｅ）では、本実施の形態の形成方法によって、基板上にＣｕ配線が形成される様子を、工程順に、その断面構成で示している。

[0033] 図１の（ａ）に示すように、まず、ガラス基板１１（基板）上に、主導電膜としてＣｕ薄膜１２をスパッタリングにより成膜する。ここでのＣｕ薄膜１２の厚さは、例えば、３００～４００ｎｍとすることができる。

[0034] その後、Ｃｕ薄膜１２上に、ライナー膜１３（図１の（ｂ）参照）に用いられる絶縁膜１３１をＣＶＤ（Chemical Vapor Deposition；化学蒸着）法によって形成する。なお、ライナー膜１３としては、絶縁膜以外に、Ｃｕを含まない金属膜であってもよい。

[0035] 上記絶縁膜１３１の材料としては、例えば、ＳｉＮ（窒化ケイ素）、ＳｉＯＮ（酸窒化ケイ素）を用いることができる。

[0036] また、ライナー膜１３が金属膜である場合には、金属膜を例えばスパッタリングにて形成してもよい。上記金属膜の材料としては例えば、Ｍｏ（モリブデン）、Ｗ（タングステン）、Ｃｒ（クロム）、ＭｏＮ（窒化モリブデン）、ＴｉＮ（窒化チタン）、ＷＮ（窒化タングステン）などが挙げられる。

[0037] また、絶縁膜１３１は、ＳｉＯＮとＰＳＧ（リンドープガラス）膜などとの積層構造とすることもできる。絶縁膜１３１の厚さは、例えば、２０～５０ｎｍとすることができる。

[0038] なお、図示はしていないが、主導電膜の下層にＴｉなどからなるバリア膜（下層バリア膜）を、スパッタリングにより、例えば厚さ２０～３０ｎｍで成膜し、その上層に主導電膜であるＣｕ薄膜を積層してもよい。

[0039] このＴｉなどからなるバリア膜は、Ｃｕ薄膜をエッチングする際に、同時にエッチング加工してパターニングしてもよいし、バリア膜によっては、ドライエッチングによりエッチング加工してもよい。ドライエッチングでは、例えば、塩素系ガスを用い、圧力は数Ｔｏｒｒ～数十Ｔｏｒｒで行う。

[0040] 次に、絶縁膜１３１の上層に膜厚２．０μｍのフォトレジスト１４を塗布し、フォトリソグラフィーによって該フォトレジストを所定形状にパターニングする。

[0041] その後、例えば、CF_4およびC_2F_6の混合ガス、または、CF_4またはC_2F_6の混合ガスにO_2を添加したものを用いて、図１の（ａ）・（ｂ）中に実線の矢印Ａで示す、プラズマエッチングなどの等方性のドライエッチング（以下、「ドライエッチングＡ」と記す）を行い、上記絶縁膜１３１のうち、フォトレジスト１４から露出した部分を除去する。

[0042] ここでの等方性のドライエッチングＡでは、フォトレジスト１４がエッチングマスクとなる。ここで除去される絶縁膜１３１は、図１の（ａ）において破線で示す。

[0043] なお、上記の等方性のドライエッチングＡは、プラズマエッチング以外に、例えば、ＲＩＥ、または高密度プラズマエッチング等であってもよい。

[0044] これにより、図１の（ｂ）に示すように、フォトレジスト１４の下層の部

分のみに、除去されずに残った絶縁膜１３１からなるライナー膜１３が形成される。

[0045] なお、等方性のドライエッチングＡを行うことで、絶縁膜１３１においてフォトレジスト１４に被覆されている領域であっても、フォトレジスト１４の端部近傍では、エッチング処理され除去される。つまり、図１の（ｂ）に示すように、上記絶縁膜１３１からなるライナー膜１３上のフォトレジスト１４は、その端部が庇状に突出した形状となる。

[0046] 続いて、図１の（ｃ）に示すように、フォトレジスト１４を剥離液（例えば、有機溶剤）などを用いて除去し、ライナー膜１３をエッチングマスクにして、図１の（ｃ）・（ｄ）中に破線の矢印Ｂで示す、等方性のウエットエッチング（以下、「ウエットエッチングＢ」と記す）を行い、主導電膜であるＣｕ薄膜１２（Ｃｕ導電膜）を部分的に除去する。

[0047] ここでの等方性のウエットエッチングＢの具体的な方法は、例えば、H_2O_2、H_2SO_4、HNO_3等の混合薬液を用い、２０～４０℃の温度で、スプレー（シャワー）にて基板に対して上記混合薬液を噴出し、エッチング加工を行うというものである。

[0048] この条件で等方性のウエットエッチングＢを行うことによって、ＳｉＮなどで形成された、絶縁膜１３１からなるライナー膜１３は除去されず、Ｃｕ薄膜１２のみが等方的にエッチング処理される。

[0049] ここで行う等方性のウエットエッチングＢは、例えばＲＩＥ法などのドライエッチングと比較して、例えば、（Ｉ）一度に大量の基板を処理できる、（II）装置や薬品の価格が安い、（III）エッチングマスクの選択の幅が広くエッチングされる基材に与える損傷が少ない、などの利点がある。

[0050] これにより、図１の（ｄ）に示すように、Ｃｕ薄膜１２が所定形状にパターニングされたＣｕ配線１２ａが得られる。

[0051] 図１の（ｄ）では、等方性のウエットエッチングＢによって除去されるＣｕ薄膜１２を破線で示す。

[0052] なお、等方性のウエットエッチングＢを行うことで、Ｃｕ薄膜１２におい

てライナー膜１３に被覆されている領域であっても、ライナー膜１３の端部近傍では、エッチング処理され除去される。つまり、図１の（ｄ）に示すように、Ｃｕ配線１２ａ上のライナー膜１３は、その端部１３ｂが庇状に突出した形状となる。

[0053] その後、図１の（ｅ）に一点鎖線の矢印Ｃで示すように、Ａｒイオンを用いたスパッタエッチング（以下、「Ａｒスパッタエッチング」と記す）を行い、Ｃｕ配線１２ａ上において庇状に突出したライナー膜１３の端部１３ｂを除去する。

[0054] なお、ここでのＡｒスパッタエッチングの具体的な方法は、例えば、真空中にＡｒガスを導入しながら基板と対向する電極間に直流高電圧を印加して、Ａｒガスをイオン化したAr^+イオンを生成し、基板側にバイアス電圧を印加してスパッタエッチングを行うというものが挙げられる。

[0055] 上記のような工程により、ガラス基板１１上にＣｕ配線１２ａを形成することができる。

[0056] ＜上記のＣｕ配線の形成方法による効果＞

上記のＣｕ配線の形成方法によれば、Ｃｕ薄膜１２上に、ライナー膜１３となる絶縁膜１３１（例えば、ＳｉＮ膜）を積層し、その上に感光性のフォトレジスト１４を塗布しパターニングすることで、加工対象のＣｕ薄膜１２とフォトレジスト１４との密着性（ライナー膜１３を介しての間接的な接着性）が向上する。

[0057] より具体的には、Ｃｕ薄膜１２と比較して表面状態の安定した絶縁膜１３１（すなわち、ライナー膜１３）とフォトレジスト１４とがより高い密着力で積層される。

[0058] これにより、配線加工の際の局部的な配線パターンの崩れを抑制することができ、配線抵抗の増大、および、断線を引き起こす配線の欠陥などを無くすことが可能となるという効果が得られる。

[0059] このように、フォトレジスト１４などのレジストと、該レジストの密着対象との密着性は、レジストが塗布される部分の最表面の状態に大きく影響さ

れる。表面の安定性（特に酸化性）は、Ｃｕ薄膜１２よりもライナー膜１３のほうが優れている。

[0060] 図２の（ｂ）には、本実施の形態の方法によって形成されたＣｕ配線の構造の一例を示す。また、比較のために、図２の（ａ）には、従来の配線形成方法（Ｃｕ薄膜上に直接フォトレジストを形成する方法）によって得られたＣｕ配線の構造の一例を示す。

[0061] 従来の方法によってＣｕ配線を形成すると、フォトレジストとＣｕ薄膜表面との間の密着力が乏しいために、局所的にフォトレジストが浮き上がってしまい、設計どおりの配線幅および配線高さで配線形成を行うことができなかった。そのため、図２の（ａ）に示すように、配線パターンが崩れてしまうという問題が生じていた。

[0062] これに対して、本実施の形態の方法によってＣｕ配線を形成すると、フォトレジストとＣｕ薄膜との間に絶縁膜（ライナー膜）を挟むことで、フォトレジストとＣｕ薄膜との密着性が向上し、配線加工の際の局部的な配線パターンの崩れを抑制することができる。

[0063] これにより、図２の（ｂ）に示すように、配線抵抗の増大、および、断線を招来する配線の欠陥などを無くすことが可能となる。

[0064] なお、ここでは、ガラス基板上にＣｕ配線を形成する方法について示しているが、これは一例であり、本実施の形態はこれに限定はされない。つまり、Ｃｕ配線の土台となる基板については、特に限定はされない。また、ガラス基板上に、絶縁膜などを形成し、該絶縁膜上にＣｕ配線を形成する場合にも、上記方法を適用することができる。

[0065] ＜Ｃｕ配線の形成方法の変形例＞

また、図３の（ａ）～（ｅ）には、本実施の形態のＣｕ配線の形成方法の他の例を示す。

[0066] 図３に示すＣｕ配線の形成方法では、図１の（ｅ）に示す、Ｃｕ配線１２ａ上において庇状に突出したライナー膜１３の端部１３ｂを、Ａｒスパッタエッチングにより除去する工程が省略されている。

[0067] それ以外の工程（すなわち、図３の（ａ）～（ｄ）に示す各工程）は、図１の（ａ）～（ｄ）に示す各工程と同じである。

[0068] 目的とする半導体デバイスにおいて、庇状のライナー膜１３の端部１３ｂの存在が品質上問題なければ、図３の（ａ）～（ｅ）に示すＣｕ配線の形成方法を適用し、工程を簡略化することができる。

[0069] この配線形成方法によれば、図３の（ｅ）に示すように、Ｃｕ配線１２ａ上に庇状の端部１３ｂが残存した、絶縁膜１３１からなるライナー膜１３が形成される。

[0070] なお、上記した各配線形成方法において、Ｃｕ配線１２ａ上に形成されたライナー膜１３は、上記したようにＣｕ配線１２ａ上において庇状に突出したライナー膜１３の端部１３ｂを除去することで、ライナー膜１３が絶縁膜である場合、Ｃｕ配線１２ａを覆う絶縁膜（例えば、後述する図６の（ａ）～（ｄ）に示すゲート絶縁膜（ＧＩ）、あるいは、図８の（ｃ）・（ｄ）に示す無機層間絶縁膜３２など）の一部としてそのまま利用することができる。

[0071] また、ライナー膜１３が金属膜である場合、上記したようにＣｕ配線１２ａ上において庇状に突出したライナー膜１３の端部１３ｂを除去することで、配線の一部としてそのまま利用することができる。すなわち、例えば、Ｃｕ配線１２ａを下層配線とする二層配線の上層配線としてそのまま利用することができる。

[0072] なお、勿論、Ｃｕ配線１２ａ上において庇状に突出したライナー膜１３の端部１３ｂを除去する代わりに、ライナー膜１３全体を除去してもよい。

[0073] ＜Ｃｕ配線を含む半導体基板（ＴＦＴ基板）の構成＞

続いて、上記のＣｕ配線の形成方法を応用して、Ｃｕ配線を含む半導体基板を製造する方法について説明する。以下では、半導体基板の一例として、アクティブマトリクス型の液晶表示装置のＴＦＴ基板（アクティブマトリクス基板）を例に挙げて説明する。

[0074] そこで、まず、図４を参照して、上記ＴＦＴ基板の構成について説明する

。

[0075] 図４には、本実施の形態の製造方法によって形成されるＴＦＴ基板の部分構成を示す。なお、図４では、ＴＦＴ基板２０を構成しているＴＦＴ３１の一つを示す。

[0076] 図４に示すように、ＴＦＴ基板２０では、ガラス基板１１上にベースコート膜２２が成膜されており、その上層にゲート電極層２３が所定形状に形成されている。ゲート電極層２３は、ＴＦＴ３１のゲート電極を構成するとともに走査信号配線などを構成する。ゲート電極層２３の上層には、ゲート絶縁膜２４が形成されている。

[0077] ゲート絶縁膜２４上には、半導体層２５が所定形状に形成されている。そして、半導体層２５の上層には、ソース電極層２９が形成されている。

[0078] ソース電極層２９は、所定形状にパターニングされて、ソース電極２６およびドレイン電極２７などを構成する。また、図示はしていないが、ソース電極層２９は、ソース電極２６に接続されるデータ信号配線も構成する。

[0079] 半導体層２５を間に挟んで、ゲート電極、ソース電極２６およびドレイン電極２７によって、ＴＦＴ３１が構成される。

[0080] なお、上記のＴＦＴ基板２０では、各電極および配線を構成している導電膜にＣｕが含まれている。

[0081] ＜上記ＴＦＴ基板の製造方法＞

次に、上記のような構成を有するＴＦＴ基板２０の製造方法を、図５の（ａ）～（ｄ）ないし図８の（ａ）～（ｄ）を参照しながら以下に説明する。

[0082] 図５の（ａ）～（ｄ）および図７の（ａ）～（ｄ）には、ＴＦＴ基板２０の製造工程を工程順に示す。

[0083] 図５の（ａ）～（ｄ）および図７の（ａ）～（ｄ）では、各工程によって変化するＴＦＴ基板２０の平面構成を示す。

[0084] また、図６の（ａ）～（ｄ）および図８の（ａ）～（ｄ）は、図５の（ａ）～（ｄ）および図７の（ａ）～（ｄ）に対応する各工程によって変化するＴＦＴ基板２０の断面構成を示す。

[0085] なお、図６の（ａ）～（ｄ）および図８の（ａ）～（ｄ）は、図５の（ａ）～（ｄ）および図７の（ａ）～（ｄ）のＴＦＴ基板２０のＸ－Ｘ線部分の断面構成をそれぞれ示している。

[0086] まず、図５の（ａ）および図６の（ａ）に示すように、ガラス基板２１上にベースコート膜２２（図示せず）をスパッタリングにより、例えば厚さ１０～５０ｎｍで成膜し、その上層にゲート電極層２３を成膜する。

[0087] ゲート電極層２３は、図６の（ａ）に示すように、Ｔｉ導電膜２３ｂ（Ｔｉ層）上にＣｕ導電膜２３ａ（Ｃｕ層）を積層して形成される。

[0088] ここで、Ｔｉ導電膜２３ｂの厚さは、例えば１０～１００ｎｍであり、Ｃｕ導電膜２３ａの厚さは、例えば２００～５００ｎｍである。なお、上記ベースコート膜２２は必ずしも設けられていなくてもよい。

[0089] そして、上述したＣｕ配線の形成方法にしたがって、図１の（ａ）～（ｅ）に示す工程と同様の工程により、Ｃｕ導電膜であるＣｕ薄膜１２と同様にしてＣｕ導電膜２３ａを所定形状にパターニングして、ゲート電極層２３を形成する。

[0090] 具体的には、Ｃｕ導電膜２３ａ上に、ライナー膜に用いられる、ＳｉＮなどの絶縁膜（図示せず）を成膜した後、フォトレジスト（図示せず）を所定形状に形成し、等方性のドライエッチングを行うことにより、上記絶縁膜を所定形状にパターニングする。

[0091] その後、上記フォトレジストを除去し、パターニングされた上記絶縁膜からなるライナー膜（図示せず）をエッチングマスクにして、等方性のウエットエッチングを行い、主導電膜であるＣｕ導電膜２３ａを部分的に除去する。

[0092] なお、上記ライナー膜、絶縁膜、フォトレジスト、は、それぞれ、図１の（ａ）～（ｅ）に示すライナー膜１３、絶縁膜１３１、フォトレジスト１４に対応する。

[0093] なお、Ｃｕ導電膜２３ａの下層に設けられたＴｉ導電膜２３ｂは、Ｃｕ導電膜２３ａをエッチングする際に同時にエッチング加工してパターニングす

ることができる。

[0094] これにより、図５の（ａ）および図６の（ａ）に示すように、ゲート電極および走査信号線を構成するゲート電極層２３が形成される。

[0095] なお、図１の（ｅ）および図３の（ｅ）ではＣｕ配線１２ａを簡略化して示している。このため、図１の（ｅ）および図３の（ｅ）に示すＣｕ配線１２ａと、図８の（ａ）に示すゲート電極層２３（特に、Ｃｕ導電膜２３ａ）とでは断面形状が異なっているが、この断面形状の違いは、上述した配線形成方法による効果に影響を与えるものではない。

[0096] また、Ｃｕ配線（Ｃｕ導電膜）の形状は、ライナー膜の種類やエッチング方向によって、任意の形状にパターニングすることができる。

[0097] 次に、図６の（ａ）に示すように、ゲート電極層２３を覆うようにゲート絶縁膜（ＧＩ）２４をＣＶＤ法によって堆積する。ここで、ゲート絶縁膜２４の厚さは、例えば２００～５００ｎｍである。

[0098] その後、図５の（ａ）および図６の（ａ）に示すように、半導体層２５をＣＶＤ法によって堆積する。

[0099] 半導体層２５は、不純物がドープされていないアモルファスシリコン膜（ａ－Ｓｉ層）２５ａと、不純物がドープされたn^+アモルファスシリコン膜（n^+層）２５ｂとから構成されている。

[0100] なお、アモルファスシリコン膜（ａ－Ｓｉ層）２５ａの厚さは、例えば５０～２００ｎｍであり、n^+アモルファスシリコン膜（n^+層）２５ｂの厚さは、例えば１０～７０ｎｍである。

[0101] ここで、積層された半導体層２５を所定形状にパターニングするために、図５の（ｂ）および図６の（ｂ）に示すように、フォトリソグラフィーによってフォトレジスト４１を所定形状にパターニングする。そして、ドライエッチングを行い、フォトレジスト４１に覆われていない半導体層２５を除去し、ゲート絶縁膜２４を露出させる。

[0102] ここでのエッチングには、フッ素系や塩素系のガスを用いた一般的なドライエッチングを採用する。例えば、Ｓｉを含む半導体層のドライエッチング

には、CF_4、SF_6、NF_3などのフッ素系のガス、あるいは、Cl_2、ＨＣｌ、BCl_3などの塩素系のガスを用いる。

[0103] 上記の工程により、図５の（ｃ）および図６の（ｃ）に示すように、島状の半導体層２５が形成される。

[0104] 続いて、図５の（ｄ）、図６の（ｄ）、図７の（ａ）、および図８の（ａ）に示すように、半導体層２５を覆うように、ソース電極層２９をスパッタリングによって成膜する。

[0105] ソース電極層２９は、ゲート電極層２３と同様に、図６の（ｄ）および図８の（ａ）示すように、Ｔｉ導電膜２９ｂ上にＣｕ導電膜２９ａを積層して形成される。

[0106] ここで、Ｔｉ導電膜２９ｂの厚さは、例えば１０～１００ｎｍであり、Ｃｕ導電膜２９ａの厚さは、例えば２００～５００ｎｍである。

[0107] 次に、ソース電極層２９を所定形状にパターニングするために、図５の（ｄ）、図６の（ｄ）、図７の（ａ）、および図８の（ａ）に示すように、フォトリソグラフィーによってフォトレジスト４２を所定形状にパターニングする。

[0108] そして、図７の（ｂ）および図８の（ｂ）に示すように、ＴＦＴ３１のチャネル部をウエットエッチングおよびドライエッチングにより、エッチング除去し、ＴＦＴ３１を形成する。

[0109] なお、ここでのソース電極層２９のパターニングの際にも、上述したＣｕ配線の形成方法（図１の（ａ）～（ｅ）参照）にしたがって、パターニングを行うことができる。

[0110] 具体的には、まず、フォトレジスト４２を形成する前に、ソース電極層２９上に、ライナー膜に用いられる、ＳｉＮなどの絶縁膜（図示せず）を成膜する。

[0111] そして、上記絶縁膜上に積層されたフォトレジスト４２をフォトリソグラフィーによって所定形状にパターニングした後、等方性のドライエッチングを行うことにより、上記絶縁膜を所定形状にパターニングする。

[0112] その後、フォトレジスト４２を除去し、パターニングされた上記絶縁膜からなるライナー膜をエッチングマスクにして等方性のウエットエッチングを行い、主導電膜であるＣｕ導電膜２９ａを部分的に除去する。

[0113] これにより、Ｃｕ導電膜２９ａを含んでなるソース電極２６、ドレイン電極２７、および、データ信号配線が、所定形状にパターニングされる。

[0114] なお、上記ライナー膜、絶縁膜、フォトレジスト、は、それぞれ、図１の（ａ）～（ｅ）に示すライナー膜１３、絶縁膜１３１、フォトレジスト１４に対応する。

[0115] なお、Ｃｕ導電膜２９ａの下層に設けられたＴｉ導電膜２９ｂは、Ｃｕ導電膜２９ａをエッチングする際に、同時にエッチング加工してパターニングしてもよいし、後で行われる半導体層２５のエッチング時にエッチング加工してもよい。

[0116] このＴｉ導電膜２９ｂのパターニング方法は、Ｃｕ導電膜２９ａ上に形成された絶縁膜（ライナー膜）の材料によって適宜選択することができる。

[0117] その後、半導体層２５のうちのｎ$^{+}$アモルファスシリコン膜２５ｂをドライエッチングにより除去し、アモルファスシリコン膜（ａ－Ｓｉ層）２５ａが露出したチャネル領域を形成する。例えば、この半導体層２５のエッチングには、塩素系ガスやフッ素系ガスを用い、数Ｔｏｒｒ～数十Ｔｏｒｒの圧力下でエッチングを行う。

[0118] 以上の工程により、図７の（ｂ）および図８の（ｂ）に示すように、ＴＦＴ３１部分が完成する。

[0119] 続いて、図７の（ｃ）および図８の（ｃ）に示すように、無機層間絶縁膜３２（Ｐａｓ、図８の（ｃ）参照）および有機層間絶縁膜３３（ＪＡＳ）を、ＣＶＤ法を用いてＴＦＴ基板２０全体に成膜する。

[0120] ここで形成される無機層間絶縁膜３２の厚さは、例えば７０～３００ｎｍであり、有機層間絶縁膜３３の厚さは、例えば５００～３０００ｎｍである。

[0121] その後、図７の（ｄ）および図８の（ｄ）に示すように、画素電極を形成

するための膜としてＩＴＯ（またはＩＺＯ）などの透明導電層３４を成膜する。そして、フォトリソグラフィーを行うことにより、所定の形状にパターニングされた画素電極が形成される。

[0122] なお、図示はしていないが、画素電極（ＩＴＯ）３４は、無機層間絶縁膜３２及び有機層間絶縁膜３３に形成されたコンタクトホールを介して、ドレイン電極２７に電気的に接続されている。

[0123] 以上のように、本実施の形態にかかる半導体基板の製造方法は、上述したＣｕを含む金属配線の形成方法を用いて、半導体基板上に形成された、ゲート電極層およびソース電極層をパターニングし、ＴＦＴなどの半導体素子および配線をパターニングするというものである。

[0124] この方法によれば、配線材料としてＣｕ導電膜を使用した場合に、設計どおりの配線幅および配線高さで配線を形成することができるという効果を得ることができる。

[0125] 具体的には、本実施の形態にかかる配線形成方法は、基材上にＣｕを含む金属薄膜を成膜する工程と、上記金属薄膜上に絶縁膜またはＣｕを含まない金属膜（すなわち、（１）絶縁膜、および、（２）Ｃｕを含まない金属膜、からなる群より選ばれる何れか一方の膜）を形成する工程と、上記絶縁膜またはＣｕを含まない金属膜上に、フォトリソグラフィーを用いてフォトレジストをパターニングする工程と、等方性のドライエッチングを用いて、上記フォトレジストをエッチングマスクとして上記絶縁膜またはＣｕを含まない金属膜をエッチングする工程と、上記絶縁膜またはＣｕを含まない金属膜のエッチング後、上記フォトレジストを除去し、上記絶縁膜またはＣｕを含まない金属膜をエッチングマスクとして等方性のウエットエッチングを行い、上記金属薄膜を部分的に除去し、金属配線を形成する工程と、を含んでいる。

[0126] そして、上記の半導体基板の製造方法では、上記の配線形成方法を用いて、Ｃｕを含むゲート電極層およびソース電極層をパターニングして半導体素子および配線を形成する。

[0127] 上記の配線形成方法において、上記絶縁膜は、ＳｉＮまたはＳｉＯＮを材料とするものであることが好ましい。

[0128] 上記の配線形成方法によれば、絶縁膜の材料をＳｉＮまたはＳｉＯＮとすることで、フォトレジストと絶縁膜との密着力をより高めることができる。

[0129] また、上記の配線形成方法において、上記Ｃｕを含まない金属膜は、モリブデン、タングステン、クロム、窒化モリブデン、窒化チタン、および窒化タングステンのうちの何れかを材料とするものであることが好ましい。

[0130] 上記の配線形成方法によれば、Ｃｕを含まない金属膜の材料をモリブデン、タングステン、クロム、窒化モリブデン、窒化チタン、および窒化タングステンのうちの何れかとすることで、フォトレジストとＣｕを含まない金属膜との密着力をより高めることができる。

[0131] また、上記の配線形成方法は、スパッタエッチングによって、上記Ｃｕを含む金属配線上の上記絶縁膜またはＣｕを含まない金属膜の端部を除去する工程をさらに含むことが好ましい。

[0132] 上記の配線形成方法によれば、金属配線から突出した絶縁膜またはＣｕを含まない金属膜の端部を除去することができる。なお、上記のスパッタエッチングには、Ａｒイオンを用いることが好ましい。

[0133] また、上記の配線形成方法において、上記Ｃｕを含む金属薄膜は、Ｔｉ層とＣｕ層との積層構造を有していてもよい。

[0134] また、上記の半導体基板の製造方法において、半導体素子とは、例えば、ＴＦＴ、ＬＳＩ、薄膜太陽電池素子、マイクロマシンなどである。また、上記半導体基板としては、例えば、アクティブマトリクス基板を挙げることができる。

[0135] 本発明は上述した実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

産業上の利用可能性

[0136] 本発明の配線形成方法および半導体基板の製造方法を用いれば、設計どおりの配線幅および配線高さでＣｕ配線を形成することができる。従って、本発明の方法は、表示装置などに含まれる半導体基板の製造に適用できる。

符号の説明

[0137]

１１　ガラス基板（基材）

１２　Ｃｕ薄膜（Ｃｕを含む金属薄膜）

１２ａ　Ｃｕ配線（Ｃｕを含む金属配線）

１３　ライナー膜（ＳｉＮ膜、絶縁膜）

１３ｂ　端部

１４　フォトレジスト

２０　ＴＦＴ基板（半導体基板、アクティブマトリクス基板）

２１　ガラス基板

２２　ベースコート膜

２３　ゲート電極層

２３ａ　Ｃｕ導電膜（Ｃｕ層）

２３ｂ　Ｔｉ導電膜（Ｔｉ層）

２４　ゲート絶縁膜

２５　半導体層

２５ａ　アモルファスシリコン膜

２５ｂ　アモルファスシリコン膜

２６　ソース電極

２７　ドレイン電極

２９　ソース電極層

２９ａ　Ｃｕ導電膜（Ｃｕ層）

２９ｂ　Ｔｉ導電膜（Ｔｉ層）

３１　ＴＦＴ（半導体素子）

３２　無機層間絶縁膜

３３　有機層間絶縁膜

３４　画素電極

３４　透明導電層

４１　フォトレジスト

４２　フォトレジスト

１３１　　絶縁膜（ＳｉＮ膜）

請求の範囲

[請求項1] 基材上にＣｕを含む金属薄膜を成膜する工程と、

上記金属薄膜上に絶縁膜またはＣｕを含まない金属膜を形成する工程と、

上記絶縁膜またはＣｕを含まない金属膜上に、フォトリソグラフィーを用いてフォトレジストをパターニングする工程と、

等方性のドライエッチングを用いて、上記フォトレジストをエッチングマスクとして上記絶縁膜またはＣｕを含まない金属膜をエッチングする工程と、

上記絶縁膜またはＣｕを含まない金属膜のエッチング後、上記フォトレジストを除去し、上記絶縁膜またはＣｕを含まない金属膜をエッチングマスクとして等方性のウエットエッチングを行い、上記金属薄膜を部分的に除去し、金属配線を形成する工程と、

を含むことを特徴とする配線形成方法。

[請求項2] 上記絶縁膜は、ＳｉＮまたはＳｉＯＮを材料とするものであることを特徴とする請求項１に記載の配線形成方法。

[請求項3] 上記Ｃｕを含まない金属膜は、モリブデン、タングステン、クロム、窒化モリブデン、窒化チタン、および窒化タングステンのうちの何れかを材料とするものであることを特徴とする請求項１に記載の配線形成方法。

[請求項4] スパッタエッチングによって、上記Ｃｕを含む金属配線上の上記絶縁膜またはＣｕを含まない金属膜の端部を除去する工程をさらに含むことを特徴とする請求項１から３の何れか１項に記載の配線形成方法。

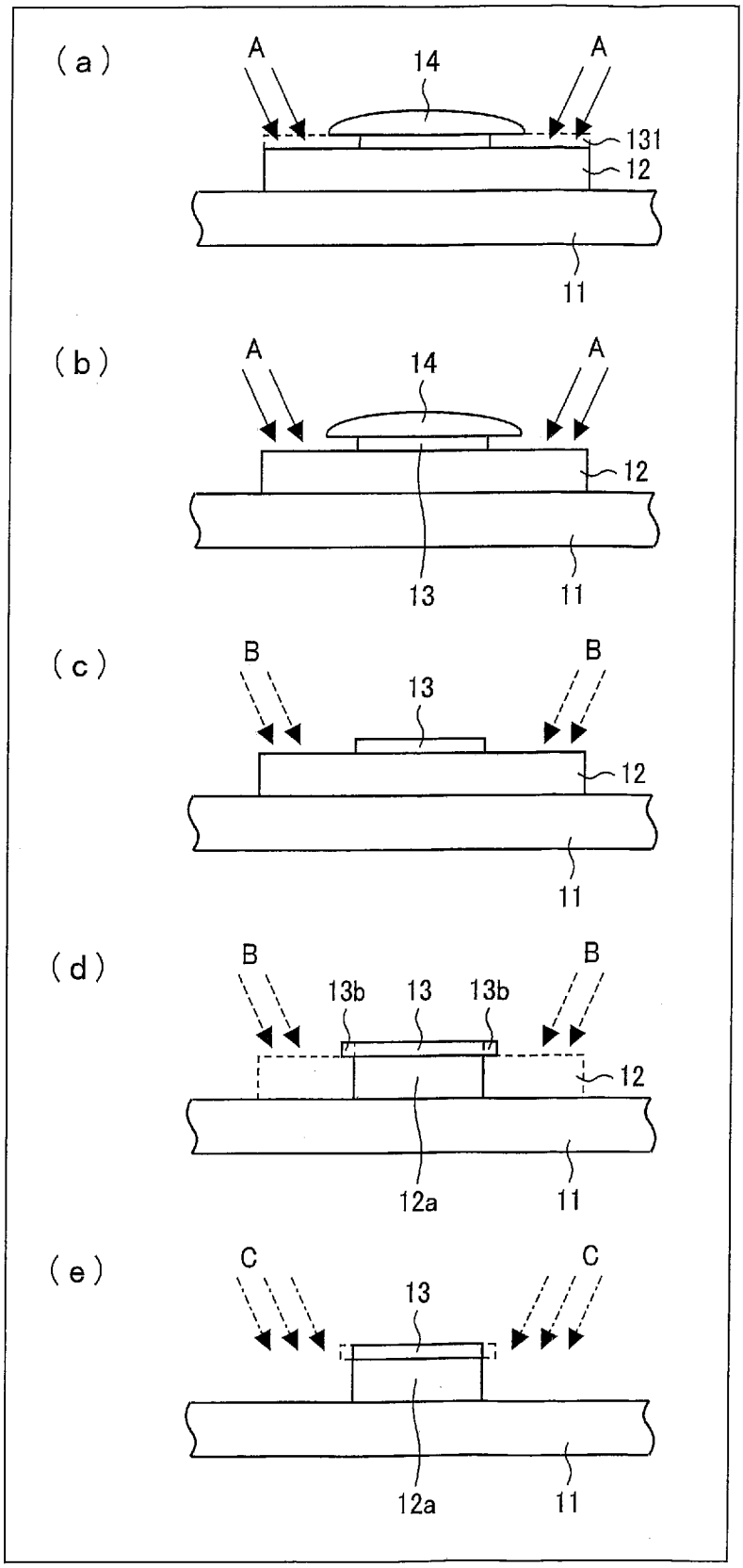
[請求項5] 上記Ｃｕを含む金属薄膜は、Ｔｉ層とＣｕ層との積層構造を有していることを特徴とする請求項１から４の何れか１項に記載の配線形成方法。

[請求項6] 請求項１から５の何れか１項に記載の配線形成方法を用いて、Ｃｕ

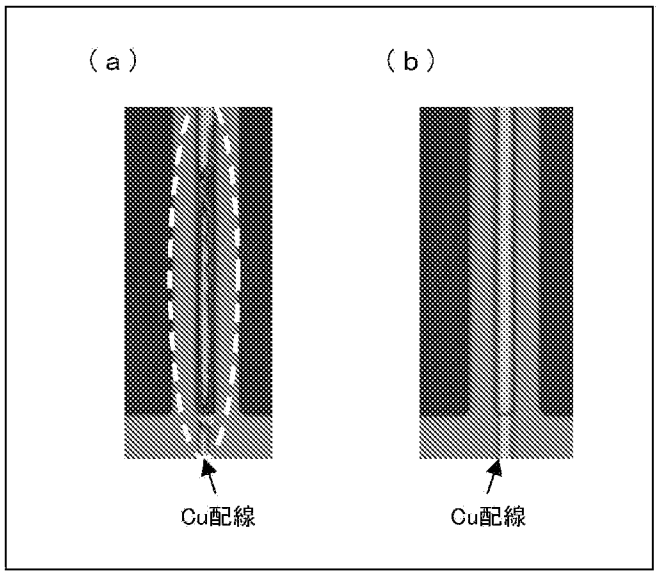
を含むゲート電極層およびソース電極層をパターニングして半導体素子および配線を形成することを特徴とする半導体基板の製造方法。

[請求項7] 上記半導体基板は、アクティブマトリクス基板であることを特徴とする請求項６に記載の半導体基板の製造方法。

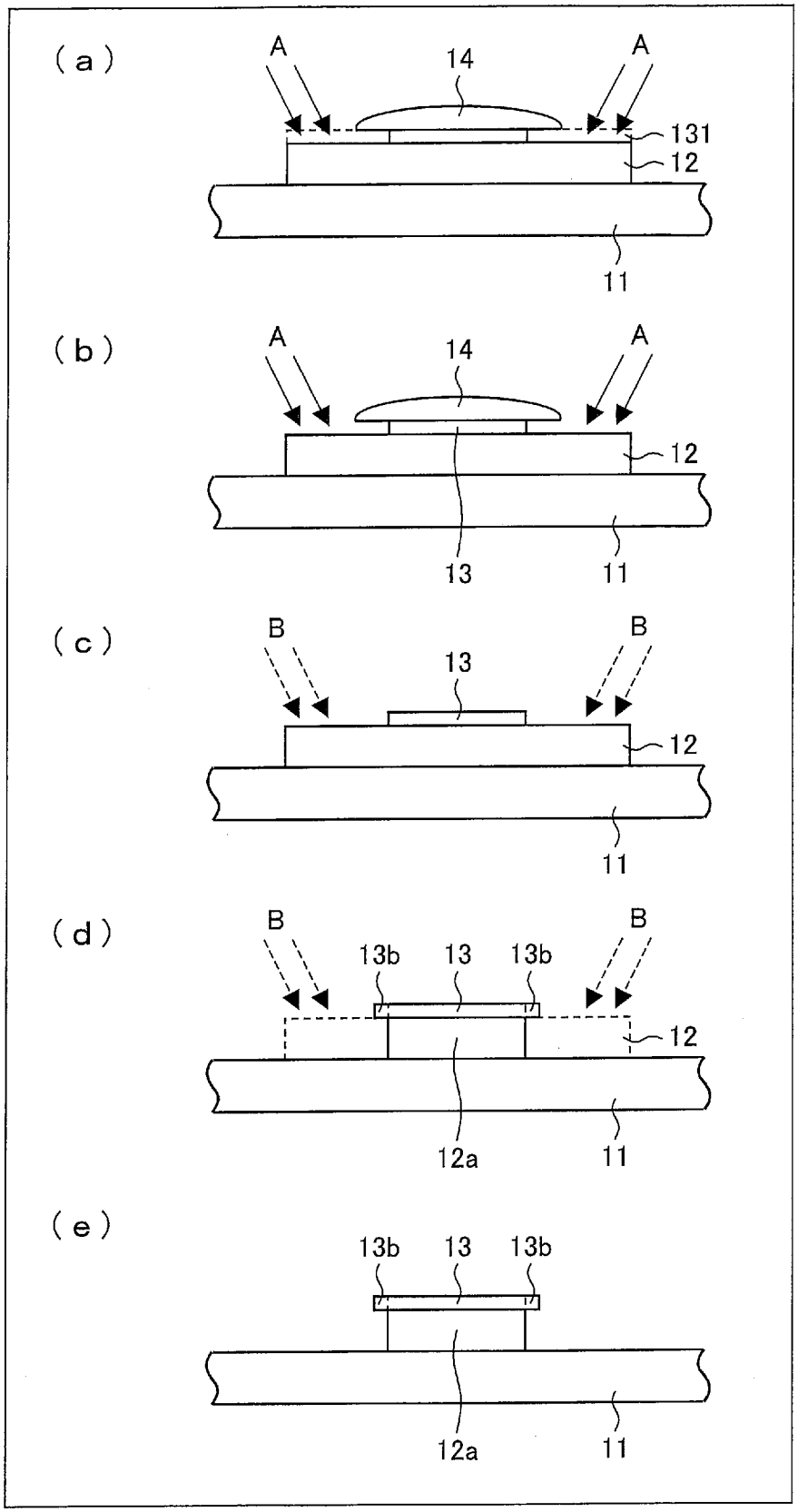
[図1]


(a)
A
14
A
131
12
11
(b)
A
14
A
12
13
11
(c)
B
13
B
12
11
(d)
B
13b
13
13b
B
12
12a
11
(e)
C
13
C
12a
11

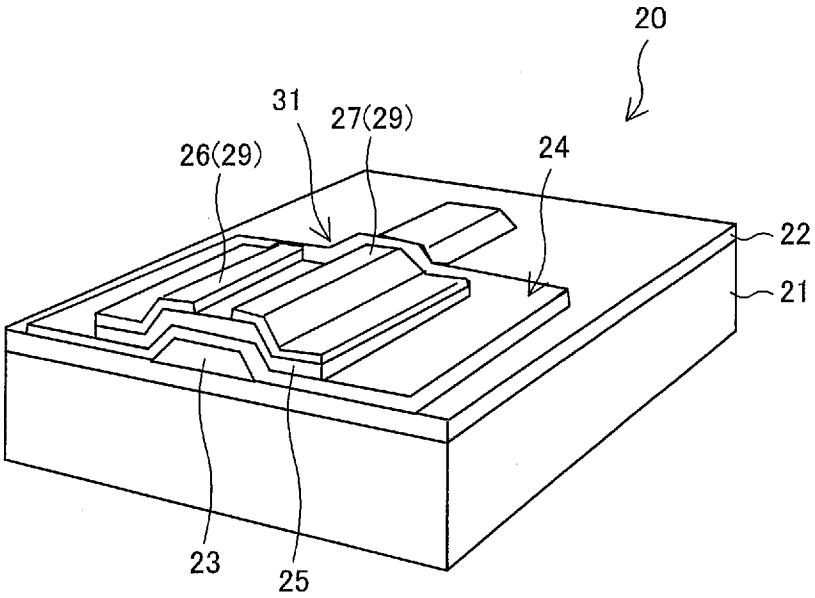
[図2]



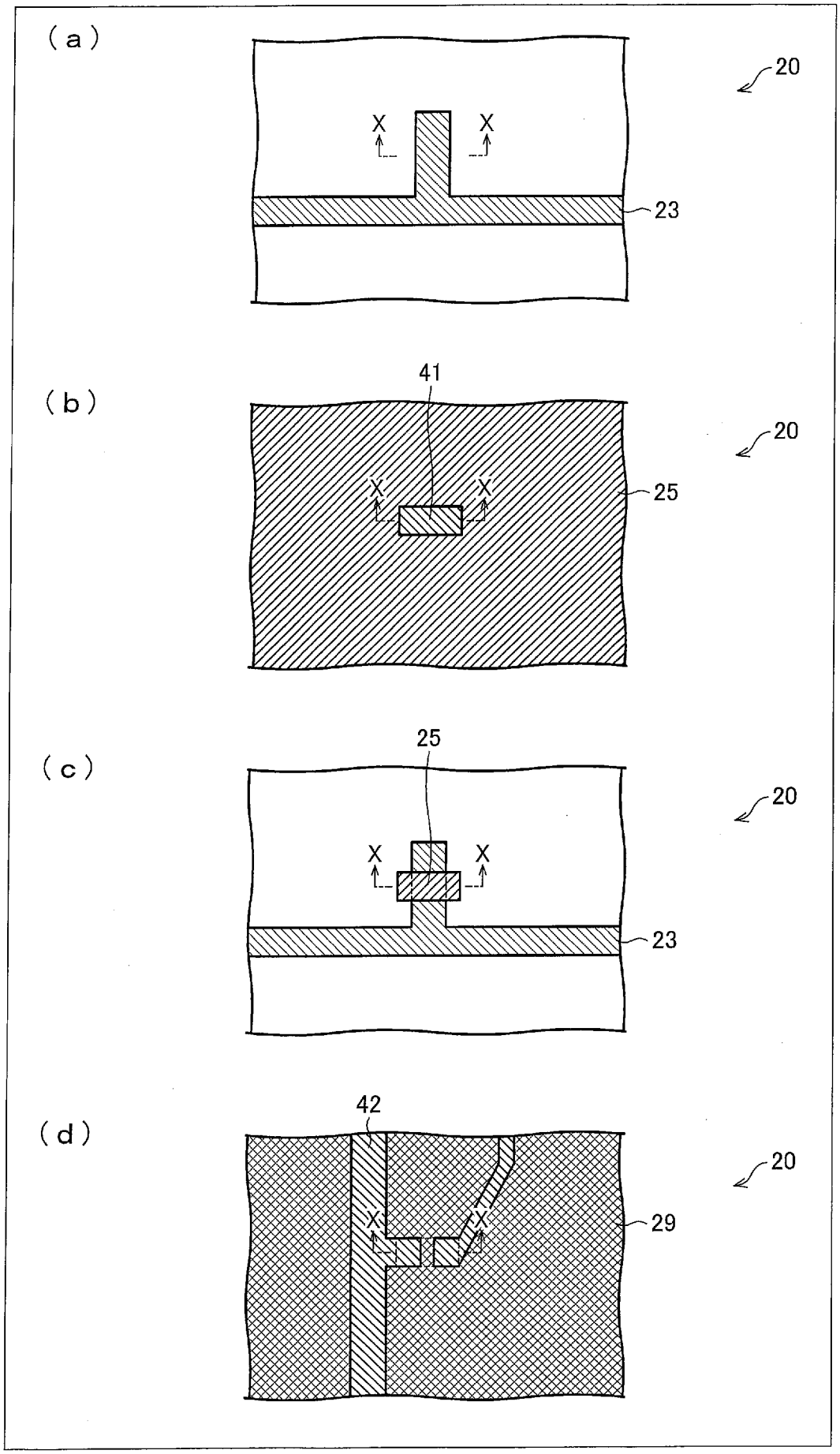
[図3]


(a)
A
14
A
131
12
11
(b)
A
14
A
12
13
11
(c)
B
13
B
12
11
(d)
B
13b
13
13b
B
12
12a
11
(e)
13b
13
13b
12a
11

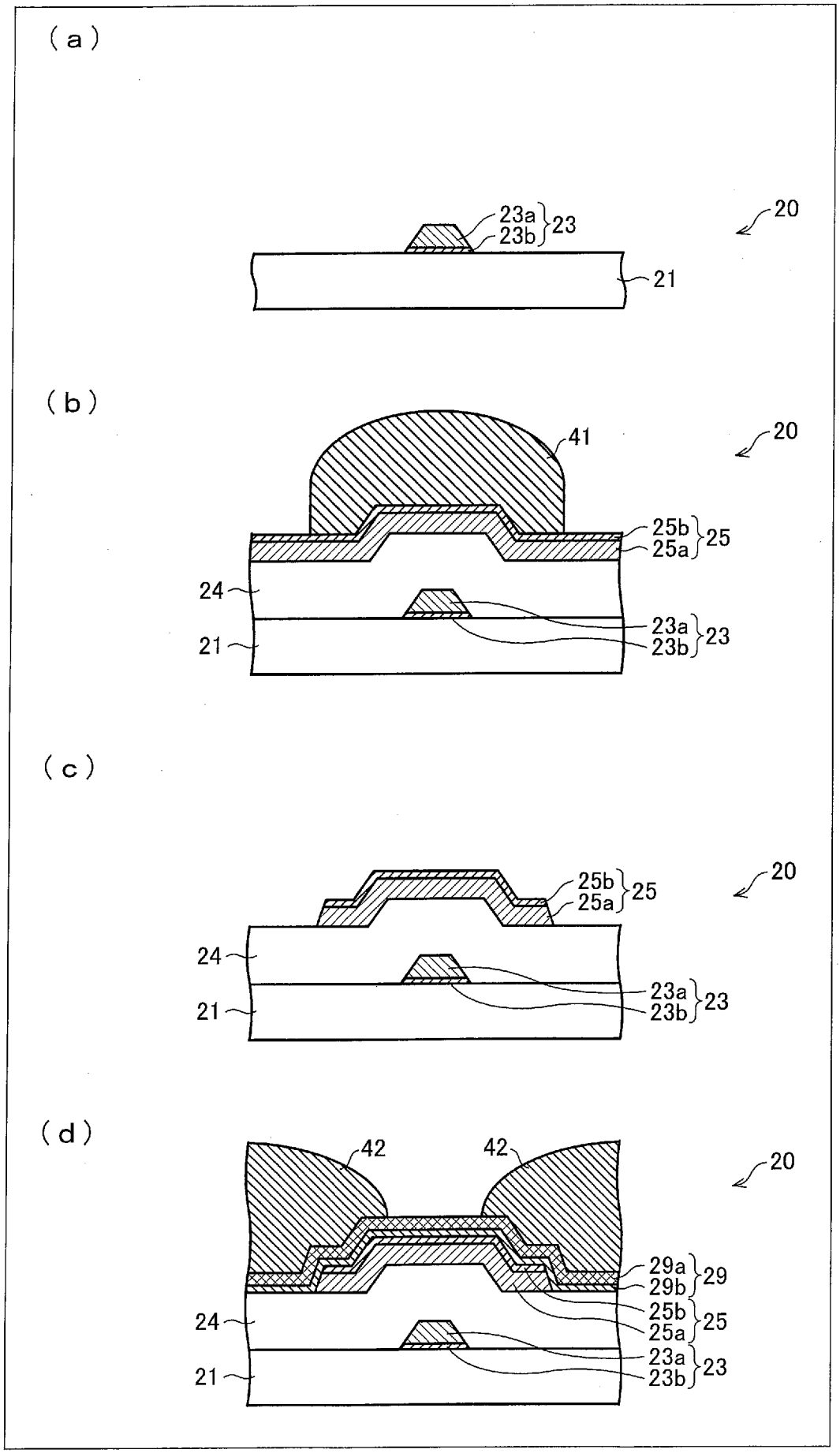
[図4]



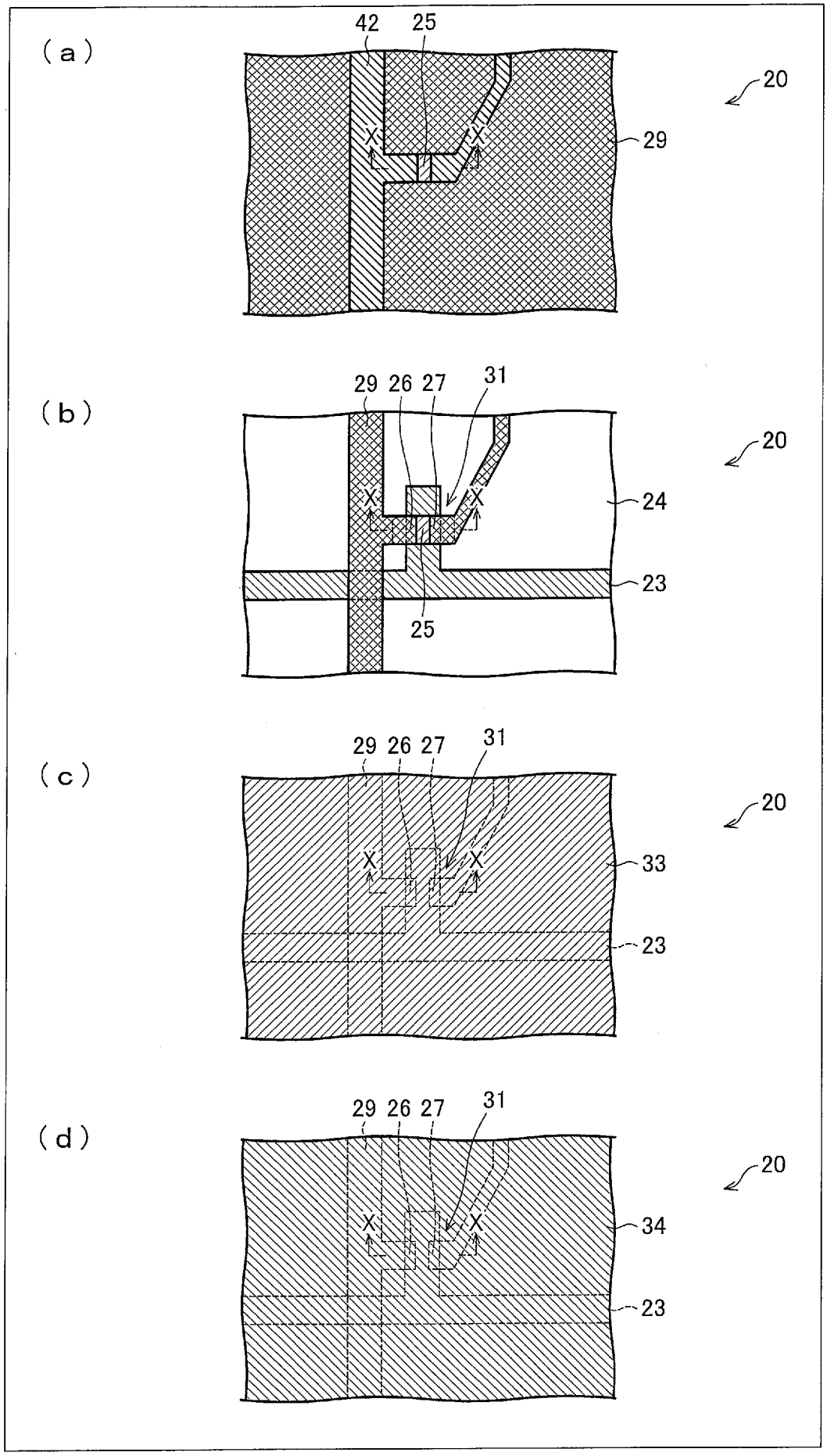
[図5]



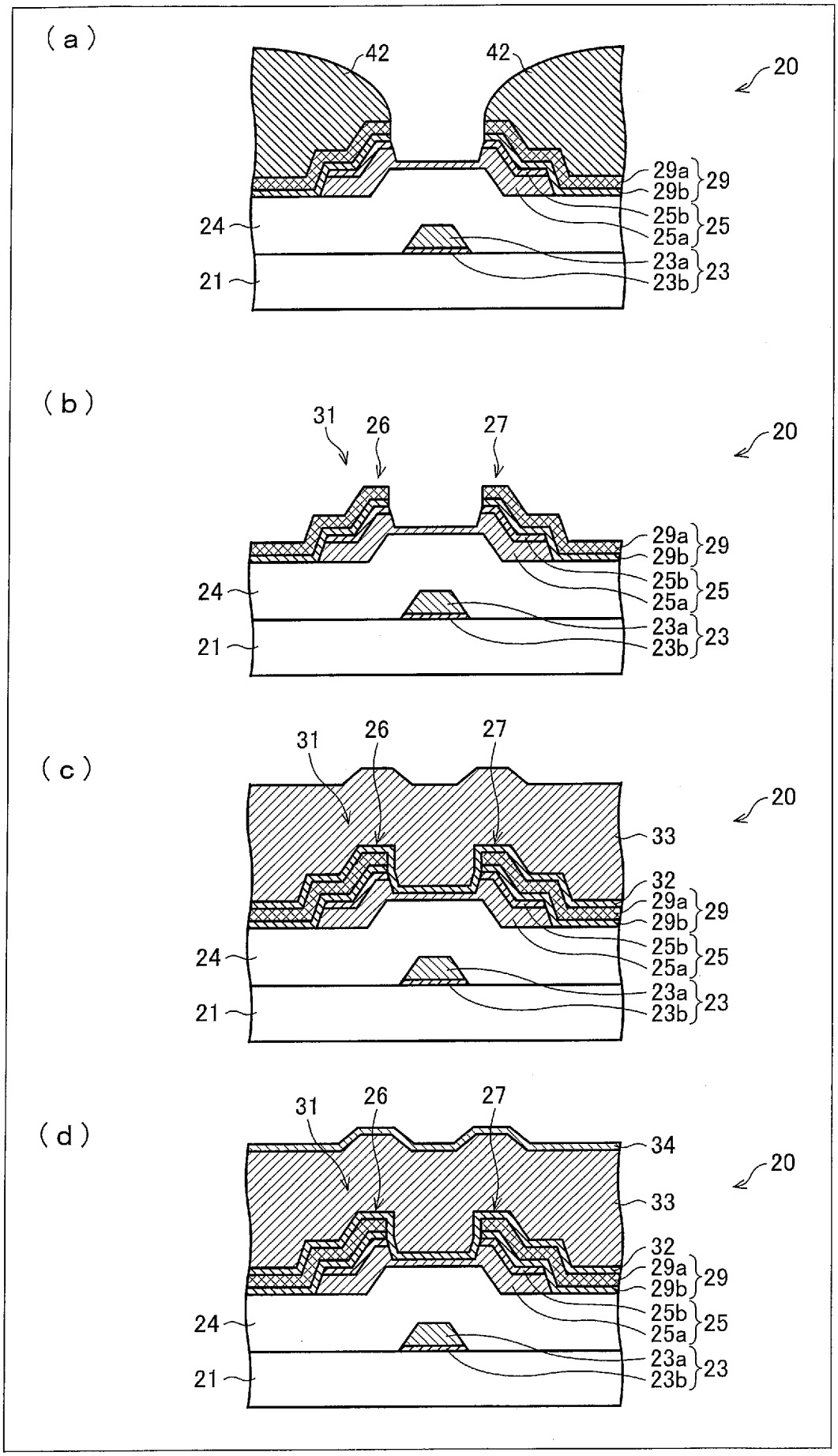
[図6]


(a)
23a
23b
23
20
21
(b)
41
20
25b
25a
25
24
23a
23b
23
21
(c)
25b
25a
25
20
24
23a
23b
23
21
(d)
42
42
20
29a
29b
29
25b
25a
25
24
23a
23b
23
21

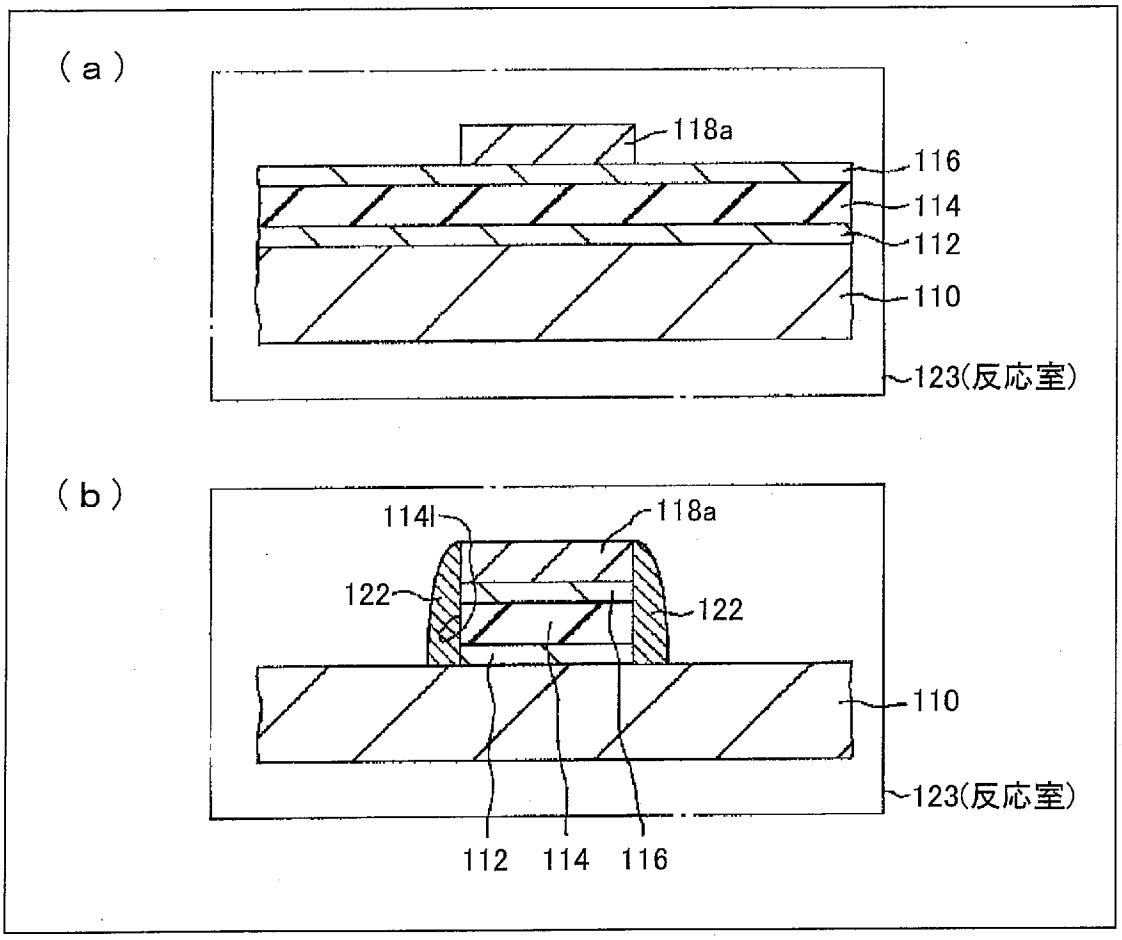
[図7]


(a)
42
25
20
29
X
X
(b)
29
26
27
31
20
24
23
25
X
X
(c)
29
26
27
31
20
33
23
X
X
(d)
29
26
27
31
20
34
23
X
X

[図8]


(a)
42
42
20
29a
29b
29
25b
25a
25
24
23a
23b
23
21
(b)
31
26
27
20
29a
29b
29
25b
25a
25
24
23a
23b
23
21
(c)
31
26
27
20
33
32
29a
29b
29
25b
25a
25
24
23a
23b
23
21
(d)
31
26
27
34
20
33
32
29a
29b
29
25b
25a
25
24
23a
23b
23
21

[図9]


(a)
118a
116
114
112
110
123(反応室)
(b)
114l
118a
122
122
110
123(反応室)
112
114
116

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2011/053406

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/3213(2006.01)i, *C23F1/38*(2006.01)i, *C23F4/00*(2006.01)i, *G09F9/30*(2006.01)i, *H01L21/306*(2006.01)i, *H01L21/3065*(2006.01)i, *H01L21/3205*(2006.01)i, *H01L21/336*(2006.01)i, *H01L23/52*(2006.01)i,
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/3213, C23F1/38, C23F4/00, G09F9/30, H01L21/306, H01L21/3065, H01L21/3205, H01L21/336, H01L23/52, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 6-021017 A (Fujitsu Ltd.), 28 January 1994 (28.01.1994), paragraphs [0028] to [0036], [0046] to [0057]; fig. 3, 4, 7, 8 (Family: none)	1,2,5-7 4
Y	JP 1-265539 A (Sony Corp.), 23 October 1989 (23.10.1989), page 3, lower right column, lines 15 to 20 (Family: none)	1,2,5-7
Y	JP 6-215329 A (Mitsumi Electric Co., Ltd.), 05 August 1994 (05.08.1994), paragraph [0031] & US 5407530 A	1,2,5-7

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
29 March, 2011 (29.03.11)	12 April, 2011 (12.04.11)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2011/053406

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-059191 A (Frontec Inc.), 06 March 2001 (06.03.2001), entire text; all drawings & US 7229569 B1 & US 2007/0235685 A1 & TW 480611 B & KR 10-2001-0015041 A	5-7
Y A	JP 3-048489 A (Fujitsu Ltd.), 01 March 1991 (01.03.1991), entire text; all drawings (Family: none)	1,3,5-7 4
Y	JP 5-061185 A (Sharp Corp.), 12 March 1993 (12.03.1993), paragraph [0012] (Family: none)	1,3,5-7
A	JP 7-326751 A (Hyundai Electronics Industries Co., Ltd.), 12 December 1995 (12.12.1995), paragraphs [0008] to [0016]; fig. 2 (Family: none)	4-7
A	JP 55-138260 A (Tokyo Shibaura Electric Co., Ltd.), 28 October 1980 (28.10.1980), entire text; all drawings (Family: none)	4-7
A	JP 10-107144 A (Samsung Electronics Co., Ltd.), 24 April 1998 (24.04.1998), entire text; all drawings & US 6117785 A & KR 10-0195246 B1	4-7

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2011/053406

Continuation of A. CLASSIFICATION OF SUBJECT MATTER
(International Patent Classification (IPC))

H01L29/786(2006.01)i

(According to International Patent Classification (IPC) or to both national classification and IPC)

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１１／０５３４０６

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/3213(2006.01)i, C23F1/38(2006.01)i, C23F4/00(2006.01)i, G09F9/30(2006.01)i, H01L21/306(2006.01)i, H01L21/3065(2006.01)i, H01L21/3205(2006.01)i, H01L21/336(2006.01)i, H01L23/52(2006.01)i, H01L29/786(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/3213, C23F1/38, C23F4/00, G09F9/30, H01L21/306, H01L21/3065, H01L21/3205, H01L21/336, H01L23/52, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１１年
日本国実用新案登録公報	１９９６－２０１１年
日本国登録実用新案公報	１９９４－２０１１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y A	JP 6-021017 A（富士通株式会社）1994.01.28, 段落【００２８】－【００３６】、【００４６】－【００５７】、【図３】、【図４】、【図７】、【図８】（ファミリーなし）	1,2,5-7 4
Y	JP 1-265539 A（ソニー株式会社）1989.10.23, 第３頁右下欄第１５行－第２０行（ファミリーなし）	1,2,5-7
Y	JP 6-215329 A（ミツミ電機株式会社）1994.08.05, 段落【００３１】 & US 5407530 A	1,2,5-7

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ２９．０３．２０１１	国際調査報告の発送日 １２．０４．２０１１
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　４Ｌ　４０４０ 安田　雅彦 電話番号　０３－３５８１－１１０１　内線　３４９８

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2001-059191 A (株式会社フロンテック) 2001.03.06, 全文、全図 & US 7229569 B1 & US 2007/0235685 A1 & TW 480611 B & KR 10-2001-0015041 A	5-7
Y A	JP 3-048489 A (富士通株式会社) 1991.03.01, 全文、全図（ファミリーなし）	1,3,5-7 4
Y	JP 5-061185 A (シャープ株式会社) 1993.03.12, 段落【００１２】（ファミリーなし）	1,3,5-7
A	JP 7-326751 A (現代電子産業株式会社) 1995.12.12, 段落【０００８】－【００１６】、【図２】（ファミリーなし）	4-7
A	JP 55-138260 A (東京芝浦電気株式会社) 1980.10.28, 全文、全図（ファミリーなし）	4-7
A	JP 10-107144 A (三星電子株式会社) 1998.04.24, 全文、全図 & US 6117785 A & KR 10-0195246 B1	4-7