

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7560469号
(P7560469)

(45)発行日 令和6年10月2日(2024.10.2)

(24)登録日 令和6年9月24日(2024.9.24)

(51)国際特許分類	F I			
G 0 6 F 17/10 (2006.01)	G 0 6 F 17/10	S		
G 0 6 N 3/063(2023.01)	G 0 6 N 3/063			
G 0 6 F 9/38 (2018.01)	G 0 6 F 9/38	3 7 0 C		
H 0 1 L 29/786(2006.01)	H 0 1 L 29/78	6 1 8 B		
H 0 1 L 21/8234(2006.01)	H 0 1 L 27/088	E		
請求項の数 7 (全65頁) 最終頁に続く				

(21)出願番号 特願2021-550713(P2021-550713)	(73)特許権者 000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(86)(22)出願日 令和2年9月18日(2020.9.18)	
(86)国際出願番号 PCT/IB2020/058696	
(87)国際公開番号 WO2021/064502	(72)発明者 石津 貴彦 神奈川県厚木市長谷398番地 株式会 社半導体エネルギー研究所内
(87)国際公開日 令和3年4月8日(2021.4.8)	
審査請求日 令和5年8月24日(2023.8.24)	(72)発明者 青木 健 神奈川県厚木市長谷398番地 株式会 社半導体エネルギー研究所内
(31)優先権主張番号 特願2019-183393(P2019-183393)	(72)発明者 古谷 一馬 神奈川県厚木市長谷398番地 株式会 社半導体エネルギー研究所内
(32)優先日 令和1年10月4日(2019.10.4)	(72)発明者 池田 隆之 神奈川県厚木市長谷398番地 株式会 社半導体エネルギー研究所内
(33)優先権主張国・地域又は機関 日本国(JP)	最終頁に続く
(31)優先権主張番号 特願2019-190753(P2019-190753)	
(32)優先日 令和1年10月18日(2019.10.18)	
(33)優先権主張国・地域又は機関 日本国(JP)	

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】
CPUと、
アクセラレータと、を有し、
前記アクセラレータは、第1メモリ回路と、駆動回路と、積和演算回路と、を有し、
前記第1メモリ回路は、第1データ保持部、第2データ保持部、およびデータ読出し部
を有し、
前記第1データ保持部、前記第2データ保持部、および前記データ読出し部はそれぞれ
、第1トランジスタを有し、
前記第1トランジスタは、チャネル形成領域に金属酸化物を有する第1半導体層を有し、
前記第1データ保持部に保持される第1データおよび前記第2データ保持部に保持され
る第2データは、前記積和演算回路に入力される重みデータであり、
前記積和演算回路は、前記重みデータと、前記駆動回路を介して入力される入力データ
と、の積和演算を行う機能を有し、
前記積和演算回路および前記駆動回路はそれぞれ、第2トランジスタを有し、
前記第2トランジスタは、チャネル形成領域にシリコンを有する第2半導体層を有し、
前記第1トランジスタと、前記第2トランジスタと、は積層して設けられる、半導体装
置。

【請求項2】
CPUと、

アクセラレータと、を有し、
前記アクセラレータは、第 1 メモリ回路と、駆動回路と、積和演算回路と、を有し、
前記第 1 メモリ回路は、第 1 データ保持部、第 2 データ保持部、およびデータ読出し部を有し、
前記第 1 データ保持部、前記第 2 データ保持部、および前記データ読出し部はそれぞれ、第 1 トランジスタを有し、
前記第 1 トランジスタは、チャンネル形成領域に金属酸化物を有する第 1 半導体層を有し、
前記第 1 データ保持部に保持される第 1 データおよび前記第 2 データ保持部に保持される第 2 データは、前記積和演算回路に入力される重みデータであり、
前記積和演算回路は、前記重みデータと、前記駆動回路を介して入力される入力データと、の積和演算を行う機能を有し、
前記積和演算回路および前記駆動回路はそれぞれ、第 2 トランジスタを有し、
前記第 2 トランジスタは、チャンネル形成領域にシリコンを有する第 2 半導体層と、導電性を付与する不純物元素を有するウェル領域と、前記ウェル領域および前記第 2 半導体層に接して設けられた酸化物層と、を有し、
前記第 1 トランジスタと、前記第 2 トランジスタと、は積層して設けられる、半導体装置。

【請求項 3】

請求項 1 または請求項 2 において、
前記 CPU は、バックアップ回路が設けられたフリップフロップを有する CPU コアを有し、
前記バックアップ回路は、第 3 トランジスタを有し、
前記フリップフロップは、第 4 トランジスタを有し、
前記第 3 トランジスタは、チャンネル形成領域に金属酸化物を有する第 3 半導体層を有し、
前記第 4 トランジスタは、チャンネル形成領域にシリコンを有する第 4 半導体層を有し、
前記第 3 トランジスタと、前記第 4 トランジスタと、は積層して設けられる、半導体装置。

【請求項 4】

請求項 3 において、
前記バックアップ回路は、前記 CPU が非動作時において、前記フリップフロップに保持されたデータを電源電圧の供給が停止した状態で保持する機能を有する、半導体装置。

【請求項 5】

請求項 1 乃至 4 のいずれか一において、
前記第 1 データ保持部および前記第 2 データ保持部は、前記第 1 トランジスタを非導通状態とすることで前記第 1 データおよび前記第 2 データを保持する機能を有する、半導体装置。

【請求項 6】

請求項 5 において、
前記第 1 メモリ回路は、前記第 1 データを読み出すための第 1 ビット線、および前記第 2 データを読み出すための第 2 ビット線に電氣的に接続され、
前記第 1 ビット線及び前記第 2 ビット線は、前記第 2 トランジスタが設けられた基板表面に垂直または概略垂直に設けられた第 1 配線を介して前記積和演算回路に電氣的に接続される、半導体装置。

【請求項 7】

請求項 1 乃至 6 のいずれか一において、
前記金属酸化物は、In と、Ga と、Zn と、を含む、半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本明細書は、半導体装置等について説明する。

【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する本発明の一態様の技術分野としては、半導体装置、撮像装置、表示装置、発光装置、蓄電装置、記憶装置、表示システム、電子機器、照明装置、入力装置、入出力装置、それらの駆動方法、又はそれらの製造方法、を一例として挙げることができる。

【背景技術】

【0003】

CPU (Central Processing Unit) 等を含む半導体装置を有する電子機器が普及している。このような電子機器では、大量のデータを高速に処理するため、半導体装置の性能向上に関する技術開発が活発である。高性能化を実現する技術としては、例えば、GPU (Graphics Processing Unit) 等のアクセラレータとCPUとを密結合させた、所謂SoC (System on Chip) 化がある。SoC化によって高性能化した半導体装置では、発熱、及び消費電力の増加が問題となってくる。

【0004】

AI (Artificial Intelligence) 技術では、計算量とパラメータ数が膨大になるため、演算量が増大する。演算量の増大は、発熱、および消費電力を増加させる要因となるため、演算量を低減するためのアーキテクチャが盛んに提案されている。代表的なアーキテクチャとして、Binary Neural Network (BNN)、およびTernary Neural Network (TNN) があり、回路規模縮小、および低消費電力化に対して特に有効となる（例えば特許文献1を参照）。

【0005】

例えば、TNNでは、もともと32ビット、もしくは16ビット精度で表現されたデータを、「+1」、「0」または「-1」の3値に圧縮することで、計算量とパラメータ数を大幅に削減できる。またBNNでは、もともと32ビット、もしくは16ビット精度で表現されたデータを、「+1」または「-1」の2値に圧縮することで、計算量とパラメータ数を大幅に削減できる。BNNまたはTNNは、回路規模縮小や低消費電力化に有効なため、限られたハードウェア資源において低消費電力が求められるアプリケーションと相性が良いと考えられている。

【先行技術文献】

【特許文献】

【0006】

【文献】国際公開第2019/078924号

【発明の概要】

【発明が解決しようとする課題】

【0007】

TNNの演算には3値のデータを用いる。3値のデータをSRAM (Static RAM) に記憶する場合、メモリセル内のトランジスタ数が増えてしまう。そのため、半導体装置の小型化が難しくなるといった虞がある。またトランジスタの微細化が進むにつれて、トランジスタのリーク電流に伴う消費電力が増大し、半導体装置全体の消費電力に対する寄与が大きくなるといった虞がある。

【0008】

また全結合なニューラルネットワークの積和演算では、演算時にメモリからデータを読み出す頻度が大きくなるため、ビット線の充放電エネルギーを如何にして低減するかが低消費電力化を図るうえで重要となる。ビット線の充放電エネルギーを低減するため、ビット線を短くする場合、メモリセルアレイの面積が増大するため、周辺回路の面積が著しく増大する虞がある。またビット線を短くすることを目的として、貼り合わせ技術などを用いてメモリセルアレイを3次元で集積化する技術を用いる場合、電気的に接続するための接続部の間隔が大きいため、却って寄生容量等が増えてしまい充放電エネルギーを低減できない虞がある。

10

20

30

40

50

【0009】

本発明の一態様は、小型化された半導体装置を提供することを課題の一とする。または、本発明の一態様は、低消費電力化された半導体装置を提供することを課題の一とする。または、新規な構成の半導体装置を提供することを課題の一とする。

【0010】

なお、本発明の一態様は、必ずしも上記の課題の全てを解決する必要はなく、少なくとも一の課題を解決できるものであればよい。また、上記の課題の記載は、他の課題の存在を妨げるものではない。これら以外の課題は、明細書、特許請求の範囲、図面などの記載から、自ずと明らかとなるものであり、明細書、特許請求の範囲、図面などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0011】

本発明の一態様は、CPUと、アクセラレータと、を有し、アクセラレータは、第1メモリ回路と、駆動回路と、積和演算回路と、を有し、第1メモリ回路は、第1データ保持部、第2データ保持部、およびデータ読出し部を有し、第1データ保持部、第2データ保持部、およびデータ読出し部はそれぞれ、第1トランジスタを有し、第1トランジスタは、チャンネル形成領域に金属酸化物を有する第1半導体層を有し、第1データ保持部に保持される第1データおよび第2データ保持部に保持される第2データは、積和演算回路に入力される重みデータであり、積和演算回路は、重みデータと、駆動回路を介して入力される入力データと、の積和演算を行う機能を有し、積和演算回路および駆動回路はそれぞれ、第2トランジスタを有し、第2トランジスタは、チャンネル形成領域にシリコンを有する第2半導体層を有し、第1トランジスタと、第2トランジスタと、は積層して設けられる半導体装置である。

【0012】

本発明の一態様は、CPUと、アクセラレータと、を有し、アクセラレータは、第1メモリ回路と、駆動回路と、積和演算回路と、を有し、第1メモリ回路は、第1データ保持部、第2データ保持部、およびデータ読出し部を有し、第1データ保持部、第2データ保持部、およびデータ読出し部はそれぞれ、第1トランジスタを有し、第1トランジスタは、チャンネル形成領域に金属酸化物を有する第1半導体層を有し、第1データ保持部に保持される第1データおよび第2データ保持部に保持される第2データは、積和演算回路に入力される重みデータであり、積和演算回路は、重みデータと、駆動回路を介して入力される入力データと、の積和演算を行う機能を有し、積和演算回路および駆動回路はそれぞれ、第2トランジスタを有し、第2トランジスタは、チャンネル形成領域にシリコンを有する第2半導体層と、導電性を付与する不純物元素を有するウェル領域と、ウェル領域および第2半導体層に接して設けられた酸化物層と、を有し、第1トランジスタと、第2トランジスタと、は積層して設けられる半導体装置である。

【0013】

本発明の一態様は、CPUと、アクセラレータと、を有し、アクセラレータは、第1メモリ回路と、駆動回路と、積和演算回路と、を有し、第1メモリ回路は、第1データ保持部、第2データ保持部、およびデータ読出し部を有し、第1データ保持部、第2データ保持部、およびデータ読出し部はそれぞれ、第1トランジスタを有し、第1トランジスタは、チャンネル形成領域に金属酸化物を有する第1半導体層を有し、第1データ保持部に保持される第1データおよび第2データ保持部に保持される第2データは、積和演算回路に入力される重みデータであり、積和演算回路は、重みデータと、駆動回路を介して入力される入力データと、の積和演算を行う機能を有し、積和演算回路および駆動回路はそれぞれ、第2トランジスタを有し、第2トランジスタは、チャンネル形成領域にシリコンを有する第2半導体層を有し、CPUは、バックアップ回路が設けられたフリップフロップを有するCPUコアを有し、バックアップ回路は、第3トランジスタを有し、第3トランジスタは、チャンネル形成領域に金属酸化物を有する第3半導体層を有し、第1トランジスタおよび第3トランジスタと、第2トランジスタと、は積層して設けられる半導体装置である。

【0014】

本発明の一態様は、CPUと、アクセラレータと、を有し、アクセラレータは、第1メモリ回路と、駆動回路と、積和演算回路と、を有し、第1メモリ回路は、第1データ保持部、第2データ保持部、およびデータ読出し部を有し、第1データ保持部、第2データ保持部、およびデータ読出し部はそれぞれ、第1トランジスタを有し、第1トランジスタは、チャンネル形成領域に金属酸化物を有する第1半導体層を有し、第1データ保持部に保持される第1データおよび第2データ保持部に保持される第2データは、積和演算回路に入力される重みデータであり、積和演算回路は、重みデータと、駆動回路を介して入力される入力データと、の積和演算を行う機能を有し、積和演算回路および駆動回路はそれぞれ、第2トランジスタを有し、第2トランジスタは、チャンネル形成領域にシリコンを有する第2半導体層と、導電性を付与する不純物元素を有するウェル領域と、ウェル領域および第2半導体層に接して設けられた酸化物層と、を有し、CPUは、バックアップ回路が設けられたフリップフロップを有するCPUコアを有し、バックアップ回路は、第3トランジスタを有し、第3トランジスタは、チャンネル形成領域に金属酸化物を有する第3半導体層を有し、第1トランジスタおよび第3トランジスタと、第2トランジスタと、は積層して設けられる、半導体装置である。

10

【0015】

本発明の一態様において、バックアップ回路は、CPUが非動作時において、フリップフロップに保持されたデータを電源電圧の供給が停止した状態で保持する機能を有する、半導体装置が好ましい。

20

【0016】

本発明の一態様において、第1データ保持部および第2データ保持部は、第1トランジスタを非導通状態とすることで第1データおよび第2データを保持する機能を有する、半導体装置が好ましい。

【0017】

本発明の一態様において、第1メモリ回路は、第1データを読み出すための第1ビット線、および第2データを読み出すための第2ビット線に電氣的に接続され、第1ビット線及び第2ビット線は、第2トランジスタが設けられた基板表面に垂直または概略垂直に設けられた第1配線を介して積和演算回路に電氣的に接続される、半導体装置が好ましい。

30

【0018】

本発明の一態様において、金属酸化物は、Inと、Gaと、Znと、を含む、半導体装置が好ましい。

【0019】

なおその他の本発明の一態様については、以下で述べる実施の形態における説明、および図面に記載されている。

【発明の効果】

【0020】

本発明の一態様は、小型化された半導体装置を提供することができる。または、本発明の一態様は、低消費電力化された半導体装置を提供することができる。または、新規な構成の半導体装置を提供することができる。

40

【0021】

複数の効果の記載は、他の効果の存在を妨げるものではない。また、本発明の一形態は、必ずしも、例示した効果の全てを有する必要はない。また、本発明の一形態について、上記以外の課題、効果、および新規な特徴については、本明細書の記載および図面から自ずと明らかになるものである。

【図面の簡単な説明】

【0022】

図1Aおよび図1Bは、半導体装置の構成例を説明する図である。

図2Aおよび図2Bは、半導体装置の構成例を説明する図である。

図3A、図3Bおよび図3Cは、半導体装置の構成例を説明する図である。

50

図 4 は、半導体装置の構成例を説明する図である。

図 5 A、図 5 B および 図 5 C は、半導体装置の構成例を説明する図である。

図 6 A および 図 6 B は、半導体装置の構成例を説明する図である。

図 7 A および 図 7 B は、半導体装置の構成例を説明する図である。

図 8 A および 図 8 B は、半導体装置の構成例を説明する図である。

図 9 A および 図 9 B は、半導体装置の構成例を説明する図である。

図 10 A および 図 10 B は、半導体装置の構成例を説明する図である。

図 11 は、半導体装置の構成例を説明する図である。

図 12 は、CPU の構成例を説明する図である。

図 13 A および 図 13 B は、CPU の構成例を説明する図である。

10

図 14 は、CPU の構成例を説明する図である。

図 15 は、半導体装置の構成例を示す図である。

図 16 A および 図 16 B は、トランジスタの構成例を示す図である。

図 17 A 乃至 図 17 C は、トランジスタの構成例を示す図である。

図 18 A 乃至 図 18 C は、トランジスタの構成例を示す図である。

図 19 A は I G Z O の結晶構造の分類を説明する図である。図 19 B は C A A C - I G Z O 膜の X R D スペクトルを説明する図である。図 19 C は C A A C - I G Z O 膜の極微電子線回折パターンを説明する図である。

図 20 は、集積回路の構成例を説明する図である。

図 21 A および 図 21 B は、集積回路の構成例を説明する図である。

20

図 22 A および 図 22 B は、集積回路の適用例を説明する図である。

図 23 A および 図 23 B は、集積回路の適用例を説明する図である。

図 24 A、図 24 B および 図 24 C は、集積回路の適用例を説明する図である。

図 25 は、集積回路の適用例を説明する図である。

図 26 は、実施例を説明するための図である。

【発明を実施するための形態】

【0023】

以下に、本発明の実施の形態を説明する。ただし、本発明の一形態は、以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明の一形態は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

30

【0024】

なお本明細書等において、「第 1」、「第 2」、「第 3」という序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。また例えば、本明細書等の実施の形態の一において「第 1」に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲において「第 2」に言及された構成要素とすることもありうる。また例えば、本明細書等の実施の形態の一において「第 1」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略することもありうる。

【0025】

40

図面において、同一の要素または同様な機能を有する要素、同一の材質の要素、あるいは同時に形成される要素等には同一の符号を付す場合があり、その繰り返しの説明は省略する場合がある。

【0026】

本明細書において、例えば、電源電位 V D D を、電位 V D D、V D D 等と省略して記載する場合がある。これは、他の構成要素（例えば、信号、電圧、回路、素子、電極、配線等）についても同様である。

【0027】

また、複数の要素に同じ符号を用いる場合、特に、それらを区別する必要があるときには、符号に“__1”、“__2”、“[n]”、“[m, n]”等の識別用の符号を付記して記載する。

場合がある。例えば、２番目の配線 G L を配線 G L [0] と記載する。

【 0 0 2 8 】

(実施の形態 1)

本発明の一態様である半導体装置の構成、および動作等について説明する。

【 0 0 2 9 】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能し得る装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。表示装置（液晶表示装置、発光表示装置など）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置、電子機器などは、半導体装置を有すると言える場合がある。

10

【 0 0 3 0 】

図 1 A および図 1 B は、本発明の一態様である半導体装置 1 0 0 を説明するための図である。図 1 A および図 1 B における半導体装置 1 0 0 では、一例として、C P U 1 0、アクセラレータ 2 0 およびバス 3 0 を図示している。C P U 1 0 は、C P U コア 1 1 およびバックアップ回路 1 2 を有する。アクセラレータ 2 0 は、駆動回路 1 5、演算処理部 2 1、メモリ部 2 2 __ 1 乃至 2 2 __ N (N は自然数) を有する。駆動回路 1 5 は、メモリ部 2 2 を駆動するための回路である。演算処理部 2 1 は、演算回路 2 3 __ 1 乃至 2 3 __ N を有する。駆動回路 1 5 は、メモリ部 2 2 __ 1 乃至 2 2 __ N および演算処理部 2 1 を駆動するための回路である。メモリ部 2 2 __ 1 乃至 2 2 __ N はそれぞれ、メモリ回路 2 4 を有する。メモリ部 2 2 __ 1 乃至 2 2 __ N は、デバイスメモリ、共有メモリという場合がある。メモリ回路 2 4 は、チャンネル形成領域を有する半導体層 2 9 を有するトランジスタ 2 5 を有する。

20

【 0 0 3 1 】

C P U 1 0 は、オペレーティングシステムの実行、データの制御、各種演算やプログラムの実行など、汎用の処理を行う機能を有する。C P U 1 0 は、C P U コア 1 1 を有する。C P U コア 1 1 は、1 つまたは複数の C P U コア に相当する。また C P U 1 0 は、電源電圧の供給が停止しても C P U コア 1 1 内のデータを保持できるバックアップ回路 1 2 を有する。電源電圧の供給は、電源ドメイン（パワードメイン）からのパワースイッチ等による電氣的な切り離しによって制御することができる。なお電源電圧は、駆動電圧という場合がある。バックアップ回路 1 2 として、例えば、酸化物半導体 (O x i d e S e m i c o n d u c t o r) をチャンネル形成領域に有するトランジスタ (O S トランジスタ) を有するメモリが好適である。

30

【 0 0 3 2 】

O S トランジスタで構成されるバックアップ回路 1 2 は、S i C M O S で構成することができる。C P U コア 1 1 と積層して設けることができる。バックアップ回路 1 2 の面積は C P U コア 1 1 の面積より小さいため、回路面積の増加を招くことなく、C P U コア上にバックアップ回路 1 2 を配置することができる。バックアップ回路 1 2 は、C P U コア 1 1 が有するレジスタのデータを保持する機能を有する。バックアップ回路 1 2 は、データ保持回路ともいう。

【 0 0 3 3 】

なお O S トランジスタを有するバックアップ回路 1 2 を備えた C P U コア 1 1 の構成の詳細については、実施の形態 3 でも説明する。

40

【 0 0 3 4 】

アクセラレータ 2 0 は、ホストプログラムから呼び出されたプログラム（カーネル、またはカーネルプログラムとも呼ばれる。）を実行する機能を有する。アクセラレータ 2 0 は、例えば、グラフィック処理における行列演算の並列処理、ニューラルネットワークの積和演算の並列処理、科学技術計算における浮動小数点演算の並列処理などを行うことができる。

【 0 0 3 5 】

メモリ部 2 2 __ 1 乃至 2 2 __ N は、アクセラレータ 2 0 が処理するデータを記憶する機

50

能を有する。具体的には、ニューラルネットワークの積和演算の並列処理に用いる重みデータ W_1 乃至 W_N を記憶することができる。重みデータ W_1 乃至 W_N は、TNNに用いる「+1」、「0」または「-1」の3値で表されるデータである。メモリ部22_1乃至22_Nが有するメモリ回路24では、3値のデータを2つのデータ保持部において2値の電圧値を保持することで、3値のデータを保持する機能を有する。なお3値に限らず、4値以上のデータとすることも可能である。

【0036】

演算処理部21とメモリ部22_1乃至22_Nとは、ビット線PBLおよびビット線NBLを介して接続される。メモリ部22_1乃至22_Nのいずれかーは、一対のビット線PBLおよびビット線NBLに接続されたメモリ回路24を有する。なお一対のビット線PBLおよびビット線NBLは、ビット線BLと省略して表す場合がある。一対のビット線PBLおよびビット線NBLはそれぞれ、演算回路23_1乃至23_Nのいずれかーに接続される。一対のビット線PBLおよびビット線NBLは、重みデータ W_1 乃至 W_N をメモリ部22（メモリ部22_1乃至22_Nのいずれかーをメモリ部22という）から演算回路23（演算回路23_1乃至23_Nのいずれかーを演算回路23という）に与えるための配線である。

【0037】

駆動回路15と演算処理部21とは、データ入力線A_{IN}を介して接続される。演算回路23_1乃至23_Nのいずれかーは、データ入力線A_{IN}を介して入力データA₁乃至A_Nのいずれかーが与えられる。入力データA₁乃至A_Nは、TNNに用いる「+1」または「-1」の2値で表されるデータである。データ入力線A_{IN}は、演算回路23に入力データA₁乃至A_Nを与えるための配線である。当該構成とすることで、Ternary Neural Network（TNN）といったアーキテクチャに基づく演算処理を演算処理部21で効率的に行うことができる。

【0038】

メモリ回路24において、トランジスタ25が有する半導体層29は、酸化物半導体である。つまり、トランジスタ25は、OSトランジスタである。メモリ回路24は、OSトランジスタを有するメモリ（以下、OSメモリともいう。）が好適である。OSメモリは、OSトランジスタを非導通状態とすることで電圧値に応じた電荷を保持する機能を有する。

【0039】

金属酸化物のバンドギャップは2.5 eV以上あるため、OSトランジスタは極小のオフ電流をもつ。一例として、ソースとドレイン間の電圧が3.5 V、室温（25℃）下において、チャネル幅1 μm当たりのオフ電流を 1×10^{-20} A未満、 1×10^{-22} A未満、あるいは 1×10^{-24} A未満とすることができる。すなわち、ドレイン電流のオン／オフ電流比を20桁以上150桁以下とすることができる。そのため、OSメモリは、OSトランジスタを介して保持ノードからリークする電荷量が極めて少ない。従って、OSメモリは不揮発性メモリ回路として機能できるため、アクセラレータのパワーゲーティングが可能となる。

【0040】

高密度で集積化された半導体装置は、回路の駆動による熱が発生する場合がある。この発熱により、トランジスタの温度が上がることで、当該トランジスタの特性が変化して、電界効果移動度の変化や動作周波数の低下などが起こることがある。OSトランジスタは、Siトランジスタよりも熱耐性が高いため、温度変化による電界効果移動度の変化が起こりにくく、また動作周波数の低下も起こりにくい。さらに、OSトランジスタは、温度が高くなっても、ドレイン電流がゲートーソース間電圧に対して指数関数的に増大する特性を維持しやすい。そのため、OSトランジスタを用いることにより、高い温度環境下での安定した動作を行うことができる。

【0041】

OSトランジスタに適用される金属酸化物は、Zn酸化物、Zn-Sn酸化物、Ga-

10

20

30

40

50

Sn酸化物、In-Ga酸化物、In-Zn酸化物、In-M-Zn酸化物（Mは、Ti、Ga、Y、Zr、La、Ce、Nd、SnまたはHfの中から選ばれるいずれかまたは複数）などがある。特にMとしてGaを用いる金属酸化物をOSトランジスタに採用する場合、元素の比率を調整することで電界効果移動度等の電気特性に優れたトランジスタとすることができるため、好ましい。また、インジウムおよび亜鉛を含む酸化物に、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

【0042】

OSトランジスタの信頼性、電気特性の向上のため、半導体層に適用される金属酸化物は、CAAC-OS、CAC-OS、nc-OSなどの結晶部を有する金属酸化物であることが好ましい。CAAC-OSとは、c-axis-aligned crystal line oxide semiconductorの略称である。CAC-OSとは、Cloud-Aligned Composite oxide semiconductorの略称である。nc-OSとは、nanocrystalline oxide semiconductorの略称である。

【0043】

CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域との間で格子配列の向きが変化している箇所を指す。

【0044】

CAC-OSは、キャリアとなる電子（または正孔）を流す機能と、キャリアとなる電子を流さない機能とを有する。電子を流す機能と、電子を流さない機能とを分離させることで、双方の機能を最大限に高めることができる。つまり、CAC-OSをOSトランジスタのチャネル形成領域に用いることで、高いオン電流と、極めて低いオフ電流との双方を実現できる。

【0045】

金属酸化物は、バンドギャップが大きく、電子が励起されにくいこと、ホールの有効質量が大きいことなどから、OSトランジスタは、一般的なSiトランジスタと比較して、アバランシェ崩壊等が生じにくい場合がある。従って、例えばアバランシェ崩壊に起因するホットキャリア劣化等を抑制できる。ホットキャリア劣化を抑制できることで、高いドレイン電圧でOSトランジスタを駆動することができる。

【0046】

OSトランジスタは、電子を多数キャリアとする蓄積型トランジスタである。そのため、pn接合を有する反転型トランジスタ（代表的には、Siトランジスタ）と比較して短チャネル効果の一つであるDIBL（Drain-Induced Barrier Lowering）の影響が小さい。つまり、OSトランジスタは、Siトランジスタよりも短チャネル効果に対する高い耐性を有する。

【0047】

OSトランジスタは、短チャネル効果に対する耐性が高いために、OSトランジスタの信頼性を劣化させずに、チャネル長を縮小できるので、OSトランジスタを用いることで回路の集積度を高めることができる。チャネル長が微細化するのに伴いドレイン電界が強まるが、上掲したように、OSトランジスタはSiトランジスタよりもアバランシェ崩壊が起きにくい。

【0048】

また、OSトランジスタは、短チャネル効果に対する耐性が高いために、Siトランジスタよりもゲート絶縁膜を厚くすることが可能となる。例えば、チャネル長及びチャネル幅が50nm以下の微細なトランジスタにおいても、10nm程度の厚いゲート絶縁膜を

10

20

30

40

50

設けることが可能な場合がある。ゲート絶縁膜を厚くすることで、寄生容量を低減することができるので、回路の動作速度を向上できる。またゲート絶縁膜を厚くすることで、ゲート絶縁膜を介したリーク電流が低減されるため、静的消費電流の低減につながる。

【0049】

以上より、アクセラレータ20は、OSメモリであるメモリ回路24を有することで電源電圧の供給が停止してもデータを保持できる。そのため、アクセラレータ20のパワーゲーティングが可能となり、消費電力の大幅な低減を図ることができる。

【0050】

OSTランジスタで構成されるメモリ回路24は、Si CMOSで構成することができる演算回路23と積層して設けることができる。そのため、回路面積の増加を招くことなく、配置することができる。

10

【0051】

メモリ回路24は、NOSRAMの回路構成を有することが好ましい。「NOSRAM（登録商標）」とは、「Nonvolatile Oxide Semiconductor RAM」の略称である。NOSRAMは、メモリセルが2ランジスタ型（2T）、又は3ランジスタ型（3T）ゲインセルであり、アクセストランジスタがOSTランジスタであるメモリのことをいう。OSTランジスタはオフ状態でソースとドレインとの間を流れる電流、つまりリーク電流が極めて小さい。NOSRAMは、リーク電流が極めて小さい特性を用いてデータに応じた電荷をメモリ回路内に保持することで、不揮発性メモリとして用いることができる。特にNOSRAMは保持しているデータを破壊することなく読み出しすること（非破壊読み出し）が可能のため、データ読み出し動作のみを大量に繰り返す、ニューラルネットワークの積和演算の並列処理に適している。

20

【0052】

演算処理部21は、デジタル値を用いた演算処理を行う機能を有する。デジタル値はノイズの影響を受けにくい。そのためアクセラレータ20は、高い精度の演算結果が要求される演算処理を行うのに適している。なお演算処理部21は、Si CMOS、すなわちシリコンをチャネル形成領域に有するランジスタ（Siランジスタ）で構成されること好ましい。当該構成とすることでOSTランジスタと積層して設けることができる。

【0053】

駆動回路15は、メモリ部22__1乃至22__Nに重みデータを保持させるための機能を有する。また駆動回路15は、演算回路23__1乃至23__Nに入力データを与えてニューラルネットワークの積和演算等を実行させるための機能を有する。

30

【0054】

OSTランジスタで構成されるメモリ回路24と演算回路23__1乃至23__Nとは、駆動回路15および演算回路23__1乃至23__Nが設けられる基板表面に対して概略垂直な方向に延在して設けられるビット線NBLおよびビット線PBLを介して電氣的に接続される。なお「概略垂直」とは、85度以上95度以下の角度で配置されている状態をいう。なお本明細書において図1B等に図示するX方向、Y方向、およびZ方向は、それぞれが互いに直交または交差する方向である。また、X方向およびY方向は基板面に対して平行または概略平行であり、Z方向は基板面に対して垂直または概略垂直である。

40

【0055】

演算回路23__1乃至23__Nは、入力データA₁乃至A_Nおよび重みデータW₁乃至W_Nを用いて、整数演算、単精度浮動小数点演算、倍精度浮動小数点演算などの処理のいずれかを行う機能を有する。演算回路23は、積和演算といった同じ処理を繰り返し実行する機能を有する。

【0056】

なお演算回路23__1乃至23__Nは、メモリ回路24のビット線NBLおよびビット線PBL毎、つまり一列（Column）毎に1つの演算回路23を設ける構成とする（Column-Parallel Calculation）。当該構成とすることで、メモリ回路24の1行分（最大で全ビット線）のデータを並列で演算処理することができる。

50

る。CPU10を用いた積和演算に比べて、CPUとメモリ間のデータバスサイズ（32ビット、など）に制限されないことから、Column-Parallel Calculationでは、演算の並列度を大幅に上げることができるため、AI技術であるディープニューラルネットワークの学習（深層学習）、浮動小数点演算を行う科学技術計算などの膨大な演算処理に係る演算効率の向上を図ることができる。加えてメモリ回路24から出力されるデータの演算を完了させて読み出すことができるため、メモリアクセス（CPUとメモリ間のデータ転送やCPUでの演算）で生じる電力を削減することができ、発熱および消費電力の増加を抑制することができる。さらに、1つの演算回路23とメモリ回路24の物理的な距離を近づけること、例えば積層によって配線距離が短くできることで、信号線に生じる寄生容量を削減できるため、低消費電力化が可能である。

10

【0057】

演算回路23__1乃至23__Nにおいて、回路を構成するトランジスタの半導体層はシリコンである。半導体層としてシリコンを有するトランジスタをSiトランジスタという。Siトランジスタは、シリコン基板に埋め込み酸化（Burried oxide）によって形成された絶縁層（BOX層ともいう）と、絶縁層上の単結晶シリコンと、を有するSOI基板を用いて形成される構成が好ましい。シリコン基板は、例えばp型の単結晶シリコン基板である。

【0058】

Siトランジスタが設けられる領域のシリコン基板には、導電性を付与する不純物元素が付加されたウェル領域を重ねて設けることができる。ウェル領域は、ウェル領域の電位を独立して変化させることで、ボトムゲート電極として機能させることができる。そのため、Siトランジスタのしきい値電圧を制御することができる。特に、ウェル領域に負の電位を印加することにより、Siトランジスタのしきい値電圧をより大きくし、オフ電流を低減することが可能となる。したがって、ウェル領域に負の電位を印加することで、Siトランジスタのゲート電極に印加する電位が0Vのときのドレイン電流を小さくすることができる。またしきい値電圧を制御することを目的としたチャネル形成領域への不純物元素の付加が不要になるため、しきい値電圧のばらつきを低減でき、電源電圧を下げるることができる。その結果、演算回路23__1乃至23__Nにおける消費電力を低減でき、演算効率の向上を図ることができる。

20

【0059】

バス30は、CPU10とアクセラレータ20とを電氣的に接続する。つまりCPU10とアクセラレータ20とは、バス30を介してデータ伝送を行うことができる。

30

【0060】

次いで図1A、図1Bの構成とすることによる利点について説明する。図2Aでは、図1Bの模式図をz方向から見た平面視の模式図である。なお図2Aでは、6個の演算回路23__1乃至23__6をy方向に並べて配置し、z方向で重なるように6個のメモリ部22__1乃至22__6を図示している。また図2Aでは、データ入力線A_{IN}を介して6個の演算回路23__1乃至23__6に入力データA₁乃至A₆を与える駆動回路15を図示している。

【0061】

なお図2Aにおける演算回路23__1乃至23__6では、一対のビット線NBL、PBLのデータに基づく3値で表されるデータW（W₁乃至W₆）、およびデータ入力線A_{IN}の入力データA（A₁乃至A₆）と、の積（=W×A）に相当する出力信号Y₁乃至Y₆が得られる。

40

【0062】

また図2Aにおいて、演算回路23__1乃至23__6はそれぞれ、メモリ部22__1乃至22__6とビット線NBL、PBL（図2Aでは1個の開口部で図示）で接続される。つまり、z方向に延びた配線を介して接続されるよう図示している。つまり、ビット線NBL、PBLによって演算回路23__1乃至23__6と、メモリ部22__1乃至22__6と、を短い距離に配置することができる。そのため、ビット線NBL、PBLと、そのほ

50

かの素子との寄生容量を削減することができる。そのためビット線の充放電による電荷を削減でき、低消費電力化および演算効率の向上を図ることができる。

【0063】

加えて、図2Aの構成では、メモリ部22__1乃至22__6の全てのトランジスタはOSトランジスタであるため、Siトランジスタで構成される演算回路23__1乃至23__6上に積層することができる。そのため、演算回路とメモリ部とを重ねて配置することができるため、メモリ部が配置されて増加する分の回路面積を縮小することができる。そのため、半導体装置を小型化することができる。加えて、駆動回路15から延びて設けられるデータ入力線A_{IN}を短くすることができる。

【0064】

また図2Bでは、演算回路23__1乃至23__6とメモリ部22__1乃至22__6とが交互にy方向に並んで配置した場合の模式図を、図2Aと同様にして図示している。図2Bの例は、メモリ回路のデータ保持回路をSRAM(Static RAM)とするようにメモリ回路をSiトランジスタで構成する場合である。そのため、図2Aのように演算処理部とメモリ部とを重ねて配置せず、平面上に並べて配置する構成となる。

【0065】

図2Bにおいて、演算回路23__1乃至23__6はそれぞれ、隣接して設けられるメモリ部22__1乃至22__6から伸びて設けられるビット線NBL、PBL(図2Aでは1本の配線として図示)で接続される。つまり、y方向に延びた配線を介して接続されるよう図示している。つまり、ビット線NBL、PBLによって演算回路23__1乃至23__6と、メモリ部22__1乃至22__6と、をz方向と比べて長い距離に配置することができる。そのため、ビット線NBL、PBLと、そのほかの素子との寄生容量が増える。そのためビット線の充放電による電荷が増える。そのため、図2Aで図示した本発明の一態様の構成は、小型化、低消費電力化に優れた構成であるといえる。

【0066】

本発明の一態様は、アクセラレータとCPUを備えた半導体装置において、小型化された半導体装置を提供することができる。または、本発明の一態様は、アクセラレータとCPUを備えた半導体装置において、低消費電力化された半導体装置を提供することができる。または、本発明の一態様は、CPUにおけるデータ転送回数が削減された半導体装置を提供することができる。または、新規な構成の半導体装置を提供することができる。本発明の一態様の半導体装置は、非ノイマン型アーキテクチャを有し、処理速度の増加に伴って消費電力が大きくなるノイマン型アーキテクチャと比較して、極めて少ない消費電力で並列処理を行うことができる。

【0067】

図3Aは、処理能力(OPS:Operations Per Second)と、消費電力(W)との関係を説明する図である。なお、図3Aにおいて、縦軸が処理能力を、横軸が消費電力を、それぞれ表している。また、図3A中には、演算効率の指標として、0.1TOPS/W(Tera Operations Per Second/W)、1TOPS/W、10TOPS/W、100TOPS/W、及び1POPS/W(Pera Operations Per Second/W)を、破線にてそれぞれ明示してある。

【0068】

また、図3Aにおいて、領域910が従来の汎用AIアクセラレータ(ノイマン型)が含まれる領域を、領域912が本発明の一態様の半導体装置が含まれる領域を、それぞれ示している。なお、領域910には、例えば、CPU(Central Processing Unit)、GPU(Graphics Processing Unit)、FPGA(Field-Programmable Gate Array)などが含まれる。

【0069】

図3Aに示すように、本発明の一態様の半導体装置を適用することで、従来の汎用AIアクセラレータ(ノイマン型)よりも、2桁程度の消費電力を低減することができ、且つ処理性能を大幅(例えば1000倍以上)に向上させることができる。なお、本発明の一

10

20

30

40

50

態様の半導体装置を適用することで、 100 TOPS/W 以上の演算効率が期待できる。

【0070】

ここで、従来構成と、本発明の一態様の半導体装置を適用する構成との具体例について、図3B、及び図3Cを用いて説明する。図3Bが、画像認識における従来構成の半導体装置の消費電力のイメージ図を表し、図3Cが、画像認識における本発明の一態様の構成を用いる半導体装置の消費電力のイメージ図を表している。

【0071】

なお、図3B、及び図3Cにおいて、縦軸が電力を、横軸が時間を、それぞれ表している。また、図3Bにおいて、電力914がリーク電力を、電力916がCPU電力（CPUの消費電力）を、電力918がメモリ電力を、それぞれ示している。また、図3Cにおいて、電力914がリーク電力を、電力920がCPU電力を、電力922がアクセラレータ電力（アクセラレータの消費電力）を、それぞれ示している。なお、電力922には、演算回路、及びメモリ回路に用いられる電力も含まれる。

【0072】

また、図3B、及び図3Cにおいて、矢印a、矢印b、及び矢印cは、それぞれ画像認識における信号を表している。なお、矢印a、矢印b、及び矢印cの信号が入力された際に、半導体装置にて、画像認識などの演算処理が開始されると仮定する。

【0073】

図3Bに示すように、従来構成の半導体装置の場合、時間に対して一定のリーク電力（電力914）が生じている。一方で、図3Cに示すように、本発明の一態様の半導体装置を適用する構成の場合、CPU電力（電力920）、及びアクセラレータ電力（電力922）を使用している間はリーク電力（電力914）が生じているが、CPU電力（電力920）、及びアクセラレータ電力（電力922）を使用していない期間は、リーク電力（電力914）が発生しないノーマリーオフ駆動（図3C中に示す期間t1）とすることが可能となる。これにより、消費電力を大幅に低減することが可能となる。すなわち、極低消費電力な半導体装置を提供することができる。

【0074】

図4には、図3Aで説明した本発明の一態様の半導体装置が有するNOSRAM、CPU（Central Processing Unit）、GPU（Graphics Processing Unit）、FPGA（Field-Programmable Gate Array）などが有するDRAM（Dynamic RAM）、SRAM（Static RAM）およびフラッシュメモリ（flash）における読出しエネルギーと、1Gbitあたりの相対コスト（1Gbit/cost）と、を比較したグラフを示す。

【0075】

フラッシュメモリは、1Gbitあたりの相対コストに優れているものの読出しエネルギーが100pJと高い。またDRAMは、1Gbitあたりの相対コストがフラッシュメモリに対して劣るものの、読出しエネルギーが小さくなる。またSRAMは、1Gbitあたりの相対コストがDRAM、フラッシュメモリに対して大幅に劣るものの、読出しエネルギーが大幅に小さい。これらフラッシュメモリ、DRAM、SRAMに対して本発明の一態様の半導体装置が有するNOSRAMは、読出しエネルギーが極めて小さく、1Gbitあたりの相対コストもSRAMと比べて優れている。そのため、図3Aで説明したように 100 TOPS/W を越えた演算効率を目指す場合、NOSRAMを有する半導体装置が適しているといえる。

【0076】

図5Aは、本発明の半導体装置100が有するメモリ部22_1乃至22_Nに適用可能な回路構成例について説明する図である。図5Aでは、M行N列（M、Nは2以上の自然数）行列方向に並べて配置されたビット線PBL_1乃至PBL_N、ビット線NBL_1乃至NBL_N、およびワード線WL_1乃至WL_M（Mは自然数）を図示している。また各ワード線およびビット線に接続されたメモリ回路24を図示している。

【0077】

図5Bは、メモリ回路24に適用可能な回路構成例について説明する図である。メモリ回路24は、データ保持回路31__P、データ保持回路31__N、トランジスタ32__P、トランジスタ32__N、トランジスタ33__P、およびトランジスタ33__Nを有する。

【0078】

なおメモリ回路24における各トランジスタは、バックゲートを有していてもよい。この場合、バックゲートは、ゲートと接続してもよいし、ゲートとは異なる電位を与え、トランジスタの電気特性を制御する構成としてもよい。

【0079】

データ保持回路31__Pは、トランジスタ32__Pのゲートに接続される配線のノードMN__Pに接続される。トランジスタ32__Pのソースまたはドレインの一方は、GNDなどの固定電位に接続される。トランジスタ33__Pのソースまたはドレインの一方は、トランジスタ32__Pのソースまたはドレインの他方に接続される。トランジスタ33__Pのソースまたはドレインの一方は、ビット線PBLに接続される。トランジスタ33__Pのゲートは、ワード線WLに接続される。

【0080】

データ保持回路31__Nは、トランジスタ32__Nのゲートに接続される配線のノードMN__Nに接続される。トランジスタ32__Nのソースまたはドレインの一方は、GNDなどの固定電位に接続される。トランジスタ33__Nのソースまたはドレインの一方は、トランジスタ32__Nのソースまたはドレインの他方に接続される。トランジスタ33__Nのソースまたはドレインの一方は、ビット線NBLに接続される。トランジスタ33__Nのゲートは、ワード線WLに接続される。

【0081】

データ保持回路31__Pおよびデータ保持回路31__Nはそれぞれ、HレベルまたはLレベルの電圧に応じた信号を保持する機能を有する。図5Cには、図5Bのデータ保持回路31__Pおよびデータ保持回路31__Nに適用可能なデータ保持回路31の回路構成を図示する。

【0082】

データ保持回路31は、トランジスタ32__P、32__Nに適用可能なトランジスタ32、およびトランジスタ33__P、33__Nに適用可能なトランジスタ33と合わせて、3トランジスタ型(3T)ゲインセルのNOSRAMに相当する。つまり、データ保持回路31は、図5Cに図示するように、トランジスタ34および容量素子35を有する。図5Cに図示する各トランジスタは、OSTランジスタである。OSTランジスタはオフ状態でソースとドレインとの間を流れる電流、つまりリーク電流が極めて小さい。NOSRAMは、リーク電流が極めて小さい特性を用いてデータに応じた電荷をメモリ回路24内のノードMNに保持することで、不揮発性メモリとして用いることができる。ノードMNの電圧は、データ保持回路31で保持される電圧である。なおデータ保持回路31に保持される電圧は、信号MBLで与えられる。信号MBLは、トランジスタ34のゲートに与える信号MWLの制御のタイミングでノードMNに書き込む構成とすればよい。なお3トランジスタ型(3T)ゲインセルのNOSRAMは、5値や7値といった2値以上の電圧を保持することが可能である。

【0083】

図5Cのデータ保持回路31の回路構成を図5Bに適用したメモリ回路24の回路構成について、図6Aに示す。図6Aに図示する各信号の真理値表は、表1のようになる。表1においてHレベルおよびLレベルの電圧は、論理「1」、「0」で表している。「Cell__P」は、ノードMN__Pつまりデータ保持回路31__Pで保持する電圧に応じた論理に相当する。「Cell__N」は、ノードMN__Nつまりデータ保持回路31__Nで保持する電圧に応じた論理に相当する。「W」は、ビット線NBL、PBLの論理で決まるデータであり、TNNに用いる「0」、「+1」または「-1」の3値で表されるデータである。また禁止は、「×」で表している。

10

20

30

40

50

【 0 0 8 4 】

【表 1】

PBL	NBL	Cell P	Cell N	W
0	0	1	1	X
0	1	1	0	-1
1	0	0	1	+1
1	1	0	0	0

10

【 0 0 8 5 】

図 6 A の構成の場合、ノード MN₋P の H レベルの電圧を保持するとし、ノード MN₋N のソースまたはドレインの一方の固定電位がグラウンド電位（L レベルの電圧）とすると、ビット線 PBL に読み出される電圧は L レベルとなり、保持した電圧と読み出される電圧とが反転することになる。そのため、図 6 B に図示するようにノード MN₋P とトランジスタ 32₋N のゲート、ノード MN₋N とトランジスタ 32₋P のゲート、を接続する構成が好ましい。図 6 B に図示する各信号の真理値表は、表 2 のようになる。

【 0 0 8 6 】

【表 2】

PBL	NBL	Cell P	Cell N	W
0	0	1	1	X
0	1	0	1	-1
1	0	1	0	+1
1	1	0	0	0

20

30

【 0 0 8 7 】

なお図 6 A は、図 7 A の回路構成に変形することができる。図 7 A は図示するように、トランジスタ 33₋P および 33₋N をトランジスタ 34 に置き換え、各配線およびトランジスタ間の接続を変更した構成に相当する。図 7 A の回路構成において、表 1 で示す真理値表のデータを得ることができる。

【 0 0 8 8 】

同様に図 6 B は、図 7 B の回路構成に変形することができる。図 7 B は図示するように、トランジスタ 33₋P および 33₋N をトランジスタ 34 に置き換え、各配線およびトランジスタ間の接続を変更した構成に相当する。図 7 B の回路構成において、表 2 で示す真理値表のデータを得ることができる。

40

【 0 0 8 9 】

図 8 A は、本発明の半導体装置 100 が有する演算処理部 21 に適用可能な回路構成例について説明する図である。演算処理部 21 は、演算回路 23₋1 乃至 23₋N を有する。N 個の演算回路 23₋1 乃至 23₋N はそれぞれ、N 本のビット線 PBL₋1 乃至ビット線 PBL₋N のいずれか一、N 本のビット線 NBL₋1 乃至ビット線 NBL₋N のいずれか一、およびデータ入力線 A_{IN} に与えられた入力データ A₁ 乃至 A_N のいずれか一、の各信号が入力され、出力信号 Q₋1 乃至 Q₋N を出力する。出力信号 Q₋1 乃至 Q₋N は、メモリ回路 24 に保持したデータ、およびデータ入力線 A_{IN} を介して駆動回路 15 よ

50

り入力されるデータを用いて積和演算を行うことで得られるデータに相当する。

【0090】

図8Bは、演算回路23__1乃至演算回路23__Nに適用可能な演算回路23の回路構成例を説明する図である。図8Bは、TNNのアーキテクチャに基づく演算処理を実行するための回路である。演算回路23は、積和演算を行うための論理回路42と、アキュムレータ43と、ラッチ回路44、および出力信号Qを出力する符号化回路45を有する。論理回路42は、N本のビット線PBL__1乃至ビット線PBL__Nのいずれか（図中データPBL）、N本のビット線NBL__1乃至ビット線NBL__Nのいずれか（図中、データNBL）、およびデータ入力線A_{IN}に与えられた入力データA₁乃至A_Nのいずれか（図中、データA）、の各信号が入力される。データPBLおよびデータNBLから「0」、「+1」または「-1」の3値として表されるデータ（データW）と、「+1」または「-1」の2値で表されるデータAと、の積（=W×A）に相当するデータYを出力する。

【0091】

図8Aにおける論理回路の各信号の真理値表は、表3のようになる。なお表3において、データAにおける「+1」を「(0)」、データAにおける「-1」を「(1)」と1ビットのデジタル信号で表している。また表3において、データYにおける「0」を「(00)」、データYにおける「+1」を「(01)」、データYにおける「-1」を「(11)」と2ビットのデジタル信号で表している。また禁止は、「X」で表している。

【0092】

【表3】

PBL	NBL	W	A	Y=W×A
1	1	0	-1 (0)	0 (00)
1	0	+1	-1 (0)	-1 (11)
0	1	-1	-1 (0)	+1 (01)
0	0	X	-1 (0)	X
1	1	0	+1 (1)	0 (00)
1	0	+1	+1 (1)	+1 (01)
0	1	-1	+1 (1)	-1 (11)
0	0	X	+1 (1)	X

【0093】

図8A、図8Bでは、メモリアクセスは1クロックで1行を選択するため、M個（=1ビット×M行）の積とその和をMクロックで実行する。図8A、図8Bの演算回路では、同じM個の積とその和をN並列×1ビット×M/N行で実行できるため、M/Nクロックを要する。したがって、図8A、図8Bの構成は並列に積和演算を実行することで演算時間を短縮できるため、演算効率を向上できる。

【0094】

図9Aには、階層型のニューラルネットワークを図示する。図9Aでは、ニューロン50、入力層1層（I1）、中間層3層（M1乃至M3）、出力層1層（O1）の全結合型のニューラルネットワークを図示している。入力層I1におけるニューロン数を786、中間層M1乃至M3におけるニューロン数を256、出力層O1におけるニューロン数を10とすると、各層（層51、層52、層53および層54）の結合数は（786×256）+（256×256）+（256×256）+（256×10）で計334336個となる。つまり、ニューラルネットワーク計算に必要な重みパラメータが合計330Kビット程度であるため、小規模システムでも十分実装可能なメモリ容量とすることができる。

【0095】

次に、図 9 A に図示するニューラルネットワークの演算ができる、半導体装置 100 の詳細なブロック図について図 9 B に示す。

【0096】

図 9 B では、図 1 A および図 1 B で説明した、演算処理部 21、演算回路 23 __ 1 乃至 23 __ N に対応する演算回路 23、メモリ部 22 __ 1 乃至 22 __ N に対応するメモリ部 22、メモリ回路 24、およびビット線 NBL、PBL の他、図 1 A および図 1 B で図示する駆動回路 15 の構成例について図示している。

【0097】

図 9 B では、図 1 A および図 1 B で説明した駆動回路 15 に対応する構成として、コントローラ 61、ロウデコーダ 62、ワード線ドライバ 63、カラムデコーダ 64、書き込みドライバ 65、プリチャージ回路 66、入力バッファ 71 および演算制御回路 72 を図示している。

【0098】

図 10 A は、図 9 B に図示する各構成について、メモリ部 22 を制御するブロックを抜き出した図である。図 10 A では、コントローラ 61、ロウデコーダ 62、ワード線ドライバ 63、カラムデコーダ 64、書き込みドライバ 65、プリチャージ回路 66 を抜き出して図示している。

【0099】

コントローラ 61 は、外部からの入力信号を処理して、ロウデコーダ 62 およびカラムデコーダ 64 の制御信号を生成する。外部からの入力信号は、書き込みイネーブル信号や読み出しイネーブル信号などのメモリ部 22 を制御するための制御信号である。またコントローラ 61 は、CPU10 との間でバスを介してメモリ部 22 に書き込まれるデータあるいはメモリ部 22 から読み出されるデータの入出力が行われる。

【0100】

ロウデコーダ 62 は、ワード線ドライバ 63 を駆動するための信号を生成する。ワード線ドライバ 63 は、データ保持回路 31 __ P、31 __ N に与える信号 MWL の他、ワード線 WL に与える信号を生成する。カラムデコーダ 64 は、書き込みドライバ 65 を駆動するための信号を生成する。書き込みドライバ 65 は、データ保持回路 31 __ P、31 __ N に与える信号 MBL の他、データ入力線 A_{IN} に与えられる入力データ A₁ 乃至 A_N を生成する。プリチャージ回路 66 は、ビット線 NBL、PBL などプリチャージする機能を有する。メモリ部 22 のメモリ回路 24 から読み出される信号は、ビット線 NBL、PBL を介して演算回路 23 に入力される。

【0101】

図 10 B は、図 9 B に図示する各構成について、演算処理部 21 を制御するブロックを抜き出した図である。

【0102】

コントローラ 61 は、外部からの入力信号を処理して、演算制御回路 72 の制御信号を生成する。またコントローラ 61 は、演算処理部 21 が有する演算回路 23 を制御するためのクロック信号などの各種信号を生成する。演算制御回路 72 は、コントローラ 61 の制御および入力バッファ 71 の出力に応じて、データ入力線 A_{IN} に与えられる入力データ A₁ 乃至 A_N を生成する。演算処理部 21 は、入力バッファ 71 および演算制御回路 72 を介して、演算結果に関するデータを演算処理部 21 に再入力する。演算処理部 21 は、入力バッファ 71 におけるバッファメモリを利用して演算結果に応じたデータを処理することなく、CPU のデータバス幅以上のビット数の並列計算が可能となる。また膨大な数の重みパラメータを CPU10 との間で転送する回数を削減できるため、低消費電力化を図ることができる。

【0103】

以上説明したように、本発明の一態様は、アクセラレータと CPU を備えた半導体装置において、小型化された半導体装置を提供することができる。または、本発明の一態様は

10

20

30

40

50

、アクセラレータとCPUを備えた半導体装置において、低消費電力化された半導体装置を提供することができる。または、本発明の一態様は、CPUにおけるデータ転送回数が削減された半導体装置を提供することができる。または、新規な構成の半導体装置を提供することができる。

【0104】

(実施の形態2)

本実施の形態では、上記実施の形態で説明したCPU10で実行するプログラムの演算の一部をアクセラレータ20で実行する場合の、動作の一例を説明する。

【0105】

図11は、CPUで実行するプログラムの演算の一部をアクセラレータで実行する場合の、動作の一例を説明する図である。

【0106】

CPUにて、ホストプログラムが実行される(ステップS1)。

【0107】

CPUは、アクセラレータを用いて演算を行う際に必要とされるデータ用領域を、メモリ部に確保するとの命令を確認した場合(ステップS2)、該データ用領域を、メモリ部に確保する(ステップS3)。

【0108】

次に、CPUは、メインメモリから上記メモリ部へ入力データを送信する(ステップS4)。上記メモリ部は該入力データを受信し、該入力データを、ステップS2で確保された領域に格納する(ステップS5)。

【0109】

CPUは、カーネルプログラムを起動するとの命令を確認した場合(ステップS6)、アクセラレータは、カーネルプログラムの実行を開始する(ステップS7)。

【0110】

アクセラレータがカーネルプログラムの実行を開始した直後、CPUを、演算を行う状態からPG状態へと切り替えてもよい(ステップS8)。その場合、アクセラレータがカーネルプログラムの実行を終了する直前に、CPUは、PG状態から演算を行う状態へ切り替えられる(ステップS9)。ステップS8からステップS9までの期間、CPUをPG状態にすることで、半導体装置全体として消費電力および発熱を抑制することができる。

【0111】

アクセラレータがカーネルプログラムの実行を終了すると、出力データが上記メモリ部に格納される(ステップS10)。

【0112】

カーネルプログラムの実行が終了した後、CPUは、メモリ部に格納された出力データをメインメモリへ送信するとの命令を確認した場合(ステップS11)、上記の出力データが上記メインメモリへ送信され、上記メインメモリに格納される(ステップS12)。

【0113】

CPUは、メモリ部上に確保されたデータ用領域を解放するとの指示を確認した場合(ステップS13)、上記メモリ部上に確保された領域が解放される(ステップS14)。

【0114】

以上のステップS1からステップS14までの動作を繰り返すことにより、CPUおよびアクセラレータの消費電力および発熱を抑制しつつ、CPUで実行する演算の一部をアクセラレータで実行することができる。

【0115】

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

【0116】

(実施の形態3)

本実施の形態では、パワーゲーティングが可能なCPUコアを有するCPUの一例について説明する。

10

20

30

40

50

【0117】

図12に、CPU10の構成例を示す。CPU10は、CPUコア（CPU Core）200、L1（レベル1）キャッシュメモリ装置（L1 Cache）202、L2キャッシュメモリ装置（L2 Cache）203、バスインターフェース部（Bus I/F）205、パワースイッチ210～212、レベルシフタ（LS）214を有する。CPUコア200はフリップフロップ220を有する。

【0118】

バスインターフェース部205によって、CPUコア200、L1キャッシュメモリ装置202、L2キャッシュメモリ装置203が相互に接続される。

【0119】

外部から入力される割り込み信号（Interrupts）、CPU10が発行する信号SLEEP1等の信号に応じて、PMU193はクロック信号GCLK1、各種のPG（パワーゲーティング）制御信号（PG control signals）の生成を行う。クロック信号GCLK1、PG制御信号はCPU10に入力される。PG制御信号は、パワースイッチ210～212、フリップフロップ220を制御する。

【0120】

パワースイッチ210、211は、仮想電源線V__VDD（以下、V__VDD線と呼ぶ）への電圧VDDD、VDD1の供給をそれぞれ制御する。パワースイッチ212は、仮想電源線V__VDH（以下、V__VDH線と呼ぶ。）への電圧VDDHの供給を制御する。CPU10およびPMU193には、パワースイッチを介さずに電圧VSSSが入力される。PMU193には、パワースイッチを介さずに電圧VDDDが入力される。

【0121】

電圧VDDD、VDD1はCMOS回路用の駆動電圧である。電圧VDD1は電圧VDDDよりも低く、スリープ状態での駆動電圧である。電圧VDDHはオストランジスタ用の駆動電圧であり、電圧VDDDよりも高い。

【0122】

L1キャッシュメモリ装置202、L2キャッシュメモリ装置203、バスインターフェース部205それぞれは、少なくとも1つパワーゲーティング可能なパワードメインを有する。パワーゲーティング可能なパワードメインには、1または複数のパワースイッチが設けられている。これらのパワースイッチは、PG制御信号によって制御される。

【0123】

フリップフロップ220は、レジスタに用いられる。フリップフロップ220には、バックアップ回路が設けられている。以下、フリップフロップ220について説明する。

【0124】

図13Aにフリップフロップ220（Flip-flop）の回路構成例を示す。フリップフロップ220はスキャンフリップフロップ（Scan Flip-flop）221、バックアップ回路（Backup Circuit）222を有する。

【0125】

スキャンフリップフロップ221は、ノードD1、Q1、SD、SE、RT、CK、クロックバッファ回路221Aを有する。

【0126】

ノードD1はデータ（data）入力ノードであり、ノードQ1はデータ出力ノードであり、ノードSDはスキャンテスト用データの入力ノードである。ノードSEは信号SCEの入力ノードである。ノードCKはクロック信号GCLK1の入力ノードである。クロック信号GCLK1はクロックバッファ回路221Aに入力される。スキャンフリップフロップ221のアナログスイッチは、クロックバッファ回路221AのノードCK1、CKB1に接続される。ノードRTはリセット信号（reset signal）の入力ノードである。

【0127】

信号SCEは、スキャンイネーブル信号であり、PMU193で生成される。PMU1

10

20

30

40

50

9 3 は信号 B K、R C を生成する。レベルシフタ 2 1 4 は信号 B K、R C をレベルシフトし、信号 B K H、R C H を生成する。信号 B K、R C はバックアップ信号、リカバリ信号である。

【0 1 2 8】

スキャンフリップフロップ 2 2 1 の回路構成は、図 1 3 に限定されない。標準的な回路ライブラリに用意されているフリップフロップを適用することができる。

【0 1 2 9】

バックアップ回路 2 2 2 は、ノード S D _ I N、S N 1 1、トランジスタ M 1 1 ~ M 1 3、容量素子 C 1 1 を有する。

【0 1 3 0】

ノード S D _ I N は、スキャンテストデータの入力ノードであり、スキャンフリップフロップ 2 2 1 のノード Q 1 に接続される。ノード S N 1 1 は、バックアップ回路 2 2 2 の保持ノードである。容量素子 C 1 1 はノード S N 1 1 の電圧を保持するための保持容量である。

【0 1 3 1】

トランジスタ M 1 1 はノード Q 1 とノード S N 1 1 間の導通状態を制御する。トランジスタ M 1 2 はノード S N 1 1 とノード S D 間の導通状態を制御する。トランジスタ M 1 3 はノード S D _ I N とノード S D 間の導通状態を制御する。トランジスタ M 1 1、M 1 3 のオンオフは信号 B K H で制御され、トランジスタ M 1 2 のオンオフは信号 R C H で制御される。

【0 1 3 2】

トランジスタ M 1 1 ~ M 1 3 は、上述したメモリ回路 2 4 が有するデータ保持回路 3 1 _ N、3 1 _ P が有するトランジスタ、並びにトランジスタ 3 2 _ P、3 2 _ N、3 3 _ P、および 3 3 _ N と同様に、O S トランジスタである。トランジスタ M 1 1 ~ M 1 3 はバックゲート有する構成を図示している。トランジスタ M 1 1 ~ M 1 3 のバックゲートは、電圧 V B G 1 を供給する電源線に接続されている。

【0 1 3 3】

少なくともトランジスタ M 1 1、M 1 2 が O S トランジスタであることが好ましい。オフ電流が極めて小さいという O S トランジスタの特長によって、ノード S N 1 1 の電圧の低下を抑えることができること、データの保持に電力を殆んど消費しないことから、バックアップ回路 2 2 2 は不揮発性の特性をもつ。容量素子 C 1 1 の充放電によってデータを書き換えるため、バックアップ回路 2 2 2 は原理的には書き換え回数に制約はなく、低エネルギーで、データの書き込みおよび読み出しが可能である。

【0 1 3 4】

バックアップ回路 2 2 2 の全てのトランジスタは O S トランジスタであることが非常に好ましい。図 1 3 B に示すように、シリコン C M O S 回路で構成されるスキャンフリップフロップ 2 2 1 上にバックアップ回路 2 2 2 を積層することができる。

【0 1 3 5】

バックアップ回路 2 2 2 は、スキャンフリップフロップ 2 2 1 と比較して素子数が非常に少ないので、バックアップ回路 2 2 2 を積層するためにスキャンフリップフロップ 2 2 1 の回路構成およびレイアウトの変更が必要ない。つまり、バックアップ回路 2 2 2 は、汎用性が非常に高いバックアップ回路である。また、スキャンフリップフロップ 2 2 1 が形成されている領域内にバックアップ回路 2 2 2 を設けることができるので、バックアップ回路 2 2 2 を組み込んでも、フリップフロップ 2 2 0 の面積オーバーヘッドはゼロにすることが可能である。よって、バックアップ回路 2 2 2 をフリップフロップ 2 2 0 に設けることで、C P U コア 2 0 0 のパワーゲーティングが可能となる。パワーゲーティングに必要なエネルギーが少ないため、C P U コア 2 0 0 を高効率にパワーゲーティングすることが可能である。

【0 1 3 6】

バックアップ回路 2 2 2 を設けることによって、トランジスタ M 1 1 による寄生容量が

10

20

30

40

50

ノードQ1に付加されることになるが、ノードQ1に接続される論理回路による寄生容量と比較して小さいので、スキャンフリップフロップ221の動作に影響はない。つまり、バックアップ回路222を設けても、フリップフロップ220の性能は実質的に低下しない。

【0137】

CPUコア200の低消費電力状態として、例えば、クロックゲーティング状態、パワーゲーティング状態、休止状態を設定することができる。PMU193は、割り込み信号、信号SLEEP1等に基づき、CPUコア200の低消費電力モードを選択する。例えば、通常動作状態からクロックゲーティング状態に移行する場合、PMU193はクロック信号GCLK1の生成を停止する。

10

【0138】

例えば、通常動作状態から休止状態に移行する場合は、PMU193は、電圧および／または周波数スケーリングを行う。例えば、電圧スケーリングを行う場合、PMU193は、電圧VDD1をCPUコア200に入力するため、パワースイッチ210をオフにし、パワースイッチ211をオンにする。電圧VDD1は、スキャンフリップフロップ221のデータを消失させない電圧である。周波数スケーリングを行う場合、PMU193はクロック信号GCLK1の周波数を低下させる。

【0139】

CPUコア200を通常動作状態からパワーゲーティング状態に移行する場合には、スキャンフリップフロップ221のデータをバックアップ回路222にバックアップする動作が行われる。CPUコア200をパワーゲーティング状態から通常動作状態に復帰する際には、バックアップ回路222のデータをスキャンフリップフロップ221にリカバリする動作が行われる。

20

【0140】

図14に、CPUコア200のパワーゲーティングシーケンスの一例を示す。なお、図14において、t1～t7は時刻を表している。信号PSE0～PSE2は、パワースイッチ210～212の制御信号であり、PMU193で生成される。信号PSE0が“H”／“L”のとき、パワースイッチ210はオン／オフである。信号PSE1、PSE2についても同様である。

【0141】

時刻t1以前は、通常動作状態（Normal Operation）である。パワースイッチ210はオンであり、CPUコア200には電圧VDDが入力される。スキャンフリップフロップ221は通常動作を行う。このとき、レベルシフタ214は動作させる必要がないため、パワースイッチ212はオフであり、信号SCE、BK、RCは“L”である。ノードSEが“L”であるため、スキャンフリップフロップ221はノードD1のデータを記憶する。なお、図14の例では、時刻t1において、バックアップ回路222のノードSN11は“L”である。

30

【0142】

バックアップ（Backup）時の動作を説明する。動作時刻t1で、PMU193はクロック信号GCLK1を停止し、信号PSE2、BKを“H”にする。レベルシフタ214はアクティブになり、“H”の信号BKHをバックアップ回路222に出力する。

40

【0143】

バックアップ回路222のトランジスタM11がオンになり、スキャンフリップフロップ221のノードQ1のデータがバックアップ回路222のノードSN11に書き込まれる。スキャンフリップフロップ221のノードQ1が“L”であれば、ノードSN11は“L”のままであり、ノードQ1が“H”であれば、ノードSN11は“H”になる。

【0144】

PMU193は、時刻t2で信号PSE2、BKを“L”にし、時刻t3で信号PSE0を“L”にする。時刻t3で、CPUコア200の状態はパワーゲーティング状態に移行する。なお、信号BKを立ち下げるタイミングで信号PSE0を立ち下げてもよい。

50

【0145】

パワーゲーティング（Power-gating）時の動作を説明する。信号PSE0が“L”になることで、V_{DD}線の電圧が低下するため、ノードQ1のデータは失われる。ノードSN11は、時刻t3でのノードQ1のデータを保持し続ける。

【0146】

リカバリ（Recovery）時の動作を説明する。時刻t4で、PMU193が信号PSE0を“H”にすることで、パワーゲーティング状態からリカバリ状態に移行する。V_{DD}線の充電が開始され、V_{DD}線の電圧がV_{DD}になった状態（時刻t5）で、PMU193は信号PSE2、RC、SCEを“H”にする。

【0147】

トランジスタM12はオンになり、容量素子C11の電荷がノードSN11とノードSDとに分配される。ノードSN11が“H”であれば、ノードSDの電圧は上昇する。ノードSEは“H”であるので、スキャンフリップフロップ221の入力側ラッチ回路にノードSDのデータが書き込まれる。時刻t6でノードCKにクロック信号CLK1が入力されると、入力側ラッチ回路のデータがノードQ1に書き込まれる。つまり、ノードSN11のデータがノードQ1に書き込まれたことになる。

【0148】

時刻t7で、PMU193は信号PSE2、SCE、RCを“L”にし、リカバリ動作が終了する。

【0149】

OSTランジスタを用いたバックアップ回路222は、動的および静的低消費電力双方が小さいため、ノーマリオフ・コンピューティングに非常に好適である。なお、OSTランジスタを用いたバックアップ回路222を有するCPUコア200を含むCPU10は、NoFFCPU（登録商標）と呼称することができる。NoFFCPUは、不揮発性メモリを有し、動作が必要ない場合には、電力供給を停止することができる。フリップフロップ220を搭載しても、CPUコア200の性能低下、動的電力の増加をほとんど発生させないようにできる。

【0150】

なお、CPUコア200は複数のパワーゲーティング可能なパワードメインを有してもよい。複数のパワードメインには、電圧の入力を制御するための1または複数のパワースイッチが設けられる。また、CPUコア200は、1または複数のパワーゲーティングが行われないパワードメインを有していてもよい。例えば、パワーゲーティングが行われないパワードメインに、フリップフロップ220、パワースイッチ210～212の制御を行うためのパワーゲーティング制御回路を設けてもよい。

【0151】

なお、フリップフロップ220の適用はCPU10に限定されない。演算装置において、パワーゲーティング可能なパワードメインに設けられるレジスタに、フリップフロップ220を適用できる。

【0152】

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

【0153】

（実施の形態4）

本実施の形態では、上記実施の形態で説明した半導体装置100、CPU10およびアクセラレータ20に適用可能なトランジスタの構成について説明する。一例として、異なる電気特性を有するトランジスタを積層して設ける構成について説明する。当該構成とすることで、半導体装置の設計自由度を高めることができる。また、異なる電気特性を有するトランジスタを積層して設けることで、半導体装置の集積度を高めることができる。

【0154】

半導体装置の断面構造の一部を図15に示す。図15に示す半導体装置は、トランジスタ550と、トランジスタ500と、容量素子600と、を有している。図16Aはトラ

10

20

30

40

50

ンジスタ500のチャネル長方向の断面図であり、図16Bはトランジスタ500のチャネル幅方向の断面図である。例えば、トランジスタ500は上記実施の形態に示したトランジスタ32乃至34に相当し、トランジスタ550は演算回路23が有するSiトランジスタに相当する。また、容量素子600は容量素子35に相当する。

【0155】

トランジスタ500は、OSTランジスタである。OSTランジスタは、オフ電流が極めて少ない。よって、トランジスタ500を介して記憶ノードに書き込んだデータ電圧あるいは電荷を長期間保持することが可能である。つまり、記憶ノード（ノードMN）のリフレッシュ動作頻度を低減、あるいは、リフレッシュ動作を必要としないため、半導体装置の消費電力を低減することができる。

【0156】

図15では、トランジスタ500はトランジスタ550の上方に設けられ、容量素子600はトランジスタ550、およびトランジスタ500の上方に設けられている。

【0157】

トランジスタ550は、基板311に設けられる。基板311は、例えば、p型のシリコン基板である。基板311は、n型のシリコン基板でもよい。酸化物層314は、基板311に埋め込み酸化（Burried oxide）によって形成された絶縁層（BOX層ともいう）、例えば酸化シリコンであることが好ましい。トランジスタ550は、基板311に酸化物層314を介して設けられた単結晶シリコン、いわゆるSOI（Silicon On Insulator）基板に設けられる。

【0158】

SOI基板における基板311は、素子分離層として機能する絶縁体313が設けられる。また基板311は、ウェル領域312を有する。ウェル領域312は、トランジスタ550の導電型に応じてn型またはp型の導電性が付与された領域である。SOI基板における単結晶シリコンには、半導体領域315、ソース領域またはドレイン領域として機能する低抵抗領域316a、低抵抗領域316bが設けられる。またウェル層312上には、低抵抗領域316cを有する。

【0159】

トランジスタ550は、導電性を付与する不純物元素が付加されたウェル領域312に重ねて設けることができる。ウェル領域312は、低抵抗領域316cを介して電位を独立して変化させることで、トランジスタ550のボトムゲート電極として機能させることができる。そのため、トランジスタ550のしきい値電圧を制御することができる。特に、ウェル領域312に負の電位を印加することにより、トランジスタ550のしきい値電圧をより大きくし、オフ電流を低減することが可能となる。したがって、ウェル領域312に負の電位を印加することで、Siトランジスタのゲート電極に印加する電位が0Vのときのドレイン電流を小さくすることができる。その結果、トランジスタ550を有する演算回路23における貫通電流等に基づく消費電力を低減でき、演算効率の向上を図ることができる。

【0160】

トランジスタ550は、半導体層の上面およびチャネル幅方向の側面が絶縁体317を介して導電体318に覆われている、いわゆるFin型とすることが好ましい。トランジスタ550をFin型とすることにより、実効上のチャネル幅が増大することによりトランジスタ550のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ550のオフ特性を向上させることができる。

【0161】

なお、トランジスタ550は、pチャネル型のトランジスタ、あるいはnチャネル型のトランジスタのいずれでもよい。

【0162】

導電体318は、第1ゲート（トップゲートともいう）電極として機能する場合がある。また、ウェル領域312は、第2ゲート（ボトムゲートともいう）電極として機能する

10

20

30

40

50

場合がある。その場合、ウェル領域 3 1 2 に印加する電位は、低抵抗領域 3 1 6 c を介して制御することができる。

【0 1 6 3】

半導体領域 3 1 5 のチャネルが形成される領域、その近傍の領域、ソース領域、またはドレイン領域となる低抵抗領域 3 1 6 a、および低抵抗領域 3 1 6 b、ウェル領域 3 1 2 の電位を制御する電極に接続される低抵抗領域 3 1 6 c などにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。または、Ge（ゲルマニウム）、SiGe（シリコンゲルマニウム）、GaAs（ガリウムヒ素）、GaAlAs（ガリウムアルミニウムヒ素）などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。またはGaAsとGaAlAs等を用いることで、トランジスタ 5 5 0 を HEMT としてもよい。

10

【0 1 6 4】

ウェル領域 3 1 2、低抵抗領域 3 1 6 a、低抵抗領域 3 1 6 b、および低抵抗領域 3 1 6 c は、半導体領域 3 1 5 に適用される半導体材料に加え、ヒ素、リンなどの n 型の導電性を付与する元素、またはホウ素などの p 型の導電性を付与する元素を含む。

【0 1 6 5】

ゲート電極として機能する導電体 3 1 8 は、ヒ素、リンなどの n 型の導電性を付与する元素、もしくはホウ素などの p 型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。また導電体 3 1 8 は、ニッケルシリサイド等のシリサイドを用いてもよい。

20

【0 1 6 6】

なお、導電体の材料によって仕事関数が決まるため、当該導電体の材料を選択することで、トランジスタのしきい値電圧を調整することができる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンをを用いることが耐熱性の点で好ましい。

【0 1 6 7】

低抵抗領域 3 1 6 a、低抵抗領域 3 1 6 b、および低抵抗領域 3 1 6 c は、別の導電体、例えばニッケルシリサイド等のシリサイドを積層して設ける構成としてもよい。当該構成とすることで、電極として機能する領域の導電性を高めることができる。またこのとき、ゲート電極として機能する導電体 3 1 8 の側面、およびゲート絶縁膜として機能する絶縁体の側面には、サイドウォールスペーサ（側壁絶縁層ともいう）として機能する絶縁体を設ける構成としてもよい。当該構成とすることで、導電体 3 1 8 と、低抵抗領域 3 1 6 a および低抵抗領域 3 1 6 b と、が導通状態となることを防ぐことができる。

30

【0 1 6 8】

トランジスタ 5 5 0 を覆って、絶縁体 3 2 0、絶縁体 3 2 2、絶縁体 3 2 4、および絶縁体 3 2 6 が順に積層して設けられている。

【0 1 6 9】

絶縁体 3 2 0、絶縁体 3 2 2、絶縁体 3 2 4、および絶縁体 3 2 6 として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

40

【0 1 7 0】

なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。また、本明細書中において、酸化窒化アルミニウムとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化アルミニウムとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

【0 1 7 1】

絶縁体 3 2 2 は、その下方に設けられるトランジスタ 5 5 0 などによって生じる段差を

50

平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体 3 2 2 の上面は、平坦性を高めるために化学機械研磨 (CMP) 法等を用いた平坦化処理により平坦化されている。

【0172】

また、絶縁体 3 2 4 には、基板 3 1 1、またはトランジスタ 5 5 0 などから、トランジスタ 5 0 0 が設けられる領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

【0173】

水素に対するバリア性を有する膜の一例として、例えば、CVD 法で形成した窒化シリコンを用いることができる。ここで、トランジスタ 5 0 0 等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ 5 0 0 と、トランジスタ 5 5 0 との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

【0174】

水素の脱離量は、例えば、昇温脱離ガス分析法 (TDS) などを用いて分析することができる。例えば、絶縁体 3 2 4 の水素の脱離量は、TDS 分析において、膜の表面温度が 5 0 °C から 5 0 0 °C の範囲において、水素原子に換算した脱離量が、絶縁体 3 2 4 の面積当たりに換算して、 $1.0 \times 10^{15} \text{ atoms/cm}^2$ 以下、好ましくは $5 \times 10^{15} \text{ atoms/cm}^2$ 以下であればよい。

【0175】

なお、絶縁体 3 2 6 は、絶縁体 3 2 4 よりも誘電率が低いことが好ましい。例えば、絶縁体 3 2 6 の比誘電率は 4 未満が好ましく、3 未満がより好ましい。また例えば、絶縁体 3 2 6 の比誘電率は、絶縁体 3 2 4 の比誘電率の 0.7 倍以下が好ましく、0.6 倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

【0176】

また、絶縁体 3 2 0、絶縁体 3 2 2、絶縁体 3 2 4、および絶縁体 3 2 6 には容量素子 6 0 0、またはトランジスタ 5 0 0 と接続する導電体 3 2 8、および導電体 3 3 0 等が埋め込まれている。なお、導電体 3 2 8、および導電体 3 3 0 は、プラグまたは配線としての機能を有する。また、プラグまたは配線としての機能を有する導電体は、複数の構成をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

【0177】

各プラグ、および配線 (導電体 3 2 8、導電体 3 3 0 等) の材料としては、金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

【0178】

絶縁体 3 2 6、および導電体 3 3 0 上に、配線層を設けてもよい。例えば、図 1 5 では、絶縁体 3 5 0、絶縁体 3 5 2、および絶縁体 3 5 4 が順に積層して設けられている。また、絶縁体 3 5 0、絶縁体 3 5 2、および絶縁体 3 5 4 には、導電体 3 5 6 が形成されている。導電体 3 5 6 は、トランジスタ 5 5 0 と接続するプラグ、または配線としての機能を有する。なお導電体 3 5 6 は、導電体 3 2 8、および導電体 3 3 0 と同様の材料を用いて設けることができる。

【0179】

なお、例えば、絶縁体 3 5 0 は、絶縁体 3 2 4 と同様に、水素に対するバリア性を有す

10

20

30

40

50

る絶縁体を用いることが好ましい。また、導電体３５６は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体３５０が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ５５０とトランジスタ５００とは、バリア層により分離することができ、トランジスタ５５０からトランジスタ５００への水素の拡散を抑制することができる。

【０１８０】

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ５５０からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体３５０と接する構成であることが好ましい。

10

【０１８１】

絶縁体３５４、および導電体３５６上に、配線層を設けてもよい。例えば、図１５では、絶縁体３６０、絶縁体３６２、および絶縁体３６４が順に積層して設けられている。また、絶縁体３６０、絶縁体３６２、および絶縁体３６４には、導電体３６６が形成されている。導電体３６６は、プラグまたは配線としての機能を有する。なお導電体３６６は、導電体３２８、および導電体３３０と同様の材料を用いて設けることができる。

【０１８２】

なお、例えば、絶縁体３６０は、絶縁体３２４と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体３６６は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体３６０が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ５５０とトランジスタ５００とは、バリア層により分離することができ、トランジスタ５５０からトランジスタ５００への水素の拡散を抑制することができる。

20

【０１８３】

絶縁体３６４、および導電体３６６上に、配線層を設けてもよい。例えば、図１５では、絶縁体３７０、絶縁体３７２、および絶縁体３７４が順に積層して設けられている。また、絶縁体３７０、絶縁体３７２、および絶縁体３７４には、導電体３７６が形成されている。導電体３７６は、プラグまたは配線としての機能を有する。なお導電体３７６は、導電体３２８、および導電体３３０と同様の材料を用いて設けることができる。

30

【０１８４】

なお、例えば、絶縁体３７０は、絶縁体３２４と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体３７６は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体３７０が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ５５０とトランジスタ５００とは、バリア層により分離することができ、トランジスタ５５０からトランジスタ５００への水素の拡散を抑制することができる。

【０１８５】

絶縁体３７４、および導電体３７６上に、配線層を設けてもよい。例えば、図１５では、絶縁体３８０、絶縁体３８２、および絶縁体３８４が順に積層して設けられている。また、絶縁体３８０、絶縁体３８２、および絶縁体３８４には、導電体３８６が形成されている。導電体３８６は、プラグまたは配線としての機能を有する。なお導電体３８６は、導電体３２８、および導電体３３０と同様の材料を用いて設けることができる。

40

【０１８６】

なお、例えば、絶縁体３８０は、絶縁体３２４と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体３８６は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体３８０が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ５５０とトランジスタ５００とは、バリア層により分離することができ、トランジスタ５５０からトランジスタ５００への水素の拡散を抑制することができる。

50

【0187】

上記において、導電体356を含む配線層、導電体366を含む配線層、導電体376を含む配線層、および導電体386を含む配線層、について説明したが、本実施の形態に係る半導体装置はこれに限られるものではない。導電体356を含む配線層と同様の配線層を3層以下にしてもよいし、導電体356を含む配線層と同様の配線層を5層以上にしてもよい。

【0188】

絶縁体384上には絶縁体510、絶縁体512、絶縁体514、および絶縁体516が、順に積層して設けられている。絶縁体510、絶縁体512、絶縁体514、および絶縁体516のいずれかは、酸素や水素に対してバリア性のある物質を用いることが好ましい。

10

【0189】

例えば、絶縁体510、および絶縁体514には、例えば、基板311、またはトランジスタ550を設ける領域などから、トランジスタ500を設ける領域に、水素や不純物に対するバリア性を有する膜を用いることが好ましい。したがって、絶縁体324と同様の材料を用いることができる。

【0190】

水素に対するバリア性を有する膜の一例として、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ500等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ500と、トランジスタ550との間に、水素の拡散を抑制する膜を用いることが好ましい。

20

【0191】

また、水素に対するバリア性を有する膜として、例えば、絶縁体510、および絶縁体514には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

【0192】

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ500への混入を防止することができる。また、トランジスタ500を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ500に対する保護膜として用いることに適している。

30

【0193】

また、例えば、絶縁体512、および絶縁体516には、絶縁体320と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体512、および絶縁体516として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

【0194】

また、絶縁体510、絶縁体512、絶縁体514、および絶縁体516には、導電体518、およびトランジスタ500を構成する導電体（例えば、導電体503）等が埋め込まれている。なお、導電体518は、容量素子600、またはトランジスタ550と接続するプラグ、または配線としての機能を有する。導電体518は、導電体328、および導電体330と同様の材料を用いて設けることができる。

40

【0195】

特に、絶縁体510、および絶縁体514と接する領域の導電体518は、酸素、水素、および水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ550とトランジスタ500とは、酸素、水素、および水に対するバリア性を有する層で、分離することができ、トランジスタ550からトランジスタ500への水素の拡散を抑制することができる。

50

【0196】

絶縁体516の上方には、トランジスタ500が設けられている。

【0197】

図16Aおよび図16Bに示すように、トランジスタ500は、絶縁体514および絶縁体516に埋め込まれるように配置された導電体503と、絶縁体516および導電体503の上に配置された絶縁体520と、絶縁体520の上に配置された絶縁体522と、絶縁体522の上に配置された絶縁体524と、絶縁体524の上に配置された酸化物530aと、酸化物530aの上に配置された酸化物530bと、酸化物530b上に互いに離れて配置された導電体542aおよび導電体542bと、導電体542aおよび導電体542b上に配置され、導電体542aと導電体542bの間に重畳して開口が形成された絶縁体580と、開口の底面および側面に配置された絶縁体545と、絶縁体545の形成面に配置された導電体560と、を有する。

10

【0198】

また、図16Aおよび図16Bに示すように、酸化物530a、酸化物530b、導電体542a、および導電体542bと、絶縁体580の間に絶縁体544が配置されることが好ましい。また、図16Aおよび図16Bに示すように、導電体560は、絶縁体545の内側に設けられた導電体560aと、導電体560aの内側に埋め込まれるように設けられた導電体560bと、を有することが好ましい。また、図16Aおよび図16Bに示すように、絶縁体580、導電体560、および絶縁体545の上に絶縁体574が配置されることが好ましい。

20

【0199】

なお、本明細書などにおいて、酸化物530a、および酸化物530bをまとめて酸化物530という場合がある。

【0200】

なお、トランジスタ500では、チャネルが形成される領域と、その近傍において、酸化物530a、および酸化物530bの2層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物530bの単層、または3層以上の積層構成を設ける構成にしてもよい。

【0201】

また、トランジスタ500では、導電体560を2層の積層構成として示しているが、本発明はこれに限られるものではない。例えば、導電体560が、単層構成であってもよいし、3層以上の積層構成であってもよい。また、図15、図16A、および図16Bに示すトランジスタ500は一例であり、その構成に限定されず、回路構成や駆動方法などに応じて適切なトランジスタを用いればよい。

30

【0202】

ここで、導電体560は、トランジスタのゲート電極として機能し、導電体542aおよび導電体542bは、それぞれソース電極またはドレイン電極として機能する。上記のように、導電体560は、絶縁体580の開口、および導電体542aと導電体542bに挟まれた領域に埋め込まれるように形成される。導電体560、導電体542aおよび導電体542bの配置は、絶縁体580の開口に対して、自己整合的に選択される。つまり、トランジスタ500において、ゲート電極を、ソース電極とドレイン電極の間に、自己整合的に配置させることができる。よって、導電体560を位置合わせのマージンを設けることなく形成することができるので、トランジスタ500の占有面積の縮小を図ることができる。これにより、半導体装置の微細化、高集積化を図ることができる。

40

【0203】

さらに、導電体560が、導電体542aと導電体542bの間の領域に自己整合的に形成されるので、導電体560は、導電体542aまたは導電体542bと重畳する領域を有さない。これにより、導電体560と導電体542aおよび導電体542bとの間に形成される寄生容量を低減することができる。よって、トランジスタ500のスウィッチング速度を向上させ、高い周波数特性を有せしめることができる。

50

【0204】

導電体560は、第1ゲート（トップゲートともいう）電極として機能する場合がある。また、導電体503は、第2ゲート（ボトムゲートともいう）電極として機能する場合がある。その場合、導電体503に印加する電位を、導電体560に印加する電位と、連動させず、独立して変化させることで、トランジスタ500のしきい値電圧を制御することができる。特に、導電体503に負の電位を印加することにより、トランジスタ500のしきい値電圧をより大きくし、オフ電流を低減することが可能となる。したがって、導電体503に負の電位を印加したほうが、印加しない場合よりも、導電体560に印加する電位が0Vのときのドレイン電流を小さくすることができる。

【0205】

導電体503は、酸化物530、および導電体560と、重なるように配置する。これにより、導電体560、および導電体503に電位を印加した場合、導電体560から生じる電界と、導電体503から生じる電界と、がつながり、酸化物530に形成されるチャネル形成領域を覆うことができる。

【0206】

本明細書等において、一对のゲート電極（第1のゲート電極、および第2のゲート電極）の電界によって、チャネル形成領域を電氣的に取り囲むトランジスタの構成を、*surrounded channel*（*S-channel*）構成とよぶ。また、本明細書等で開示する*S-channel*構成は、*Fin*型構成およびプレーナ型構成とは異なる。*S-channel*構成を採用することで、短チャネル効果に対する耐性を高める、別言すると短チャネル効果が発生し難いトランジスタとすることができる。

【0207】

また、導電体503は、導電体518と同様の構成であり、絶縁体514および絶縁体516の開口の内壁に接して導電体503aが形成され、さらに内側に導電体503bが形成されている。なお、トランジスタ500では、導電体503aおよび導電体503bを積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体503は、単層、または3層以上の積層構成として設ける構成にしてもよい。

【0208】

ここで、導電体503aは、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい。）導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい。）導電性材料を用いることが好ましい。なお、本明細書において、不純物、または酸素の拡散を抑制する機能とは、上記不純物、または上記酸素のいずれか一または、すべての拡散を抑制する機能とする。

【0209】

例えば、導電体503aが酸素の拡散を抑制する機能を持つことにより、導電体503bが酸化して導電率が低下することを抑制することができる。

【0210】

また、導電体503が配線の機能を兼ねる場合、導電体503bは、タングステン、銅、またはアルミニウムを主成分とする、導電性が高い導電性材料を用いることが好ましい。なお、本実施の形態では導電体503を導電体503aと導電体503bの積層で図示したが、導電体503は単層構成であってもよい。

【0211】

絶縁体520、絶縁体522、および絶縁体524は、第2のゲート絶縁膜としての機能を有する。

【0212】

ここで、酸化物530と接する絶縁体524は、化学量論的組成を満たす酸素よりも多くの酸素を含む絶縁体を用いることが好ましい。当該酸素は、加熱により膜中から放出されやすい。本明細書などでは、加熱により放出される酸素を「過剰酸素」と呼ぶ場合がある。つまり、絶縁体524には、過剰酸素を含む領域（「過剰酸素領域」ともいう。）が

10

20

30

40

50

形成されていることが好ましい。このような過剰酸素を含む絶縁体を酸化物530に接して設けることにより、酸化物530中の酸素欠損（ V_O : oxygen vacancy ともいう）を低減し、トランジスタ500の信頼性を向上させることができる。なお、酸化物530中の酸素欠損に水素が入った場合、当該欠陥（以下、 V_OH と呼ぶ場合がある。）はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。従って、水素が多く含まれている酸化物半導体を用いたトランジスタは、ノーマリーオン特性となりやすい。また、酸化物半導体中の水素は、熱、電界などのストレスによって動きやすいため、酸化物半導体に多くの水素が含まれると、トランジスタの信頼性が悪化する恐れもある。本発明の一態様においては、酸化物530中の V_OH をできる限り低減し、高純度真性または実質的に高純度真性にするのが好ましい。このように、 V_OH が十分低減された酸化物半導体を得るには、酸化物半導体中の水分、水素などの不純物を除去すること（「脱水」または「脱水素化处理」ともいう。）と、酸化物半導体に酸素を供給して酸素欠損を補填すること（「加酸素化处理」ともいう。）が重要である。 V_OH などの不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

【0213】

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS（Thermal Desorption Spectroscopy）分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、または $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては 100°C 以上 700°C 以下、または 100°C 以上 400°C 以下の範囲が好ましい。

【0214】

また、上記過剰酸素領域を有する絶縁体と、酸化物530と、を接して加熱処理、マイクロ波処理、またはRF処理のいずれか一または複数の処理を行っても良い。当該処理を行うことで、酸化物530中の水、または水素を除去することができる。例えば、酸化物530において、 V_OH の結合が切断される反応が起きる、別言すると「 $V_OH \rightarrow V_O + H$ 」という反応が起きて、脱水素化することができる。このとき発生した水素の一部は、酸素と結合して H_2O として、酸化物530、または酸化物530近傍の絶縁体から除去される場合がある。

【0215】

また、上記マイクロ波処理は、例えば、高密度プラズマを発生させる電源を有する装置、または、基板側にRFを印加する電源を有する装置を用いると好適である。例えば、酸素を含むガスを用い、且つ高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができ、基板側にRFを印加することで、高密度プラズマによって生成された酸素ラジカルを、効率よく酸化物530、または酸化物530近傍の絶縁体中に導入することができる。また、上記マイクロ波処理は、圧力を 133 Pa 以上、好ましくは 200 Pa 以上、さらに好ましくは 400 Pa 以上とすればよい。また、マイクロ波処理を行う装置内に導入するガスとしては、例えば、酸素と、アルゴンとを用い、酸素流量比（ $O_2 / (O_2 + Ar)$ ）が50%以下、好ましくは10%以上30%以下で行うとよい。

【0216】

また、トランジスタ500の作製工程中において、酸化物530の表面が露出した状態で、加熱処理を行うと好適である。当該加熱処理は、例えば、 100°C 以上 450°C 以下、より好ましくは 350°C 以上 400°C 以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを 10 ppm 以上、1%以上、もしくは10%以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物530に酸素を供給して、酸素欠損（ V_O ）の低減を図ることができる

。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気中で加熱処理した後に、脱離した酸素を補うために、酸化性ガスを10 ppm以上、1%以上、または10%以上含む雰囲気で行ってもよい。または、酸化性ガスを10 ppm以上、1%以上、または10%以上含む雰囲気中で加熱処理した後に、連続して窒素ガスもしくは不活性ガスの雰囲気中で加熱処理を行ってもよい。

【0217】

なお、酸化物530に加酸素化処理を行うことで、酸化物530中の酸素欠損を、供給された酸素により修復させる、別言すると「 $V_o + O \rightarrow null$ 」という反応を促進させることができる。さらに、酸化物530中に残存した水素に供給された酸素が反応することで、当該水素を H_2O として除去する（脱水化する）ことができる。これにより、酸化物530中に残存していた水素が酸素欠損に再結合して VOH が形成されるのを抑制することができる。

10

【0218】

また、絶縁体524が、過剰酸素領域を有する場合、絶縁体522は、酸素（例えば、酸素原子、酸素分子など）の拡散を抑制する機能を有する（上記酸素が透過しにくい）ことが好ましい。

【0219】

絶縁体522が、酸素や不純物の拡散を抑制する機能を有することで、酸化物530が有する酸素は、絶縁体520側へ拡散することがなく、好ましい。また、導電体503が、絶縁体524や、酸化物530が有する酸素と反応することを抑制することができる。

20

【0220】

絶縁体522は、例えば、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（PZT）、チタン酸ストロンチウム（ $SrTiO_3$ ）、または（Ba, Sr） TiO_3 （BST）などのいわゆるhigh-k材料を含む絶縁体を単層または積層で用いることが好ましい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁膜として機能する絶縁体にhigh-k材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

【0221】

30

特に、不純物、および酸素などの拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料であるアルミニウム、ハフニウム的一方または双方の酸化物を含む絶縁体を用いるとよい。アルミニウム、ハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。このような材料を用いて絶縁体522を形成した場合、絶縁体522は、酸化物530からの酸素の放出や、トランジスタ500の周辺部から酸化物530への水素等の不純物の混入を抑制する層として機能する。

【0222】

または、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

40

【0223】

また、絶縁体520は、熱的に安定していることが好ましい。例えば、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、好適である。また、high-k材料の絶縁体を酸化シリコン、または酸化窒化シリコンと組み合わせることで、熱的に安定かつ比誘電率の高い積層構成の絶縁体520や、絶縁体526を得ることができる。

【0224】

なお、図16Aおよび図16Bのトランジスタ500では、3層の積層構成からなる第

50

2のゲート絶縁膜として、絶縁体520、絶縁体522、および絶縁体524が図示されているが、第2のゲート絶縁膜は、単層、2層、または4層以上の積層構成を有していてもよい。その場合、同じ材料からなる積層構成に限定されず、異なる材料からなる積層構成でもよい。

【0225】

トランジスタ500は、チャネル形成領域を含む酸化物530に、酸化物半導体として機能する金属酸化物を用いる。例えば、酸化物530として、 $In-M-Zn$ 酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種）等の金属酸化物を用いるとよい。

10

【0226】

酸化物半導体として機能する金属酸化物の形成は、スパッタリング法で行なってもよいし、ALD (Atomic Layer Deposition) 法で行なってもよい。なお、酸化物半導体として機能する金属酸化物については、他の実施の形態で詳細に説明する。

【0227】

また、酸化物530においてチャネル形成領域として機能する金属酸化物は、バンドギャップが2 eV以上、好ましくは2.5 eV以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

20

【0228】

酸化物530は、酸化物530b下に酸化物530aを有することで、酸化物530aよりも下方に形成された構成物から、酸化物530bへの不純物の拡散を抑制することができる。

【0229】

なお、酸化物530は、各金属原子の原子数比が異なる複数の酸化物層の積層構成を有することが好ましい。具体的には、酸化物530aに用いる金属酸化物において、構成元素中の元素Mの原子数比が、酸化物530bに用いる金属酸化物における、構成元素中の元素Mの原子数比より、大きいことが好ましい。また、酸化物530aに用いる金属酸化物において、Inに対する元素Mの原子数比が、酸化物530bに用いる金属酸化物における、Inに対する元素Mの原子数比より大きいことが好ましい。また、酸化物530bに用いる金属酸化物において、元素Mに対するInの原子数比が、酸化物530aに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。

30

【0230】

また、酸化物530aの伝導帯下端のエネルギーが、酸化物530bの伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、酸化物530a電子親和力が、酸化物530bの電子親和力より小さいことが好ましい。

【0231】

ここで、酸化物530aおよび酸化物530bの接合部において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、酸化物530aおよび酸化物530bの接合部における伝導帯下端のエネルギー準位は、連続的に変化または連続接合するともいうことができる。このようにするためには、酸化物530aと酸化物530bとの界面において形成される混合層の欠陥準位密度を低くするとよい。

40

【0232】

具体的には、酸化物530aと酸化物530bが、酸素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物530bが $In-Ga-Zn$ 酸化物の場合、酸化物530aとして、 $In-Ga-Zn$ 酸化物、 $Ga-Zn$ 酸化物、酸化ガリウムなどを用いるとよい。

【0233】

50

このとき、キャリアの主たる経路は酸化物530bとなる。酸化物530aを上述の構成とすることで、酸化物530aと酸化物530bとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ500は高いオン電流を得られる。

【0234】

酸化物530b上には、ソース電極、およびドレイン電極として機能する導電体542a、および導電体542bが設けられる。導電体542a、および導電体542bとしては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。更に、窒化タンタルなどの金属窒化物膜は、水素または酸素に対するバリア性があるため好ましい。

【0235】

また、図16Aでは、導電体542a、および導電体542bを単層構成として示したが、2層以上の積層構成としてもよい。例えば、窒化タンタル膜とタングステン膜を積層するとよい。また、チタン膜とアルミニウム膜を積層してもよい。また、タングステン膜上にアルミニウム膜を積層する二層構成、銅-マグネシウム-アルミニウム合金膜上に銅膜を積層する二層構成、チタン膜上に銅膜を積層する二層構成、タングステン膜上に銅膜を積層する二層構成としてもよい。

【0236】

また、チタン膜または窒化チタン膜と、そのチタン膜または窒化チタン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にチタン膜または窒化チタン膜を形成する三層構成、モリブデン膜または窒化モリブデン膜と、そのモリブデン膜または窒化モリブデン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にモリブデン膜または窒化モリブデン膜を形成する三層構成等がある。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。

【0237】

また、図16Aに示すように、酸化物530の、導電体542a（導電体542b）との界面とその近傍には、低抵抗領域として、領域543a、および領域543bが形成される場合がある。このとき、領域543aはソース領域またはドレイン領域の一方として機能し、領域543bはソース領域またはドレイン領域の他方として機能する。また、領域543aと領域543bに挟まれる領域にチャンネル形成領域が形成される。

【0238】

酸化物530と接するように上記導電体542a（導電体542b）を設けることで、領域543a（領域543b）の酸素濃度が低減する場合がある。また、領域543a（領域543b）に導電体542a（導電体542b）に含まれる金属と、酸化物530の成分とを含む金属化合物層が形成される場合がある。このような場合、領域543a（領域543b）のキャリア密度が増加し、領域543a（領域543b）は、低抵抗領域となる。

【0239】

絶縁体544は、導電体542a、および導電体542bを覆うように設けられ、導電体542a、および導電体542bの酸化を抑制する。このとき、絶縁体544は、酸化

物 5 3 0 の側面を覆い、絶縁体 5 2 4 と接するように設けられてもよい。

【0 2 4 0】

絶縁体 5 4 4 として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、ネオジム、ランタンまたは、マグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。また、絶縁体 5 4 4 として、窒化酸化シリコンまたは窒化シリコンなども用いることができる。

【0 2 4 1】

特に、絶縁体 5 4 4 として、アルミニウム、またはハフニウムの一方または双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、アルミニウム、およびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも、耐熱性が高い。そのため、後の工程での熱処理において、結晶化しにくいため好ましい。なお、導電体 5 4 2 a、および導電体 5 4 2 b が耐酸化性を有する材料、または、酸素を吸収しても著しく導電性が低下しない場合、絶縁体 5 4 4 は、必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

【0 2 4 2】

絶縁体 5 4 4 を有することで、絶縁体 5 8 0 に含まれる水、および水素などの不純物が絶縁体 5 4 5 を介して、酸化物 5 3 0 b に拡散することを抑制することができる。また、絶縁体 5 8 0 が有する過剰酸素により、導電体 5 6 0 が酸化するのを抑制することができる。

【0 2 4 3】

絶縁体 5 4 5 は、第 1 のゲート絶縁膜として機能する。絶縁体 5 4 5 は、上述した絶縁体 5 2 4 と同様に、過剰に酸素を含み、かつ加熱により酸素が放出される絶縁体を用いて形成することが好ましい。

【0 2 4 4】

具体的には、過剰酸素を有する酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、および窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。

【0 2 4 5】

過剰酸素を含む絶縁体を絶縁体 5 4 5 として設けることにより、絶縁体 5 4 5 から、酸化物 5 3 0 b のチャネル形成領域に効果的に酸素を供給することができる。また、絶縁体 5 2 4 と同様に、絶縁体 5 4 5 中の水または水素などの不純物濃度が低減されていることが好ましい。絶縁体 5 4 5 の膜厚は、1 nm 以上 20 nm 以下とするのが好ましい。また、絶縁体 5 4 5 の形成前および／または形成後に、前述したマイクロ波処理を行なってもよい。

【0 2 4 6】

また、絶縁体 5 4 5 が有する過剰酸素を、効率的に酸化物 5 3 0 へ供給するために、絶縁体 5 4 5 と導電体 5 6 0 との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体 5 4 5 から導電体 5 6 0 への酸素拡散を抑制することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体 5 4 5 から導電体 5 6 0 への過剰酸素の拡散が抑制される。つまり、酸化物 5 3 0 へ供給する過剰酸素量の減少を抑制することができる。また、過剰酸素による導電体 5 6 0 の酸化を抑制することができる。当該金属酸化物としては、絶縁体 5 4 4 に用いることができる材料を用いればよい。

【0 2 4 7】

なお、絶縁体 5 4 5 は、第 2 のゲート絶縁膜と同様に、積層構成としてもよい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合があるため、ゲート絶縁膜として機能する絶縁体を、high-k 材料と、熱的に安定している材料との積層構成とすることで、物理膜厚を保ちながら、ト

10

20

30

40

50

ランジスタ動作時のゲート電位の低減が可能となる。また、熱的に安定かつ比誘電率の高い積層構成とすることができる。

【0248】

第1のゲート電極として機能する導電体560は、図16Aおよび図16Bでは2層構成として示しているが、単層構成でもよいし、3層以上の積層構成であってもよい。

【0249】

導電体560aは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素(例えば、酸素原子、酸素分子などの少なくとも一)の拡散を抑制する機能を有する導電性材料を用いることが好ましい。導電体560aが酸素の拡散を抑制する機能を持つことにより、絶縁体545に含まれる酸素により、導電体560bが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、または酸化ルテニウムなどを用いることが好ましい。また、導電体560aとして、酸化物530に適用できる酸化物半導体を用いることができる。その場合、導電体560bをスパッタリング法で成膜することで、導電体560aの電気抵抗値を低下させて導電体にすることができる。これをOC(Oxide Conductor)電極と呼ぶことができる。

【0250】

また、導電体560bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体560bは、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体560bは積層構成としてもよく、例えば、チタン又は窒化チタンと上記導電性材料との積層構成としてもよい。

【0251】

絶縁体580は、絶縁体544を介して、導電体542a、および導電体542b上に設けられる。絶縁体580は、過剰酸素領域を有することが好ましい。例えば、絶縁体580として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などを有することが好ましい。特に、酸化シリコン、および酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、空孔を有する酸化シリコンは、後の工程で、容易に過剰酸素領域を形成することができるため好ましい。

【0252】

絶縁体580は、過剰酸素領域を有することが好ましい。加熱により酸素が放出される絶縁体580を設けることで、絶縁体580中の酸素を酸化物530へと効率良く供給することができる。なお、絶縁体580中の水または水素などの不純物濃度が低減されていることが好ましい。

【0253】

絶縁体580の開口は、導電体542aと導電体542bの間の領域に重畳して形成される。これにより、導電体560は、絶縁体580の開口、および導電体542aと導電体542bに挟まれた領域に、埋め込まれるように形成される。

【0254】

半導体装置を微細化するに当たり、ゲート長を短くすることが求められるが、導電体560の導電性が下がらないようにする必要がある。そのために導電体560の膜厚を大きくすると、導電体560はアスペクト比が高い形状となりうる。本実施の形態では、導電体560を絶縁体580の開口に埋め込むように設けるため、導電体560をアスペクト比の高い形状にしても、工程中に導電体560を倒壊させることなく、形成することができる。

【0255】

絶縁体574は、絶縁体580の上面、導電体560の上面、および絶縁体545の上面に接して設けられることが好ましい。絶縁体574をスパッタリング法で成膜することで、絶縁体545、および絶縁体580へ過剰酸素領域を設けることができる。これにより、当該過剰酸素領域から、酸化物530中に酸素を供給することができる。

【0256】

例えば、絶縁体574として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、またはマグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。

【0257】

特に、酸化アルミニウムはバリア性が高く、0.5nm以上3.0nm以下の薄膜であっても、水素、および窒素の拡散を抑制することができる。したがって、スパッタリング法で成膜した酸化アルミニウムは、酸素供給源であるとともに、水素などの不純物のバリア膜としての機能も有することができる。

【0258】

また、絶縁体574の上に、層間膜として機能する絶縁体581を設けることが好ましい。絶縁体581は、絶縁体524などと同様に、膜中の水または水素などの不純物濃度が低減されていることが好ましい。

【0259】

また、絶縁体581、絶縁体574、絶縁体580、および絶縁体544に形成された開口に、導電体540a、および導電体540bを配置する。導電体540aおよび導電体540bは、導電体560を挟んで対向して設ける。導電体540aおよび導電体540bは、後述する導電体546、および導電体548と同様の構成である。

【0260】

絶縁体581上には、絶縁体582が設けられている。絶縁体582は、酸素や水素に対してバリア性のある物質を用いることが好ましい。したがって、絶縁体582には、絶縁体514と同様の材料を用いることができる。例えば、絶縁体582には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

【0261】

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ500への混入を防止することができる。また、トランジスタ500を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ500に対する保護膜として用いることに適している。

【0262】

また、絶縁体582上には、絶縁体586が設けられている。絶縁体586は、絶縁体320と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体586として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

【0263】

また、絶縁体520、絶縁体522、絶縁体524、絶縁体544、絶縁体580、絶縁体574、絶縁体581、絶縁体582、および絶縁体586には、導電体546、および導電体548等が埋め込まれている。

【0264】

導電体546、および導電体548は、容量素子600、トランジスタ500、またはトランジスタ550と接続するプラグ、または配線としての機能を有する。導電体546、および導電体548は、導電体328、および導電体330と同様の材料を用いて設けることができる。

10

20

30

40

50

【0265】

また、トランジスタ500の形成後、トランジスタ500を囲むように開口を形成し、当該開口を覆うように、水素、または水に対するバリア性が高い絶縁体を形成してもよい。上述のバリア性の高い絶縁体でトランジスタ500を包み込むことで、外部から水分、および水素が侵入するのを防止することができる。または、複数のトランジスタ500をまとめて、水素、または水に対するバリア性が高い絶縁体で包み込んでもよい。なお、トランジスタ500を囲むように開口を形成する場合、例えば、絶縁体522または絶縁体514に達する開口を形成し、絶縁体522または絶縁体514に接するように上述のバリア性の高い絶縁体を形成すると、トランジスタ500の作製工程の一部を兼ねられるため、好適である。なお、水素、または水に対するバリア性が高い絶縁体としては、例えば、絶縁体522または絶縁体514と同様の材料を用いればよい。

10

【0266】

続いて、トランジスタ500の上方には、容量素子600が設けられている。容量素子600は、導電体610と、導電体620と、絶縁体630とを有する。

【0267】

また、導電体546、および導電体548上に、導電体612を設けてもよい。導電体612は、トランジスタ500と接続するプラグ、または配線としての機能を有する。導電体610は、容量素子600の電極としての機能を有する。なお、導電体612、および導電体610は、同時に形成することができる。

【0268】

導電体612、および導電体610には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。または、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。

20

【0269】

本実施の形態では、導電体612、および導電体610を単層構成で示したが、当該構成に限定されず、2層以上の積層構成でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、および導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

30

【0270】

絶縁体630を介して、導電体610と重畳するように、導電体620を設ける。なお、導電体620は、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、導電体などの他の構成と同時に形成する場合は、低抵抗金属材料であるCu（銅）やAl（アルミニウム）等を用いればよい。

40

【0271】

導電体620、および絶縁体630上には、絶縁体640が設けられている。絶縁体640は、絶縁体320と同様の材料を用いて設けることができる。また、絶縁体640は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

【0272】

本構成を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化または高集積化を図ることができる。

【0273】

<トランジスタの変形例1>

図17A、図17B、および図17Cに示すトランジスタ500Aは、図16A、図1

50

6 Bに示す構成のトランジスタ500の変形例である。図17Aはトランジスタ500Aの上面図であり、図17Bはトランジスタ500Aのチャンネル長方向の断面図であり、図17Cはトランジスタ500Aのチャンネル幅方向の断面図である。なお、図17Aの上面図では、図の明瞭化のために一部の要素の記載を省略している。図17A、図17B、および図17Cに示す構成は、トランジスタ550等、本発明の一態様の半導体装置が有する他のトランジスタにも適用することができる。

【0274】

図17A、図17B、および図17Cに示す構成のトランジスタ500Aは、絶縁体552、絶縁体513および絶縁体404を有する点が、図16A、図16Bに示す構成のトランジスタ500と異なる。また、導電体540aの側面に接して絶縁体552が設けられ、導電体540bの側面に接して絶縁体552が設けられる点が、図16A、図16Bに示す構成のトランジスタ500と異なる。さらに、絶縁体520を有さない点が、図16A、図16Bに示す構成のトランジスタ500と異なる。

【0275】

図17A、図17B、および図17Cに示す構成のトランジスタ500Aは、絶縁体512上に絶縁体513が設けられる。また、絶縁体574上、および絶縁体513上に絶縁体404が設けられる。

【0276】

図17A、図17B、および図17Cに示す構成のトランジスタ500Aでは、絶縁体514、絶縁体516、絶縁体522、絶縁体524、絶縁体544、絶縁体580、および絶縁体574がパターンニングされており、絶縁体404がこれらを覆う構成になっている。つまり、絶縁体404は、絶縁体574の上面、絶縁体574の側面、絶縁体580の側面、絶縁体544の側面、絶縁体524の側面、絶縁体522の側面、絶縁体516の側面、絶縁体514の側面、絶縁体513の上面とそれぞれ接する。これにより、酸化物530等は、絶縁体404と絶縁体513によって外部から隔離される。

【0277】

絶縁体513および絶縁体404は、水素（例えば、水素原子、水素分子などの少なくとも一）または水分子の拡散を抑制する機能が高いことが好ましい。例えば、絶縁体513および絶縁体404として、水素バリア性が高い材料である、窒化シリコンまたは窒化酸化シリコンを用いることが好ましい。これにより、酸化物530に水素等が拡散することを抑制することができるので、トランジスタ500Aの特性低下を抑制できる。よって、本発明の一態様の半導体装置の信頼性を高めることができる。

【0278】

絶縁体552は、絶縁体581、絶縁体404、絶縁体574、絶縁体580、および絶縁体544に接して設けられる。絶縁体552は、水素または水分子の拡散を抑制する機能を有することが好ましい。たとえば、絶縁体552として、水素バリア性が高い材料である、窒化シリコン、酸化アルミニウム、または窒化酸化シリコン等の絶縁体を用いることが好ましい。特に、窒化シリコンは水素バリア性が高い材料であるので、絶縁体552として用いると好適である。絶縁体552として水素バリア性が高い材料を用いることにより、水または水素等の不純物が、絶縁体580等から導電体540aおよび導電体540bを通じて酸化物530に拡散することを抑制することができる。また、絶縁体580に含まれる酸素が導電体540aおよび導電体540bに吸収されることを抑制することができる。以上により、本発明の一態様の半導体装置の信頼性を高めることができる。

【0279】

<トランジスタの変形例2>

図18A、図18Bおよび図18Cを用いて、トランジスタ500Bの構成例を説明する。図18Aはトランジスタ500Bの上面図である。図18Bは、図18Aに一点鎖線で示すL1-L2部位の断面図である。図18Cは、図18Aに一点鎖線で示すW1-W2部位の断面図である。なお、図18Aの上面図では、図の明瞭化のために一部の要素の記載を省略している。

10

20

30

40

50

【0280】

トランジスタ500Bはトランジスタ500の変形例であり、トランジスタ500に置き換え可能なトランジスタである。よって、説明の繰り返しを防ぐため、主にトランジスタ500Bのトランジスタ500と異なる点について説明する。

【0281】

第1のゲート電極として機能する導電体560は、導電体560a、および導電体560a上の導電体560bを有する。導電体560aは、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

10

【0282】

導電体560aが酸素の拡散を抑制する機能を持つことにより、導電体560bの材料選択性を向上することができる。つまり、導電体560aを有することで、導電体560bの酸化が抑制され、導電率が低下することを防止することができる。

【0283】

また、導電体560の上面および側面と絶縁体545の側面を覆うように、絶縁体544を設けることが好ましい。なお、絶縁体544は、水または水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁性材料を用いるとよい。例えば、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。また、他にも、例えば、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いることができる。

20

【0284】

絶縁体544を設けることで、導電体560の酸化を抑制することができる。また、絶縁体544を有することで、絶縁体580が有する水、および水素などの不純物がトランジスタ500Bへ拡散することを抑制することができる。

【0285】

トランジスタ500Bは、導電体542aの一部と導電体542bの一部に導電体560が重なるため、トランジスタ500よりも寄生容量が大きくなりやすい。よって、トランジスタ500に比べて動作周波数が低くなる傾向がある。しかしながら、絶縁体580などに開口を設けて導電体560や絶縁体545などを埋めこむ工程が不要であるため、トランジスタ500と比較して生産性が高い。

30

【0286】

本実施の形態に示す構成、構造、方法などは、他の実施の形態および実施例などに示す構成、構造、方法などと適宜組み合わせる用いることができる。

【0287】

(実施の形態5)

本実施の形態では、酸化物半導体の結晶構造などに関して詳細に説明する。

【0288】

〔結晶構造の分類〕

まず、酸化物半導体における、結晶構造の分類について、図19Aを用いて説明を行う。図19Aは、酸化物半導体、代表的にはIGZO(Inと、Gaと、Znと、を含む金属酸化物)の結晶構造の分類を説明する図である。

40

【0289】

図19Aに示すように、酸化物半導体は、大きく分けて「Amorphous(無定形)」と、「Crystalline(結晶性)」と、「Crystal(結晶)」と、に分類される。また、「Amorphous」の中には、completely amorphousが含まれる。また、「Crystalline」の中には、CAAC(c-axis-aligned crystalline)、nc(nanocrystalline)、及びCAC(cloud-aligned composite)が含まれる

50

。なお、「Crystalline」の分類には、single crystal、poly crystal、及びcompletely amorphousは除かれる。また、「Crystal」の中には、single crystal、及びpoly crystalが含まれる。

【0290】

なお、図19Aに示す太枠内の構造は、「Amorphous（無定形）」と、「Crystal（結晶）」との間の中間状態であり、新しい境界領域（New crystalline phase）に属する構造である。すなわち、当該構造は、エネルギー的に不安定な「Amorphous（無定形）」や、「Crystal（結晶）」とは全く異なる構造と言い換えることができる。

10

【0291】

なお、膜または基板の結晶構造は、X線回折（XRD：X-Ray Diffraction）スペクトルを用いて評価することができる。ここで、「Crystalline」に分類されるCAAC-IGZO膜のGIXD（Grazing-Incidence XRD）測定で得られるXRDスペクトルを図19Bに示す。なお、GIXD法は、薄膜法またはSeemann-Bohlin法ともいう。以降、図19Bに示すGIXD測定で得られるXRDスペクトルを、単にXRDスペクトルと記す。なお、図19Bに示すCAAC-IGZO膜の組成は、In：Ga：Zn＝4：2：3〔原子数比〕近傍である。また、図19Bに示すCAAC-IGZO膜の厚さは、500nmである。

【0292】

図19Bに示すように、CAAC-IGZO膜のXRDスペクトルでは、明確な結晶性を示すピークが検出される。具体的には、CAAC-IGZO膜のXRDスペクトルでは、 $2\theta = 31^\circ$ 近傍に、c軸配向を示すピークが検出される。なお、図19Bに示すように、 $2\theta = 31^\circ$ 近傍のピークは、ピーク強度が検出された角度を軸に左右非対称である。

20

【0293】

また、膜または基板の結晶構造は、極微電子線回折法（NBED：Nano Beam Electron Diffraction）によって観察される回折パターン（極微電子線回折パターンともいう。）にて評価することができる。CAAC-IGZO膜の回折パターンを、図19Cに示す。図19Cは、電子線を基板に対して平行に入射するNBEDによって観察される回折パターンである。なお、図19Cに示すCAAC-IGZO膜の組成は、In：Ga：Zn＝4：2：3〔原子数比〕近傍である。また、極微電子線回折法では、プローブ径を1nmとして電子線回折が行われる。

30

【0294】

図19Cに示すように、CAAC-IGZO膜の回折パターンでは、c軸配向を示す複数のスポットが観察される。

【0295】

〔酸化物半導体の構造〕

なお、酸化物半導体は、結晶構造に着目した場合、図19Aとは異なる分類となる場合がある。例えば、酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、上述のCAAC-OS、及びnc-OSがある。また、非単結晶酸化物半導体には、多結晶酸化物半導体、擬似非晶質酸化物半導体（a-like OS：amorphous-like oxide semiconductor）、非晶質酸化物半導体、などが含まれる。

40

【0296】

続いて、上述のCAAC-OS、nc-OS、及びa-like OSの詳細について、説明を行う。

【0297】

〔CAAC-OS〕

CAAC-OSは、複数の結晶領域を有し、当該複数の結晶領域はc軸が特定の方向に配向している酸化物半導体である。なお、特定の方向とは、CAAC-OS膜の厚さ方向

50

、C A A C - O S 膜の被形成面の法線方向、またはC A A C - O S 膜の表面の法線方向である。また、結晶領域とは、原子配列に周期性を有する領域である。なお、原子配列を格子配列とみなすと、結晶領域とは、格子配列の揃った領域でもある。さらに、C A A C - O S は、a - b 面方向において複数の結晶領域が連結する領域を有し、当該領域は歪みを有する場合がある。なお、歪みとは、複数の結晶領域が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。つまり、C A A C - O S は、c 軸配向し、a - b 面方向には明らかな配向をしていない酸化物半導体である。

【0298】

なお、上記複数の結晶領域のそれぞれは、1つまたは複数の微小な結晶（最大径が10 nm未満である結晶）で構成される。結晶領域が1つの微小な結晶で構成されている場合、当該結晶領域の最大径は10 nm未満となる。また、結晶領域が多数の微小な結晶で構成されている場合、当該結晶領域の大きさは、数十nm程度となる場合がある。

【0299】

また、I n - M - Z n 酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、スズ、チタンなどから選ばれた一種、または複数種）において、C A A C - O S は、インジウム（I n）、及び酸素を有する層（以下、I n 層）と、元素M、亜鉛（Z n）、及び酸素を有する層（以下、（M, Z n）層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能である。よって、（M, Z n）層にはインジウムが含まれる場合がある。また、I n 層には元素Mが含まれる場合がある。なお、I n 層にはZ nが含まれる場合もある。当該層状構造は、例えば、高分解能T E M像において、格子像として観察される。

【0300】

C A A C - O S 膜に対し、例えば、X R D 装置を用いて構造解析を行うと、 $\theta / 2 \theta$ スキャンを用いたO u t - o f - p l a n e X R D 測定では、c 軸配向を示すピークが $2 \theta = 31^{\circ}$ またはその近傍に検出される。なお、c 軸配向を示すピークの位置（ 2θ の値）は、C A A C - O S を構成する金属元素の種類、組成などにより変動する場合がある。

【0301】

また、例えば、C A A C - O S 膜の電子線回折パターンにおいて、複数の輝点（スポット）が観測される。なお、あるスポットと別のスポットとは、試料を透過した入射電子線のスポット（ダイレクトスポットともいう。）を対称中心として、点对称の位置に観測される。

【0302】

上記特定の方法から結晶領域を観察した場合、当該結晶領域内の格子配列は、六方格子を基本とするが、単位格子は正六角形とは限らず、非正六角形である場合がある。また、上記歪みにおいて、五角形、七角形などの格子配列を有する場合がある。なお、C A A C - O S において、歪み近傍においても、明確な結晶粒界（グレインバウンダリー）を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、C A A C - O S が、a - b 面方向において酸素原子の配列が稠密でないことや、金属原子が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

【0303】

なお、明確な結晶粒界が確認される結晶構造は、いわゆる多結晶（p o l y c r y s t a l）と呼ばれる。結晶粒界は、再結合中心となり、キャリアが捕獲されトランジスタのオン電流の低下、電界効果移動度の低下などを引き起こす可能性が高い。よって、明確な結晶粒界が確認されないC A A C - O S は、トランジスタの半導体層に好適な結晶構造を有する結晶性の酸化物の一つである。なお、C A A C - O S を構成するには、Z n を有する構成が好ましい。例えば、I n - Z n 酸化物、及びI n - G a - Z n 酸化物は、I n 酸化物よりも結晶粒界の発生を抑制できるため好適である。

【0304】

C A A C - O S は、結晶性が高く、明確な結晶粒界が確認されない酸化物半導体である。よって、C A A C - O S は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、C A A C - O S は不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。従って、C A A C - O S を有する酸化物半導体は、物理的性質が安定する。そのため、C A A C - O S を有する酸化物半導体は熱に強く、信頼性が高い。また、C A A C - O S は、製造工程における高い温度（所謂サーマルバジェット）に対しても安定である。したがって、O S トランジスタに C A A C - O S を用いると、製造工程の自由度を広げることが可能となる。

【0305】

[n c - O S]

n c - O S は、微小な領域（例えば、1 n m 以上 1 0 n m 以下の領域、特に 1 n m 以上 3 n m 以下の領域）において原子配列に周期性を有する。別言すると、n c - O S は、微小な結晶を有する。なお、当該微小な結晶の大きさは、例えば、1 n m 以上 1 0 n m 以下、特に 1 n m 以上 3 n m 以下であることから、当該微小な結晶をナノ結晶ともいう。また、n c - O S は、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、n c - O S は、分析方法によっては、a - l i k e

O S や非晶質酸化物半導体と区別が付かない場合がある。例えば、n c - O S 膜に対し、X R D 装置を用いて構造解析を行うと、 $\theta / 2 \theta$ スキャンを用いた O u t - o f - p l a n e X R D 測定では、結晶性を示すピークが検出されない。また、n c - O S 膜に対し、ナノ結晶よりも大きいプローブ径（例えば 5 0 n m 以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、n c - O S 膜に対し、ナノ結晶の大きさと近いナノ結晶より小さいプローブ径（例えば 1 n m 以上 3 0 n m 以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう。）を行うと、ダイレクトスポットを中心とするリング状の領域内に複数のスポットが観測される電子線回折パターンが取得される場合がある。

【0306】

[a - l i k e O S]

a - l i k e O S は、n c - O S と非晶質酸化物半導体との間の構造を有する酸化物半導体である。a - l i k e O S は、鬆又は低密度領域を有する。即ち、a - l i k e O S は、n c - O S 及び C A A C - O S と比べて、結晶性が低い。また、a - l i k e O S は、n c - O S 及び C A A C - O S と比べて、膜中の水素濃度が高い。

【0307】

[酸化物半導体の構成]

次に、上述の C A C - O S の詳細について、説明を行う。なお、C A C - O S は材料構成に関する。

【0308】

[C A C - O S]

C A C - O S とは、例えば、金属酸化物を構成する元素が、0 . 5 n m 以上 1 0 n m 以下、好ましくは、1 n m 以上 3 n m 以下、またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、金属酸化物において、一つまたは複数の金属元素が偏在し、該金属元素を有する領域が、0 . 5 n m 以上 1 0 n m 以下、好ましくは、1 n m 以上 3 n m 以下、またはその近傍のサイズで混合した状態をモザイク状、またはパッチ状ともいう。

【0309】

さらに、C A C - O S とは、第 1 の領域と、第 2 の領域と、に材料が分離することでモザイク状となり、当該第 1 の領域が、膜中に分布した構成（以下、クラウド状ともいう。）である。つまり、C A C - O S は、当該第 1 の領域と、当該第 2 の領域とが、混合している構成を有する複合金属酸化物である。

【0310】

ここで、I n - G a - Z n 酸化物における C A C - O S を構成する金属元素に対する I

10

20

30

40

50

n、Ga、およびZnの原子数比のそれぞれを、[In]、[Ga]、および[Zn]と表記する。例えば、In-Ga-Zn酸化物におけるCAC-OSにおいて、第1の領域は、[In]が、CAC-OS膜の組成における[In]よりも大きい領域である。また、第2の領域は、[Ga]が、CAC-OS膜の組成における[Ga]よりも大きい領域である。または、例えば、第1の領域は、[In]が、第2の領域における[In]よりも大きく、且つ、[Ga]が、第2の領域における[Ga]よりも小さい領域である。また、第2の領域は、[Ga]が、第1の領域における[Ga]よりも大きく、且つ、[In]が、第1の領域における[In]よりも小さい領域である。

【0311】

具体的には、上記第1の領域は、インジウム酸化物、インジウム亜鉛酸化物などが主成分である領域である。また、上記第2の領域は、ガリウム酸化物、ガリウム亜鉛酸化物などが主成分である領域である。つまり、上記第1の領域を、Inを主成分とする領域と言い換えることができる。また、上記第2の領域を、Gaを主成分とする領域と言い換えることができる。

10

【0312】

なお、上記第1の領域と、上記第2の領域とは、明確な境界が観察できない場合がある。

【0313】

例えば、In-Ga-Zn酸化物におけるCAC-OSでは、エネルギー分散型X線分光法(EDX: Energy Dispersive X-ray spectroscopy)を用いて取得したEDXマッピングにより、Inを主成分とする領域(第1の領域)と、Gaを主成分とする領域(第2の領域)とが、偏在し、混合している構造を有することが確認できる。

20

【0314】

CAC-OSをトランジスタに用いる場合、第1の領域に起因する導電性と、第2の領域に起因する絶縁性とが、相補的に作用することにより、スイッチングさせる機能(On/Offさせる機能)をCAC-OSに付与することができる。つまり、CAC-OSとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。導電性の機能と絶縁性の機能とを分離させることで、双方の機能を最大限に高めることができる。よって、CAC-OSをトランジスタに用いることで、高いオン電流(I_{on})、高い電界効果移動度(μ)、および良好なスイッチング動作を実現することができる。

30

【0315】

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、CAC-OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

【0316】

〔酸化物半導体を有するトランジスタ〕

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

【0317】

上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

40

【0318】

トランジスタのチャネル形成領域には、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のチャネル形成領域のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、酸化物半導体膜のキャリア濃度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性と言う。なお、キャリア濃

50

度の低い酸化物半導体を、高純度真性又は実質的に高純度真性な酸化物半導体と呼ぶ場合がある。

【0319】

また、高純度真性又は実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

【0320】

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

【0321】

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

【0322】

〔不純物〕

ここで、酸化物半導体中における各不純物の影響について説明する。

【0323】

酸化物半導体において、第14族元素の一つであるシリコンや炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体のチャネル形成領域におけるシリコンや炭素の濃度と、酸化物半導体のチャネル形成領域との界面近傍のシリコンや炭素の濃度（二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

【0324】

また、酸化物半導体にアルカリ金属又はアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属又はアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、SIMSにより得られる酸化物半導体のチャネル形成領域中のアルカリ金属又はアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

【0325】

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体に用いたトランジスタはノーマリーオン特性となりやすい。または、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、SIMSにより得られる酸化物半導体のチャネル形成領域中の窒素濃度を、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下にする。

【0326】

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体のチャネル形成領域における中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体のチャネル形成領域において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好

10

20

30

40

50

ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、さらに好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満にする。

【0327】

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

【0328】

本実施の形態に示す構成、構造、方法などは、他の実施の形態および実施例などに示す構成、構造、方法などと適宜組み合わせる用いることができる。

【0329】

(実施の形態6)

本実施の形態では、上記実施の形態で説明した半導体装置100の構成を含む集積回路の構成について図20および図21を参照しながら説明する。

【0330】

図20は、半導体装置100の構成を含む集積回路の構成例を説明するためのブロック図の一例である。

【0331】

図20に図示する集積回路390は、CPU10、アクセラレータ20、オンチップメモリ131、DMAC(Direct Memory Access Controller)141、電源回路160、パワーマネジメントユニット(PMU)142、セキュリティ回路147、メモリコントローラ143、DDR SDRAM(Double Data Rate Synchronous Dynamic Random Access Memory)コントローラ144、USB(Universal Serial Bus)インターフェース回路145、ディスプレイインターフェース回路146、ブリッジ回路150、割り込み制御回路151、インターフェース回路152、バッテリー制御回路153、およびADC(Analog-to-digital converter)/DAC(Digital-to-analog converter)インターフェース回路154を有する。

【0332】

CPU10は、一例として、CPUコア111、命令キャッシュ112、データキャッシュ113、およびバスインターフェース回路114を有する。アクセラレータ20は、メモリ回路121、演算回路122、および駆動回路123を有する。

【0333】

CPUコア111は、複数のCPUコアを有する。命令キャッシュ112は、CPUコア111で実行する命令を一時的に記憶する回路構成とすればよい。データキャッシュ113は、CPUコア111で処理するデータまたは処理によって得られたデータを一時的に記憶する回路構成とすればよい。バスインターフェース回路114は、CPU10と、半導体装置内の他の回路とを接続するためのバスとデータやアドレス等の信号を送受信することができる回路構成であればよい。

【0334】

メモリ回路121は、実施の形態1で説明したメモリ回路24に相当する。メモリ回路121は、アクセラレータ20で処理するデータを記憶する回路構成とすればよい。演算回路122は、実施の形態1で説明した演算回路23に相当する。演算回路122は、メモリ回路121に保持したデータの演算処理を行う回路構成とすればよい。駆動回路123は、実施の形態1で説明した駆動回路15を備えた構成に相当する。駆動回路123は、図9Bで図示したように、アクセラレータ20内の各回路を制御するための回路構成とすればよい。

【0335】

高速バス140Aは、CPU10、アクセラレータ20、オンチップメモリ131、DMAC141、パワーマネジメントユニット142、セキュリティ回路147、メモリコントローラ143、DDR SDRAMコントローラ144、USBインターフェース

10

20

30

40

50

回路145、およびディスプレイインターフェース回路146の間の各種信号を高速で送受信するためのバスである。一例としては、AMBA (Advanced Microcontroller Bus Architecture) - AHB (Advanced High-performance Bus) をバスとして用いることができる。

【0336】

オンチップメモリ131は、集積回路390が有する回路、例えばCPU10またはアクセラレータ20に入出力するデータまたはプログラムを記憶するための回路構成を有する。

【0337】

DMAC141は、ダイレクトメモリアクセスコントローラである。DMAC141を有することで、CPU10以外の周辺機器は、CPU10を介さずにオンチップメモリ131にアクセスすることができる。

10

【0338】

パワーマネジメントユニット142は、集積回路390が有するCPUコア等の回路のパワーゲーティングを制御するための回路構成を有する。

【0339】

セキュリティ回路147は、集積回路390と外部の回路との間で暗号化して信号を送受信するなど、信号の秘匿性を高めるための回路構成を有する。

【0340】

メモリコントローラ143は、集積回路390の外部にあるプログラムメモリからCPU10またはアクセラレータ20で実行するためのプログラムを書き込みまたは読み出しを行うための回路構成を有する。

20

【0341】

DDR SDRAMコントローラ144は、集積回路390の外部にあるDRAM等のメインメモリとの間でデータを書き込みまたは読み出しを行うための回路構成を有する。

【0342】

USBインターフェース回路145は、集積回路390の外部にある回路とUSB端子を介してデータの送受信を行うための回路構成を有する。

【0343】

ディスプレイインターフェース回路146は、集積回路390の外部にあるディスプレイデバイスとデータの送受信を行うための回路構成を有する。

30

【0344】

電源回路160は、集積回路390内で用いる電圧を生成するための回路である。例えば、オストランジスタのバックゲートに与える、電気的特性を安定化するための負電圧を生成する回路である。

【0345】

低速バス140Bは、割り込み制御回路151、インターフェース回路152、バッテリー制御回路153、およびADC/DACインターフェース回路154の間の各種信号を低速で送受信するためのバスである。一例としては、AMBA-APB (Advanced Peripheral Bus) をバスとして用いることができる。高速バス140Aと低速バス140Bとの間の各種信号の送受信は、ブリッジ回路150を介して行う。

40

【0346】

割り込み制御回路151は、周辺機器から受け取る要求に対して、割り込み処理を行うための回路構成を有する。

【0347】

インターフェース回路152は、UART (Universal Asynchronous Receiver/Transmitter) や、I2C (Inter-Integrated Circuit)、SPI (Serial Peripheral Interface) などのインターフェースを機能させるための回路構成を有する。

【0348】

50

バッテリー制御回路１５３は、集積回路３９０の外部にあるバッテリーの充放電に関するデータを送受信するための回路構成を有する。

【０３４９】

A D C／D A Cインターフェース回路１５４は、集積回路３９０の外部にあるM E M S（M i c r o E l e c t r o M e c h a n i c a l S y s t e m s）デバイス等のアナログ信号を出力するデバイスとの間でデータを送受信するための回路構成を有する。

【０３５０】

図２１Ａ、図２１Ｂは、S o C化した際の回路ブロックの配置の一例を示す図である。図２１Ａに図示する集積回路３９０のように図２０のブロック図で図示した各構成は、チップ上で領域を区切って配置することができる。

【０３５１】

なお図２０で説明したオンチップメモリ１３１は、O S トランジスタで構成される記憶回路、例えばN O S R A M等で構成することができる。つまりオンチップメモリ１３１とメモリ回路１２１とは、同じ回路構成を有する。そのため、S o C化した際、図２１Ｂに図示する集積回路３９０Ｅのようにオンチップメモリ１３１とメモリ回路１２１とを一体化して同じ領域内に配置することも可能である。

【０３５２】

以上説明した本発明の一態様により、新規な半導体装置および電子機器を提供することができる。又は、本発明の一態様により、消費電力の小さい半導体装置および電子機器を提供することができる。又は、本発明の一態様により、発熱の抑制が可能な半導体装置および電子機器を提供することができる。

【０３５３】

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

【０３５４】

（実施の形態７）

本実施の形態では、上記実施の形態で説明した集積回路３９０を適用することが可能な電子機器、移動体、演算システムについて、図２２乃至図２５を参照しながら説明する。

【０３５５】

図２２Ａは、移動体の一例として自動車の外観図を図示している。図２２Ｂは、自動車内でのデータのやり取りを簡略化した図である。自動車５９０は、複数のカメラ５９１等を有する。また、自動車５９０は、赤外線レーダー、ミリ波レーダー、レーザーレーダーなど各種センサ（図示せず）などを備える。

【０３５６】

自動車５９０において、カメラ５９１等により上記集積回路３９０を用いることができる。自動車５９０は、カメラ５９１が複数の撮像方向５９２で得られた複数の画像を上記実施の形態で説明した集積回路３９０で処理し、バス５９３等を介してホストコントローラ５９４等により複数の画像をまとめて解析することで、ガードレールや歩行者の有無など、周囲の交通状況を判断し、自動運転を行うことができる。また、道路案内、危険予測などを行うシステムに用いることができる。

【０３５７】

集積回路３９０では、得られた画像データをニューラルネットワークなどの演算処理を行うことで、例えば、画像の高解像度化、画像ノイズの低減、顔認識（防犯目的など）、物体認識（自動運転の目的など）、画像圧縮、画像補正（広ダイナミックレンジ化）、レンズレスイメージセンサの画像復元、位置決め、文字認識、反射映り込み低減などの処理を行うことができる。

【０３５８】

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、飛行体（ヘリコプター、無人航空機（ドローン）、飛行機、ロケット）なども挙げることができ、これらの移動体に本発明の一態様の半導体装置を適用して、人工知能を利用したシステムを付与する

10

20

30

40

50

ことができる。

【0359】

図23Aは、携帯型電子機器の一例を示す外観図である。図23Bは、携帯型電子機器内でのデータのやり取りを簡略化した図である。携帯型電子機器595は、プリント配線基板596、スピーカー597、カメラ598、マイクロフォン599等を有する。

【0360】

携帯型電子機器595において、プリント配線基板596に上記集積回路390を設けることができる。携帯型電子機器595は、スピーカー597、カメラ598、マイクロフォン599等で得られる複数のデータを上記実施の形態で説明した集積回路390を用いて処理・解析することで、ユーザの利便性を向上させることができる。また、音声案内、画像検索などを行うシステムに用いることができる。

10

【0361】

集積回路390では、得られた画像データをニューラルネットワークなどの演算処理を行うことで、例えば、画像の高解像度化、画像ノイズの低減、顔認識（防犯目的など）、物体認識（自動運転の目的など）、画像圧縮、画像補正（広ダイナミックレンジ化）、レンズレスイメージセンサの画像復元、位置決め、文字認識、反射映り込み低減などの処理を行うことができる。

【0362】

図24Aに示す携帯型ゲーム機1100は、筐体1101、筐体1102、筐体1103、表示部1104、接続部1105、操作キー1107等を有する。筐体1101、筐体1102および筐体1103は、取り外すことが可能である。筐体1101に設けられている接続部1105を筐体1108に取り付けることで、表示部1104に出力される映像を、別の映像機器に出力することができる。他方、筐体1102および筐体1103を筐体1109に取り付けることで、筐体1102および筐体1103を一体化し、操作部として機能させる。筐体1102および筐体1103の基板に設けられているチップなどに先の実施の形態に示す集積回路390を組み込むことができる。

20

【0363】

図24BはUSB接続タイプのスティック型の電子機器1120である。電子機器1120は、筐体1121、キャップ1122、USBコネクタ1123および基板1124を有する。基板1124は、筐体1121に収納されている。例えば、基板1124には、メモリチップ1125、コントローラチップ1126が取り付けられている。基板1124のコントローラチップ1126などに先の実施の形態に示す集積回路390を組み込むことができる。

30

【0364】

図24Cは人型のロボット1130である。ロボット1130は、センサ2101乃至2106、および制御回路2110を有する。例えば、制御回路2110には、先の実施の形態に示す集積回路390を組み込むことができる。

【0365】

上記実施の形態で説明した集積回路390は、電子機器に内蔵する代わりに、電子機器と通信を行うサーバーに用いることもできる。この場合、電子機器とサーバーによって演算システムが構成される。図25に、システム3000の構成例を示す。

40

【0366】

システム3000は、電子機器3001と、サーバー3002によって構成される。電子機器3001とサーバー3002間の通信は、インターネット回線3003を介して行うことができる。

【0367】

サーバー3002には、複数のラック3004を有する。複数のラックには、複数の基板3005が設けられ、当該基板3005上に上記実施の形態で説明した集積回路390を搭載することができる。これにより、サーバー3002にニューラルネットワークが構成される。そして、サーバー3002は、電子機器3001からインターネット回線30

50

03を介して入力されたデータを用いて、ニューラルネットワークの演算を行うことができる。サーバー3002による演算の結果は必要に応じて、インターネット回線3003を介して電子機器3001に送信することができる。これにより、電子機器3001における演算の負担を低減することができる。

【0368】

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

【実施例1】

【0369】

本実施例では、上記実施の形態1で説明した非常に優れた処理性能を有するアクセラレータに関し、演算効率を見積もるためのシミュレーション結果について説明する。

10

【0370】

シミュレーションに用いたデータでは、アクセラレータを構成するトランジスタのSiテクノロジーは55nmを想定し、IGZOテクノロジーは60nmを想定した。また各レイアウトにおいて寄生容量を付加した。ニューラルネットワークにおいて全ニューロン（メモリ回路）が活性化、つまりニューラルネットワークによる積和演算においてもっと消費電力の大きい場合を想定し、演算効率を見積もった。なお1本のビット線に接続されるメモリ回路（メモリセル）数を16セル、32セル、64セル、および128セルで見積もった。

【0371】

具体的な計算例としては、例えば32セル／ビット線の場合、 $(2048(PE) \times 2(積と和の2種類の演算) \times (50MHz)) / (2048(PE) \times 20.2fJ \times (50MHz)) = 99TOPS/W$ と見積もることができる。なお2048(PE)とは、一度に演算を行える演算回路の数、つまりメモリセルアレイの列数に対応する。20.2fJは、メモリセルからの読み出しエネルギー（13.9fJ）に積和演算に要する積和演算エネルギー（6.3fJ）を足し合わせたトータルエネルギーである。

20

【0372】

つまり、図26に示す回路図で言えば、メモリ回路24(PE)の列数が2048個である場合の演算効率を見積もった。図26の場合、ビット線PBL_1乃至PBL_N、およびビット線のNBL_1乃至NBL_Nの2本のビット線の充放電し、1本のビット線に接続されるメモリセル数が多いほど、メモリセルからの読み出しエネルギー（メモリ部22に相当）が大きくなる。積和演算エネルギー（演算処理部21に相当）は、1本のビット線に接続されるメモリセル数にかかわらず、6.3fJと見積もることができる。

30

【0373】

なお図26では、その他の構成として、ワード線WL_1乃至WL_Mを図示している。また積和演算を行う演算処理部では、掛け算を行う複数の論理ブロックと、足し算を行う複数の論理ブロックと、を図示している。掛け算を行う論理ブロックでは、ビット線PBL、NBLからの信号と、入力データA₁と、が与えられ、掛け算されたデータY₁乃至Y_Nが得られ、当該データY₁乃至Y_N同士が加算され、積和演算されたデータY_{AS}を得る構成を図示している。

【0374】

以上を表4にまとめた。表4に図示するように、メモリセル数を16セル、32セル、64セル、および128セルで見積もった場合の演算効率を得られた。

40

【0375】

【表 4】

メモリセル数	メモリセルのデータ読み出しに要するエネルギー	データの積和演算に要するエネルギー	エネルギー合計	演算効率
16 セル	8.4 fJ	6.3 fJ	14.7 fJ	136 TOPS/W
32 セル	13.9 fJ	6.3 fJ	20.2 fJ	99 TOPS/W
64 セル	25.0 fJ	6.3 fJ	31.3 fJ	64 TOPS/W
128 セル	47.0 fJ	6.3 fJ	53.3 fJ	38 TOPS/W

【0376】

表 4 に示すように、本発明の一態様の半導体装置を適用することで、100 TOPS/W 以上の演算効率が期待できることがわかった。

【0377】

(本明細書等の記載に関する付記)

以上の実施の形態、および実施の形態における各構成の説明について、以下に付記する。

【0378】

各実施の形態に示す構成は、他の実施の形態あるいは実施例に示す構成と適宜組み合わせ、本発明の一態様とすることができる。また、1つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

【0379】

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）、および／または、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）に対して、適用、組み合わせ、または置き換えなどを行うことが出来る。

【0380】

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、または明細書に記載される文章を用いて述べる内容のことである。

【0381】

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）、および／または、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）に対して、組み合わせることにより、さらに多くの図を構成させることが出来る。

【0382】

また本明細書等において、ブロック図では、構成要素を機能毎に分類し、互いに独立したブロックとして示している。しかしながら実際の回路等においては、構成要素を機能毎に切り分けることが難しく、一つの回路に複数の機能が係わる場合や、複数の回路にわたって一つの機能が関わる場合があり得る。そのため、ブロック図のブロックは、明細書で説明した構成要素に限定されず、状況に応じて適切に言い換えることができる。

【0383】

また、図面において、大きさ、層の厚さ、または領域は、説明の便宜上任意の大きさに示したものである。よって、必ずしもそのスケールに限定されない。なお図面は明確性を期すために模式的に示したものであり、図面に示す形状または値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、または、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

【0384】

また、図面等において図示する構成要素の位置関係は、相対的である。従って、図面を参照して構成要素を説明する場合、位置関係を示す「上に」、「下に」等の語句は便宜的に用いられる場合がある。構成要素の位置関係は、本明細書の記載内容に限定されず、状況に応じて適切に言い換えることができる。

【0385】

本明細書等において、トランジスタの接続関係を説明する際、「ソースまたはドレインの一方」（または第1電極、または第1端子）、「ソースまたはドレインの他方」（または第2電極、または第2端子）という表記を用いる。これは、トランジスタのソースとドレインは、トランジスタの構造または動作条件等によって変わるためである。なおトランジスタのソースとドレインの呼称については、ソース（ドレイン）端子や、ソース（ドレイン）電極等、状況に応じて適切に言い換えることができる。

10

【0386】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【0387】

また、本明細書等において、電圧と電位は、適宜言い換えることができる。電圧は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電圧（接地電圧）とすると、電圧を電位に言い換えることができる。グラウンド電位は必ずしも0Vを意味するとは限らない。なお電位は相対的なものであり、基準となる電位によっては、配線等に与える電位を変化させる場合がある。

20

【0388】

また本明細書等において、ノードは、回路構成やデバイス構造等に応じて、端子、配線、電極、導電層、導電体、不純物領域等と言い換えることが可能である。また、端子、配線等をノードと言い換えることが可能である。

【0389】

本明細書等において、AとBとが接続されている、とは、AとBとが電氣的に接続されているものをいう。ここで、AとBとが電氣的に接続されているとは、AとBとの間で対象物（スイッチ、トランジスタ素子、またはダイオード等の素子、あるいは当該素子および配線を含む回路等を指す）が存在する場合にAとBとの電気信号の伝達が可能である接続をいう。なおAとBとが電氣的に接続されている場合には、AとBとが直接接続されている場合を含む。ここで、AとBとが直接接続されているとは、上記対象物を介することなく、AとBとの間で配線（または電極）等を介してAとBとの電気信号の伝達が可能である接続をいう。換言すれば、直接接続とは、等価回路で表した際に同じ回路図として見なせる接続をいう。

30

【0390】

本明細書等において、スイッチとは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。または、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。

40

【0391】

本明細書等において、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲートとが重なる領域、またはチャンネルが形成される領域における、ソースとドレインとの間の距離をいう。

【0392】

本明細書等において、チャンネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが重なる領域、またはチャンネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。

50

【0393】

なお本明細書等において、「膜」、「層」などの語句は、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

【符号の説明】

【0394】

：M11：トランジスタ、M12：トランジスタ、M13：トランジスタ、10：CPU、11：CPUコア、12：バックアップ回路、15：駆動回路、20：アクセラレータ、21：演算処理部、22：メモリ部、22__N：メモリ部、22__1：メモリ部、22__6：メモリ部、23：演算回路、23__N：演算回路、23__1：演算回路、23__6：演算回路、24：メモリ回路、25：トランジスタ、27：トランジスタ、29：半導体層、30：バス、31：データ保持回路、31__N：データ保持回路、31__P：データ保持回路、32：トランジスタ、32__N：トランジスタ、32__P：トランジスタ、33：トランジスタ、33__N：トランジスタ、33__P：トランジスタ、34：トランジスタ、35：容量素子、42：論理回路、43：アキュムレータ、44：ラッチ回路、45：符号化回路、50：ニューロン、51：層、52：層、53：層、54：層、61：コントローラ、62：ロウデコーダ、63：ワード線ドライバ、64：カラムデコーダ、65：書き込みドライバ、66：プリチャージ回路、71：入力バッファ、72：演算制御回路、100：半導体装置、111：CPUコア、112：命令キャッシュ、113：データキャッシュ、114：バスインターフェース回路、121：メモリ回路、122：演算回路、123：駆動回路、131：オンチップメモリ、140A：高速バス、140B：低速バス、141：DMAC、142：パワーマネジメントユニット、143：メモリコントローラ、144：コントローラ、145：インターフェース回路、146：ディスプレイインターフェース回路、147：セキュリティ回路、150：ブリッジ回路、151：制御回路、152：インターフェース回路、153：バッテリー制御回路、154：インターフェース回路、160：電源回路、193：PMU、200：CPUコア、202：キャッシュメモリ装置、203：キャッシュメモリ装置、205：バスインターフェース部、210：パワースイッチ、211：パワースイッチ、212：パワースイッチ、214：レベルシフタ、220：フリップフロップ、221：スキャンフリップフロップ、221A：クロックバッファ回路、222：バックアップ回路、311：基板、312：ウェル領域、313：絶縁体、314：酸化物層、315：半導体領域、316a：低抵抗領域、316b：低抵抗領域、316c：低抵抗領域、317：絶縁体、318：導電体、320：絶縁体、322：絶縁体、324：絶縁体、326：絶縁体、328：導電体、330：導電体、350：絶縁体、352：絶縁体、354：絶縁体、356：導電体、360：絶縁体、362：絶縁体、364：絶縁体、366：導電体、370：絶縁体、372：絶縁体、374：絶縁体、376：導電体、380：絶縁体、382：絶縁体、384：絶縁体、386：導電体、390：集積回路、390E：集積回路、404：絶縁体、500：トランジスタ、500A：トランジスタ、500B：トランジスタ、503：導電体、503a：導電体、503b：導電体、510：絶縁体、512：絶縁体、513：絶縁体、514：絶縁体、516：絶縁体、518：導電体、520：絶縁体、522：絶縁体、524：絶縁体、526：絶縁体、530：酸化物、530a：酸化物、530b：酸化物、540a：導電体、540b：導電体、542：導電体、542a：導電体、542b：導電体、543a：領域、543b：領域、544：絶縁体、545：絶縁体、546：導電体、548：導電体、550：トランジスタ、552：絶縁体、560：導電体、560a：導電体、560b：導電体、574：絶縁体、580：絶縁体、581：絶縁体、582：絶縁体、586：絶縁体、590：自動車、591：カメラ、592：撮像方向、593：バス、594：ホストコントローラ、595：携帯型電子機器、596：プリント配線基板、597：スピーカー、598：カメラ、599：マイクロフォン、600：容量素子、610：導電体、612：導電体、6

10

20

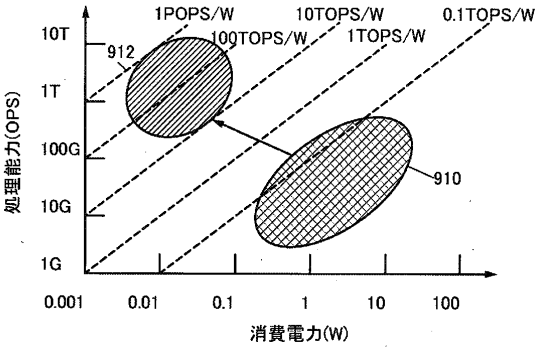
30

40

50

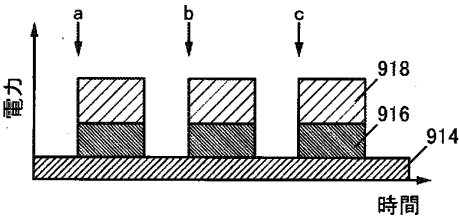
【図 3 A】

図3A



【図 3 B】

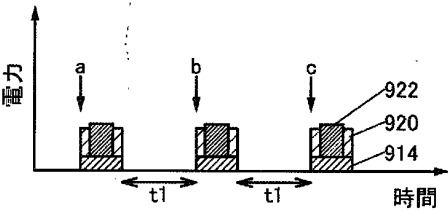
図3B



10

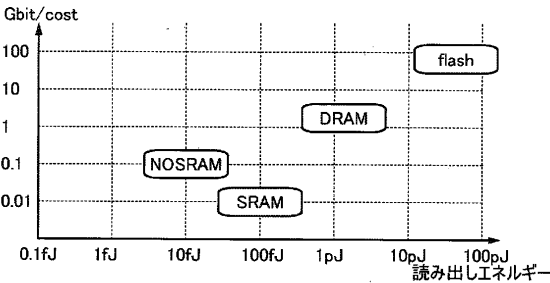
【図 3 C】

図3C



【図 4】

図4



20

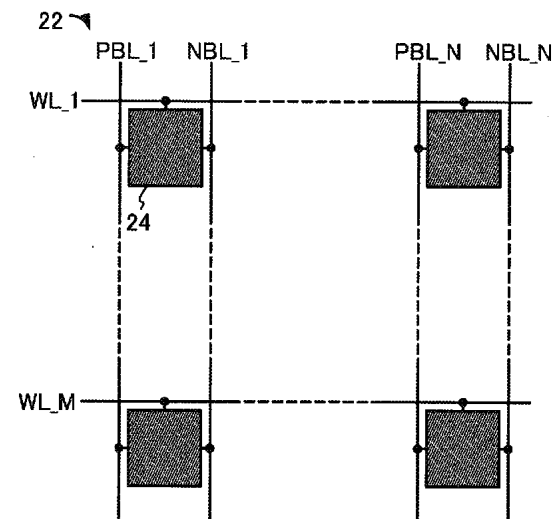
30

40

50

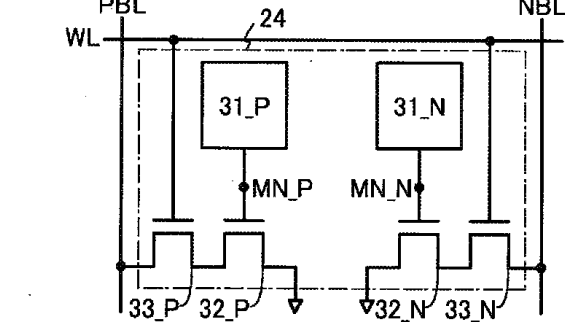
【図 5 A】

図5A



【図 5 B】

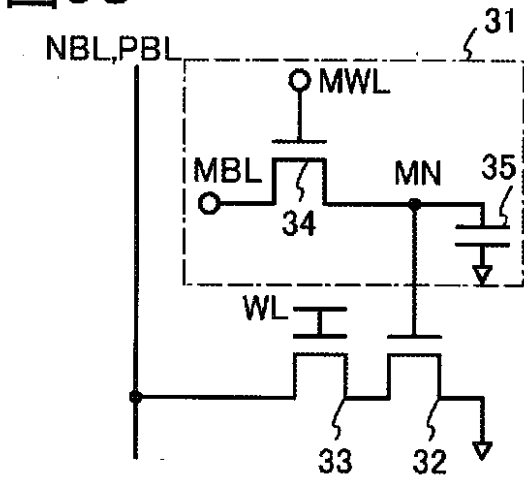
図5B



10

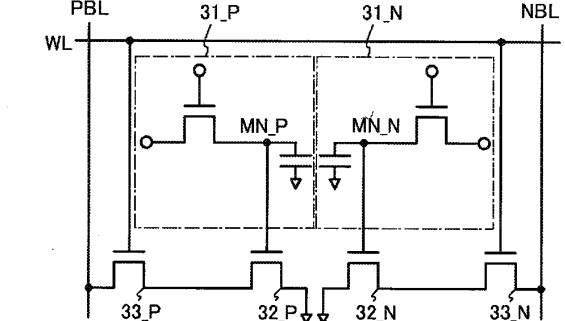
【図 5 C】

図5C



【図 6 A】

図6A



20

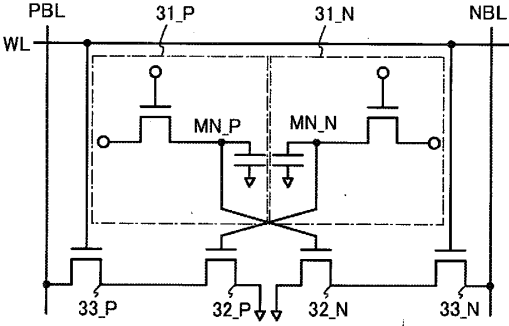
30

40

50

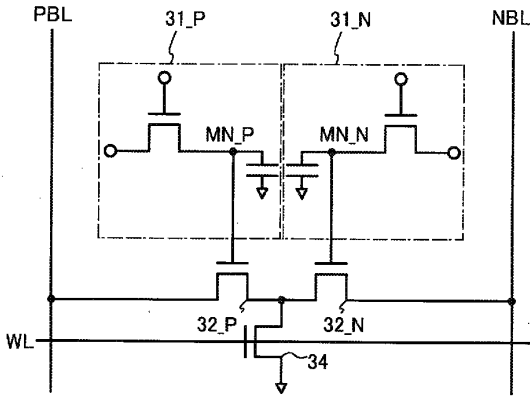
【図 6 B】

図6B



【図 7 A】

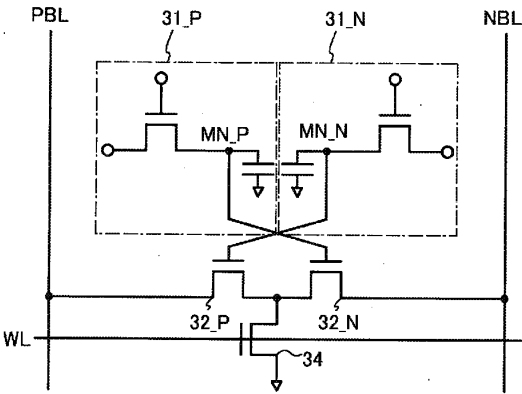
図7A



10

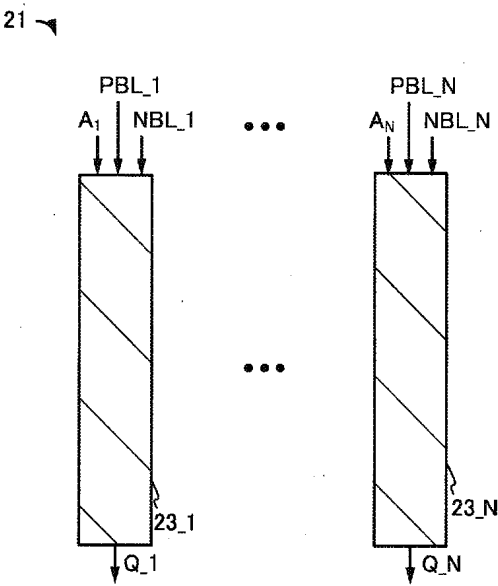
【図 7 B】

図7B



【図 8 A】

図8A



20

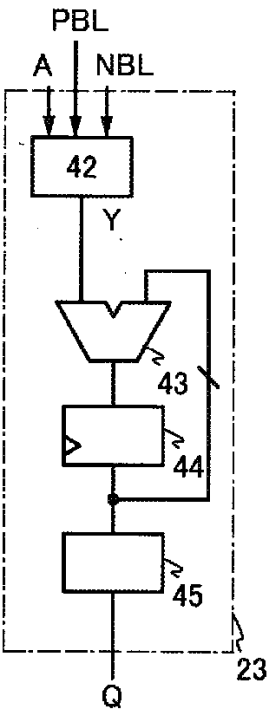
30

40

50

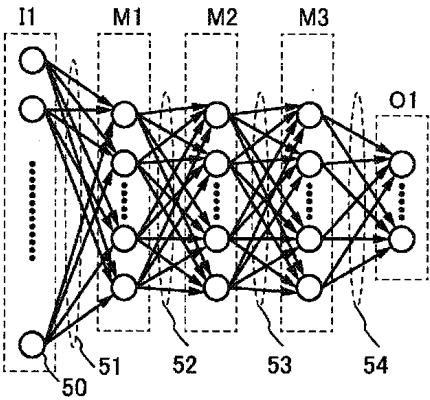
【図 8 B】

図8B



【図 9 A】

図9A

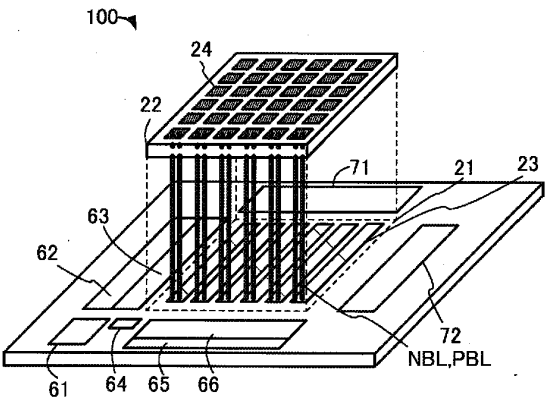


10

20

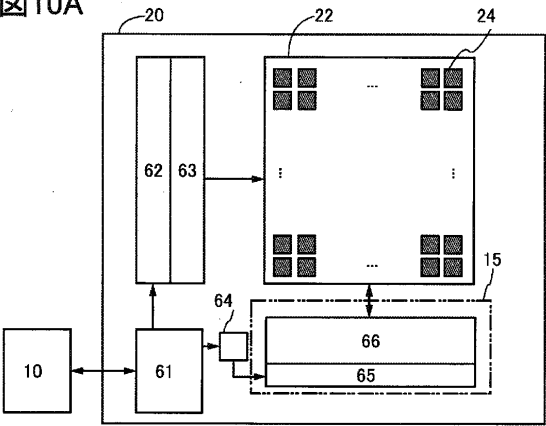
【図 9 B】

図9B



【図 10 A】

図10A



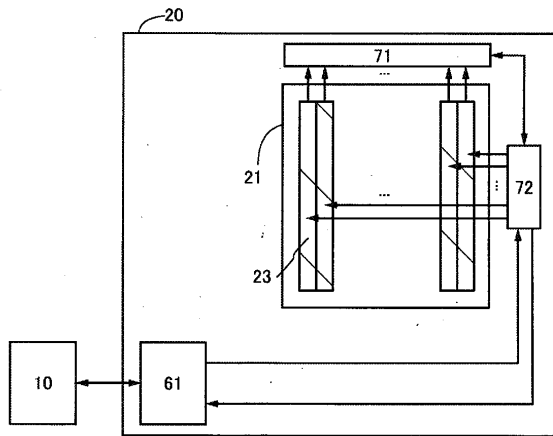
30

40

50

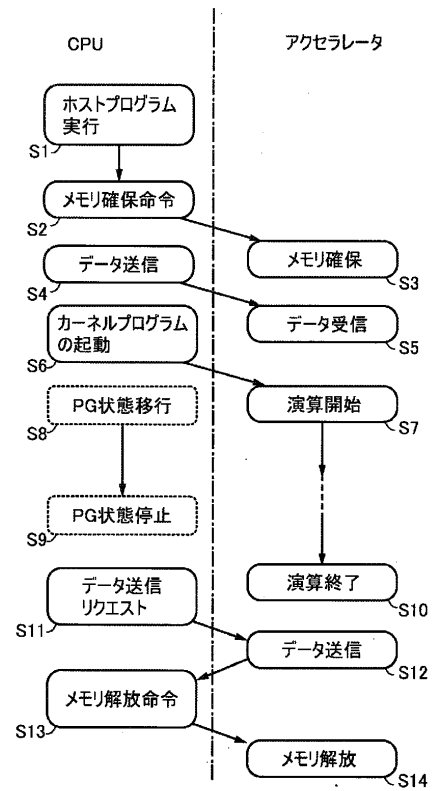
【図 10 B】

図10B



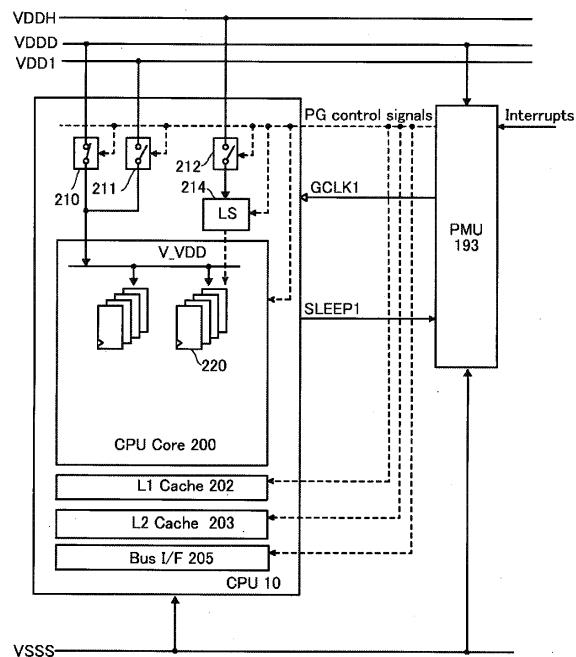
【図 1 1】

図11



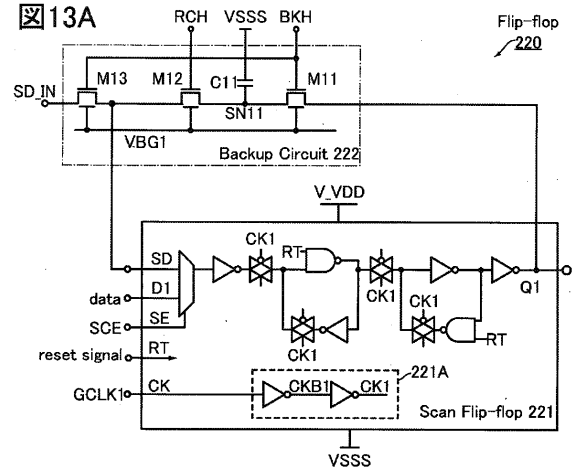
【図 1 2】

図12



【図 1 3 A】

図13A



10

20

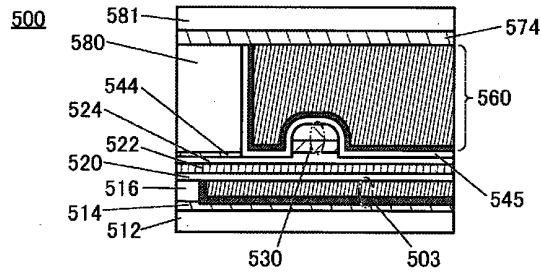
30

40

50

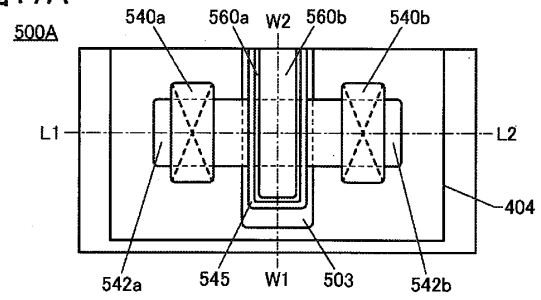
【図 16 B】

図16B



【図 17 A】

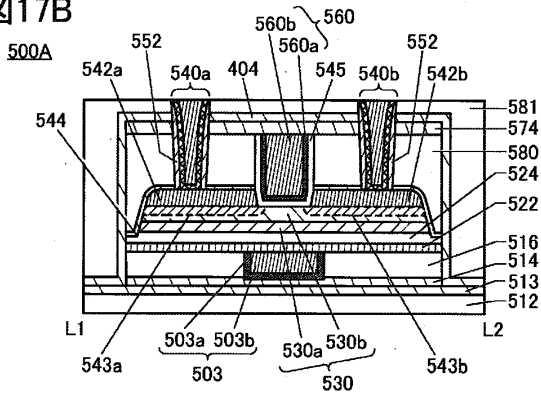
図17A



10

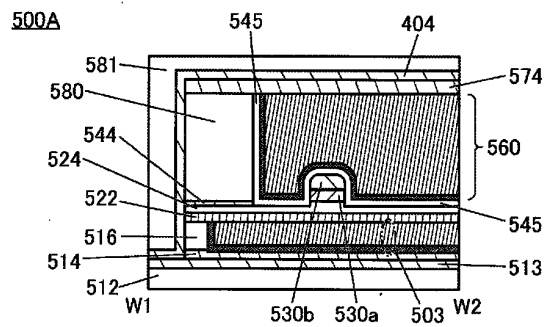
【図 17 B】

図17B



【図 17 C】

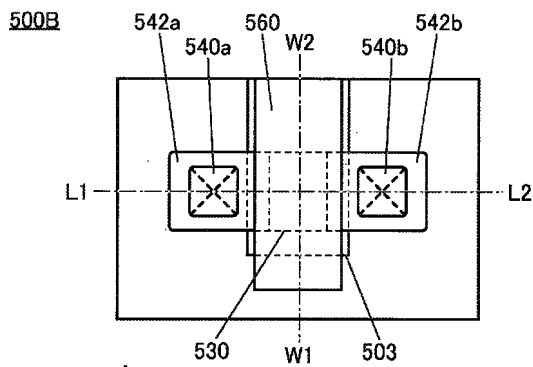
図17C



20

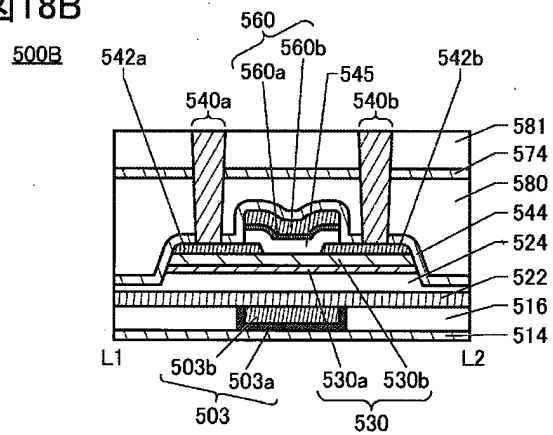
【図 18 A】

図18A



【図 18 B】

図18B



30

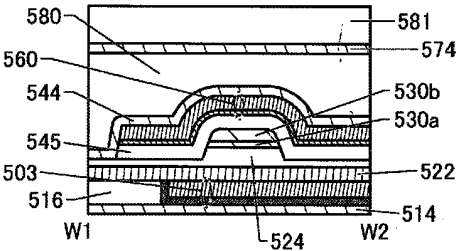
40

50

【図 1 8 C】

図18C

500B



【図 1 9 A】

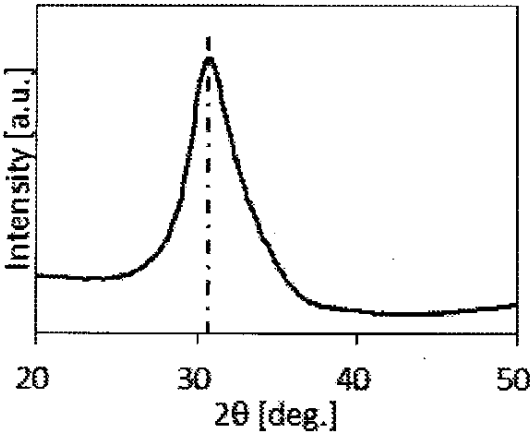
図19A

中間状態 新しい境界領域		
Amorphous (無定形)	Crystalline (結晶性)	Crystal (結晶)
・completely amorphous	・CAAC ・nc ・CAC excluding single crystal and poly crystal	・single crystal ・poly crystal

10

【図 1 9 B】

図19B



【図 1 9 C】

図19C



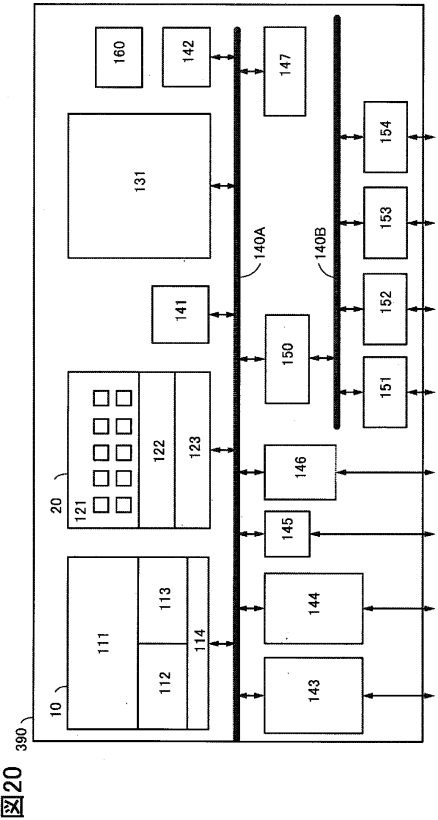
20

30

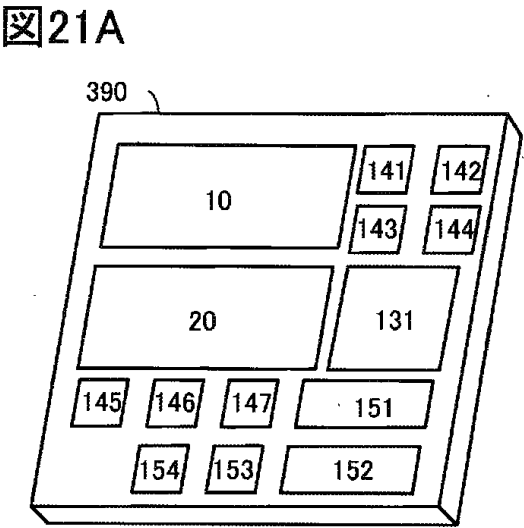
40

50

【図 20】



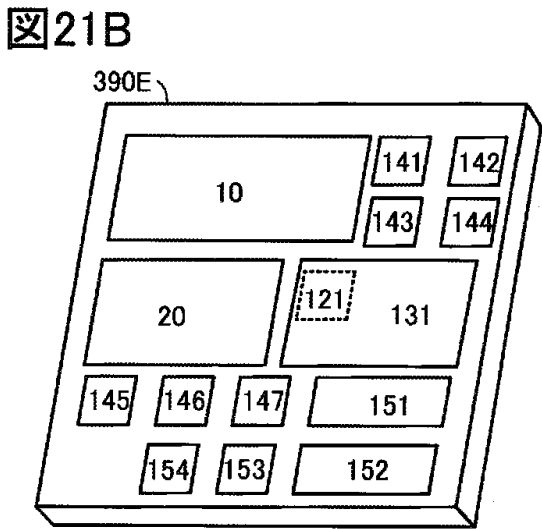
【図 21 A】



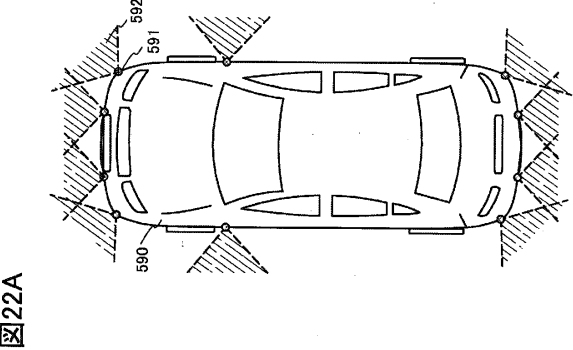
10

20

【図 21 B】



【図 22 A】

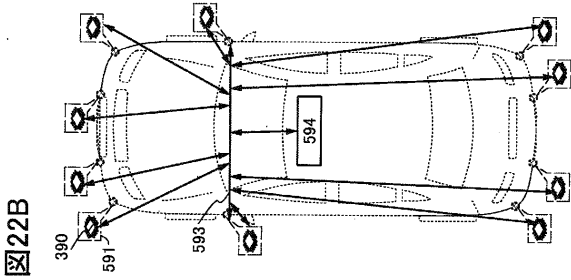


30

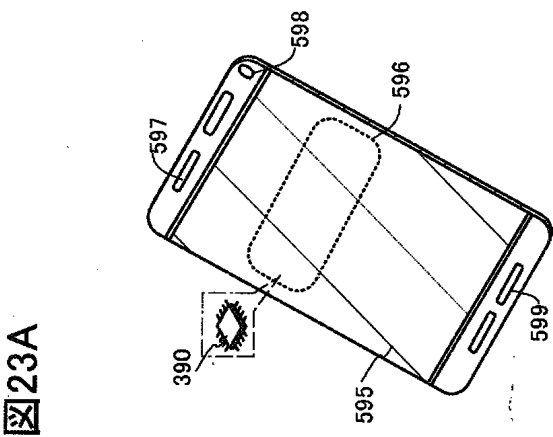
40

50

【図 2 2 B】

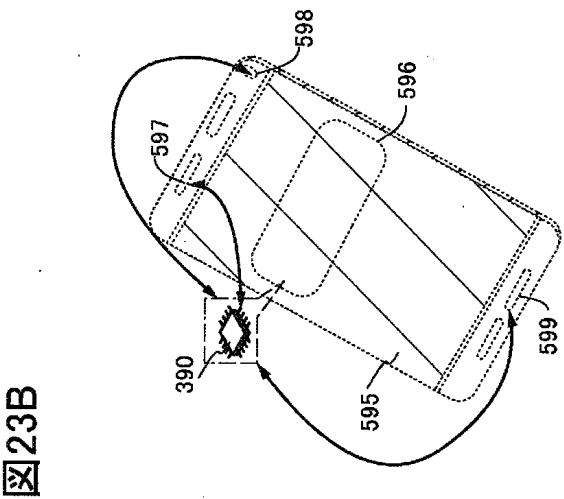


【図 2 3 A】

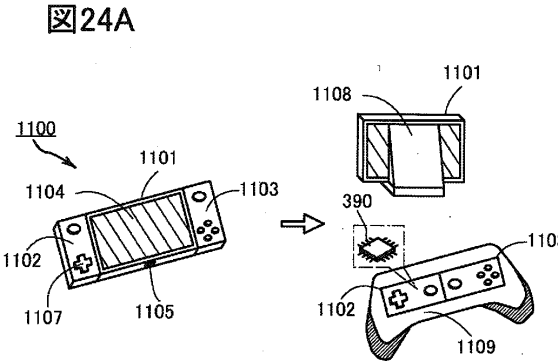


10

【図 2 3 B】



【図 2 4 A】



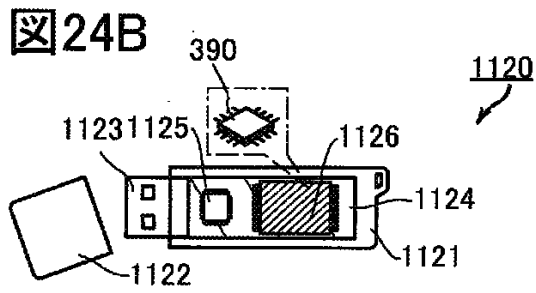
20

30

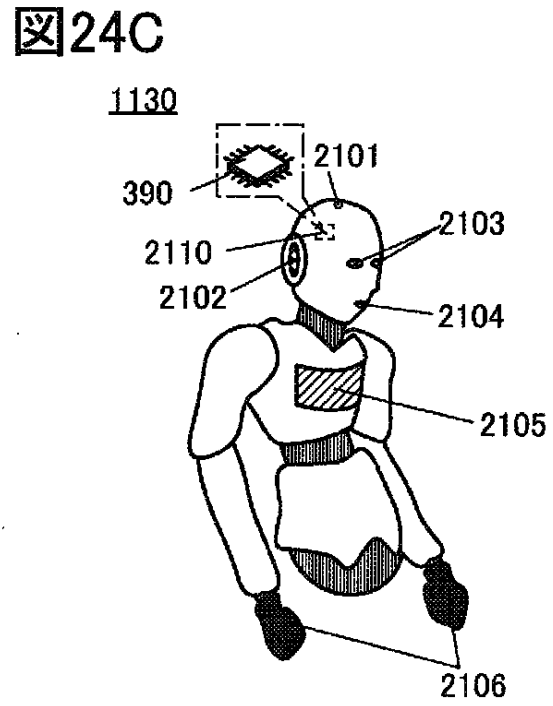
40

50

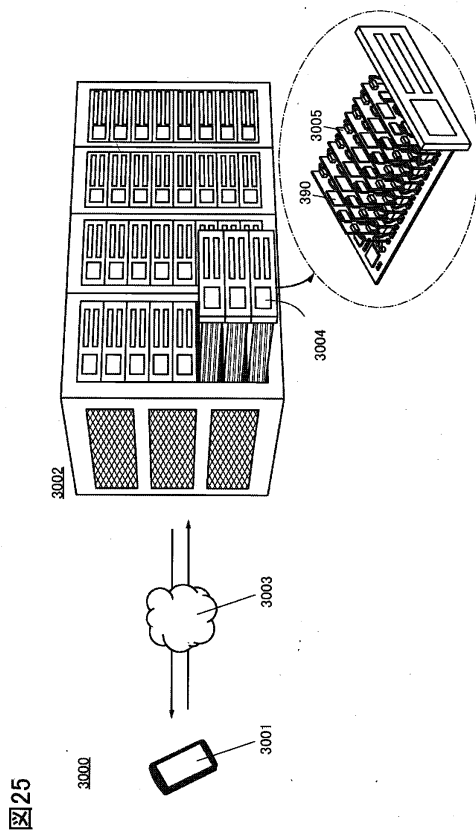
【図 2 4 B】



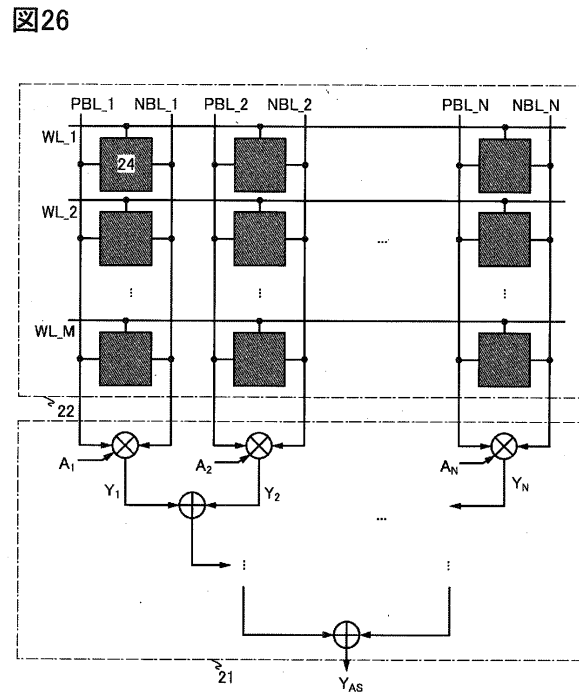
【図 2 4 C】



【図 2 5】



【図 2 6】



10

20

30

40

50

フロントページの続き

(51)国際特許分類 F I
H 0 1 L 27/088 (2006.01) H 0 1 L 27/088 3 3 1 E

(72)発明者 山崎 舜平
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

審査官 田中 幸雄

(56)参考文献 国際公開第 2 0 1 9 / 0 4 8 9 8 2 (WO, A 1)
特開 2 0 1 9 - 3 6 2 8 0 (JP, A)
特開 2 0 1 8 - 1 2 9 0 4 6 (JP, A)
特開 2 0 1 9 - 4 7 0 0 6 (JP, A)
特開 2 0 1 9 - 4 6 1 9 9 (JP, A)

(58)調査した分野 (Int.Cl., DB名)
G 0 6 F 1 7 / 1 0
G 0 6 N 3 / 0 6 3
G 0 6 F 9 / 3 8
H 0 1 L 2 9 / 7 8 6
H 1 0 B 1 2 / 0 0
H 1 0 B 4 1 / 7 0
H 0 1 L 2 1 / 8 2 3 4
H 0 1 L 2 7 / 0 8 8