(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3573415号
(P3573415)
(45)発行日　平成16年10月6日(2004.10.6)　(24)登録日　平成16年7月9日(2004.7.9)

(51)Int.Cl.[7]　F I
H03M　1/48　H03M　1/48

請求項の数 22　(全 9 頁)

(21)出願番号　特願2000-307218(P2000-307218)
(22)出願日　平成12年10月6日(2000.10.6)
(65)公開番号　特開2001-136066(P2001-136066A)
(43)公開日　平成13年5月18日(2001.5.18)
審査請求日　平成14年1月31日(2002.1.31)
(31)優先権主張番号　09/414129
(32)優先日　平成11年10月8日(1999.10.8)
(33)優先権主張国　米国(US)

(73)特許権者　596092698
ルーセント　テクノロジーズ　インコーポレーテッド
アメリカ合衆国．０７９７４－０６３６　ニュージャーシィ，マレイ　ヒル，マウンテン　アヴェニュー　６００
(74)代理人　100064447
弁理士　岡部　正夫
(74)代理人　100085176
弁理士　加藤　伸晃
(74)代理人　100106703
弁理士　産形　和央
(74)代理人　100096943
弁理士　臼井　伸一

最終頁に続く

(54)【発明の名称】非同期掃引サーモメータ符号を用いるアナログ／デジタル変換器

(57)【特許請求の範囲】

【請求項１】

Ａ／Ｄ変換器であって：

増加するサーモメータ符号を生成するための符号発生器であってバッファの連鎖を含む符号発生器；

前記サーモメータ符号をランプ電圧に翻訳する翻訳器；および

前記ランプ電圧とアナログ入力電圧を比較し、前記ランプ電圧が指定されるアナログ入力電圧と等しくなったとき信号を供給する比較器であって、この信号によってサーモメータ符号が凍結され、この凍結されたサーモメータ符号がアナログ電圧のデジタル化された振幅を表すような比較器を含むことを特徴とするＡ／Ｄ変換器。

【請求項２】

さらに、前記指定されるアナログ入力電圧に応答して前記サーモメータ符号を凍結するためのコントローラを含むことを特徴とする請求項１記載のＡ／Ｄ変換器。

【請求項３】

前記翻訳器が、前記サーモメータ符号を２進符号に翻訳するための翻訳テーブル、および前記翻訳テーブルに結合された、翻訳された２進符号をランプ電圧に変換するためのＤ／Ａ変換器を含むことを特徴とする請求項１記載のＡ／Ｄ変換器。

【請求項４】

さらに、前記符号発生器を定期的にリセットするためのリセット手段を備えることを特徴とする請求項１記載のＡ／Ｄ変換器。

【請求項５】
前記符号発生器が、さらに複数の電圧レンジのどれが前記アナログ電圧によって超えられているかを示すための信号インジケータを備えることを特徴とする請求項１記載のＡ／Ｄ変換器。
【請求項６】
前記信号インジケータが：
前記アナログ電圧の可能な最大値と前記アナログ電圧の可能な最小値との間に結合された、複数の出力を持つ分圧器；
第一の入力が前記アナログ入力電圧が加えられる端子に結合され、第二の入力が分圧器の出力に結合されるような複数の比較器を含むことを特徴とする請求項５記載のＡ／Ｄ変換器。
【請求項７】
前記アナログ電圧の可能な最小値がアース電位であることを特徴とする請求項１記載のＡ／Ｄ変換器。
【請求項８】
前記比較器が：
演算増幅器と主比較器から構成され；
前記演算増幅器が反転入力、非反転入力および出力を持ち、前記アナログ電圧とランプ電圧の組合せが前記反転入力に加えられ；
前記演算比較器の出力に前記主比較器が結合されることを特徴とする請求項１記載のＡ／Ｄ変換器。
【請求項９】
Ａ／Ｄ変換器であって：
反転入力、非反転入力および出力を持つ演算増幅器；
デジタル化されるべきアナログ入力電圧が加えられる端子と前記増幅器の非反転入力との間に結合された第一の抵抗；
前記演算増幅器の反転入力と出力との間に結合された第二の抵抗；
前記増幅器の出力に結合された比較器；および
第一のバッファに論理１がロードされているようなバッファの連鎖；
前記バッファの連鎖を定期的に論理０出力にリセットするためのリセット手段；
前記バッファの出力に結合された、バッファ内の論理１を２進デジタル符号に翻訳するための変換テーブル；および
前記変換テーブルに結合された、前記変換された２進デジタル符号を受信し、ランプ電圧に翻訳するためのＤ／Ａ変換器であって、このランプ電圧を前記演算増幅器デバイスの反転入力に入力することで、入力電圧のデジタル化表現が生成されるようなＤ／Ａ変換器を含むことを特徴とするＡ／Ｄ変換器。
【請求項１０】
Ａ／Ｄ変換器であって：
増加するサーモメータ符号を生成するための手段であって、バッファの連鎖を含む手段；
前記サーモメータ符号をランプ電圧に翻訳するための手段；および
前記ランプ電圧とアナログ入力電圧を比較し、前記ランプ電圧が指定されるアナログ入力電圧と等しくなったとき信号を供給するための手段であって、この信号によってサーモメータ符号が凍結され、この凍結されたサーモメータ符号が前記アナログ入力電圧のデジタル化された振幅を表すような手段を含むことを特徴とするＡ／Ｄ変換器。
【請求項１１】
Ａ／Ｄ変換器であって：
複数の一連の電圧レンジのどれがアナログ入力電圧によって超えられたかを示すためのインジケータ手段；
バッファの連鎖；
前記バッファの連鎖の一端に論理１をローディングするためのローディング手段；

前記バッファを論理０が前記バッファから出力されるように定期的にリセットし、バッファ内に論理１がロードされ、バッファの連鎖内の他のバッファへと伝搬できるようにするためのリセット手段；
前記インジケータ手段と前記バッファの出力内の論理１の存在の両方に応答してランプ電圧を生成するためのランプ電圧生成手段；
前記ランプ電圧の振幅と選択されたアナログ入力電圧を比較するための比較手段；
前記ランプ電圧の振幅が前記選択されたアナログ入力電圧に等しくなったとき前記バッファの連鎖を通じての論理１の伝搬を凍結するための制御手段；および
前記バッファが凍結された時点で前記ランプ電圧の振幅に対応するデジタル符号を生成するための符号発生手段を含むことを特徴とするＡ／Ｄ変換器。

【請求項１２】
Ａ／Ｄ変換器であって：
複数の一連の電圧レンジのアナログ入力電圧によって超えられた最も高い一つを示すための信号手段；
バッファの連鎖と前記信号手段を含み、前記アナログ入力電圧によって超えられた複数の電圧レンジの最大の一つに対応する初期値を持つサーモメータ符号を生成するための符号発生手段であって、前記サーモメータ符号の値が前記初期値から増加するような符号発生手段；
前記サーモメータ符号に対応するランプ電圧を生成するための電圧生成手段；
前記ランプ電圧と前記アナログ入力電圧を比較し、それらが等しくなったとき信号を生成するための比較手段；および
前記信号に応答して前記サーモメータ符号を凍結するための制御手段であって、こうして凍結されたサーモメータ符号が凍結された点におけるアナログ入力電圧のデジタル表現の振幅を表すような制御手段を含むことを特徴とするＡ／Ｄ変換器。

【請求項１３】
アナログ電圧をそのデジタル表現に変換するための方法であって、
バッファの連鎖を用いてサーモメータ符号を生成する過程；
前記サーモメータ符号に対応するランプ電圧を生成する過程であって、このランプ電圧がサーモメータ符号が増加すると増加するような過程；
前記ランプ電圧の振幅をアナログ入力電圧の振幅と比較する過程；
前記アナログ電圧と前記ランプ電圧が同一の振幅を持つようになったとき第一の信号を生成する過程；
前記第一の信号に応答して前記ランプ電圧の振幅を凍結する過程；および
前記凍結された時点におけるサーモメータ符号を前記アナログ入力電圧の２進デジタル表現に変換する過程を含むことを特徴とする方法。

【請求項１４】
前記サーモメータ符号を生成する過程が：
複数のクロックパルスを供給する過程；
各クロックパルスにおいて発生するアナログ入力電圧のサンプルを供給する過程；
参照電圧を供給する過程；
参照電圧を少なくとも２つの連続するレンジに分割する過程；
前記アナログ入力電圧サンプルによって超えられた電圧レンジを示す第二の信号を導く過程；および
バッファの連鎖を用いて一連の各クロックパルスにおいて第三の信号を供給する過程を含むことを特徴とする請求項１３記載の方法。

【請求項１５】
前記ランプ電圧を生成する過程が：
前記第二と第三の信号を変換テーブルに結合し、前記第二と第三の信号の値の総和を表すデジタル信号を供給する過程；および
前記デジタル信号をＤ／Ａ変換器に加える過程、から構成されることを特徴とする請求項

１４記載の方法。
【請求項１６】
前記ランプ電圧を凍結する過程が：
前記ランプ電圧が前記アナログ入力電圧を超えたとき第四の信号を供給する過程；および
前記第四の信号に応答して前記バッファを凍結させる過程を含むことを特徴とする請求項１５記載の方法。
【請求項１７】
デジタル化されるべきアナログ入力電圧と比較するためのランプ電圧を生成するための装置であって：
デジタル化されるべきアナログ入力電圧が加えられる入力と、一つの出力を持つ少なくとも一つの比較器；
バッファの連鎖；
前記バッファの連鎖内の第一のバッファに論理１をローディングするためのローディング手段；および
前記ローディング手段を起動するための起動手段であって、前記ローディング手段が起動されたとき論理１が前記バッファの連鎖内を伝搬されるような起動手段；
前記比較器の出力と前記バッファの連鎖の両方に結合された、前記比較器によって示されるレンジと前記バッファの連鎖の出力の総和の振幅を表す２進デジタル符号を生成するための変換テーブル；および
前記変換テーブルの出力に結合された、ランプ電圧を生成するためのＤ／Ａ変換器を含むことを特徴とする装置。
【請求項１８】
デジタル化されるべきアナログ電圧と比較するためのランプ電圧を生成するための方法であって：
アナログ入力電圧の最大振幅を複数の電圧レンジに分割する過程；
任意の時間において前記アナログ電圧が超える電圧レンジを決定する過程；
任意の時間において論理１をバッファの連鎖を通じて伝搬することを開始する過程；および
前記アナログ電圧によって超えらた最高の電圧レンジと論理１がそれを通じて伝搬したバッファの出力の値の総和に対応するランプ電圧を導く過程を含むことを特徴とする方法。
【請求項１９】
前記アナログ電圧を複数の電圧レンジに分割する過程が：
分圧器を用いて各電圧レンジの最大端における出力電圧を得る過程；および
前記出力電圧を前記アナログ電圧と比較することで、前記アナログ入力電圧によって超えられた電圧レンジを決定する過程を含むことを特徴とする請求項１８記載の方法。
【請求項２０】
前記電圧を分割する過程が：
前記アナログ入力電圧によって超えられた最高の電圧レンジと論理１がそれを通じて伝搬したバッファの出力の値の総和を変換テーブルに加え、この総和を２進デジタル符号に翻訳する過程；および
翻訳されたデジタル符号をＤ／Ａ変換器に加える過程を含むことを特徴とする請求項１８記載の方法。
【請求項２１】
アナログ電圧の振幅を表す符号を導くための方法であって、この方法が：
ランプ電圧を導く過程；
アナログ電圧とランプ電圧を、ランプ電圧がアナログ電圧を超えたときその出力の符号（正／負）が変化する演算増幅器に加える過程；
前記ランプ電圧の振幅が前記アナログ電圧の振幅より小さいときは論理＋１を生成し、前記ランプ電圧の振幅が前記アナログ電圧の振幅を超えたと論理－１を生成する過程；
論理－１に応答してバッファの連鎖を通じての論理１の伝搬を凍結する過程；および

凍結が発生した時点で、前記アナログ電圧によって超えられた電圧レンジと論理１がそれを通じて伝搬したバッファの数を、前記アナログ電圧の振幅を表すデジタル符号に翻訳する過程を含むことを特徴とする方法。
【請求項２２】
前記符号が２進デジタル符号から成ることを特徴とする請求項２１記載の方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、アナログ／デジタル（Ａ／Ｄ）変換器、より詳細には、Ａ／Ｄ変換を遂行するために非同期掃引サーモメータ符号を用いるＡ／Ｄ変換器に関する。
【０００２】
【従来の技術】
今日、パラレルアーキテクチャを採用する従来のＡ／Ｄ変換器、例えば、フラッシュ変換器が電子回路に広く用いられている。このような変換器においては、アナログ入力信号がデジタル２進サーモメータ符号に変換され、このサーモメータ符号が変換テーブルを用いて２進符号に翻訳される。次に、この翻訳された２進サーモメータ符号を用いてアナログランプ電圧が生成され、このランプ電圧の値をアナログ入力電圧と比較することで、いつアナログ／デジタル変換が発生すべきかが選択的に決定される。
【０００３】
【発明が解決しようとする課題】
上で説明のタイプの従来のＡ／Ｄ変換器は幾つかの短所を持つ。第一は、これら変換器は、典型的には、高速クロックを採用し、複数のクロックサイクルが要求されるために、アナログ／デジタル変換に備えてデジタル化されるべき信号を同期的にサンプリングする際の時間が比較的長くなる。第二に、これら変換器は、典型的には、アナログ入力電圧を複数の一様な間隔の参照電圧と比較するために複数の電圧比較器を用いる。これら比較器は、比較的複雑で、大きな表面積を占拠する上に、多量の電力を消費する。最後に、これら電圧比較器のランダムなオフセットのために、Ａ／Ｄ変換に非線形性が導入され、このため、選択されたアナログ入力電圧において変換が発生する際の精度が阻害される。
【０００４】
【課題を解決するための手段】
本発明のＡ／Ｄ変換器においては、バッファの連鎖を用いて非同期掃引サーモメータ符号が生成され、このサーモメータ符号を用いてランプ電圧が導かれ、このランプ電圧を入力電圧と比較することで、Ｄ／Ａ（Ａ／Ｄ）変換が発生するところの電圧が選択的に決定される。ランプ電圧が入力電圧と等しくなると、その時点で存在するサーモメータ符号が、１）バッファを通じてのビットの伝搬を停止することで凍結され、２）凍結されたサーモメータ符号を変換テーブルを用いて翻訳することで、デジタル化された電圧の振幅が決定される。
【０００５】
長所として、バッファの連鎖を用いることで、サーモメータ符号の掃引を従来のＡ／Ｄ変換器において用いられる周波数より低い周波数にて行なうことが可能となる。もう一つの長所として、単一の電圧比較器が用いられるために、従来のＡ／Ｄ変換器と比較して、電力の消費が少なくなことに加えて、比較器によるＡ／Ｄ変換への非線形性の導入も少なく、従来のＡ／Ｄ変換器と比較して、変換解像度が改善される。
【０００６】
【発明の実施の形態】
図１は、本発明の第一の実施例による掃引サーモメータ符号を用いるＡ／Ｄ変換器１０を示す。Ａ／Ｄ変換器１０は、バッファ１４，１６，１８．．．ｎの複数の連鎖１２を用いて、漸進的に増加するサーモメータ符号を生成し、このサーモメータ符号から２進符号が導かれる。この２進符号を用いてアナログランプ電圧が生成され、このアナログランプ電圧がデジタル化されるべきアナログ入力電圧V_{IN}と比較される。アナログ入力電圧V_{I}

$_N$は、抵抗２０を横断して加えられる。（漸進的に増加する）アナログランプ電圧が選択されたアナログ入力電圧V_{IN}と等しくなった時点で、サーモメータ符号がそれ以上増加しないように停止され、その時点でのサーモメータ符号が２進符号に翻訳され、アナログ入力電圧のデジタル化された電圧の振幅がこの２進符号によって表される。

【０００７】

サーモメータ符号は、バッファの連鎖１２を通じて１を伝搬させることで生成される。クロック２２によってリセットパルスが生成される度に、バッファ１４．．．ｎが０にリセットされる。リセットパルスが終端すると、論理１がバッファ１４内にロードされ、これが次々とバッファの連鎖１２内の他のバッファに伝搬され、サーモメータ符号が生成される。サーモメータ符号を構成するバッファ１４，１６，１８．．．ｎの出力は、リード１４′，１６′，１８′．．．ｎ′を介して変換テーブル２４に入力される。変換テーブル２４は、サーモメータ符号を６ビットを持つ２進符号に翻訳する。この２進符号が、次に、それぞれ、リード２８，３０，３２，３４，３６，３８を介して、Ｄ／Ａ変換器２６に入力される。次に、Ｄ／Ａ変換器２６によって２進符号がランプ電圧　に変換される。このランプ電圧は、２進符号が６ビットを持つために、６４、つまり、2^6の振幅レベルの解像度を持つ。このため、Ａ／Ｄ変換器１０は、６４個のバッファを使用する。この符号は、必ずしも６ビットでなく、代わりに、符号を生成するために使用されるバッファの最大数、ｎによって可能な任意の選択されたビット数を持つことができる。

【０００８】

Ｄ／Ａ変換器２６の出力の所に得られるランプ電圧が演算増幅器４２の反転入力４０に入力される。抵抗４４が演算増幅器４２の反転入力４０と出力電圧V_{OUT}４６の間に結合される。こうして、アナログ入力電圧V_{IN}とＤ／Ａ変換器２６の出力から得られるランプ電圧が演算増幅器４２に結合され、ランプ電圧の値がアナログ入力電圧V_{IN}の値を超えたとき、演算増幅器４２の出力４６は負から正に変化する。演算増幅器４２の出力４６に結合された単一の電圧比較器４８は、入力４０が０以下、すなわち負のときは＋１を生成し、入力４０が０以上、すなわち正のときは－１を生成する。この＋１から－１への変化は、Ｄ／Ａ変換器２６からのランプ電圧がアナログ入力電圧V_{IN}を超えたとき発生する。参照電圧V_{REF}は、アナログ入力電圧V_{IN}の最大振幅をＤ／Ａ変換器２６に供給する。

【０００９】

電圧比較器４８の出力は、それぞれ、バッファ１４，１６，１８．．．ｎに結合され、比較器４８の出力が－１に変化すると、バッファ１４，１６，１８．．．ｎは凍結され、こうして、論理１がそれ以上バッファの連鎖１２内を伝搬することが阻止される。リード２８，３０，３４，３６，３８上のビットは、ラッチ５０の入力に接続され、次のクロックパルスにおいてラッチ５０の出力の所に出現する。これらビットは、選択されたアナログ入力電圧V_{IN}の値のデジタル表現であり、Ｄ／Ａ変換器２６はアナログ信号をこの値のデジタル信号に変換する。

【００１０】

本発明によるＡ／Ｄ変換器１０は、従来のＡ／Ｄ変換器と比較して、特定のアナログ入力電圧V_{IN}においてアナログ／デジタル変換をする際の性能を改善することができる。ただし、この解像度の改善は、変換用のサーモメータ符号を生成するために従来より多数のバッファが使用されるために、変換を行なうために要求される時間量の増加の犠牲の下に達成される。加えて、本発明のＡ／Ｄ変換器１０は、単一の電圧比較器４８が用いられるために、従来のＡ／Ｄ変換器と比較して、電力の消費が少なく、Ａ／Ｄ変換に導入される非線形性も少ない。

【００１１】

図２は、本発明の第二の実施例による非同期掃引サーモメータ符号を用いるＡ／Ｄ変換器５２を示す。Ａ／Ｄ変換器５２は、第一の実施例によるＡ／Ｄ変換器１０と関連する不随する変換時間の増加を伴うことなく、従来のＡ／Ｄ変換器と比較して、解像度を改善することができる。Ａ／Ｄ変換器１０と同様に、Ａ／Ｄ変換器５２は、６ビット２進符号を用

いるものと想定される。簡単のために、図２に示すＡ／Ｄ変換器５２の、図１に示すＡ／Ｄ変換器１０のそれと同一の機能を持つ要素は、同一の参照符号にて示される。

【００１２】

Ａ／Ｄ変換器５２は、解像度の改善を、Ａ／Ｄ変換器５２がそれに対して動作するように設計されたアナログ入力電圧V_{IN}の最大振幅を、０と選択された最大電圧との間の所定の数の電圧レンジに分割することで達成する。例えば、アナログ入力電圧V_{IN}が第三のレンジ内にある場合は、粗い比較器を用いて、電圧ランプの振幅が少なくともそこで変換が発生する第二のレンジの上限と同一の値に達したことを示す指標がほぼ瞬間的に提供される。こうして、Ａ／Ｄ変換器１０とは異なり、Ａ／Ｄ変換器５２は、変換を発生させるためにバッファ連鎖１２内の全てのバッファに１を伝搬させることは必要とされない。

【００１３】

参照電圧V_{REF}によってアナログ入力電圧V_{IN}の最大振幅がＤ／Ａ変換器２６に供給されるが、これは、参照電圧V_{REF}とアースとの間に結合された一連の抵抗５４，５６，５８，６０にも供給される。これら抵抗が同一の値を持つ場合は、結節点Ｊ１，Ｊ２，Ｊ３は、それぞれ、参照電圧V_{REF}の２５％、５０％、７５％の値を持つ。Ａ／Ｄ変換器５２は、１６個のバッファ、すなわち、６４ビット／４の電圧レンジを用いる。結節点Ｊ１，Ｊ２，Ｊ３は、それぞれ、リード６２，６４，６６によって、粗比較器６８，７０，７２の入力に結合される。第四の粗比較器７４の対応する入力はアースに結合される。

【００１４】

アナログ入力電圧V_{IN}が最低の四分の一、すなわち、２５％のレンジ内にあるときは、比較器７４が１を出力し、他の複数の粗比較器６８，７０，７２は０を出力する。アナログ入力電圧V_{IN}が任意の結節点Ｊ１，Ｊ２，あるいはＪ３の所の電圧を超えると、それらに接続されている比較器も１を出力する。例えば、入力アナログ電圧V_{IN}が参照電圧V_{REF}の３０％にある場合、つまり、２５％～５０％の間にある場合は、比較器６８および７４は１を出力し、比較器７０および７２は０を出力する。

【００１５】

粗比較器６８，７０，７２，７４の出力はリード６８′，７０′，７２′，７４′を介して変換テーブル２４に結合され、バッファ１４，１６，１８．．．ｎの連鎖１２の出力もリード１４′，１６′，１８′．．．ｎを介して変換テーブル２４に結合される。クロックの各パルスにおいてリセットパルスが生成される。リセットパルスが終端すると、第一のバッファ１４内に論理１がロードされ、これがバッファの連鎖１２内を伝搬する。図面には示さないが、本発明の代替実施例として、Ａ／Ｄ変換器５２に用いられるのとは異なる数の比較器およびバッファを用いることもできる。

【００１６】

変換テーブル２４は、粗比較器６８，７０，７２，７４の出力とバッファ１４，１６，１８．．．ｎの出力の総和を２進デジタル符号に変換し、このデジタル化された２進符号が、リード２８，３０，３２，３４，３６，３８を介してＤ／Ａ変換器２６に入力される。Ｄ／Ａ変換器２６のからのアナログランプ電圧が入力アナログ電圧V_{IN}の電圧と等しくなると、主比較器４２が－１を出力し、－１によってバッファ１４，１６，１８．．．ｎが凍結される。リード２８，３０，３２，３４，３８がラッチ５０に結合され、次のクロックパルスにおいて、これらリード上の符号が、アナログ入力電圧V_{IN}に対する２進デジタル符号としてラッチ５０の出力に送られる。

【００１７】

Ａ／Ｄ変換の解像度をさらに改善するために、複数の互いに縦続されたＡ／Ｄ変換器１０あるいは５２を用いる多段Ａ／Ｄ変換器を構成することもできる。このような多段Ａ／Ｄ変換器においては、第一の段からの出力電圧V_{OUT}を増幅した上で同一の構成の第二の段に入力するか、あるいは、別の方法として、この出力電圧V_{OUT}を最初に増幅することなく、より小さなV_{REF}を持つ第二の段に入力することで、第一の段より細かな解像が達成される。Ａ／Ｄ変換器の複雑度は変換されるビットの数と共に指数関数的に増加するために、つまり、より多数のビットを変換するためにはより多数のバッファが要求され

るために、多数のビットを変換するためには、各段が変換されるべきビットの総数の一部を変換する多段アーキテクチャを採用するＡ／Ｄ変換器を用いるのが有利である。このような変換器では、単一段のＡ／Ｄ変換器と比較して、より高速、かつ、より少ない電力にて、同一の数のビットを変換することができる。

【００１８】

当業者においては、上の説明から、本発明の様々な修正および変更が明らかであると思われる。従って、上の説明は、単に解説のため、および当業者に対して本発明を実施する最良の形態を示すことを目的とするものであると解されるべきで、構成の細部については、本発明の精神から逸脱することなく大幅に変更することが可能であり、これら全ての変更態様も特許請求の範囲内に入り、その排他的使用を留保されるものである。

【図面の簡単な説明】

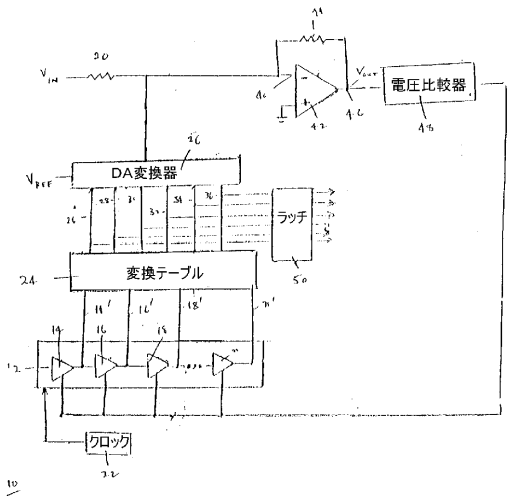
【図１】本発明の第一の実施例による掃引サーモメータ符号を用いるＡ／Ｄ変換器を示す図である。

【図２】本発明の第二の実施例による期掃引サーモメータ符号を用いるＡ／Ｄ変換器を示す図である。

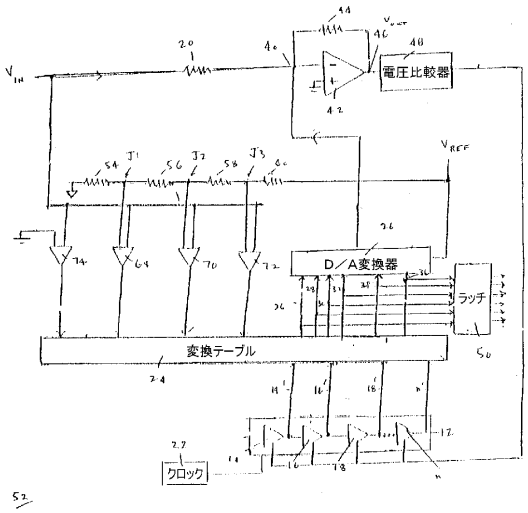
【符号の説明】

１０　Ａ／Ｄ変換器
１２　バッファの連鎖
２２　クロック
２４　変換テーブル
２６　Ｄ／Ａ変換器
４２　演算増幅器
４８　電圧比較器
５０　ラッチ

【図１】



【図２】



フロントページの続き

(74)代理人 100091889
弁理士 藤野 育男
(74)代理人 100101498
弁理士 越智 隆夫
(74)代理人 100096688
弁理士 本宮 照久
(74)代理人 100102808
弁理士 高梨 憲通
(74)代理人 100104352
弁理士 朝日 伸光
(74)代理人 100107401
弁理士 高橋 誠一郎
(74)代理人 100106183
弁理士 吉澤 弘司
(72)発明者 カメラン アザデット
アメリカ合衆国 ０７７５１ ニュージャーシィ，モーガンヴィル，ヴェール ドライヴ ６２２

審査官 柳下 勝幸

(56)参考文献 西独国特許出願公告第２３４６０１０（ＤＥ，Ｂ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H03M1/00～1/88