

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6479968号
(P6479968)

(45) 発行日 平成31年3月6日 (2019.3.6)

(24) 登録日 平成31年2月15日 (2019.2.15)

(51) Int. Cl.	F I
H O 3 L 7/099 (2006.01)	H O 3 L 7/099
H O 3 B 15/00 (2006.01)	H O 3 B 15/00
H O 1 L 29/82 (2006.01)	H O 1 L 29/82 Z
H O 1 L 43/08 (2006.01)	H O 1 L 43/08 Z

請求項の数 6 (全 14 頁)

(21) 出願番号	特願2017-515583 (P2017-515583)	(73) 特許権者	301021533
(86) (22) 出願日	平成28年4月27日 (2016.4.27)		国立研究開発法人産業技術総合研究所
(86) 国際出願番号	PCT/JP2016/063237		東京都千代田区霞が関1-3-1
(87) 国際公開番号	W02016/175249	(74) 代理人	110002066
(87) 国際公開日	平成28年11月3日 (2016.11.3)		特許業務法人筒井国際特許事務所
審査請求日	平成29年10月25日 (2017.10.25)	(72) 発明者	田丸 慎吾
(31) 優先権主張番号	特願2015-93384 (P2015-93384)		茨城県つくば市東1-1-1 国立研究開
(32) 優先日	平成27年4月30日 (2015.4.30)		発法人産業技術総合研究所つくばセンター
(33) 優先権主張国	日本国 (JP)		内
		(72) 発明者	久保田 均
			茨城県つくば市東1-1-1 国立研究開
			発法人産業技術総合研究所つくばセンター
			内

最終頁に続く

(54) 【発明の名称】 高周波位相同期発振回路

(57) 【特許請求の範囲】

【請求項 1】

発振周波数 f_{out} の高周波を発振する磁気抵抗素子；
 基準周波数 f_{ref} の基準信号を出力する基準信号源；
 前記発振周波数 f_{out} の高周波を分周する分周器；
 前記基準信号と、前記分周器からの分周信号とを位相比較することで位相誤差信号を出力する位相比較器；及び

前記位相誤差信号に応じた電圧 A を出力するループフィルタ；

を備えた高周波位相同期発振回路であって、

前記電圧 A と、前記磁気抵抗素子に高周波を発振させるためのバイアス電圧 B とを加算し、加算されたバイアス電圧 (A + B) を前記磁気抵抗素子に入力する加算器；

及び

前記分周器と前記磁気抵抗素子との間に挿入され、前記磁気抵抗素子からの前記発振周波数 f_{out} の高周波を受けて、前記基準周波数 f_{ref} をカットし前記発振周波数 f_{out} を通すことで生成した信号を前記分周器へ出力するフィルタ；

を設けたことを特徴とする高周波位相同期発振回路。

【請求項 2】

前記発振周波数 f_{out} が前記磁気抵抗素子の発振周波数の基本波 f_{MR} 又は高調波であることを特徴とする請求項 1 に記載の高周波位相同期発振回路。

【請求項 3】

10

20

前記フィルタが前記基準周波数 f_{ref} の基本波及び高調波をカットするものであることを特徴とする請求項 1 に記載の高周波位相同期発振回路。

【請求項 4】

前記ループフィルタの出力側、又は前記加算器の出力側に、出力制限回路を設けたことを特徴とする請求項 1 に記載の高周波位相同期発振回路。

【請求項 5】

前記加算器の出力側で磁気抵抗素子の入力側に、ローパスフィルタを設けたことを特徴とする請求項 1 に記載の高周波位相同期発振回路。

【請求項 6】

前記磁気抵抗素子から発振した高周波信号を前記分周器に送る前に増幅すべく増幅器を設け、かつ、前記増幅器の出力側と前記分周器の入力側との間に、前記磁気抵抗素子から発振する前記発振周波数 f_{out} のみを通す第 2 のフィルタを設けたことを特徴とする請求項 1 に記載の高周波位相同期発振回路。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、磁気抵抗素子を用いた、ピーク幅の狭い高周波位相同期発振回路に関する。この回路は通信機器などに有用である。

【背景技術】

【0002】

20

マイクロ波(1GHz~200GHz程度)を含む高周波(100MHz~200GHz程度)を使った通信技術は、近年ますます重要になり、その技術は携帯電話、無線通信、衛星放送、車載レーダーなどに広く使用されている。

【0003】

現在、高周波の発振には、位相同期発振回路が広く使用されている。図 15 に、従来の位相同期発振回路を示す。図 15 の位相同期発振回路は、簡単に言えば、VCO(Voltage-controlled oscillator) 20 と位相同期ループ回路 2 (以下、「PLL 回路」という)からなる。VCO は、発振周波数 f_{out} が安定しない(位相が時間的に変化する)欠点を有する。安定しないことで、発振スペクトルが狭く鋭くならず、広くなる。つまり、スペクトルのピーク幅が広い。そのため、ピーク幅を狭くするため、換言すれば、位相同期を実現するため、PLL 回路 2 を設けている。PLL 回路 2 は、基本的には周波数 f_{ref} の基準信号を出力する基準信号源 1、位相比較器 3、ループフィルタ 4 及び分周器 9 からなる。PLL 回路の位相比較器からの出力(以下、「位相誤差信号」という)が位相同期を実現する。

30

【0004】

しかしながら、VCO は発振周波数が比較的低い場合はコイルとコンデンサ、高い場合は誘電体共振器を構成部品として含むため、小型化(IC 化)することが困難である。そのため、小型化を目指して、磁気抵抗素子(以下、「MR 素子」という)を高周波発振源とすることが提案された。例えば、特許文献 1 や非特許文献 1、2 の MR 素子がそうである。MR 素子は半導体製造プロセスに従って製造することができる。そのため、(直径 30nm~300nm 程度) × (高さ 30nm~100nm 程度) の小型の素子が作製可能である。

40

【0005】

MR 素子は基本的には磁化自由層(以下、単に「自由層」という)、非磁性層及び磁化固定層(以下、単に「固定層」という)を備えている。自由層から固定層の向きに又はその逆向きに直流電流を流すと、自由層の電子スピンの、直流電流のスピントルクにより励起され、自由層固有の周波数で振動することで高周波(マイクロ波)が発振する。しかしながら、この MR 素子が発振する高周波は、VCO と同様に発振周波数 f_{out} が安定しない(ピーク幅が広い)という第一の問題点があった。

【先行技術文献】

【特許文献】

50

【0006】

【特許文献1】特開2006-295908号

【非特許文献】

【0007】

【非特許文献1】H.Kubota, K.Yakushiji, A.Fukushima, S.Tamaru, M.Konoto, T.Nozaki, S.Ishibashi, T.Saruya, S.Yuasa, T.Taniguchi, H.Arai, and H.Imamura: Applied Physics Express 6 (2013) 103003.

【非特許文献2】H.Maehara, H.Kubota, Y.Suzuki, T.Seki, K.Nishimura, Y.Nagamine, K.Tsunekawa, A.Fukushima, A.M.Deac, K.Ando and S.Yuasa: Applied Physics Express 6 (2013) 113005.

10

【発明の概要】

【発明が解決しようとする課題】

【0008】

第一の問題点を解決するため、本発明者らは、MR素子をVCOと同様にPLL回路と組み合わせて高周波位相同期発振回路を試作し実験した。しかし、PLL回路が全く機能しなかった。本課題は、この機能しない問題(第二の問題点)を解決することにある。

【課題を解決するための手段】

【0009】

第二の問題点が何に起因するか、本発明者らは鋭意研究した。PLL回路の分周器には、本来、MR素子の発振する高周波(基本波、高調波)の発振周波数 f_{out} を入力する。しかし、鋭意研究の結果、本発明者らは、PLL回路の分周器に「基準信号の周波数 f_{ref} 」が入って来ることが原因であることを突き止めた。そこで、この有害な周波数 f_{ref} をカットし本来の発振周波数 f_{out} を入力すべく、分周器の前に所定のフィルタを設けたところ、第二の問題点が解決され、ピーク幅が狭くなることを見出し、本発明を成すに至った。

20

【0010】

本発明は、前記目的を達成するために、以下の特徴を有する。

【0011】

本発明の高周波位相同期発振回路は、発振周波数 f_{out} の高周波を発振する磁気抵抗素子と、基準周波数 f_{ref} の基準信号を出力する基準信号源と、位相比較器、ループフィルタ及び分周器を備えた位相同期ループ回路とを備えた高周波位相同期発振回路であって、前記ループフィルタから出力された位相誤差信号に応じた電圧Aと前記磁気抵抗素子から高周波を発振させるためのバイアス電圧Bとを加算し、加算されたバイアス電圧(A+B)を磁気抵抗素子に入力する加算器と、前記分周器の入力側であって、かつ前記分周器と前記磁気抵抗素子との間に、前記基準周波数 f_{ref} をカットし前記発振周波数 f_{out} を通すフィルタとを設けたことを特徴とする。利用する発振周波数 f_{out} は、磁気抵抗素子の基本波でもその高調波でも良い。磁気抵抗素子の高調波を利用する場合には、フィルタは該高調波を通すフィルタである必要があり、フィルタは磁気抵抗素子の基本波はカットしても良い。

30

【0012】

前記フィルタが前記基準周波数 f_{ref} の基本波及び高調波をカットするものであることが好ましい。即ち、前記フィルタは、基準周波数 f_{ref} の基本波をカットすることが基本であるが、基本波ばかりではなくその高調波をもカットするものであることが好ましい。

40

【0013】

前記ループフィルタの出力側、前記加算器の出力側のいずれかに、出力制限回路を設けることが好ましい。

【0014】

前記加算器の出力側で磁気抵抗素子の入力側に、ローパスフィルタを設けるようにしてもよい。また、前記磁気抵抗素子から発振した高周波信号を前記分周器に送る前に増幅すべく増幅器を設け、かつ、前記増幅器の出力側と前記分周器の入力側との間に、前記磁気

50

抵抗素子から発振する前記発振周波数 f_{out} のみを通す第2のフィルタを設けるようにしてもよい。

【発明の効果】

【0015】

本発明によれば、磁気抵抗素子を用いた高周波位相同期発振回路において、発振周波数 f_{out} の発振スペクトルを狭く鋭くして、ピーク幅が狭くなるという効果がある。これは周波数が安定であることを意味する。そのため、本発明の高周波位相同期発振回路を通信に使えば、例えば、チャンネル密度を高めることができるという効果を奏する。

【図面の簡単な説明】

【0016】

10

【図1】本発明の高周波位相同期発振回路の回路図の例である。

【図2】本発明の高周波位相同期発振回路の回路図の他の例である。

【図3】本発明の高周波位相同期発振回路の回路図の他の例である。

【図4】本発明で使用するフィルタの伝達特性を概念的に説明する図である。

【図5】実施例1のMR素子の斜視概念図である。

【図6】実施例1におけるバイアス電圧に対する高周波の出力電圧の変化を示す図である。

【図7】実施例1におけるバイアス電圧(mV)に対する高周波の発振スペクトルの変化を示す図である。

【図8】実施例1におけるバイアス電圧に対する発振周波数 f_{out} の変化を示す図である

20

【図9】実施例1及び比較例における高周波の発振スペクトルを示す図であり、(b)は(a)の実施例1の部分拡大図である。

【図10】図1を詳細に示す実施例1の回路図である。

【図11】図3の出力制限回路を詳細に示す実施例1の回路図である。

【図12】実施例2の回路図である。

【図13】実施例2の回路図における信号を説明する図である。

【図14】実施例3の回路図である。

【図15】従来の高周波位相同期発振回路の回路図である。

【発明を実施するための形態】

30

【0017】

本発明の高周波位相同期発振回路を図1乃至4を参照して説明する。図1は、本発明の実施形態の高周波位相同期発振回路の回路図の一例である。図2及び図3は同回路図の変形例である。図4は同回路図におけるフィルタの伝達特性を説明する図である。本発明の実施形態の高周波位相同期発振回路は、基準信号源1と、位相同期ループ回路2と、磁気抵抗素子6とを備え、前記位相同期ループ回路2は、位相比較器3、ループフィルタ4及び分周器9を備える。さらに、前記高周波位相同期発振回路は、前記ループフィルタ4から出力された位相誤差信号に応じた電圧Aとバイアス電圧Bとを加算する加算器5、及び前記分周器の入力側にフィルタ7を備えるものである。以下、高周波位相同期発振回路について具体的に説明する。

40

【0018】

《MR素子》

MR素子は発振周波数 f_{out} の高周波を発振する。このとき、MR素子は基本波だけでなく、その高調波も発振する。従って、利用目的により、高調波を利用し基本波は捨てても良い。MR素子は、位相同期の動作範囲内で、バイアス電圧に対して発振周波数 f_{out} の周波数の変化がおおむね単調(線形一様)に変化するものが好ましく、振幅の変化がないものが好ましい。MR素子は、磁化の向きで水平タイプと垂直タイプに分かれるが、どちらも使用可能である。MR素子は、基本的には、自由層、非磁性層及び固定層を備えている。

【0019】

50

自由層は、強磁性体で構成される。強磁性体材料としては、例えばFe、Co、Niなどの鉄系又は鉄系合金(例えばCoFeB)が代表的な材料である。例えば、FeBの単層膜、CoFeBとNiFeの2層膜、CoFeとNiFeの2層膜、CoFeBとRuとCoFeBの3層膜、CoFeBとRuとNiFeの3層膜、CoFeとRuとNiFeの3層膜、CoFeBとCoFeとRuとCoFeの4層膜、CoFeBとCoFeとRuとNiFeの4層膜なども使用可能である。自由層は結晶構造例えばBCC構造であることが好ましい。

自由層の膜厚は、例えば1.5~10nm程度である。

【0020】

非磁性層の材料としては、(1)非磁性金属(GMR素子)と(2)絶縁体(TMR素子)に分かれる。TMR素子の場合、非磁性層はトンネル障壁層とも呼ばれる。次に具体例を示す。

(1)非磁性金属の場合、例えばCu、Ag、Crなどが使用できる。非磁性層の厚さは、例えば0.3nm~10nm程度である。特に、大きなMR比を実現するCu、Agを用いた場合、その厚さは例えば2nm~10nmである。

(2)絶縁体の場合、例えばMg、Al、Si、Ca、Li等の酸化物、窒化物、ハロゲン化物等の様々な誘電体を使用することができる。特に、大きなMR比と小さな面抵抗を両立するMgO(酸化マグネシウム)を使うことが好ましい。前記酸化物、窒化物を非磁性層に用いる場合は、その酸化物、窒化物の中に酸素、窒素欠損が多少存在していてもかまわない。非磁性層の厚さは、例えば0.3nm~2nm程度である。

【0021】

固定層も、強磁性体で構成される。強磁性体材料としては、例えば、Fe、Co、Niなどの鉄系又は鉄系合金(例えばFeBやCoFeB)が代表的な材料である。製法の都合で中間状態としてアモルファス状態を望む場合には、これらにB(ボロン)、Si、Ti、Cr、Vなどを添加した合金CoFeBSi、CoFeBTi、CoFeBCr、CoFeBVなどを用いることもできる。特に垂直磁化の場合には、CoPt、CoPd、FePt、FePdなどの合金、或いはそれら合金にB、Crなどを添加した合金、又はそれらの合金薄膜の多層膜、を用いることができる。固定層は結晶構造例えばBCC構造であることが好ましい。アモルファス状態の膜を結晶化するには、例えば熱処理(アニーリング)すれば良い。

固定層の膜厚について述べる。固定層が薄くなると、電流や熱に対する磁化方向の安定性が低下するという問題が発生する。また、連続膜を作るのが難しくなるという問題も発生する。逆に固定層が厚くなると、固定層から自由層への漏洩磁界が大きくなる問題と微細加工が難しくなる問題が発生する。従って、固定層の膜厚は、一般には例えば2~30nm程度である。

【0022】

以上、基本的な自由層、非磁性層及び固定層の3層だけを説明した。しかし、これらに加えて、本発明の目的に反しない限り、場合により、取出し電極層、固定層の磁化方向を保持すべく支援する支援層、自由層の容易磁化方向を調整すべく支援する支援層、自由層の磁化の向きを読出す場合に読出し信号を高めるべく支援する支援層(読出し専用層)、キャッピング層などの層を付加しても良い。

【0023】

《基準信号源》

基準信号源は、PLL回路に基準信号を入力するためのものである。基準信号の周波数 f_{ref} は、MR素子が発振する高周波(発振周波数 f_{out})に対し、例えば「 2^3 分の1」~「 2^{10} 分の1」程度である。例えば、周波数1~100MHzの水晶発振子、セラミック発振子などが、基準信号源として使用される。

【0024】

《PLL回路》

PLL回路は、基本的には、位相比較器、ループフィルタ及び分周器で構成される。位相比較器は、基準信号源からの基準信号 f_{ref} と分周器からの分周信号を位相比較し、ループフィルタに対し位相誤差信号 $\Delta\phi$ を出力する。

ループフィルタは、位相誤差信号 $\Delta\phi$ に応じた電圧を加算器に向かって出力する。一般には、この電圧によって発振周波数 f_{out} の周波数が僅かに変化し、これにより周波数が

10

20

30

40

50

安定する。この安定により、ピーク幅が狭くなる。

分周器は、高周波出力の周波数 f_{out} を N 分の 1 に落す装置である。 N は分周比と呼ばれており、本発明では、 N は任意の有理数（実用上は 1 以上）であれば良く、例えば、16/3、20/7、33/5、8、16、24、48、64、100 である。分周器で落とされた分周信号 (f_{out}/N) は位相比較器に入る。

【0025】

《加算器》

加算器は、ループフィルタからの出力電圧 A とバイアス電圧 B とを加算する。バイアス電圧は、MR 素子から高周波を発振させるものであるが、加算された電圧 $A+B$ を MR 素子に印加する。

【0026】

《フィルタ》

フィルタは、本発明の特徴の一つである。このフィルタは、基準周波数 f_{ref} をカットし、MR 素子が発振する高周波の発振周波数 f_{out} を通す。ただし、MR 素子が発振する高周波には基本波のほかに高調波が含まれており、その高調波を利用するときは、基本波は不要なので基本波をカットすることが好ましい。

【0027】

フィルタの特性について、図 4 を用いて更に詳しく説明する。図 4 の (a) は、本発明における基本的なフィルタの伝達特性の例、(b) 及び (c) は応用例のフィルタの伝達特性である。一般には、フィルタは遮断周波数 f_{cut} で分類される。本発明に使われるフィルタの遮断周波数 f_{cut} は、基準周波数 f_{ref} と発振周波数 f_{out} との間に設定される。このフィルタの目的は、基準周波数 f_{ref} をカットし、発振周波数 f_{out} を通すことにあるので、図 4 (a) に示すような特性を持つハイパスフィルタを用いることができる。更には、基準周波数 f_{ref} をカットし、発振周波数 f_{out} を通すように設定されたバンドパスフィルタを用いることも可能である。図中、実線がスペクトルのピーク位置を示し、点線がフィルタの伝達特性を示す。

【0028】

更に、本発明の高周波発振回路では、MR 素子の発振周波数の基本波ではなくその高調波を使用し高周波として発振させてもよい。発振周波数 f_{out} に磁気抵抗素子の高調波を選び、遮断周波数 f_{cut} を高調波とその一つ下の高調波(場合により基本波)の間に設定することで、高調波への位相同期が可能となる。図 4 (b) では、高調波として、2 倍の高調波の例を示しているので、発振周波数 $f_{out} = 2 f_{MR}$ となる。ここで f_{MR} は MR 素子の発振周波数の基本周波数を表す。図 4 (b) は、遮断周波数 f_{cut} を $2 f_{MR}$ と f_{MR} の間に設定した例である。

【0029】

次に基準周波数 f_{ref} の高調波がノイズとなりうる場合を考える。この場合は、図 4 (c) に示すように、 $2 f_{ref}$ 、 $3 f_{ref}$ 等に大きな信号が発生する。このような時は、遮断周波数 f_{cut} を $2 f_{ref}$ 、 $3 f_{ref}$ 等より大きな周波数に設定することで、発振周波数 f_{out} への位相同期が可能となる。この意味では、基準周波数 f_{ref} と発振周波数 f_{out} とが大きく離れていることが好ましい。すなわち、分周器の N が 8 以上あると、フィルタによる基準周波数 f_{ref} と発振周波数 f_{out} との分離が容易となる。

【0030】

《増幅器》

フィルタを通った信号は強度が低い場合があるので、必要に応じ、増幅器 8 を設けて(図 1、2、3 参照)も良い。この増幅器で強めた信号を分周器に入力するのである。一般に MR 素子の出力信号 f_{out} の振幅は 10mV(rms) 以下と非常に小さい。なお、rms (root mean square) は実効値を意味する。その一方、分周器はデジタル回路であるため、分周器への入力信号は、少なくとも 30mV(rms) 程度かそれ以上の振幅に増幅することが好ましい。従って、MR 素子の出力信号と分周器の間には、適切な増幅器を設けることが好ましい。この増幅器は、フィルタの手前と後ろのどちらに設けてもよい。

【0031】

《高周波の取り出し》

MR素子からの出力信号は、PLL回路に送る以外に、本来の使用目的のために取り出す必要がある。その取り出し位置は、使用目的や回路構成の都合に応じ、MR素子と分周器の間のいずれの個所に設けてもよい。図1では、フィルタを増幅器の前に設け、信号取り出し位置を増幅器の後に設けた例を示した。しかしながら、高周波の信号取り出し位置は、増幅器とフィルタの配置について上述したと同様、ある程度の自由度があり、図1に限定するものではない。図2に、高周波位相同期発振回路の他の例を示す。図2は、フィルタを増幅器の入力側に設け、高周波信号取り出し位置をMR素子の出力端子の直後に設けた例である。増幅器は、フィルタの、前と後ろのどちらに挿入してもよい。

10

【0032】

《出力制限回路》

高周波発振に必要な動作電圧(駆動電圧=バイアス電圧)には、一般にMR素子固有の電圧範囲が存在する。動作電圧をその電圧範囲内に収めるため、必要に応じ、電圧を調節するための回路を設けても良い。具体的には、ループフィルタの出力又は加算器の出力端子に、出力制限回路10を設けても良い。これにより、適正な電圧をMR素子に入力する。図3は、ループフィルタ4の出力端子に、出力制限回路10を設けた例である。電圧範囲の下限は素子が高周波を発振する臨界電圧、上限は素子が破損する電圧である。

【実施例1】

【0033】

20

図5は、本実施例で用いたMR素子の構造を示す模式図である。構造は非特許文献1に開示されたものとほぼ同じある。構造は、基本的に自由層61、トンネル障壁層(非磁性層)62及び固定層63の3層構造である。自由層61はFeB層(厚さ2nm)であり、トンネル障壁層62はMgO層(厚さ1nm)であり、固定層63はCoFeB(厚3nm)/Ru(厚さ0.85nm)/CoFe(厚さ2.5nm)/PtMn(厚さ15nm)からなる多層膜である。CoFeB層はMgO層に接している。最初にこの構造の積層物を作り、次にそれを微細加工技術により直径300nmの円柱形に加工した。この円柱形のものがMR素子である。MR素子は抵抗値が11Ω(オーム)であり、磁気抵抗比(MR比)は室温で約30%である。

【0034】

図6は、このMR素子のバイアス電圧に対する高周波(f_{out})の発振出力電圧 V_{out} の変化を示す。この素子は、約95mV(臨界電圧)以上のバイアス電圧で高周波(f_{out})を発振する。そして、130mVの周辺で、発振出力が極大を迎える。更に高いバイアス電圧では出力が飽和する。位相同期発振のためには、バイアス電圧に対して振幅がおおむね変化しないことが望ましいため、次に、上記極大近傍でのバイアス電圧に対する振幅及び周波数変化を詳しく調べた。

30

【0035】

図7は、このMR素子について、図6に示したバイアス電圧の範囲(130mVの周辺)で、より詳細に発振スペクトル(波形)の変化(特に発振周波数 f_{out} の周波数とその大きさ)を測定した結果を示す。MR素子は、バイアス電圧114.9から141.5mVの範囲で、それぞれ単峰の発振スペクトル(波形)を示す。単峰の出力振幅はおおむね変化しない。

40

【0036】

図8は、図7から書き起こしたものであり、バイアス電圧130mV周辺での、MR素子の発振周波数 f_{out} (基本波)の変化を示す。これにより、バイアス電圧114mVから142mVの範囲で、発振周波数 f_{out} は7.34GHzを中心として、おおむね一様に変化する(約7.36から約7.32GHz)ことが示された。

このMR素子は、低いトンネル抵抗(RA値で2Ω平方マイクロメートル以下)を持つため、高周波発振の動作電圧が約130mVと極めて低い。そのため、このMR素子を使うことで、より低消費電力の高周波位相同期発振回路が実現する。

【0037】

図9は、図6～図8に示した特性を持つMR素子を用い、図3に示した高周波位相同期

50

発振回路を動作させ高周波発振を発振させた結果である。(b)は(a)の部分拡大図である。実施例では、水晶発振子からの153MHzの基準信号を用い、分周比48の分周器を備えたPLL回路によって、7.344GHzの発振周波数 f_{out} を位相同期させている。図9に示したように、PLL回路を動作させずに素子だけで発振させた比較例(素子発振)では、ピーク幅が4MHz程度と広い。それに対し、本実施例では、PLL回路を動作させて、位相同期を取った後は、ピーク幅が測定限界以下になった。図9の拡大図(b)によれば、狭い測定範囲(測定幅1kHz)での測定結果から、位相同期を取った後のピーク幅が1Hz以下と極めて狭いことが判った。

【0038】

図10は、図1に示した回路図の詳細な一例を示す。バイアス電圧(A+B)は、抵抗器102を介して磁気抵抗素子6に印加され、マイクロ波発振を励起する。このマイクロ波は、抵抗器102によってブロックされるため、加算器5側へは行かず、フィルタ7へのみ流れる。フィルタ7は、1個のインダクタと2個のコンデンサにより構成されたT型フィルタを用いた。フィルタの遮断周波数は、実測値で約1GHzであり、これは基準信号の周波数(f_{ref})153MHzと発振周波数(f_{out})7.34GHzの間にある。

【0039】

増幅器8は、STO発振周波数近傍での増幅率が約42dB、ノイズ指数が2.1dB、帯域が100MHz-16GHzの、広帯域低雑音増幅器81(B&Z Technologies社製 BZ-00101600-221040-252020)を用いた。分周器は、分周比8固定の分周器91(Picosecond Pulse labs社製Model 5650)と、分周比可変の分周器92(Onsemi社製ECL同期カウンタMC100EP160A)において、分周比を6に設定し、それらを組み合わせることにより、全体で $N=48$ の比を持つ分周器を構成した。位相比較器は、ECL位相比較器31(Onsemi社製ECL位相比較器MC100EP140)と、高速オペアンプ32(テキサス・インスツルメンツ(TI)社製高速オペアンプTHS4271D)を用いた。ループフィルタは、高速オペアンプ41(TI社製高速オペアンプOPA699)と、2個の抵抗、1個のコンデンサを用い、比例定数11、積分時定数18.3nsのPI制御回路を構成した。加算器は、高速オペアンプ51(TI社製高速オペアンプTHS4031)を用い、反転加算器を構成した。

【0040】

図11は、図3に示した回路図における、出力制限回路のみの詳細な図面である。他の部分は図10と同様のため省略した。本実施例で用いたMR素子では、臨界電圧は95mVであるため、出力制限回路の下限は95mV以上にするのが望ましい。

【0041】

出力制限回路は、ループフィルタに用いられた高速オペアンプ41の出力電圧制限機能を用いた。このとき高速オペアンプ42(TI社製高速オペアンプOPA699)の出力は ± 250 mVに制限される。この位相誤差信号に応じた出力電圧(A)は、加算器でバイアス電圧(B)に加算された後、 200Ω の抵抗器102を介してMR素子に印加される。本実施例で用いたMR素子の抵抗は 11Ω なので、位相誤差信号に応じた出力電圧は 200Ω との比で分圧され($11/200=0.055$ 倍に減衰)、最終的にバイアス電圧(B)に加算される調節電圧(A)は ± 13.75 mVの範囲に制限される。本実施例のMR素子の動作電圧の中央値は128mV程度であるため(図7を参照)、上記出力制限回路によって、位相同期動作中のバイアス電圧は115mVから141mVの間に制限される。

【0042】

出力制限回路の目的は、バイアス電圧(A+B)をMR素子の動作電圧範囲内に制限することが目的であるため、出力制限回路の設置場所は、加算器の後でもよい。

【0043】

なお、利用する発振周波数(f_{out})を変えたい場合には、例えば、分周比を変えればよい。

【0044】

比較のために、図3の回路においてフィルタを無くして実験したところ、位相誤差信号が分周器に流れ込み、それが分周器を誤動作させ、そのため位相同期が正常に行われな

10

20

30

40

50

った。発振した高周波のピーク幅はMR素子単体(図9(a)の比較例参照)のそれよりも広くなり、発振周波数(f_{out})も実施例(7.34GHz)より高い側にシフトした。

【実施例2】

【0045】

本実施例では、図9、12及び13を参照して説明する。本実施例は、実施例1を改良したものである。

実施例1で、位相同期発振回路が正常動作し、図9にある通りMR素子のピーク幅が1Hz以下になった事が確認されたが、更なる高性能化が好ましい。具体的には、図9(a)に示した位相同期時の発振スペクトルにおいて、中心のピークの両側にあるスペクトル分布が位相雑音をあらわすが、これがより低い方が好ましい。また、この発振スペクトルは、中心から左右に約8MHz離れたところに幅広いピークを2つ持つが、これは位相同期発振回路の帯域(幅を意味するが、通常、その上限値で表現)が約8MHzであるためである。すなわち0~8MHzという周波数成分の位相雑音は抑えられているものの、8MHz近傍では位相雑音がかえって増加しており、比較例より高い。図9(a)は、8MHz近傍及び8MHzより高い(ピークより離れる方向で)周波数での位相雑音は、実施例1の位相同期発振回路では抑えられていないことを示している。

そこで、より高帯域の位相雑音を抑えるために、本実施例では、まず位相同期発振回路の高速化を図った。高帯域の位相雑音はMR素子の発振周波数の高速の揺らぎを意味するが、この高速の揺らぎ問題を解消するには、第一に信号伝搬速度の高速化(遅延時間の短縮)が必要になる。図12にその回路図を示す。図12では、図10の回路と比較し、次の(1)(2)(3)の改良を行った。

【0046】

(1)分周器9は、実施例1では図10に示す通り、1/8の分周器91と1/6の分周器92の2つを組み合わせて用いている。それに対し、本実施例では図12に示す通り、15GHzまで動作可能かつ分周比可変可能な分周器93(例えばMicrosemi社製UXN14M32K)を用いて1個にまとめた。

(2)位相比較器3については、実施例1では図10に示す通り、ECL位相比較器31は出力が2本あるが、次に続くループフィルタは単一入力回路のため、高速オペアンプ32を用いた差動増幅回路に入れて2本の出力を1本にまとめてある。それに対し、本実施例では、図12に示す通り、位相比較器3のECL位相比較器33(Onsemi社製ECL位相比較器MC100EP140)の2本の出力を直接ループフィルタ4に入力している。これは、ループフィルタ4を差動入力型の回路構成に変更することによって、差動増幅回路を介する必要がなくなったためである。

(3)加算器5については実施例1では図10に示す通り、オペアンプを用いた反転加算器を用いた。それに対し、本実施例では、図12に示す通り、抵抗ネットワークを用いた加算器5に変更した。

【0047】

上述の(1)(2)(3)のように、最低限の要素に絞って実施例1の回路において起こっていた信号伝搬にかかる遅延時間を短縮することにより、回路の高速化を図った。

【0048】

さらに、図12の回路において、ローパスフィルタ100を設けることにより、改良することが可能である。ローパスフィルタ100の機能について次に詳しく説明する。

【0049】

図13は、図12の回路における信号を説明するグラフである。図13において、 ϕ_1 は基準信号の波形であり、 ϕ_2 はMR素子(STOともいう。)の発振信号を分周した分周信号の波形である。図13では分周信号 ϕ_2 の位相が遅れており、 $\Delta\phi_1$ 信号波形にグリッチ状の信号が出ている。仮に分周信号 ϕ_2 の位相が進んでいる場合には、 $\Delta\phi_2$ 信号波形にグリッチ状の信号が出る。そのグリッチ状の信号は、減衰することなくループフィルタ4を通過し、MR素子の駆動のためのバイアス電圧に足される。その結果、駆動信号 V_B に急な立ち上がりや立ち下りが生じる。そのため、発振が大きく乱されて位相同期しないと

いう問題が発生する。図 1 2 では、この問題を解決するため、加算器 5 の後ろにローパスフィルタ 1 0 0 を追加した。その結果、グリッチ状の信号波形が平滑化され(図 1 3 の V_B 参照)、MR 素子の発振が乱されることがなくなり、より安定して位相同期が実現できる。

【0 0 5 0】

回路の高速化、バイアス電圧 V_B の平滑化のためローパスフィルタ 1 0 0 の追加などの改良を行ったことにより、位相同期発振回路の帯域は 16MHz と高まった。これは実施例 1 と比べ約 2 倍 ($= 16 / 8$) である。また、残留位相雑音の合計強度は約 $1 / 4$ に低下した。

【実施例 3】

10

【0 0 5 1】

本実施例では、図 1 4 を参照して説明する。本実施例は、実施例 1 及び 2 を改良したものである。

実施例 1 (図 1、図 1 0) 及び実施例 2 (図 1 2) の位相同期発振回路においては、MR 素子で発振した高周波信号は、その振幅が小さいため、分周器に送る前に増幅器 8 (B&Z Technologies 社製 BZ-00101600-221040-252020) で増幅していた。このとき、増幅器 8 が発生する雑音が前記高周波信号に足され、その雑音が分周器 9 で分周される際、ランダムな時間のずれ、すなわちジッターの原因となることを本発明者らは突き止めた。

また、前記高周波信号の信号雑音比 (S/N 比) が十分でない場合は、雑音が分周器 9 の誤動作を引き起こし、位相同期動作しないという問題を引き起こすことを本発明者らは見出した。

20

【0 0 5 2】

これらの問題を改善するため、本発明者らは図 1 4 に示すように、増幅器 8 と分周器 9 との間にフィルタ 1 0 1 (第 2 のフィルタ) を配置し、該フィルタにより、MR 素子が発振する高周波信号だけを透過し、その他の帯域の雑音 (ノイズ) を除去するようにした。その結果、このフィルタ 1 0 1 が無いとき比べ、約半分の振幅の高周波信号でも分周器が正常に動作し、また、その際、増幅器の雑音によるジッターも顕著に減少した。なお、図 1 4 におけるフィルタ 1 0 1 については、磁気抵抗素子の出力側に設けている、基準周波数 f_{ref} をカットし発振周波数 f_{out} を通すフィルタ 7 と区別するために、第 2 のフィルタとも呼ぶ。

30

【0 0 5 3】

上記実施形態等で示した例は、発明を理解しやすくするために記載したものであり、この形態に限定されるものではない。

【符号の説明】

【0 0 5 4】

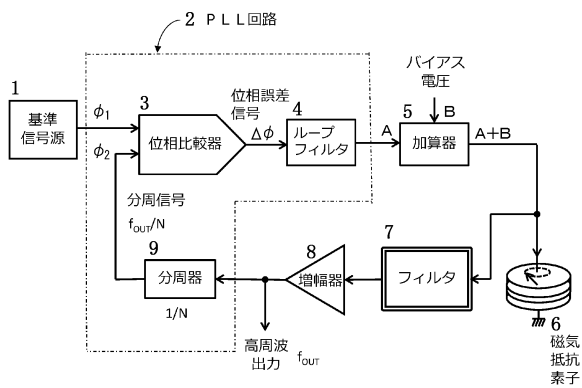
- 1 基準信号源
- 2 PLL 回路
- 3 位相比較器
- 4 ループフィルタ
- 5 加算器
- 6 磁気抵抗素子
- 7 フィルタ
- 8 増幅器
- 9 分周器
- 10 出力制限回路
- 20 VCO
- 31、33 ECL 位相比較器
- 32、41、42、43、51 高速オペアンプ
- 61 自由層
- 62 非磁性層

40

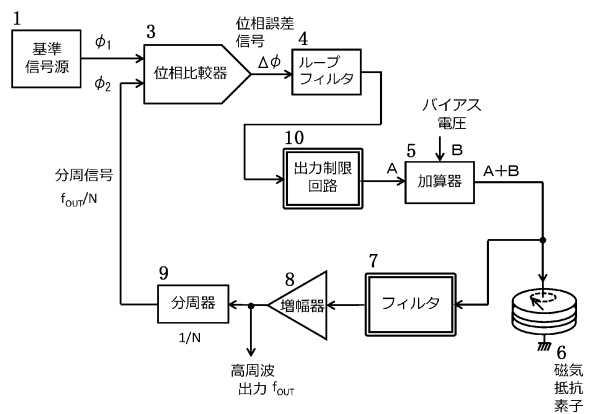
50

- 6 3 固定層
- 8 1 広帯域低雑音増幅器
- 9 1 分周比固定の分周器
- 9 2、9 3 分周比可変の分周器
- 1 0 0 ローパスフィルタ
- 1 0 1 第 2 のフィルタ
- 1 0 2 抵抗器

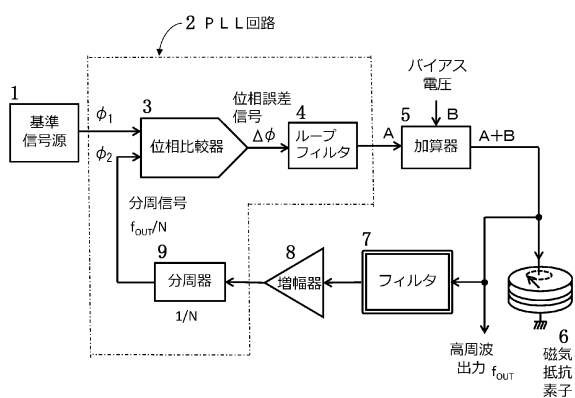
【図 1】



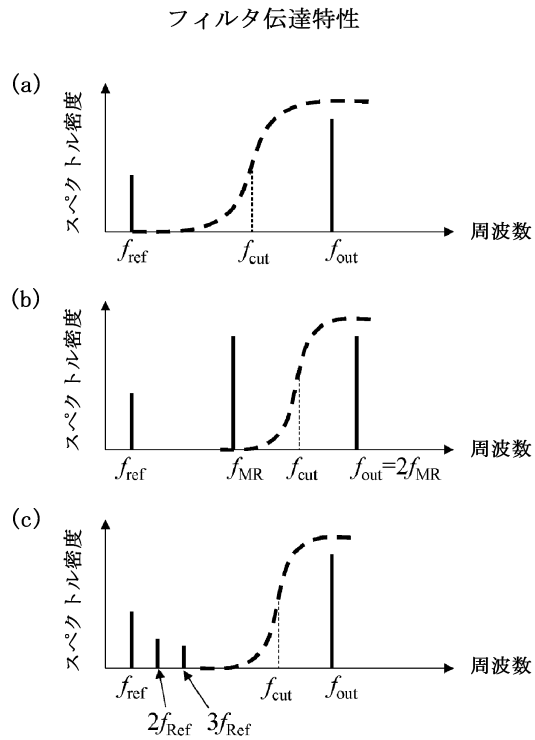
【図 3】



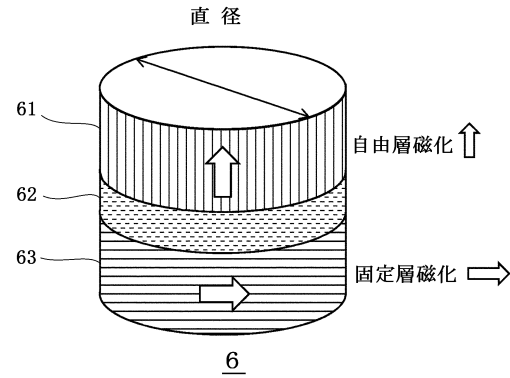
【図 2】



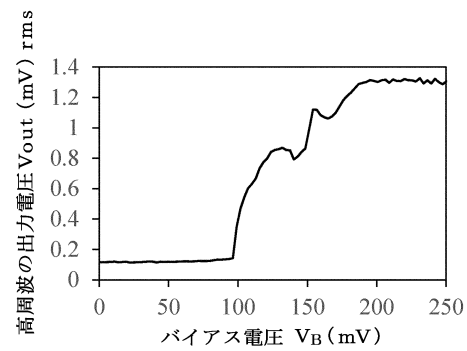
【図 4】



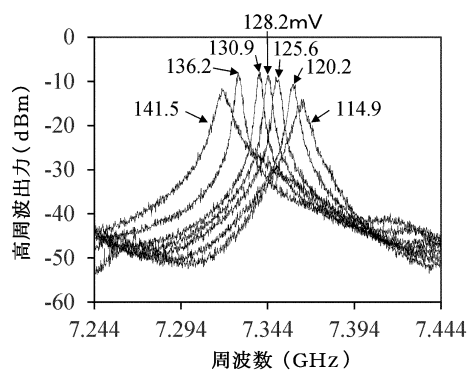
【図 5】



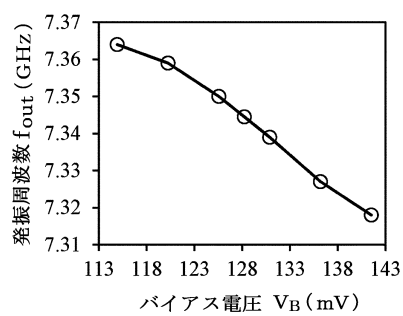
【図 6】



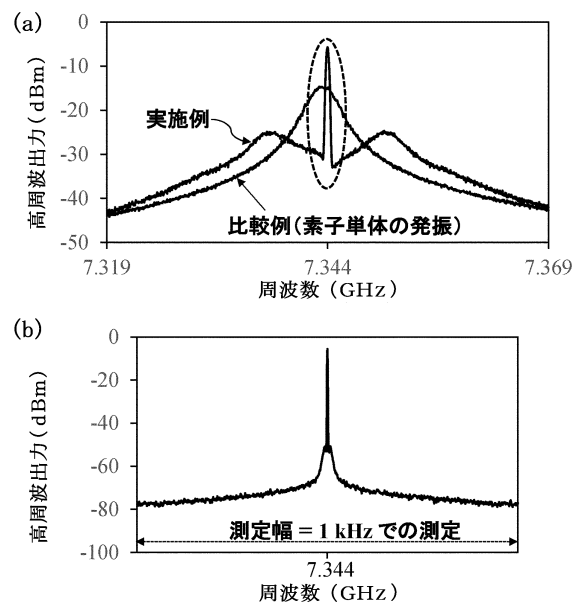
【図 7】



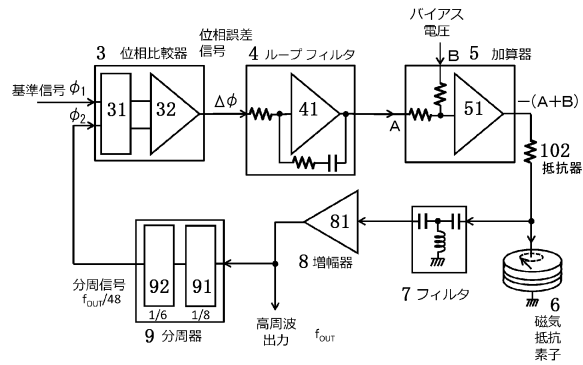
【図 8】



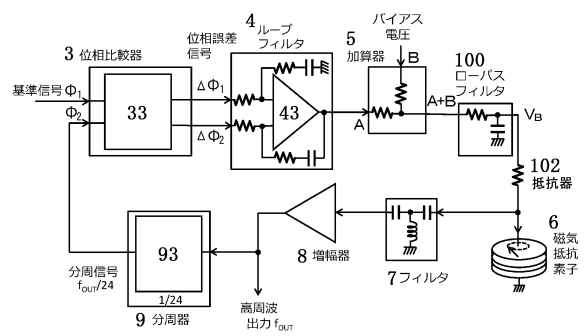
【図 9】



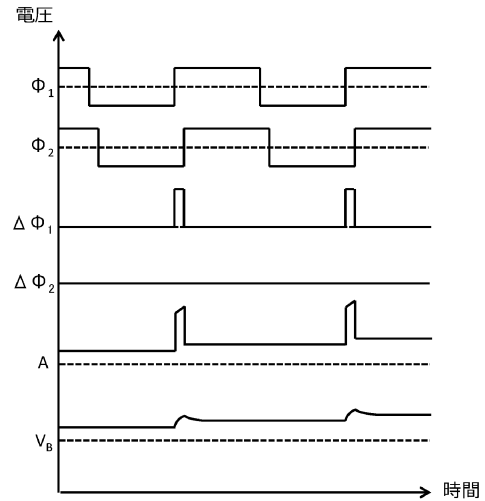
【図 10】



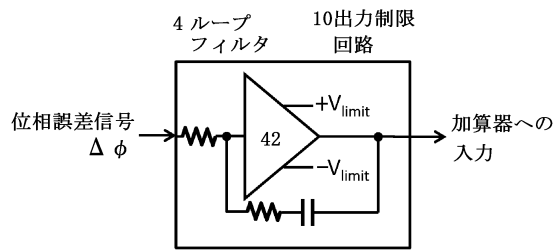
【図 12】



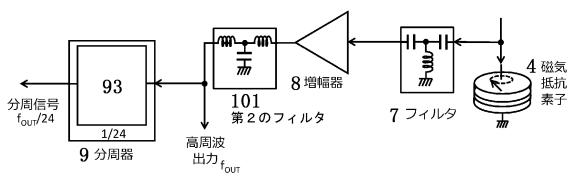
【図 13】



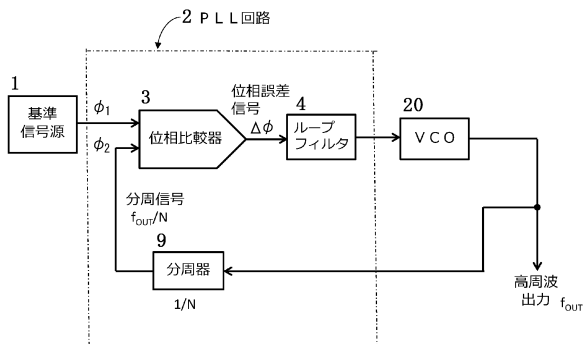
【図 11】



【図 14】



【図 15】



フロントページの続き

(72)発明者 福島 章雄

茨城県つくば市東1-1-1 国立研究開発法人産業技術総合研究所つくばセンター内

(72)発明者 湯浅 新治

茨城県つくば市東1-1-1 国立研究開発法人産業技術総合研究所つくばセンター内

審査官 鬼塚 由佳

(56)参考文献 特開2006-295908 (JP, A)

特開平05-327493 (JP, A)

米国特許出願公開第2012/0268214 (US, A1)

米国特許出願公開第2013/0057356 (US, A1)

韓国登録特許第10-1284687 (KR, B1)

Tingsu Chen, Spin Torque Oscillator-based Integrated Solutions for Magnetic Field Sensing and Wireless Communication Applications, 21st IEEE International Conference on Electronics, Circuits and Systems(ICECS), IEEE, 2014年12月 7日

(58)調査した分野(Int.Cl., DB名)

H03L 7/099

H01L 29/82

H01L 43/08

H03B 15/00