



[12] 发明专利申请公开说明书

[21] 申请号 200510072391.9

[43] 公开日 2005 年 12 月 7 日

[11] 公开号 CN 1705042A

[22] 申请日 2005.5.31

[74] 专利代理机构 北京律诚同业知识产权代理有限公司

[21] 申请号 200510072391.9

代理人 徐金国 祁建国

[30] 优先权

[32] 2004.5.31 [33] KR [31] 10-2004-0039136

[71] 申请人 LG. 菲利浦 LCD 株式会社

地址 韩国汉城

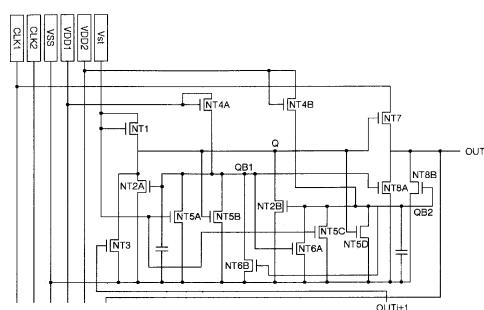
[72] 发明人 金彬 尹洙荣

权利要求书 2 页 说明书 10 页 附图 5 页

[54] 发明名称 移位寄存器

[57] 摘要

本发明公开了一种能减小栅极偏压应力的移位寄存器。含有多级的移位寄存器包括：输出缓冲器，所述输出缓冲器具有一个上拉晶体管和两个下拉晶体管，每个晶体管的栅极与不同的节点相连。两个下拉晶体管中的一个在 LCD 偶数帧部分工作时进行工作；而两个下拉晶体管中的另一个在 LCD 显示器奇数帧部分工作时进行工作。下拉晶体管的交替工作基本上克服了栅极应力，并且基本上能使移位寄存器用非晶硅制造。



1. 具有多级的移位寄存器，包括：

第一、第二和第三驱动电压馈送线；

5 至少两条时钟信号馈送线；

输出缓冲器，其包括输出上拉晶体管以及第一和第二输出下拉晶体管；

第一控制器，其输入端与起动信号馈送线相连而输出端与第一节点相连；

和

第二控制器，其输入端与第一及第二电压馈送线相连而输出端与第一及第

10 二输出下拉晶体管的栅极相连。

2. 根据权利要求 1 所述的移位寄存器，其特征在于，所述第一控制器包括：

充电晶体管，其栅极与起始信号馈送线相连，而输出端与第一节点相连；

和

多个放电晶体管，所述多个放电晶体管与第一节点以及第三驱动电压馈送

15 线相连。

3. 根据权利要求 2 所述的移位寄存器，其特征在于，所述第一节点与输出上拉晶体管的栅极相连。

4. 根据权利要求 2 所述的移位寄存器，其特征在于，所述多个放电晶体管包括：

20 第一放电晶体管，其栅极与奇数帧输出节点相连；和

第二放电晶体管，其栅极与偶数帧输出节点相连。

5. 根据权利要求 4 所述的移位寄存器，其特征在于，所述第二控制器包括奇数帧电压控制晶体管，所述晶体管的栅极与所述第一驱动电压馈送线相连，而其输出端与所述奇数帧输出节点相连。

25 6. 根据权利要求 4 所述的移位寄存器，其特征在于，所述第二控制器包括偶数帧电压控制晶体管，所述晶体管的栅极与所述偶数帧输出节点相连。

7. 根据权利要求 4 所述的移位寄存器，其特征在于，进一步包括第三放电控制晶体管，所述晶体管的栅极与后一级的输出端相连。

8. 根据权利要求 4 所述的移位寄存器，其特征在于，所述奇数帧输出节点与所述第一输出下拉晶体管的栅极相连。

-
9. 根据权利要求 4 所述的移位寄存器，其特征在于，所述偶数帧输出节点与所述第二输出下拉晶体管的栅极相连。
 10. 根据权利要求 1 所述的移位寄存器，其特征在于，所述输出上拉晶体管和第一及第二输出下拉晶体管包括非晶硅。
 - 5 11. 具有多级的移位寄存器，包括：
输出缓冲器，所述输出缓冲器具有第一晶体管和偶数及奇数晶体管，所述偶数及奇数晶体管具有相同的极性；
用于控制所述输出缓冲器输出状态的第一控制器；和
用于对所述偶数和奇数晶体管之间的输出控制进行转换的第二控制器。
 - 10 12. 根据权利要求 11 所述的移位寄存器，其特征在于，进一步包括：
与所述第二控制器相连的第一和第二电压馈送线。
 13. 根据权利要求 11 所述的移位寄存器，其特征在于，进一步包括与第一控制器相连的起始信号馈送线。
 14. 根据权利要求 11 所述的移位寄存器，其特征在于，所述第一控制器与后一级的输出端相连。
15 15. 根据权利要求 11 所述的移位寄存器，其特征在于，进一步包括与所述输出缓冲器相连的时钟信号馈送线。
 16. 根据权利要求 11 所述的移位寄存器，其特征在于，所述第一晶体管以及偶数和奇数晶体管包括非晶硅。

移位寄存器

5 本申请要求 2004 年 5 月 31 日在韩国申请的第 P2004-39136 号韩国专利
申请的权益，所述申请在本申请中以引用的形式加以结合。

技术领域

10 本发明涉及液晶显示器的驱动电路，尤其涉及采用非晶硅薄膜晶体管的移
位寄存器。

背景技术

15 通常，作为电视机或计算机显示装置使用的液晶显示器（LCD）利用电场
来控制液晶的光透射率。为此，LCD 包括液晶显示板和驱动电路，所述液晶显
示板具有按矩阵排列的液晶单元，而所述驱动电路用于驱动液晶显示板。

在液晶显示板中，将栅线和数据线设置成彼此交叉的形式。交叉的栅线和
数据线限定了多个液晶单元。液晶显示板上设有向每个液晶单元提供电场的像
素电极和公共电极。每个像素电极通过作为开关装置的薄膜晶体管上的源极端
和漏极端与各条数据线相连。薄膜晶体管的栅极端与相邻的栅线相连。

20 驱动电路包括驱动栅线的栅驱动器，和驱动数据线的数据驱动器。栅驱动
器顺序地向栅线施加扫描信号以便顺序地驱动液晶显示板上的液晶单元。在将
扫描信号施加栅线的同时，数据驱动器向每条数据线施加视频信号。因此，LCD
可以根据每个液晶单元的视频信号，通过在像素电极和公共电极之间施加的电
场来控制光的透射率，进而显示图像。

25 在这种驱动电路中，栅驱动器利用移位寄存器产生顺序驱动栅线的扫描信
号。数据驱动器利用移位寄存器产生用于顺序对视频信号采样的采样信号，所
述视频信号由外部特定单元提供。

图 1 是表示现有技术中两相移位寄存器结构的方框图。

参照图 1，移位寄存器包括以级联形式连接的第 1 到第 n 级。在提供高电
30 平和低电平驱动电压（未示出）的同时，向第 1 到第 n 级同时施加第一和第二

时钟信号 C1 和 C2 并施加起始脉冲 Vst，所述起始脉冲为前一级的输出信号。第一级响应起始脉冲 Vst 以及第一和第二时钟信号 C1 和 C2 输出第 1 输出信号 Out1。第 2 到第 n 级响应前一级的输出信号以及第一和第二时钟信号 C1 和 C2 分别输出第 2 到第 n 输出信号。第 1 到第 n 级具有相同的电路结构并根据起始脉冲 Vst 顺序进行信号移位。向第 1 到第 n 输出信号 Out1—Outn 施加用于顺序驱动液晶显示板栅线的扫描信号，或施加用于对数据驱动器中视频信号顺序进行采样的采样信号。

图 2 表示图 1 中所示其中一级的详细电路结构。

在图 2 中，该级包括输出缓冲器部分 20 和控制器部分 10，其中所述输出缓冲器部分 20 设有上拉 NMOS 晶体管 T5 (pull-up NMOS transistor) 和下拉 NMOS 晶体管 T6 (pull-down NMOS transistor)，晶体管 T5 在节点 Q 的控制下向输出线输出第一时钟信号 C1，晶体管 T6 在节点 QB 的控制下输出低电平驱动电压 VSS，所述控制器部分 10 具有用于控制节点 Q 和节点 QB 的第一到第四 NMOS 晶体管 T1—T4。

在该级上施加高电平电压 VDD、低电平电压 VSS、起始脉冲 Vst 和第一及第二时钟信号 C1、C2。在此，第一时钟信号 C1 是其中具有如图 3 所示交替施加的具有一定宽度的高态电压和低态电压的信号。而第二时钟信号 C2 (未示出) 与第一时钟信号 C1 反相。起始脉冲 Vst 可以从外部提供或是由前一级输出信号提供。

下面将参照图 3 中示出的驱动波形说明该级的工作过程。

在周期 A 中，同时施加起始脉冲 Vst 的高态电压和第二时钟信号 C2 的高态电压。通过第二时钟信号 C2 的高态电压使第一 NMOS 晶体管 T1 导通，从而向节点 Q 提供起始脉冲 Vst 的高态电压，对节点 Q 进行预充电。预充入节点 Q 的高阶电压使第五 NMOS 晶体管 T5 导通，从而将第一时钟信号 C1 的低态电压施加到输出线。第二时钟信号 C2 的高态电压还使第二 NMOS 晶体管 T2 导通，从而向节点 QB 提供高电平驱动电压 VDD。然后，施加到节点 QB 上的高电平驱动电压 VDD 使第六 NMOS 晶体管 T6 导通，从而提供低电平驱动电压 VSS。因此，在周期 A 中，该级的输出线输出低态的输出信号 OUT。

在周期 B 中，第二时钟信号 C2 的低态电压使第一 NMOS 晶体管 T1 截止，由此使节点 Q 浮动为高态。因此，上拉 NMOS 晶体管 T5 保持导通状态。此外，

在通过第一时钟信号 C1 施加高态电压时，浮动的节点 Q 受寄生电容 CGD 的影响产生自举，所述寄生电容由上拉 NMOS 晶体管 T5 的栅极和漏极之间重叠而形成的。因此，节点 Q 处的电压进一步上升到使上拉 NMOS 晶体管 T5 导通，从而迅速向输出线提供第一时钟信号 C1 的高态电压。此外，浮动到高态的 Q 点使 5 第四 NMOS 晶体管 T4 导通，而高态的第一时钟信号 C1 使第三 NMOS 晶体管 T3 导通，以向节点 QB 提供低电平驱动电压 VSS，由此使下拉 NMOS 晶体管 T6 截止。因此，在 B 周期内，该级的输出线输出高态的输出信号 OUT。

在周期 C 中，通过第二时钟信号 C2 的高态电压使第一 NMOS 晶体管 T1 导通，从而向节点 Q 施加起始脉冲 Vst 的低态电压，借此，使上拉 NMOS 晶体管 10 T5 截止。而且，通过第二时钟信号 C2 的高态电压使第二 NMOS 晶体管 T2 导通，从而向节点 QB 提供高电平驱动电压 VDD，借此使下拉 NMOS 晶体管 T6 导通并向输出线输出低电平驱动电压 VSS。还是在周期 C 中，通过第一时钟信号 C1 的低态电压使第三 NMOS 晶体管 T3 截止，并通过节点 Q 的低态电压使第四 NMOS 晶体管 T4 截止，由此在节点 QB 上保持高电平驱动电压 VDD。因此，在 C 周期 15 内，该级的输出线输出低态的输出信号 OUT。

在周期 D 中，通过第二时钟信号 C2 的低态电压使第一 NMOS 晶体管 T1 截止，从而使节点 Q 浮动。此外，通过第二时钟信号 C2 的低态电压使第二 NMOS 晶体管 T2 截止，以及通过浮动到低态的节点 Q 使第四 NMOS 晶体管 T4 截止，因此，即使是通过第一时钟信号 C1 的高态电压使第三 NMOS 晶体管 T3 导通， 20 节点 QB 也浮动在高态，该高态略低于前一周期 C 施加的高电平驱动电压 VDD。因此，下拉 NMOS 晶体管 T6 保持导通状态，从而向输出级输出低电平驱动电压 VSS。所以，在周期 D 内，该级的输出线输出低态的输出信号 OUT。

在其余的周期内，交替重复 C 和 D 周期的操作，因此，该级的输出信号 OUT 持续保持低态。

25 在将移位寄存器集成到采用非晶硅薄膜晶体管的液晶显示板中方面已经作出了很大努力。然而，由于当向薄膜晶体管的栅极端持续施加直流电压 DV 时会产生偏压应力(bias stress)，这使得非晶硅薄膜晶体管不能适当地发挥其作用。

例如，正如从图 3 中所看到的，在现有技术的移位寄存器中，向节点 QB 30 施加高电平驱动电压 VDD，该 QB 节点，即下拉 NMOS 晶体管 T6 的栅极节点在

大部分周期内（即，当节点 Q 变成高态时，在除了 A 和 B 周期的其它周期内）提供直流电压。在下拉 NMOS 晶体管 T6 的栅极上保持直流电压会使晶体管产生栅极偏压应力，这将改变晶体管的阈值电压 V_{zh} 。在这种情况下，把为使节点 Q 保持在截止电压而需施加到节点 QB 上的最小电压称为钳位电压，该电压需要大于一定的电压电平。然而，由于栅极偏压应力而使下拉 NMOS 晶体管 T6 中阈值电压 V_{th} 发生改变将会降低施加到节点 QB 上的钳位电压（即，施加的电压 $-V_{th}$ ）。因此，出现了在节点 QB 上低于一定电压发生诸如多输出等移位寄存器误操作的问题。

10 发明内容

因此，本发明涉及一种移位寄存器，这种移位寄存器基本上克服了因现有技术的限制和缺陷而导致的一个或多个上述问题。总之，本发明通过提供一种能防止在下拉晶体管上产生栅极偏压应力的移位寄存器而使其目的得以实现。

本发明的一个优点是能够获得用非晶硅制作的移位寄存器。

15 本发明的另一个优点是能够获得可集成到 LCD 板中的移位寄存器。

在以下的说明中将述及本发明的其它优点，这些优点中的一部分能够从以下的说明中明显得到，或是通过本发明的实践而获得。通过文字说明部分和权利要求以及所附的附图中特别指出的结构可以实现和获得本发明的优点。

20 用以下所述多级移位寄存器可以实现本发明的上述和其他优点，所述多级移位寄存器包括：第一、第二和第三驱动电压馈送线；至少两条时钟信号馈送线；具有输出上拉晶体管以及第一和第二输出下拉晶体管的输出缓冲器；其输入端与起始信号馈送线相连而输出端与第一节点相连的第一控制器；以及其输入端与第一及第二电压馈送线相连而输出端与第一及第二输出下拉晶体管的栅极相连的第二控制器。

25 按照本发明的另一方面，用以下所述的多级移位寄存器可以实现上述和其他优点，所述多级移位寄存器包括：输出缓冲器，所述输出缓冲器包括第一晶体管和偶数及奇数晶体管，所述偶数及奇数晶体管具有相同的极性；用于控制输出缓冲器状态的第一控制器；和用于在偶数及奇数晶体管之间进行转换的第二控制器。

30 很显然，以上的一般性描述和下面的详细说明都是示例性和解释性的，其

意在对要求保护的发明提供进一步的解释。

附图说明

附图表示的是本发明的实施方式，其与说明书一起用于解释本发明的原理，
5 所述附图有助于进一步理解本发明，其与说明书相结合并构成说明书一部分。

图 1 所示为现有技术中两相移位寄存器结构的示意性方框图；

图 2 所示为图 1 中所示其中一级的详细电路图；

图 3 所示为图 2 中所示级的驱动波形图；

10 图 4 所示为按照本发明一个实施方式所述移位寄存器中一级的详细电路图；以及

图 5 所示为图 4 中所示级的示例性驱动波形图。

具体实施方式

15 现在将对本发明所述的实施例进行详细说明。下面，将参照图 4 和图 5 对本发明所述的实施例进行说明。

图 4 是表示按照本发明的实施例所述，在移位寄存器中自举连接的多级中任一级结构的电路图。图 5 是图 4 中所示级的驱动波形图。

20 参照图 4，移位寄存器中的一级包括：输出缓冲器，所述输出缓冲器具有在节点 Q 的控制下向输出线输出第一时钟信号 CLK1 的上拉晶体管 NT7，以及在节点 QB1 和 QB2 的控制下向输出线输出第三驱动电压 VSS 的第一和第二下拉晶体管 NT8A 和 NT8B；第一控制器，所述第一控制器具有用于对节点 Q 进行预充电和使其放电的第一到第三晶体管 NT1—NT3；第二控制器，所述第二控制器具有在将节点 QB1 和节点 QB2 分成奇数和偶数帧时产生交变驱动电流的晶体管 NT4A—NT6B。晶体管 NT1—NT8B 可以采用 NMOS 晶体管或 PMOS 晶体管。为了便于说明，下面将仅描述采用 NMOS 晶体管的情况。

25 可以按照二极管的结构，将第一控制器的第一晶体管 NT1 连接到起始脉冲 Vst 的输出线上，以便将起始脉冲 Vst 的高态电压预充到节点 Q 上。在各节点 QB1 和节点 QB2 的控制下，晶体管 NT2A 和 NT2B 使节点 Q 放电，并且由下一级的输出电压 OUTi+1 控制第三晶体管 NT3 使得节点 Q 放电。

第二控制器包括：晶体管 NT4A 和 NT4B，其用于将第一和第二高电平电压 VDD1 和 VDD2 充入节点 QB1 和节点 QB2；晶体管 NT5A—NT5D，其在起始脉冲 Vst 和节点 Q 的控制下使节点 QB1 和节点 QB2 放电；晶体管 NT6A，其在节点 QB1 的控制下使节点 QB2 放电；和晶体管 NT6B，其在节点 QB2 的控制下使节点 QB1 放电。

如图 4 和图 5 所示，通过第二控制器，在第一驱动电压 VDD1 为高电平状态的奇数帧时，在节点 QB1 的控制下驱动第一下拉晶体管 NT8A，而在第二驱动电压 VDD2 是高电平状态的偶数帧时，在节点 QB2 的控制下驱动第二下拉晶体管 NT8B。用这种方式，在奇数和偶数帧时交替驱动第一和第二下拉晶体管 NT8A 和 NT8B，从而能够最大限度地减小因直流偏压引起的应力 (stress)。

向图 4 中所示的特定级提供反相的第一和第二时钟信号 CLK1 和 CLK2 中的第一时钟信号 CLK1，而向下一级提供第二时钟信号 CLK2。向每一级交替地提供第一和第二时钟信号 CLK1 和 CLK2。此外，向每一级提供在奇数和偶数帧时具有彼此相反极性的第一和第二驱动电压 VDD1 和 VDD2，而且向每一级提供第三驱动电压 VSS。

下面将参照图 5 中所示的驱动波形描述具有这种结构的移位寄存器的工作情况。

在奇数帧时段，第一驱动电压 VDD1 为高态而第二驱动电压 VDD2 为低态。因此按二极管结构连接到第一驱动电压 VDD1 馈送线上的晶体管 NT4A 保持为导通 (ON) 状态，而按二极管结构连接到第二驱动电压 VDD2 馈送线上的晶体管 NT4B 保持在截止 (OFF) 状态。因此，在奇数帧时，节点 QB1 进行的工作与 QB2 相反，借此，使第一下拉晶体管 NT8A 进行与上拉晶体管 NT7 相反的工作。此外，节点 QB2 保持低态，由此使第二下拉晶体管 NT8B 保持在截止 (OFF) 状态。

在奇数帧的周期 A 中，施加的是第一时钟信号 CLK1 的低态电压，第二时钟信号 CLK2 的高态电压和起始脉冲 Vst 的高态电压。第一晶体管 NT1 因起始脉冲为高态电压而导通从而将节点 Q 预充电到高态电压。上拉晶体管 NT7 因节点 Q 为高态电压而导通，从而施加第一时钟信号 CLK1 的低态电压作为输出信号 OUTi。晶体管 NT4A 在高态的第一驱动电压 VDD1 的作用下而导通，晶体管 NT5A 和 NT5B 分别因起始脉冲 Vst 和节点 Q 为高态电压而导通，因此，节点 QB1 在驱动电压 VSS 的作用下成为低态。此外，晶体管 NT4B 在低态的第二驱动电

压 VDD 的作用下截止，而晶体管 NT5C 和 NT5D 分别在起始脉冲 Vst 和节点 Q 的高态电压作用下导通，因此，节点 QB2 在第三驱动电压 VSS 的作用下成为低态。所以，第一和第二下拉晶体管 NT8A 和 NT8B 截止。

在周期 B，施加的是第一时钟信号 CLK1 的高态电压，第二时钟信号 CLK2 的低态电压和起始脉冲 Vst 的低态电压。第一晶体管 NT1 因起始脉冲 Vst 为低态电压而截止，第三晶体管 NT3 因下一级输出信号 OUT_{i+1} 为低态电压而截止，由此，节点 Q 浮动到高态。浮到高态的节点 Q 响应第一时钟信号 CLK1 的高态电压，通过寄生电容 CGD 的耦合作用产生自举，所述寄生电容因上拉晶体管 NT7 的栅极和源极之间有重叠而产生。因此，节点 Q 处的电压进一步上升到使上拉晶体管 NT7 必然导通，从而可输送第一时钟信号 CLK1 的高态电压作为输出信号 OUT_i。在此，为了提高节点 Q 的自举效果，可以设置一个与寄生电容 CGD 并联的附加电容（未示出）。晶体管 NT4A 在高态第一驱动电压 VDD1 的作用下导通，而晶体管 NT5B 因自举的节点 Q 为高态电压而导通，因此节点 QB1 在第三驱动电压 VSS 作用下成为低态。此外，晶体管 NT5D 因节点 Q 处为高态电压而导通，因此，节点 QB2 保持低态。所以，第一和第二下拉晶体管 NT8A 和 NT8B 截止。

在周期 C，施加的是第一时钟信号 CLK1 的低态电压，第二时钟信号 CLK2 的高态电压和起始脉冲 Vst 的低态电压。第一晶体管 NT1 因起始脉冲 Vst 为低态电压而截止，第三晶体管 NT3 因下一级输出信号 OUT_{i+1} 为高态电压而导通从而将第三驱动电压 VSS 送到节点 Q，进而使上拉晶体管 NT7 截止。所有晶体管 NT5A—NT5D 因起始脉冲 Vst 和节点 Q 为低态电压而截止；和通过保持在导通状态的晶体管 NT4A 将高态第一驱动电压 VDD1 充到节点 QB1。因此，使第一下拉晶体管 NT8A 导通，从而施加第三驱动电压 VSS 作为输出信号 OUT_i。此外，通过 QB1 处的高态电压，使晶体管 NT6A 导通并将节点 QB2 保持在低态，同时使晶体管 NT2A 导通并将节点 Q 保持在低态。

在周期 D，施加的是第一时钟信号 CLK1 的高态电压，第二时钟信号 CLK2 的低态电压，和起始脉冲 Vst 的低态电压。第一和第三晶体管 NT1 和 NT3 分别因起始脉冲 Vst 和下一级输出信号 OUT_{i+1} 为低态电压而截止，因此，节点 Q 保持先前的低态。通过起始脉冲 Vst 和节点 Q 的低态电压使所有晶体管 NT5A—NT5D 截止，并通过保持导通(ON)状态的晶体管 NT4A 使节点 QB1 保持高态。

因此，第一下拉晶体管 NT8A 导通，并施加第三驱动电压 VSS 作为输出信号 OUT_i。此外，通过节点 QB1 处的高态电压，使晶体管 NT6A 导通，并将节点 QB2 保持在低态，同时使晶体管 NT2A 导通，以将节点 Q 固定在低态。

在奇数帧的其余周期，重复进行上述 C 和 D 周期的操作，从而把当前级的
5 输出信号 OUT_i 保持在低态。

接着，在偶数帧时段内，第一驱动电压 VDD1 成为低态而第二驱动电压 VDD2 成为高态。因此，按二极管结构与第一驱动电压 VDD1 的馈送线相连接的晶体管 NT4A 保持截止（OFF）状态，而按二极管结构与第二驱动电压 VDD2 相连接的晶体管 NT4B 保持在导通（ON）状态。所以，在偶数帧内，节点 QB2 进行的是与节点 Q 相反的工作，由此使第二下拉晶体管 NT8B 进行与上拉晶体管 NT7 相反的工作。此外，节点 QB1 保持低态，因此使第一下拉晶体管 NT8A 保持截止状态。
10

在偶数帧的周期 A，施加的是第一时钟信号 CLK1 的低态电压，第二时钟信号 CLK2 的高态电压，和起始脉冲 Vst 的高态电压。第一晶体管 NT1 因起始脉冲 Vst 为高态电压而导通，从而将起始脉冲 Vst 的高态电压预充到节点 Q。上拉晶体管 NT7 因节点 Q 为高态电压而导通，因而施加第一时钟信号 CLK1 的低态电压作为输出信号 OUT_i。晶体管 NT4B 在高态第二驱动电压 VDD2 的作用下导通，同时晶体管 NT5C 和 NT5D 分别因起始脉冲 Vst 和节点 Q 为高态电压而导通，因此节点 QB2 在第三驱动电压 VSS 的作用下进入低态。此外，晶体管 NT4A 在低态第一驱动电压 VDD1 的作用下截止，而晶体管 NT5A 和 NT5B 则分别因起始脉冲 Vst 和节点 Q 为高态电压而导通，因此，节点 QB1 在第三驱动电压 VSS 的作用下进入低态。所以，第一和第二下拉晶体管 NT8A 和 NT8B 截止。
15
20

在周期 B，施加的是第一时钟信号 CLK1 的高态电压，第二时钟信号 CLK2 的低态电压和起始脉冲 Vst 的低态电压。第一晶体管 NT1 因起始脉冲 Vst 为低态电压而截止，第三晶体管 NT3 因下一级输出信号 OUT_{i+1} 为低态电压而截止，由此，节点 Q 浮动到高态。浮动到高态的节点 Q 响应第一时钟信号 CLK1 的高态电压产生自举，使上拉晶体管 NT7 必然导通，从而施加第一时钟信号 CLK1 的高态电压作为输出信号 OUT_i。晶体管 NT4B 在高态第二驱动电压 VDD2 的作用下导通，而晶体管 NT5D 因自举的节点 Q 为高态电压而导通，因此节点 QB2 在第三驱动电压 VSS 的作用下成为低态。此外，晶体管 NT5B 因节点 Q 处为高
25
30

态电压而导通，因此，节点 QB1 保持低态。所以，第一和第二下拉晶体管 NT8A 和 NT8B 截止。

在周期 C，施加的是第一时钟信号 CLK1 的低态电压，第二时钟信号 CLK2 的高态电压和起始脉冲 Vst 的低态电压。第一晶体管 NT1 因起始脉冲 Vst 为低态电压而截止，第三晶体管 NT3 通过下一级输出信号 OUT_{i+1} 的高态电压而导通从而将第三驱动电压 VSS 施加到节点 Q，进而使上拉晶体管 NT7 截止。所有晶体管 NT5A—NT5D 通过起始脉冲 Vst 和节点 Q 的低态电压而截止；和通过保持在导通状态的晶体管 NT4B 将高态第二驱动电压 VDD2 充到节点 QB2。因此，使第二下拉晶体管 NT8B 导通，从而施加第三驱动电压 VSS 作为输出信号 OUT_i。此外，通过 QB2 处的高态电压，使晶体管 NT6B 导通并将节点 QB1 保持在低态，同时使晶体管 NT2B 导通以将节点 Q 更确定地保持在低态。

在周期 D，施加的是第一时钟信号 CLK1 的高态电压，第二时钟信号 CLK2 的低态电压，和起始脉冲 Vst 的低态电压。第一和第三晶体管 NT1 和 NT3 分别通过起始脉冲 Vst 和下一级输出信号 OUT_{i+1} 的低态电压而截止，因此，节点 Q 保持先前的低态。通过起始脉冲 Vst 和节点 Q 的低态电压使所有晶体管 NT5A—NT5D 截止，并通过保持导通 (ON) 状态的晶体管 NT4B 使节点 QB2 保持高态。因此，第二下拉晶体管 NT8B 导通，并施加第三驱动电压 VSS 作为输出信号 OUT_i。此外，通过节点 QB2 处的高态电压，使晶体管 NT6B 导通，以将节点 QB1 保持在低态，同时使晶体管 NT2B 导通，以将节点 Q 固定在低态。

在偶数帧的其余周期，重复进行上述 C 和 D 周期的操作，从而把当前级的输出信号 OUT_i 保持在低态。

如上所述，本发明所述的移位寄存器能够在奇数帧和偶数帧交替地驱动双下拉晶体管 NT8A 和 NT8B，所以最大限度地减小了栅极偏压应力。而且可以在奇数帧和偶数帧交替驱动使节点 QB1 放电的晶体管 NT5A 和 NT5B 以及对节点 QB1 和节点 QB2 充电的晶体管 NT4A 和 NT4B，所以能最大限度地减小栅极偏压应力。此外，将晶体管 NT4A 和 NT4B 按二极管的形式连接到第一和第二驱动电压 VDD1 和 VDD2 的相应馈送线上。如上所述，按二极管的结构连接晶体管 NT4A 和 NT4B，使得在工作帧内将高态电压加载到所有栅极、源极和漏极上，而在空闲帧内将低态电压加载到所有栅极、源极和漏极上，从而可以减少退化。如上所述，本发明提供了一种能最大限度减小偏压应力的结构从而能提高显示板

的寿命。

如上所述，本发明所述的移位寄存器设置了用于使节点 Q 放电的晶体管 NT2A 和 NT2B，用于对节点 QB1 和节点 QB2 充电和使其放电的晶体管 NT4A 和 NT4B，以及上拉晶体管 NT8A 和 NT8B，以便利用不同的晶体管来驱动奇数帧和偶数帧，由此最大限度地减小栅极的偏压应力。
5

此外，本发明所述的移位寄存器按二极管的结构将晶体管 NT4A 和 NT4B 连接到第一和第二驱动电压 VDD1 和 VDD2 的相应馈送线上，因此，在工作帧内将高态电压加载到所有栅极、源极和漏极上，而在空闲帧内将低态电压加载到所有栅极、源极和漏极上，因此可以减小退化。所以，最大限度地减小了偏压
10 应力从而提高了显示板的寿命。

所以，本发明所述的移位寄存器，在采用非晶硅薄膜晶体管时可以防止因栅极偏压应力而导致的电路误动作。

尽管以上通过附图中所示的实施例方式对本发明进行了说明，但是对于本领域的普通技术人员来说，很显然，本发明并不限于这些实施方式，而是可以在不脱离本发明构思的情况下对本发明做出各种变型和改进。因此，本发明的范围仅通过后附的权利要求及其等同物来确定。
15

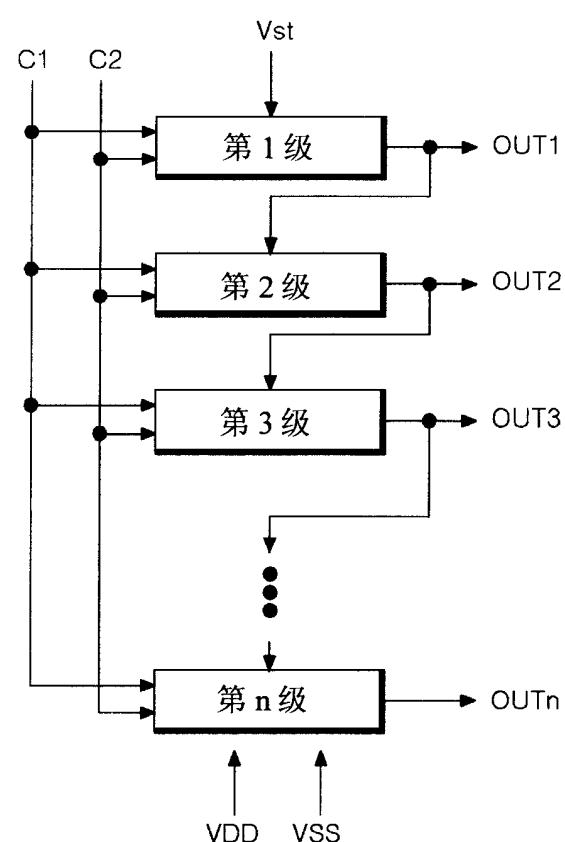


图 1

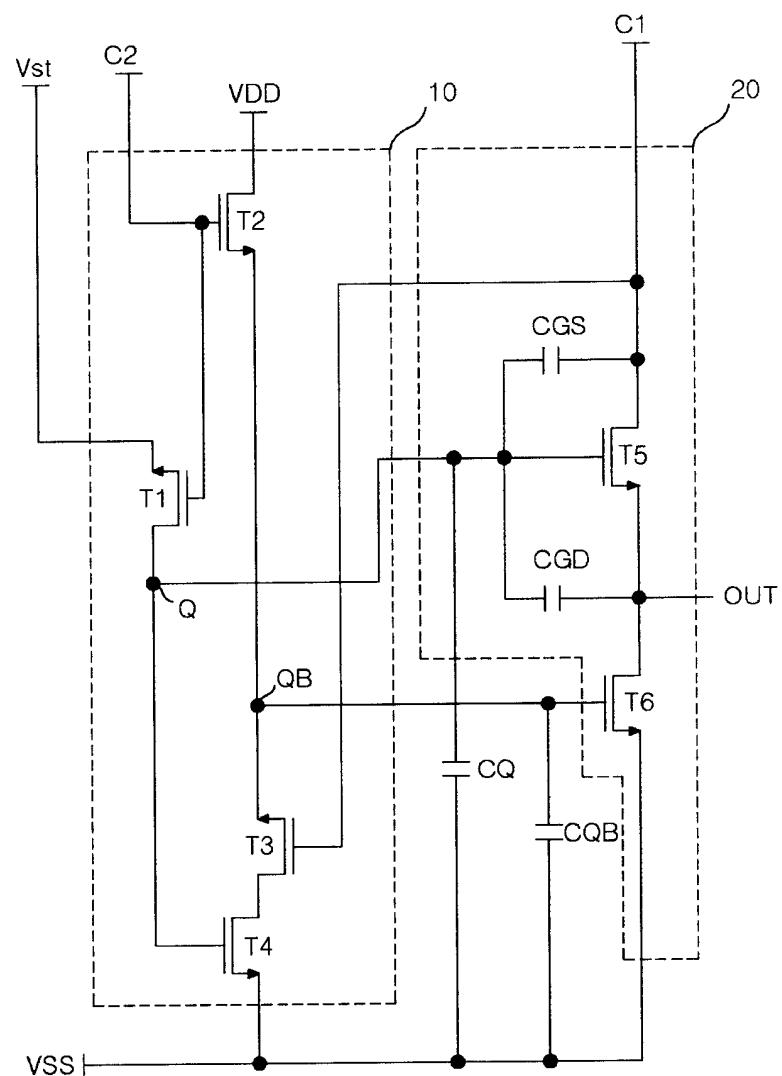


图 2

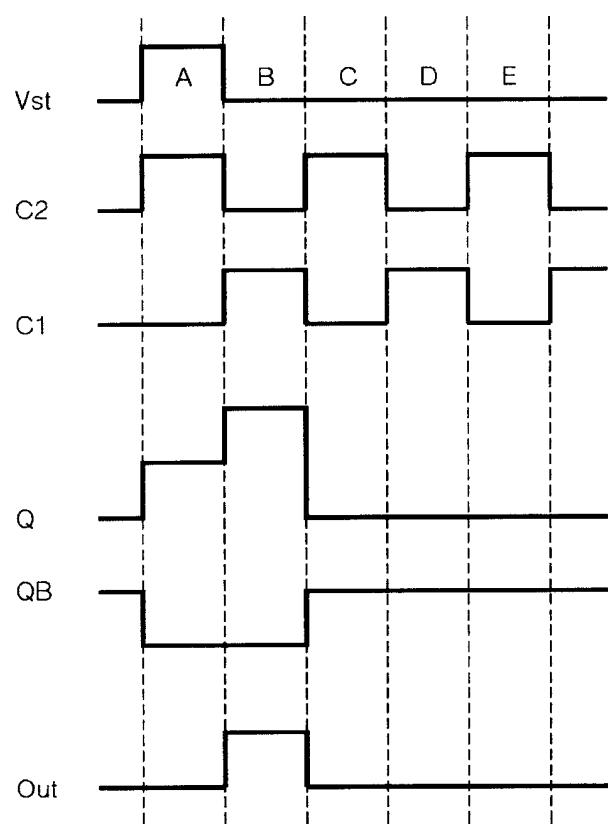
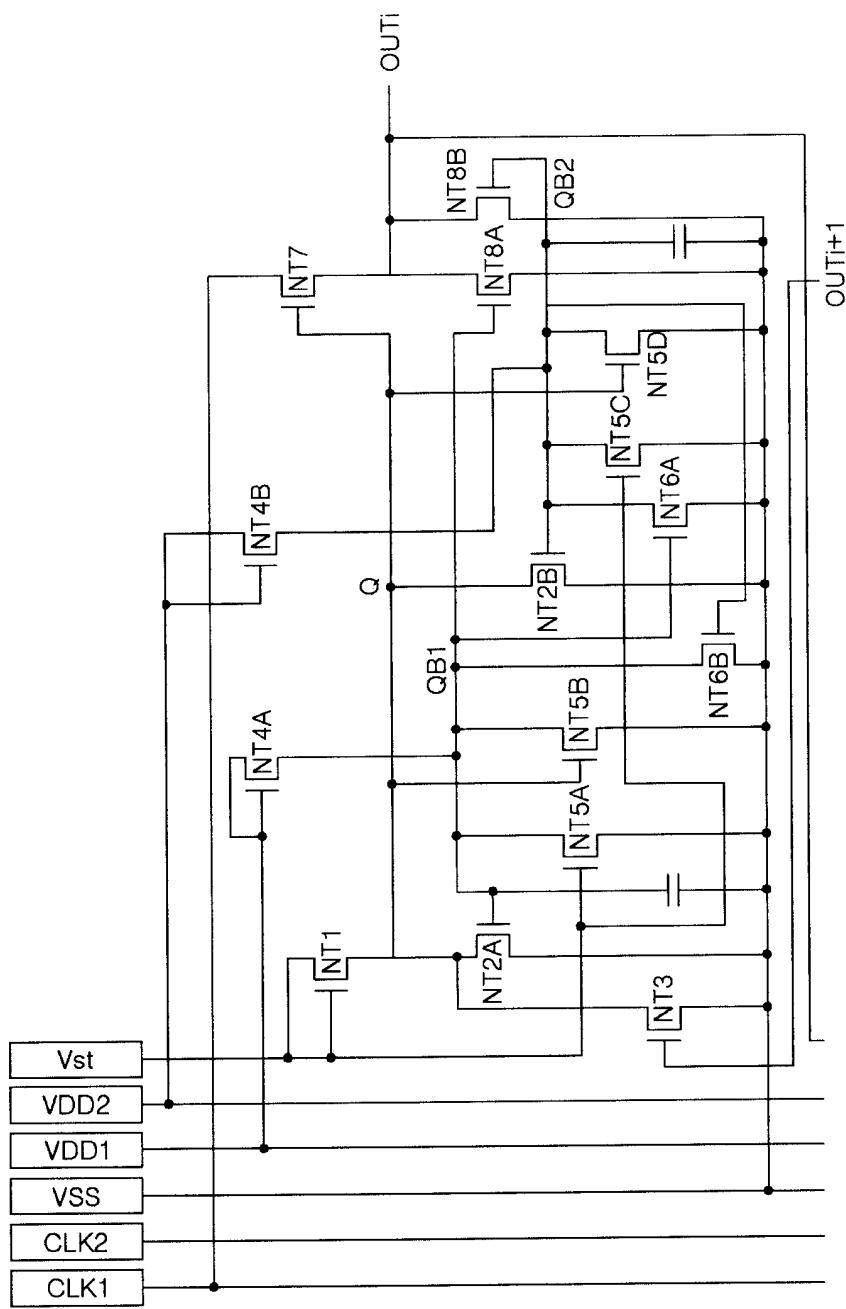


图 3



4

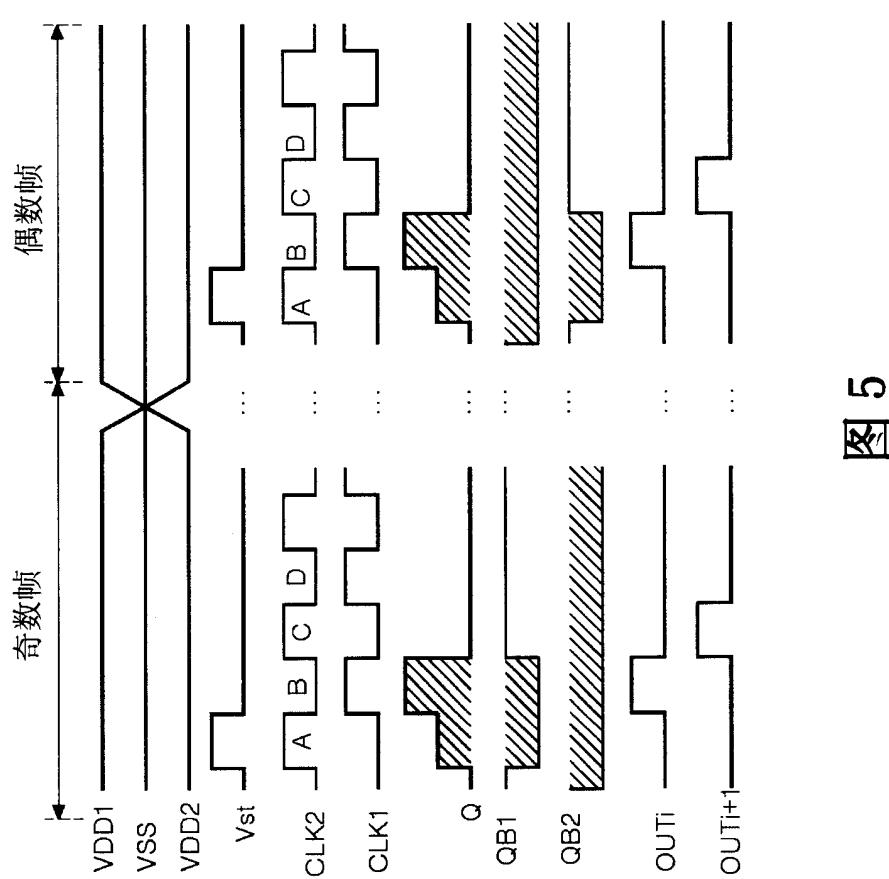


图 5