(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0007367
(43) 공개일자 2021년01월20일

(51) 국제특허분류(Int. Cl.)
H01L 29/16 (2006.01) *C01B 32/194* (2017.01)
H01L 21/02 (2006.01) *H01L 21/285* (2006.01)
(52) CPC특허분류
H01L 29/1606 (2013.01)
C01B 32/194 (2017.08)
(21) 출원번호 10-2019-0083699
(22) 출원일자 2019년07월11일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김지현
서울특별시 성북구 안암로 145, 신공학관 826 (안암동5가, 고려대학교 안암캠퍼스)
이소영
경기도 용인시 수지구 고기로 89(동천동, 동천자이아파트)
(뒷면에 계속)
(74) 대리인
특허법인가산

전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **그래핀-금속 구조체 및 이의 제조 방법**

(57) 요 약

그래핀-금속 구조체 제조 방법이 제공된다. 그래핀-금속 구조체는 그래핀에 표면 처리를 수행하고, 표면 처리된 그래핀 상에 금속층을 형성하되, 표면 처리된 그래핀은 라만 스펙트럼의 G 피크 대비 D 피크의 비율이 2 이상 3 이하일 수 있다.

대 표 도 - 도1



(52) CPC특허분류
H01L 21/02315 (2013.01)
H01L 21/28506 (2013.01)
C01P 2002/82 (2013.01)
H01L 2924/01074 (2013.01)
(72) 발명자
안성주
경기도 성남시 분당구 금곡로 233, 1002동 804호(금곡동, 청솔마을동아아파트)
김장혁
서울특별시 성북구 안암로 145, 신공학관 826 (안암동5가, 고려대학교 안암캠퍼스)
임현석
경기도 수원시 권선구 권선로694번길 26, 103동 403호(권선동, 권선 SK VIEW)

명 세 서

청구범위

청구항 1

그래핀에 표면 처리를 수행하고,

표면 처리된 상기 그래핀 상에 금속층을 형성하되,

표면 처리된 상기 그래핀은 라만 스펙트럼의 G 피크 대비 D 피크의 비율이 2이상 3이하인 그래핀-금속 구조체 제조 방법.

청구항 2

제 1항에 있어서,

상기 그래핀에 표면 처리를 수행하는 것은

상기 그래핀에 자외선을 6분 이상동안 조사하는 것을 포함하는 그래핀-금속 구조체 제조 방법.

청구항 3

제 1항에 있어서,

상기 그래핀에 표면 처리를 수행하는 것은

상기 그래핀에 산소 플라즈마, 암모니아 플라즈마, 질소 플라즈마 및 아르곤 플라즈마 중 적어도 하나를 수행하는 것을 포함하는 그래핀-금속 구조체 제조 방법.

청구항 4

제 1항에 있어서,

상기 금속층은 텅스텐을 포함하는 그래핀-금속 구조체 제조 방법.

청구항 5

제 1항에 있어서,

상기 금속층의 면저항은 74 ohm/sq 이하인 그래핀-금속 구조체 제조 방법.

청구항 6

그래핀;

상기 그래핀 상에 배치된 금속층을 포함하되,

상기 그래핀은 라만 스펙트럼의 G 피크 대비 D 피크의 비율이 2 이상 3 이하인 그래핀-금속 구조체.

청구항 7

제 6항에 있어서,

상기 금속층은 텅스텐을 포함하는 그래핀-금속 구조체.

청구항 8

제 6항에 있어서,

상기 금속층의 면저항은 74 ohm/sq 이하인 그래핀-금속 구조체.

청구항 9

기판;

상기 기판 상에 배치된 배리어층;

상기 배리어층 상에 배치된 금속층을 포함하되,

상기 배리어층은 그래핀을 포함하고,

상기 그래핀은 라만 스펙트럼의 G 피크 대비 D 피크의 비율이 2이상 3이하인 반도체 장치.

청구항 10

제 9항에 있어서,

상기 금속층은 텅스텐을 포함하고,

상기 금속층의 면저항은 74 ohm/sq 이하인 반도체 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 그래핀-금속 구조체 및 이의 제조 방법에 관한 것이다.

배 경 기 술

[0002] 그래핀은 탄소 원자들로 이루어진 육방정계 구조물로서, 그래핀의 각 탄소 원자들은 주변 원자들과 강한 공유결합으로 연결되어 있다. 그래핀의 각 탄소 원자들은 한 개의 미 결합 전자들을 가지고 있어, 상온에서 구리보다 단위면적당 100배 큰 108 A/cm^2의 전류 밀도를 가진다. 또한, 그래핀은 높은 열전도성을 가지며, 강철보다 큰 기계적 강도를 가지고, 신축성을 가진다. 따라서, 그래핀은 플렉시블 디스플레이(flexible display) 또는 웨어러블 디스플레이(wearable display) 등과 같은 기술에 적용될 수 있을 것으로 기대된다.

[0003] 한편, 텅스텐, 구리, 알루미늄 등과 같은 금속들은 그 폭이 나노 수준으로 감소함에 따라 저항이 급격하게 증가하게 된다. 금속은 그래핀과 접촉될 경우, 금속의 전기 전도도 또는 열전도도가 향상될 수 있다. 따라서, 그래핀과 금속 복합물은 반도체 제작 공정에서 금속의 특성 향상 등을 위해 사용될 수 있으며, 나노 단위의 금속의 전기 전도도 또는 열전도도를 향상시키기 위한 연구가 활발히 진행되고 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 해결하고자 하는 기술적 과제는 그래핀 상에 얇은 금속층을 증착 하더라도, 그래핀과 금속층의 열전달계수의 차이 등으로 인한 금속층의 열전도도 및 전기 전도도가 저해되지 않고, 금속층의 전기 전도도가 개선된 그래핀-금속 구조체 제조 방법을 제공하는 것이다.

[0005] 본 발명이 해결하고자 하는 다른 기술적 과제는 그래핀 상에 얇은 금속층을 증착 하더라도, 그래핀과 금속층의 열전달계수의 차이 등으로 인한 금속층의 열전도도 및 전기 전도도가 저해되지 않고, 금속층의 전기 전도도가 개선된 그래핀-금속 구조체를 제공하는 것이다.

[0006] 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0007] 상기 기술적 과제를 달성하기 위한 본 발명의 몇몇 실시예들에 따른 그래핀-금속 구조체 제조 방법은 그래핀에 표면 처리를 수행하고, 표면 처리된 그래핀 상에 금속층을 형성하는 것을 포함하고, 표면 처리된 그래핀은 라만 스펙트럼의 G 피크 대비 D 피크의 비율이 2 이상 3 이하일 수 있다.

[0008] 상기 기술적 과제를 달성하기 위한 본 발명의 몇몇 실시예들에 따른 그래핀-금속 구조체는 그래핀, 그래핀 상에 배치된 금속층을 포함하고, 그래핀은 라만 스펙트럼의 G 피크 대비 D 피크의 비율이 2 이상 3 이하일 수 있다.

[0009] 상기 기술적 과제를 달성하기 위한 본 발명의 몇몇 실시예들에 따른 반도체 장치는 기판, 기판 상에 배치된 배리어층, 배리어층 상에 배치된 금속층을 포함하고, 배리어층은 그래핀을 포함하고, 그래핀은 라만 스펙트럼의 G 피크 대비 D 피크의 비율이 2 이상 3 이하일 수 있다.

[0010] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

도면의 간단한 설명

[0011] 도 1은 본 발명의 몇몇 실시예들에 따른 그래핀-금속 구조체를 설명하기 위한 도면이다.

도 2는 본 발명의 몇몇 실시예들에 따른 그래핀-금속 구조체의 제조 방법을 설명하기 위한 흐름도이다.

도 3은 본 발명의 몇몇 실시예들에 따라 자외선이 조사된 그래핀의 라만 스펙트럼을 나타내는 도면이다.

도 4는 본 발명의 몇몇 실시예들에 따라 자외선이 조사된 그래핀의 라만 스펙트럼을 나타내는 도면이다.

도 5는 본 발명의 몇몇 실시예들에 따른 그래핀-금속 구조체의 표면을 나타내는 도면이다.

도 6은 본 발명의 몇몇 실시예들에 따른 표면 처리가 수행된 그래핀 상에 형성된 금속층의 SEM 이미지이다.

도 7은 본 발명의 몇몇 실시예들에 따른 그래핀-금속 구조체의 면저항을 나타내는 도면이다.

도 8은 본 발명의 몇몇 실시예들에 따른 반도체 장치를 나타내는 도면이다.

도 9를 본 발명의 몇몇 실시예들에 따른 그래핀-금속 구조체가 적용된 반도체 장치를 도시한 도면이다.

도 10은 본 발명의 몇몇 실시예들에 따른 그래핀-금속 구조체가 적용된 반도체 장치를 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0012] 도 1은 본 발명의 몇몇 실시예들에 따른 그래핀-금속 구조체를 설명하기 위한 도면이다.

[0013] 도 1을 참고하면, 본 발명의 몇몇 실시예들에 따른 그래핀-금속 구조체는 그래핀(30)과 금속층(40)을 포함할 수 있다.

[0014] 그래핀(30)은 결함을 포함할 수 있다. 그래핀(30)의 결함은 그래핀(30)의 sp^2 탄소 결합이 끊긴 것을 포함할 수 있다.

[0015] 그래핀(30)의 두께는 0.34nm 일 수 있고, 또는 그 이상의 두께를 가질 수 있다.

[0016] 본 발명의 몇몇 실시예들에 따른 그래핀(30)은 라만 스펙트럼의 G 피크 대비 D 피크의 비율이 2 이상 3 이하 일 수 있다.

[0017] 그래핀(30) 상에는 금속층(40)이 배치될 수 있다.

[0018] 본 발명의 몇몇 실시예들에 따른 금속층(40)은 텅스텐(W)을 포함할 수 있다.

[0019] 금속층(40)은 예를 들어, 알루미늄(Al), 구리(Cu), 코발트(Co), 티타늄(Ti), 탄탈륨(Ta), 니켈(Ni), 백금(Pt), 망간(Mn), 크롬(Cr), 은(Au), 금(Ag) 등 중 적어도 하나를 포함할 수 있지만, 이에 한정되는 것은 아니다.

[0020] 본 발명의 몇몇 실시예들에 따른 그래핀-금속 구조체는 74 ohm/sq 이하의 면저항을 가질 수 있다.

[0021] 도 2는 본 발명의 몇몇 실시예들에 따른 그래핀-금속 구조체의 제조 방법을 설명하기 위한 흐름도이다.

[0022] 도 2를 참고하면, 그래핀이 제공될 수 있다(S100).

[0023] 제공된 그래핀은 표면 처리가 수행될 수 있다(S200).

[0024] 본 발명의 몇몇 실시예들에 따른 표면 처리는 그래핀에 결함을 생성하는 것을 의미할 수 있다.

[0025] 그래핀에 생성된 결함은 그래핀의 sp^2 탄소 결합이 끊긴 것을 포함할 수 있다. 즉, 그래핀에 생성된 결함은 sp^3 탄소(C)원자를 포함할 수 있다.

[0026] 그래핀에 생성되는 결함의 정도는 추후 S300 단계에서 그래핀 상에 증착 되는 금속층에 따라 달라질 수 있다. 즉, 그래핀에 표면 처리를 수행하는 것은 그래핀 상에 증착 되는 금속층에 따라 조절될 수 있다.

[0027] 본 발명의 몇몇 실시예들에 따른 그래핀에 표면 처리를 수행하는 것은 그래핀에 자외선을 조사하는 것을 포함할 수 있다.

[0028] 그래핀에 자외선을 조사하여 그래핀에 표면 처리를 수행하는 것은 자외선을 조사하는 시간 또는 자외선을 조사하는 환경의 온도 등에 의해 조절될 수 있다.

[0029] 본 발명의 몇몇 실시예들에 따른 그래핀에 표면 처리를 수행하는 것은 그래핀에 플라즈마 처리를 수행하는 것을 포함할 수 있다.

[0030] 그래핀에 플라즈마 처리를 수행하는 것은 예를 들어, 산소 플라즈마 처리, 암모니아 플라즈마 처리, 질소 플라즈마 처리, 아르곤 플라즈마 처리 중 적어도 하나를 수행하는 것을 포함할 수 있다.

[0031] 그래핀에 플라즈마 처리를 하여 그래핀에 표면 처리를 수행하는 것은 플라즈마 처리 시 사용되는 기체의 농도, 플라즈마 처리 시간 등에 의해 조절될 수 있다.

[0032] 예를 들어, 그래핀에 산소 플라즈마 처리를 하여 그래핀에 표면 처리를 수행하는 경우, 산소의 농도를 통해 그래핀에 표면 처리를 수행하는 것을 조절할 수 있다. 즉, 산소 농도를 조절하여 그래핀에 생성되는 결함의 정도를 조절할 수 있다.

[0033] 그래핀에 플라즈마를 처리하는 플라즈마 처리 장치는 예를 들어, 용량 결합형 플라즈마(CCP, Capacitively Coupled Plasma), 유도 결합형 플라즈마(ICP, Inductively Coupled Plasma), 헬리콘(Helicon) 플라즈마, 마이크로파(Microwave) 플라즈마 등을 이용할 수 있다.

[0034] 그래핀에 플라즈마 처리하는 것은 플라즈마 처리 장치의 파워에 의해 조절될 수 있다.

[0035] 예를 들어, 플라즈마 처리 장치의 파워를 조절하여 그래핀에 생성되는 결함의 정도를 조절할 수 있다.

[0036] 금속층이 표면 처리된 그래핀 상에 형성될 수 있다(S300).

[0037] 금속층은 그래핀 상에 금속을 증착 하여 형성될 수 있다. 예를 들어, 금속층은 스퍼터링(sputtering), 물리 기상 증착법(Physical Vapor Deposition, PVD), 화학 기상 증착법(Chemical Vapor Deposition, CVD) 또는 원자층 증착법(Atomic Layer Deposition, ALD)에 의해 형성될 수 있다.

[0038] 금속층은 수 nm에서 수백 nm의 두께로 그래핀 상에 증착 될 수 있다.

[0039] 도 3은 본 발명의 몇몇 실시예들에 따라 자외선이 조사된 그래핀의 라만 스펙트럼을 나타내는 도면이다.

[0040] 라만 스펙트럼에서 2D 피크는 그래핀의 두께를 측정하는데 사용될 수 있다. 일반적으로 그래핀은 2700/cm 부근에서 2D 피크가 발견될 수 있다.

[0041] 라만 스펙트럼에서 G 피크는 흑연계 물질에서 공통적으로 발견되는 피크를 나타낼 수 있다. G 피크는 인접하는 탄소 원자가 서로 반대 방향으로 동하는 모드에서 기인할 수 있다. 일반적으로 그래핀은 약 1580/cm 부근에서 G 피크가 발견될 수 있다.

[0042] 라만 스펙트럼에서 D 피크는 결정 내의 결함에 의한 피크를 나타낼 수 있다. D 피크는 그래핀의 가장 자리 부근이나 그래핀에 결함이 많은 경우에 관찰될 수 있다.

[0043] D 피크의 강도(intensity)가 클수록, 그래핀 내에 결함이 많다고 판단할 수 있다. 일반적으로 그래핀은 약 1340/cm 부근에서 D 피크가 발견될 수 있다.

[0044] 라만 스펙트럼에서 D 피크의 강도는 상대적인 값에 해당할 수 있다. 따라서, 그래핀의 결함 수준은 G 피크의 강도에 대한 D 피크의 강도의 비율로 판단될 수 있다.

[0045] 도 3은 본 발명의 몇몇 실시예들에 따라 2 분, 4 분, 6 분, 8 분, 10 분 및 12분 동안 자외선을 조사한 그래핀의 라만 스펙트럼을 나타내는 도면이다. 도 3을 참고하면, 본 발명의 몇몇 실시예들에 따른 표면 처리를 수행하지 않은 그래핀(Pristine graphene)은 약 1340/cm 부근에서 약한 D 피크가 나타난다. 표면 처리를 수행하지 않은 그래핀의 D 피크의 강도는 거의 없다고 볼 수 있을 정도로 작은 값을 가진다.

[0046] 그래핀에 자외선을 조사하는 시간이 증가할수록, D 피크의 강도가 증가할 수 있다. 따라서, 그래핀에 자외선을 조사할수록, 그래핀에 결함이 많이 생성될 수 있다.

[0047] 도 4는 본 발명의 몇몇 실시예들에 따라 자외선이 조사된 그래핀의 라만 스펙트럼을 나타내는 도면이다.

[0048] 도 4a는 도 3에 도시된 자외선이 조사된 그래핀의 라만 스펙트럼에서 G 피크 대비 D 피크의 비율과 G 피크 대비 2D 피크의 비율을 나타내는 도면이다.

[0049] 도 4a를 참고하면, 그래핀에 자외선을 조사하는 시간이 길어질수록 G 피크 대비 2D 피크의 비율이 증가할 수 있다. 그래핀에 자외선을 조사하는 시간이 길어질수록 G 피크 대비 2D 피크의 비율이 감소할 수 있다. 즉, 그래핀에 자외선을 조사함에 따라 그래핀에 결함이 생성됨을 의미할 수 있다.

[0050] 본 발명의 몇몇 실시예들에 따른 그래핀은 G 피크 대비 D 피크의 비율이 2 이상이고 3 이하일 수 있다.

[0051] 도 4b는 도 3에 도시된 자외선이 조사된 그래핀의 라만 스펙트럼에서 D 피크의 시프트와 2D 피크의 시프트를 나타내는 도면이다.

[0052] 도 4b를 참고하면, 그래핀에 자외선을 조사한 시간이 길어질수록 D 피크가 음의 방향으로 시프트될 수 있다. 또한, 그래핀에 자외선을 조사한 시간이 길어질수록 2D 피크가 음의 방향으로 시프트될 수 있다. 즉, 그래핀에 자외선을 조사함에 따라 그래핀에 결함이 생성됨을 의미할 수 있다.

[0053] 도 5는 본 발명의 몇몇 실시예들에 따른 그래핀-금속 구조체의 표면을 나타내는 도면이다.

[0054] 도 5는 본 발명의 몇몇 실시예들에 따라 표면 처리가 수행된 그래핀 상에 형성된 금속층의 광학 현미경 이미지이다. 여기서, 금속층은 텅스텐을 포함할 수 있다.

[0055] 도 5를 참고하면, 그래핀에 자외선을 조사하지 않은 경우(UV 0min), 그래핀의 표면에는 다수의 검정색 점 부분이 형성되어 있다. 즉, 금속층의 표면에는 다수의 크랙(crack)이 형성되어 있음을 의미할 수 있다.

[0056] 금속층의 크랙은 그래핀 상에 금속층을 증착 하는 과정에서 형성될 수 있다. 그래핀과 금속층의 열 팽창 계수가 상이하므로, 금속층에 인장 스트레스가 발생할 수 있다. 이로 인해, 금속층의 표면에 크랙이 형성될 수 있다.

[0057] 금속층의 크랙은 금속층의 열 팽창 계수가 그래핀의 열 팽창 계수와 차이가 클수록 많이 형성될 수 있다. 금속층의 크랙은 금속층의 두께가 얇을수록 더 많이 형성될 수 있다.

[0058] 금속층의 특성은 금속층에 형성된 크랙에 의해 저해될 수 있다. 금속층의 크랙으로 인해, 금속층의 열전도도 또는 전기 전도도 등이 감소할 수 있다. 또한, 금속층의 크랙으로 인해, 금속층의 면저항이 증가할 수 있다.

[0059] 도 5를 참고하면, 그래핀에 자외선을 조사하는 시간이 증가함에 따라 금속층의 표면에 형성되는 크랙이 감소할 수 있다. 따라서, 본 발명의 몇몇 실시예들에 따른 그래핀-금속 구조체는 금속층에 형성되는 크랙이 감소할 수 있다.

[0060] 도 6은 본 발명의 몇몇 실시예들에 따른 표면 처리가 수행된 그래핀 상에 형성된 금속층의 SEM 이미지이다.

[0061] 도 6에서 하측의 SEM 이미지는 상측의 SEM 이미지와 금속층의 다른 부분의 SEM 이미지이다. 여기서, 금속층은 텅스텐을 포함할 수 있다.

[0062] 도 6을 참고하면, 그래핀에 자외선을 조사하지 않은 경우(UV 0min), 그래핀의 표면에는 다수의 크랙(crack)이 형성되어 있다. 그래핀에 자외선을 조사함에 따라 금속층의 표면에 형성되는 크랙이 감소할 수 있다.

[0063] 도 7은 본 발명의 몇몇 실시예들에 따른 그래핀-금속 구조체의 면저항을 나타내는 도면이다. 여기서, 금속층은 텅스텐을 포함할 수 있다.

[0064] X 축은 그래핀에 자외선을 조사한 시간을 의미한다. Y 축은 자외선이 조사된 그래핀 상에 형성된 금속층의 면저항을 의미한다.

[0065] 도 7을 참고하면, 그래핀에 자외선을 조사하지 않은 경우, 금속층의 면저항은 약 79.5 ohm/sq이다. 그래핀에 자외선을 6분 조사한 경우, 금속층의 면저항은 급격히 감소한다.

[0066] 그래핀에 자외선을 10분 조사한 경우, 금속층의 면저항은 약 70 ohm/sq 일 수 있다. 그래핀에 자외선을 10분 조사한 경우, 금속층의 면저항은 약 10% 감소할 수 있다.

[0067] 도 8은 본 발명의 몇몇 실시예들에 따른 반도체 장치를 나타내는 도면이다.

[0068] 도 8을 참고하면, 반도체 장치는 기판(10), 배리어층(20) 및 금속층(30)을 포함할 수 있다.

[0069] 기판(10)은 예를 들어, 실리콘(Si) 으로 이루어질 수 있다.

[0070] 기판(10) 상에 금속층(30)이 배치될 수 있다.

[0071] 금속층(30)은 예를 들어, 금속층(20)은 알루미늄(Al), 구리(Cu), 코발트(Co), 티타늄(Ti), 탄탈륨(Ta), 니켈(Ni), 백금(Pt), 망간(Mn), 크롬(Cr), 은(Au), 금(Ag) 등 중 적어도 하나를 포함할 수 있다.

[0072] 배리어층(20)은 기판(10)과 금속층(30)의 사이에 배치될 수 있다.

[0073] 금속층(30)에 포함된 금속은 기판(10)으로 쉽게 확산될 수 있다. 따라서, 배리어층(20)이 기판(10)과 금속층(30) 사이에 배치됨으로써, 기판(10)의 신뢰성을 유지할 수 있다.

[0074] 배리어층(20)은 본 발명의 몇몇 실시예들에 따라 표면 처리가 수행된 그래핀을 포함할 수 있다.

[0075] 배리어층(20)은 라만 스펙트럼의 G 피크 대비 D 피크의 비율이 2 이상 3 이하일 수 있다.

[0076] 도 9를 본 발명의 몇몇 실시예들에 따른 그래핀-금속 구조체가 적용된 반도체 장치를 도시한 도면이다.

[0077] 도 9를 참고하면, 반도체 장치는 기판(100), 제1 절연층(200), 제1 배선층(220), 제2 절연층(310), 제2 배선층(320)을 포함할 수 있다.

[0078] 기판(100)은 예를 들어, 실리콘 기판, 갈륨 비소 기판, 실리콘 게르마늄 기판, 세라믹 기판, 석영 기판, 또는 디스플레이용 유리 기판 등일 수도 있고, SOI(Semiconductor On Insulator) 기판일 수도 있다.

[0079] 또한, 도시되지 않았지만, 기판(100)은 도전성 패턴을 포함할 수 있다. 도전성 패턴은 금속 배선 또는 컨택 등일 수도 있고, 트랜지스터의 게이트 전극, 트랜지스터의 소오스/드레인, 또는 다이오드 등일 수 있다.

[0080] 제1 절연층(200)은 기판(100) 상에 배치될 수 있다.

[0081] 제1 절연층(200)은 예를 들어, 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 및 저유전율 물질 중 적어도 하나를 포함할 수 있다. 제1 층간 절연막(200)은 배선 사이의 커플링 현상을 경감시키기 위해 저유전율 물질을 포함할 수 있다.

[0082] 제1 배선층(220)은 제1 절연층(200) 내에 형성된 트렌치에 배치될 수 있다.

[0083] 제1 배선층(220)은 텅스텐(W), 구리(Cu), 은(Ag), 코발트(Co), 탄탈륨(Ta), 인듐(In), 주석(Sn), 아연(Zn), 망간(Mn), 티타늄(Ti), 마그네슘(Mg), 크롬(Cr), 게르마늄(Ge), 스트론튬(Sr), 백금(Pt), 마그네슘(Mg), 알루미늄(Al) 또는 지르코늄(Zr) 중 적어도 하나를 포함할 수도 있다.

[0084] 제1 배리어층(210)은 제1 배선층(220)과 제1 절연층(200) 사이에 배치될 수 있다. 제1 배리어층(210)은 제1 배선층(220)의 측면 및 바닥면을 따라서 배치될 수 있다.

[0085] 제1 배리어층(210)은 제1 배선층(220)에 포함된 금속이 제1 절연층(200) 등으로 확산되는 것을 방지할 수 있다. 제1 배리어층(210)은 제1 절연층(200)에 포함된 산소가 제1 배선층(220)으로 확산되는 것을 방지할 수 있다.

[0086] 제1 배선층(220)과 제1 배리어층(210)은 본 발명의 몇몇 실시예들에 따른 그래핀-금속 구조체를 포함할 수 있다.

[0087] 제1 배리어층(210)은 본 발명의 몇몇 실시예들에 따른 그래핀을 포함할 수 있다. 제1 배리어층(210)은 표면 처리가 수행된 그래핀을 포함할 수 있다.

[0088] 제1 배리어층(210)은 6분 이상동안 자외선이 조사하여 표면 처리된 그래핀을 포함할 수 있다.

[0089] 제1 배리어층(210)은 산소 플라즈마, 암모니아 플라즈마, 질소 플라즈마 및 아르곤 플라즈마 중 적어도 하나를 수행하여 표면 처리된 그래핀을 포함할 수 있다.

[0090] 캡핑막(300)이 제1 배선층(220)의 상면을 전체적으로 덮을 수 있다. 또 다른 몇몇 실시예에서, 캡핑막(300)은 제1 배선층(220)의 상면의 일부만을 덮도록 형성될 수도 있다.

[0091] 캡핑막(300)은 예를 들어, 코발트(Co), 루테늄(Ru) 및 망간(Mn) 중 적어도 하나를 포함할 수 있다.

[0092] 제2 절연층(310)은 제1 배선층(220)과 제1 절연층(200) 상에 배치될 수 있다.

[0093] 제2 배선층(320)은 제2 절연층(310) 내에 형성된 트렌치에 배치될 수 있다. 제2 배선층(320)은 제1 배선층(220) 상에 배치될 수 있다.

[0094] 제2 배선층(320)은 텅스텐(W), 구리(Cu), 은(Ag), 코발트(Co), 탄탈륨(Ta), 인듐(In), 주석(Sn), 아연(Zn), 망

간(Mn), 티타늄(Ti), 마그네슘(Mg), 크롬(Cr), 게르마늄(Ge), 스트론튬(Sr), 백금(Pt), 마그네슘(Mg), 알루미늄(Al) 또는 지르코늄(Zr) 중 적어도 하나를 포함할 수도 있다.

[0095] 제2 배리어층(330)은 제2 배선층(320)과 제2 절연층(310) 사이에 배치될 수 있다. 제2 배리어층(330)은 제2 배선층(320)의 측면 및 바닥면을 따라서 배치될 수 있다.

[0096] 제2 배선층(320)과 제2 배리어층(330)은 본 발명의 몇몇 실시예들에 따른 그래핀-금속 구조체를 포함할 수 있다.

[0097] 제2 배리어층(330)은 본 발명의 몇몇 실시예들에 따른 그래핀을 포함할 수 있다. 제2 배리어층(330)은 표면 처리가 수행된 그래핀을 포함할 수 있다.

[0098] 제2 배리어층(330)은 6분 이상동안 자외선이 조사하여 표면 처리된 그래핀을 포함할 수 있다.

[0099] 제2 배리어층(330)은 산소 플라즈마, 암모니아 플라즈마, 질소 플라즈마 및 아르곤 플라즈마 중 적어도 하나를 수행하여 표면 처리된 그래핀을 포함할 수 있다.

[0100] 도 10은 본 발명의 몇몇 실시예들에 따른 그래핀-금속 구조체가 적용된 반도체 장치를 도시한 도면이다.

[0101] 도 10을 참고하면, 본 발명의 몇몇 실시예들에 따른 반도체 장치는 기판(400), 소오스/드레인 영역(410), 게이트 전극(420) 및 연결 컨택(460)을 포함할 수 있다.

[0102] 소오스/드레인 영역(410)은 기판(400) 내에 배치될 수 있다.

[0103] 절연층은 기판(400) 상에 배치될 수 있다. 절연층은 실리콘 산화물 또는 실리콘 질화물 등을 포함할 수 있다.

[0104] 게이트 전극(420)은 이격된 소오스/드레인 영역(410)의 사이에 배치될 수 있다.

[0105] 게이트 전극(420)은 도전성이 우수한 금속을 포함할 수 있다. 예를 들어, 게이트 전극(420)은 탄탈륨(Ta), 탄탈륨 질화물(TaN), 티타늄(Ti), 티타늄 질화물(TiN), 텅스텐 질화물(WN), 텅스텐 탄질화물(WCN), 텅스텐(W), 코발트(Co), 루테늄(Ru), 몰리브덴(Mo), 니켈(Ni), 알루미늄(Al), 구리(Cu) 등을 포함할 수 있다.

[0106] 게이트 배리어층(430)은 게이트 전극(420)의 측면과 바닥면을 따라 배치될 수 있다.

[0107] 게이트 전극(420)의 측면에는 게이트 스페이서(440)가 배치될 수 있다. 게이트 스페이서(440)는 게이트 전극(420)의 측면을 보호할 수 있다.

[0108] 게이트 전극(420)의 상면에는 캡핑막(450)을 포함할 수 있다. 캡핑막(450)은 예를 들어, 실리콘 산화물(SiO2), 실리콘 질화물(SiN), 실리콘 산질화물(SiON), 실리콘 탄질화물(SiCN) 및 실리콘 산탄질화물(SiOCN) 중 적어도 하나를 포함할 수 있다.

[0109] 게이트 전극(420)과 게이트 배리어층(430)은 본 발명의 몇몇 실시예들에 따른 그래핀-금속 구조체를 포함할 수 있다.

[0110] 게이트 배리어층(430)은 본 발명의 몇몇 실시예들에 따른 그래핀을 포함할 수 있다. 게이트 배리어층(430)은 표면 처리가 수행된 그래핀을 포함할 수 있다.

[0111] 게이트 배리어층(430)은 6분 이상동안 자외선이 조사하여 표면 처리된 그래핀을 포함할 수 있다.

[0112] 게이트 배리어층(430)은 산소 플라즈마, 암모니아 플라즈마, 질소 플라즈마 및 아르곤 플라즈마 중 적어도 하나를 수행하여 표면 처리된 그래핀을 포함할 수 있다.

[0113] 연결 컨택(460)은 소오스/드레인 영역(410) 상에 배치될 수 있다. 연결 컨택(460)은 소오스/드레인 영역(410)과 접촉할 수 있다.

[0114] 연결 컨택(460)은 금속을 포함할 수 있다. 예를 들어, 탄탈륨(Ta), 탄탈륨 질화물(TaN), 티타늄(Ti), 티타늄 질화물(TiN), 텅스텐 질화물(WN), 텅스텐 탄질화물(WCN), 텅스텐(W), 코발트(Co), 루테늄(Ru), 몰리브덴(Mo), 니켈(Ni), 알루미늄(Al), 구리(Cu) 등을 포함할 수 있다.

[0115] 배리어층(470)은 연결 컨택(460)의 측면 및 바닥면을 따라 배치될 수 있다.

[0116] 연결 컨택(460)과 배리어층(470)은 본 발명의 몇몇 실시예들에 따른 그래핀-금속 구조체를 포함할 수 있다.

[0117] 배리어층(470)은 본 발명의 몇몇 실시예들에 따른 그래핀을 포함할 수 있다. 배리어층(470)은 표면 처리가 수행

된 그래핀을 포함할 수 있다.

[0118] 배리어층(470)은 6분 이상동안 자외선이 조사하여 표면 처리된 그래핀을 포함할 수 있다.

[0119] 배리어층(470)은 산소 플라즈마, 암모니아 플라즈마, 질소 플라즈마 및 아르곤 플라즈마 중 적어도 하나를 수행하여 표면 처리된 그래핀을 포함할 수 있다.

[0120] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였으나, 본 발명은 상기 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 제조될 수 있으며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

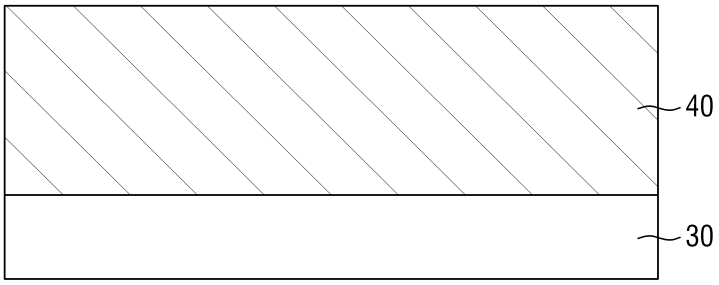
부호의 설명

[0121] 10: 기판 20: 배리어층

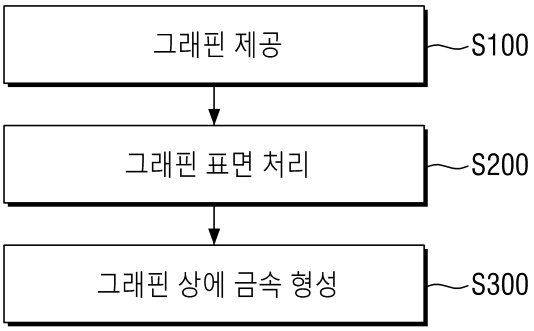
30: 그래핀 40: 금속층

도면

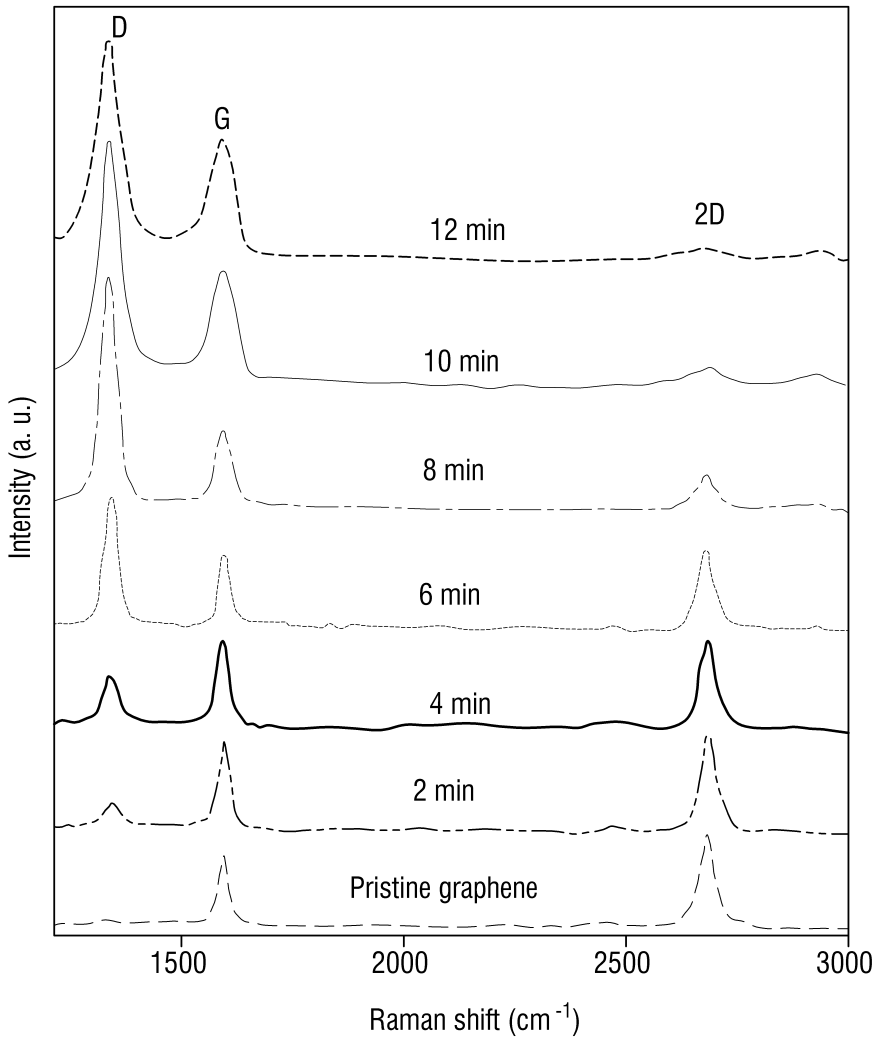
도면1



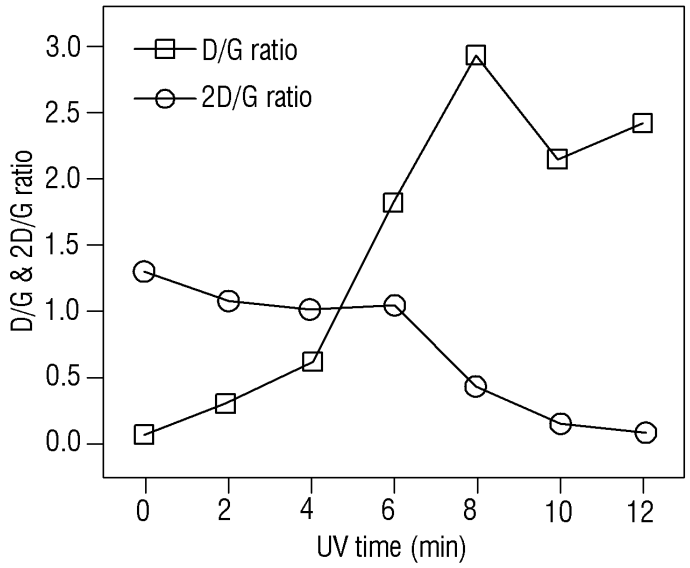
도면2



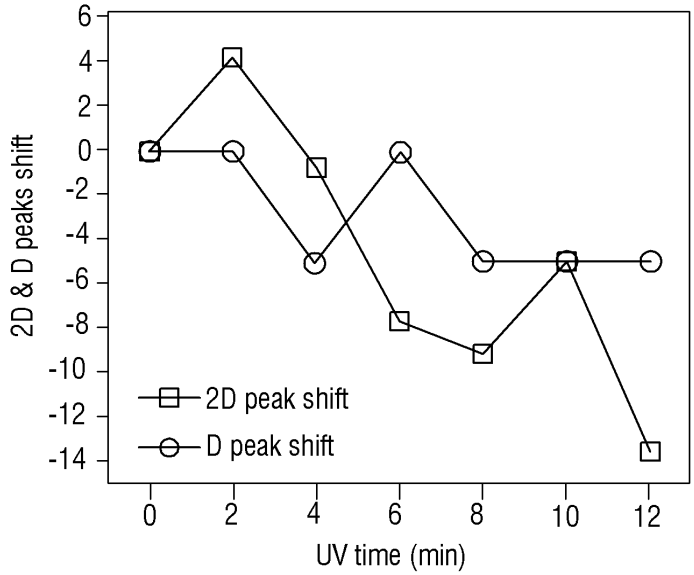
도면3


D
G
2D
12 min
10 min
8 min
6 min
4 min
2 min
Pristine graphene
Intensity (a. u.)
1500
2000
2500
3000
Raman shift (cm -1)

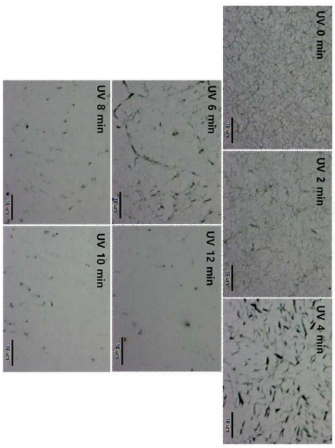
도면4a


D/G ratio
2D/G ratio
D/G & 2D/G ratio
3.0
2.5
2.0
1.5
1.0
0.5
0.0
0
2
4
6
8
10
12
UV time (min)

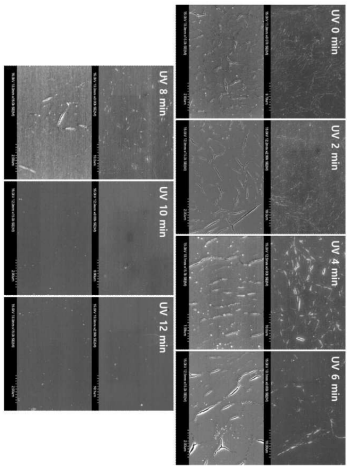
도면4b


2D & D peaks shift
6
4
2
0
-2
-4
-6
-8
-10
-12
-14
2D peak shift
D peak shift
0
2
4
6
8
10
12
UV time (min)

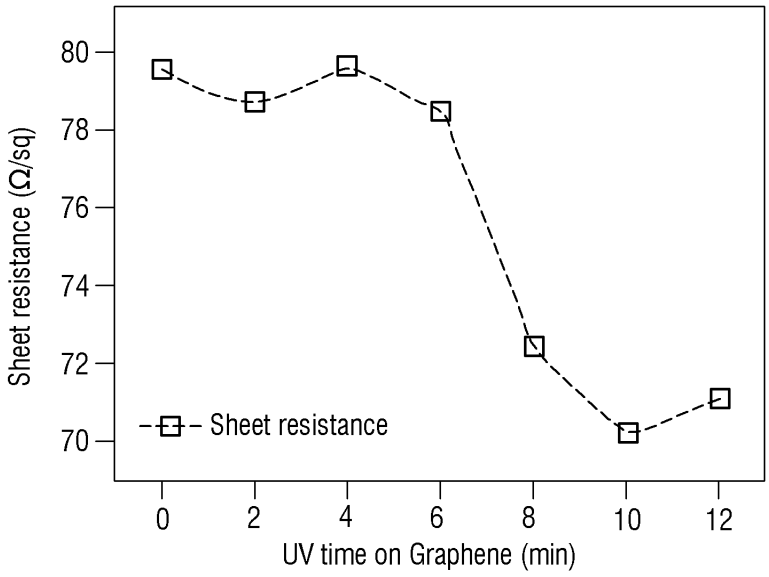
도면5


UV 0 min
UV 2 min
UV 4 min
UV 6 min
UV 8 min
UV 10 min
UV 12 min

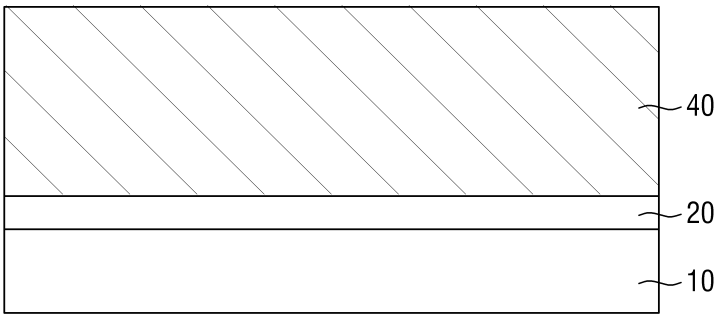
도면6


UV 0 min
UV 2 min
UV 4 min
UV 6 min
UV 8 min
UV 10 min
UV 12 min

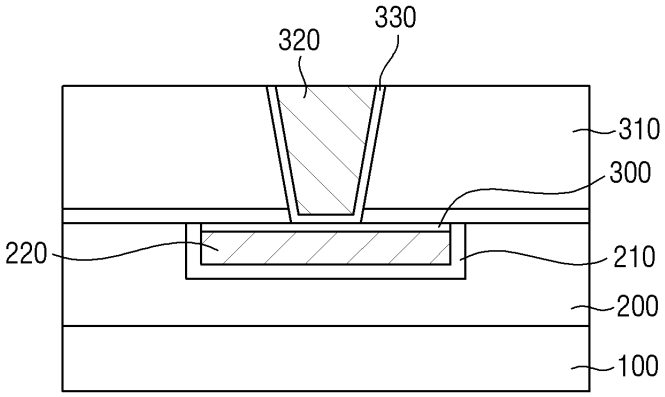
도면7


Sheet resistance (Ω/sq)
80
78
76
74
72
70
Sheet resistance
0
2
4
6
8
10
12
UV time on Graphene (min)

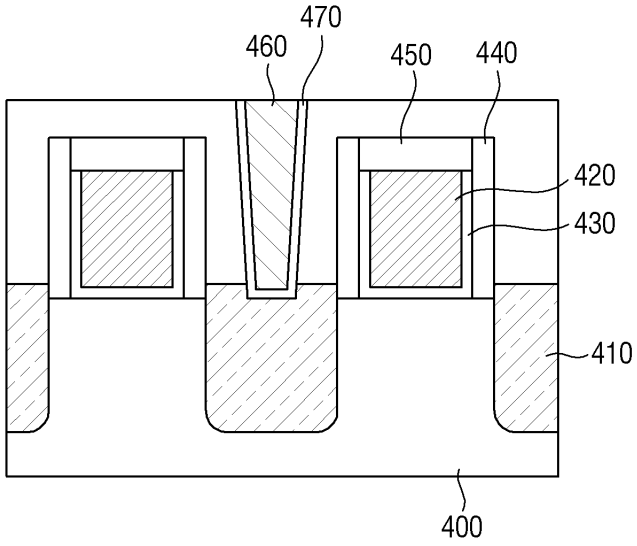
도면8


40
20
10

도면9


320
330
310
300
220
210
200
100

도면10


470
460
450
440
420
430
410
400