

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年3月17日(17.03.2016)



(10) 国際公開番号
WO 2016/039072 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) *H01L 21/336* (2006.01)
H01L 21/265 (2006.01) *H01L 29/12* (2006.01)
H01L 21/266 (2006.01)
- (21) 国際出願番号: PCT/JP2015/072910
- (22) 国際出願日: 2015年8月13日(13.08.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-182768 2014年9月8日(08.09.2014) JP
- (71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP).
- (72) 発明者: 原田 祐一(HARADA, Yuichi); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP). 星 保幸(HOSHI, Yasuyuki); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP). 木下 明将(KINOSHITA, Akimasa); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP). 大西 泰彦(OONISHI, Yasuhiko); 〒2109530 神奈川県川崎市川崎区

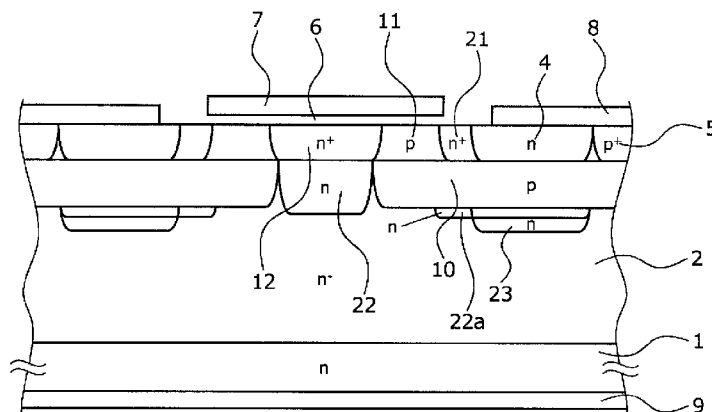
田辺新田1番1号 富士電機株式会社内 Kanagawa (JP).

- (74) 代理人: 酒井 昭徳(SAKAI, Akinori); 〒1000013 東京都千代田区霞が関3丁目8番1号 虎の門三井ビルディング5階 酒井総合特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE MANUFACTURING METHOD

(54) 発明の名称: 半導体装置および半導体装置の製造方法



(57) Abstract: This semiconductor device is provided with: n⁺ type source regions (21) that are formed on surface layers of p type base regions (10) and p type SiC layers (11), said n⁺ type source regions being on the side further toward the outside than n type source regions (4) by being in contact with the n type source regions (4), and having an impurity concentration higher than that of the n type source regions (4); an n type region (22) and an n⁺ type region (12), which are formed deeper than the p type base regions (10) and the p type SiC layers (11), at an n type SiC layer (2) portion sandwiched between each of the p type base regions (10) and each of the p type SiC layers (11), and which respectively have impurity concentrations that are higher than the impurity concentration of the n type SiC layer (2); and second n type regions (23) under the p type base regions (10), each of said second n type regions being smaller than each of the p type base regions (10). Consequently, low on-resistance is achieved, accuracy of a threshold voltage V_{th} is improved, thereby improving qualities and insulation breakdown strength of a gate insulating film, and breakdown strength.

(57) 要約:

[続葉有]



WO 2016/039072 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

p 型ベース領域 (10), p 型 SiC 層 (11) の表面層の、n 型ソース領域 (4) よりも外側に n 型ソース領域 (4) に接して形成された、n 型ソース領域 (4) よりも不純物濃度の高い n⁺型ソース領域 (21) と、n 型 SiC 層 (2) の、p 型ベース領域 (10), p 型 SiC 層 (11) 間に挟まれた部分に、p 型ベース領域 (10), p 型 SiC 層 (11) よりも深く形成された、n 型 SiC 層 (2) よりも不純物濃度の高い n 型領域 (22), n⁺型領域 (12) と、p 型ベース領域 (10) の下に p 型ベース領域 (10) よりも大きさが小さい第 2 の n 型領域 (23) と、を備える。このようにすることで、低オン抵抗かつ閾値電圧 V_{th} の精度が向上し品質が高く、ゲート絶縁膜の絶縁破壊耐量及び破壊耐量を向上できる。

明 細 書

発明の名称：半導体装置および半導体装置の製造方法

技術分野

[0001] 本発明は、炭化珪素基板上に形成したスイッチングデバイスとして用いられる半導体装置および半導体装置の製造方法に関する。

背景技術

[0002] 図19は、従来の炭化珪素基板を用いて形成したnチャネルMOSFETの断面構造図である。n型SiC（炭化珪素）基板1のおもて面側に低不純物濃度のn⁻型SiC層2が形成され、n⁻型SiC層2の表面層に複数のp型ベース領域10が形成される。更に、p型ベース領域10の表面にp型SiC層11が形成される。更にp型ベース領域10が形成されていないn⁻型SiC層2のおもて面上に、p型SiC層11間に挟まれるようにn型領域12が形成され、更にp型SiC層11の内部にn型ソース領域4と低不純物濃度のp⁺型コンタクト領域5が形成される。更にn型ソース領域4とp⁺型コンタクト領域5のおもて面上にソース電極8が形成されている。また、p型SiC層11の、n型領域12とn型ソース領域4とに挟まれた部分の表面上に、p型SiC層11からn型領域12にわたって、ゲート絶縁膜6を介してゲート電極7が形成されている。また、n型SiC基板1の裏面側にはドレイン電極9が形成されている（例えば、下記特許文献1参照。）。

[0003] 図19の構造のMOSFETにおいて、ソース電極8に対しドレイン電極9に正の電圧が印可された状態でゲート電極7にゲート閾値以下の電圧が印加されている場合には、p型ベース領域10とn⁻型SiC層2或いはp型SiC層11とn型領域12の間のpn接合が逆バイアスされた状態であるため電流は流れない。一方、ゲート電極7にゲート閾値以上の電圧を印可するとゲート電極7直下のp型ベース領域10又はp型SiC層11表面に反転層が形成されることにより電流が流れるため、ゲート電極7に印加する電圧によってMOSFETのスイッチング動作を行うことができる。

先行技術文献

特許文献

[0004] 特許文献1：特開平8－186254号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、上記構造のMOSFETではn型領域12とn型ソース領域4が個別に形成され加工精度が悪く特性バラツキが大きい。また、オン抵抗改善のためにp型ベース領域10間にn型SiC層2よりも不純物濃度の高いn型領域12を設ける場合、工程数が増えるとともに上記同様に加工精度が悪く特性バラツキが大きくなる。さらに、ドレイン電極9に高電圧が印加された際にp型ベース領域10とn型SiC層2からなるpn接合部の特にp型ベース領域10の終端部でアバランシェを起こしやすい。

[0006] 図20は、従来の炭化珪素基板を用いて形成したnチャネルMOSFETのアバランシェ電流の経路を示す断面構造図である。図20の矢印に示すように、p型ベース領域10のコーナー部からp型ベース領域10の、n型ソース領域4の下の部分を通してソース電極8へ向う経路をアバランシェ電流が流れ、このアバランシェ電流によってn型SiC層2、p型ベース領域10およびn型ソース領域4からなる寄生npnバイポーラトランジスタが動作し破壊耐量が低下する場合がある。

[0007] この発明は、上述した従来技術による問題点を解消するため、低オン抵抗かつ閾値電圧 V_{th} の精度が向上し品質が高く、ゲート絶縁膜の絶縁破壊耐量及び破壊耐量が向上できる半導体装置および半導体装置の製造方法を提供することを目的とする。

課題を解決するための手段

[0008] 上記目的を達成するため、本発明の半導体装置は、次の特徴を有する。第1導電型の炭化珪素基板の表面に、前記炭化珪素基板よりも低不純物濃度の第1導電型の炭化珪素層が形成されている。前記炭化珪素層の表面層に選択

的に第2導電型の第1半導体領域が形成されている。前記第1半導体領域の表面層に選択的に第1導電型の第1ソース領域が形成されている。前記第1半導体領域及び前記第1ソース領域の表面に電氣的に接続するソース電極を備えている。前記第1半導体領域の、前記炭化珪素層と前記第1ソース領域とに挟まれた部分の表面上に、ゲート絶縁膜を介してゲート電極が形成されている。前記炭化珪素基板の裏面にドレイン電極が形成されている。このような半導体装置において、前記第1半導体領域の表面層の、前記第1ソース領域よりも外側に前記第1ソース領域に接して、前記第1ソース領域よりも不純物濃度の高い第1導電型の第2ソース領域が形成されている。さらに、前記炭化珪素層の、前記第1半導体領域間に挟まれた部分に、該第1半導体領域よりも深く、前記炭化珪素層よりも不純物濃度の高い第1導電型の第3半導体領域と、前記第1半導体領域の下に該第1半導体領域よりも大きさが小さい第1導電型の第4半導体領域が形成されている。

[0009] また、前記ゲート電極は、前記ゲート絶縁膜を介して、前記第3半導体領域上にわたって形成されており、前記第3半導体領域が、前記炭化珪素層に接する第1領域と、前記ゲート絶縁膜に接する、前記第1領域よりも不純物濃度の高い第2領域と、の2つの領域に分かれていることを特徴とする。

[0010] また、前記第4半導体領域は、前記第1半導体領域の下部にリング状の平面形状に形成されたことを特徴とする。

[0011] また、前記第1半導体領域の表面層の、前記第1ソース領域よりも内側に形成された、前記第1半導体領域よりも不純物濃度の高い第2導電型の第2半導体領域をさらに備え、前記ソース電極は、前記第2半導体領域及び前記第1ソース領域の表面に電氣的に接続され、前記第4半導体領域は、前記第2半導体領域の直下位置となる前記第1半導体領域の下に形成されたことを特徴とする。

[0012] 上記目的を達成するため、本発明の半導体装置の製造方法は、以下の特徴を有する。第1導電型の炭化珪素基板の表面に、前記炭化珪素基板よりも低不純物濃度の第1導電型の炭化珪素層が形成されている。前記炭化珪素層の

表面層に選択的に第2導電型の第1半導体領域が形成されている。前記第1半導体領域の表面層に選択的に第1導電型の第1ソース領域が形成されている。前記第1半導体領域及び前記第1ソース領域の表面に電氣的に接続するソース電極を備えている。前記第1半導体領域の、前記炭化珪素層と前記第1ソース領域とに挟まれた部分の表面上に、ゲート絶縁膜を介してゲート電極が形成されている。前記炭化珪素基板の裏面にドレイン電極が形成されている。このような半導体装置の製造方法において、前記炭化珪素基板の表面に、前記炭化珪素基板よりも低不純物濃度の前記炭化珪素層を形成する第1工程を行う。前記炭化珪素層の表面層に、前記第1半導体領域を選択的に形成する第2工程を行う。前記第1半導体領域の表面層に前記第1ソース領域を選択的に形成する第3工程を行う。前記第1半導体領域の表面層の、前記第1ソース領域よりも外側に、前記第1ソース領域に隣接して、前記第1ソース領域よりも不純物濃度の高い第1導電型の第2ソース領域を形成するとともに、前記炭化珪素層の、前記第1半導体領域間に挟まれた部分に、該第1半導体領域よりも深く、かつ前記炭化珪素層よりも不純物濃度の高い第1導電型の第3半導体領域を形成する第4工程を行う。そして、所定のタイミングで、前記第1半導体領域下に該第1半導体領域よりも大きさが小さい第1導電型の第4半導体領域を形成する第5工程を行う。

[0013] また、前記第4工程では、前記第3半導体領域として、前記第1半導体領域よりも深い位置にまで達する第1領域と、前記第1領域よりも浅い位置に配置された、前記第1領域よりも不純物濃度の高い第2領域と、を形成することを特徴とする。

[0014] また、前記第5工程は、前記第2工程の後、前記第3工程の前、または前記第3工程の後、前記第4工程の前に行うことを特徴とする。

[0015] また、前記第4工程の後、前記第1半導体領域の表面層の、前記第1ソース領域よりも内側に、前記第1半導体領域よりも不純物濃度の高い第2導電型の第2半導体領域を選択的に形成する第6工程をさらに含み、前記第5工程は、前記第4工程の後、前記第6工程の前、または前記第6工程の後に行

うことを特徴とする。

[0016] また、前記第3工程は、前記第1半導体領域の表面に、前記第1ソース領域の形成領域に対応する部分が開口した第1イオン注入用マスクを形成する工程と、前記第1イオン注入用マスクをマスクとしてイオン注入を行うことにより前記第1ソース領域を形成する工程と、を行い、前記第5工程では、同一の前記第1イオン注入用マスクをマスクとして前記第4半導体領域を形成することを特徴とする。

[0017] また、前記第6工程は、前記第1半導体領域の表面に、前記第2半導体領域の形成領域に対応する部分が開口した第2イオン注入用マスクを形成する工程と、前記第2イオン注入用マスクをマスクとしてイオン注入を行うことにより前記第2半導体領域を形成する工程と、を行い、前記第5工程では、同一の前記第2イオン注入用マスクをマスクとして前記第4半導体領域を形成することを特徴とする。

[0018] また、前記第3工程は、前記第1半導体領域の表面に、前記第1ソース領域の形成領域に対応する部分が開口した第1イオン注入用マスクを形成する工程と、前記第1イオン注入用マスクをマスクとしてイオン注入を行うことにより前記第1ソース領域を形成する工程と、を行う。さらに、前記第4工程は、前記第1半導体領域の、前記第1ソース領域よりも外側の部分が選択的に露出されるように前記第1イオン注入用マスクの開口部の幅を広げるとともに、前記炭化珪素層の、前記第1半導体領域間に挟まれた部分が露出されるように前記第1イオン注入用マスクを選択的に除去する工程と、前記第1イオン注入用マスクの残部をマスクとしてイオン注入を行うことにより前記第2ソース領域、前記第3半導体領域を形成する工程と、を行うことを特徴とする。

[0019] また、前記第1ソース領域と、前記第2のソース領域及び前記第3半導体領域の形成に用いる不純物は、投影飛程の大きな窒素、リンであることを特徴とする。

[0020] 上記構成によれば、表面に形成する第1導電型の第3半導体領域及び第1

導電型の第1ソース領域を同時形成することでアライメントずれの問題がなくなり、閾値をコントロールし安定した特性を得ることができるとともに、第2導電型の第1半導体領域間に形成した第1導電型領域のためJFET抵抗を小さくしオン抵抗の低減を図ることができる。また、第2導電型の第1半導体領域下に第1導電型の第4半導体領域が形成されるため、ドレイン電極に高電圧が印加された際に第2導電型の第1半導体領域と第2導電型の第1半導体領域下に形成した第1導電型の第3半導体領域とのpn接合部でアバランシェを起こすようになる。これにより、ゲート絶縁膜に大きな電界が掛かることがなくなりゲート絶縁膜の破壊耐量を向上及びゲート絶縁膜の信頼性が向上する。また、第1導電型の第3半導体領域を第2導電型の第1半導体領域よりも小さく形成することでアバランシェの発生箇所がpn接合部となり、第2導電型の第1半導体領域の、第1導電型の第1ソース領域の下の部分を流れるアバランシェ電流が低減し寄生npnトランジスタの動作を抑制することができるため、素子の破壊耐量が向上する。更に、第1導電型の第1ソース領域を不純物濃度の異なる2層で形成することで素子の飽和電流を抑えることができ、負荷短絡時の電流も抑制し破壊耐量が向上する。また、第1導電型の第1ソース領域及び第3半導体領域を1回のフォトリソグラフィの工程で同時に形成することにより形成工程の増加を伴うことなく素子を形成することができ、形成した素子ではアライメントずれの問題を解消し安定した特性を得るとともに信頼性及び破壊耐量の向上を図ることができる。

発明の効果

[0021] 本発明によれば、低オン抵抗かつ閾値電圧 V_{th} の精度が向上し品質が高く、ゲート絶縁膜の絶縁破壊耐量及び破壊耐量を向上できる。

図面の簡単な説明

[0022] [図1]図1は、本発明の半導体装置の実施例1におけるMOSFETの断面構造図である。

[図2]図2は、本発明の半導体装置の実施例1におけるMOSFETのn型炭

化珪素層及びn型領域とp型ベース領域の接合部の平面図である。

[図3]図3は、本発明の半導体装置の実施例1における製造工程を示す図である。(その1)

[図4]図4は、本発明の半導体装置の実施例1における製造工程を示す図である。(その2)

[図5]図5は、本発明の半導体装置の実施例1における製造工程を示す図である。(その3)

[図6]図6は、本発明の半導体装置の実施例1における製造工程を示す図である。(その4)

[図7]図7は、本発明の半導体装置の実施例1における製造工程を示す図である。(その5)

[図8]図8は、本発明の半導体装置の実施例1におけるアバランシェ電流の流れを説明する図である。

[図9]図9は、本発明の半導体装置の実施例2におけるMOSFETのn型炭化珪素層及びn型領域とp型ベース領域の接合部の平面図である。

[図10]図10は、本発明の半導体装置の実施例2におけるMOSFETの断面構造図(図9のA-A'断面図)である。

[図11]図11は、本発明の半導体装置の実施例2におけるMOSFETの断面構造図(図9のB-B'断面図)である。

[図12]図12は、本発明の半導体装置の実施例3におけるMOSFETの断面構造図である。

[図13]図13は、本発明の半導体装置の実施例3におけるMOSFETのn型炭化珪素層及びn型領域とp型ベース領域の接合部の平面図である。

[図14]図14は、本発明の半導体装置の実施例3における製造工程を示す図である。(その1)

[図15]図15は、本発明の半導体装置の実施例3における製造工程を示す図である。(その2)

[図16]図16は、本発明の半導体装置の実施例3における製造工程を示す図

である。（その３）

[図17]図１７は、本発明の半導体装置の実施例３における製造工程を示す図である。（その４）

[図18]図１８は、本発明の半導体装置の実施例３における製造工程を示す図である。（その５）

[図19]図１９は、従来の炭化珪素基板を用いて形成したｎチャネルＭＯＳＦＥＴの断面構造図である。

[図20]図２０は、従来の炭化珪素基板を用いて形成したｎチャネルＭＯＳＦＥＴのアバランシェ電流の経路を示す断面構造図である。

発明を実施するための形態

[0023] 以下に添付図面を参照して、この発明にかかる半導体装置および半導体装置の製造方法の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、ｎまたはｐを冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、ｎやｐに付す＋および－は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。また、本明細書では、ミラー指数（結晶学的面指数）の表記において、“－”はその直後の指数につくバーを意味しており、指数の前に“－”を付けることで負の指数をあらわしている。

[0024] [実施例１]

図１は、本発明の半導体装置の実施例１におけるＭＯＳＦＥＴの断面構造図である。なお、本実施例では第１導電型をｎ型、第２導電型をｐ型としているが、これを逆に形成することも可能である。

[0025] ｎ型ＳｉＣ基板１のおもて面側にｎ型ＳｉＣ層２が形成され、ｎ型ＳｉＣ層２の表面層にｐ型ベース領域（第２導電型の第１半導体領域）１０が複数形成される。以下、ｎ型ＳｉＣ基板１上にｎ型ＳｉＣ層２および後述するｐ型ＳｉＣ層１１を順に積層してなる積層体をＳｉＣ基体とする。ｐ型ベース

領域 10 の間には n 型領域（第 1 導電型の第 3 半導体領域）22 が形成される。n 型領域 22 の、n⁻型 SiC 層 2 表面（n⁻型 SiC 層 2 の、n 型 SiC 基板 1 側に対して反対側の表面）からの深さは、p 型ベース領域 10 の n⁻型 SiC 層 2 表面からの深さよりも深い。また、p 型ベース領域 10 の下（基体裏面側）には第 2 の n 型領域（第 1 導電型の第 4 半導体領域）23 が形成されている。n 型領域 22 形成時に n 型領域 22 と同じ不純物濃度の n 型領域 22a が形成されてもよい。

[0026] n⁻型 SiC 層 2 の表面には p 型 SiC 層 11 が形成されている。p 型 SiC 層 11 の不純物濃度は、p 型ベース領域 10 の不純物濃度よりも低い。p 型 SiC 層 11 の、n 型領域 22 上の部分には、n 型領域 22 にまで達するようにおもて面から裏面に向けて n⁺型領域 12 が形成される。更に p 型 SiC 層 11 の内部には、第 2 の n⁺型ソース領域（第 1 導電型の第 2 ソース領域）21 と、n 型ソース領域（第 1 導電型の第 1 ソース領域）4 と p⁺型コンタクト領域（第 2 導電型の第 2 半導体領域）5 とがそれぞれ選択的に形成されている。n 型ソース領域 4 は、p⁺型コンタクト領域 5 に接し、かつ p⁺型コンタクト領域 5 よりも n⁺型領域 12 側に配置されている。第 2 の n⁺型ソース領域 21 は、n 型ソース領域 4 に接し、かつ n 型ソース領域 4 よりも n⁺型領域 12 側に配置されている。第 2 の n⁺型ソース領域 21 は、n 型ソース領域 4 よりも不純物濃度が高い。n 型ソース領域 4、第 2 の n⁺型ソース領域 21 および p⁺型コンタクト領域 5 は、深さ方向に p 型 SiC 層 11 を貫通して p 型ベース領域 10 に達する。

[0027] また、n 型ソース領域 4 と p⁺型コンタクト領域 5 のおもて面上にはソース電極 8 が形成されている。更に p 型 SiC 層 11 の、n⁺型領域 12 と第 2 の n⁺型ソース領域 21 との間に挟まれた部分の表面上には、ゲート絶縁膜 6 を介してゲート電極 7 が形成されている。ゲート電極 7 は、ゲート絶縁膜 6 を介して、n⁺型領域 12 上に延在していてもよい。他のセルとのセル間を繋ぐゲート電極 7 部分（不図示）は、n⁺型領域 12 を形成せずに p 型 SiC 層 11 を繋げて形成されている。n 型 SiC 基板 1 の裏面にドレイン電極 9 が形

成されている。

[0028] 図2は、本発明の半導体装置の実施例1におけるMOSFETのn型炭化珪素層及びn型領域とp型ベース領域の接合部の平面図である。図2は、図1に示したn型SiC層2及び第2のn型領域23とp型ベース領域10の接合面の平面図である。図2の素子内部の図で示すように、第2のn型領域23は、p型ベース領域10の下部（基体裏面側）にリング状に形成されている。なお、図2の例では、第2のn型領域23は、p⁺型コンタクト領域5を中心とした六角形セルで示しているが、この形状は多角形セルに限らず円形セルで形成しても構わない。

[0029] 図1および図2に示したMOSFETの動作は、従来MOSFETと同様である。すなわち、ゲート電極7に閾値電圧以上の電圧を印加し、p型ベース領域10又はp型SiC層11表面に反転層を形成することでオンさせることができる。

[0030] 図3～図7は、本発明の半導体装置の実施例1における製造工程を示す図である。実施例1におけるMOSFETは、図3に示す（a）～図7に示す（e）の各工程順で製造する。

[0031] （a）図3に示すように、例えばエピタキシャル成長により、n型SiC基板1のおもて面にn型SiC層2を堆積（形成）する。次に、n型SiC層2の表面層に選択的にp型ベース領域10を形成する。p型ベース領域10は、例えば、アルミニウム（Al）イオン注入にて不純物濃度 $3.0 \times 10^{18} \text{ cm}^{-3}$ 程度、n型SiC層2表面からの深さ $0.5 \mu\text{m}$ 程度に形成する。その後、例えばエピタキシャル成長により、n型SiC層2の表面の全面に、例えば、不純物濃度 5.0×10^{15} 程度、厚さ $0.5 \mu\text{m}$ 程度のp型SiC層11を形成する。なお、n型SiC層2は、例えば、1200VクラスのMOSFETでは不純物濃度 $1.0 \times 10^{16} \text{ cm}^{-3}$ 程度、厚さ $10 \mu\text{m}$ 程度に形成する。

[0032] （b）図4に示すように、p型SiC層11の表面に酸化膜31を形成し、n型ソース領域4の形成領域に対応する部分の酸化膜31を除去する。次に

、酸化膜 31 の残部をマスクとして p 型 SiC 層 11 の内部に選択的に n 型ソース領域 4 をリン (P) などの n 型不純物のイオン注入にて形成する。n 型ソース領域 4 は、例えば、不純物濃度 $1.0 \times 10^{20} \text{ cm}^{-3}$ 以上程度、深さ $0.5 \mu\text{m}$ 程度に形成する。また、n 型ソース領域 4 の形成時と同じ開口幅で残る酸化膜 31 の残部をマスクとして用いて n 型不純物のイオン注入にて第 2 の n 型領域 23 を形成する。

[0033] 第 2 の n 型領域 23 は、例えば、n⁻型 SiC 層 2 の $1.2 \sim 1.5$ 倍程度の不純物濃度、深さ $1.5 \sim 1.0 \mu\text{m}$ 程度に 600 keV 以上の高注入エネルギーにて注入することで任意の深さ（すなわち p 型ベース領域 10 の下）に形成する。この第 2 の n 型領域 23 は、p 型ベース領域 10 よりも大きさ（面積）が小さく（第 2 の n 型領域 23 の横端部は p 型ベース領域 10 のコーナー部よりも内側に位置させて）形成し、かつ図 2 に示したようにリング状の平面形状に形成する。この際、p 型ベース領域 10 にも n 型不純物がイオン注入されるが、p 型ベース領域 10 の不純物濃度が例えば $3.0 \times 10^{18} \text{ cm}^{-3}$ 程度であり、第 2 の n 型領域 23 に比べて高不純物濃度であることから、第 2 の n 型領域 23 の形成で p 型ベース領域 10 が n 型に反転することはない。n 型ソース領域 4 と、第 2 の n 型領域 23 との形成順序は入れ換え可能である。

[0034] (c) 図 5 に示すように、第 2 の n⁺型ソース領域 21 及び n⁺型領域 12 の形成領域に対応する部分の酸化膜 31 を除去する。次に、酸化膜 31 の残部をマスクとし n⁻型 SiC 層 2 の表面層に選択的に n 型領域 22 を窒素 (N) などの n 型不純物のイオン注入にて形成する。n 型領域 22 は、例えば、n⁻型 SiC 層 2 の $1.2 \sim 1.5$ 倍程度の不純物濃度、n⁻型 SiC 層 2 表面からの深さ $1.2 \mu\text{m}$ 程度に形成する。この際、p 型ベース領域 10 にも n 型不純物がイオン注入されるが、p 型ベース領域 10 の不純物濃度が例えば $3.0 \times 10^{18} \text{ cm}^{-3}$ 程度であり n 型領域 22 に比べて高不純物濃度であることから、n 型領域 22 の形成で p 型ベース領域 10 が n 型に反転することは無い。また、このとき、p 型ベース領域 10 の下に、n 型領域 22 と同じ不純物

濃度のn型領域22aが形成されてもよい。

- [0035] また、n型領域22の形成時と同じ開口幅で残る酸化膜31の残部をマスクとしてそのまま用いて第2のn⁺型ソース領域21及びn⁺型領域12をn型不純物のイオン注入にて形成する。第2のn⁺型ソース領域21及びn⁺型領域12は、例えば、不純物濃度 $4.0 \times 10^{16} \text{ cm}^{-3}$ 程度、深さ $0.5 \mu\text{m}$ 程度にて形成する。そして、酸化膜31をすべて除去する。n型領域22と、第2のn⁺型ソース領域21及びn⁺型領域12との形成順序は入れ換え可能である。
- [0036] (d) 図6に示すように、p型SiC層11の表面に酸化膜32を形成し、p⁺型コンタクト領域5の形成領域に対応する部分の酸化膜32を除去する。次に、酸化膜32の残部をマスクとしてp⁺型コンタクト領域5を例えばAlなどのp型不純物のイオン注入にて形成する。p⁺型コンタクト領域5は、例えば、不純物濃度 $1.0 \times 10^{20} \text{ cm}^{-3}$ 程度、深さ $0.5 \mu\text{m}$ 程度に形成する。そして、酸化膜32をすべて除去する。
- [0037] (e) 図7に示すように、温度 1600°C 以上にて活性化アニールを実施、各層のイオン注入ダメージの除去及び活性化をおこなう。
- [0038] (f) 一般的な方法により、表面構造及び裏面電極（ドレイン電極）9を形成して図1の半導体装置を得る。表面構造とは、ゲート絶縁膜6、ゲート電極7、層間絶縁膜（不図示）、ソース電極8、電極パッドおよびパッシベーション保護膜（不図示）などである。
- [0039] なお、イオン注入の際にマスクとなる酸化膜31、32の膜厚は、例えば $1.5 \mu\text{m}$ 以上程度の厚さが必要であるとともに、各n型領域を形成するイオン注入の際の不純物として投影飛程の大きな窒素（N）又はリン（P）を使用することが好ましい。上記工程により、本実施例1の縦型MOSFETが形成される。
- [0040] このようにn型領域22、第2のn⁺型ソース領域21及びn⁺型領域12の3つの領域を1回のフォトリソグラフィの工程で形成できるため、大幅な工程数の削減を図ることができる。上記工程により形成したMOSFETは、

以下（１）～（５）の作用効果を有する。

[0041] （１） p 型ベース領域１０間に n -型 SiC 層２よりも不純物濃度の高い n 型領域２２を形成することにより $JFET$ 抵抗を低減することができ、オン抵抗が小さくなる。

[0042] （２）１つのマスク（酸化膜３１）を用いて n 型領域２２及び第２の n^+ 型ソース領域２１を同時形成することでアライメントずれによるチャネル長のばらつきの問題が生じないため、閾値やオン抵抗などの特性ばらつきを低減し安定した特性を得ることができる。

この同時形成は、

- １． n^+ 型領域１２及び第２の n^+ 型ソース領域２１の同時形成
- ２． n 型領域２２及び第２の n^+ 型ソース領域２１を同一の酸化膜３１をマスクとして形成
- ３． n 型領域２２、 n^+ 型領域１２及び第２の n^+ 型ソース領域２１を同一の酸化膜３１をマスクとして形成のいずれかである。

[0043] （３） p 型ベース領域１０の下に形成した第２の n 型領域２３の pn 接合部でアバランシェを発生させることができるようになり、ゲート絶縁膜６の絶縁破壊耐量と信頼性を向上できる。

[0044] （４）第２の n 型領域２３を p 型ベース領域１０よりも小さく（第２の n 型領域２３の横端部は p 型ベース領域１０のコーナー部よりも内側に位置させて）形成し、かつリング状の平面形状に形成されていることで第２の n 型領域２３の終端部分の pn 接合部でアバランシェを発生させることができる。

[0045] 図８は、本発明の半導体装置の実施例１におけるアバランシェ電流の流れを説明する図である。第２の n 型領域２３を p 型ベース領域１０よりも大きさ（面積）が小さく（第２の n 型領域２３の横端部は p 型ベース領域１０のコーナー部よりも内側に位置させて）形成することで、図８に示すように、 p 型ベース領域１０のからソース電極８へ向って流れるアバランシェ電流の経路は、第２の n 型領域２３の一方の端部から p 型ベース領域１０の、 n 型ソース領域４の下の部分通ってソース電極８へ向う経路と、第２の n 型領域

23の他方の端部からn型ソース領域4の下を通らずにソース電極8へ向う経路と、に分散される。このため、p型ベース領域10の、n型ソース領域4の下部分を流れるアバランシェ電流を低減させることができる。これにより、n型SiC層2、p型ベース領域10およびn型ソース領域4からなる寄生npnバイポーラトランジスタの動作を抑制できるため素子の破壊耐量を向上させることができる。

[0046] (5) nソース領域を不純物濃度の異なる2層(n型ソース領域4と、第2のn⁺型ソース領域21)で形成することで飽和電流を低減し、負荷短絡時の電流を抑制できるため素子の破壊耐量が向上する。

[0047] [実施例2]

図9は、本発明の半導体装置の実施例2におけるMOSFETのn型炭化珪素層及びn型領域とp型ベース領域の接合部の平面図、図10と図11は、それぞれ本発明の半導体装置の実施例2におけるMOSFETの断面構造図である。図10は、図9のA-A'断面図、図11は、図9のB-B'断面図である。

[0048] 本発明の実施例2の基本的な構造は、上述した実施例1と同様である。実施例2が上述した実施例1と異なる点は、図9に示すように、p型ベース領域10の平面形状がストライプ形状に形成され、p型ベース領域10の下を第2のn型領域23が梯子状の平面形状に形成されている点である。このように一定の間隔で隣り合うp型ベース領域10の下第2のn型領域23同士をつなぐことでアバランシェがp⁺型コンタクト領域5付近にて発生しやすくなる。これにより、p型ベース領域10の、n型ソース領域4の下部分を流れるアバランシェ電流を抑制することができ、寄生npnトランジスタの動作を抑制し素子の破壊耐量が向上する。

[0049] [実施例3]

図12は、本発明の半導体装置の実施例3におけるMOSFETの断面構造図、図13は、本発明の半導体装置の実施例3におけるMOSFETのn型炭化珪素層及びn型領域とp型ベース領域の接合部の平面図である。

[0050] 本発明の実施例3が上述した実施例1と異なる点は、実施例1, 2でp型ベース領域10下に形成した第2のn型領域23をp⁺型コンタクト領域5下に形成した点である。図13の素子内部構造に示すように、n⁻型SiC層2及び第2のn型領域23とp型ベース領域10の接合部において、第2のn型領域23はp型ベース領域10の中心部に形成されている。なお、図13の例では、p⁺型コンタクト領域5を中心とした六角形セルの平面形状で示しているが、p⁺型コンタクト領域5の平面形状は多角形セル及び円形セルで形成しても構わない。

[0051] 図14～図18は、本発明の半導体装置の実施例3における製造工程を示す図である。実施例3におけるMOSFETは、図14に示す(a)～図18に示す(e)の各工程順で製造する。

[0052] (a) 図14に示すように、例えばエピタキシャル成長により、n型SiC基板1のおもて面にn⁻型SiC層2を堆積(形成)する。次に、n⁻型SiC層2の表面層にp型ベース領域10を形成する。p型ベース領域10は、例えば、Alイオン注入にて不純物濃度 $3.0 \times 10^{18} \text{ cm}^{-3}$ 、n⁻型SiC層2の表面からの深さ $0.5 \mu\text{m}$ 程度に形成する。その後、例えばエピタキシャル成長により、n⁻型SiC層2の表面全面に不純物濃度 5.0×10^{15} 、厚さ $0.5 \mu\text{m}$ のp型SiC層11を形成する。なお、n⁻型SiC層2は、例えば、1200VクラスのMOSFETでは不純物濃度 $1.0 \times 10^{16} \text{ cm}^{-3}$ 、厚さ $10 \mu\text{m}$ 程度に形成する。

[0053] (b) 図15に示すように、p型SiC層11の表面に酸化膜41を形成し、n型ソース領域4の形成領域に対応する部分の酸化膜41を除去する。次に、酸化膜41の残部をマスクとしてp型SiC層11の内部に選択的にn型ソース領域4をn型不純物のイオン注入にて形成する。n型ソース領域4は、例えば、不純物濃度 $1.0 \times 10^{20} \text{ cm}^{-3}$ 以上程度、深さ $0.5 \mu\text{m}$ 程度に形成する。

[0054] (c) 図16に示すように、第2のn⁺型ソース領域21及びn⁺型領域12の形成領域に対応する部分の酸化膜41を除去する。酸化膜41の残部をマク

スとしてn⁻型SiC層2の表面層に選択的にn型領域22をn型不純物のイオン注入にて形成する。n型領域22は、例えば、n⁻型SiC層2の1.2～1.5倍程度の不純物濃度、深さ1.2μm程度に形成する。この際、p型ベース領域10にもn型不純物がイオン注入されるが、p型ベース領域10の不純物濃度が例えば $3.0 \times 10^{18} \text{ cm}^{-3}$ 程度でありn型領域22に比べて高不純物濃度であることから、n型領域22の形成でp型ベース領域10がn型に反転することは無い。また、このとき、p型ベース領域10の下に、n型領域22と同じ不純物濃度のn型領域22aが形成されてもよい。

[0055] また、n型領域22の形成時と同じ開口幅で残る酸化膜41をマスクに用いて第2のn⁺型ソース領域21及びn⁺型領域12をn型不純物のイオン注入にて形成する。第2のn⁺型ソース領域21及びn⁺型領域12は、例えば不純物濃度 $4.0 \times 10^{16} \text{ cm}^{-3}$ 程度、深さ0.5μm程度にて形成する。n型領域22と、第2のn⁺型ソース領域21及びn⁺型領域12との形成順序は入れ換え可能である。そして、酸化膜41をすべて除去する。

[0056] (d) 図17に示すように、p型SiC層11の表面に酸化膜42を形成し、p⁺型コンタクト領域5の形成領域に対応する部分の酸化膜42を除去する。次に、酸化膜42の残部をマスクとしてp⁺型コンタクト領域5を例えばAlなどのp型不純物のイオン注入にて形成する。p⁺型コンタクト領域5は、例えば、不純物濃度 $1.0 \times 10^{20} \text{ cm}^{-3}$ 程度、深さ0.5μm程度に形成する。また、p⁺型コンタクト領域5の形成時と同じ開口幅で残る酸化膜42をマスクとして用いてp型不純物のイオン注入にて第2のn型領域23のを形成する。第2のn型領域23は、例えば、n⁻型SiC層2の1.2～1.5倍程度の不純物濃度、深さ1.5～1.0μm程度に600keV以上の高注入エネルギーにて注入することで任意の深さに形成する。

[0057] 図17の例では、p⁺型コンタクト領域5の直下位置となるp型ベース領域10下に第2のn型領域23を形成する。この際、p型ベース領域10の不純物濃度が例えば $3.0 \times 10^{18} \text{ cm}^{-3}$ 程度であり、第2のn型領域23に比べて高不純物濃度であることから、第2のn型領域23の形成でp型ベース

領域 10 が n 型に反転することはない。p⁺型コンタクト領域 5 と、第 2 の n 型領域 23 との形成順序は入れ換え可能である。

[0058] (e) 図 18 に示すように、温度 1600℃ 以上にて活性化アニールを実施、各層のイオン注入ダメージの除去及び活性化をする。

[0059] (f) 実施例 1 と同様に、表面構造及び裏面電極（ドレイン電極）9 を形成し、図 12 に示す半導体装置を得る。

[0060] なお、実施例 3 においても実施例 1 と同様に、イオン注入の際にマスクとなる酸化膜 41、42 の膜厚は例えば 1.5 μm 以上程度の厚さが必要であるととも、各 n 型領域を形成するイオン注入の際の不純物として投影飛程の大きな窒素（N）又はリン（P）を使用することが好ましい。上記のような工程にて本実施例 3 の縦型 MOSFET が形成され、実施例 1 と同様の特性を示す。

[0061] 以上説明した各実施の形態によれば、表面に形成する n 型領域及び第 2 の n ソース領域を同時形成することでアライメントずれの問題が無くなり、閾値をコントロールし安定した特性を得ることができるとともに、p 型ベース領域間に形成した n 型領域のため JFET 抵抗を小さくしオン抵抗の低減を図ることができる。

[0062] また、p 型ベース領域下に n 型領域が形成されるため、ドレイン電極に高電圧が印加された際に p 型ベース領域と p 型ベース領域下に形成した n 型領域との p n 接合部でアバランシェを起こすようになる。これにより、ゲート絶縁膜に大きな電界が掛かることが無くなりゲート絶縁膜の破壊耐量を向上及びゲート絶縁膜の信頼性が向上する。また、n 型領域を p 型ベース領域よりも小さく形成することでアバランシェの発生箇所が前記 p n 接合部となり、p 型ベース領域の、n ソース領域の下部分を流れるアバランシェ電流が低減し寄生 npn トランジスタの動作を抑制することができるため、素子の破壊耐量が向上する。更に、n 型ソース領域を不純物濃度の異なる 2 層で形成することで素子の飽和電流を抑えることができ、負荷短絡時の電流も抑制し破壊耐量が向上する。

[0063] n型領域22、第2のn⁺型ソース領域21及びn⁺型領域12の3つの領域を1回のフォトリソグラフィの工程で同時に形成することにより形成工程の増加を伴うことなく素子を形成することができ、形成した素子ではアライメントずれの問題を解消し安定した特性を得るとともに信頼性及び破壊耐量の向上を図ることができる。

[0064] 以上において本発明は種々変更可能であり、上述した各実施の形態において、たとえば各部の寸法や不純物濃度等は要求される仕様等に応じて種々設定される。また、上述した各実施例では、不純物濃度の異なるp型ベース領域およびp型炭化珪素層を深さ方向に積層した構成のベース領域を備える場合を例に説明しているが、これに限らず、不純物濃度が深さ方向に一律な1つのp型領域をベース領域としてもよい。

産業上の利用可能性

[0065] 以上のように、本発明にかかる半導体装置および半導体装置の製造方法は、電力変換装置や種々の産業用機械などの電源装置などに使用される高耐圧半導体装置に有用である。

符号の説明

- [0066]
- 1 n型炭化珪素基板
 - 2 n⁻型炭化珪素層
 - 3 p型領域
 - 4 n型ソース領域
 - 5 p⁺型コンタクト領域
 - 6 ゲート絶縁膜
 - 7 ゲート電極
 - 8 ソース電極
 - 9 ドレイン電極
 - 10 p型ベース領域
 - 11 p型炭化珪素層
 - 12 n⁺型領域

- 2 1 第2の n^+ 型ソース領域
- 2 2 n 型領域（カウンタードープ領域）
- 2 3 第2の n 型領域

請求の範囲

- [請求項1] 第1導電型の炭化珪素基板と、前記炭化珪素基板の表面に形成された、前記炭化珪素基板よりも低不純物濃度の第1導電型の炭化珪素層と、前記炭化珪素層の表面層に選択的に形成された第2導電型の第1半導体領域と、前記第1半導体領域の表面層に選択的に形成された第1導電型の第1ソース領域と、前記第1半導体領域及び前記第1ソース領域の表面に電氣的に接続するソース電極と、前記第1半導体領域の、前記炭化珪素層と前記第1ソース領域とに挟まれた部分の表面上に、ゲート絶縁膜を介して形成されたゲート電極と、前記炭化珪素基板の裏面に形成されたドレイン電極と、を備えた半導体装置において、前記第1半導体領域の表面層の、前記第1ソース領域よりも外側に前記第1ソース領域に接して形成された、前記第1ソース領域よりも不純物濃度の高い第1導電型の第2ソース領域と、
- 前記炭化珪素層の、前記第1半導体領域間に挟まれた部分に、該第1半導体領域よりも深く形成された、前記炭化珪素層よりも不純物濃度の高い第1導電型の第3半導体領域と、
- 前記第1半導体領域の下に該第1半導体領域よりも大きさが小さい第1導電型の第4半導体領域と、をさらに備えることを特徴とする半導体装置。
- [請求項2] 前記ゲート電極は、前記ゲート絶縁膜を介して、前記第3半導体領域上にわたって形成されており、
- 前記第3半導体領域が、前記炭化珪素層に接する第1領域と、前記ゲート絶縁膜に接する、前記第1領域よりも不純物濃度の高い第2領域と、の2つの領域に分かれていることを特徴とする請求項1に記載の半導体装置。
- [請求項3] 前記第4半導体領域は、前記第1半導体領域の下部にリング状の平面形状に形成されたことを特徴とする請求項1に記載の半導体装置。
- [請求項4] 前記第1半導体領域の表面層の、前記第1ソース領域よりも内側に

形成された、前記第 1 半導体領域よりも不純物濃度の高い第 2 導電型の第 2 半導体領域をさらに備え、

前記ソース電極は、前記第 2 半導体領域及び前記第 1 ソース領域の表面に電氣的に接続され、

前記第 4 半導体領域は、前記第 2 半導体領域の直下位置となる前記第 1 半導体領域の下に形成されたことを特徴とする請求項 1 ～ 3 のいずれか一つに記載の半導体装置。

[請求項 5]

第 1 導電型の炭化珪素基板と、前記炭化珪素基板の表面に形成された、前記炭化珪素基板よりも低不純物濃度の第 1 導電型の炭化珪素層と、前記炭化珪素層の表面層に選択的に形成された第 2 導電型の第 1 半導体領域と、前記第 1 半導体領域の表面層に選択的に形成された第 1 導電型の第 1 ソース領域と、前記第 1 半導体領域及び前記第 1 ソース領域の表面に電氣的に接続するソース電極と、前記第 1 半導体領域の、前記炭化珪素層と前記第 1 ソース領域とに挟まれた部分の表面上に、ゲート絶縁膜を介して形成されたゲート電極と、前記炭化珪素基板の裏面に形成されたドレイン電極と、を備えた半導体装置の製造方法において、

前記炭化珪素基板の表面に、前記炭化珪素基板よりも低不純物濃度の前記炭化珪素層を形成する第 1 工程と、

前記炭化珪素層の表面層に、前記第 1 半導体領域を選択的に形成する第 2 工程と、

前記第 1 半導体領域の表面層に前記第 1 ソース領域を選択的に形成する第 3 工程と、

前記第 1 半導体領域の表面層の、前記第 1 ソース領域よりも外側に、前記第 1 ソース領域に隣接して、前記第 1 ソース領域よりも不純物濃度の高い第 1 導電型の第 2 ソース領域を形成するとともに、前記炭化珪素層の、前記第 1 半導体領域間に挟まれた部分に、該第 1 半導体領域よりも深く、かつ前記炭化珪素層よりも不純物濃度の高い第 1 導

電型の第3半導体領域を形成する第4工程と、

を含み、

所定のタイミングで、前記第1半導体領域下に該第1半導体領域よりも大きさが小さい第1導電型の第4半導体領域を形成する第5工程をさらに含むことを特徴とする半導体装置の製造方法。

[請求項6] 前記第4工程では、前記第3半導体領域として、前記第1半導体領域よりも深い位置にまで達する第1領域と、前記第1領域よりも浅い位置に配置された、前記第1領域よりも不純物濃度の高い第2領域と、を形成することを特徴とする請求項5に記載の半導体装置の製造方法。

[請求項7] 前記第5工程は、前記第2工程の後、前記第3工程の前、または前記第3工程の後、前記第4工程の前に行うことを特徴とする請求項5に記載の半導体装置の製造方法。

[請求項8] 前記第4工程の後、前記第1半導体領域の表面層の、前記第1ソース領域よりも内側に、前記第1半導体領域よりも不純物濃度の高い第2導電型の第2半導体領域を選択的に形成する第6工程をさらに含み、

前記第5工程は、前記第4工程の後、前記第6工程の前、または前記第6工程の後に行うことを特徴とする請求項5に記載の半導体装置の製造方法。

[請求項9] 前記第3工程は、

前記第1半導体領域の表面に、前記第1ソース領域の形成領域に対応する部分が開口した第1イオン注入用マスクを形成する工程と、

前記第1イオン注入用マスクをマスクとしてイオン注入を行うことにより前記第1ソース領域を形成する工程と、を行い、

前記第5工程では、同一の前記第1イオン注入用マスクをマスクとして前記第4半導体領域を形成することを特徴とする請求項7に記載の半導体装置の製造方法。

[請求項10]

前記第6工程は、

前記第1半導体領域の表面に、前記第2半導体領域の形成領域に対応する部分が開口した第2イオン注入用マスクを形成する工程と、

前記第2イオン注入用マスクをマスクとしてイオン注入を行うことにより前記第2半導体領域を形成する工程と、を行い、

前記第5工程では、同一の前記第2イオン注入用マスクをマスクとして前記第4半導体領域を形成することを特徴とする請求項8に記載の半導体装置の製造方法。

[請求項11]

前記第3工程は、

前記第1半導体領域の表面に、前記第1ソース領域の形成領域に対応する部分が開口した第1イオン注入用マスクを形成する工程と、

前記第1イオン注入用マスクをマスクとしてイオン注入を行うことにより前記第1ソース領域を形成する工程と、を行い、

前記第4工程は、

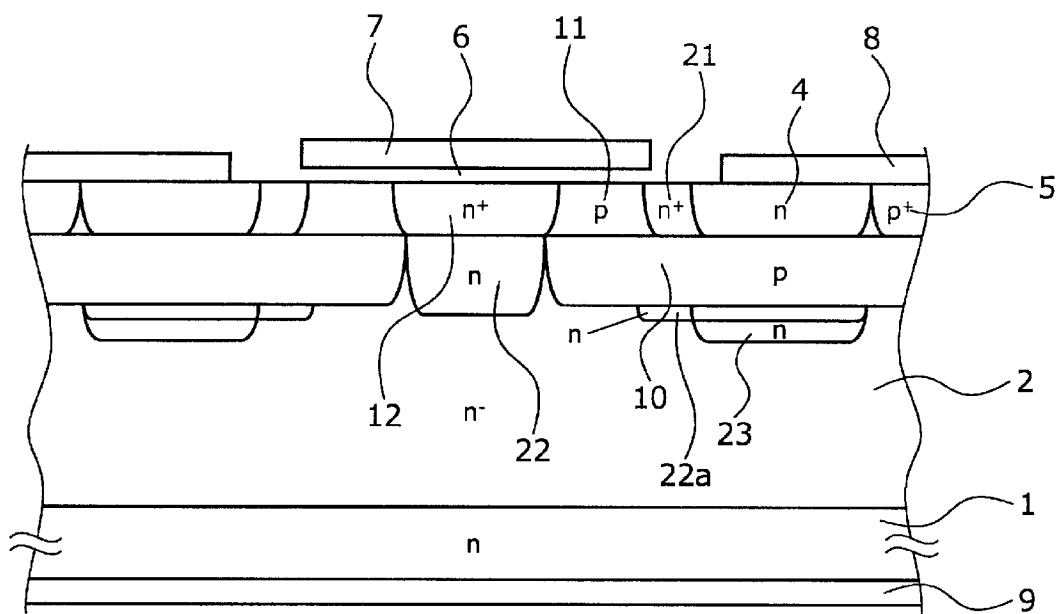
前記第1半導体領域の、前記第1ソース領域よりも外側の部分が選択的に露出されるように前記第1イオン注入用マスクの開口部の幅を広げるとともに、前記炭化珪素層の、前記第1半導体領域間に挟まれた部分が露出されるように前記第1イオン注入用マスクを選択的に除去する工程と、

前記第1イオン注入用マスクの残部をマスクとしてイオン注入を行うことにより前記第2ソース領域、前記第3半導体領域を形成する工程と、を行うことを特徴とする請求項5～8のいずれか一つに記載の半導体装置の製造方法。

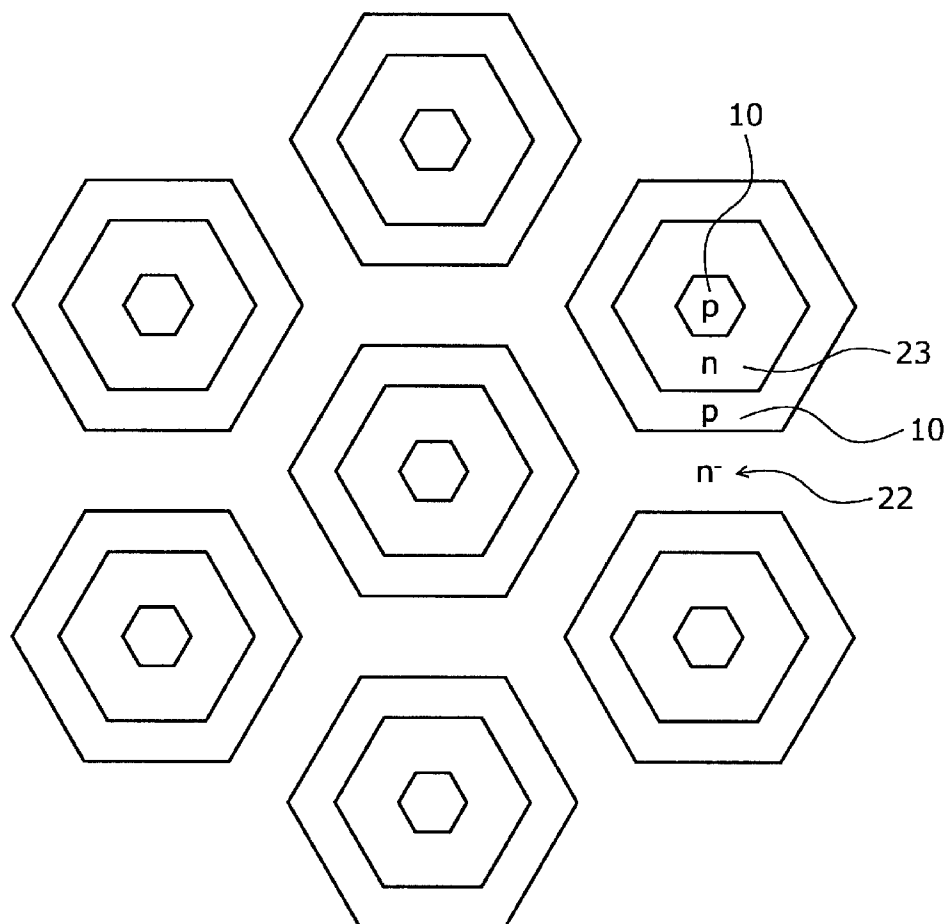
[請求項12]

前記第1ソース領域と、前記第2のソース領域及び前記第3半導体領域の形成に用いる不純物は、投影飛程の大きな窒素、リンであることを特徴とする請求項9に記載の半導体装置の製造方法。

[図1]

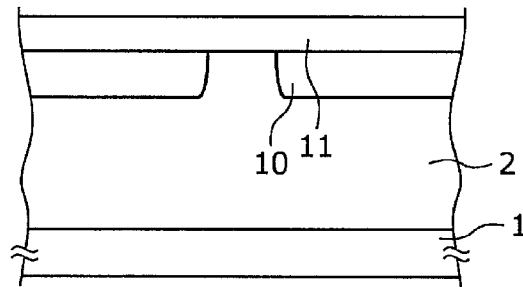


[図2]



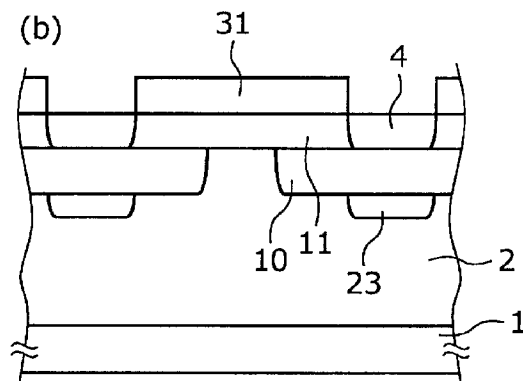
[図3]

(a)



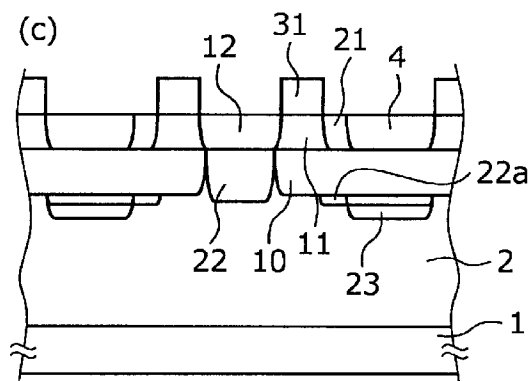
[図4]

(b)



[図5]

(c)

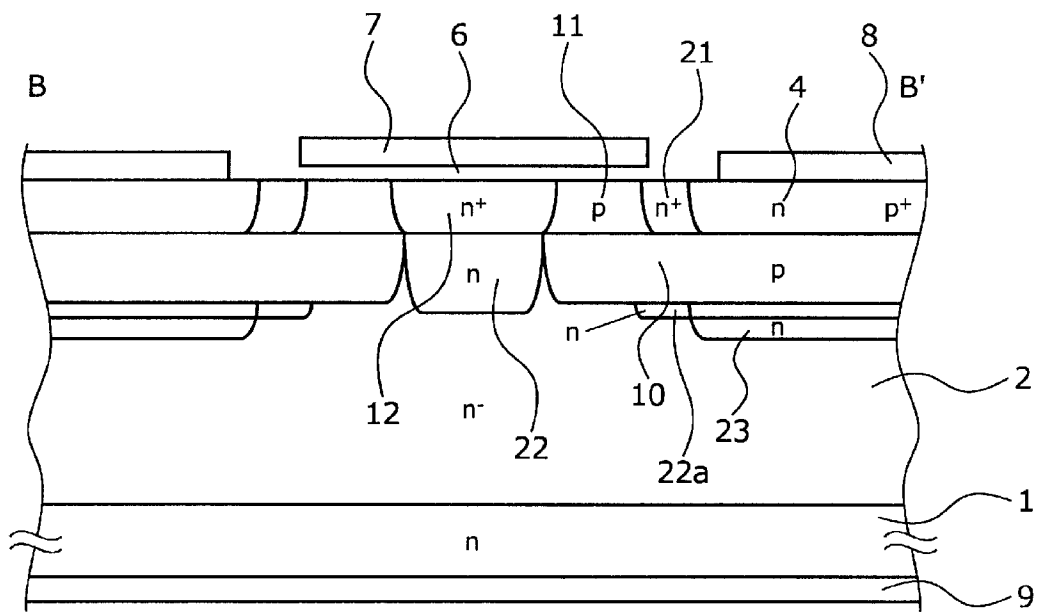


[illegible]

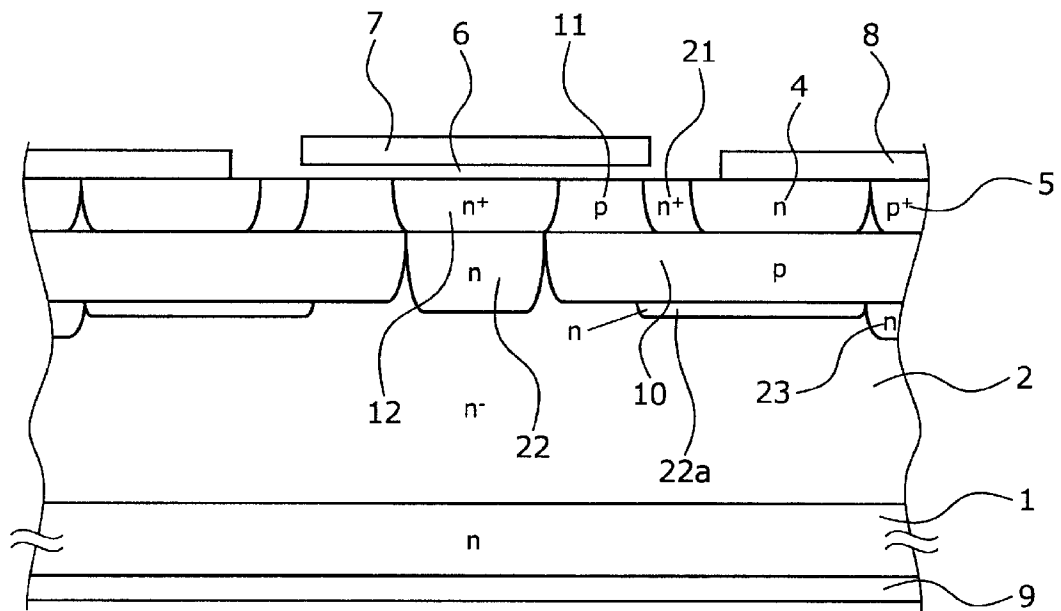
The diagram illustrates a cross-sectional view of a semiconductor device. It features a central layer labeled 10, which is flanked by two regions labeled 23. Below the central layer 10, there is a region labeled 10, and below that, a region labeled 2. The central layer 10 contains several rectangular regions labeled B, A, p, n, n-, B', and A'. The regions B and B' are located on the left side, while A and A' are located on the right side. The regions p, n, and n- are located in the center. The regions 10 and 2 are located at the top and bottom of the structure, respectively. The diagram also shows a series of horizontal lines representing the device's layers and a series of vertical lines representing the device's structure.

[illegible]

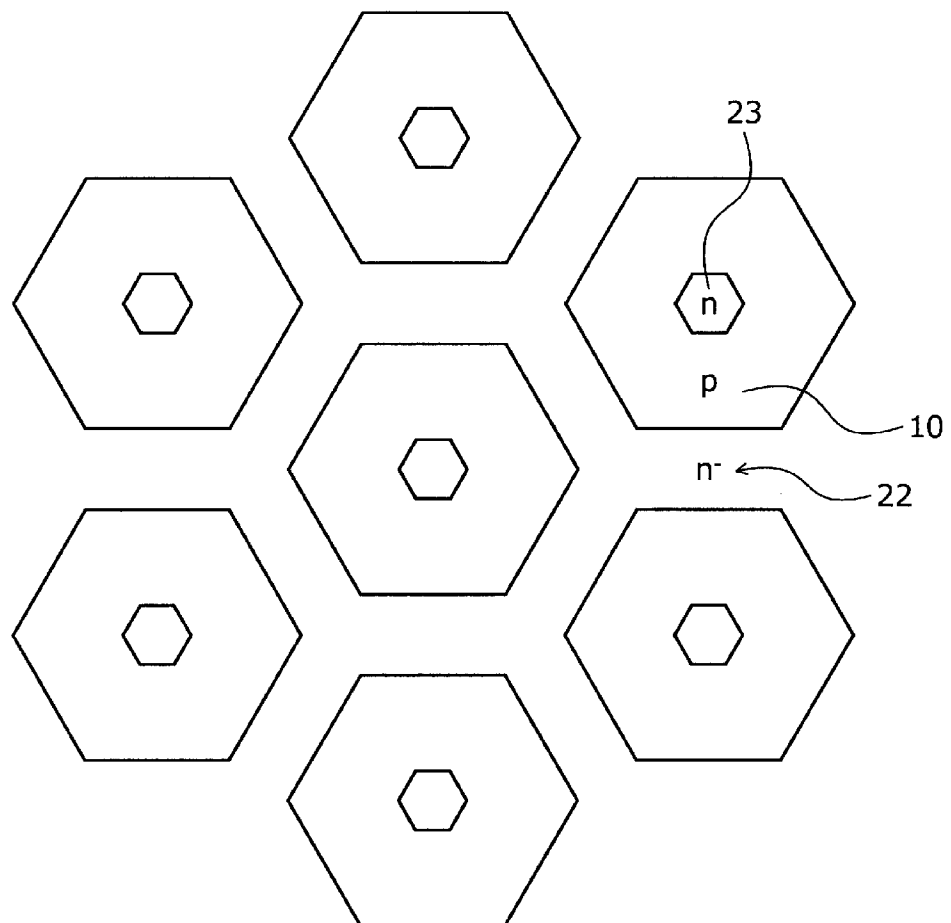
[図11]



[図12]

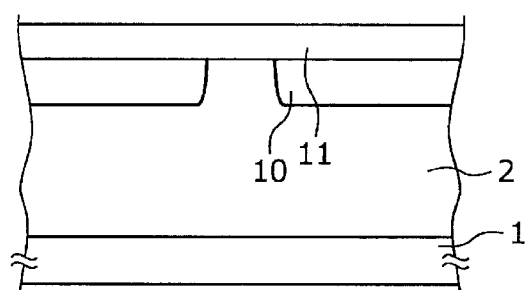


[図13]

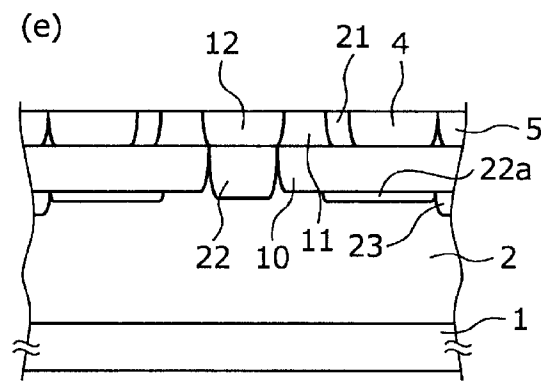


[図14]

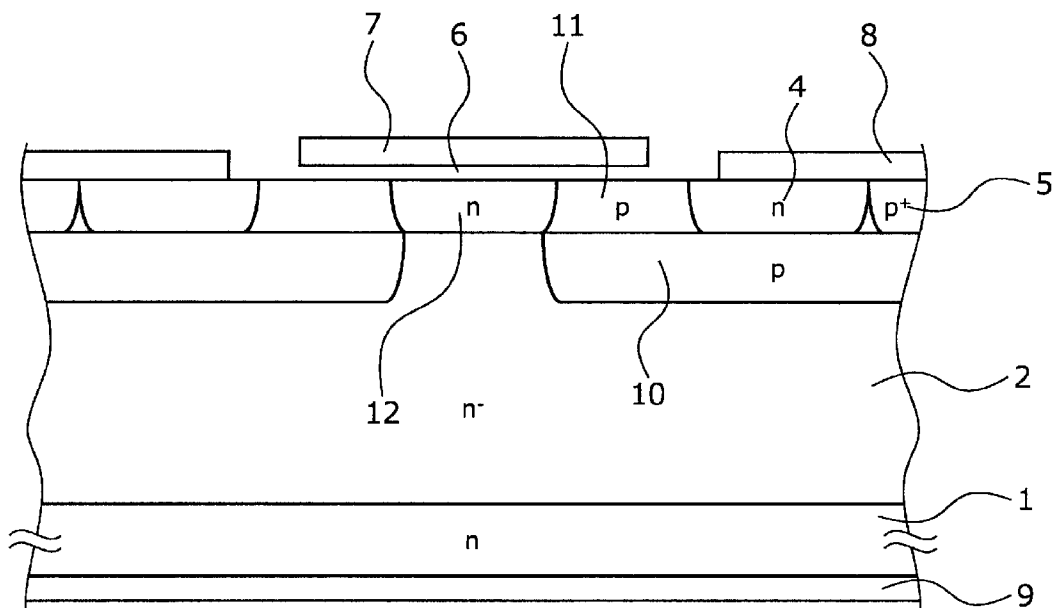
(a)



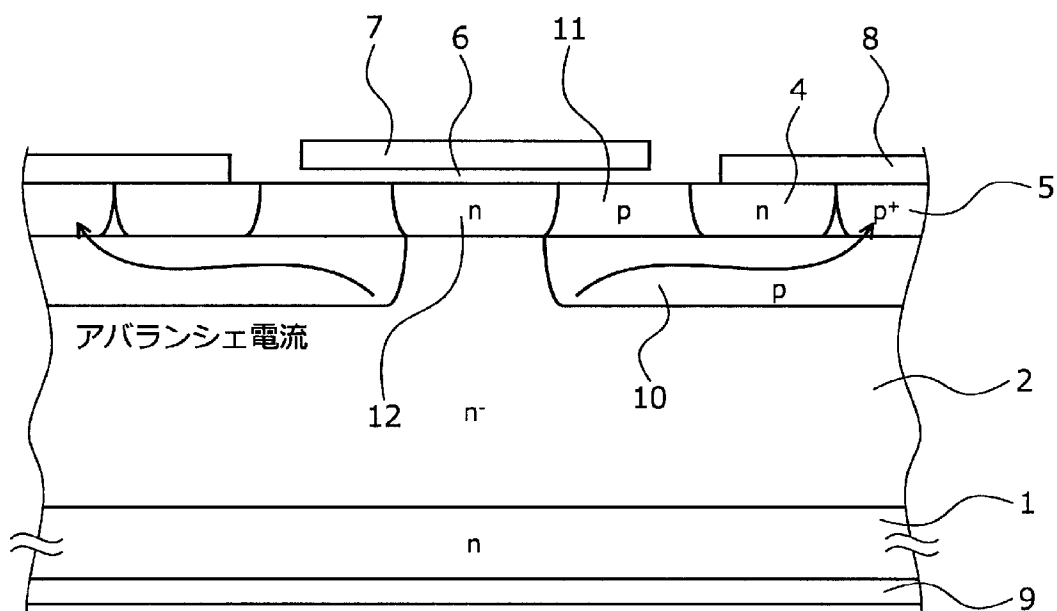
[図18]



[図19]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/072910

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01)i, H01L21/265(2006.01)i, H01L21/266(2006.01)i,
H01L21/336(2006.01)i, H01L29/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78, H01L21/265, H01L21/266, H01L21/336, H01L29/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2014-146738 A (Mitsubishi Electric Corp.), 14 August 2014 (14.08.2014), paragraphs [0117] to [0124]; fig. 16 & US 2014/0210008 A1 paragraphs [0150] to [0157]; fig. 16	1-4 5-12
Y A	JP 01-255276 A (Toshiba Corp.), 12 October 1989 (12.10.1989), page 3, upper right column, line 9 to page 4, upper left column, line 10; fig. 1 & US 5057884 A & EP 336393 A2 page 3, left column, lines 12 to 30; fig. 1	1-4 5-12
Y A	JP 06-338616 A (Sanyo Electric Co., Ltd.), 06 December 1994 (06.12.1994), paragraph [0013]; fig. 1 (Family: none)	2-4 5-12

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
30 October 2015 (30.10.15)

Date of mailing of the international search report
17 November 2015 (17.11.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L29/78(2006.01)i, H01L21/265(2006.01)i, H01L21/266(2006.01)i, H01L21/336(2006.01)i,
H01L29/12(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/78, H01L21/265, H01L21/266, H01L21/336, H01L29/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2014-146738 A（三菱電機株式会社）2014.08.14, 0117 段落 ないし 0124 段落、図 16 & US 2014/0210008 A1, 0150 段落ないし 0157 段落、図 16	1-4 5-12
Y A	JP 01-255276 A（株式会社東芝）1989.10.12, 第 3 頁右上欄第 9 行 ないし第 4 頁左上欄第 10 行、第 1 図 & US 5057884 A & EP 336393 A2, 第 3 頁左欄第 12 行ないし第 30 行、図 1	1-4 5-12

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

3 0 . 1 0 . 2 0 1 5

国際調査報告の発送日

1 7 . 1 1 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

棚田 一也

5 F

9 3 6 1

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 06-338616 A (三洋電機株式会社) 1994. 12. 06, 0013 段落、図 1 (ファミリーなし)	2-4 5-12