

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7624980号
(P7624980)

(45)発行日 令和7年1月31日(2025.1.31)

(24)登録日 令和7年1月23日(2025.1.23)

(51)国際特許分類

F I

H 1 0 D	86/40	(2025.01)	H 0 1 L	29/78	6 1 3 Z
H 1 0 D	30/67	(2025.01)	H 0 1 L	29/78	6 1 9 A
H 1 0 D	84/83	(2025.01)	H 0 1 L	29/78	6 1 8 B
H 1 0 D	84/80	(2025.01)	H 0 1 L	27/088	E
			H 0 1 L	27/088	3 3 1 E

請求項の数 4 (全37頁) 最終頁に続く

(21)出願番号 特願2022-522080(P2022-522080)
 (86)(22)出願日 令和3年5月6日(2021.5.6)
 (86)国際出願番号 PCT/IB2021/053820
 (87)国際公開番号 WO2021/229374
 (87)国際公開日 令和3年11月18日(2021.11.18)
 審査請求日 令和6年4月19日(2024.4.19)
 (31)優先権主張番号 特願2020-86266(P2020-86266)
 (32)優先日 令和2年5月15日(2020.5.15)
 (33)優先権主張国・地域又は機関
 日本国(JP)

(73)特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72)発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会
 社半導体エネルギー研究所内
 (72)発明者 池田 隆之
 神奈川県厚木市長谷398番地 株式会
 社半導体エネルギー研究所内
 (72)発明者 大貫 達也
 神奈川県厚木市長谷398番地 株式会
 社半導体エネルギー研究所内
 (72)発明者 八窪 裕人
 神奈川県厚木市長谷398番地 株式会
 社半導体エネルギー研究所内
 最終頁に続く

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

生体に埋め込み可能な半導体装置であって、
 通信部と、制御部と、記憶部と、演算部と、センサ部と、を有し、
 前記記憶部は、識別情報を保持する機能を有し、
 前記演算部は、積和演算を行う機能と、重み情報である第1情報を保持する機能と、前
 記第1情報及び前記センサ部から供給された第2情報を用いて第3情報を生成する機能と
 を有し、
 前記制御部は、前記通信部を介して入力された信号に応じて、前記識別情報又は前記第
 3情報の一方又は双方を、前記通信部を介して外部に出力する機能を有し、
 前記演算部は、チャンネル形成領域に酸化物半導体を含むトランジスタを有する、
 半導体装置。

【請求項2】

請求項1において、
 前記酸化物半導体は、インジウム又は亜鉛の一方または双方を含む、
 半導体装置。

【請求項3】

請求項1又は請求項2において、
被覆材に覆われている、
 半導体装置。

【請求項 4】

請求項 3 において、
前記被覆材は、シリコン樹脂を含む、
半導体装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明の一態様は、半導体装置に関する。

【0002】

なお本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

10

【0003】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうるもの全般を指す。よって、トランジスタやダイオードなどの半導体素子や、半導体素子を含む回路は半導体装置である。また、表示装置、発光装置、照明装置、電気光学装置、通信装置および電子機器などは、半導体素子や半導体回路を含む場合がある。よって、表示装置、発光装置、照明装置、電気光学装置、撮像装置、通信装置および電子機器なども、半導体装置と呼ばれる場合がある。

20

【背景技術】**【0004】**

近年、人の生体的特徴である指紋、掌紋、静脈パターン、声紋、虹彩パターン、網膜パターン、顔の形状、体形などの生体情報を用いた認証装置の開発が進められている。例えば、銀行の ATM などでは静脈パターンを用いた静脈認証装置が実用化されている。また、特許文献 1 には、指紋認証を行うことができる、スマートフォン等の電子機器が開示されている。

【先行技術文献】**【特許文献】****【0005】**

30

【文献】特開 2019 - 79415 号公報

【発明の概要】**【発明が解決しようとする課題】****【0006】**

生体情報は偽造が難しいため、生体情報を用いた認証装置は精度の高い識別が実現できる。その一方で、傷病や加齢などに起因して生体情報が変化すると、個体の識別が困難になる恐れがある。

【0007】

本発明の一態様は、生体に埋め込み可能な半導体装置を提供することを課題の一とする。または、精度の高い個体識別が可能な半導体装置を提供することを課題の一とする。または、信頼性の高い半導体装置を提供することを課題の一とする。または、消費電力の少ない半導体装置を提供することを課題の一とする。または、新規な半導体装置を提供することを課題の一とする。

40

【0008】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はない。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】**【0009】**

50

本発明の一態様は、生体に埋め込み可能な半導体装置であって、通信部と、制御部と、記憶部と、演算部と、センサ部と、を有し、記憶部は、識別情報を保持する機能を有し、演算部は、第1情報を保持する機能と、第1情報およびセンサ部から供給された第2情報を用いて第3情報を生成する機能と、を有し、制御部は、通信部を介して入力された信号に応じて、識別情報または第3情報の一方または双方を、通信部を介して外部に出力する機能を有し、演算部は、チャンネル形成領域に酸化物半導体を含むトランジスタを有する半導体装置である。

【0010】

酸化物半導体は、インジウムまたは亜鉛の少なくとも一方または双方を含むことが好ましい。

10

【0011】

演算部は、積和演算を行う機能を有してもよい。例えば、第1情報は、重み情報である。また、本発明の一態様に係る半導体装置は、被覆材で覆われることが好ましい。

【発明の効果】

【0012】

本発明の一態様によれば、生体に埋め込み可能な半導体装置を提供できる。または、精度の高い個体識別が可能な半導体装置を提供できる。または、信頼性の高い半導体装置を提供できる。または、消費電力の少ない半導体装置を提供できる。または、新規な半導体装置を提供できる。

【0013】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

20

【図面の簡単な説明】

【0014】

図1Aは、半導体装置100の斜視図である。図1Bおよび図1Cは、半導体装置100の使用例を説明する図である。

図2A、図2B、図2C、図2D、図2Eは、半導体装置100の使用例を説明する図である。

30

図3は、通信部の構成を説明するブロック図である。

図4は、半導体装置の構成例を説明するブロック図である。

図5Aおよび図5Bは、半導体装置の構成例を説明する図である。

図6Aおよび図6Bは、記憶回路の構成例を説明する図である。

図7は、演算回路の構成例を説明する図である。

図8は、半導体装置の動作例を説明する図である。

図9は、CPUの構成例を説明する図である。

図10Aおよび図10Bは、CPUの構成例を説明する図である。

図11は、CPUの構成例を説明する図である。

図12は、半導体装置の構造例を説明する図である。

40

図13A、図13Bは、トランジスタの構造例を説明する図である。

【発明を実施するための形態】

【0015】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その説明の繰り返しは省略する。

【0016】

50

また、図面等において示す各構成の、位置、大きさ、範囲などは、発明の理解を容易とするため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等を開示された位置、大きさ、範囲などに限定されない。例えば、実際の製造工程において、エッチングなどの処理によりレジストマスクなどが意図せずに目減りすることがあるが、理解を容易とするために図に反映しないことがある。

【0017】

(実施の形態1)

本発明の一態様に係る半導体装置100について説明する。図1Aは、生体に埋め込み可能な半導体装置100の斜視外観図である。半導体装置100は、通信部110、演算部120、制御部130、記憶部140、およびセンサ部150を有する。また、半導体装置100は、被覆材190に覆われている。

10

【0018】

通信部110は、無線通信によって外部装置(図示せず)から送られてくる信号の受信、および外部装置への信号の送信を行う機能を有する。また、通信部110は、外部装置から非接触方式で供給される電力を受け取る機能を有する。

【0019】

なお、半導体装置100にバッテリーを設けてもよい。バッテリーは半導体装置100の動作に必要な電力を蓄える機能と、動作に必要な電力を供給する機能と、を備える。バッテリーとしては、一次電池、または二次電池を用いることができる。なお、当該二次電池としては、例えば、リチウムイオン二次電池を用いてもよい。

20

【0020】

演算部120は、演算回路121および記憶回路122を有する。演算回路121は、記憶回路122に含まれる情報を用いて演算処理を行う機能を有する。また、演算回路121は、記憶回路122に含まれる情報とセンサ部150が取得した情報を用いて演算処理を行う機能を有する。また、演算回路121は、記憶部140に含まれる情報を用いて演算処理を行う機能を有する。演算結果は記憶部140に保持される。

【0021】

記憶部140は、半導体装置100の識別情報を保持する機能を有する。また、記憶部140は、半導体装置100の動作にかかわるプログラムやパラメータを保存する機能を有する。記憶部140としては、DRAM(Dynamic Random Access Memory)、SRAM(Static Random Access Memory)などのRAM(Random Access Memory)や、ROM(Read Only Memory)などの不揮発性メモリを用いることができる。記憶部140の少なくとも一部は、書き換え可能なメモリであることが好ましい。

30

【0022】

制御部130は、通信部110、演算部120、記憶部140、およびセンサ部150の動作を制御する機能を有する。制御部130は、センサ部150などから供給されたアナログ信号をデジタル信号に変換する機能を有する。制御部130は、外部装置から通信部110を介して供給される信号に応じて、識別情報および/または演算結果などを外部装置に送信する機能を有する。

40

【0023】

センサ部150としては、様々な情報を検知可能なセンサを用いることができる。例えば、センサ部150として、温度、振動、圧力、傾度、加速度、酸素濃度、化学物質などの少なくとも一を検知する機能を有すればよい。なお、センサ部150はアナログ信号をデジタル信号に変換する機能を有してもよい。

【0024】

半導体装置100は、被覆材190で覆うことが好ましい。被覆材190を用いることで、生体に埋め込み後に、炎症反応やアレルギー反応などを生じにくくすることができる。また、半導体装置100を被覆材190で覆うことで、埋め込まれた部位に隣接する血管や神経組織などの生体の損傷を防ぐことができる。被覆材190に用いる材料として、生

50

体適合ガラスや、シリコン樹脂、フッ素樹脂などの高分子材料がある。

【 0 0 2 5 】

図 1 B および 図 1 C は、半導体装置 1 0 0 を生体 1 0 に埋め込んだ状態を示す模式図である。図 1 B は、生体 1 0 の親指と人差し指の間の皮下に半導体装置 1 0 0 を埋め込んだ様子を示している。図 1 C は、生体 1 0 の首元の皮下に半導体装置 1 0 0 を埋め込んだ様子を示している。

【 0 0 2 6 】

生体 1 0 に埋め込んだ半導体装置 1 0 0 によって、生体 1 0 の体温や心拍数などの生体情報を取得できる。また、半導体装置 1 0 0 に生体 1 0 固有の識別情報を付与することにより、半導体装置 1 0 0 を、個人認識票（例えば、個人番号カード（マイナンバーカード）など）、運転免許証、健康保険証、パスポート、キャッシュカード、クレジットカードなどとして機能させることができる。

10

【 0 0 2 7 】

例えば、図 2 A に示すように、生体 1 0 に埋め込んだ半導体装置 1 0 0 を外部機器 9 0 0 に重ねることで、生体 1 0 の情報を読み出すことができる。外部機器 9 0 0 は、半導体装置 1 0 0 に信号を送信する機能と、半導体装置 1 0 0 から送信された信号を受信する機能を有する。外部機器 9 0 0 は、リーダ/ライタとして機能する。

【 0 0 2 8 】

また、半導体装置 1 0 0 は様々な生体に埋め込むことができる。例えば、図 2 B 乃至図 2 E に示すように、生体 2 1、生体 2 2、生体 2 3、生体 2 4 等に埋め込むことができる。半導体装置 1 0 0 を用いることで、生体 2 1 乃至生体 2 4 の盗難防止、行動把握、健康状態の管理などを行うことができる。

20

【 0 0 2 9 】

<< 通信部 1 1 0 >>

図 3 は通信部 1 1 0 の構成を説明するブロック図である。通信部 1 1 0 は R F 回路 1 1 1 と、情報処理回路 1 1 7 と、を有する。また、R F 回路 1 1 1 は、共振回路 1 1 2、電源回路 1 1 3、クロック発生回路 1 1 4、復調回路 1 1 5、変調回路 1 1 6 を有する。

【 0 0 3 0 】

共振回路 1 1 2 は、電源回路 1 1 3、クロック発生回路 1 1 4、復調回路 1 1 5、変調回路 1 1 6 と接続される。共振回路 1 1 2 は外部機器から発せられる電磁波を交流信号に変換する機能を有する。当該信号には、動作命令などの情報が含まれる。電源回路 1 1 3 は、当該信号から半導体装置 1 0 0 の動作に用いる電力を生成する機能を有する。クロック発生回路 1 1 4 は、当該信号から半導体装置 1 0 0 の動作に必要な同期信号を生成する機能を有する。復調回路 1 1 5 は、当該信号から動作命令などの情報を抽出する機能を有する。

30

【 0 0 3 1 】

情報処理回路 1 1 7 は、復調回路 1 1 5 から抽出した情報から命令を抽出し、制御部 1 3 0 に送信する機能を有する。また、情報処理回路 1 1 7 は、制御部 1 3 0 から供給された信号を変調回路 1 1 6 に供給する機能を有する。変調回路 1 1 6 は制御部 1 3 0 から供給された信号を搬送波と混合する機能を有する。また、共振回路 1 1 2 は、変調回路 1 1 6 で混合された信号を外部に向けて発信する機能を有する。

40

【 0 0 3 2 】

<< 演算部 1 2 0 >>

演算部 1 2 0 に用いることができる半導体装置 3 0 0 について説明する。なお、後述する演算回路 3 6 0 が、演算部 1 2 0 の演算回路 1 2 1 に相当する。後述する記憶回路 3 5 0 が、演算部 1 2 0 の記憶回路 1 2 2 に相当する。

【 0 0 3 3 】

本実施の形態で説明する半導体装置 3 0 0 は、演算効率に優れ、極低消費電力での動作が可能な半導体装置である。換言すれば、人の脳の機能を模倣する可能性のあるコンピューター（Brain Morphic Computer : BMC ともいう）として機能しう

50

る半導体装置である。

【0034】

<ブロック図>

図4に、半導体装置300の構成を説明するブロック図を示す。半導体装置300は、CPU310、バス320、およびアクセラレータ330を有する。CPU310は、CPUコア311およびバックアップ回路312を有する。アクセラレータ330は、複数の演算ブロック331の他、演算ブロック331間のデータの入出力を制御するための制御部332を有する。

【0035】

CPU310は、オペレーティングシステムの実行、データの制御、各種演算やプログラムの実行など、汎用の処理を行う機能を有する。CPU310は、CPUコア311を有する。CPUコア311は、1つまたは複数のCPUコアに相当する。

10

【0036】

またCPU310は、電源電圧の供給が停止してもCPUコア311内のデータを保持できるバックアップ回路312を有する。電源電圧の供給は、電源ドメイン(パワードメイン)からのパワースイッチ等による電氣的な切り離しによって制御することができる。なお電源電圧は、駆動電圧という場合がある。

【0037】

バックアップ回路312として、例えば、OSTランジスタを有するOSメモリが好適である。なおOSメモリとは、NOSRAMといった、チャンネル形成領域に酸化物半導体を有するランジスタ(OSTランジスタ)を有するメモリのことをいう。なお「NOSRAM(登録商標)」とは、「Nonvolatile Oxide Semiconductor RAM」の略称である。

20

【0038】

OSTランジスタに適用される金属酸化物は、Zn酸化物、Zn-Sn酸化物、Ga-Sn酸化物、In-Ga酸化物、In-Zn酸化物、In-M-Zn酸化物(Mは、Ti、Ga、Y、Zr、La、Ce、Nd、SnまたはHf)などがある。特にMとしてGaを用いる金属酸化物をOSTランジスタに採用する場合、元素の比率を調整することで電界効果移動度等の電気特性に優れたランジスタとすることができるため、好ましい。また、インジウムおよび亜鉛を含む酸化物に、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジウム、ハフニウム、タンタル、タングステン、マグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

30

【0039】

OSTランジスタの信頼性、電気特性の向上のため、半導体層に適用される金属酸化物は、CAAC-OS、CAC-OS、nc-OSなどの結晶部を有する金属酸化物であることが好ましい。CAAC-OSとは、c-axis-aligned crystalline oxide semiconductorの略称である。CAC-OSとは、Cloud-Aligned Composite oxide semiconductorの略称である。nc-OSとは、nanocrystalline oxide semiconductorの略称である。

40

【0040】

OSTランジスタはオフ状態でソースとドレインとの間を流れる電流、つまりリーク電流が極めて小さい。NOSRAMは、リーク電流が極めて小さい特性を用いてデータに応じた電荷をメモリ回路内に保持することで、不揮発性メモリとして用いることができる。特にNOSRAMは保持しているデータを破壊することなく読み出しすること(非破壊読み出し)が可能のため、データ読み出し動作を多数回繰り返す、ニューラルネットワークの積和演算の並列処理に適している。

【0041】

酸化物半導体として機能する金属酸化物のバンドギャップは2.5eV以上あるため、O

50

Sトランジスタは極小のオフ電流をもつ。一例として、ソースとドレイン間の電圧が3.5 V、室温(25℃)下において、チャンネル幅1 μm当たりのオフ電流を 1×10^{-20} A未満、 1×10^{-22} A未満、あるいは 1×10^{-24} A未満とすることができる。そのため、OSメモリでは、OSTランジスタを介して保持ノードからリークする電荷量が極めて少ない。従って、OSメモリは不揮発性のメモリ回路として機能できるため、CPU310のパワーゲーティングが可能となる。

【0042】

OSTランジスタで構成されるバックアップ回路312は、チャンネル形成領域にシリコンを有するトランジスタ(Siトランジスタ)で構成することができるCPUコア311と積層して設けることができる。バックアップ回路312の面積はCPUコア311の面積より小さいため、回路面積の増加を招くことなく、CPUコア311上にバックアップ回路312を配置することができる。バックアップ回路312は、CPUコア311が有するレジスタのデータを保持する機能を有する。バックアップ回路312は、データ保持回路ともいう。なお、Siトランジスタのチャンネル形成領域を含む半導体層は、単結晶半導体でもよいし、多結晶半導体でもよい。

10

【0043】

制御部332は、内部にSRAM等のメモリ回路を有する。制御部332は、複数の演算ブロック331で得られる出力データをメモリ回路に保持する。そしてメモリ回路に保持した出力データを複数の半導体装置に出力する構成とする。当該構成とすることで複数の半導体装置を用いた、並列数が高められた並列計算を行うことができる。

20

【0044】

バス320は、CPU310とアクセラレータ330とを電氣的に接続する。つまりCPU310とアクセラレータ330とは、バス320を介してデータ伝送を行うことができる。

【0045】

<演算ブロック>

上述したアクセラレータ330は、ホストプログラムから呼び出されたプログラム(カーネル、またはカーネルプログラムとも呼ばれる。)を実行する。アクセラレータ330は、例えば、グラフィック処理における行列演算の並列処理、ニューラルネットワークの積和演算の並列処理、科学技術計算における浮動小数点演算の並列処理などを行うことができる。ここでは、アクセラレータ330において、複数のデータを並列に演算処理する(並列処理)演算ブロック331の構成例について説明する。

30

【0046】

演算ブロック331は、図5Aに図示するように、複数の演算ユニット340を有する。演算ユニット340は、記憶回路350および演算回路360を有する。記憶回路350および演算回路360は、図5Aおよび図5Bに図示するように、図中XY平面に対して概略垂直な方向(図5A中、Z方向)で異なる層に設けられる。つまり、記憶回路350および演算回路360は、積層して設けられる。

【0047】

なお「概略垂直」とは、85度以上95度以下の角度で配置されている状態をいう。なお本明細書において図5B等に図示するX方向、Y方向、およびZ方向は、それぞれが互いに直交または交差する方向である。また、X方向およびY方向は基板面に対して平行または概略平行であり、Z方向は基板面に対して垂直または概略垂直である。

40

【0048】

記憶回路350は、複数のメモリセルを有する。メモリセルへのデータの書き込みおよび読出しは、駆動回路341、駆動回路342によって制御される。駆動回路341、駆動回路342は、データ制御回路ともいう。

【0049】

記憶回路350におけるメモリセルが記憶する情報(データ)は、ニューラルネットワークの積和演算に用いられる重みパラメータに対応するデータ(重みデータ)である。重み

50

データは、デジタルデータとすることで、ノイズに強く、高速で演算可能な半導体装置とすることができる。また、重みデータは、アナログデータでもよい。

【0050】

記憶回路350は、配線を介して演算回路360に接続される。記憶回路350が有するメモリセルは、OSトランジスタを有する。記憶回路350と演算回路360を接続する配線は、重みデータを記憶回路350から演算回路360に伝えるための配線となる。記憶回路350から配線へ重みデータを高速に読み出すためには、あるいは、充放電に伴う消費エネルギーを小さくするためには、配線を短くすることが好ましい。つまり配線は、図5B中、矢印351で図示するように、z方向に延びて設けられる構成とすることができる。演算回路360と記憶回路350の物理的な距離を近づけること、例えば積層によって配線距離が短くできることで、信号線に生じる寄生容量を削減できるため、低消費電力化が可能である。

10

【0051】

演算回路360は、積和演算といった演算処理を実行する機能を有する。演算回路360のデータの入力および出力は、制御回路343、制御回路344によって制御される。制御回路343、制御回路344は、データ入出力回路ともいう。

【0052】

演算回路360は、制御回路343から入力される入力データと、記憶回路350から与えられる重みデータとの、積和演算を行う。入力データはセンサ部150で検知した生体情報であってもよい。得られた積和演算のデータは、制御回路344に出力される。入力データおよび重みデータは、アナログデータでもよいし、デジタルデータでもよい。なお、入力データおよび重みデータは、デジタルデータが好ましい。デジタルデータはノイズの影響を受けにくい。よって、デジタルデータは、高い精度の演算結果が要求される演算処理を行うのに適している。

20

【0053】

演算回路360をSiトランジスタで構成することで、OSトランジスタと積層して設けることができる。つまり、OSトランジスタで構成される記憶回路350は、Siトランジスタで構成することができる演算回路360と積層して設けることができる。そのため、回路面積の増加を招くことなく、記憶回路350を配置できる面積を増やすことができる。記憶回路350が設けられる領域を演算回路360が設けられる基板上とすることで、記憶回路350と、演算回路360と、が同一層上に配置する場合と比較して、アクセラレータ330における演算処理に必要な記憶容量を増やすことができる。記憶容量が増えることで、外部記憶装置から半導体装置への、演算処理に用いるデータの転送回数を削減できるため、低消費電力化を図ることができる。

30

【0054】

<記憶回路>

記憶回路350が有するメモリセルである、NOSRAMの構成例について説明する。図6Aでは、M行N列(M、Nは2以上の自然数)の行列方向に並べて配置された書込用ワード線WWL₁乃至WWL_M、読出用ワード線RWL₁乃至RWL_M、書込用ビット線WBL₁乃至WBL_N、および配線LBL₁乃至LBL_Nを図示している。また各ワード線およびビット線に接続されたメモリセル352を図示している。

40

【0055】

図6Bは、メモリセル352に適用可能な回路構成例について説明する図である。メモリセル352は、トランジスタ353、トランジスタ354、トランジスタ355、容量素子356(キャパシタともいう)を有する。

【0056】

トランジスタ353のソースまたはドレインの一方は、書込用ビット線WBLに接続される。トランジスタ353のゲートは、書込用ワード線WWLに接続される。トランジスタ353のソースまたはドレインの他方は、容量素子356の一方の電極およびトランジスタ354のゲートに接続される。トランジスタ354のソースまたはドレインの一方およ

50

び容量素子 356 の他方の電極は、固定電位たとえばグラウンド電位を与える配線に接続される。トランジスタ 354 のソースまたはドレインの他方は、トランジスタ 355 のソースまたはドレインの一方に接続される。トランジスタ 355 のゲートは、読出用ワード線 R W L に接続される。トランジスタ 355 のソースまたはドレインの他方は、配線 L B L に接続される。配線 L B L は、演算回路 360 の S i トランジスタが設けられる基板表面に対して概略垂直な方向に延在して設けられる配線を介して演算回路 360 (図示せず) に接続される。

【 0057 】

一例として図 6 B に示すメモリセル 352 の回路構成は、3 トランジスタ型 (3 T) ゲインセルの N O S R A M に相当する。トランジスタ 353 乃至トランジスタ 355 は、O S トランジスタである。O S トランジスタはオフ状態でソースとドレインとの間を流れる電流、つまりリーク電流が極めて小さい。N O S R A M は、リーク電流が極めて小さい特性を用いてデータに応じた電荷をメモリ回路内に保持することで、不揮発性メモリとして用いることができる。

10

【 0058 】

< 演算回路 >

図 7 では、演算回路 360 の具体的な構成例を示す。図 7 では、重みデータ W と、入力データ A の積和演算を行うことができる演算回路 360 の構成例を図示している。図 7 において、乗算回路 361、加算回路 362 およびレジスタ 363 を図示している。乗算回路 361 で乗算されたデータは加算回路 362 に入力される。加算回路 362 の出力がレジスタ 363 に保持され、乗算回路 361 で乗算されるデータと加算回路 362 で足しあわされることで積和演算が行われる。レジスタ 363 は、クロック信号 C L K およびリセット信号 r e s e t _ B によって制御される。当該構成とすることで重みデータ W と入力データ A との積和演算に相当するデータ M A C を得ることができる。

20

【 0059 】

< 動作例 >

次いで C P U 310 で実行するプログラムの演算の一部をアクセラレータ 330 で実行する場合の、半導体装置の動作例を説明する。

【 0060 】

図 8 は、C P U で実行するプログラムの演算の一部をアクセラレータで実行する場合の、動作の一例を説明する図である。

30

【 0061 】

C P U にて、ホストプログラムが実行される (ホストプログラム実行 ; ステップ S 1) 。

【 0062 】

C P U は、アクセラレータを用いて演算を行う際に必要とされるデータ用領域を、記憶回路 (メモリ) に確保すると の命令を確認した場合 (メモリ確保命令 ; ステップ S 2) 、該データ用領域を、記憶回路 (メモリ) に確保する (メモリ確保 ; ステップ S 3) 。

【 0063 】

次に、C P U は、メインメモリあるいは外部記憶装置から上記記憶回路 (メモリ) へ入力データである重みデータを送信する (データ送信 ; ステップ S 4) 。上記記憶回路 (メモリ) は該重みデータを受信し、該重みデータを、ステップ S 2 で確保された領域に格納する (データ受信 ; ステップ S 5) 。

40

【 0064 】

C P U は、カーネルプログラムを起動すると の命令を確認した場合 (カーネルプログラムの起動 ; ステップ S 6) 、アクセラレータは、カーネルプログラムの実行を開始する (演算開始 ; ステップ S 7) 。

【 0065 】

アクセラレータがカーネルプログラムの実行を開始した直後、C P U を、演算を行う状態から P G (パワーゲーティング) 状態へと切り替えてもよい (P G 状態移行 ; ステップ S 8) 。その場合、アクセラレータがカーネルプログラムの実行を終了する直前に、C P U

50

は、PG状態から演算を行う状態へ切り替えられる（PG状態停止ステップS9）。ステップS8からステップS9までの期間、CPUをPG状態にすることで、演算処理システム全体として消費電力および発熱を抑制することができる。

【0066】

アクセラレータがカーネルプログラムの実行を終了すると、出力データがアクセラレータ内の演算結果を保持する記憶部に格納される（演算終了；ステップS10）。

【0067】

カーネルプログラムの実行が終了した後、CPUは、記憶部に格納された出力データをメインメモリあるいは外部記憶装置へ送信するとの命令を確認した場合（データ送信リクエスト；ステップS11）、上記の出力データがメインメモリあるいは外部記憶装置へ送信され、メインメモリあるいは外部記憶装置に格納される（データ送信；ステップS12）。

10

【0068】

以上のステップS1からステップS12までの動作を繰り返すことにより、CPUおよびアクセラレータの消費電力および発熱を抑制しつつ、CPUで実行する演算の一部をアクセラレータで実行することができる。本発明の一態様の半導体装置は、非ノイマン型アーキテクチャを有してもよい。非ノイマン型アーキテクチャは、処理速度の増加に伴って消費電力が大きくなるノイマン型アーキテクチャと比較して、極めて少ない消費電力で演算処理を行うことができる。

【0069】

<CPUコア>

20

次いでパワーゲーティングが可能なCPUコア311を有するCPU310の一例について説明する。

【0070】

図9に、CPU310の構成例を示す。CPU310は、CPUコア（CPU Core）311、L1（レベル1）キャッシュメモリ装置（L1 Cache）371、L2キャッシュメモリ装置（L2 Cache）372、バスインターフェース部（Bus I/F）373、パワースイッチ315～317、レベルシフタ（LS）318を有する。CPUコア311はフリップフロップ314を有する。

【0071】

バスインターフェース部373によって、CPUコア311、L1キャッシュメモリ装置371、L2キャッシュメモリ装置372が相互に接続される。

30

【0072】

外部から入力される割り込み信号（Interrupts）、CPU310が発行する信号SLEEP1等の信号に応じて、PMU313はクロック信号GCLK1、各種のPG（パワーゲーティング）制御信号（PG control signals）の生成を行う。クロック信号GCLK1、PG制御信号はCPU310に入力される。PG制御信号は、パワースイッチ315～317、フリップフロップ314を制御する。

【0073】

パワースイッチ315、316は、仮想電源線V_VDD（以下、V_VDD線と呼ぶ）への電圧VDD、VDD1の供給をそれぞれ制御する。パワースイッチ317は、レベルシフタ（LS）318への電圧VDDHの供給を制御する。CPU310およびPMU313には、パワースイッチを介さずに電圧VSSSが入力される。PMU313には、パワースイッチを介さずに電圧VDDが入力される。

40

【0074】

電圧VDD、VDD1はCMOS回路用の駆動電圧である。電圧VDD1は電圧VDDよりも低く、スリープ状態での駆動電圧である。電圧VDDHはOSトランジスタ用の駆動電圧であり、電圧VDDよりも高い。

【0075】

L1キャッシュメモリ装置371、L2キャッシュメモリ装置372、バスインターフェース部373のそれぞれは、少なくとも1つパワーゲーティング可能なパワードメインを

50

有する。パワーゲーティング可能なパワードメインには、1または複数のパワースイッチが設けられている。これらのパワースイッチは、PG制御信号によって制御される。

【0076】

フリップフロップ314は、レジスタに用いられる。フリップフロップ314には、バックアップ回路が設けられている。以下、フリップフロップ314について説明する。

【0077】

図10Aにフリップフロップ314(Flip-flop)の回路構成例を示す。フリップフロップ314はスキャンフリップフロップ(Scan Flip-flop)319、バックアップ回路(Backup Circuit)312を有する。

【0078】

スキャンフリップフロップ319は、ノードD1、Q1、SD、SE、RT、CK、クロックバッファ回路319Aを有する。

【0079】

ノードD1はデータ(data)入力ノードであり、ノードQ1はデータ出力ノードであり、ノードSDはスキャンテスト用データの入力ノードである。ノードSEは信号SCEの入力ノードである。ノードCKはクロック信号GCLK1の入力ノードである。クロック信号GCLK1はクロックバッファ回路319Aに入力される。スキャンフリップフロップ319のアナログスイッチは、クロックバッファ回路319AのノードCK1、CKB1に接続される。ノードRTはリセット信号(reset signal)の入力ノードである。

【0080】

信号SCEは、スキャンイネーブル信号であり、PMU313で生成される。PMU313は信号BK、RCを生成する。レベルシフタ318は信号BK、RCをレベルシフトし、信号BKH、RCHを生成する。信号BKはバックアップ信号、信号RCはリカバリ信号である。

【0081】

スキャンフリップフロップ319の回路構成は、図10Aに限定されない。標準的な回路ライブラリに用意されているフリップフロップを適用することができる。

【0082】

バックアップ回路312は、ノードSD_IN、SN11、トランジスタM11~M13、容量素子C11を有する。

【0083】

ノードSD_INは、スキャンテストデータの入力ノードであり、スキャンフリップフロップ319のノードQ1に接続される。ノードSN11は、バックアップ回路312の保持ノードである。容量素子C11はノードSN11の電圧を保持するための保持容量である。

【0084】

トランジスタM11はノードQ1とノードSN11間の導通状態を制御する。トランジスタM12はノードSN11とノードSD間の導通状態を制御する。トランジスタM13はノードSD_INとノードSD間の導通状態を制御する。トランジスタM11、M13のオンオフは信号BKHで制御され、トランジスタM12のオンオフは信号RCHで制御される。

【0085】

トランジスタM11乃至M13は、上述したメモリセル352が有するトランジスタ353乃至355と同様に、Oストランジスタである。トランジスタM11乃至M13はバックゲート有する構成を図示している。トランジスタM11乃至M13のバックゲートは、電圧VBG1を供給する電源線に接続されている。

【0086】

少なくともトランジスタM11、M12がOストランジスタであることが好ましい。オフ電流が極めて小さいというOストランジスタの特長によって、ノードSN11の電圧の低

10

20

30

40

50

下を抑えることができること、データの保持に電力を殆んど消費しないことから、バックアップ回路312は不揮発性の特性をもつ。容量素子C11の充放電によってデータを書き換えるため、バックアップ回路312は原理的には書き換え回数に制約はなく、少ない電力で、データの書き込みおよび読み出しが可能である。

【0087】

バックアップ回路312の全てのトランジスタはOSトランジスタであることが非常に好ましい。図10Bに示すように、シリコンCMOS回路で構成されるスキャンフリップフロップ319上にバックアップ回路312を積層することができる。

【0088】

バックアップ回路312は、スキャンフリップフロップ319と比較して素子数が非常に少ないので、バックアップ回路312を積層するためにスキャンフリップフロップ319の回路構成およびレイアウトの変更が必要ない。つまり、バックアップ回路312は、汎用性が非常に高いバックアップ回路である。また、スキャンフリップフロップ319が形成されている領域内にバックアップ回路312を設けることができるので、バックアップ回路312を組み込んでも、フリップフロップ314の占有面積の増加をゼロにすることが可能である。よって、バックアップ回路312をフリップフロップ314に設けることで、CPUコア311のパワーゲーティングが可能となる。パワーゲーティングに必要な電力が少ないため、CPUコア311を高効率にパワーゲーティングすることが可能である。

【0089】

バックアップ回路312を設けることによって、トランジスタM11による寄生容量がノードQ1に付加されることになるが、ノードQ1に接続される論理回路による寄生容量と比較して小さいので、スキャンフリップフロップ319の動作に影響はない。つまり、バックアップ回路312を設けても、フリップフロップ314の性能は実質的に低下しない。

【0090】

CPUコア311の低消費電力状態として、例えば、クロックゲーティング状態、パワーゲーティング状態、休止状態を設定することができる。PMU313は、割り込み信号、信号SLEEP1等に基づき、CPUコア311の低消費電力モードを選択する。例えば、通常動作状態からクロックゲーティング状態に移行する場合、PMU313はクロック信号CLK1の生成を停止する。

【0091】

例えば、通常動作状態から休止状態に移行する場合は、PMU313は、電圧および/または周波数スケーリングを行う。例えば、電圧スケーリングを行う場合、PMU313は、電圧VDD1をCPUコア311に入力するため、パワースイッチ315をオフにし、パワースイッチ316をオンにする。電圧VDD1は、スキャンフリップフロップ319のデータを消失させない電圧である。周波数スケーリングを行う場合、PMU313はクロック信号CLK1の周波数を低下させる。

【0092】

CPUコア311を通常動作状態からパワーゲーティング状態に移行する場合には、スキャンフリップフロップ319のデータをバックアップ回路312にバックアップする動作が行われる。CPUコア311をパワーゲーティング状態から通常動作状態に復帰する際には、バックアップ回路312のデータをスキャンフリップフロップ319にリカバリする動作が行われる。

【0093】

図11に、CPUコア311のパワーゲーティングシーケンスの一例を示す。なお、図11において、t1～t7は時刻を表している。信号PSE0～PSE2は、パワースイッチ315～317の制御信号であり、PMU313で生成される。信号PSE0が“H”/“L”のとき、パワースイッチ315はオン/オフである。信号PSE1、PSE2についても同様である。

【0094】

10

20

30

40

50

時刻 t_1 以前は、通常動作状態 (Normal Operation) である。パワースイッチ 315 はオンであり、CPU コア 311 には電圧 V_{DDD} が入力される。スキャンフリップフロップ 319 は通常動作を行う。このとき、レベルシフタ 318 は動作させる必要がないため、パワースイッチ 317 はオフであり、信号 SCE 、 BK 、 RC は “L” である。ノード SE が “L” であるため、スキャンフリップフロップ 319 はノード D_1 のデータを記憶する。なお、図 11 の例では、時刻 t_1 において、バックアップ回路 312 のノード SN_{11} は “L” である。

【0095】

バックアップ (Backup) 時の動作を説明する。時刻 t_1 で、PMU 313 はクロック信号 $GCLK_1$ を停止し、信号 PSE_2 、 BK を “H” にする。レベルシフタ 318 はアクティブになり、“H” の信号 BKH をバックアップ回路 312 に出力する。

10

【0096】

バックアップ回路 312 のトランジスタ M_{11} がオンになり、スキャンフリップフロップ 319 のノード Q_1 のデータがバックアップ回路 312 のノード SN_{11} に書き込まれる。スキャンフリップフロップ 319 のノード Q_1 が “L” であれば、ノード SN_{11} は “L” のままであり、ノード Q_1 が “H” であれば、ノード SN_{11} は “H” になる。

【0097】

PMU 313 は、時刻 t_2 で信号 PSE_2 、 BK を “L” にし、時刻 t_3 で信号 PSE_0 を “L” にする。時刻 t_3 で、CPU コア 311 の状態はパワーゲーティング状態に移行する。なお、信号 BK を立ち下げるタイミングで信号 PSE_0 を立ち下げてもよい。

20

【0098】

パワーゲーティング (Power-gating) 時の動作を説明する。信号 PSE_0 が “L” になることで、 V_{VDD} 線の電圧が低下するため、ノード Q_1 のデータは失われる。ノード SN_{11} は、時刻 t_3 でのノード Q_1 のデータを保持し続ける。

【0099】

リカバリ (Recovery) 時の動作を説明する。時刻 t_4 で、PMU 313 が信号 PSE_0 を “H” にすることで、パワーゲーティング状態からリカバリ状態に移行する。 V_{VDD} 線の充電が開始され、 V_{VDD} 線の電圧が V_{DDD} になった状態 (時刻 t_5) で、PMU 313 は信号 PSE_2 、 RC 、 SCE を “H” にする。

【0100】

トランジスタ M_{12} はオンになり、容量素子 C_{11} の電荷がノード SN_{11} とノード SD とに分配される。ノード SN_{11} が “H” であれば、ノード SD の電圧は上昇する。ノード SE は “H” であるので、スキャンフリップフロップ 319 の入力側ラッチ回路にノード SD のデータが書き込まれる。時刻 t_6 でノード CK にクロック信号 $GCLK_1$ が入力されると、入力側ラッチ回路のデータがノード Q_1 に書き込まれる。つまり、ノード SN_{11} のデータがノード Q_1 に書き込まれたことになる。

30

【0101】

時刻 t_7 で、PMU 313 は信号 PSE_2 、 SCE 、 RC を “L” にし、リカバリ動作が終了する。

【0102】

OS トランジスタを用いたバックアップ回路 312 は、動的および静的低消費電力双方が小さいため、ノーマリオフ・コンピューティングに非常に好適である。なお、OS トランジスタを用いたバックアップ回路 312 を有する CPU コア 311 を含む CPU 310 は、NoFF CPU (登録商標) と呼称することができる。NoFF CPU は、不揮発性メモリを有し、動作が必要ない場合には、電力供給を停止することができる。フリップフロップ 314 を搭載しても、CPU コア 311 の性能低下、動的電力の増加をほとんど発生させないようにできる。

40

【0103】

なお、CPU コア 311 は複数のパワーゲーティング可能なパワードメインを有してもよい。複数のパワードメインには、電圧の入力を制御するための 1 または複数のパワースイ

50

ッチが設けられる。また、CPUコア311は、1または複数のパワーゲーティングが行われないパワードメインを有していてもよい。例えば、パワーゲーティングが行われないパワードメインに、フリップフロップ314、パワースイッチ315～317の制御を行うためのパワーゲーティング制御回路を設けてもよい。

【0104】

なお、フリップフロップ314の適用はCPU310に限定されない。CPU310において、パワーゲーティング可能なパワードメインに設けられるレジスタに、フリップフロップ314を適用できる。

【0105】

本実施の形態に示す構成、構造、方法などは、他の実施の形態などに示す構成、構造、方法などと適宜組み合わせ用いることができる。

10

【0106】

(実施の形態2)

本実施の形態では、上記実施の形態で説明した半導体装置に適用可能なトランジスタの構成例について説明する。一例として、異なる電気特性を有するトランジスタを積層して設ける構成について説明する。当該構成とすることで、半導体装置の設計自由度を高めることができる。また、異なる電気特性を有するトランジスタを積層して設けることで、半導体装置の集積度を高めることができる。

【0107】

半導体装置の断面構造の一部を図12に示す。図12に示す半導体装置は、トランジスタ550と、トランジスタ500と、容量素子600と、を有している。図13Aはトランジスタ500のチャンネル長方向の断面図であり、図13Bはトランジスタ500のチャンネル幅方向の断面図である。例えば、トランジスタ500は上記実施の形態に示した記憶回路350が有するOSトランジスタ、つまりチャンネル形成領域に酸化物半導体を有するトランジスタに相当する。また、トランジスタ550は上記実施の形態に示した演算回路360が有するSiトランジスタ、つまりチャンネル形成領域にシリコンを有するトランジスタに相当する。また、容量素子600は記憶回路350が有する容量素子に相当する。

20

【0108】

トランジスタ500は、OSトランジスタである。OSトランジスタは、オフ電流が極めて少ない。よって、トランジスタ500を介して記憶ノードに書き込んだデータ電圧あるいは電荷を長期間保持することが可能である。つまり、記憶ノードのリフレッシュ動作頻度を低減、あるいは、リフレッシュ動作を必要としないため、半導体装置の消費電力を低減することができる。

30

【0109】

図12では、トランジスタ500はトランジスタ550の上方に設けられ、容量素子600はトランジスタ550、およびトランジスタ500の上方に設けられている。

【0110】

トランジスタ550は、基板411に設けられる。基板411は、例えば、p型のシリコン基板である。基板411は、n型のシリコン基板でもよい。酸化物層414は、基板411に埋め込み酸化(Burried oxide)によって形成された絶縁層(BOX層ともいう)、例えば酸化シリコンであることが好ましい。トランジスタ550は、基板411に酸化物層414を介して設けられた単結晶シリコン、いわゆるSOI(Silicon On Insulator)基板に設けられる。よって、本実施の形態などにおいて、トランジスタ550はSiトランジスタである。

40

【0111】

SOI基板における基板411は、素子分離層として機能する絶縁体413が設けられる。また基板411は、ウェル領域412を有する。ウェル領域412は、トランジスタ550の導電型に応じてn型またはp型の導電性が付与された領域である。SOI基板における単結晶シリコンには、半導体領域415、ソース領域またはドレイン領域として機能する低抵抗領域416a、低抵抗領域416bが設けられる。またウェル領域412上に

50

は、低抵抗領域 4 1 6 c を有する。

【 0 1 1 2 】

トランジスタ 5 5 0 は、導電性を付与する不純物元素が付加されたウェル領域 4 1 2 に重ねて設けることができる。ウェル領域 4 1 2 は、低抵抗領域 4 1 6 c を介して電位を独立して変化させることで、トランジスタ 5 5 0 のボトムゲート電極として機能させることができる。そのため、トランジスタ 5 5 0 のしきい値電圧を制御することができる。特に、ウェル領域 4 1 2 に負の電位を印加することにより、トランジスタ 5 5 0 のしきい値電圧をより大きくし、オフ電流を低減することが可能となる。したがって、ウェル領域 4 1 2 に負の電位を印加することで、Si トランジスタのゲート電極に印加する電位が 0 V のときのドレイン電流を小さくすることができる。その結果、トランジスタ 5 5 0 を有する半導体装置の消費電力を低減でき、演算効率の向上を図ることができる。

10

【 0 1 1 3 】

トランジスタ 5 5 0 は、半導体層の上面およびチャネル幅方向の側面が絶縁体 4 1 7 を介して導電体 4 1 8 に覆われている、いわゆる Fin 型とすることが好ましい。トランジスタ 5 5 0 を Fin 型とすることにより、実効上のチャネル幅が増大することによりトランジスタ 5 5 0 のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ 5 5 0 のオフ特性を向上させることができる。

【 0 1 1 4 】

なお、トランジスタ 5 5 0 は、p チャネル型のトランジスタ、あるいは n チャネル型のトランジスタのいずれでもよい。

20

【 0 1 1 5 】

導電体 4 1 8 は、第 1 ゲート（トップゲートともいう）電極として機能する場合がある。また、ウェル領域 4 1 2 は、第 2 ゲート（ボトムゲートともいう）電極として機能する場合がある。その場合、ウェル領域 4 1 2 に印加する電位は、低抵抗領域 4 1 6 c を介して制御することができる。

【 0 1 1 6 】

半導体領域 4 1 5 のチャネルが形成される領域、その近傍の領域、ソース領域、またはドレイン領域となる低抵抗領域 4 1 6 a、および低抵抗領域 4 1 6 b、ウェル領域 4 1 2 の電位を制御する電極に接続される低抵抗領域 4 1 6 c などにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。または、Ge（ゲルマニウム）、SiGe（シリコンゲルマニウム）、GaAs（ガリウムヒ素）、GaAlAs（ガリウムアルミニウムヒ素）などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。または GaAs と GaAlAs 等を用いることで、トランジスタ 5 5 0 を HEMT（High Electron Mobility Transistor）としてもよい。

30

【 0 1 1 7 】

ウェル領域 4 1 2、低抵抗領域 4 1 6 a、低抵抗領域 4 1 6 b、および低抵抗領域 4 1 6 c は、半導体領域 4 1 5 に適用される半導体材料に加え、ヒ素、リンなどの n 型の導電性を付与する元素、またはホウ素などの p 型の導電性を付与する元素を含む。

40

【 0 1 1 8 】

ゲート電極として機能する導電体 4 1 8 は、ヒ素、リンなどの n 型の導電性を付与する元素、もしくはホウ素などの p 型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。また導電体 4 1 8 は、ニッケルシリサイド等のシリサイドを用いてもよい。

【 0 1 1 9 】

なお、導電体の材料によって仕事関数が決まるため、当該導電体の材料を選択することで、トランジスタのしきい値電圧を調整することができる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステンやアルミニウムなどの金属材料を積層として用いること

50

が好ましく、特にタングステンを用いることが耐熱性の点で好ましい。

【0120】

低抵抗領域416a、低抵抗領域416b、および低抵抗領域416cは、別の導電体、例えばニッケルシリサイド等のシリサイドを積層して設ける構成としてもよい。当該構成とすることで、電極として機能する領域の導電性を高めることができる。またこのとき、ゲート電極として機能する導電体418の側面、およびゲート絶縁膜として機能する絶縁体417の側面には、サイドウォール Spacer（側壁絶縁層ともいう）として機能する絶縁体を設ける構成としてもよい。当該構成とすることで、導電体418と、低抵抗領域416aおよび低抵抗領域416bと、が導通状態となることを防ぐことができる。

【0121】

トランジスタ550を覆って、絶縁体420、絶縁体422、絶縁体424、および絶縁体426が順に積層して設けられている。

【0122】

絶縁体420、絶縁体422、絶縁体424、および絶縁体426として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

【0123】

なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。また、本明細書中において、酸化窒化アルミニウムとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化アルミニウムとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

【0124】

絶縁体422は、その下方に設けられるトランジスタ550などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体422の上面は、平坦性を高めるために化学機械研磨（CMP）法等を用いた平坦化処理により平坦化されていてもよい。

【0125】

また、絶縁体424には、基板411、またはトランジスタ550などから、トランジスタ500が設けられる領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

【0126】

水素に対するバリア性を有する膜の一例として、例えば、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ500等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ500と、トランジスタ550との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

【0127】

水素の脱離量は、例えば、昇温脱離ガス分析法（TDS）などを用いて分析することができる。例えば、絶縁体424の水素の脱離量は、TDS分析において、膜の表面温度が50から500の範囲において、水素原子に換算した脱離量が、絶縁体424の面積当たり換算して、 $1.0 \times 10^{15} \text{ atoms/cm}^2$ 以下、好ましくは $5 \times 10^{15} \text{ atoms/cm}^2$ 以下であればよい。

【0128】

なお、絶縁体426は、絶縁体424よりも誘電率が低いことが好ましい。例えば、絶縁体426の比誘電率は4未満が好ましく、3未満がより好ましい。また例えば、絶縁体426の比誘電率は、絶縁体424の比誘電率の0.7倍以下が好ましく、0.6倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

10

20

30

40

50

【 0 1 2 9 】

また、絶縁体 4 2 0、絶縁体 4 2 2、絶縁体 4 2 4、および絶縁体 4 2 6 には容量素子 6 0 0、またはトランジスタ 5 0 0 と接続する導電体 4 2 8、および導電体 4 3 0 等が埋め込まれている。なお、導電体 4 2 8、および導電体 4 3 0 は、プラグまたは配線としての機能を有する。また、プラグまたは配線としての機能を有する導電体は、複数の構成をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

【 0 1 3 0 】

各プラグ、および配線（導電体 4 2 8、導電体 4 3 0 等）の材料としては、金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

10

【 0 1 3 1 】

絶縁体 4 2 6、および導電体 4 3 0 上に、配線層を設けてもよい。例えば、図 1 2 では、絶縁体 4 5 0、絶縁体 4 5 2、および絶縁体 4 5 4 が順に積層して設けられている。また、絶縁体 4 5 0、絶縁体 4 5 2、および絶縁体 4 5 4 には、導電体 4 5 6 が形成されている。導電体 4 5 6 は、トランジスタ 5 5 0 と接続するプラグ、または配線としての機能を有する。なお導電体 4 5 6 は、導電体 4 2 8、および導電体 4 3 0 と同様の材料を用いて設けることができる。

20

【 0 1 3 2 】

なお、例えば、絶縁体 4 5 0 は、絶縁体 4 2 4 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 4 5 6 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 4 5 0 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 5 5 0 とトランジスタ 5 0 0 とは、バリア層により分離することができ、トランジスタ 5 5 0 からトランジスタ 5 0 0 への水素の拡散を抑制することができる。

【 0 1 3 3 】

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ 5 5 0 からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体 4 5 0 と接する構成であることが好ましい。

30

【 0 1 3 4 】

絶縁体 4 5 4、および導電体 4 5 6 上に、配線層を設けてもよい。例えば、図 1 2 では、絶縁体 4 6 0、絶縁体 4 6 2、および絶縁体 4 6 4 が順に積層して設けられている。また、絶縁体 4 6 0、絶縁体 4 6 2、および絶縁体 4 6 4 には、導電体 4 6 6 が形成されている。導電体 4 6 6 は、プラグまたは配線としての機能を有する。なお導電体 4 6 6 は、導電体 4 2 8、および導電体 4 3 0 と同様の材料を用いて設けることができる。

40

【 0 1 3 5 】

なお、例えば、絶縁体 4 6 0 は、絶縁体 4 2 4 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 4 6 6 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 4 6 0 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 5 5 0 とトランジスタ 5 0 0 とは、バリア層により分離することができ、トランジスタ 5 5 0 からトランジスタ 5 0 0 への水素の拡散を抑制することができる。

【 0 1 3 6 】

絶縁体 4 6 4、および導電体 4 6 6 上に、配線層を設けてもよい。例えば、図 1 2 では、

50

絶縁体 470、絶縁体 472、および絶縁体 474 が順に積層して設けられている。また、絶縁体 470、絶縁体 472、および絶縁体 474 には、導電体 476 が形成されている。導電体 476 は、プラグまたは配線としての機能を有する。なお導電体 476 は、導電体 428、および導電体 430 と同様の材料を用いて設けることができる。

【0137】

なお、例えば、絶縁体 470 は、絶縁体 424 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 476 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 470 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 550 とトランジスタ 500 とは、バリア層により分離することができ、トランジスタ 550 からトランジスタ 500 への水素の拡散を抑制することができる。

10

【0138】

絶縁体 474、および導電体 476 上に、配線層を設けてもよい。例えば、図 12 では、絶縁体 480、絶縁体 482、および絶縁体 484 が順に積層して設けられている。また、絶縁体 480、絶縁体 482、および絶縁体 484 には、導電体 486 が形成されている。導電体 486 は、プラグまたは配線としての機能を有する。なお導電体 486 は、導電体 428、および導電体 430 と同様の材料を用いて設けることができる。

【0139】

なお、例えば、絶縁体 480 は、絶縁体 424 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 486 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 480 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 550 とトランジスタ 500 とは、バリア層により分離することができ、トランジスタ 550 からトランジスタ 500 への水素の拡散を抑制することができる。

20

【0140】

上記において、導電体 456 を含む配線層、導電体 466 を含む配線層、導電体 476 を含む配線層、および導電体 486 を含む配線層、について説明したが、本実施の形態に係る半導体装置はこれに限られるものではない。導電体 456 を含む配線層と同様の配線層を 3 層以下にしてもよいし、導電体 456 を含む配線層と同様の配線層を 5 層以上にしてもよい。

30

【0141】

絶縁体 484 上には絶縁体 510、絶縁体 512、絶縁体 514、および絶縁体 516 が、順に積層して設けられている。絶縁体 510、絶縁体 512、絶縁体 514、および絶縁体 516 のいずれかは、酸素や水素に対してバリア性のある物質を用いることが好ましい。

【0142】

例えば、絶縁体 510、および絶縁体 514 には、例えば、基板 411、またはトランジスタ 550 を設ける領域などから、トランジスタ 500 を設ける領域に、水素や不純物に対するバリア性を有する膜を用いることが好ましい。したがって、絶縁体 424 と同様の材料を用いることができる。

40

【0143】

水素に対するバリア性を有する膜の一例として、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ 500 等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ 500 と、トランジスタ 550 との間に、水素の拡散を抑制する膜を用いることが好ましい。

【0144】

また、水素に対するバリア性を有する膜として、例えば、絶縁体 510、および絶縁体 514 には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

50

【 0 1 4 5 】

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ500への混入を防止することができる。また、トランジスタ500を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ500に対する保護膜として用いることに適している。

【 0 1 4 6 】

また、例えば、絶縁体512、および絶縁体516には、絶縁体420と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体512、および絶縁体516として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

10

【 0 1 4 7 】

また、絶縁体510、絶縁体512、絶縁体514、および絶縁体516には、導電体518、およびトランジスタ500を構成する導電体（例えば、導電体503）等が埋め込まれている。なお、導電体518は、容量素子600、またはトランジスタ550と接続するプラグ、または配線としての機能を有する。導電体518は、導電体428、および導電体430と同様の材料を用いて設けることができる。

【 0 1 4 8 】

特に、絶縁体510、および絶縁体514と接する領域の導電体518は、酸素、水素、および水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ550とトランジスタ500とは、酸素、水素、および水に対するバリア性を有する層で、分離することができ、トランジスタ550からトランジスタ500への水素の拡散を抑制することができる。

20

【 0 1 4 9 】

絶縁体516の上方には、トランジスタ500が設けられている。

【 0 1 5 0 】

図13Aおよび図13Bに示すように、トランジスタ500は、絶縁体514および絶縁体516に埋め込まれるように配置された導電体503と、絶縁体516および導電体503の上に配置された絶縁体522と、絶縁体522の上に配置された絶縁体524と、絶縁体524の上に配置された酸化物530aと、酸化物530aの上に配置された酸化物530bと、酸化物530b上に互いに離れて配置された導電体542aおよび導電体542bと、導電体542aおよび導電体542b上に配置され、導電体542aと導電体542bの間に重畳して開口が形成された絶縁体580と、開口の底面および側面に配置された絶縁体545と、絶縁体545の形成面に配置された導電体560と、を有する。

30

【 0 1 5 1 】

また、図13Aおよび図13Bに示すように、酸化物530a、酸化物530b、導電体542a、および導電体542bと、絶縁体580の間に絶縁体544が配置されることが好ましい。また、図13Aおよび図13Bに示すように、導電体560は、絶縁体545の内側に設けられた導電体560aと、導電体560aの内側に埋め込まれるように設けられた導電体560bと、を有することが好ましい。また、図13Aおよび図13Bに示すように、絶縁体580、導電体560、および絶縁体545の上に絶縁体574が配置されることが好ましい。

40

【 0 1 5 2 】

なお、本明細書などにおいて、酸化物530a、および酸化物530bをまとめて酸化物530という場合がある。

【 0 1 5 3 】

なお、トランジスタ500では、チャネルが形成される領域と、その近傍において、酸化物530a、および酸化物530bの2層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物530bの単層、または3層以上の積層

50

構成を設ける構成にしてもよい。

【0154】

また、トランジスタ500では、導電体560を2層の積層構成として示しているが、本発明はこれに限られるものではない。例えば、導電体560が、単層構成であってもよいし、3層以上の積層構成であってもよい。また、図12、図13A、および図13Bに示すトランジスタ500は一例であり、その構成に限定されず、回路構成や駆動方法などに応じて適切なトランジスタを用いればよい。

【0155】

ここで、導電体560は、トランジスタのゲート電極として機能し、導電体542aおよび導電体542bは、それぞれソース電極またはドレイン電極として機能する。上記のように、導電体560は、絶縁体580の開口、および導電体542aと導電体542bに挟まれた領域に埋め込まれるように形成される。導電体560、導電体542aおよび導電体542bの配置は、絶縁体580の開口に対して、自己整合的に選択される。つまり、トランジスタ500において、ゲート電極を、ソース電極とドレイン電極の間に、自己整合的に配置させることができる。よって、導電体560を位置合わせのマージンを設けることなく形成することができるので、トランジスタ500の占有面積の縮小を図ることができる。これにより、半導体装置の微細化、高集積化を図ることができる。

10

【0156】

さらに、導電体560が、導電体542aと導電体542bの間の領域に自己整合的に形成されるので、導電体560は、導電体542aまたは導電体542bと重畳する領域を有さない。これにより、導電体560と導電体542aおよび導電体542bとの間に形成される寄生容量を低減することができる。よって、トランジスタ500のスイッチング速度を向上させ、高い周波数特性を有せしめることができる。

20

【0157】

導電体560は、第1ゲート(トップゲートともいう)電極として機能する場合がある。また、導電体503は、第2ゲート(ボトムゲートともいう)電極として機能する場合がある。その場合、導電体503に印加する電位を、導電体560に印加する電位と、連動させず、独立して変化させることで、トランジスタ500のしきい値電圧を制御することができる。特に、導電体503に負の電位を印加することにより、トランジスタ500のしきい値電圧をより大きくし、オフ電流を低減することが可能となる。したがって、導電体503に負の電位を印加したほうが、印加しない場合よりも、導電体560に印加する電位が0Vのときのドレイン電流を小さくすることができる。

30

【0158】

導電体503は、酸化物530、および導電体560と、重なるように配置する。これにより、導電体560、および導電体503に電位を印加した場合、導電体560から生じる電界と、導電体503から生じる電界と、がつながり、酸化物530に形成されるチャネル形成領域を覆うことができる。

【0159】

本明細書等において、一对のゲート電極(第1のゲート電極、および第2のゲート電極)の電界によって、チャネル形成領域を電氣的に取り囲むトランジスタの構成を、*surrounded channel*(*S-channel*)構成とよぶ。また、本明細書等で開示する*S-channel*構成は、*Fin*型構成およびプレーナ型構成とは異なる。*S-channel*構成を採用することで、短チャネル効果に対する耐性を高める、別言すると短チャネル効果が発生し難いトランジスタとすることができる。

40

【0160】

また、導電体503は、導電体518と同様の構成であり、絶縁体514および絶縁体516の開口の内壁に接して導電体503aが形成され、さらに内側に導電体503bが形成されている。なお、トランジスタ500では、導電体503aおよび導電体503bを積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体503は、単層、または3層以上の積層構成として設ける構成にしてもよい。

50

【0161】

ここで、導電体503aは、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい。）導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい。）導電性材料を用いることが好ましい。なお、本明細書において、不純物、または酸素の拡散を抑制する機能とは、上記不純物、または上記酸素のいずれか一または、すべての拡散を抑制する機能とする。

【0162】

例えば、導電体503aが酸素の拡散を抑制する機能を持つことにより、導電体503bが酸化して導電率が低下することを抑制することができる。

10

【0163】

また、導電体503が配線の機能を兼ねる場合、導電体503bは、タングステン、銅、またはアルミニウムを主成分とする、導電性が高い導電性材料を用いることが好ましい。なお、本実施の形態では導電体503を導電体503aと導電体503bの積層で図示したが、導電体503は単層構成であってもよい。

【0164】

絶縁体522、および絶縁体524は、第2のゲート絶縁膜としての機能を有する。

【0165】

ここで、酸化物530と接する絶縁体524は、化学量論的組成を満たす酸素よりも多くの酸素を含む絶縁体を用いることが好ましい。当該酸素は、加熱により膜中から放出されやすい。本明細書などでは、加熱により放出される酸素を「過剰酸素」と呼ぶ場合がある。つまり、絶縁体524には、過剰酸素を含む領域（「過剰酸素領域」ともいう。）が形成されていることが好ましい。このような過剰酸素を含む絶縁体を酸化物530に接して設けることにより、酸化物530中の酸素欠損（ V_O : oxygen vacancyともいう）を低減し、トランジスタ500の信頼性を向上させることができる。なお、酸化物530中の酸素欠損に水素が入った場合、当該欠陥（以下、 V_{OH} と呼ぶ場合がある。）はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。従って、水素が多く含まれている酸化物半導体を用いたトランジスタは、ノーマリーオン特性となりやすい。また、酸化物半導体中の水素は、熱、電界などのストレスによって動きやすいため、酸化物半導体に多くの水素が含まれると、トランジスタの信頼性が悪化する虞もある。本発明の一態様においては、酸化物530中の V_{OH} をできる限り低減し、高純度真性または実質的に高純度真性にするのが好ましい。このように、 V_{OH} が十分低減された酸化物半導体を得るには、酸化物半導体中の水分、水素などの不純物を除去すること（「脱水」または「脱水素化処理」ともいう。）と、酸化物半導体に酸素を供給して酸素欠損を補填すること（「加酸素化処理」ともいう。）が重要である。 V_{OH} などの不純物が十分に低減された酸化物半導体をトランジスタのチャンネル形成領域に用いることで、安定した電気特性を付与することができる。

20

30

【0166】

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS（Thermal Desorption Spectroscopy）分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、または $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては100 以上700 以下、または100 以上400 以下の範囲が好ましい。

40

【0167】

また、上記過剰酸素領域を有する絶縁体と、酸化物530と、を接して加熱処理、マイクロ波処理、またはRF処理のいずれか一または複数の処理を行っても良い。当該処理を行

50

うことで、酸化物530中の水、または水素を除去することができる。例えば、酸化物530において、 V-O-H の結合が切断される反応が起きる、別言すると「 $\text{V-O-H} \rightarrow \text{V-O} + \text{H}$ 」という反応が起きて、脱水素化することができる。このとき発生した水素の一部は、酸素と結合して H_2O として、酸化物530、または酸化物530近傍の絶縁体から除去される場合がある。また、水素の一部は、導電体542aまたは導電体542bにゲッタリングされる場合がある。

【0168】

また、上記マイクロ波処理は、例えば、高密度プラズマを発生させる電源を有する装置、または、基板側にRFを印加する電源を有する装置を用いると好適である。例えば、酸素を含むガスを用い、且つ高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができ、基板側にRFを印加することで、高密度プラズマによって生成された酸素ラジカルを、効率よく酸化物530、または酸化物530近傍の絶縁体中に導入することができる。また、上記マイクロ波処理は、圧力を133Pa以上、好ましくは200Pa以上、さらに好ましくは400Pa以上とすればよい。また、マイクロ波処理を行う装置内に導入するガスとしては、例えば、酸素と、アルゴンとを用い、酸素流量比($\text{O}_2 / (\text{O}_2 + \text{Ar})$)が50%以下、好ましくは10%以上30%以下で行うとよい。

10

【0169】

また、トランジスタ500の作製工程中において、酸化物530の表面が露出した状態で、加熱処理を行うと好適である。当該加熱処理は、例えば、100以上450以下、より好ましくは350以上400以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物530に酸素を供給して、酸素欠損(V_O)の低減を図ることができる。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気加熱処理した後に、脱離した酸素を補うために、酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気で行ってもよい。または、酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気加熱処理した後に、連続して窒素ガスもしくは不活性ガスの雰囲気加熱処理を行ってもよい。

20

【0170】

なお、酸化物530に加酸素化処理を行うことで、酸化物530中の酸素欠損を、供給された酸素により修復させる、別言すると「 $\text{V}_\text{O} + \text{O} \rightarrow \text{null}$ 」という反応を促進させることができる。さらに、酸化物530中に残存した水素に供給された酸素が反応することで、当該水素を H_2O として除去する(脱水化する)ことができる。これにより、酸化物530中に残存していた水素が酸素欠損に再結合して V-O-H が形成されるのを抑制することができる。

30

【0171】

また、絶縁体524が、過剰酸素領域を有する場合、絶縁体522は、酸素(例えば、酸素原子、酸素分子など)の拡散を抑制する機能を有する(上記酸素が透過しにくい)ことが好ましい。

【0172】

絶縁体522が、酸素や不純物の拡散を抑制する機能を有することで、酸化物530が有する酸素は、導電体503側へ拡散することがなく、好ましい。また、導電体503が、絶縁体524や、酸化物530が有する酸素と反応することを抑制することができる。

40

【0173】

絶縁体522は、例えば、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物(ハフニウムアルミネート)、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛(PZT)、チタン酸ストロンチウム(SrTiO_3)、または($\text{Ba, Sr})\text{TiO}_3$ (BST)などのいわゆるhigh-k材料を含む絶縁体を単層または積層で用いることが好ましい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁膜とし

50

て機能する絶縁体に high - k 材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

【0174】

特に、不純物、および酸素などの拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料であるアルミニウム、ハフニウム的一方または双方の酸化物を含む絶縁体を用いるとよい。アルミニウム、ハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。このような材料を用いて絶縁体522を形成した場合、絶縁体522は、酸化物530からの酸素の放出や、トランジスタ500の周辺部から酸化物530への水素等の不純物の混入を抑制する層として機能する。

10

【0175】

または、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

【0176】

なお、図13Aおよび図13Bのトランジスタ500では、3層の積層構成からなる第2のゲート絶縁膜として、絶縁体522、および絶縁体524が図示されているが、第2のゲート絶縁膜は、単層、2層、または4層以上の積層構成を有していてもよい。その場合、同じ材料からなる積層構成に限定されず、異なる材料からなる積層構成でもよい。

20

【0177】

トランジスタ500は、チャンネル形成領域を含む酸化物530に、酸化物半導体として機能する金属酸化物を用いる。例えば、酸化物530として、In - M - Zn酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種）等の金属酸化物を用いるとよい。

【0178】

酸化物半導体として機能する金属酸化物の形成は、スパッタリング法で行なってもよいし、ALD (Atomic Layer Deposition) 法で行なってもよい。なお、酸化物半導体として機能する金属酸化物については、他の実施の形態で詳細に説明する。

30

【0179】

また、酸化物530においてチャンネル形成領域として機能する金属酸化物は、バンドギャップが2 eV以上、好ましくは2.5 eV以上のもを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

【0180】

酸化物530は、酸化物530b下に酸化物530aを有することで、酸化物530aよりも下方に形成された構成物から、酸化物530bへの不純物の拡散を抑制することができる。

40

【0181】

なお、酸化物530は、各金属原子の原子数比が異なる複数の酸化物層の積層構成を有することが好ましい。具体的には、酸化物530aに用いる金属酸化物において、構成元素中の元素Mの原子数比が、酸化物530bに用いる金属酸化物における、構成元素中の元素Mの原子数比より、大きいことが好ましい。また、酸化物530aに用いる金属酸化物において、Inに対する元素Mの原子数比が、酸化物530bに用いる金属酸化物における、Inに対する元素Mの原子数比より大きいことが好ましい。また、酸化物530bに用いる金属酸化物において、元素Mに対するInの原子数比が、酸化物530aに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。

【0182】

50

また、酸化物 5 3 0 a の伝導帯下端のエネルギーが、酸化物 5 3 0 b の伝導帯下端のエネルギーより高くなるのが好ましい。また、言い換えると、酸化物 5 3 0 a 電子親和力が、酸化物 5 3 0 b の電子親和力より小さいことが好ましい。

【 0 1 8 3 】

ここで、酸化物 5 3 0 a および酸化物 5 3 0 b の接合部において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、酸化物 5 3 0 a および酸化物 5 3 0 b の接合部における伝導帯下端のエネルギー準位は、連続的に変化または連続接合するともいうことができる。このようにするためには、酸化物 5 3 0 a と酸化物 5 3 0 b との界面において形成される混合層の欠陥準位密度を低くするとよい。

【 0 1 8 4 】

具体的には、酸化物 5 3 0 a と酸化物 5 3 0 b が、酸素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物 5 3 0 b が In - Ga - Zn 酸化物の場合、酸化物 5 3 0 a として、In - Ga - Zn 酸化物、Ga - Zn 酸化物、酸化ガリウムなどを用いるとよい。

【 0 1 8 5 】

このとき、キャリアの主たる経路は酸化物 5 3 0 b となる。酸化物 5 3 0 a を上述の構成とすることで、酸化物 5 3 0 a と酸化物 5 3 0 b との界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ 5 0 0 は高いオン電流を得られる。

【 0 1 8 6 】

酸化物 5 3 0 b 上には、ソース電極、およびドレイン電極として機能する導電体 5 4 2 a、および導電体 5 4 2 b が設けられる。導電体 5 4 2 a、および導電体 5 4 2 b としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。更に、窒化タンタルなどの金属窒化物膜は、水素または酸素に対するバリア性があるため好ましい。

【 0 1 8 7 】

また、図 1 3 A では、導電体 5 4 2 a、および導電体 5 4 2 b を単層構成として示したが、2 層以上の積層構成としてもよい。例えば、窒化タンタル膜とタングステン膜を積層するとよい。また、チタン膜とアルミニウム膜を積層してもよい。また、タングステン膜上にアルミニウム膜を積層する二層構成、銅 - マグネシウム - アルミニウム合金膜上に銅膜を積層する二層構成、チタン膜上に銅膜を積層する二層構成、タングステン膜上に銅膜を積層する二層構成としてもよい。

【 0 1 8 8 】

また、チタン膜または窒化チタン膜と、そのチタン膜または窒化チタン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にチタン膜または窒化チタン膜を形成する三層構成、モリブデン膜または窒化モリブデン膜と、そのモリブデン膜または窒化モリブデン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にモリブデン膜または窒化モリブデン膜を形成する三層構成等がある。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。

【 0 1 8 9 】

また、図13Aに示すように、酸化物530の、導電体542a(導電体542b)との界面とその近傍には、低抵抗領域として、領域543a、および領域543bが形成される場合がある。このとき、領域543aはソース領域またはドレイン領域の一方として機能し、領域543bはソース領域またはドレイン領域の他方として機能する。また、領域543aと領域543bに挟まれる領域にチャンネル形成領域が形成される。

【0190】

酸化物530と接するように上記導電体542a(導電体542b)を設けることで、領域543a(領域543b)の酸素濃度が低減する場合がある。また、領域543a(領域543b)に導電体542a(導電体542b)に含まれる金属と、酸化物530の成分とを含む金属化合物層が形成される場合がある。このような場合、領域543a(領域543b)のキャリア密度が増加し、領域543a(領域543b)は、低抵抗領域となる。

10

【0191】

絶縁体544は、導電体542a、および導電体542bを覆うように設けられ、導電体542a、および導電体542bの酸化を抑制する。このとき、絶縁体544は、酸化物530の側面を覆い、絶縁体524と接するように設けられてもよい。

【0192】

絶縁体544として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、ネオジム、ランタンまたは、マグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。また、絶縁体544として、窒化酸化シリコンまたは窒化シリコンなども用いることができる。

20

【0193】

特に、絶縁体544として、アルミニウム、またはハフニウムの一方または双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、アルミニウム、およびハフニウムを含む酸化物(ハフニウムアルミネート)などを用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも、耐熱性が高い。そのため、後の工程での熱処理において、結晶化しにくいことが好ましい。なお、導電体542a、および導電体542bが耐酸化性を有する材料、または、酸素を吸収しても著しく導電性が低下しない材料である場合、絶縁体544は、必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

30

【0194】

絶縁体544を有することで、絶縁体580に含まれる水、および水素などの不純物が酸化物530bに拡散することを抑制することができる。また、絶縁体580が有する過剰酸素による、導電体542aおよび導電体542bの酸化を抑制できる。

【0195】

絶縁体545は、第1のゲート絶縁膜として機能する。絶縁体545は、上述した絶縁体524と同様に、過剰に酸素を含み、かつ加熱により酸素が放出される絶縁体を用いて形成することが好ましい。

【0196】

具体的には、過剰酸素を有する酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、および窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。

40

【0197】

過剰酸素を含む絶縁体を絶縁体545として設けることにより、絶縁体545から、酸化物530bのチャンネル形成領域に効果的に酸素を供給することができる。また、絶縁体524と同様に、絶縁体545中の水または水素などの不純物濃度が低減されていることが好ましい。絶縁体545の膜厚は、1nm以上20nm以下とするのが好ましい。また、絶縁体545の形成前および/または形成後に、前述したマイクロ波処理を行なってもよ

50

い。

【0198】

また、絶縁体545が有する過剰酸素を、効率的に酸化物530へ供給するために、絶縁体545と導電体560との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体545から導電体560への酸素拡散を抑制することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体545から導電体560への過剰酸素の拡散が抑制される。つまり、酸化物530へ供給する過剰酸素量の減少を抑制することができる。また、過剰酸素による導電体560の酸化を抑制することができる。当該金属酸化物としては、絶縁体544に用いることができる材料を用いればよい。

【0199】

なお、絶縁体545は、第2のゲート絶縁膜と同様に、積層構成としてもよい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合があるため、ゲート絶縁膜として機能する絶縁体を、high-k材料と、熱的に安定している材料との積層構成とすることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。また、熱的に安定かつ比誘電率の高い積層構成とすることができる。

【0200】

第1のゲート電極として機能する導電体560は、図13Aおよび図13Bでは2層構成として示しているが、単層構成でもよいし、3層以上の積層構成であってもよい。

【0201】

導電体560aは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素(例えば、酸素原子、酸素分子などの少なくとも一)の拡散を抑制する機能を有する導電性材料を用いることが好ましい。導電体560aが酸素の拡散を抑制する機能を持つことにより、絶縁体545に含まれる酸素により、導電体560bが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、または酸化ルテニウムなどを用いることが好ましい。また、導電体560aとして、酸化物530に適用できる酸化物半導体を用いることができる。その場合、導電体560bをスパッタリング法で成膜することで、導電体560aの電気抵抗値を低下させて導電体にすることができる。これをOC(Oxide Conductor)電極と呼ぶことができる。

【0202】

また、導電体560bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体560bは、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体560bは積層構成としてもよく、例えば、チタン又は窒化チタンと上記導電性材料との積層構成としてもよい。

【0203】

絶縁体580は、絶縁体544を介して、導電体542a、および導電体542b上に設けられる。絶縁体580は、過剰酸素領域を有することが好ましい。例えば、絶縁体580として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などを有することが好ましい。特に、酸化シリコン、および酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、空孔を有する酸化シリコンは、後の工程で、容易に過剰酸素領域を形成することができるため好ましい。

【0204】

絶縁体580は、過剰酸素領域を有することが好ましい。加熱により酸素が放出される絶

10

20

30

40

50

絶縁体 580 を設けることで、絶縁体 580 中の酸素を酸化物 530 へと効率良く供給することができる。なお、絶縁体 580 中の水または水素などの不純物濃度が低減されていることが好ましい。

【0205】

絶縁体 580 の開口は、導電体 542 a と導電体 542 b の間の領域に重畳して形成される。これにより、導電体 560 は、絶縁体 580 の開口、および導電体 542 a と導電体 542 b に挟まれた領域に、埋め込まれるように形成される。

【0206】

半導体装置を微細化するに当たり、ゲート長を短くすることが求められるが、導電体 560 の導電性が下がらないようにする必要がある。そのために導電体 560 の膜厚を大きくすると、導電体 560 はアスペクト比が高い形状となりうる。本実施の形態では、導電体 560 を絶縁体 580 の開口に埋め込むように設けるため、導電体 560 をアスペクト比の高い形状にしても、工程中に導電体 560 を倒壊させることなく、形成することができる。

10

【0207】

絶縁体 574 は、絶縁体 580 の上面、導電体 560 の上面、および絶縁体 545 の上面に接して設けられることが好ましい。絶縁体 574 をスパッタリング法で成膜することで、絶縁体 545、および絶縁体 580 へ過剰酸素領域を設けることができる。これにより、当該過剰酸素領域から、酸化物 530 中に酸素を供給することができる。

【0208】

例えば、絶縁体 574 として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、またはマグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。

20

【0209】

特に、酸化アルミニウムはバリア性が高く、0.5 nm 以上 3.0 nm 以下の薄膜であっても、水素、および窒素の拡散を抑制することができる。したがって、スパッタリング法で成膜した酸化アルミニウムは、酸素供給源であるとともに、水素などの不純物のバリア膜としての機能も有することができる。

【0210】

また、絶縁体 574 の上に、層間膜として機能する絶縁体 581 を設けることが好ましい。絶縁体 581 は、絶縁体 524 などと同様に、膜中の水または水素などの不純物濃度が低減されていることが好ましい。

30

【0211】

また、絶縁体 581、絶縁体 574、絶縁体 580、および絶縁体 544 に形成された開口に、導電体 540 a、および導電体 540 b を配置する。導電体 540 a および導電体 540 b は、導電体 560 を挟んで対向して設ける。導電体 540 a および導電体 540 b は、後述する導電体 546、および導電体 548 と同様の構成である。

【0212】

絶縁体 581 上には、絶縁体 582 が設けられている。絶縁体 582 は、酸素や水素に対してバリア性のある物質を用いることが好ましい。したがって、絶縁体 582 には、絶縁体 514 と同様の材料を用いることができる。例えば、絶縁体 582 には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

40

【0213】

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ 500 への混入を防止することができる。また、トランジスタ 500 を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ 500 に対する保護膜として用いることに適している。

50

【0214】

また、絶縁体582上には、絶縁体586が設けられている。絶縁体586は、絶縁体420と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体586として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

【0215】

また、絶縁体522、絶縁体524、絶縁体544、絶縁体580、絶縁体574、絶縁体581、絶縁体582、および絶縁体586には、導電体546、および導電体548等が埋め込まれている。

【0216】

導電体546、および導電体548は、容量素子600、トランジスタ500、またはトランジスタ550と接続するプラグ、または配線としての機能を有する。導電体546、および導電体548は、導電体428、および導電体430と同様の材料を用いて設けることができる。

【0217】

また、トランジスタ500の形成後、トランジスタ500を囲むように開口を形成し、当該開口を覆うように、水素、または水に対するバリア性が高い絶縁体を形成してもよい。上述のバリア性の高い絶縁体でトランジスタ500を包み込むことで、外部から水分、および水素が侵入するのを防止することができる。または、複数のトランジスタ500をまとめて、水素、または水に対するバリア性が高い絶縁体で包み込んでよい。なお、トランジスタ500を囲むように開口を形成する場合、例えば、絶縁体522または絶縁体514に達する開口を形成し、絶縁体522または絶縁体514に接するように上述のバリア性の高い絶縁体を形成すると、トランジスタ500の作製工程の一部を兼ねられるため、好適である。なお、水素、または水に対するバリア性が高い絶縁体としては、例えば、絶縁体522または絶縁体514と同様の材料を用いればよい。

【0218】

続いて、トランジスタ500の上方には、容量素子600が設けられている。容量素子600は、導電体610と、導電体620と、絶縁体630とを有する。

【0219】

また、導電体546、および導電体548上に、導電体612を設けてもよい。導電体612は、トランジスタ500と接続するプラグ、または配線としての機能を有する。導電体610は、容量素子600の電極としての機能を有する。なお、導電体612、および導電体610は、同時に形成することができる。

【0220】

導電体612、および導電体610には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。または、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。

【0221】

本実施の形態では、導電体612、および導電体610を単層構成で示したが、当該構成に限定されず、2層以上の積層構成でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、および導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

【0222】

絶縁体630を介して、導電体610と重畳するように、導電体620を設ける。なお、導電体620は、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いる

10

20

30

40

50

ことができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、導電体などの他の構成と同時に形成する場合は、低抵抗金属材料であるCu（銅）やAl（アルミニウム）等を用いればよい。

【0223】

導電体620、および絶縁体630上には、絶縁体640が設けられている。絶縁体640は、絶縁体420と同様の材料を用いて設けることができる。また、絶縁体640は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

【0224】

本構成を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化または高集積化を図ることができる。

10

【0225】

本実施の形態に示す構成、構造、方法などは、他の実施の形態などに示す構成、構造、方法などと適宜組み合わせる用いることができる。

【符号の説明】

【0226】

10：生体、100：半導体装置、110：通信部、111：RF回路、112：共振回路、113：電源回路、114：クロック発生回路、115：復調回路、116：変調回路、117：情報処理回路、120：演算部、121：演算回路、122：記憶回路、130：制御部、140：記憶部、150：センサ部、190：被覆材

20

30

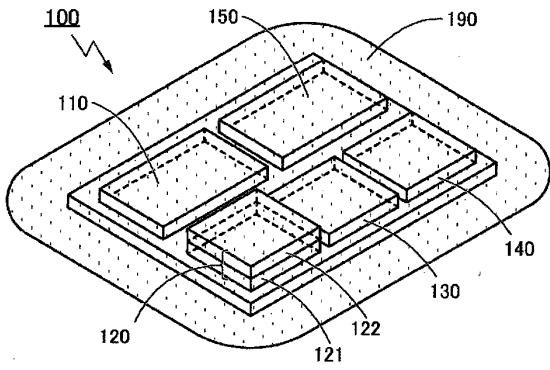
40

50

【図面】

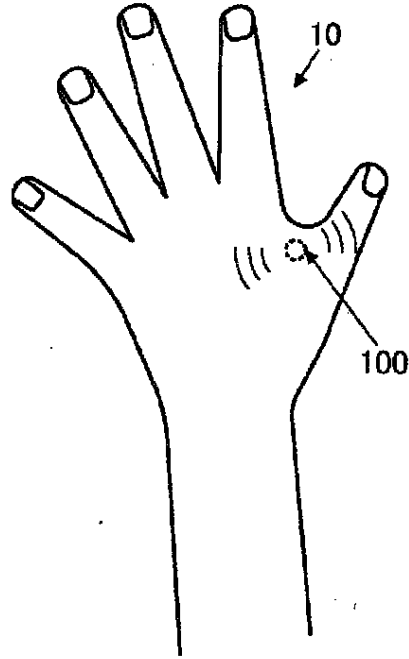
【図 1 A】

図1A



【図 1 B】

図1B



10

20

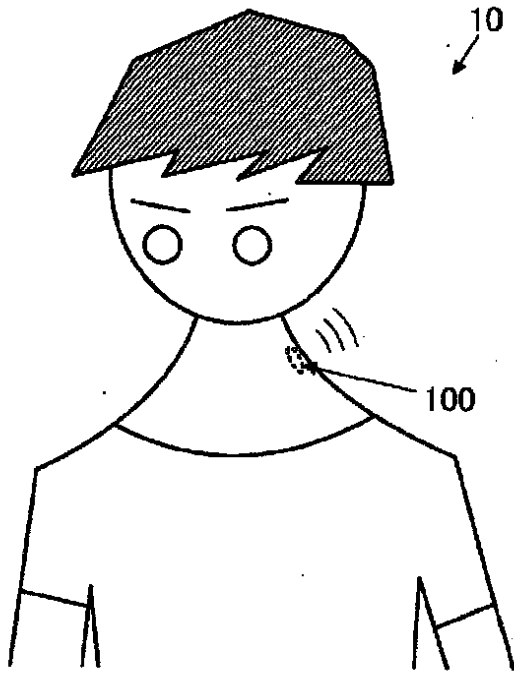
30

40

50

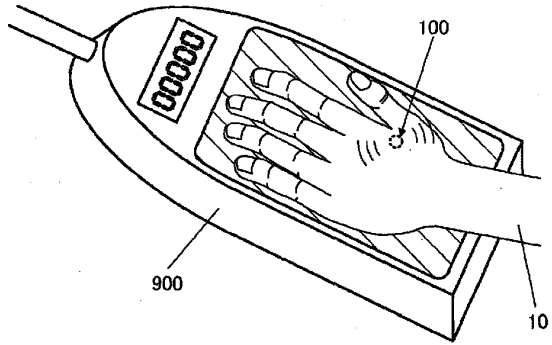
【図1C】

図1C



【図2A】

図2A

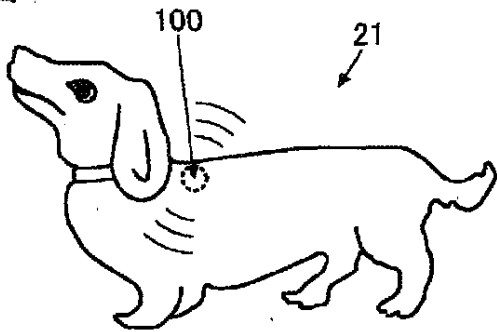


10

20

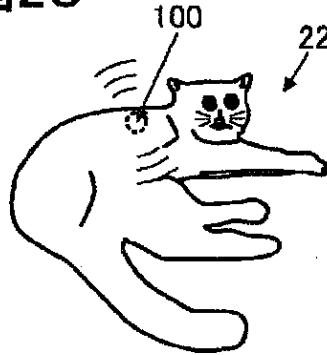
【図2B】

図2B



【図2C】

図2C



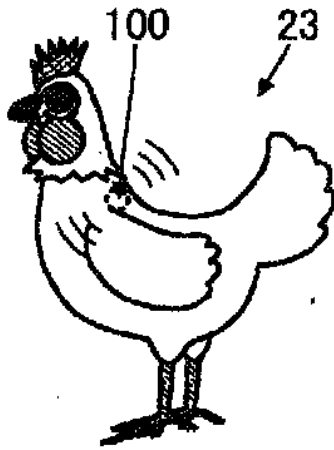
30

40

50

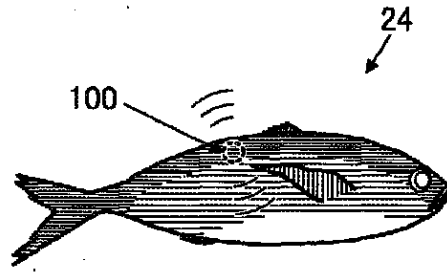
【図 2 D】

図 2D



【図 2 E】

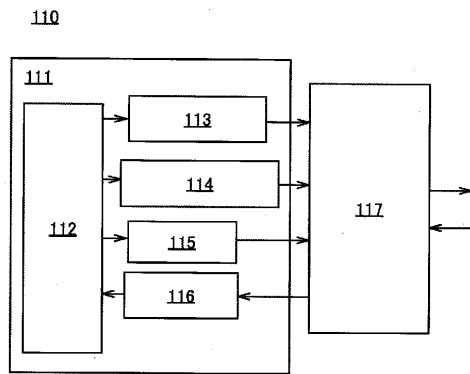
図 2E



10

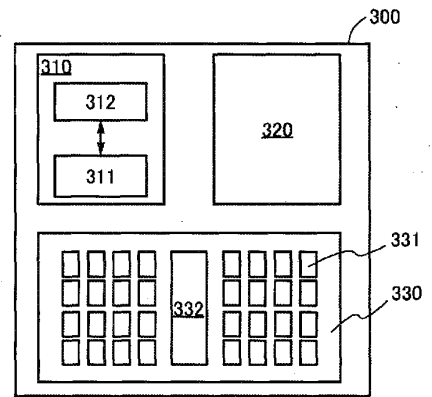
【図 3】

図 3



【図 4】

図 4



20

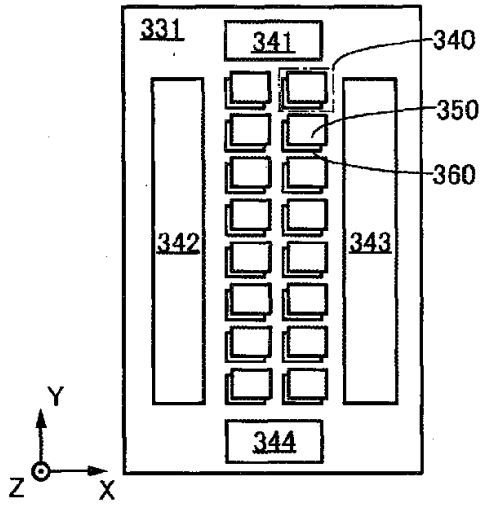
30

40

50

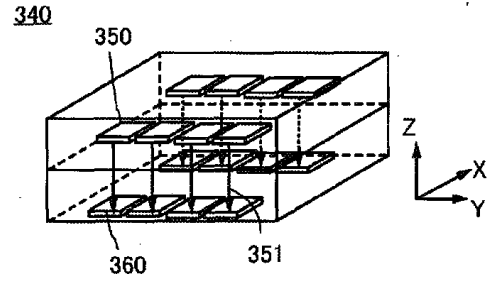
【図 5 A】

図5A



【図 5 B】

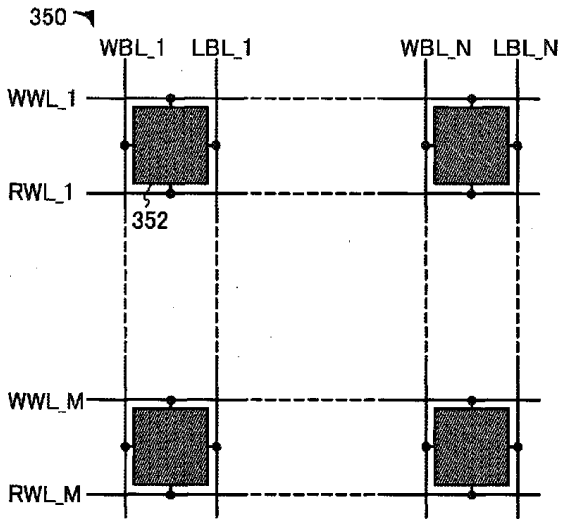
図5B



10

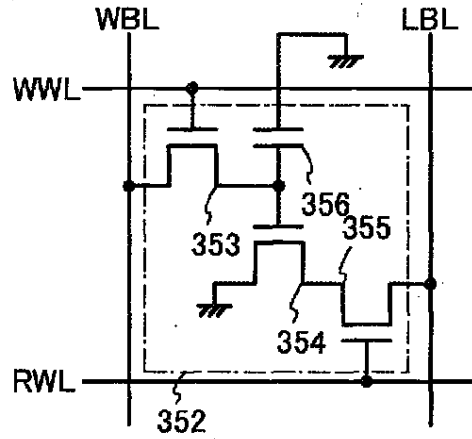
【図 6 A】

図6A



【図 6 B】

図6B



20

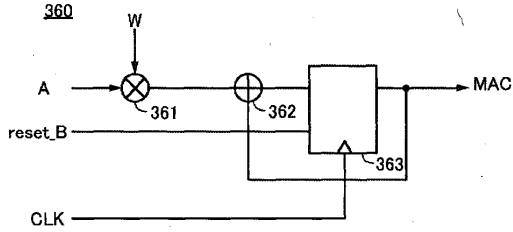
30

40

50

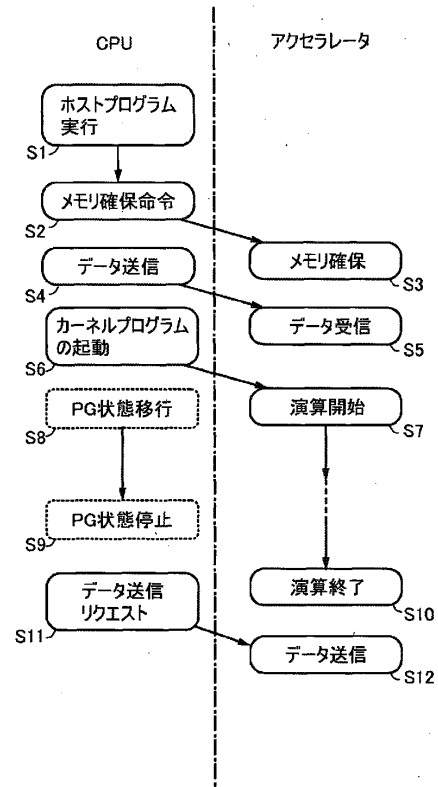
【 図 7 】

図7



【 図 8 】

図8

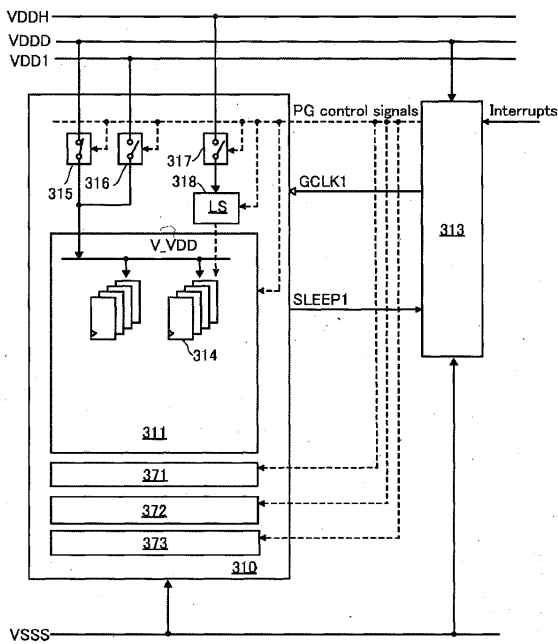


10

20

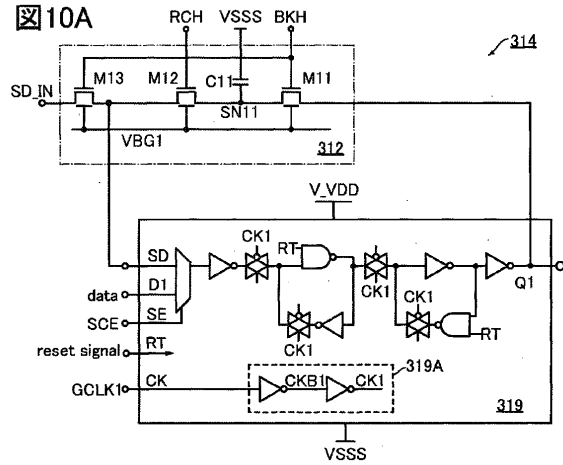
【 図 9 】

図9



【 図 10 A 】

図10A



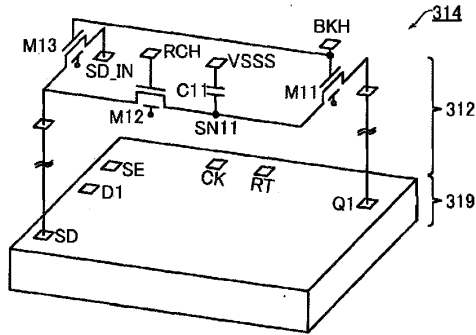
30

40

50

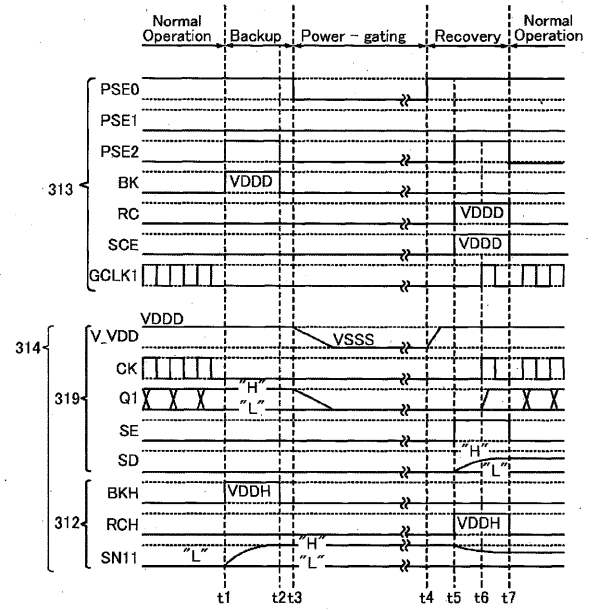
【 図 1 0 B 】

図10B



【 図 1 1 】

図11

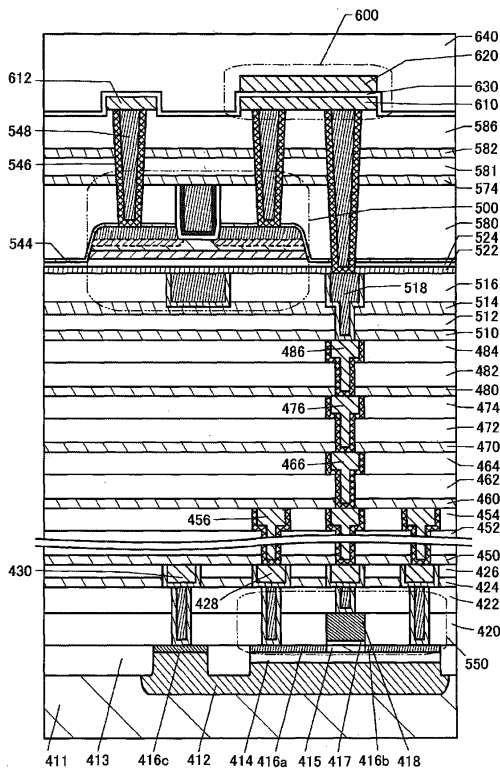


10

20

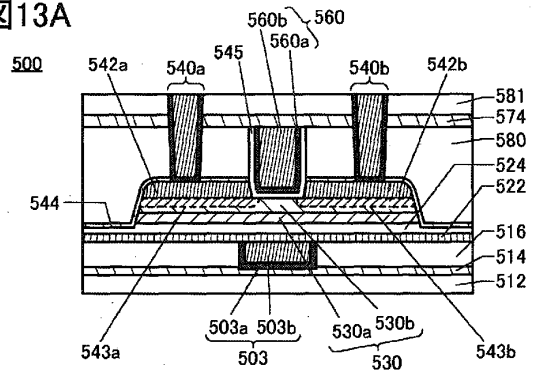
【 図 1 2 】

図12



【 図 1 3 A 】

図13A



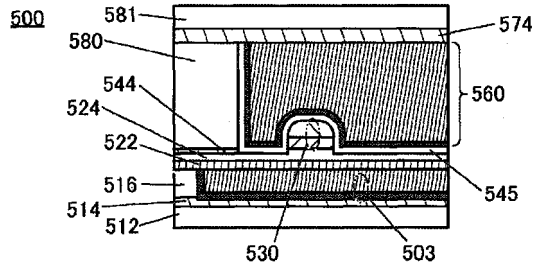
30

40

50

【 図 1 3 B 】

図13B



10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I
H 0 1 L 27/088 B
H 0 1 L 27/06 1 0 2 A

審査官 田内 幸治

- (56)参考文献 特開2016-001729(JP,A)
特開2008-212652(JP,A)
特開2019-046199(JP,A)
特開2018-129046(JP,A)

(58)調査した分野 (Int.Cl., DB名)

H 0 1 L 29/786
H 0 1 L 21/336
H 0 1 L 21/8234
H 0 1 L 27/088