



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201619961 A

(43)公開日：中華民國 105 (2016) 年 06 月 01 日

(21)申請案號：105102684

(22)申請日：中華民國 94 (2005) 年 05 月 16 日

(51)Int. Cl. : *G11C11/407 (2006.01)**G11C11/413 (2006.01)**H01L27/11 (2006.01)*

(30)優先權：2004/09/15 日本

2004-267645

(71)申請人：瑞薩電子股份有限公司 (日本) RENESAS ELECTRONICS CORPORATION (JP)  
日本(72)發明人：前田德章 (JP)；篠崎義弘 (JP)；山岡雅直 (JP)；島崎靖久 (JP)；磯田正典 (JP)；  
新居浩二 (JP)

(74)代理人：林志剛

申請實體審查：有 申請專利範圍項數：5 項 圖式數：19 共 48 頁

(54)名稱

半導體積體電路裝置

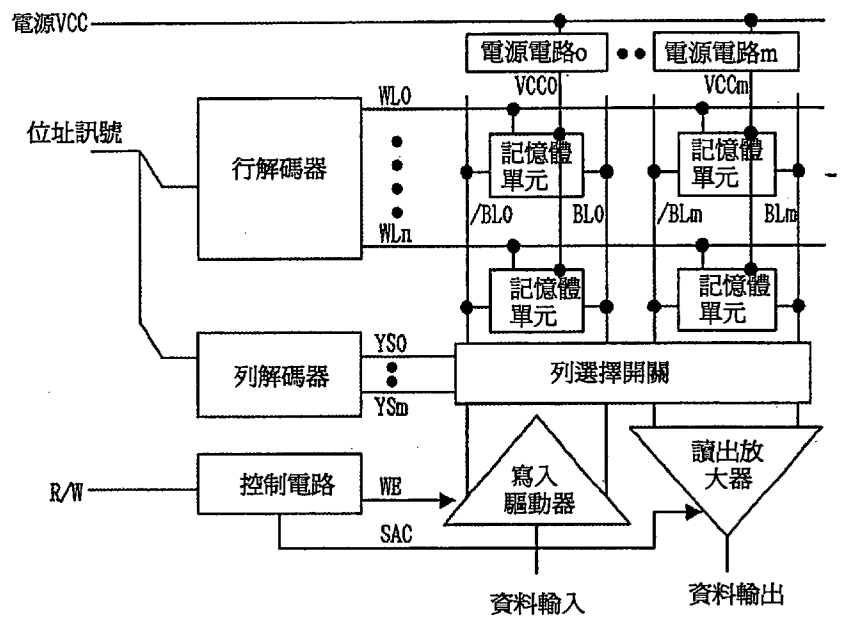
SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)摘要

發明課題為提供一種具備有即使低電源電壓亦可以使靜態雜訊界限(Static Noise Margin：SNM)和寫入界限兩者並存的靜態型 RAM 之半導體積體電路裝置。其解決手段為具備複數字元線和對應於複數互補位元線而所設置之複數靜態型記憶體單元，設置有對連接於上述複數互補位元線之各個的複數記憶體單元之每個供給動作電壓之複數記憶體單元電源線，並設置有由對應於如此之記憶體單元而個別地供給電源電壓之電阻手段所構成之複數電源供給電路，並設置有對上述互補位元線供給對應於上述電源電壓之預充電電壓的預充電電路，使上述記憶體單元電源線成為持有傳送相應互補位元線之寫入訊號的耦合電容。

指定代表圖：

第1圖



符號簡單說明：

WL0~WLn . . . 字  
元線

BL、/BL . . . 位元  
線

VCC0~VCCm . . .  
電源線

R/W . . . 讀/寫控制  
訊號

SAC . . . 讀出放大  
器訊號

WE . . . 寫入訊號

YS0~Ysm . . . 位元  
線選擇訊號

201619961

## 發明摘要

※申請案號：105102684 (由101147444分割)

※申請日：094年05月16日

※IPC分類：G11C 11/407 (2006.01)

【發明名稱】(中文/英文)

G11C 11/413 (2006.01)

半導體積體電路裝置

H01L 27/11 (2006.01)

Semiconductor integrated circuit device

## 【中文】

發明課題為提供一種具備有即使低電源電壓亦可以使靜態雜訊界限（Static Noise Margin：SNM）和寫入界限兩者並存的靜態型 RAM 之半導體積體電路裝置。

其解決手段為具備複數字元線和對應於複數互補位元線而所設置之複數靜態型記憶體單元，設置有對連接於上述複數互補位元線之各個的複數記憶體單元之每個供給動作電壓之複數記憶體單元電源線，並設置有由對應於如此之記憶體單元而個別地供給電源電壓之電阻手段所構成之複數電源供給電路，並設置有對上述互補位元線供給對應於上述電源電壓之預充電電壓的預充電電路，使上述記憶體單元電源線成為持有傳送相應互補位元線之寫入訊號的耦合電容。

## 【英文】

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

WL0~WL<sub>n</sub>：字元線

BL、/BL：位元線

VCC0~VCC<sub>m</sub>：電源線

R/W：讀/寫控制訊號

SAC：讀出放大器訊號

WE：寫入訊號

YS0~YS<sub>m</sub>：位元線選擇訊號

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

半導體積體電路裝置

Semiconductor integrated circuit device

## 【技術領域】

本發明是關於半導體積體電路，尤其關於利用具備有靜態型 RAM (隨機存取記憶體) 之有效技術。

## 【先前技術】

靜態型 RAM (以下，單稱為 SRAM) 之記憶體單元特性具有靜態雜訊界限 (Static Noise Margin: 以下稱為 SNM)。SNM 是表示記憶在記憶體單元之資料的安定性，雖然越大資料保持動作越安定，但相反的對於保持資料寫入逆資料之時，則不易寫入。解決如此之問題的技術，則有日本特開 2002-042476 公報。第 17 圖是表示根據上述公報本發明者先研究出之 SRAM 的方塊圖。該公報技術是於讀出時，使用第 18 圖所示之電壓供給電路，藉由使訊號 WE<sub>i</sub> 成為低位準，將 P 通道 MOSFET 設為接通狀態而供給與外部電源 V<sub>cc</sub> 相同位準之電壓至記憶體單元，並予以安定驅動。於寫入時，藉由使上述訊號 WE<sub>i</sub> 成為高位準，將上述 P 通道 MOSFET 設為截止狀態，或以將 N 通道 MOSFET 設為接通狀態取而代之，使供給至

記憶體單元之內部電源降低至  $V_{cc}-V_{th}$ 。依此，藉由字元線所選擇出之記憶體單元之 SNM 可以降低，並提昇寫入界限。

【專利文獻】日本特開 2002-042476 公報

## 【發明內容】

### [發明所欲解決之課題]

上述專利文獻 1 之技術中，即使針對藉由行解碼被選擇出，字元線被活性化之記憶體單元中，不藉由列解碼被選擇出之記憶體單元，因內部電源也降低，並且不執行寫入動作，故成為 SNM 降低之讀出狀態，有受到雜訊等之影響而資料消失的危險性。爲了迴避如此之危險，上述專利文獻 1 中是如第 19 圖所示般，藉由外部電源電壓控制電路設定下限電壓，藉由判別此，限制上述非選擇記憶體單元之 SNM 降低。但是，爲了產生如此之下限電壓，必須在記憶體內部設置中間性之電源產生電路，因而增大記憶體電路之消耗電流，由於上述下限電壓限制上述 SNM 之降低，使得無法提昇寫入界限。尤其，對於 LSI (Large Scale Integrated Circuit：大規模積體電路) 因朝向低消耗電力化及 LSI 中之電晶體 (MOSFET) 之微細化，故有降低電源電壓之傾向，與上述下限電壓之差變小。就以記憶體電路而言，必須使上述 SNM 優先，上述引用文獻 1 之技術在寫入界限上則有不理想之情形。

該發明之目的是提供一種具備有即使於低電源電壓下

亦可以使 SNM 和寫入界限並存之靜態型 RAM 的半導體積體電路裝置。該發明之上述以及其他目的和新穎特徵由本說明書之記載及附件圖面可清楚明白。

[用以解決課題之手段]

若簡單說明本案所揭示之代表性發明之概要時，則如下所述。具備有對應於複數字元線和複數互補位元線而所設置之複數靜態型記憶體單元，設置有對被連接於上述複數互補位元線之各個上且由複數所構成之記憶體單元的每個供給動作電壓的複數記憶體單元電源線，並設置有由對應於如此之記憶體單元電源線而個別地供給電源電壓之電阻手段所構成之複數電源供給電路，並設置有對上述互補位元線供給對應於上述電源電壓之預充電電壓的預充電電路，使上述記憶體單元電源線成為持有傳達相應互補位元線之寫入訊號的耦合電容。

若簡單說明本案所揭示之另一代表性發明之概要時，則如下所述。具備有對應於上述複數字元線和複數互補位元線而所設置之複數靜態型記憶體單元，設置有對被連接於上述複數互補位元線之各個上且由複數所構成之記憶體單元的每個供給動作電壓的複數記憶體單元電源線，並設置有由對應於如此之記憶體單元電源線而寫入時被設成截止（OFF）狀態之開關 MOSFET 所構成的複數電源供給電路。

[發明之效果]

可以謀求提高對應於被選擇之互補位元線之記憶體單元的寫入動作界限，並確保被連接於上述非選擇互補位元線之非選擇記憶體單元之 SNM。

【圖式簡單說明】

第 1 圖是表示該發明所涉及之靜態型 RAM 之一實施例的方塊圖。

第 2 圖是表示第 1 圖之電源電路之一實施例的電路圖。

第 3 圖是表示該發明所涉及之記憶體單元之一實施例的電路圖。

第 4 圖是表示該發明所涉及之記憶體單元之一實施例的佈局圖。

第 5 圖是用以說明該發明所涉及之靜態型 RAM 之動作之一例的波形圖。

第 6 圖是用以說明該發明所涉及之靜態型 RAM 之另一實施例的方塊圖。

第 7 圖是表示第 6 圖之靜態型 RAM 所使用之電源電路之一實施例的電路圖。

第 8 圖是表示第 6 圖之靜態型 RAM 所使用之電源電路之另一實施例的電路圖。

第 9 圖是表示第 6 圖之靜態型 RAM 所使用之電源電路之又另一實施例的電路圖。

第 10 圖是表示第 6 圖之靜態型 RAM 所使用之電源電路之又另一實施例的電路圖。

第 11 圖是表示第 6 圖之靜態型 RAM 所使用之電源電路之又另一實施例的電路圖。

第 12 圖是表示第 6 圖之靜態型 RAM 所使用之電源電路之又另一實施例的電路圖。

第 13 圖是表示第 6 圖之靜態型 RAM 所使用之電源電路之又另一實施例的電路圖。

第 14 圖是表示該發明所涉及之記憶體單元之另一實施例的佈局圖。

第 15 圖是表示第 1 圖或第 6 圖之靜態型 RAM 所使用之字元驅動器之一實施例的電路圖。

第 16 圖是表示該發明所涉及之靜態型 RAM 之一實施例的全體電路圖。

第 17 圖是表示根據專利文獻 1 本發明者先研究出的 SRAM 的方塊圖。

第 18 圖是表示專利文獻 1 所示之電壓供給電路之一例的電路圖。

第 19 圖是表示專利文獻 1 所示之電壓供給電路之另一例的電路圖。

## 【實施方式】

第 1 圖是表示該發明所涉及之靜態型 RAM 之一實施例的方塊圖。同圖中是以代表性表示 4 個記憶體單元、對

應於此之 2 個字元線  $WL_0$  和  $WL_n$ 、互補位元線  $/BL_0$ 、 $BL_0$ 、 $/BL_m$ 、 $BL_m$ 。記憶體單元雖然無圖式，但由交叉連接由 P 通道 MOSFET 和 N 通道 MOSFET 所構成之兩個 CMOS 反相器電路之輸入和輸出而構成門鎖（正反器）電路當作記憶部，並將該輸出入互相連接部當作記憶節點，而被設置在所對應之位元線  $/BL$  和  $BL$  之間的位址選擇用之 N 通道 MOSFET 所構成。該位址選擇用之 MOSFET 之閘極是被連接於所對應之字元線上。

藉由行解碼器選擇字元線  $WL_0 \sim W_n$  中之 1 個。行解碼器是具備後述般之字元驅動器。行解碼器是被供給位址訊號中之行系位址訊號。複數互補位元線  $/BL_0$ 、 $BL_0 \sim /BL_m$ 、 $BL_m$  中，一對則是經由列選擇開關而被連接於寫入驅動器或是讀出放大器。即是，列選擇開關是接受由列解碼器所形成之選擇訊號  $YS_0 \sim YS_m$ ，選擇上述複數互補位元線  $/BL_0$ 、 $BL_0 \sim BL_m$ 、 $BL_m$  中之一對，而使連接於上述寫入緩衝器之輸出端子、讀出放大器之輸入端子。

控制電路是被供給讀/寫控制訊號  $R/W$ 。控制電路是對應讀/寫控制訊號  $R/W$  而產生當作寫入訊號  $WE$  或是讀出訊號之讀出放大器控制訊號  $SAC$ 。上述寫入訊號  $WE$  是被供給至寫入驅動器而用以活性化寫入驅動器。即是，當藉由行解碼器選擇一個字元線，藉由列解碼器由列選擇開關選擇一對互補位元線，寫入驅動器被活性化時，資料輸入訊號則被寫入至結合選擇字元線和選擇互補位元線之記憶體單元。上述讀出放大控制訊號  $SAC$  是用以活性化讀

出放大器。與上述相同，當藉由行解碼器選擇字元線之 1 個，藉由列解碼器由列選擇開關選擇一對互補位元線，讀出放大器被活性化時，結合選擇字元線和選擇互補位元線之記憶體單元之讀出訊號則被傳達至讀出放大器而當作資料輸出被讀出。

該實施例中，爲了謀求提昇對應於所選擇之互補位元線之記憶體單元之寫入動作界限，及確保被連接於上述非選擇互補位元線之非選擇記憶體單元之 SNM，對應於互補位元線 /BL0、BL0~/BLm、BLm 之各個而設置記憶體單元電源線 VCC0~VCCm。即是，以代表例所示之記憶體單元電源線 VCC0，是被設成連接於所對應之互補位元 /BL0、BL0 之記憶體單元之電源線。同樣的以代表例所示之記憶體單元電源線 VCCm，是被設成連接於所對應之互補位元 /BLm、BLm 之記憶體單元之電源線。然後，在上述各記憶體單元電源線 VCC0~VCCm 和電源 VCC 之間，設置電源電路 0~m。

第 2 圖是表示第 1 圖之電源電路之一實施例之電路圖。該實施例是使用 P 通道 MOSFETQP 當作電源電路。該 MOSFETQP 之閘極是穩定性被供給電路之接地電位而當作電阻元件動作，並將電源 VCC 傳送至每行內部電源，即是記憶體單元電源線。該 MOSFETQP 之接通電阻值是如以下說明般，爲了對記憶體單元執行寫入動作，被設成當互補位元線 /BL 或是 BL 之一方，自電源電壓 VCC 般之預充電位準，變化成電路之接地電位般之低位準時，

可持有藉由與如此變化之位元線之電位之電容耦合容許上述記憶體單元電源線之電位暫時性下降之程度的比較大電阻值。藉由如此寫入記憶體單元之動作電位下降，使上述 SNM 下降而使寫入界限提昇。對此，非選擇之位元線/BL 和 BL 任一者因維持於電源電壓 VCC 般之高位準，故對應此之記憶體單元電源線也被維持於電源電壓 VCC。因此，即使在自元線被設為選擇狀態之記憶體單元中，因亦可以維持高上述電源電壓，故可以維持高 SNM。

第 3 圖是表示該發明所涉及之記憶體單元之一實施例之電路圖。記憶體單元是由 P 通道 MOSFETQ1 和 N 通道 MOSFETQ2 及 P 通道 MOSFETQ3 和 N 通道 MOSFETQ4 交叉連接兩個 CMOS 反相器電路之輸入和輸出而構成門鎖（正反器）電路當作記憶部，並將該輸出入互相連接部當作記憶節點 N1、N2，由被設置在所對應之位元線/BL 和 BL 之間的位址選擇用之 N 通道 MOSFETQ5 和 Q6 所構成。該些之位址選擇用之 MOSFETQ5、Q6 之閘極是被連接於所對應之字元線 WL。

該實施例之記憶體單元中，對應於互補位元線/BL 和 BL 之記憶體單元之動作 VCC' 供給，是被設置在如此互補位元線/BL 和 BL 之間，由與該些平行延伸之記憶體單元電源線所供給。即是，上述記憶體單元電源線是被連接於構成上述 CMOS 反相器電路之 P 通道 MOSFETQ1 和 Q3 之源極上。如上般之記憶體單元電源線是於上述互補位元線之一方/BL 之間持有寄生電容 C1，在與互補位元線之另

一方 BL 之間持有寄生電容 C2。

第 4 圖是表示該發明所涉及之記憶體單元之一實施例之佈局圖。第 4 圖 (A) 是表示 MOSFET 之源極、汲極及閘極及接觸用配線以及接觸孔之佈局圖案，第 4 圖 (B) 是表示供給位元線 /BL、BL 及記憶體單元之動作電壓 VCC' 的記憶體單元電源線和接觸用配線及接觸孔之佈局圖案。第 4 圖 (C) 是表示將接地電位 VSS 供給至字元線 WL 和記憶體單元之接地電位 VSS 之接地線及接觸孔之佈局圖案。接觸孔是各以 1 個為代表，表示在如 (A)、(B)、(C) 之 CNT 所示之處，在四角處標示 x 記號。

於第 4 圖 (A) 中，P 通道 MOSFETQ1 和 Q3 是被形成在設置於標示斜線之中央部分上的 N 型井 NWEL 上。對此，N 通道 MOSFETQ2、Q4 及 Q5 和 Q6 是被形成在上述 N 型井 NWEL 之部分以外之 P 型基板或是 P 型井 PWEL。構成上述 CMOS 反相器電路之 MOSFETQ1 和 Q2 及 Q3 和 Q4 之各個是一體性形成閘極電極。在各接觸用配線及接觸孔上表示有連接處為 WL、/BL、VCC'、BL、WL 及 VSS。MOSFETQ1 和 Q2 及 Q5，和 MOSFETQ2、Q4 及 Q6 是被對稱性配置在以記憶體單元之中點部為基準進行 180°旋轉之位置上。接觸用之配線層是以包圍接觸孔之中間空白圖案所表示，雖然並不特別限制，但由第一層之金屬層 M1 所構成。

於第 4 圖 (B) 中，位元線 /BL、BL 是對應於該所連接之 MOSFETQ5 及 Q6 之一方源極、汲極，被配置成在同

圖中橫方向大概 4 等份記憶體單元區域之境界線中  $1/4$  和  $3/4$  的部分上，延長於同圖中縱方向，雖然並不特別限制，但由第二層之金屬配線層 M2 所形成。記憶體單元電源線也與上述位元線 /BL、BL 相同，藉由第二層之金屬層 M2 所形成。被設置成在大概四等份上述記憶體單元去之境界線中之中央（ $2/4$ ）之部分，延長於縱方向。然後，記憶體單元電源線（VCC'）是在上部爲了與 P 通道 MOSFETQ1 之源極連接有延伸於鄰接之位元線 /BL 之方向的突起部，爲了與 P 通道 MOSFETQ3 之源極連接，在下部中具有延伸於鄰接位元線 BL 之方向之突起部。依據如此配線佈局，在位元線 /BL 和記憶體單元電源線（VCC'）之間，形成有寄生電容 C1，在位元線 BL 和記憶體單元電源線（VCC'）之間，形成有寄生電容 C2。

於第 4 圖(C)中，該字元線 WL 是記憶體單元區域之中央部延長於同圖之軸方向。該字元線 WL 是由第三層之金屬層 M3 所形成。然後，被設置在記憶體區域，被設置成可延長於縱方向是記憶體單元之接地線 VSS，由第四層之金屬層 M4 所構成。該接地線 VSS 是與鄰接之記憶體單元之接地線 VSS 共用。藉由設成該實施例般之記憶體單元構成，則容易在每行形成電源線。然後，可以在位元線 /BL、BL 與內部電源線(記憶體單元電源線)之間形成耦合電容 C1、C2。

第 5 圖是用以說明該發明所涉及之靜態型 RAM 之動作之一例的波形圖。於讀出靜態型 RAM 時，依據字元線

WL 之選擇動作，上述記憶體單元之位址選擇 MOSFETQ5 和 Q6 成爲接通狀態，對應於記憶體單元之記憶節點 N1 和 N2 中被設爲低位準之節點，位元線/BL 和 BL 之一方則下降。此時，依據位元線/BL 和 BL 連接有多數記憶體單元而持有比較大之寄生電容，上述位址選擇 MOSFETQ5、Q6 之接通電阻值因比較大，故上述位元線/BL 和 BL 之讀出訊號下降爲變小，該位準變化也爲緩和。依此，如上述般即使在位元線/BL 和 BL 和記憶體單元電源線之間存有寄生電容（耦合電容）C1 和 C2，記憶體單元電源線之電壓  $V_{CC}'$  也幾乎不變化維持電源電壓  $V_{CC}$ 。依此，可以將讀出動作時之靜態雜訊界限（SNM）維持較大。上述般之位元線/BL 和 BL 之位準差小的讀出訊號，是藉由讀出放大器被放大而當作資料輸出被輸出。

於寫入靜態型 RAM 之寫入時，依據字元線 WL 之選擇動作，上述記憶體單元之位址選擇 MOSFETQ5 和 Q6 成爲接通狀態。然後，對應於來自寫入驅動器之寫入訊號，位元線/BL 和 BL 之一方急速下降至與記憶體單元電源線之間位爲止。如此降低全振幅之寫入訊號是在與記憶體單元電源線之間，經由寄生電容（耦合電容）C1 及 C2 而被傳達至記憶體單元電源線，暫時性降低記憶體單元之動作電壓  $V_{CC}'$ 。即是，動作電壓  $V_{CC}'$  雖然是藉由上述耦合而降低，但是因經由當作電源電路之電阻元件而被供給電源電壓  $V_{CC}$ ，故漸漸地朝向電源電壓恢復。此時，位元線/BL 或 BL 之一方成爲低位準，因透過藉由上述字元線之

選擇狀態而成爲接通狀態之 MOSFETQ5 或是 Q6，而將記憶節點 N1 或 N2 之高位準拉至低位準，故記憶體單元之記憶資訊被反轉。

例如，如上述般，將記憶節點 N1 之高位準拉至低位準時，維持記憶節點 N1 之高位準之 MOSFETQ1，也藉由上述電源電壓 VCC'之下降而使記憶節點 N1 下降。與此同時，位元線 BL 之高位準通過 MOSFETQ6 而被傳達至 MOSFETQ2 之閘極（記憶節點 N2），使 MOSFETQ2 成爲通狀態，故上述記憶節點 N1 重疊上述三個原因而快速下降，也形成將 P 通道 MOSFETQ3 設爲接通狀態而使記憶節點 N2 成爲高位準之路徑。其結果，記憶節點 N1 快速由高位準變化成低位準，記憶節點 N2 是由低位準高速變化成高位準，可以提昇寫入界限。即是，即使由於元件之微細化，縮小寫入驅動器之驅動能，亦可以如上述般提昇寫入界限。

此時，上述字元線 WL 即使爲選擇狀態，不執行寫入動作，即是在應保持記憶資料，並被連接於非選擇之互補位元線/ $\overline{BL}$  和 BL 之記憶體單元中，因不產生上述般來自寫入位元線之耦合所造成之電壓下降，故與上述讀出動作之情形相同，可以維持電源電壓 VCC。因此，即使在字元線設爲選擇狀態而上述 MOSFETQ5、Q6 成爲接通狀態之記憶體單元中，應保持記憶資料者是可以維持大靜態雜訊界限（SNM）。如此，寫入時之非選擇行及讀出時之位元線，由於記憶體單元之位元振幅比較緩和，爲小振幅，故

耦合效果為小，SNM 之下降較小成為安定動作。

第 6 圖是表示該發明所涉及之靜態型 RAM 之另一實施例的方塊圖。於該實施例中，與上述第 1 圖相同之上述寫入訊號 WE，是藉由以列解碼器所形成之位元線選擇訊號  $YS0 \sim YSm$  和閘極電路  $G0$ 、 $Gm$  等而被組合，用以形成被設置在每位元線上之寫入驅動器之活性化訊號  $WC0 \sim Wcm$ 。即是，若指示寫入動作，對應於列位址之寫入驅動器則被活化性，對於被連接於以字元驅動器所選擇出之字元線的記憶體單元，寫入資料輸入。對此，若指示讀出動作，對應於列位址而讀出列選擇開關則成為接通狀態，被選擇出之位元線  $/BL$  和  $BL$  之訊號則被傳達至讀出放大器之輸入，依據讀出放大器訊號 SAC 而執行放大成為資料輸出。

如上述般當對應於互補位元線  $/BL$  和  $BL$  而設置寫入驅動器時，因可以如上述第 1 圖之實施例般，不經列選擇開關，直接將對應於資料輸入之寫入訊號傳達至互補位元線  $/BL$  和  $BL$ ，故可以將一對位元線之一方高速從預充電位準拉至低位準。然後，該實施例是利用上述訊號  $WC0 \sim Wcm$  當作被連接於對應著各個位元線  $/BL0$ 、 $BL0 \sim /BLm$ 、 $BLm$  之記憶體單元電源線  $VCC0 \sim VCCm$  的電源電路  $0 \sim m$  之控制訊號使用。其他構成基本上則與上述第 1 圖之實施例相同。

第 7 圖是表示第 6 圖之靜態型 RAM 所使用之電源電路之一實施例之電路圖。該實施例是對上述第 2 圖之電源

電路般之 P 通道 MOSFETQP1，以並聯狀態設置上述訊號 WC 被供給至閘極上之 P 通道 MOSFETQP2。訊號 WC 是對應於所選擇之互補位元線 /BL、BL 而成為高位準。依此，例如對應於所選擇之互補位元線 /BL0、BL0，電源電路之 P 通道 MOSFETQP2 則成為截止狀態。依此，於寫入時，選擇記憶體單元之電源電壓  $V_{CC}'$  是如上述般藉由與被傳達寫入訊號之位元線的耦合而降低。對此，對應於包含有選擇之互補位元線 /BL<sub>m</sub>、BL<sub>m</sub> 之其他非選擇互補位元線之電源電路中，上述 P 通道 MOSFETQP1 和 QP2 同時成為接通狀態，非選擇記憶體單元之電源電壓  $V_{CC}'$  則維持與電源電壓  $V_{CC}$  相等。

於該實施例中，若充分增大上述 P 通道 MOSFETQP1 之接通電阻值時，則不特別需要上述耦合電容 C1、C2。例如，對應於所選擇之互補位元線 /BL0、BL0，電源電路之 P 通道 MOSFETQP2 成為截止狀態，只供給來自高電阻值之 P 通道 MOSFETQP1 之微小電流。因此，該 MOSFETQP1 成為流動被連接於互補位元線 /BL0、BL0 之多數記憶體單元中之洩漏電流，和對應於流入至執行反轉寫入之記憶體單元的 COMS 反相器電路之輸出訊號變化的電流，即使無上述般之電容耦合，記憶體單元之動作電壓  $V_{CC}'$  也降低。藉由該動作電壓  $V_{CC}'$  之降低，則可以增大記憶體單元之寫入界限。

對此，即使上述字元線被設為選擇狀態，不執行寫入動作，即是，在應保持記憶資料且被連接於非選擇之互補

位元線之記憶體單元中，因以 MOSFETQP1 和 QP2 之接通狀態之低阻抗，記憶體單元電源線被連接於電源電壓 VCC，故可以更安定維持電源電壓 VCC。依此，即使在上述字元線成為選擇狀態而上述 MOSFETQ5、Q6 成為接通狀態之記憶體單元中，應保持記憶資料者可以維持大靜態雜訊界限（SNM）。因此，該實施例之記憶體單元之佈局並不限定於上述第 4 圖所示之實施例，例如，即使藉由個別之配線層構成位元線 /BL、BL 和電源線 VCC' 亦可，可以增加電路佈局之自由度。

第 8 圖是表示第 6 圖之靜態型 RAM 所使用之電源電路之另一實施例之電路圖。該實施例是省略上述第 7 圖之 P 通道 MOSFETQP1，僅依據上述訊號 WC 被供給至閘極之 P 通道 MOSFETQP2 而所構成。該構成是對應於例如被選擇之互補位元線 /BL0、BL0，電源電路之 P 通道 MOSFETQP2 成為截止狀態，對應於互補位元線 /BL0、BL0 之所有記憶體單元之電源則成為被截斷之狀態。因此，該 MOSFETQP1 成為流動被連接於互補位元線 /BL0、BL0 之多數記憶體單元中之洩漏電流，和對應於流入至執行反轉寫入之記憶體單元的 COMS 反相器電路之輸出訊號變化的電流，即使無上述般之電容耦合，記憶體單元之動作電壓 VCC' 也降低。

因此，極端而言，即使有暫時性降低至記憶體單元之下限動作電壓以下，對於選擇字元線之選擇記憶體單元，來自寫入驅動器之高位準和低位準是經由上述 MOSFETQ5

和 Q6 而被寫入至上述記憶節點 N1 和 N2 之電容。對此，字元線被設為非選擇之記憶體單元，因上述 MOSFETQ5 和 Q6 為截止狀態，故即使例如電源電壓 VCC' 被設為下限動作電壓以下，在上述記憶節點 N1 和 N2 之電容亦保持記憶電荷。因此，即使僅以上述記憶體單元之寫入動作所需之短時間，使上述 P 通道 MOSFETQP2 成為截止狀態，上述非選擇記憶體單元亦可與靜態型記憶體單元相同依據上述記憶電荷保持記憶資料。然後，可以使上述 P 通道 MOSFETQP2 成為接通狀態而供給至電源電壓 VCC，並恢復暫時性減少之記憶電荷。

該實施例是在藉由 MOSFETQP2 之截止狀態暫時性截斷對應於如上述般被選擇出之互補位元線 /BL0、BL0 之所有記憶體單元之電源的狀態中，靜態型記憶體單元是執行與互相不同之電荷狀態之兩個靜態型記憶體單元相同之記憶動作，即使暫時性失去記憶節點 N1 或是 N2 之記憶電荷之一部分，藉由完成寫入之 MOSFETQP2 之接通狀態的電源供給，寫入電路成為動作狀態，並亦可以恢復至原來之狀態。該實施例是若設定寫入動作時之選擇行之內部電源 VCC' 不造成非選擇記憶體單元之資料消去的寫入訊號 WE 之脈衝寬即可。該實施例是使用單純構成之電源電路，可謀求提昇對應於被選擇出之互補位元線之記憶體單元的寫入動作界限，並確保被連接於上述非選擇互補位元線之非選擇記憶體單元之 SNM。

第 9 圖是表示第 6 圖之靜態型 RAM 所使用之電源電

路之又一實施例之電路圖。該實施例中 N 通道 MOSFETQN1 是相對於上述第 7 圖之 P 通道 MOSFETQP2 被設置成並列形態。上述 P 通道 MOSFETQP2 和 N 通道 MOSFETQN1 之閘極是被共同連接而供給上述寫入訊號 WC。該實施例是例如對應於被選擇之互補位元線 /BL0、BL0，電源電路之 P 通道 MOSFETQP2 則成為截止狀態時，或以 N 通道 MOSFETQN1 成為接通狀態取而代之。因此，即使流動被連接於互補位元線 /BL0、BL0 之多數記憶體單元中之洩漏電流，和對應於流入至執行反轉寫入之記憶體單元的 COMS 反相器電路之輸出訊號變化的電流，記憶體單元之動作電壓  $V_{CC}'$  也只降低至  $V_{CC}-V_{th}$  為止。依此，比起第 8 圖之實施例，即使增大寫入訊號 WE 之脈衝寬，亦可以解除會造成非選擇記憶體單元之資料消失的擔心。

第 10 圖是表示第 6 圖之靜態型 RAM 所使用之電源電路所使用電源電路又一實施例之電路圖。該實施例中，上述第 7 圖之 P 通道 MOSFETQP1 是被置換成電阻元件 R。該電阻元件 R 是用以置換成 MOSFET 以外之電阻手段，例如擴散電阻或是聚矽電阻等者，動作則與上述第 7 圖之實施例相同。

第 11 圖是表示第 6 圖之靜態型 RAM 所使用之電源電路之又一實施例之電路圖。該實施例是上述第 9 圖之實施例的變形例，依據 N 通道 MOSFETQN2，下限電壓是傳達至每行內部電源（記憶體單元電源線  $V_{CC}'$ ）。即是，上

述第 9 圖之實施例中，雖然為對選擇行執行寫入時供給僅下降 N 通道 MOSFET 之臨界電壓  $V_{th}$  的電源電壓  $V_{CC}-V_{th}$ ，但是代替此，也藉由 N 通道 MOSFETQN2 供給記憶體單元之下限電壓。因此，為下限電壓  $< V_{CC}-V_{th}$  之關係。如果設成電壓  $> V_{CC}-V_{th}$  時，則使用 P 通道 MOSFET，以反相電路使寫入訊號 WC 反轉而供給至供給上述下限電壓之 P 通道 MOSFET 之閘極即可。此時，必須個別設置下限電壓產生電路。

第 12 圖是表示第 6 圖之靜態型 RAM 所使用之電源電路之又一實施例的電路圖。該實施例是上述第 11 圖之實施例的變形例，P 通道 MOSFETQP3 之臨界電壓  $V_{th}$  是被當作下限電壓利用。該實施例是於記憶體單元電源線和電路之接地電位 VSS 之間設置 P 通道 MOSFETQP3。該 MOSFETQP3 之閘極是經由反相器電路 INV1 而被供給著寫入訊號 WC。該構成為對應著被選擇之互補位元線 /BL、BL 而寫入訊號 WC 被設為高位準。依此，P 通道 MOSFETQP2 成為截止狀態，亦可以 P 通道 MOSFETQP3 成為接通狀態來取代此。依據上述 P 通道 MOSFETQP3 之接通狀態，記憶體單元動作電壓  $V_{CC}'$  是降低至  $V_{th}$ ，將該 MOSFETQP3 之臨界電壓  $V_{th}$  當作動作電壓，動作連接於被選擇出之互補位元線 /BL、BL 的記憶體單元。

如上述般，雖然消耗掉被連接於所選擇出之互補位元線 /BL 之多數之字元線非選擇記憶體單元中之洩漏電流，及選擇字元線記憶體單元中之資料反轉電流。該實施例之

電源電路因不持有對應於此之電流路徑，故實質上與是上述第 8 圖之實施例相同。即是，該實施例並不是持有如上述第 8 圖實施例般之電流所造成之記憶體單元動作電壓之下降，而是於記憶體單元寫入時，使成為 MOSFETQP3 之接通狀態，積極性使記憶體單元動作電壓  $V_{CC}'$  降低至  $V_{th}$  為止，在使寫入界限擴大之狀態下，以短時間重寫入動作，即是使上述 p 通道 MOSFETQP2 成為接通狀態。該構成是不影響至元件之偏差，成為容易設定上述寫入時間。

第 13 圖是表示該發明所涉及之靜態型 RAM 所使用之電源電路之又一實施例的電路圖。該實施例是取代如上述第 1 圖或第 6 圖之實施例般在電源電壓  $V_{CC}$  側設置電源電路之構成，為了謀求提昇對應於所選擇出之互補位元線之記憶體單元之寫入動作界限，並確保被連接於上述非選擇互補位元線之非選擇記憶體單元之  $SNM$ ，對應於互補位元線  $/BL_0$ 、 $BL_0 \sim /BL_m$ 、 $BL_m$  之各個而設置記憶體單元但元線  $VSS_0 \sim VSS_m$ 。即是，同圖之記憶體單元接地線  $VSS$ ，是被設為連接於對應之互補位元  $/BL_0$ 、 $BL_0$  之記憶體單元之接地線。然後，於上述各記憶體單元接地線  $VSS'$  和電路之接地線  $VSS$  之間，設置有如第 13 圖所示般之接地供給電路。

於該實施例中，是對應於被選擇出之互補位元線  $/BL$ 、 $BL$ ，寫入訊號  $WCB$  被設為低位準。依此，N 通道 MOSFETQQN3 成為截止狀態，P 通道 MOSFETQP4 成為

接通狀態。因此，流通於被連接於所選擇出之互補位元線 /BL、BL 之多數記憶體單元上的洩漏電流，或爲了執行寫入動作而流動之電流，是通過上述 P 通道 MOSFETQP4 而流動，使記憶體單元之接地電位  $VSS'$  僅上升  $V_{th}$ 。即是，因僅對執行寫入動作之記憶體單元，供給  $VCC-V_{th}$  般之低電壓，故與上述第 9 圖之實施例成爲等效，可以增大寫入界限。對此，對應於非選擇之互補位元線 /BL、BL，記憶體單元之接地線  $VSS'$  是 N 通道 MOSFETQN3 成爲接通狀態，接地電位  $VSS$  原樣地被傳達。依此，被連接於上述非選擇互補位元線之非選擇記憶體單元之動作動壓則成爲  $VCC$ ，可以與上述相同確保 SNM。

該實施例之接地供給電路是由並聯形態之 P 通道 MOSFETQP4 和 N 通道 MOSFETQN3 所構成。該些 MOSFETQP4 和 QN3 之閘極是被供給著藉由上述第 12 所示般之反相電路 INV1 而反轉之寫入訊號 WCB。該實施例之接地供給電路實質上可以是爲上述般之電源電路。即是，記憶體單元是電源電壓  $VCC$  和接地電壓  $VSS$  之電壓差因當作動作電壓被供給而動作，故如上述實施例般，供給使電源電壓  $VCC$  降低之電壓  $VCC'$ ，和供給使電路之接地電位  $VSS$  上升之電壓  $VSS'$ ，若視爲記憶體單元之動作則成爲等效。

爲了如上述第 1 圖之實施例般，藉由與位元線之間的電容結合，使接地線上升至高位準側，若設爲先將位元線預充電至低位準，對應於輸入資料，將一方之位元線放電

至電源電壓  $VCC$  般之高位準的構成即可。

第 14 圖是表示該發明之所涉及之記憶體單元之另一實施例之佈局圖。第 14 圖之 (A) 及第 14 圖 (C) 是與上述第 4 圖 (A) 和第 4 圖 (C) 相同，省略配線層  $M1\sim M4$  之記號。該實施例是表示用以增大寄生電容  $C1$  和  $C2$  之電容值的竅門。即使增大電源線  $VCC'$  之配線寬，縮短位元線  $/BL$ 、 $BL$  之間的間隔亦可以增大寄生電容。但是，也增大反面電源線  $VCC'$  和其他電路節點，例如與電路之接地電位等之寄生電容。該寄生電容因作用於阻止來自上述位元之耦合所造成之電位變化的方向上，故不能說為效果性之耦合電容的強化對策。在此，該實施例不是增大電源線  $VCC'$  之配線寬，是使可等份縮短成兩位元線  $/BL$ 、 $BL$  之間隔而蛇行。依此，增大寄生電容  $C1$  和  $C2$ ，並且因可以使電源線  $VCC'$  和電路之接地電位等之寄生電容成為原樣，故可以對應於寫入動作之位元線電位之變化而效果性執行記憶體單元電壓  $VCC'$  之注入。

第 15 圖是表示第 1 圖或第 6 圖之靜態型 RAM 所使用之字元線驅動器之一實施例之電路圖。該實施例以代表性例示對應於 4 個字元線  $WL0\sim WL3$  之 4 個字元驅動器。該實施例是當高位準採用邏輯 1 和正邏輯時，將非或(NOR)電路當作字元驅動器使用。即是，當以對應於字元線  $WL0$  之字元動器為例說明時，在電源電壓  $VDD$  和輸出端子 ( $WL0$ ) 以串聯形態連接 P 通道 MOSFETPA0 和 PB0，以在電路之接地電位  $VSS$  和輸出端子 ( $WL0$ ) 之間以並聯形態連

接有 N 通道 MOSFETNA0 和 NB0。然後，P 通道 MOSFETPA0 和 N 通道 MOSFETA0 之閘極被共同連接而供給輸入訊號 PDA[0]，P 通道 MOSFETPB0 和 N 通道 MOSFETNB0 之閘極是被共同連接而供給輸入訊號 PDB[0]。

上述 P 通道 MOSPA0 之源極上被供給上述電源電壓 VCC，上述 P 通道 MOSFETPB0 之汲極是被連接於輸出端子。該端子是連接上述字元線 WL0。再者，N 通道 MOSFETNA0 和 NB0 之源極是被供給電路之接地電位 VSS，上述 MOSFETNA0 和 NB0 之汲極是被共同連接於上述輸出端子。

該實施例雖然並無特別限制，但爲了簡化電路，P 通道 MOSFETPA0 也共同使用對應於字元線 WL1 之字元驅動器。即是，對應於字元線 WL1 之字元驅動器，是以串聯形態連接上述 P 通道 MOSFETPA0 和 PB1，在電路之接地電位 VSS 和輸出端子（WL1）之間以並聯形態連接有 N 通道 MOSFETNA1 和 NB1。然後，P 通道 MOSFET0 和 N 通道 MOSFETNA1 之閘極是共同被連接，供給上述輸入訊號 PDA[0]，並 P 通道 MOSFETPB1 和 N 通道 MOSFETNB1 之閘極是被共同連接而供給輸入訊號 PDB[1]。

即使在所剩之兩個字元線 WL2 和 3，電源電壓 VCC 連接有源極之 P 通道 MOSFETPA2 是共同被使用於兩個驅動器。即是，對應於字元線 WL2 之字元驅動器是與上述

同樣在電源電壓 VCC 和輸出端子 (WL2) 之間，以串聯形態連接 N 通道 MOSFETNA2 和 NB2。然後，共同連接 P 通道 MOSFETPA2 和 N 通道 MOSFETNA2 之閘極而供給輸入訊號 PDA[1]，並共同連接 P 通道 MOSFETB2 和 N 通道 MOSFETB2 閘極而供給輸入訊號 PDB[0]。

上述 P 通道 MOSFETPA2 也共同使用於對應於字元線 WL3 之字元驅動器。即是，對應於字元線 WL3 之字元驅動器是在上述電源電壓 VCC 和輸出端子 (WL3) 之間，以串聯形態連接上述 P 通道 MOSFETPA2 和 PB3，在電路之接地電位 VSS 和輸出端子 (WL3) 之間，以並聯形態連接 N 通道 MOSFETNA3 和 NB3。然後，P 通道 MOSFETPA2 和 N 通道 MOSFTNA3 之閘極是被共同連接而供給上述輸入訊號 PDA[1]，並且 P 通道 MOSFETPB3 和 N 通道 MOSFETNB3 之閘極是被共同連接而供給輸入訊號 PDB[1]。

上述輸入訊號 PDA[0]和[1]於主動時為具有互補（排他）關係之訊號，一方為高位準之時，另一方則成為低位準。也與上述輸入訊號 PDB[0]和[1]相同，為主動時為具有互補（排他）關係之訊號，一方為高位準之時，另一方則為低位準。雖然並無特別限制，但是該些輸入訊號 PDA 和 PDB 除位址訊號之外也包含後述般之時脈訊號成分及準備訊號成分。

輸入訊號 PDA 雖然並無特別限制，但被設在位址訊號之上位位元側，輸入訊號 PDB 是被設為下位位元側。

因此，當輸入訊號 PDA[0]為低位準，輸入訊號 PDA[1]為高位準，輸入訊號 PDB[0]為低位準，輸入訊號 PDB[1]為高位準之時，對應於輸入訊號 PDA[0]之低位準和輸入訊號 PDB[0]之低位準，P 通道 MOSFETPA0 和 PB0 成為接通狀態，N 通道 MOSFETNA0 和 NB0 成為截止狀態，並將字元線 WL0 設為電源電壓 VCC 般之高位準的選擇狀態。對應於其他字元線 WL1~WL3 之字元驅動器是成為輸入訊號 PDA[1]之高位準，兩個 N 通道 MOSFET 中之至少一個成為 ON 狀態，成為接地電位 VSS 般之低位準的非選擇狀態。

於準備狀態中，輸入訊號 PDA[0]、[1]及輸入訊號 PDB[0]、[1]所有為高位準。依此，所有 P 通道 MOSFET 為截止狀態，所以 N 通道 MOSFET 成為截止狀態。上述 P 通道 MOSFET 是當流動上述般之洩漏電流時，藉由自 VSS 朝向 VCC/2 上升串聯 MOSFET 之連接點的電位，並在電源電壓側之 P 通道 MOSFETPA1、PA2 中，上升源極電位，而與基板之間成為逆偏壓的源極偏壓效果，則可以大幅度降低洩漏電流。

如上述般，當字元線 WL0 為選擇狀態時，對應於此之字元驅動器之 P 通道 MOSFETPA0、PB0 或是 PA0 或是 PB0 中之至少任一方為截止狀態。字元驅動器是可以依據 NOR 型邏輯閘極電路之特徵的 P 通道 MOSFET 之縱疊所產生之源極偏壓效果，縮小洩漏電流。尤其，當輸入訊號 PDA[0]、[1]、PDB[0]、[1]同時成為高位準之準備狀態

時，則如上述般兩個 P 通道 MOSFET 同時成為截止狀態，依據源極偏壓效果可以大幅度降低洩漏電流。如該實施例般，即使將 P 通道 MOSFETPA0、PA2 供給至兩個字元驅動器，因同時不選擇兩個字元線，故可以一面維持驅動力一面提高洩漏刪減效果。依據解碼邏輯為共有之字元驅動器數量，例如可以 2 平方而增加。

該實施例電路之特徵是不需要用以將洩漏電流之特別控制訊號之點。然後，於輸入訊號 PDA 含有時脈訊號成分之時，即是，預充電位元線時，必須使全字元線設為非選擇。該預充電期間之全字元線非選擇狀態中，可以降低上述般之源極偏壓效果所產生之洩漏電流。即是，不僅準備狀態，也可以使記憶存取時之洩漏電流降低。

即是，藉由 LSI (Large Scale Integrated circuit: 大規模積體電路) 之低消耗電力化及 LSI 中之電晶體 (MOSFET) 之微細化，降低 LSI 之電源電壓。例如，在  $0.13\mu\text{m}$  製程中，製造出以電源電壓 1.2V 動作的 LSI。於降低 LSI 之電源電壓時，為了不降低電路性能 (電路之動作速度)，降低電晶體之臨界電壓 ( $V_{th}$ ) 而增加電晶體之電流，例如， $0.13\mu\text{m}$  製程是使用  $V_{th}$  為 0.4V 左右之 MOSFET。  $V_{th}$  為低之電晶體是於被稱為副臨界電流之電晶體為截止狀態之時，流通於源極、汲極間之電流變大。該電流是即使於以該電晶體所構成之電路不動作之時，亦持續流動，成為通電 LSI 但不動作之狀態 (以後準備狀態) 中之所消耗之電流。在準備狀態也須先記憶資料之記

憶電路，即使為準備狀態亦無法截斷電源，故可以藉由上述字元驅動器解決如當構成電路之電晶體之  $V_{th}$  下降時，增加副臨界電流，並增加準備時之消耗電力之問題。

第 16 圖是表示該發明所涉及之靜態型 RAM 之一實施例之全體電路圖。靜態型 RAM 是由記憶體單元陣列和被設置在該周邊電路之位址選擇電路、讀出電路及寫入電路和控制該動作之時間生成電路所構成。

就記憶體單元陣列而言，例示有 1 條字元線 WL、2 對互補位元線 BL、/BL 和被設置在交點之兩個記憶體單元。上述記憶體單元與上述相同，由交叉連接 P 通道 MOSFETQ1、Q3 和 N 通道 MOSFETQ2、Q4 所形成之兩個 CMOS 反相電路之輸入和輸出的門鎖電路，和在該門鎖電路之一對輸出入節點和位元線 BL 和 /BL 之間，由 N 通道 MOSFETQ5 和 Q6 所形成之選擇開關所構成。該些之 MOSFETQ5 和 Q6 之閘極是被連接於上述字元線 WL。

雖然並無特別限制，上述記憶體單元陣列，是在 1 個字元線 WL 上配置 128 個之記憶體單元。因此，互補位元線 BL、/BL 是由 128 對所構成。在一對位元線 BL 和 /BL 上配置有 256 個記憶體單元。因此，字元線 WL 是由 0~255 般之 256 條所構成。上述各位元線 BL、/BL 上設置有預充電&等化電路 PC/EQ。預充電&等化電路 PC/EQ 是與上述第 1 圖相同，由供給電源電壓般之預充電電壓至互補位元線 BL 和 /BL 之 P 通道 MOSFET，和短路上述互補位元線 BL 和 /BL 之間的 P 通道 MOSFET 所構成。再者，

該實施例是於上述互補位元線 BL 和 /BL 和電源端子之間，設置有交叉連接閘極和汲極之 P 通道 MOSFET 當作上拉 MOSFET。依此，防止於讀出時高位準側之位元線落入。

雖然無特別限制，上述 128 對之位元線，是藉由由 P 通道 MOSFET 所形成之讀出用行開關，而被連接於 32 對之互補讀出資料線 RD、/RD。1 個讀出資料線 RD、/RD 是被連接於 4 對位元線 BL、/BL 中之任一個。上述讀出資料線 RD、/RD 上是設置有讀出放大器 SA。讀出放大器 SA 是由交叉連接由 P 通道 MOSFET 和 N 通道 MOSFET 所形成之兩個 CMOS 反相器電路之輸入和輸出而構成之 CMOS 閃鎖電路，和被設置在該 CMOS 閃鎖電路之 N 通道 MOSFET 之源極和電路之接地電位上的 N 通道 MOSFET 所構成。對應上述讀出資料線 RD、/RD 如上述般對應被設置 32 對，讀出放大器 SA 全體也設置 32 個。

使上述讀出放大器 SA 予以活性化之 N 通道 MOSFET 的閘極，和傳送上述讀出放大器 SA 之放大訊號之閘極電路上，是透過反相器電路列而被傳送以時間生成電路所形成之時間訊號，和以接受讀出放大器選擇訊號 sac 之閘極電路所形成之時間控制訊號  $\phi$  sac。該時間控制訊號  $\phi$  sac 是當作上述讀出用行開關之選擇訊號使用。讀出放大器 SA 是藉由上述選擇訊號被活性化而放大讀出資料線 RD、/RD 訊號。

上述讀出放大器 SA 之放大訊號是被傳送至由

MOSFETQ17~Q22 所構成之閘鎖電路 LT 上，藉由輸出電路 OB 形成輸出訊號 dout。閘鎖電路 LT 是藉由根據輸出閘鎖控制訊號 olc 而所形成之訊號  $\phi$  olc 被控制之貫通閘鎖電路所構成。輸出電路 OB 是由被根據輸出控制訊號 odc 而所形成之訊號  $\phi$  odc 控制之閘極電互和輸出反相器電路所構成。

該實施例雖然並無特別限制，但是亦可選擇性地成為使上述 32 個讀出放大器 SA 活性化而輸出由 32 位元所構成之讀出訊號的讀出動作；使上述 32 個讀出放大器 SA 中之 16 個活性化而輸出由 16 位元所構成之讀出訊號的讀出動作；或是使上述 32 個讀出放大器 SA 中之 8 個活性化而輸出由 8 位元所構成之讀出訊號的讀出動作。上述讀出放大器選擇訊號 sac 是對應上述 3 種類之讀出動作而執行讀出放大器 SA 等之控制，並且藉由讀出開關控制訊號 rew 或行選擇訊號 sel 當作由 P 通道 MOSFET 所構成之讀出用行開關之非選擇訊號使用。

上述 128 對之位元線是依據由 N 通道 MOSFET 所構成之寫入用行開關（WCP）而被連接於 32 對之互補之寫入資料 WD、/WD。1 個之寫入資料線 WD、/WD 是藉由上述行開關，而被連接於 4 對位元線 BL、/BL 中之任一個。上述寫入資料線 WD、/WD 上設置有由將寫入訊號 din 傳至寫入資料線 WD 的反相器電路列（WDP1）；和將形成反轉訊號之反相器電路（WDP3）及反轉寫入訊號傳至寫入資料線 /WD 之反相器電路列（WDP2）所構成之寫

入電路（寫入放大器）。該寫入電路也對應上述 32 對之互補之寫入資料線 WD、/WD 而由 32 個所構成。

該實施例之 SRAM 雖然並無特別限制，但亦可選擇性成為使由上述 32 個之寫入形成的 32 位元所構成寫入放大器成為有效之寫入動作；使由上述 32 個之寫入放大器中之 16 個形成的 16 位元所構成讀出訊號成為有效之寫入動作；或是由上述 32 個之寫入放大器中之 8 個形成的 8 位元所構成之寫入訊號當作有效之寫入動作中之任一者。因此，寫入開關控制訊號 wswc 被使用。該實施例是上述行選擇訊號與寫入控制訊號 wswc 組合而被傳至由 N 通道 MOSFET 所構成之寫入用行開關。

上述讀出放大器 SA 之放大訊號是通過閘極電路而被傳至 MOSFETQ17~Q22，和由反相器電路所構成之門鎖電路，通過閘極電路及輸出反相器電路而形成輸出訊號 dout。使上述讀出放大器 SA 之 N 通道 MOSFET 之閘極及傳送上述讀出放大器 SA 之放大訊號的閘極電路上，是通過構成控制匯流排之反相器電路而被傳達有以接受讀出放大器選擇訊號 sac 之閘極電路所形成之時間控制訊號  $\phi$  sac。該時間控制訊號  $\phi$  sac 是亦當作上述讀出用行開關之非選擇訊號被使用。

時間生成電路是接受以時脈 CLK 和讀出/寫入控制訊號 R/W 為代表之複數控制訊號，對應 SRAM 之讀出動作、寫入動作或是準備動作等之動作模態，生成 SRAM 動作所需之各種時間訊號。

由上述 256 條所形成之字元線 WL 中之 1 條是藉由上述說明般之預解碼電路及字元驅動器（NOR）而被選擇。預解碼電路是接受以時間生成電路所形成之時間訊號（時脈、允許）和位址訊號 add，形成選擇上述字元線之預解碼訊號或行之選擇訊號。然後，上述準備動作等之動作模式是與位址訊號 add 無關係，所有的字元線被設成非選擇位準。以預解碼電路所形成之行選擇訊號是藉由無圖示之邏輯電路，對應於上述 32 位元動作、16 位元動作及 8 位元動作而用以形成上述控制訊號 sac、rswc、wswc 等。

雖然根據實施例具體說明藉由本發明者所創作出之發明，但是本案發明並不限定於上述實施例，只要在不脫離主旨之範圍下可做各種變更。例如，構成被搭載於半導體積體電路裝置之 SRAM 之記憶體單元陣列之字元線或位元線之條數，可以採用各種實施型態。SRAM 除被混載於系統 LSI 上之 SRAM 之外，同樣地亦可以適用泛用記憶體之 SRAM。該發明可以廣泛利用於包含上述般之 SRAM 之半導體積體電路裝置。

### 【符號說明】

QP1~QP4：P 通道 MOSFET

QP1~QN3：N 通道 MOSFET

INV1：反相器電路

R：電阻

C1、C2：寄生電容（耦合電容）

NA0~NA3、N10、N11：N 通道 MOSFET

PA0、PA2、PB0~PB3：P 通道 MOSFET

WL0~WL3：字元線

WDP1~WDP3：反相器電路列（寫入放大器）

WCP：寫入用行開關

LT：閃鎖電路

OB：輸出電路

SA：讀出放大器

PC/EQ：預充電&等化電路

Q1~Q6：MOSFET

BL、/BL：位元線

RD、/RD：讀出資料線

WD、/WD 寫入資料線

## 申請專利範圍

1.一種半導體積體電路裝置，包含：

在半導體基板之主面沿著第 1 方向而被配置的複數記憶體單元；

被共同連接於上述複數記憶體單元的第一位元線；

被共同連接於上述複數記憶體單元的第二位元線；

分別連接於上述複數記憶體單元的複數字元線；

被共同連接於上述複數記憶體單元的記憶體單元電源線；

供給電源電壓的電源線；及

電性連接上述記憶體單元電源線和上述電源線之間的電源電路，

上述複數記憶體單元之各個具有形成在記憶體單元區域上的第一及第二 P 通道型電晶體、第一至第四 N 通道型電晶體，和第一及第二記憶節點，

上述第一 P 通道型電晶體及上述第一 N 通道型電晶體構成輸出被連接於第一記憶節點，輸入被連接於第二記憶節點的第一反相器，

上述第二 P 通道型電晶體及上述第二 N 通道型電晶體構成輸出被連接於第二記憶節點，輸入被連接於第一記憶節點的第二反相器，

以上述第一 P 通道型電晶體之閘極被配置在上述第一及第四 N 通道型電晶體之各個的閘極之間之方式，上述第一 N 通道型電晶體之閘極、上述第一 P 通道型電晶體之

閘極及上述第四 N 通道型電晶體之閘極沿著與上述第一方向正交之第二方向排列，

以上述第二 P 通道型電晶體之閘極被配置在上述第三及第二 N 通道型電晶體之各個的閘極之間之方式，上述第三 N 通道型電晶體之閘極、上述第二 P 通道型電晶體之閘極及上述第二 N 通道型電晶體之閘極之位置沿著上述第二方向排列，

上述第一及第三 N 通道型電晶體之各個的閘極沿著上述第二方向排列，

上述第四及第二 N 通道型電晶體之各個的閘極沿著上述第二方向排列，

上述複數字元線中分別連接於其連接之記憶體單元之上述第三及第四 N 通道型電晶體之各個的閘極，

上述第一位元線經上述第三 N 通道型電晶體被電性連接於上述複數記憶體單元之各個的上述第一記憶節點，

上述第二位元線經上述第四 N 通道型電晶體被電性連接於上述複數記憶體單元之各個的上述第二記憶節點，

上述記憶體單元電源線被連接於複數記憶體單元之各個的上述第一及第二 P 通道型電晶體之各個的源極，

上述記憶體單元區域為具有沿著上述第二方向之第一邊及第二邊，和沿著上述第一方向之第三邊及第四邊的矩形區域，

在上述第一邊配置有被連接於上述第一 PMOS 電晶體之源極的第一接觸孔，

在上述第二邊配置有被連接於上述第二 PMOS 電晶體之源極的第二接觸孔，

在上述第三邊配置有被連接於上述第三 PMOS 電晶體之閘極的第三接觸孔，

在上述第四邊配置有被連接於上述第四 PMOS 電晶體之閘極的第四接觸孔，

上述第一邊和上述第二邊之間的間隔較上述第三邊和上述第四邊之間的間隔小，

上述電源電路於將資料寫入上述複數記憶體單元中之任一者時降低上述記憶體單元電源線之電壓。

2.如請求項 1 所記載之半導體積體電路裝置，其中

上述電源電路於從上述複數記憶體單元中之任一者讀出資料之時，對上述記憶體單元電源線供給第一電壓，於將資料寫入上述複數記憶體單元中之任一者時，對上述記憶體單元電源線供給較上述第一電壓低之第二電壓。

3.如請求項 1 所記載之半導體積體電路裝置，其中

上述電源電路於不對上述複數記憶體單元中之任一者進行資料之寫入及讀出之時，對上述記憶體單元電源線供給第一電壓，於將資料寫入上述複數記憶體單元中之任一者時，對上述記憶體單元電源線供給較上述第一電壓低之第二電壓。

4.如請求項 1 至 3 中之任一項所記載之半導體積體電路裝置，其中

在上述半導體基板上具有被設置成高度互相不同的複

數層之金屬配線，

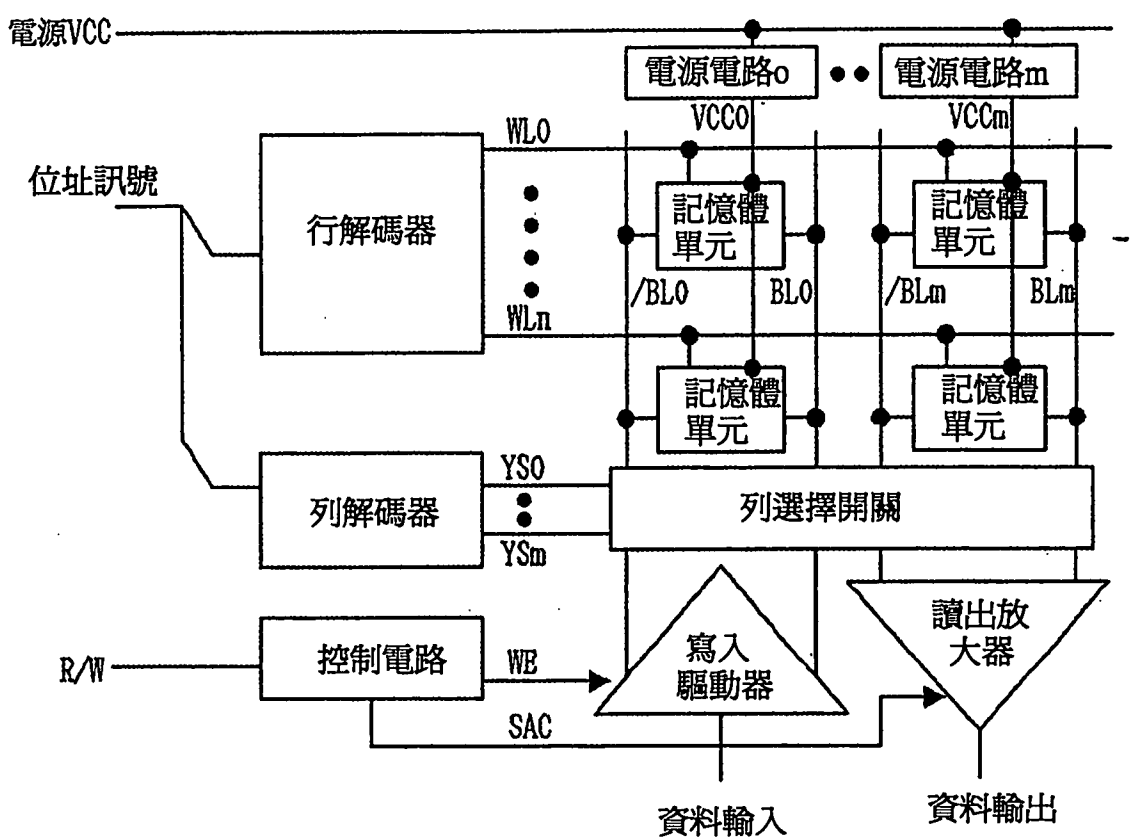
上述第一位元線、上述第二位元線及上述記憶體單元電源線係由上述複數層之金屬配線中之相同高度之層的第一層金屬配線所構成，

上述複數字元線係由位於較上述第一層金屬配線上層之第二層金屬配線所構成。

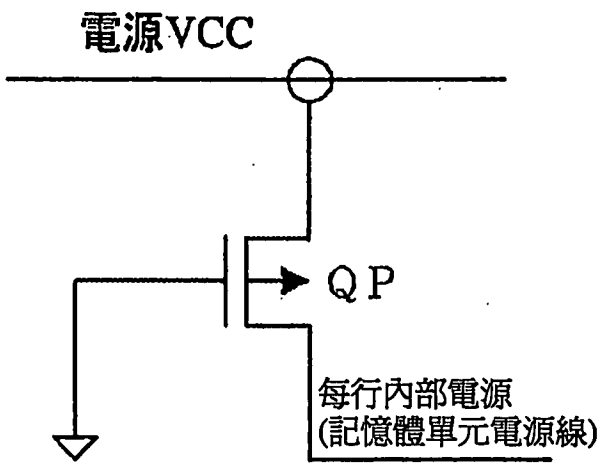
5.如請求項 4 所記載之半導體積體電路裝置，其中

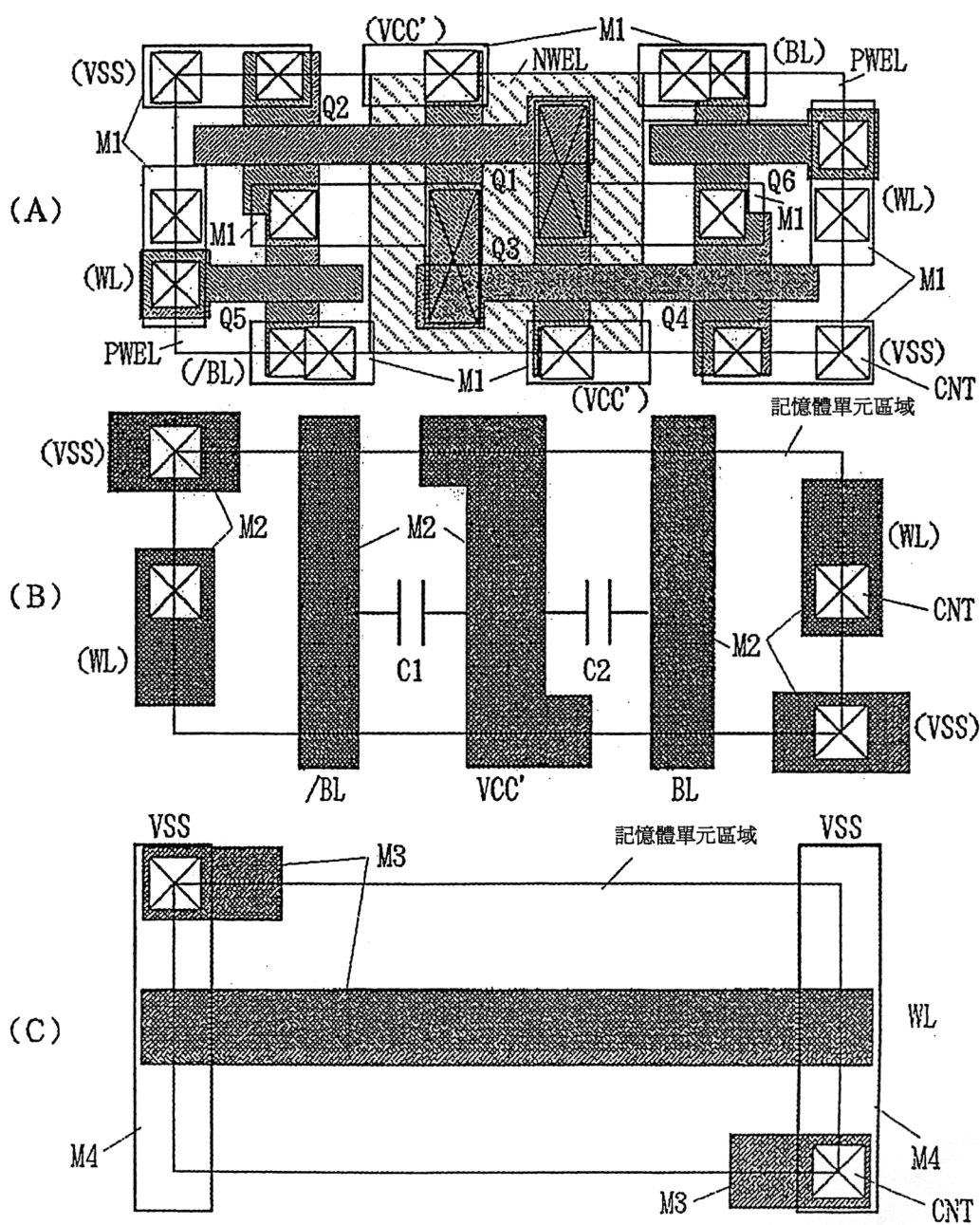
上述記憶體單元電源線被設置在上述第一及第二位元線之間，並且不與該第一及第二位元線交叉。

圖式  
第1圖

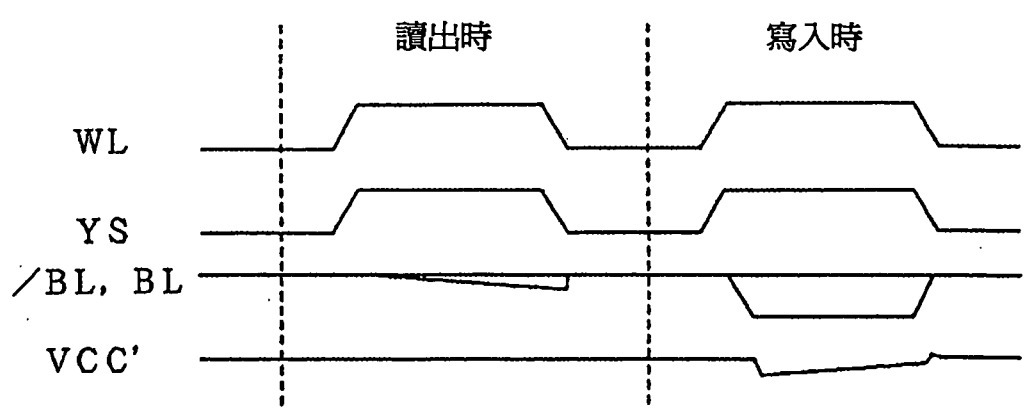


第2圖

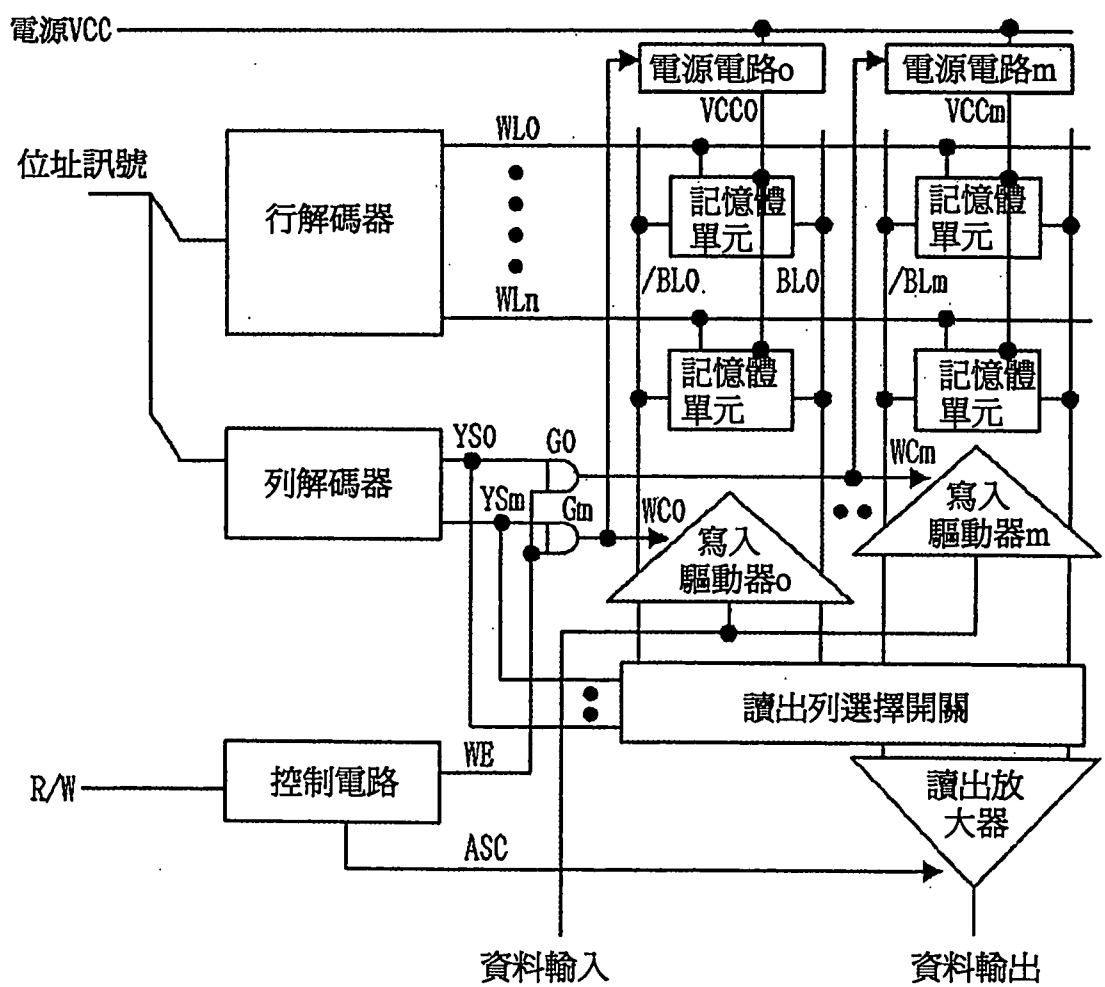




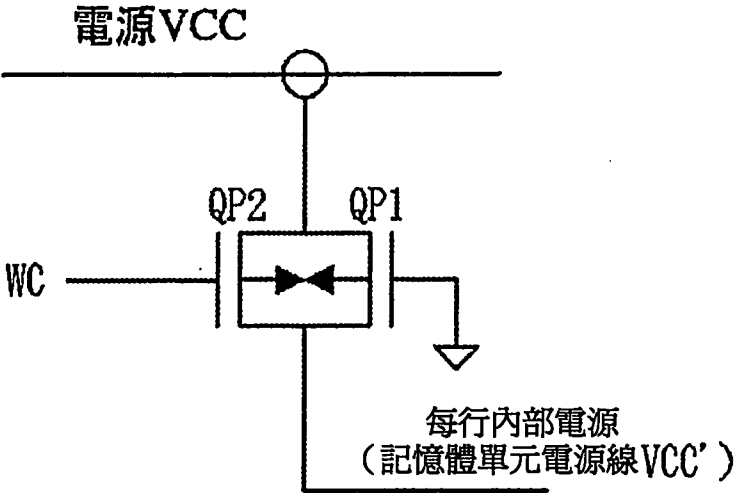
第5圖



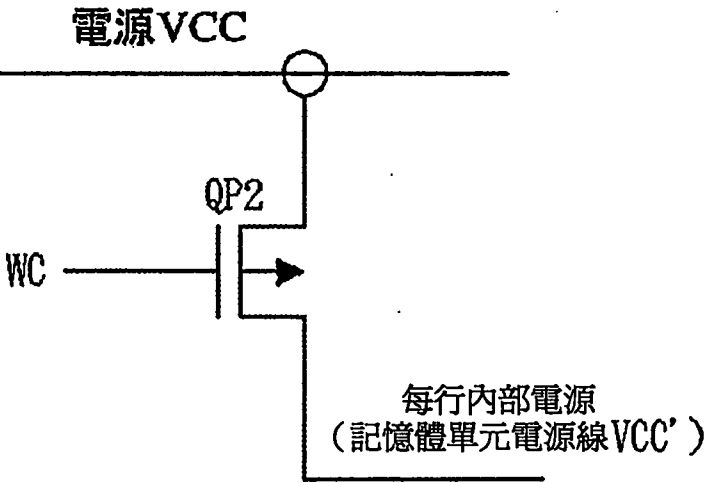
第6圖



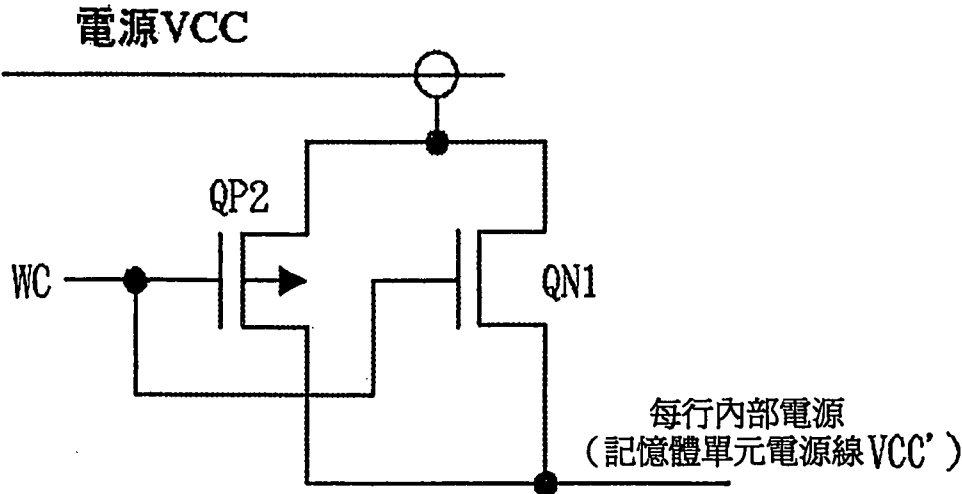
第7圖



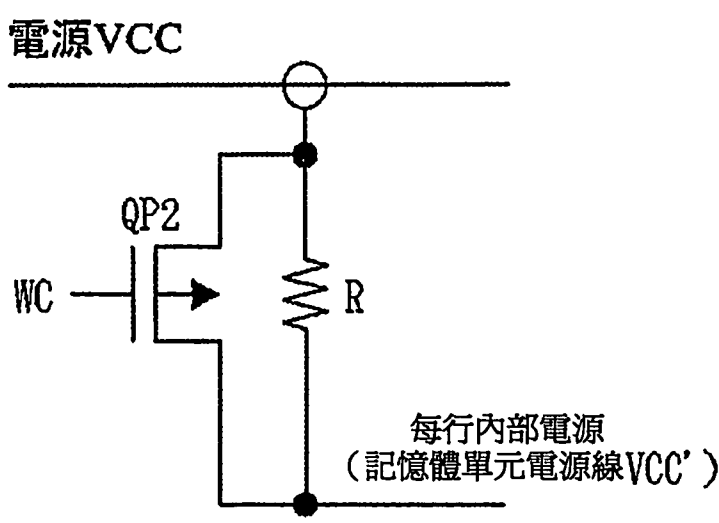
第8圖



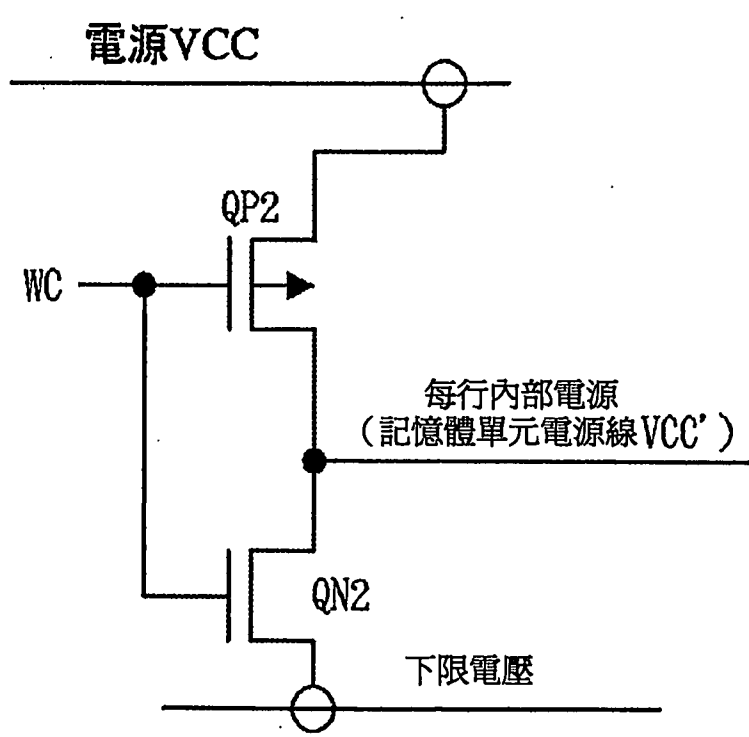
第9圖



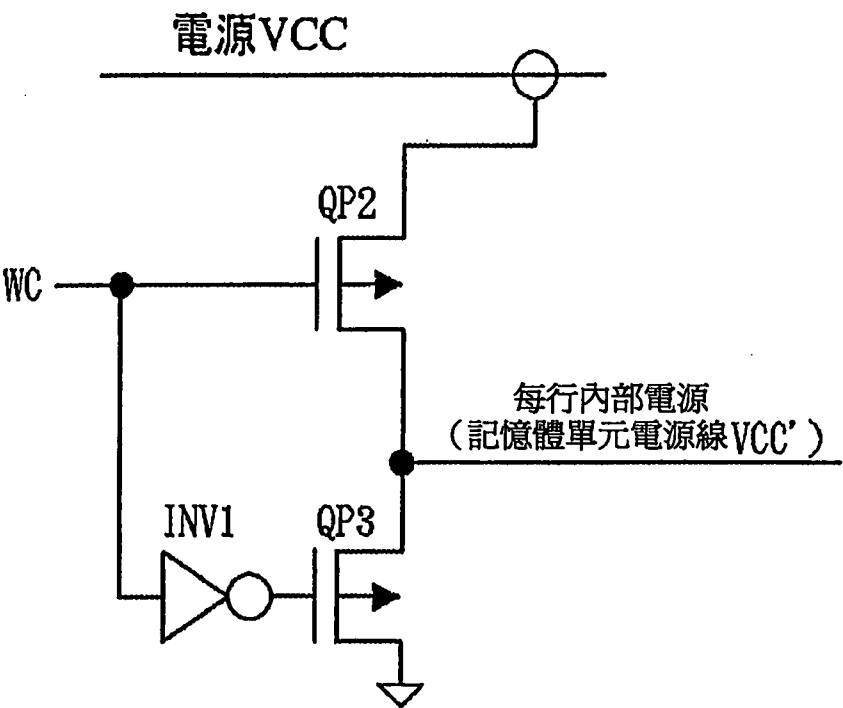
第10圖



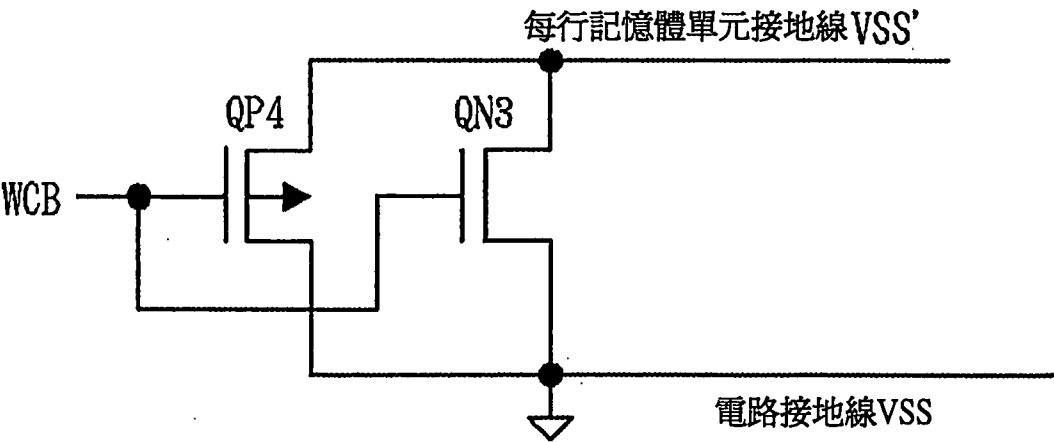
第11圖



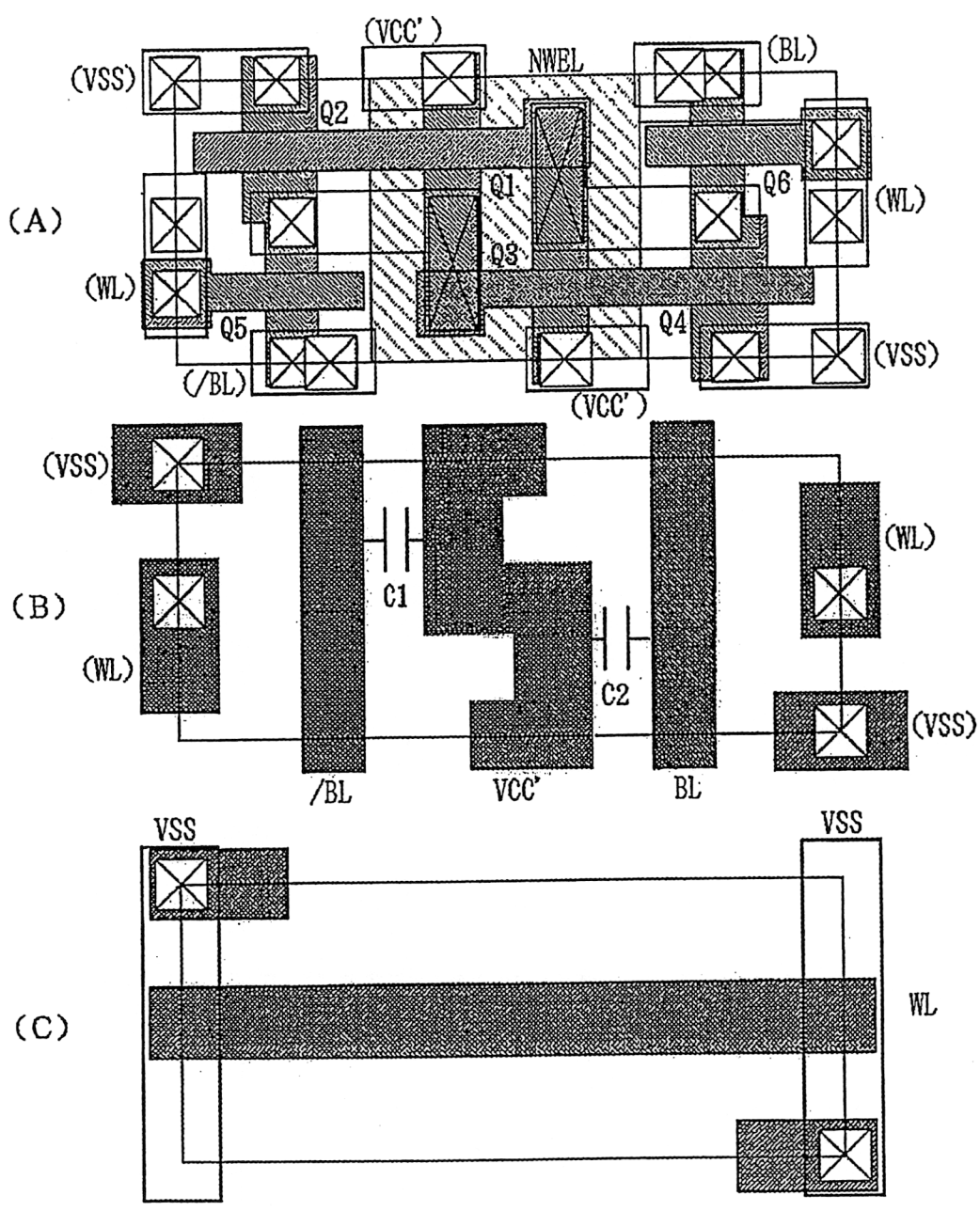
第12圖



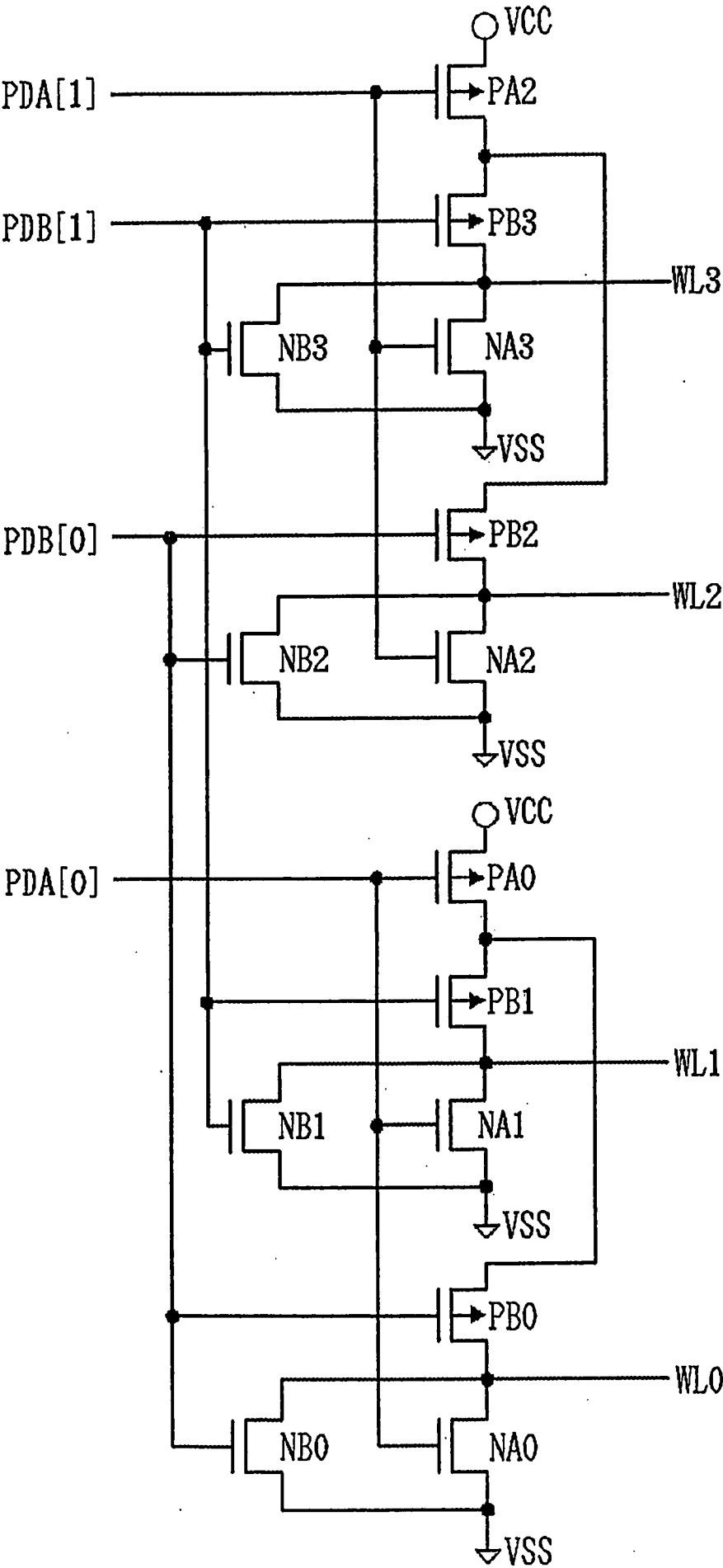
第13圖



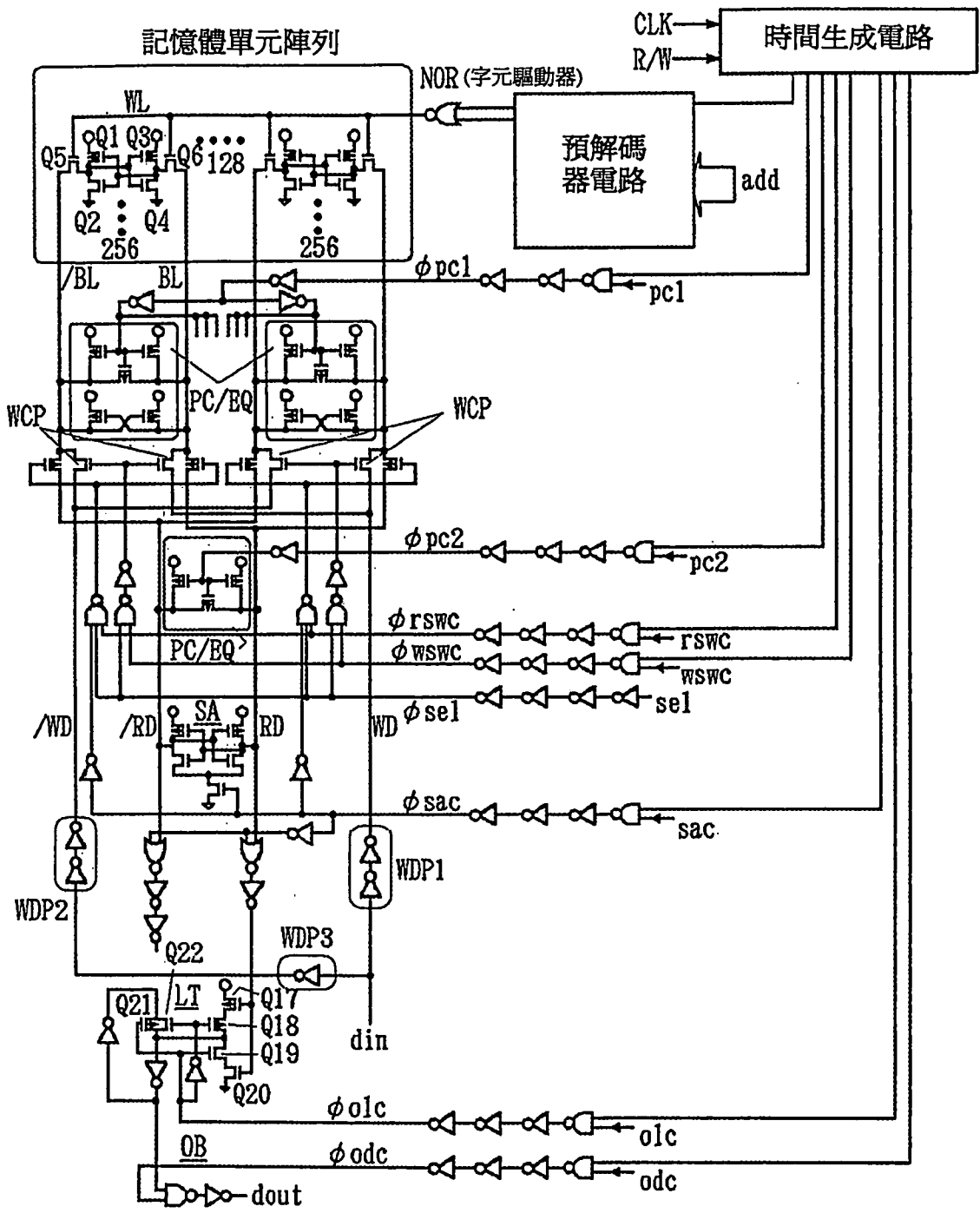
第14圖



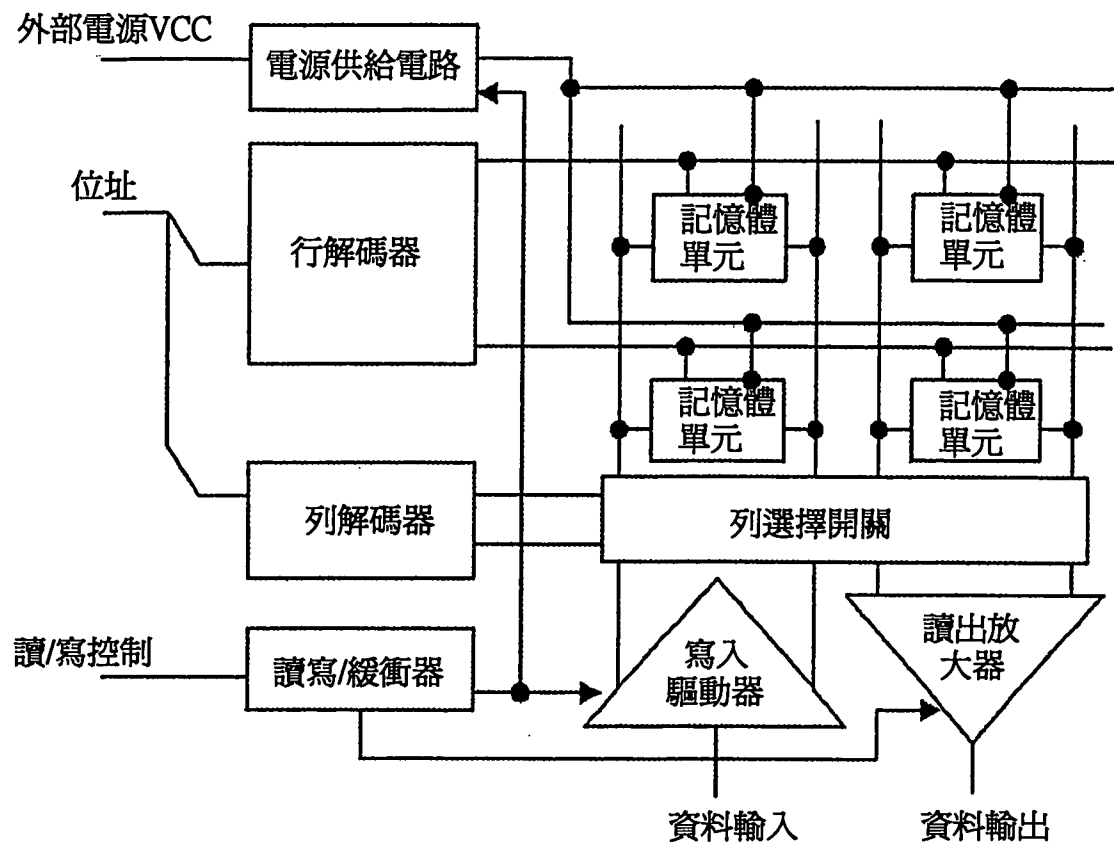
第15圖



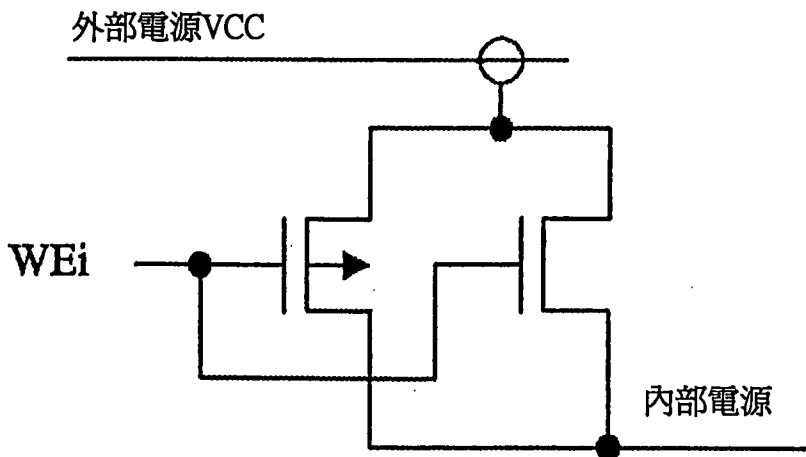
第16圖



第17圖



第18圖



第19圖

