



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I450339 B

(45)公告日：中華民國 103 (2014) 年 08 月 21 日

(21)申請案號：097146123

(22)申請日：中華民國 97 (2008) 年 11 月 28 日

(51)Int. Cl. : H01L21/336 (2006.01)

H01L29/78 (2006.01)

(30)優先權：2007/11/30 美國

11/948,235

(71)申請人：高級微裝置公司 (美國) ADVANCED MICRO DEVICES, INC. (US)  
美國(72)發明人：艾德卡瑞 海媚特 ADHIKARI, HEMANT (IN)；哈瑞 露絲提 HARRIS, RUSTY  
(US)

(74)代理人：洪武雄；陳昭誠

(56)參考文獻：

JP 60210831

JP 61094318

US 2005/0116290A1

US 2006/0286778A1

US 2008/0020515A1

審查人員：李景松

申請專利範圍項數：22 項 圖式數：12 共 0 頁

(54)名稱

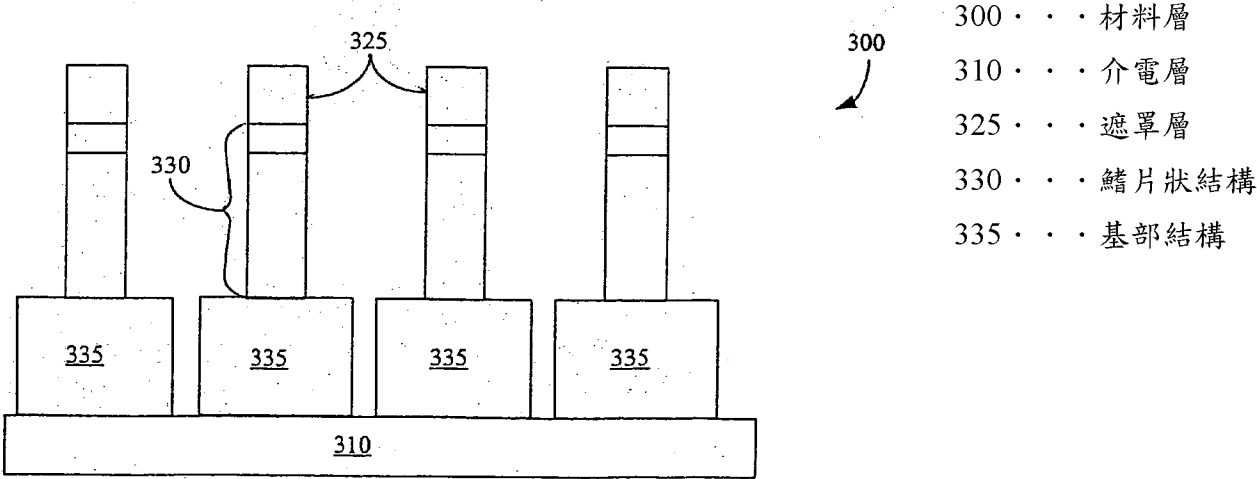
異構倒T場效電晶體

A HETERO-STRUCTURED, INVERTED-T FIELD EFFECT TRANSISTOR

(57)摘要

本發明係提供一種形成電晶體的方法。該方法包含形成第一半導體材料的第一層於絕緣層之上。選擇該第一半導體材料以對第一載體類型提供高的遷移率。該方法亦包含形成第二半導體材料的第二層於半導體材料的該第一層之上。選擇該第二半導體材料以對相反於該第一載體類型的第二載體類型提供高的遷移率。該方法復包含形成第一遮罩層相鄰於該第二層，且透過該第一遮罩層蝕刻該第二層以在該第二層中形成至少一特徵。在該第二層中的每一特徵與該第一層的一部分形成倒T形狀。

The present invention provides a method of forming a transistor. The method includes forming a first layer of a first semiconductor material above an insulation layer. The first semiconductor material is selected to provide high mobility to a first carrier type. The method also includes forming a second layer of a second semiconductor material above the first layer of semiconductor material. The second semiconductor material is selected to provide high mobility to a second carrier type opposite the first carrier type. The method further includes forming a first masking layer adjacent the second layer and etching the second layer through the first masking layer to form at least one feature in the second layer. Each feature in the second layer forms an inverted-T shape with a portion of the second layer.



第 3E 圖

## 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：97146123

※申請日：97.11.28

※IPC 分類：H01L 21/36 (2006.01)

H01L 29/18 (2006.01)

一、發明名稱：(中文/英文)

異構倒 T 場效電晶體

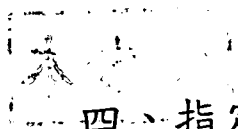
A HETERO-STRUCTURED, INVERTED-T FIELD EFFECT TRANSISTOR

二、中文發明摘要：

本發明係提供一種形成電晶體的方法。該方法包含形成第一半導體材料的第一層於絕緣層之上。選擇該第一半導體材料以對第一載體類型提供高的遷移率。該方法亦包含形成第二半導體材料的第二層於半導體材料的該第一層之上。選擇該第二半導體材料以對相反於該第一載體類型的第二載體類型提供高的遷移率。該方法復包含形成第一遮罩層相鄰於該第二層，且透過該第一遮罩層蝕刻該第二層以在該第二層中形成至少一特徵。在該第二層中的每一特徵與該第一層的一部分形成倒 T 形狀。

三、英文發明摘要：

The present invention provides a method of forming a transistor. The method includes forming a first layer of a first semiconductor material above an insulation layer. The first semiconductor material is selected to provide high mobility to a first carrier type. The method also includes forming a second layer of a second semiconductor material above the first layer of semiconductor material. The second semiconductor material is selected to provide high mobility to a second carrier type opposite the first carrier type. The method further includes forming a first masking layer adjacent the second layer and etching the second layer through the first masking layer to form at least one feature in the second layer. Each feature in the second layer forms an inverted-T shape with a portion of the second layer.



#### 四、指定代表圖：

(一)本案指定代表圖為：第 ( 3E ) 圖。

(二)本代表圖之元件符號簡單說明：

- 300 材料層
- 310 介電層
- 325 遮罩層
- 330 鰭片狀結構
- 335 基部結構

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。



## 六、發明說明：

### 【發明所屬之技術領域】

本發明大致上係有關於一種半導體製程，尤有關於形成異構倒 T 場效電晶體。

### 【先前技術】

受到可形成在晶圓上的半導體裝置的密度增加及這些裝置的操作速度增加的持續驅使，導致習知半導體裝置在結構上進行了許多的修改。舉例而言，於發展成果接近 22 奈米節點 (node) 時，嘗試去維持習知平面裝置的尺寸將會遭遇到包含閘極電極對通道區域不適當控制的障礙而可能導致短通道效應 (short channel effect)。通道的多方向控制可使得增加例如次臨界斜率 (sub threshold slope)、汲極導致能障洩漏 (drain induced barrier leakage) 等短通道效應之免疫力。因而許多半導體裝置可使用多閘極場效電晶體 (FET) 而形成。於多閘極場效電晶體的一個例子係包含由超薄主體 (ultrathin body, UTB) 所形成的閘極結構，該超薄主體係轉向成相對於習知平面閘極結構呈豎立 (亦即，UTB 閘極結構係垂直於基板)。由於這些裝置具有鰭片狀結構因而於習慣上被稱之為鰭式場效電晶體 (Fin-FET)，該鰭片狀結構係連接 Fin-FET 的源極及汲極區域至該閘極結構。Fin-FET 裝置可提供將多數電流聚集 (必然會增加流速) 至晶片的每一單元區的機制，同時維持與先前技術節點相對一致的製程、材料及電路設計因數。

第 1A、1B 及 1C 圖係示意地顯示在 Fin-FET 中形成

鰭片結構的習知方法。這些圖係揭示用於形成鰭片結構的材料層的剖面視圖 100。在第 1A 圖所示的實施例中，半導體材料（例如：單晶矽、矽化鍺、或鍺）的層 105 係形成於介電層 110（例如：二氧化矽）之上。接著，於半導體材料層 105 之上係形成氧化層 115。該氧化層 115 可作為該層 105 對於後續其它結構的形成及/或蝕刻的保護層。該氧化層 115 亦可作為後續沈積層（例如：氮化層）的應力縮減層（stress reduction layer）。在某些實施例中，沈積另一個氮化層 120。接著，於氮化層之上使用例如遮罩形成圖案化的光阻層，並用以轉印圖案到該氮化層。該圖案化的氮化層 120 係使用做為遮罩以蝕刻該氧化層 115 及該層 105 以形成顯示於第 1B 圖中的鰭片結構 125。在一實施例中，可將該圖案化的氮化層 120 及該氧化層 115 移除而留下顯示於第 1C 圖中的鰭片結構 125。

第 2 圖係示意地顯示使用 Fin-FET 技術所形成的習知電晶體 200 的上視圖。該電晶體 200 包含位於源極 210 及汲極 215 之間的閘極電極 205。於該源極 210 及該汲極 215 之間係形成有如同第 1A 至 1C 圖所示的鰭片結構 125 的鰭片結構 220，且這些結構於該閘極電極 205 的下方延伸。根據 Rao 及 Mathew 所提出的美國第 7,265,059 號專利案、Burnett 等人所提出的美國第 2007/0161171 號專利公開案及 Harris 等人於 FUTURE FAB International 第 23 期所提出的“Fin-FETs: Challenges in Material and Processing for a New 3-D Device Paradigm”的內容，可發現若干 Fin-FET 的

範例及可用以形成 Fin-FET 的若干技術。

可組構習知 Fin-FET 的鰭片結構以對結合 Fin-FET 的 CMOS 裝置提供相當高的驅動電流。然而，習知的鰭片結構具有單一方位 (orientation) 並由單一材料形成。因此，只能對於單一類型的 CMOS 裝置將習知的鰭片結構最佳化以提供高驅動電流，亦即，可針對期望有高電洞遷移率 (mobility) 的 PMOS 裝置及期望有高電子遷移率的 NMOS 裝置其中之一者將鰭片結構最佳化。大部分的電路設計包含大量 PMOS 及 NMOS 兩者的裝置。雖可對於一種類型的裝置將用於形成電路的製程最佳化，但此也導致對於其它類型的裝置的較無最佳化之製程。

於此描述的技術主題係針對處理上述問題中的一個或多個的影響。

#### 【發明內容】

為了提供本發明的某些態樣的初步的理解，以下提出於此描述的技術主題的簡化的總結。此總結並沒有徹底的概觀描述於此的技術主題。此總結並非用於確認本發明的關鍵或重要元件或詳細描述本發明的範圍。此總結的唯一目的是以簡化的形式提供某些概念作為將於稍後討論的更詳細說明的前序。

在一實施例中，提供一種用於形成電晶體的方法。該方法包含形成第一半導體材料的第一層於絕緣層之上。選擇該第一半導體材料以對第一載體類型提供高的遷移率。該方法亦包含形成第二半導體材料的第二層於半導體材料

的該第一層之上。選擇該第二半導體材料以對相反於該第一載體類型的第二載體類型提供高的遷移率。該方法復包含形成第一遮罩層相鄰於該第二層，且透過該第一遮罩層蝕刻該第二層以在該第二層中形成至少一特徵。在該第二層中的每一特徵與該第一層的一部分形成倒 T 形狀。

在另一個實施例中，提供一種電晶體。該電晶體包含第一層，係由第一半導體材料形成於埋藏氧化層（buried oxide layer）之上方。該第一半導體材料係經選擇以對第一載體類型提供高的遷移率。該電晶體亦包含第二層，係相鄰於該第一層而由第二半導體材料形成。該第二半導體材料係經選擇以對相反於該第一載體類型的第二載體類型提供高的遷移率。該第二層亦包含在該第二層中藉由透過第一遮罩層蝕刻該第二層形成的至少一特徵，使得在該第二層中的每一特徵與該第一層的一部分形成倒 T 形狀。

### 【實施方式】

將於下描述本技術主題的例示實施例。為了清楚的目的，並非實際實作所需要的所有特徵均描述於此說明書中。應當瞭解，在發展任何此類實際實作時，應該做出許多特定實作的決定以達成發展者的特定目標（例如滿足系統相關及商業相關的限制），而將一個實作改變為另外一個實作。然而，將瞭解到此類發展的努力可能是複雜且耗時的，但是此發展對於得知本揭露內容之利益的所屬技術領域的通常知識者而言係為一種例行性的工作。

本技術主題將於此參照附圖而加以描述。僅為了解釋

的目的，不同的結構、系統及裝置是以示意地方式繪製於圖式中，以使得本發明不會被所屬技術領域者所共知的細節所模糊。因此，附圖中係包含用以描述及解釋於此所述的技術主題的例示範例。在此使用的字彙與片語應被了解與解釋為與相關技術領域者所了解之該等字彙與片語一致的意義。為了於此使用的術語或片語能有一致的用法，並未對術語或片語提供特別的定義，亦即，並未提供定義與所屬技術領域者通常及慣用所能理解的意義不同。但是於所提出的說明書中有說明特別的定義，且能以直接且毫無歧異的定義方式提供該術語或片語的特別定義，應當將術語或片語解讀為具有特別的意義。

第 3A、3B、3C、3D 及 3E 圖係示意地顯示形成異構倒 T 鰭片結構的方法的一示範實施例。這些圖係繪製用於形成異構倒 T 鰭片結構的材料層的剖視圖 300。在第 3A 圖所示的實施例中，半導體材料的第一層 305 係形成與介電層 310 相鄰。可以選擇使用形成該層 305 的半導體材料以提供相當高的電洞或電子遷移率。雖然在某些應用中可發生該第一層 305 與該介電層 310 有接觸，但於此使用的術語“相鄰”並非必然表示該第一層 305 與該介電層 310 有接觸。在某些實施例中，在相鄰的第一層 305 及介電層 310 之間可形成一層或多層。該介電層 310 可為二氧化矽或其它絕緣體所形成的埋藏氧化層 (buried oxide layer)，而該第一層 305 可為矽化層。或者，該層 305 可為應變之絕緣體上覆矽層 (strained silicon-on-insulator layer) 305。對於

所屬技術領域人士而言，有關於用於形成矽、絕緣體上覆矽及/或應變之絕緣體上覆矽層 305 的技術是公知常識，而為了清楚的目的，只有形成有關於本發明之該些層 305 的那些態樣將於此討論。

使用應變、伸張或壓縮之絕緣體上覆矽層 305 可使得在該異構倒 T 鰭片結構中的電子及/或電洞的遷移率被控制、修改及/或增加。舉例而言，絕緣體上覆矽層 305 的應變可修改應變之絕緣體上覆矽層 305 的傳導及/或價帶結構以增加電子及/或電洞的遷移率。此外，在應變之絕緣體上覆矽層 305 中的應變矽晶格亦可協助成長高品質的磊晶層(epitaxial layer) (例如：將於下討論的鍺層)，藉以降低可能的晶格錯置缺陷 (lattice mismatch defect)。對於所屬技術領域而言，用於應變絕緣體上覆矽層 305 以控制遷移率及/或降低晶格錯置缺陷並達成其它目標的技術是公知常識，因此為了清楚的目的，將不會於此進一步討論。

如第 3B 圖所示，接著將不同類型的半導體材料的第二層 315 形成於該第一層 305 之上方，以使得該第一層 305 及該第二層 315 彼此相鄰。若選擇使用於第一層 305 的材料以提供相當高的電子遷移率，則可選擇使用於形成該第二層 315 的半導體材料以提供相當高的電洞遷移率。舉例而言，若以絕緣體上覆矽形成該第一層 305，則可以鍺形成該第二層 315。在一實施例中，鍺層 315 可為本徵性地被摻雜及/或可為在例如使用離子植入技術沉積之後被摻雜。對於所屬技術領域的人士而言，用於形成鍺層 315 的

技術為公知常識，為了清楚的目的，僅將於此討論有關於形成本發明之這些層 315 的那些態樣。或者，若選擇使用於第一層 305 的材料以提供相當高的電洞遷移率，則可選擇使用於形成該第二層 315 的半導體材料以提供相當高的電子遷移率。

雖然於本例示實施例中是使用矽與鍺形成該第一層 305 及該第二層 315，但是對於從本發明的揭露內容有所收獲的所屬技術領域的人士而言，應當能瞭解到本發明並非限制於使用這些材料形成該第一層 305 及該第二層 315。於替代的實施例中，可選擇將半導體材料進行其它的組合，以使得該等層 305、315 的一者提供相當高的電子遷移率，而其另一者提供相當高的電洞遷移率。可用以形成該第一層 305 及該第二層 315 的材料的示範組合包含：使用鍺以形成該第一層 305 且使用矽以形成該第二層 315；使用砷化鎵以形成該第一層 305 且使用鍺以形成該第二層 315；以及，使用矽以形成該第一層 305 且使用砷化鎵以形成該第二層 315。

如第 3C 圖所示，絕緣層 320（例如：氧化物）接著形成於該第二層 315 的上方。舉例而言，該絕緣層 320 可藉由沉積氧化物（例如二氧化矽）於該第二層 315 之上而形成。或者，該絕緣層 320 可藉由氧化該第二層 315 的上部而形成。在一實施例中，該絕緣層 320 可於後續形成及/或蝕刻其它結構的期間作為保護層。可使用光阻劑 (photoresist) 被圖案化的另一層 325 係隨後被形成於該絕緣

層 320 之上。經圖案化的遮罩層 325 可以不同的材料（例如：氮化層等）而形成。在該遮罩層 325 中的圖案係反映出結構的預期圖案，其中，該結構係藉由蝕刻該第二層 315 而形成。舉例而言，該圖案可界定在由該第一層 305 及該第二層 315 之間的介面所界定之平面中的結構尺寸（例如：寬度及長度）。結構的第三尺寸（例如：高度）可由該第二層 315 的厚度所界定。

如第 3D 圖所示，接著可使用經圖案化的遮罩層 325 作為遮罩而蝕刻該絕緣層 320 及該第二層 315。可使用蝕刻停止技術（例如：發射光譜（optical emission spectroscopy）技術）或藉由計時蝕刻製程的持續時間而停止該第二層 315 的蝕刻。蝕刻係較佳地停止在於蝕刻製程開始蝕刻移除該第一層 305 的部分之前。然而，對於因得知本發明的揭露內容而有所收獲的所屬技術領域人士而言，應當瞭解到欲準確地控制蝕刻的進行使得該第一層 305 不會被蝕刻可能是困難的。因此，實際上對於蝕刻製程的實作嘗試於下列時間點停止蝕刻製程：於大致上已經蝕刻移除該第二層 315 的所有未受遮罩的部分（在某些公差(folerance)內）且大致上並未蝕刻該第一層 305（在某些公差內）。蝕刻製程形成包含該絕緣層 320 及該第二層 315 的未受蝕刻部分的鰭片狀結構 330。在一實施例中，該鰭片狀結構 330 的寬度（亦即，在紙面中的尺寸）較該鰭片狀結構 330 的深度（亦即，垂直於紙面的尺寸）為小。在一實施例中，該鰭片狀結構 330 的厚度係約略等同於該絕



緣層 320 及該第二層 315 的厚度。

於此時的製程中，該鰭片狀結構 330 及該第一層 305 形成異構倒 T 鰭片結構，該異構倒 T 鰭片結構可被使用於例如連續(contiguous)超薄主體 (UTB) 裝置的連續裝置。舉例而言，該鰭片狀結構 330 的高度可大致上在 15 至 90nm 的範圍內，以及該第一層 305 的厚度可大致上在 1 至 60nm 的範圍內。該半導體材料的方位可經選擇以提供相關載體（例如：電洞或電子）的最高遷移率。在一實施例中，選擇該第一半導體材料以具有 (100) 方位，使得該第一層 305 的傳導平面 332 具有平面 (100) 的幾何形狀，且該鰭片狀結構 330 的第二層的側壁表面 334 的傳導平面具有平面 (110) 的幾何形狀。或者，可選擇不同方位（例如：(110) 方位）的第一半導體材料，以確保較高的載體遷移率（例如：較高的電洞遷移率）。於此情況中，可以另一個方位（例如：(100) 方位）形成該第二半導體材料。

在一替代實施例中，多個閘極 UTB 裝置可藉由圖案化該第一層 305 而形成。在第 3E 圖所示的實施例中，該第一層 305 的部分被蝕刻移除以之后留下基部結構 335。在所屬領域中用於遮罩及/或蝕刻該第一層 305 的部分的技術為公知常識，因而為了清楚的目的，將不會於此進一步討論。該基部結構 335 係形成大致上與該鰭片狀結構 330 對稱。該基部結構 335 的寬度係大於該鰭片狀結構 330 的寬度。舉例而言，基部結構 335 的寬度可約略在 60 至 200nm 的範圍內，以及鰭片狀結構 330 的寬度可約略在 1 至 60nm

的範圍內。在某些實施例中，該基部結構 335 的厚度可與該鰭片狀結構 330 的厚度大致上相同。舉例而言，該鰭片狀結構 330 與該基部結構 335 兩者的厚度可約略為 20nm。然而，上述內容僅用作為例示範例而可能非適用於所有情況。因此，該基部結構 335 及該鰭片狀結構 330 形成延伸（延伸進入紙面內）的倒 T 結構。在於此繪製的例示實施例範例中，該基部結構 335 的厚度係與該第一層 305 的厚度大致上相同。

第 4 圖係示意地顯示包含異構倒 T 鰭片結構 405 的電晶體 400 的上視圖。兩個鰭片結構 405 係以橢圓虛線約略地標示在第 4 圖中。在例示實施例中，形成有閘極 410、源極區域 415 及汲極區域 420，以使得該鰭片結構 405 將可作為該電晶體 400 中的通道區域。用於形成該閘極 410、該源極區域 415 及該汲極區域 420 的技術、與例如閘極介電質、該閘極 410、該源極 415 及/或該汲極 420 之接觸點的該電晶體 400 的其它元件和其它後端製程是屬於所屬技術領域中的公知常識。為了清楚的目的，於此將僅討論有關於本發明形成該電晶體 400 元件的那些態樣。

於例示實施例中所示的該等鰭片結構 405 包含由矽形成的基部 425 及由鍺形成的鰭片 430。在一實施例中，該等鰭片結構 405 可根據第 3A 至 3E 圖中所示之製程而形成。該等鰭片狀結構 405 係由多個方向藉由該閘極 410 所控制。因此，對於短通道效應，該電晶體 400 比起使用習知平面電晶體（planar transistor）的電晶體更具有免疫力。

可選擇該電晶體 400 的裝置幾何形狀以最佳化材料及/或相依於電洞及/或電子遷移率的方位，以提供比起使用例如第 1C 圖所示的習知 I 型（或條型）鰭片的電晶體為高的驅動電流。舉例而言，當該電晶體 400 係實作為 PMOS 裝置時，該鰭片 430 的範例部分 315 的鰭部提供相當高的電洞遷移率。再者，該鰭片 430 的側壁（未顯示）的（110）幾何形狀比起在平面的幾何形狀中的（100）傳導平面具有較高的電洞遷移率。相同的電晶體 400 當實作為 NMOS 裝置時，在水平的矽基（silicon-based）425 中的（100）傳導平面提供較高的電子遷移率。相對稱之在該矽基部 425 中的電子遷移率及在該鰭片 430 中的電洞遷移率亦可允許當在電晶體 400 中持續提供對稱的開啟狀態電流（on-state current）時晶片區的最佳化。

該電晶體 400 亦可被以其它方式進行修改。舉例而言，由該基部 425 及該鰭片 430 所形成的通道區域可為本徵性地被摻雜或可為例如使用離子植入及退火的技術而被摻雜。於另一範例中，可使用延伸植入或藉由使用自該源極區域 410 及/或該汲極區域 415 的由下面露出的摻雜物（under lap of dopant）而形成延伸（extension）。於再一範例中，可藉由鰭的選擇性磊晶生長及/或在形成於該電晶體 400 中的間隔件（spacer）的區域外側中的矽來降低寄生電阻（parasitic resistance）。

第 5A 圖係示意地顯示連續超薄主體（UTB）裝置 500 的透視圖。在此例示實施例中，該 UTB 裝置 500 係形成於

基板 505 上並包含形成異構倒 T 鰭片結構的鰭片狀結構 510 及第一層 515。選擇第一材料形成該等鰭片狀結構 510 以對第一載體類型（例如：電洞）提供相當高的遷移率，以及選擇第二材料形成該第一層 515 以對第二載體類型（例如：電子）提供相當高的遷移率。接著，將層 520 形成於該異構倒 T 鰭片結構之上。可使用該層 520 以形成閘極、源極及/或汲極結構。

第 5B 圖係示意地顯示多個閘極超薄主體(UTB)裝置 525 的透視圖。在此例示實施例中，該 UTB 裝置 525 係形成於基板 530 上並包含形成異構倒 T 鰭片結構的鰭片狀結構 535 及基部結構 540。選擇第一材料形成該等鰭片狀結構 535 以對第一載體類型（例如：電洞）提供相當高的遷移率，以及選擇第二材料形成該基部結構 540 以對第二載體類型（例如：電子）提供相當高的遷移率。接著，將層 545 形成於該異構倒 T 鰭片結構之上。可使用該層 545 以形成閘極、源極及/或汲極結構。

上述內容所揭露的特定實施例僅用於說明的目的，然而對於得知本教示內容之利益的所屬技術領域人士而言，將本發明以不同但等效的方式修改或實施是顯而易知的。再者，除了下列申請專利範圍所述的內容，於此所示的結構或設計的細節並非用於限制。因而，很明顯的可對上述所揭露的特定實施例進行改變與修改，且上述所有此類的變化均被視為在本發明之範疇內。因此，本發明之權利保護範圍係提出於下列之申請專利範圍。

**【圖式簡單說明】**

本技術主題可藉由參照以下的說明書內容並伴隨附圖而加以瞭解，其中，相近的元件符號表示相近的元件，且於其中：

第 1A、1B 及 1C 圖係示意地顯示在 Fin-FET 中形成鰭片結構的習知方法；

第 2 圖係示意地顯示使用 Fin-FET 技術所形成的習知電晶體的上視圖；

第 3A、3B、3C、3D 及 3E 圖係示意地顯示於此描述的形成異構倒 T 鰭片結構的方法的一示範實施例；

第 4 圖係示意地顯示於此描述的包含異構倒 T 鰭片結構的電晶體的上視圖；

第 5A 圖係示意地顯示於此描述的包含異構倒 T 鰭片結構的連續超薄主體（UTB）裝置的透視圖；以及

第 5B 圖係示意地顯示於此描述的包含異構倒 T 鰭片結構的多個閘極超薄主體（UTB）裝置的透視圖。

雖然本發明是容許有不同的修改及替代形式，但是於此乃藉由在圖式中範例的方式顯示本發明的特定實施例並加以詳細說明。然而，應當瞭解本說明書的特定實施例並非用以限制本發明於所揭露的特定形式，但是相反的，本發明係包含在由隨附的申請專利範圍所定義的本發明範疇內的所有修改、等效物及替代。

**【主要元件符號說明】**

100 材料層

105 材料層

|     |        |     |        |
|-----|--------|-----|--------|
| 110 | 介電層    | 115 | 氧化層    |
| 120 | 氮化層    | 125 | 鰭片結構   |
| 200 | 電晶體    | 205 | 閘極電極   |
| 210 | 源極     | 215 | 汲極     |
| 220 | 鰭片結構   | 300 | 材料層    |
| 305 | 材料層    | 310 | 介電層    |
| 315 | 材料層    | 320 | 絕緣層    |
| 325 | 遮罩層    | 330 | 鰭片狀結構  |
| 332 | 傳導平面   | 334 | 側壁表面   |
| 335 | 基部結構   | 400 | 電晶體    |
| 405 | 鰭片結構   | 410 | 閘極     |
| 415 | 源極     | 420 | 汲極     |
| 425 | 基部     | 430 | 鰭片     |
| 500 | 超薄主體裝置 | 505 | 基板     |
| 510 | 鰭片狀結構  | 515 | 材料層    |
| 520 | 材料層    | 525 | 超薄主體裝置 |
| 530 | 基板     | 535 | 鰭片狀結構  |
| 540 | 基部結構   | 545 | 材料層    |

## 七、申請專利範圍：

### 1. 一種電晶體，係包括：

第一層，係由第一半導體材料形成於埋藏氧化層之上方，該第一半導體材料係經選擇以對第一載體類型提供高的遷移率；以及

第二層，係鄰接該第一層而由第二半導體材料形成，該第二半導體材料係經選擇以對相反於該第一載體類型的第二載體類型提供高的遷移率，且該第二層包括在該第二層中形成的至少一特徵，使得在該第二層中的該至少一特徵與該第一層的一部分形成倒 T 形狀結構，其中，該第一層的該部分鄰接該至少一特徵；

通道區域，係形成於該第二層中的該至少一特徵與該第一層的該部分中；以及

閘極，係形成於該倒 T 形狀結構之上。

2. 如申請專利範圍第 1 項之電晶體，其中，該第一層係由經選擇成提供高的電子遷移率的第一半導體材料所形成，且其中，該第二層係由經選擇成提供高的電洞遷移率的第二半導體材料而形成。
3. 如申請專利範圍第 1 項之電晶體，其中，該第一層係由經選擇成提供高的電洞遷移率的第一半導體材料所形成，且其中，該第二層係由經選擇成提供高的電子遷移率的第二半導體材料所形成。
4. 如申請專利範圍第 1 項之電晶體，包括藉由在該倒 T 形狀結構的該第二層中的該至少一特徵與該第一層的

該部分中的該通道區域連接的源極及汲極。

5. 如申請專利範圍第 1 項之電晶體，其中，該第一層包括矽層、絕緣體上覆矽層、應變之絕緣體上覆矽層、鍺層、以及砷化鎵層中的至少一者。
6. 如申請專利範圍第 1 項之電晶體，其中，該第二層包括矽層、絕緣體上覆矽層、應變之絕緣體上覆矽層、鍺層、以及砷化鎵層中的至少一者。
7. 如申請專利範圍第 1 項之電晶體，其中，在該第二層中形成的該至少一特徵包括具有平行該第一層及該第二層之間的表面的平面之第一及第二尺寸的特徵圖案，而該第一尺寸係較該第二尺寸為小。
8. 如申請專利範圍第 7 項之電晶體，其中，上述在該第二層中形成的至少一特徵具有垂直該第一層及該第二層之間的表面的平面之第三尺寸，而該第三尺寸係較該第一尺寸為大。
9. 如申請專利範圍第 8 項之電晶體，係包括在該第一層中形成的至少一特徵，該特徵係接觸上述在該第二層中形成的至少一特徵，使得在該第一層中的該至少一特徵與在該第二層中形成的對應特徵形成倒 T 形狀結構的基部。
10. 如申請專利範圍第 9 項之電晶體，其中，上述在該第一層中形成的至少一特徵具有 (100) 幾何形狀的傳導平面，且其中，上述在該第二層中形成的至少一特徵具有 (110) 幾何形狀的傳導平面。



11. 如申請專利範圍第 9 項之電晶體，其中，上述在該第一層中形成的至少一特徵具有 (110) 幾何形狀的傳導平面，且其中，上述在該第二層中形成的至少一特徵具有 (100) 幾何形狀的傳導平面。

12. 一種電晶體，係包括：

第一層，係由第一半導體材料形成於埋藏氧化層之上方，該第一半導體材料係經選擇以對第一載體類型提供第一遷移率；以及

第二層，係鄰接該第一層而由第二半導體材料形成，該第二半導體材料係經選擇以對相反於該第一載體類型的第二載體類型提供第二遷移率，且該第二層包括在該第二層中形成的至少一特徵，使得在該第二層中的該至少一特徵與該第一層的一部分接觸以與形成倒 T 形狀結構的基部的該第一層的該部分形成該倒 T 形狀結構；

通道區域，係形成於該第二層中的該至少一特徵與該第一層的該部分中；以及

閘極，係形成於該倒 T 形狀結構之上。

13. 如申請專利範圍第 12 項之電晶體，其中，該第一層係由應變以增加電子遷移率的第一半導體材料所形成，且其中，該第二層係由應變以增加電洞遷移率的第二半導體材料所形成。

14. 如申請專利範圍第 12 項之電晶體，其中，該第一層係由應變以增加電洞遷移率的第一半導體材料所形成，

且其中，該第二層係由應變以增加電子遷移率的第二半導體材料所形成。

15. 如申請專利範圍第 12 項之電晶體，係包括由該第一層及該第二層形成的該倒 T 形狀結構連接的源極、汲極及閘極，其中，於致動該閘極時，該倒 T 形狀結構形成通道區域。
16. 如申請專利範圍第 12 項之電晶體，其中，該第二層中的該至少一特徵的高度在 15-90 nm 之範圍，該第一層的厚度在 1-60 nm 之範圍。
17. 如申請專利範圍第 12 項之電晶體，其中，形成該倒 T 形狀結構的基部的該第一層的該部分具有在 60-200 nm 之範圍的寬度及該至少一特徵的寬度在 1-60 nm 之範圍。
18. 一種電晶體，係包括：

倒 T 形狀結構，係包括由經選擇以對第一載體類型提供高的遷移率之第一半導體材料所形成之第一部分以及由第二半導體材料所形成之鄰接該第一部分之第二部分，其中，該第二半導體材料係經選擇以對相反於該第一載體類型的第二載體類型提供高的遷移率；

第一和第二通道區域，係分別形成於該第一和第二部分中；以及

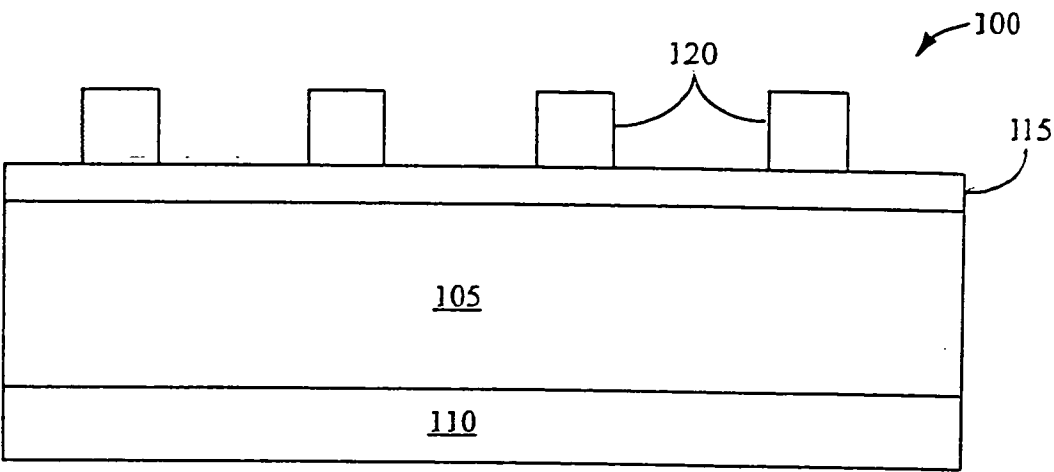
閘極，係形成於該倒 T 形狀結構之上。

19. 如申請專利範圍第 18 項之電晶體，其中，該第一部分 s

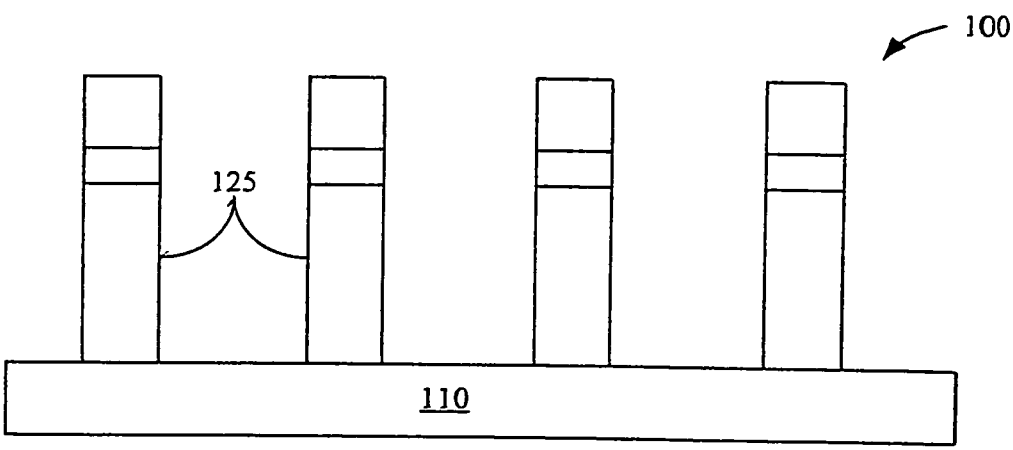
係由應變以增加電子遷移率的第一半導體材料所形成，且其中，該第二部分係由應變以增加電洞遷移率的第二半導體材料所形成。

20. 如申請專利範圍第 18 項之電晶體，其中，該第一部分係由應變以增加電洞遷移率的第一半導體材料所形成，且其中，該第二部分係由應變以增加電子遷移率的第二半導體材料所形成。
21. 如申請專利範圍第 18 項之電晶體，其中，該第一部分具有 (100) 幾何形狀的傳導平面，且其中，該第二部分具有 (110) 幾何形狀的傳導平面。
22. 如申請專利範圍第 18 項之電晶體，其中，該第一部分具有 (110) 幾何形狀的傳導平面，且其中，該第二部分具有 (100) 幾何形狀的傳導平面。

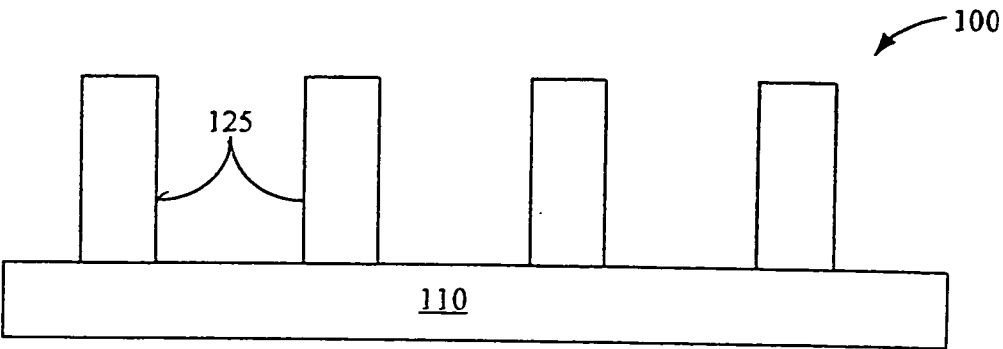
八、圖式：



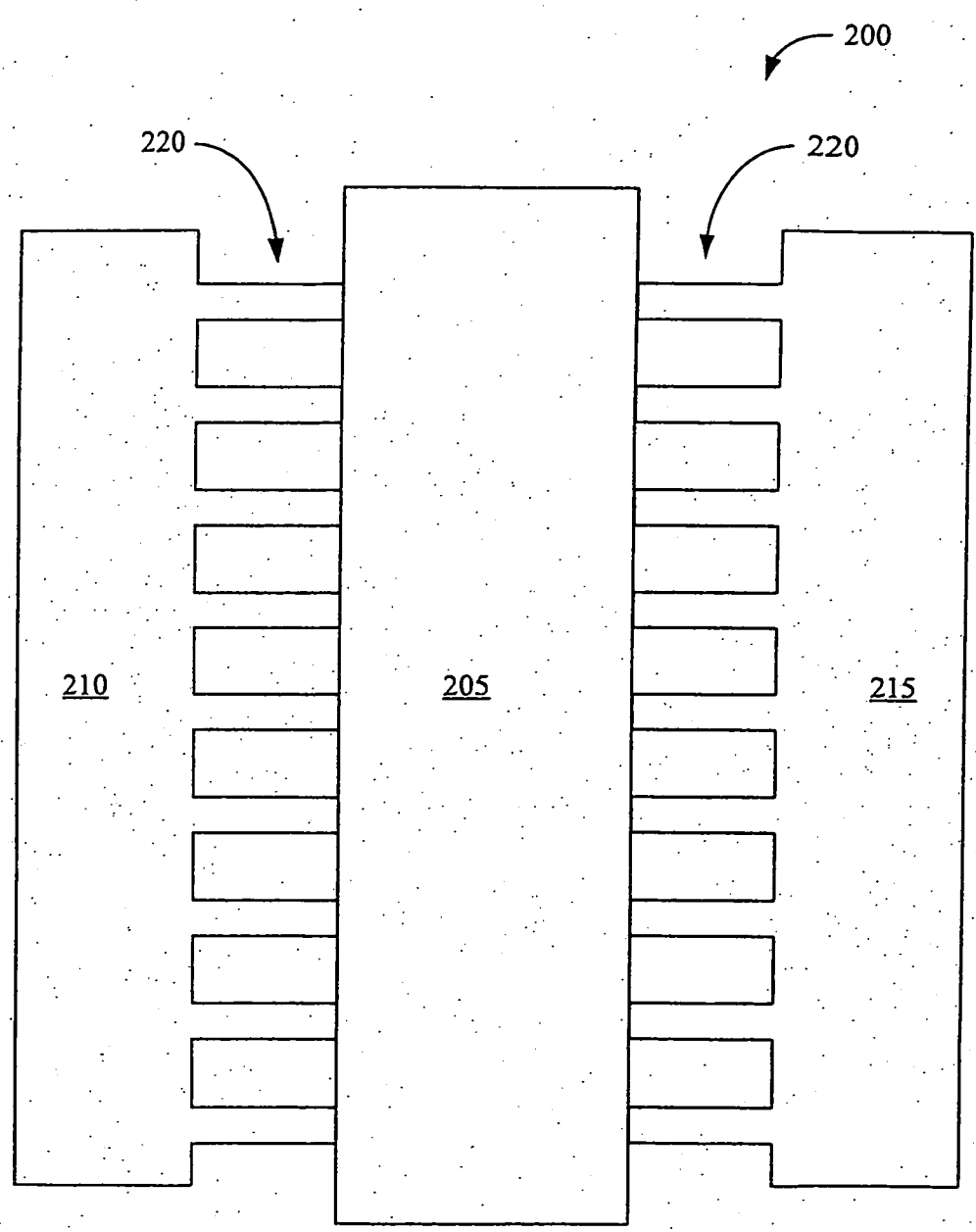
第 1A 圖  
(先前技術)



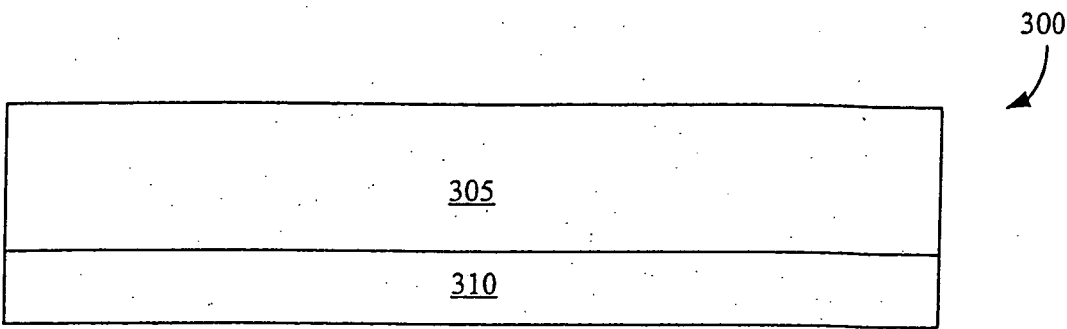
第 1B 圖  
(先前技術)



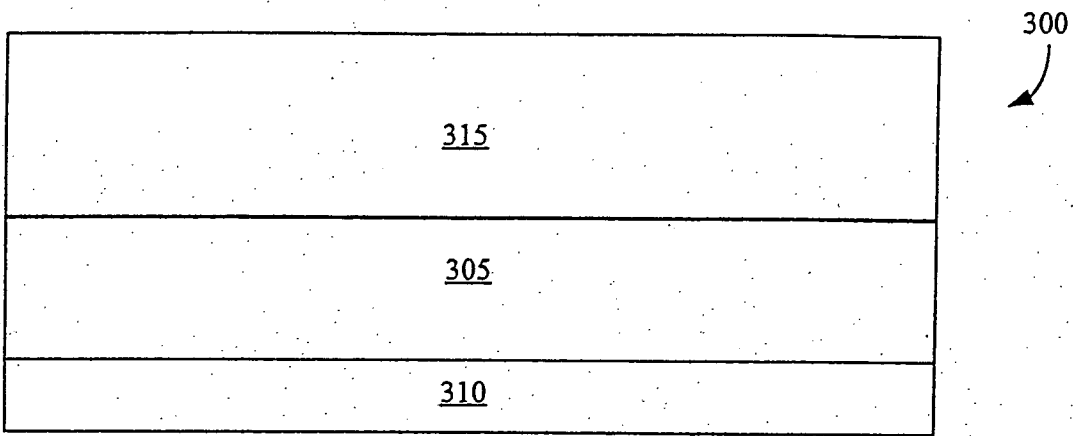
第 1C 圖  
(先前技術)



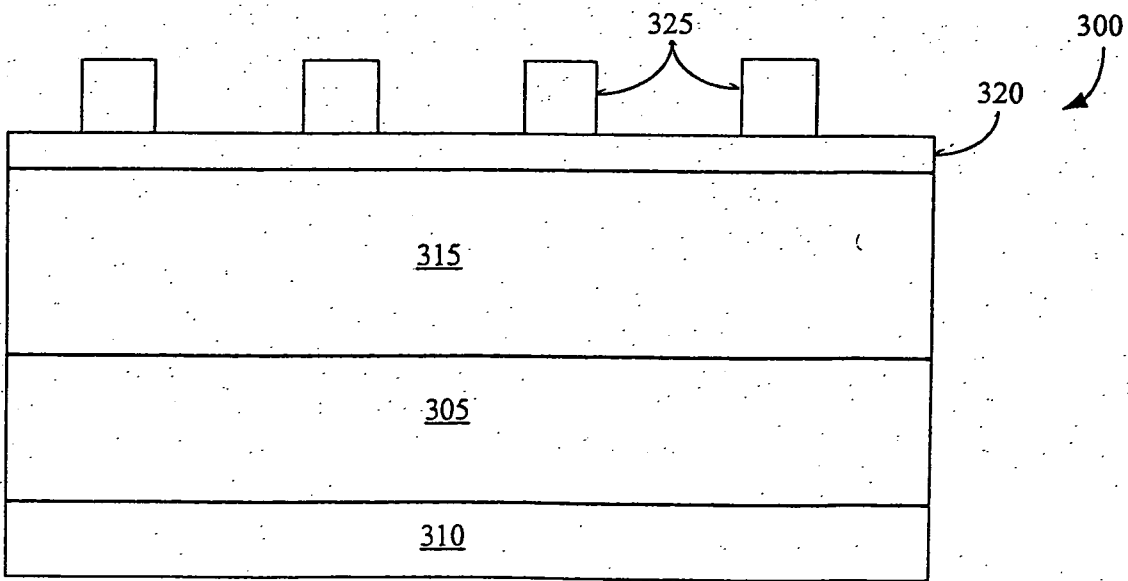
第 2 圖  
(先前技術)



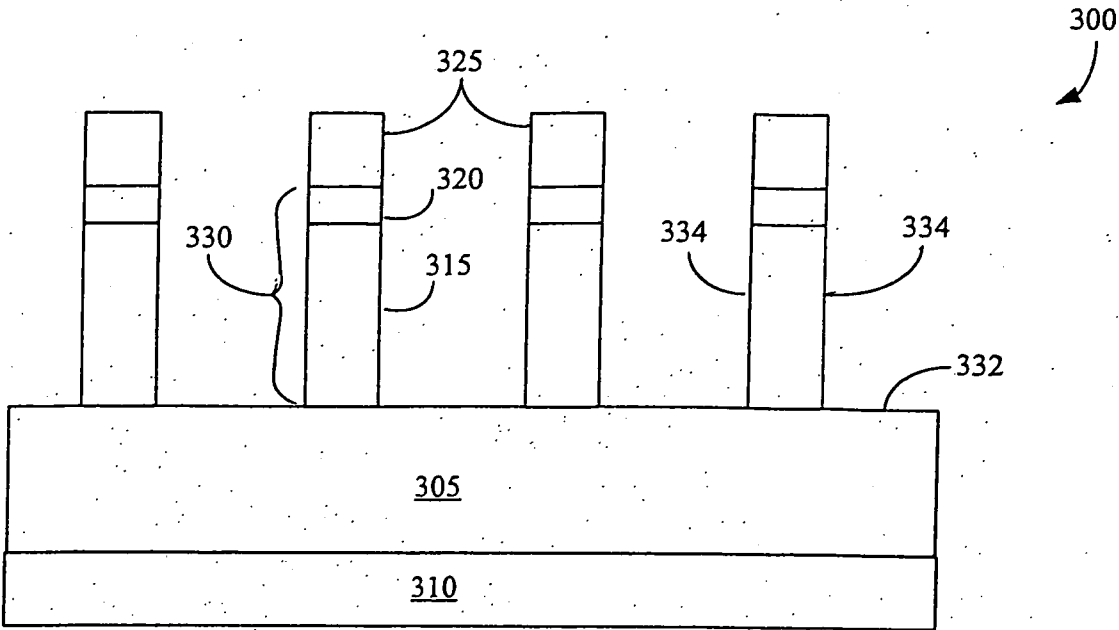
第 3A 圖



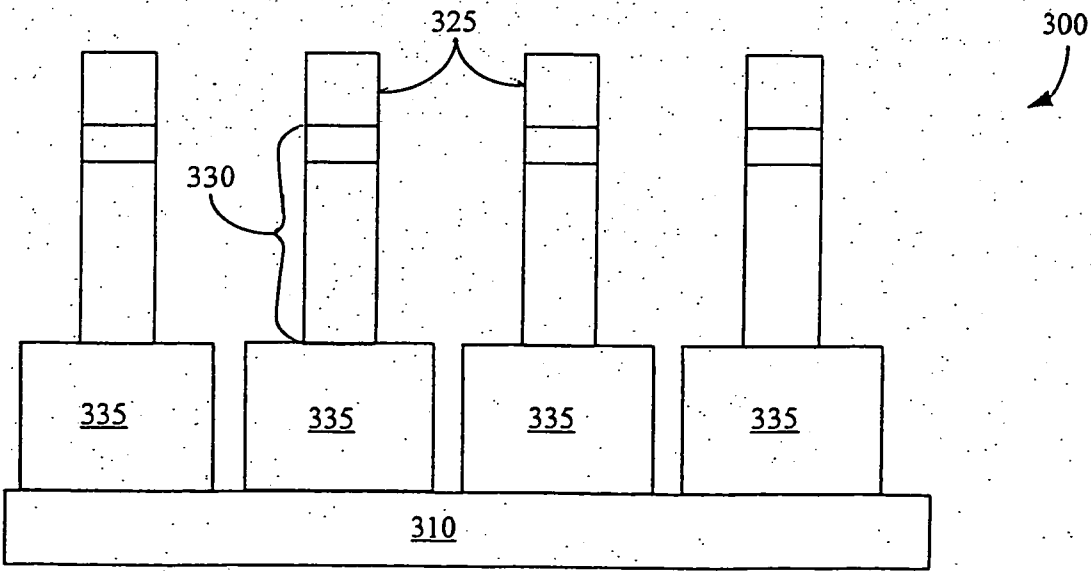
第 3B 圖



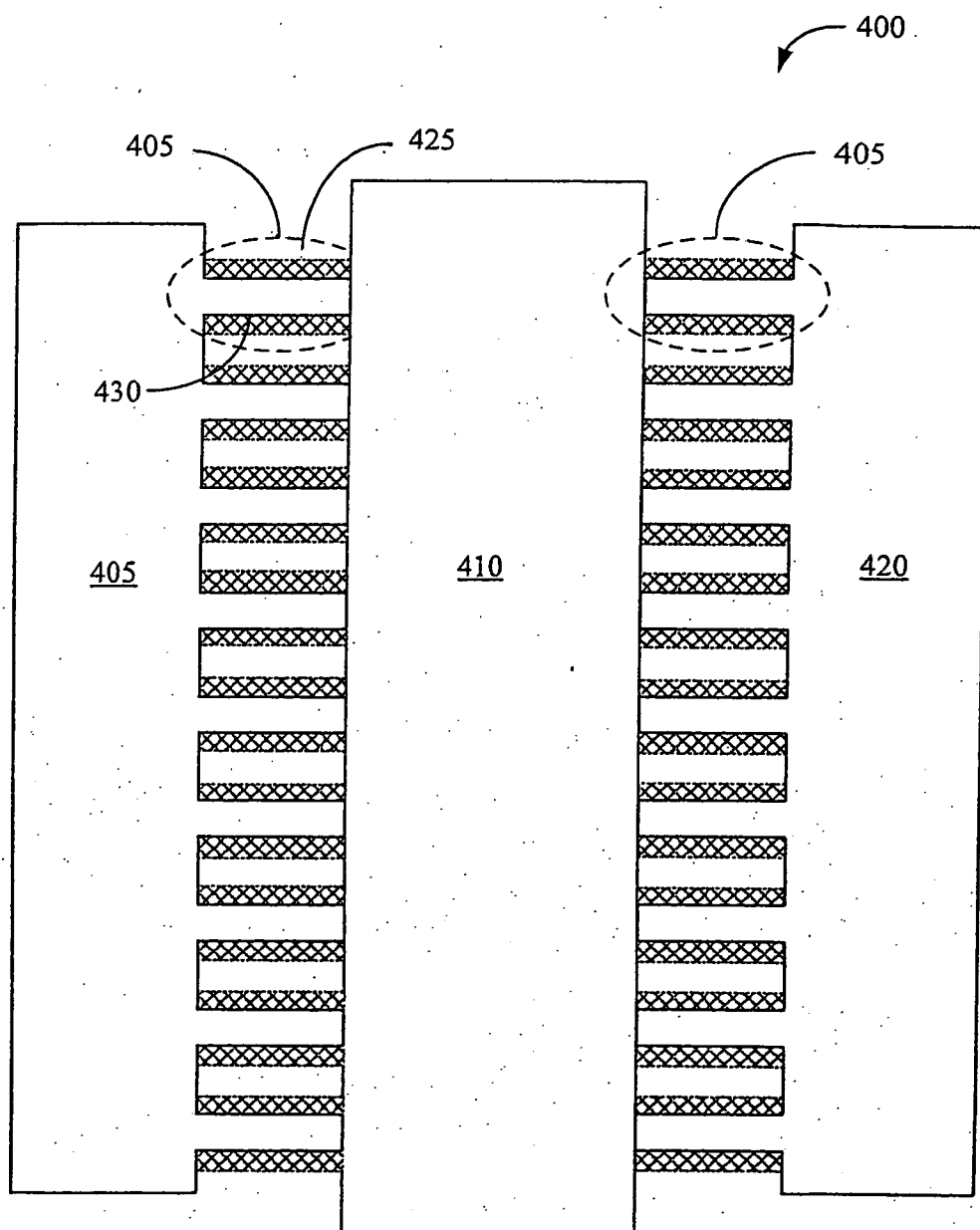
第 3C 圖



第 3D 圖

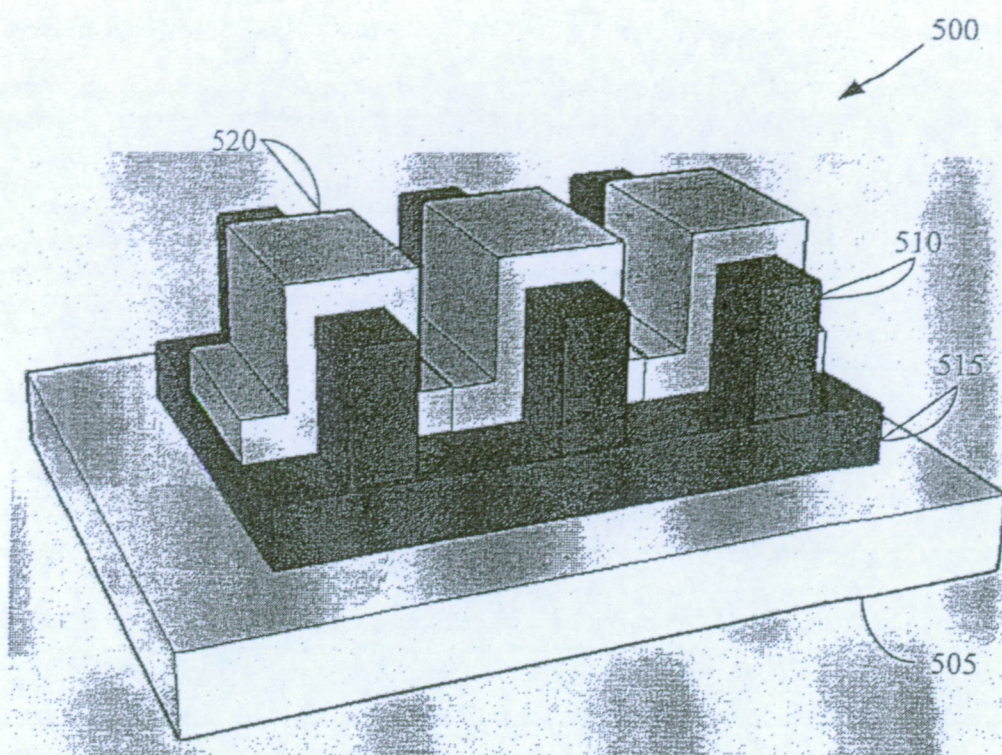


第 3E 圖

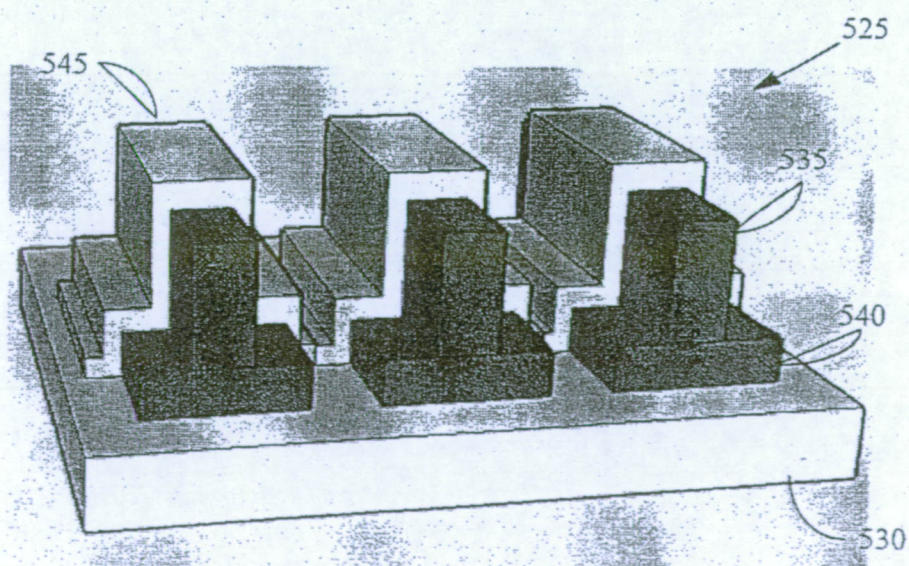


第 4 圖





第 5A 圖



第 5B 圖