



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I576990 B

(45)公告日：中華民國 106 (2017) 年 04 月 01 日

(21)申請案號：104130289

(22)申請日：中華民國 99 (2010) 年 08 月 05 日

(51)Int. Cl. : H01L27/088 (2006.01)

H01L27/12 (2006.01)

G02F1/1368 (2006.01)

H01L21/8234(2006.01)

H01L21/84 (2006.01)

(30)優先權：2009/08/07 日本

2009-185317

2009/09/07 日本

2009-206489

(71)申請人：半導體能源研究所股份有限公司(日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；坂田淳一郎 SAKATA, JUNICHIRO (JP)；
坂倉真之 SAKAKURA, MASAYUKI (JP)；及川欣聰 OIKAWA, YOSHIAKI (JP)；
岡崎健一 OKAZAKI, KENICHI (JP)；丸山穗高 MARUYAMA, HOTAKA (JP)；津
吹將志 TSUBUKU, MASASHI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 2007111107A

US 5731856

US 5744864

US 2008/0012075A1

US 2008/0308806A1

審查人員：姚真華

申請專利範圍項數：11 項 圖式數：40 共 164 頁

(54)名稱

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

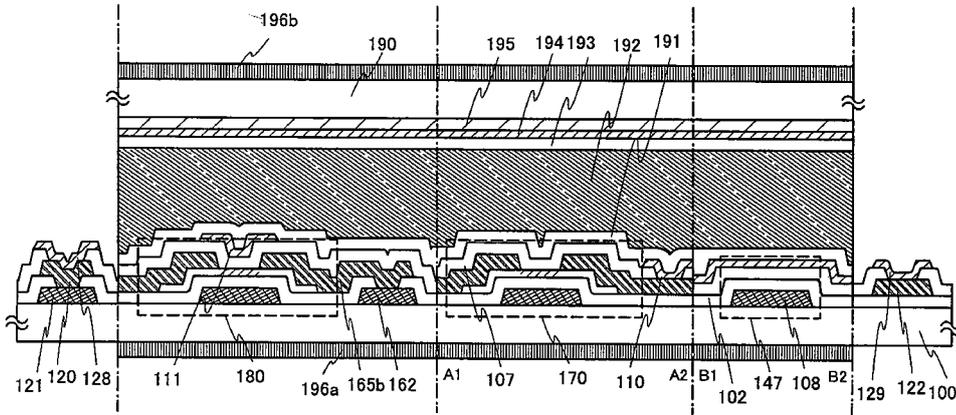
(57)摘要

本發明的目的之一在於提高半導體裝置的可靠性。本發明的一種半導體裝置包括在同一基板上的驅動電路部和顯示部(也稱為像素部)，驅動電路部和顯示部分別包括：半導體層由氧化物半導體構成的薄膜電晶體；第一佈線；以及第二佈線，其中薄膜電晶體包括源極電極層或汲極電極層及接觸於半導體層的氧化物導電層，驅動電路部的薄膜電晶體以以閘極電極層和導電層夾著半導體層的方式構成，並且第一佈線和第二佈線在設置在閘極絕緣膜中的開口中藉由氧化物導電層電連接。

An object is to improve reliability of a semiconductor device. A semiconductor device including a driver circuit portion and a display portion (also referred to as a pixel portion) over the same substrate is provided. The driver circuit portion and the display portion include thin film transistors in which a semiconductor layer includes an oxide semiconductor; a first wiring; and a second wiring. The thin film transistors each include a source electrode layer and a drain electrode layer. In the thin film transistor in the driver circuit portion, the semiconductor layer is sandwiched between a gate electrode layer and a conductive layer. The first wiring and the second wiring are electrically connected to each other in an opening provided in a gate insulating film through an oxide conductive layer.

指定代表圖：

圖1



符號簡單說明：

- 100 . . . 基板
- 102 . . . 閘極絕緣層
- 107 . . . 氧化物絕緣膜
- 108 . . . 電容佈線
- 110 . . . 像素電極層
- 111 . . . 導電層
- 120 . . . 連接電極
- 121 . . . 端子
- 122 . . . 端子
- 128 . . . 端子電極
- 129 . . . 端子電極
- 147 . . . 電容
- 162 . . . 導電層
- 165b . . . 汲極電極層
- 170 . . . 薄膜電晶體
- 180 . . . 薄膜電晶體
- 190 . . . 對置基板
- 191 . . . 絕緣層
- 192 . . . 液晶層
- 193 . . . 絕緣層
- 194 . . . 對置電極層
- 195 . . . 著色層
- 196a、196b . . . 偏光板

發明摘要

※申請案號：

104130289 (由99126108分割)

※申請日：099年08月05日

※IPC分類：H01L 27/088 (2006.01)

H01L 27/12 (2006.01)

【發明名稱】(中文/英文)

G02F 1/1368 (2006.01)

半導體裝置及其製造方法

H01L 21/8234 (2006.01)

Semiconductor device and manufacturing method thereof

H01L 21/84 (2006.01)

【中文】

本發明的目的之一在於提高半導體裝置的可靠性。本發明的一種半導體裝置包括在同一基板上的驅動電路部和顯示部（也稱為像素部），驅動電路部和顯示部分別包括：半導體層由氧化物半導體構成的薄膜電晶體；第一佈線；以及第二佈線，其中薄膜電晶體包括源極電極層或汲極電極層及接觸於半導體層的氧化物導電層，驅動電路部的薄膜電晶體以以閘極電極層和導電層夾著半導體層的方式構成，並且第一佈線和第二佈線在設置在閘極絕緣膜中的開口中藉由氧化物導電層電連接。

【 英文 】

An object is to improve reliability of a semiconductor device. A semiconductor device including a driver circuit portion and a display portion (also referred to as a pixel portion) over the same substrate is provided. The driver circuit portion and the display portion include thin film transistors in which a semiconductor layer includes an oxide semiconductor; a first wiring; and a second wiring. The thin film transistors each include a source electrode layer and a drain electrode layer. In the thin film transistor in the driver circuit portion, the semiconductor layer is sandwiched between a gate electrode layer and a conductive layer. The first wiring and the second wiring are electrically connected to each other in an opening provided in a gate insulating film through an oxide conductive layer.

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

100：基板	102：閘極絕緣層
107：氧化物絕緣膜	108：電容佈線
110：像素電極層	111：導電層
120：連接電極	121：端子
122：端子	128：端子電極
129：端子電極	147：電容
162：導電層	165b：汲極電極層
170：薄膜電晶體	180：薄膜電晶體
190：對置基板	191：絕緣層
192：液晶層	193：絕緣層
194：對置電極層	195：著色層
196a、196b：偏光板	

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置及其製造方法

Semiconductor device and manufacturing method thereof

【技術領域】

本發明係關於一種使用氧化物半導體的半導體裝置。

另外，本說明書中的半導體裝置指的是能夠藉由利用半導體特性工作的所有裝置，因此液晶顯示裝置等的電光裝置、半導體電路以及電子設備都是半導體裝置。

【先前技術】

近年來，一種利用形成在具有絕緣表面的基板上的半導體薄膜（厚度大約為幾 nm 至幾百 nm）來構成薄膜電晶體（TFT）的技術備受矚目。薄膜電晶體被廣泛地應用於如積體電路（Integrated Circuit：略號為 IC）及電光裝置之類的電子裝置，尤其是對作為影像顯示裝置的切換元件的 TFT 的開發日益火熱。金屬氧化物的種類繁多且用途廣。氧化銦作為較普遍的材料被用於液晶顯示器等所需要的透明電極材料。

在金屬氧化物中存在呈現半導體特性的金屬氧化物。作為呈現半導體特性的金屬氧化物，例如可以舉出氧化鎢、氧化錫、氧化銦、氧化鋅等，並且已知一種將這種呈

現半導體特性的金屬氧化物用作通道形成區的薄膜電晶體（專利文獻 1 及專利文獻 2）。

[專利文獻 1] 日本專利申請公開第 2007-123861 號公報

[專利文獻 2] 日本專利申請公開第 2007-96055 號公報

作為使用氧化物半導體膜的薄膜電晶體，要求其工作速度快、製造製程較簡單並要求其具有充分的可靠性。

【發明內容】

本發明的課題之一在於提高使用氧化物半導體膜的薄膜電晶體的工作特性及可靠性。

尤其是，最好用於驅動電路的薄膜電晶體的工作速度較快。

例如，當將薄膜電晶體的通道長度（ L ）形成得較短或將通道寬度 W 形成得較寬時可以實現工作速度的高速化。但是，當將通道長度形成得較短時，存在開關特性例如導通截止比變小的問題。另外，當將通道寬度 W 形成得較寬時，存在薄膜電晶體自身的電容負載上升的問題。

另外，本發明的目的之一在於提供一種半導體裝置，該半導體裝置具備即使通道長度較短也具有穩定的電特性的薄膜電晶體。

另外，當在絕緣表面上形成多個不同的電路時，例如，當將像素部和驅動電路形成在同一基板上時，用作像素部的薄膜電晶體要求具有優越的開關特性，例如要求其導通截止比較大，而用作驅動電路的薄膜電晶體要求工作

速度快。尤其是，顯示裝置的精細度越高顯示圖像的寫入時間越短，所以最好用於驅動電路的薄膜電晶體的工作速度快。

本發明的課題之一還在於降低使用氧化物半導體層的薄膜電晶體的電特性的不均勻。

本發明的一個方式是一種半導體裝置，該半導體裝置包括：同一基板上的驅動電路部以及顯示部（也稱為像素部），其中，該驅動電路部和該顯示部包括：薄膜電晶體、第一佈線（也稱為端子或連接電極）、第二佈線（也稱為端子或連接電極），並且，薄膜電晶體包括：由金屬構成的閘極電極、該閘極電極上的閘極絕緣膜、該閘極絕緣膜上的氧化物半導體層、該氧化物半導體層上的由金屬構成的源極電極（也稱為源極電極層）及汲極電極（也稱為汲極電極層）以及氧化物半導體層和源極電極及汲極電極上的保護絕緣層，並且，驅動電路部中的薄膜電晶體包括位於保護絕緣層上並與氧化物半導體層重疊的導電層，並且，顯示部中的薄膜電晶體電連接到像素電極（也稱為像素電極層），並且，第一佈線由與閘極電極相同的材料形成，並且，第二佈線由與源極電極或汲極電極相同的材料形成，並且，所述驅動電路部的第一佈線和第二佈線藉由設置在閘極絕緣膜和保護絕緣層中的開口（接觸孔）電連接。

本發明的一個方式是一種半導體裝置，該半導體裝置包括：同一基板上的驅動電路部以及顯示部（也稱為像素

部)，其中，該驅動電路部和該顯示部包括：薄膜電晶體、第一佈線、第二佈線，並且，薄膜電晶體包括：由金屬構成的閘極電極、該閘極電極上的閘極絕緣膜、該閘極絕緣膜上的氧化物半導體層、該氧化物半導體層上的由金屬構成的源極電極及汲極電極以及氧化物半導體層和源極電極及汲極電極上的保護絕緣層，並且，驅動電路部中的薄膜電晶體包括位於保護絕緣層上並與氧化物半導體層重疊的導電層，並且，顯示部中的薄膜電晶體電連接到像素電極（也稱為像素電極層），並且，第一佈線由與閘極電極相同的材料形成，並且，第二佈線由與源極電極或汲極電極相同的材料形成，並且，驅動電路部的第一佈線和第二佈線藉由形成在閘極絕緣膜中的開口電連接。

作為像素用薄膜電晶體及驅動電路用薄膜電晶體，使用底柵結構的反交錯型薄膜電晶體。像素用薄膜電晶體及驅動電路用薄膜電晶體是設置有與露出在源極電極層與汲極電極層之間的氧化物半導體層接觸的氧化物絕緣膜的通道蝕刻型薄膜電晶體。

驅動電路用薄膜電晶體採用將氧化物半導體層夾在閘極電極和導電層之間的結構。由此，可以降低薄膜電晶體的臨界值的不均勻，而可以提供具備其電特性穩定的薄膜電晶體的半導體裝置。可以將導電層設定為與閘極電極層相同的電位、浮動電位或如如 GND 電位、0V 等固定電位。此外，藉由嚮導電層施加任意的電位，可以對薄膜電晶體的臨界值進行控制。

用來實現上述結構的本發明的一個方式是一種半導體裝置的製造方法，包括如下步驟：在同一基板上的形成驅動電路部的第一區域和形成顯示部的第二區域中藉由第一微影步驟形成用作閘極電極的第一電極和由與第一電極相同的材料構成的第一佈線；在第一電極及第一佈線上形成用作閘極絕緣膜的第一絕緣膜；藉由第二微影步驟在第一絕緣膜上形成氧化物半導體層；進行用來對氧化物半導體層進行脫水化或脫氫化的熱處理；藉由第三微影步驟在氧化物半導體層上形成用作源極電極的第二電極和用作汲極電極的第三電極及由與源極電極或汲極電極相同的材料構成的第二佈線；在第二電極、第三電極及氧化物半導體層上形成用作保護絕緣層的第二絕緣膜；藉由第四微影步驟選擇性地去除重疊於第一佈線的第一絕緣膜及第二絕緣膜以形成第一開口，並且選擇性地去除重疊於第二佈線的第二絕緣膜以形成第二開口；在第二區域中，選擇性地去除位於重疊於第二電極或第三電極的部分中的第二絕緣膜以形成第三開口；藉由第五微影步驟，形成藉由第一開口及第二開口將第一佈線和第二佈線電連接的第一導電層；在第一區域中的隔著第二絕緣膜重疊於氧化物半導體層的部分中形成由與第一導電層相同的材料構成的第四電極；在第二區域中，形成由與第一導電層相同的材料構成的藉由第三開口電連接到薄膜電晶體的用作像素電極的第五電極。

藉由使用相同的微影步驟同時形成第一開口至第三開

口，並使用相同的步驟同時形成像素電極、第一導電層及第四電極，可以在不增加微影步驟的情況下實現上述結構。

藉由五回的微影步驟可以提供驅動電路部和顯示部形成在同一基板上的半導體裝置。

用來實現上述結構的本發明的一個方式是一種半導體裝置的製造方法，包括如下步驟：在同一基板上的形成驅動電路部的第一區域和形成顯示部的第二區域中，藉由第一微影步驟形成用作閘極電極的第一電極以及由與第一電極相同的材料構成的第一佈線；在第一電極及第一佈線上形成用作閘極絕緣膜的第一絕緣膜；藉由第二微影步驟在第一絕緣膜上形成氧化物半導體層；進行用來對氧化物半導體層進行脫水化或脫氫化的熱處理；藉由第三微影步驟選擇性地去除第一佈線上的第一絕緣膜以形成第四開口；藉由第四微影步驟在氧化物半導體層上形成用作源極電極的第二電極、用作汲極電極的第三電極以及由與第二電極或第三電極相同的材料形成的第二佈線；在第二電極和第三電極及氧化物半導體層上形成用作保護絕緣層的第二絕緣膜；藉由第五微影步驟，選擇性地去除第二區域中的重疊於第二電極或第三電極的部分上的第二絕緣膜以形成第三開口；藉由第六微影步驟在第一區域的隔著第二絕緣膜重疊於氧化物半導體層的部分上形成第四電極；在第二區域中形成由與第四電極相同的材料構成的藉由第三開口電連接到薄膜電晶體的用作像素電極的第五電極。

只要是在形成第一絕緣膜之後，就也可以在利用第二微影步驟形成氧化物半導體層之前利用第三微影步驟形成第四開口。

雖然與之前的方式相比，由於增加了用來在形成氧化物半導體層之後在第一佈線上設置開口的微影步驟而總共藉由六回的微影步驟以在同一基板上形成驅動電路部和顯示部，但是由於用來連接第一佈線和第二佈線的開口的臺階僅為第一絕緣膜的厚度，所以可以以良好的覆蓋性對第一佈線和第二佈線進行牢固的連接，從而提高半導體裝置的可靠性。

另外，在上述微影步驟中，還可以使用由多色調掩罩形成的掩罩層來進行蝕刻步驟。該多色調掩罩是所透過的光成為多種強度的曝光掩罩。

使用多色調掩罩形成的掩罩層呈具有多種厚度的形狀，並且當對掩罩層進行蝕刻時可以進一步地改變其形狀，所以可以將其用於加工為不同圖案的多個蝕刻步驟。因此，利用一個多色調掩罩可以形成至少對應兩種以上的不同圖案的掩罩層。因此，可以減少曝光掩罩數，並且可以削減所對應的微影步驟，所以可以簡化步驟。

上述結構解決上述課題中的至少一個。

另外，作為本說明書中使用的氧化物半導體，形成由 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 表示的薄膜，並製造將該薄膜用作半導體層的薄膜電晶體。另外，M 表示從 Ga、Fe、Ni、Mn 和 Co 中選擇的一種金屬元素或多種金屬元素。例如，

作為 M，除了有包含 Ga 的情況以外，還有包含 Ga 和 Ni 或 Ga 和 Fe 等包含 Ga 以外的上述金屬元素的情況。此外，在上述氧化物半導體中，除了作為 M 而包含的金屬元素之外，有時還包含作為雜質元素的 Fe、Ni 等其他過渡金屬元素或該過渡金屬的氧化物。在本說明書中，在具有由 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 表示的結構的氧化物半導體層中，將具有作為 M 包含 Ga 的結構的氧化物半導體稱為 In-Ga-Zn-O 類氧化物半導體，並且將其薄膜稱為 In-Ga-Zn-O 類非單晶膜。

另外，作為用於氧化物半導體層的金屬氧化物，除了可以使用上述材料之外，還可以使用 In-Sn-Zn-O 類、In-Al-Zn-O 類、Sn-Ga-Zn-O 類、Al-Ga-Zn-O 類、Sn-Al-Zn-O 類、In-Zn-O 類、Sn-Zn-O 類、Al-Zn-O 類、In-O 類、Sn-O 類、Zn-O 類的金屬氧化物。另外，由上述金屬氧化物構成的氧化物半導體層還可以含有氧化矽。

當在氮或稀有氣體（氬、氦等）等惰性氣體氣圍下進行加熱處理時，氧化物半導體層藉由加熱處理變成氧缺乏型而被低電阻化，即被 N 型化（N⁻化等），然後，藉由形成與氧化物半導體層接觸的氧化物絕緣膜並在成膜之後進行加熱處理，來使氧化物半導體層變成氧過剩狀態而被高電阻化，即被 I 型化。另外，也可以說成是進行使氧化物半導體層成為氧過剩狀態的固相氧化。由此，可以製造並提供具有電特性好且可靠性高的薄膜電晶體的半導體裝置。

在脫水化或脫氫化中，藉由在氮或稀有氣體（氬、氦等）等惰性氣體氣圍下以 400°C 或以上且低於基板的應變點的溫度，較佳的是以 420°C 或以上且 570°C 或以下的溫度進行加熱處理來減少氧化物半導體層所含有的水分等的雜質。此外，可以防止水（H₂O）再浸入。

最好在 H₂O 為 20ppm 或以下的氮氣圍下進行脫水化或脫氫化的熱處理。此外，也可以在 H₂O 為 20ppm 或以下的超乾燥空氣中進行。

用於進行氧化物半導體層的脫水化或脫氫化的熱處理條件是：即使在將溫度升至 450°C 的條件下利用 TDS 對該進行了脫水化或脫氫化之後的氧化物半導體層進行測定，水的兩個峰值或者至少出現在 300°C 附近的一個峰值也不被檢測出。所以，即使在將溫度升至 450°C 的條件下利用 TDS 對使用進行了脫水化或脫氫化的氧化物半導體層的薄膜電晶體進行測定時，至少出現在 300°C 附近的水的峰值也不被檢測出。

並且，當對氧化物半導體層進行用於脫水化或脫氫化的加熱溫度 T 的降溫時，重要的是：藉由使用進行了脫水化或脫氫化的同一爐來不使氧化物半導體層接觸大氣，從而使水或氬不再混入到氧化物半導體層中。藉由進行脫水化或脫氫化，使氧化物半導體層的電阻降低，即在將其 N 型化（N⁻等）之後使其電阻增大而使其成為 I 型的氧化物半導體層。藉由使用該氧化物半導體層製造薄膜電晶體，可以使薄膜電晶體的臨界值電壓（V_{th}）為正，從而實現

所謂常關閉型的切換元件。作為半導體裝置（顯示裝置），最好以薄膜電晶體的柵電壓為儘量近於 0V 的正的臨界值電壓的條件形成通道。注意，當薄膜電晶體的臨界值電壓為負時，容易成為所謂常開啓型，也就是說即使柵電壓為 0V，在源極電極和汲極電極之間也有電流流過。在主動矩陣型的顯示裝置中，構成電路的薄膜電晶體的電特性十分重要，該電特性決定顯示裝置的性能。尤其是，在薄膜電晶體的電特性之中臨界值電壓很重要。即使在場效應遷移率高的情況下，當臨界值電壓值高或臨界值電壓值為負時，電路的控制比較困難。在薄膜電晶體的臨界值電壓的絕對值大的情況下，當驅動電壓低時 TFT 不能起到開關功能而有可能導致負載。在是 n 通道型的薄膜電晶體的情況下，最好是當對柵電壓施加正的電壓時初次形成通道並產生汲極電極電流的電晶體。不提高驅動電壓就不能形成通道的電晶體和即使在負的電壓狀態下也能形成通道並產生汲極電極電流的電晶體不適合用作用於電路的薄膜電晶體。

另外，可以將從加熱溫度 T 開始降溫的氣體氣圍轉換成與升溫到加熱溫度 T 的氣體氣圍不同的氣體氣圍。例如，使用與進行了脫水化或脫氫化的相同的爐而在不接觸大氣的情況下，使爐中充滿高純度的氧氣體或 N_2O 氣體、超乾燥空氣（露點為 $-40^{\circ}C$ 或以下，最好為 $-60^{\circ}C$ 或以下）來進行冷卻。

在藉由進行脫水化或脫氫化的加熱處理使膜中所含有

的水分減少之後，在不含有水分的氣圍（露點為 -40°C 或以下，最好為 -60°C 或以下）下進行緩冷（或冷卻）。藉由使用該氧化物半導體膜，可以在提高薄膜電晶體的電特性的同時實現具有高的量產性和高的性能的薄膜電晶體。

在本說明書中，將在氮或稀有氣體（氬、氦等）等惰性氣體氣圍下的加熱處理稱為用於脫水化或脫氫化的加熱處理。在本說明書中，為了方便起見，不僅將藉由該加熱處理使 H_2 脫離稱為脫氫化，而且將包括 H 、 OH 等的脫離也稱為脫水化或脫氫化。

當在氮或稀有氣體（氬、氦等）等惰性氣體氣圍下進行加熱處理時，氧化物半導體層藉由加熱處理變成氧缺乏型而被低電阻化，即被 N 型化（N 化等）。

另外，形成與汲極電極層重疊的氧缺乏型高電阻汲極區（也稱為 HRD 區域）。此外，還形成與源極電極層重疊的氧缺乏型高電阻源極區（也稱為 HRS）。

明確而言，高電阻汲極區的載子濃度在 $1 \times 10^{18}/\text{cm}^3$ 或以上的範圍內，並且高電阻汲極區是載子濃度至少高於通道形成區的載子濃度（小於 $1 \times 10^{18}/\text{cm}^3$ ）的區域。另外，本說明書的載子濃度指的是在室溫下藉由霍爾效應測量而求出的載子濃度的值。

並且，藉由至少使經過脫水化或脫氫化的氧化物半導體層的一部分處於氧過剩狀態，來使其電阻增大，即被 I 型化，而形成通道形成區。另外，至於使經過脫水化或脫氫化的氧化物半導體層變為氧過剩狀態的處理，可以藉由

以下處理來實現：利用濺射法的氧化物絕緣膜的成膜，該氧化物絕緣膜接觸於經過脫水化或脫氫化的氧化物半導體層；形成氧化物絕緣膜之後的加熱處理；在含有氧的氣圍下的加熱處理；在惰性氣體氣圍下加熱之後在氧氣圍下的冷卻處理；使用超乾燥空氣（露點為 -40°C 或以下，最好為 -60°C 或以下）的冷卻處理；等等。

另外，爲了將經過脫水化或脫氫化的氧化物半導體層的至少一部分（與閘極電極層重疊的部分）用作通道形成區，藉由選擇性地使其成爲氧過剩狀態，可以使其電阻增大，即被 I 型化。將由 Ti 等的金屬電極構成的源極電極層及汲極電極層以與經過脫水化或脫氫化的氧化物半導體層接觸的方式形成在經過脫水化或脫氫化的氧化物半導體層上，並藉由使既不與源極電極層重疊又不與汲極電極層重疊的露出區域選擇性地處於氧過剩狀態來形成通道形成區。當使氧化物半導體層選擇性地處於氧過剩狀態時，形成有重疊於源極電極層的第一高電阻源極區及重疊於汲極電極層的第二高電阻汲極區，而第一高電阻源極區和第二高電阻汲極區之間的區域成爲通道形成區。即，在源極電極層和汲極電極層之間以自對準的方式形成通道形成區。

由此，可以製作並提供具有電特性良好且可靠性高的薄膜電晶體的半導體裝置。

另外，藉由在與汲極電極層重疊的氧化物半導體層中形成高電阻汲極區，可以提高形成驅動電路時的可靠性。明確而言，藉由形成高電阻汲極區，可以形成如下結構：

從汲極電極層至高電阻汲極區、通道形成區，導電性能夠階梯性地變化。所以，當將汲極電極層連接到提供高電源電位 V_{DD} 的佈線來使薄膜電晶體工作時，即使閘極電極層與汲極電極層之間被施加高電場，由於高電阻汲極區成爲緩衝區而不被施加局部性的高電場，所以可以提高薄膜電晶體的耐壓性。

另外，藉由在與汲極電極層以及源極電極層重疊的氧化物半導體層中形成高電阻汲極區及高電阻源極區，可以降低形成驅動電路時的通道形成區中的洩漏電流。明確而言，藉由形成高電阻汲極區，在汲極電極層和源極電極層之間流過的電晶體的洩漏電流依次流過汲極電極層、汲極電極層一側的高電阻汲極區、通道形成區、源極電極層一側的高電阻源極區及源極電極層。此時在通道形成區中，可以將從汲極電極層一側的高電阻汲極區流向通道形成區的洩漏電流集中在當電晶體處於截止狀態時成爲高電阻的閘極絕緣層與通道形成區的介面附近，而可以降低背通道部（遠離閘極電極層的通道形成區的表面的一部分）中的洩漏電流。

另外，雖然也要根據閘極電極層的寬度，但與源極電極層重疊的高電阻源極區和與汲極電極層重疊的高電阻汲極區隔著閘極絕緣層分別與閘極電極層的一部分重疊，由此能夠更有效地緩和汲極電極層的端部附近的電場強度。

此外，也可以在氧化物半導體層和源極電極及汲極電極之間形成氧化物導電層。作爲氧化物導電層，最好採用

其成分中包含氧化鋅而不包含氧化銻的氧化物導電層。例如，可以使用氧化鋅、氧化鋅鋁、氧氮化鋅鋁、氧化鋅鎵等。氧化物導電層還用作低電阻汲極區（也稱為 LRN（Low Resistance N-type conductivity）區、LRD（Low Resistance Drain）區）。明確地說，低電阻汲極區的載子濃度高於高電阻汲極區（HRD 區）的載子濃度，例如最好其濃度在 $1 \times 10^{20}/\text{cm}^3$ 或以上且 $1 \times 10^{21}/\text{cm}^3$ 或以下的範圍內。藉由將氧化物導電層設置在氧化物半導體層和源極電極及汲極電極之間，可以降低電極－氧化物半導體層之間的接觸電阻，從而可以實現電晶體的高速工作，由此可以提高週邊電路（驅動電路）的頻率特性。

可以連續地形成用來形成氧化物導電層和源極電極及汲極電極的金屬層。

此外，上述第一佈線及第二佈線可以使用由與用作 LRN 或 LRD 的氧化物導電層相同的材料和金屬材料而構成的疊層佈線。藉由採用金屬和氧化物導電層的疊層，對下層佈線的重疊部分或開口等的臺階的覆蓋性得到改善，從而可以降低佈線電阻。此外，由於還能夠防止遷移等所引起的佈線的局部性的高電阻化及斷線，所以可以提供可靠性高的半導體裝置。

此外，當進行上述第一佈線和第二佈線的連接時，藉由以中間夾著氧化物導電層的方式進行連接，可以防止因連接部（接觸部）的金屬表面上形成絕緣氧化物而導致的接觸電阻的增大，從而可以提供可靠性高的半導體裝置。

另外，因為薄膜電晶體容易被靜電等損壞，所以最好將用於保護像素部的薄膜電晶體的保護電路與閘極線或源極電極線設置在同一基板上。保護電路最好由使用氧化物半導體層的非線形元件構成。

注意，為了方便起見而附加第一、第二等序數詞，但其並不表示步驟順序或疊層順序。此外，其在本說明書中不表示特定發明的事項的固有名稱。

藉由使用氧化物半導體層可以實現具備具有優越的電特性及優越的可靠性的薄膜電晶體的半導體裝置。

【圖式簡單說明】

在附圖中：

圖 1 是說明半導體裝置的圖；

圖 2A 至 2C 是說明半導體裝置的製造方法的圖；

圖 3A 至 3C 是說明半導體裝置的製造方法的圖；

圖 4A 至 4C 是說明半導體裝置的製造方法的圖；

圖 5 是說明半導體裝置的圖；

圖 6A 至 6D 是說明半導體裝置的製造方法的圖；

圖 7A 和 7B 是說明半導體裝置的製造方法的圖；

圖 8A 至 8D 是說明半導體裝置的製造方法的圖；

圖 9A 和 9B 是說明半導體裝置的製造方法的圖；

圖 10 是說明半導體裝置的圖；

圖 11A 至 11D 是說明半導體裝置的圖；

圖 12A 和 12B 是說明半導體裝置的方塊圖的圖；

- 圖 13A 和 13B 是說明信號線驅動電路的結構的圖；
- 圖 14A 至 14D 是說明移位暫存器的結構的電路圖；
- 圖 15A 和 15B 是說明移位暫存器的結構的電路圖及說明移位暫存器的工作的時序圖；
- 圖 16A 至 16C 是說明半導體裝置的圖；
- 圖 17 是說明半導體裝置的圖；
- 圖 18 是示出電子書閱讀器的一例的外觀圖；
- 圖 19A 和 19B 是示出電視裝置及數位相框的實例的外觀圖；
- 圖 20A 和 20B 是示出遊戲機的實例的外觀圖；
- 圖 21A 和 21B 是示出可攜式電腦及手機的一例的外觀圖；
- 圖 22 是說明半導體裝置的圖；
- 圖 23 是說明半導體裝置的圖；
- 圖 24 是說明半導體裝置的圖；
- 圖 25 是說明半導體裝置的圖；
- 圖 26 是說明半導體裝置的圖；
- 圖 27 是說明半導體裝置的圖；
- 圖 28 是說明半導體裝置的圖；
- 圖 29 是說明半導體裝置的圖；
- 圖 30 是說明半導體裝置的圖；
- 圖 31 是說明半導體裝置的圖；
- 圖 32 是說明半導體裝置的圖；
- 圖 33 是說明半導體裝置的圖；

圖 34 是說明半導體裝置的圖；

圖 35 是說明半導體裝置的圖；

圖 36A 和 36B 是說明半導體裝置的圖；

圖 37 是說明半導體裝置的製造製程的圖；

圖 38 是說明半導體裝置的圖；

圖 39 是對水的生成及脫離機構的算術結果進行說明的圖；

圖 40 是對能量圖的算術結果進行說明的圖。

【實施方式】

參照附圖對實施例進行詳細說明。但是，本發明的實施例並不侷限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式及詳細內容可以不脫離本發明的宗旨及其範圍地變換為各種各樣的形式。因此，不應該被解釋為僅限定在以下實施例所記載的內容中。注意，在以下說明的結構中，在不同的附圖之間共同使用同一附圖標記來表示同一部分或具有同一功能的部分，而省略其重複說明。

實施例 1

參照圖 1 至圖 5 對具有薄膜電晶體的半導體裝置的製造製程進行說明。

圖 1 示出作為本發明的一個方式的半導體裝置的液晶顯示裝置。在圖 1 所示的液晶顯示裝置中，基板 100 和對

置基板 190 夾著液晶層 192 對置，其中基板 100 上設置有包括薄膜電晶體 170 及電容 147 的像素部、包括薄膜電晶體 180 的驅動電路部、像素電極層 110 以及用作對準膜的絕緣層 191，並且對置基板 190 上設置有用作對準膜的絕緣層 193，對置電極層 194 以及用作濾色片的著色層 195。此外，在基板 100 和對置基板 190 的分別與液晶層 192 相反的一側上設置有偏光板（具有偏振器的層，也簡單地稱為偏振器）196a、196b，並且在閘極佈線的端子部中設置有第一端子 121、連接電極 120 及連接用的端子電極 128，並且在源極電極佈線的端子部中設置有第二端子 122 及連接用的端子電極 129。

在驅動電路部中，在薄膜電晶體 180 中在閘極電極層及半導體層的上方設置有導電層 111，並且汲極電極層 165b 電連接到由與閘極電極層相同的步驟形成的導電層 162。此外，在像素部中，薄膜電晶體 170 的汲極電極層與像素電極層 110 電連接。

以下，參照圖 2A 至 2C 至圖 5 以及圖 11A 至 11D 對製造方法進行具體說明。圖 5 是液晶顯示裝置的像素部的平面圖，圖 1 至圖 4 相當於沿著圖 5 中的線 A1-A2、B1-B2 的截面圖。

在具有絕緣表面的基板 100 的整個表面上形成導電層之後，藉由第一微影步驟形成抗蝕劑掩罩，藉由蝕刻去除不需要的部分以形成佈線及電極（閘極電極層 101、閘極電極層 161、導電層 162、電容佈線 108（也稱作電容佈線

層)及第一端子 121)。如圖 2A 所示，當以在佈線及電極的端部形成錐形形狀的方式進行蝕刻時，被層疊的膜的覆蓋性得到提高，所以是較佳的。注意，閘極電極層 101、閘極電極層 161 分別包括在閘極佈線中。

雖然對可用於具有絕緣表面的基板 100 的基板沒有很大的限制，但是其至少需要具有能夠承受後面的加熱處理程度的耐熱性。可以使用玻璃基板作為具有絕緣表面的基板 100。

另外，當後面的加熱處理的溫度較高時，可以使用應變點為 730°C 以上的玻璃基板。另外，作為玻璃基板，例如可以使用如鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃或鋇硼矽酸鹽玻璃等的玻璃材料。另外，藉由使玻璃基板相比硼酸而含有更多的氧化鋇 (BaO)，可以獲得更實用的耐熱玻璃。因此，最好使用相比 B_2O_3 包含更多的 BaO 的玻璃基板。

另外，也可以使用如陶瓷基板、石英基板、藍寶石基板等的由絕緣體構成的基板代替上述玻璃基板。此外，還可以使用結晶化玻璃等。因為在本實施例中示出的液晶顯示裝置為透過型，所以作為基板 100 使用具有透光性的基板，但是，當採用反射型時，也可以使用非透光性的金屬基板等的基板用作基板 100。

也可以將成為基底膜的絕緣膜設置在基板 100 與閘極電極層 101、閘極電極層 161、導電層 162、電容佈線 108 及第一端子 121 之間。基底膜具有防止雜質元素從基板

100 擴散的作用，可以使用選自氮化矽膜、氧化矽膜、氮氧化矽膜和氧氮化矽膜中的其中之一種或多種膜的疊層結構形成。

閘極電極層 101、閘極電極層 161、導電層 162、電容佈線 108 及第一端子 121 可以藉由使用鉬、鈦、鉻、鉭、鎢、鋁、銅、鈹、鈳等金屬材料或以這些材料為主要成分的合金材料的單層或疊層來形成。

例如，作為閘極電極層 101、閘極電極層 161、導電層 162、電容佈線 108 及第一端子 121 的雙層的疊層結構，最好採用：在鋁層上層疊鉬層的雙層結構；在銅層上層疊鉬層的雙層結構；在銅層上層疊氮化鈦層或氮化鉭層的雙層結構；層疊氮化鈦層和鉬層的雙層結構。作為三層的疊層結構，最好採用鎢層或氮化鎢層、鋁和矽的合金層或鋁和鈦的合金層、氮化鈦層或鈦層的疊層。

接著，在閘極電極層 101、閘極電極層 161、導電層 162、電容佈線 108 及第一端子 121 上形成閘極絕緣層 102（參照圖 2A）。

藉由利用電漿 CVD 法或濺射法等並使用氧化矽層、氮化矽層、氧氮化矽層、氮氧化矽層或氧化鋁層的單層或疊層，可以形成閘極絕緣層 102。例如，作為成膜氣體使用 SiH_4 、氧及氮並藉由電漿 CVD 法來形成氧氮化矽層，即可。將閘極絕緣層 102 的厚度設定為 100nm 或以上且 500nm 或以下。當採用疊層時，例如採用 50nm 或以上且 200nm 或以下的第二閘極絕緣層和第一閘極絕緣層上的

5nm 或以上且 300nm 或以下的第二閘極絕緣層的疊層。

在本實施例中，利用電漿 CVD 法形成厚度為 200nm 或以下的氮化矽層作為閘極絕緣層 102。

接著，在閘極絕緣層 102 上形成厚度為 2nm 或以上且 200nm 或以下的氧化物半導體膜 130（參照圖 2B）。

另外，最好在使用濺射法形成氧化物半導體膜之前，進行引入氬氣體來產生電漿的反濺射，以去除附著到閘極絕緣層 102 表面上的塵屑。反濺射是指使用 RF 電源在氬氣圍下對基板一側施加電壓來在基板附近形成電漿以進行表面改性的方法。另外，也可以使用氮、氦、氧等代替氬氣圍。此外，也可以在對氬氣圍添加氧、 N_2O 等的氣圍下進行。另外，也可以在對氬氣圍中加入 Cl_2 、 CF_4 等的氣圍下進行。

為了即使在形成氧化物半導體膜 130 之後進行用於脫水化或脫氫化的加熱處理也使氧化物半導體膜處於非晶狀態，最好將氧化物半導體膜 130 的厚度設定得薄，即 50nm 或以下。藉由將氧化物半導體膜的厚度設定得薄，即使在形成氧化物半導體層之後進行加熱處理也可以抑制晶化。

氧化物半導體膜 130 使用 In-Ga-Zn-O 類非單晶膜、In-Sn-Zn-O 類、In-Al-Zn-O 類、Sn-Ga-Zn-O 類、Al-Ga-Zn-O 類、Sn-Al-Zn-O 類、In-Zn-O 類、In-Ga-O 類、Sn-Zn-O 類、Al-Zn-O 類、In-O 類、Sn-O 類、Zn-O 類的氧化物半導體膜。在本實施例中，使用 In-Ga-Zn-O 類氧化物

半導體靶材並藉由濺射法來形成氧化物半導體膜 130。另外，可以在稀有氣體（典型是氬）氣圍下、在氧氣圍下或者在稀有氣體（典型是氬）及氧氣圍下藉由濺射法來形成氧化物半導體膜 130。另外，當使用濺射法時，最好使用含有 2wt%或以上且 10wt%或以下的 SiO_2 的靶材來進行成膜，而使氧化物半導體膜 430 含有阻礙晶化的 SiO_x ($x > 0$)，以抑制在後面的步驟中進行用於脫水化或脫氫化的加熱處理時被晶化。

在此，使用包含 In、Ga 及 Zn 的氧化物半導體靶材 ($\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1[\text{mol}\%]$ ， $\text{In}:\text{Ga}:\text{Zn}=1:1:0.5[\text{at}\%]$) 並以如下條件下進行成膜，該條件是：基板和靶材之間的距離是 100mm；壓力是 0.2Pa；直流 (DC) 電流是 0.5kW；在氬及氧 (氬:氧=30sccm:20sccm 氧流量比率 40%) 氣圍下。另外，當使用脈衝直流 (DC) 電源時，可以減少塵屑且膜厚度分佈也均勻，所以是較佳的。將 In-Ga-Zn-O 類非單晶膜的厚度設定為 5nm 至 200nm。在本實施例中，使用 In-Ga-Zn-O 類氧化物半導體靶材並藉由濺射法來形成 20nm 的 In-Ga-Zn-O 類非單晶膜作為氧化物半導體膜。

作為濺射法，有作為濺射電源使用高頻電源的 RF 濺射法、DC 濺射法，並且還有以脈衝方式施加偏壓的脈衝 DC 濺射法。RF 濺射法主要用於絕緣膜的形成，而 DC 濺射法主要用於金屬膜的形成。

此外，還有可以設置多個材料不同的靶材的多元濺射裝置。多元濺射裝置既可以在同一處理室中層疊形成不同

材料的膜，又可以在同一處理室中使多種材料同時放電而進行成膜。

此外，有利用如下濺射法的濺射裝置，該濺射法是：在處理室內具備磁體機構的磁控管濺射法；以及不使用輝光放電而利用使用微波來產生的電漿的 ECR 濺射法。

此外，作為使用濺射法的成膜方法，還有：在膜形成期間使靶材物質與濺射氣體成分產生化學反應而形成它們的化合物薄膜的反應濺射法；以及在膜形成期間對基板也施加電壓的偏壓濺射法。

接著，在氧化物半導體膜 130 上藉由進行第二微影步驟來形成抗蝕劑掩罩 137 並利用蝕刻去除氧化物半導體膜 130 及閘極絕緣層 102 的不需要的部分，並在閘極絕緣層 102 中形成到達第一端子 121 的接觸孔 119 及到達導電層 162 的接觸孔 118（參照圖 2C）。

像這樣，藉由在氧化物半導體膜 130 層疊在閘極絕緣層 102 的整個面上的狀態下進行在閘極絕緣層 102 中形成接觸孔的步驟，閘極絕緣層 102 的表面不直接與抗蝕劑掩罩接觸，從而可以防止對閘極絕緣層 102 的表面的污染（雜質等的附著等）。由此，可以使閘極絕緣層 102 和氧化物半導體膜 130 之間的介面狀態良好，從而提高可靠性。

還可以在閘極絕緣層上直接形成抗蝕劑圖案然後形成接觸孔的開口。在這種情況下，最好在剝離抗蝕劑之後進行熱處理來進行閘極絕緣膜表面的脫水化、脫氫化、脫羥

基化處理。例如，可以在惰性氣體氣圍（氮或氦、氖、氬等）下或氧氣圍下進行加熱處理（以 400°C 或以上且低於基板的應變點的溫度），來去除閘極絕緣層內含有的氫及水等的雜質。

接著，去除抗蝕劑掩罩 137，並使用藉由第三微影步驟而形成的抗蝕劑掩罩 135a、135b 對氧化物半導體膜 130 進行蝕刻，來形成島狀氧化物半導體層 131、132（參照圖 3A）。另外，用來形成島狀氧化物半導體層的抗蝕劑掩罩 135a、135b 可以使用噴墨法來形成。當藉由噴墨法形成抗蝕劑掩罩時不使用光掩罩，因此可以縮減製造成本。

接著，對氧化物半導體層 131、132 進行脫水化或脫氫化，來形成經過脫水化或脫氫化的氧化物半導體層 133、134（參照圖 3B）。將進行脫水化或脫氫化的第一加熱處理的溫度設定為 400°C 或以上且低於基板的應變點，最好設定為 425°C 或以上。注意，當採用 425°C 或以上的溫度時加熱處理時間是 1 小時以下即可，但是當採用低於 425°C 的溫度時加熱處理時間長於 1 小時。在此，將基板放入到加熱處理裝置之一的電爐中，在氮氣圍下對氧化物半導體層進行加熱處理，然後不使其接觸於大氣而防止水或氫再次混入到氧化物半導體層，而形成氧化物半導體層。在本實施例中，在氮氣圍下使用同一爐將氧化物半導體層的溫度從進行氧化物半導體層的脫水化或脫氫化所需的加熱溫度 T 緩冷到水無法再次混入的溫度，明確而

言，在氮氣圍下將氧化物半導體層的溫度降低到比加熱溫度 T 低 100°C 或以上的溫度。另外，不侷限於氮氣圍，而在氦、氖、氬等稀有氣體氣圍下進行脫水化或脫氫化。

藉由以 400°C 至 700°C 的溫度對氧化物半導體層進行熱處理，可以對氧化物半導體層進行脫水化、脫氫化，從而可以防止水 (H_2O) 再浸入氧化物半導體層。

作為氧化物半導體膜中的水的脫離機構的一個例子，對以下反應途徑進行了解析（在氧化物半導體膜中，水及作為 OH 或 H 的反應）。另外，氧化物半導體膜使用 In-Ga-Zn-O 類非晶膜。

此外，利用密度泛函法(DFT)算術算術模型處於基態時的最佳分子結構。以勢能、電子間靜電能、電子的動能、包括所有的複雜的電子間的互相作用的交換相關能的總和表示 DFT 的總能量。在 DFT 中，由於使用以電子密度表示的單電子勢的泛函(函數的函數之意)來近似表示交換相關作用，所以算術速度快且精度高。在此，利用作為混合泛函的 B3LYP 來規定關於交換相關能的各參數的權重。此外，作為基函數，銦原子、鎵原子和鋅原子使用 LanL2DZ (Ne 核的有效核勢加上分裂價層 (split valence) 基組的基函數)，除此之外的原子使用 6-311(對各原子價軌道使用三個收縮函數的三重分裂價層(triple split valence)基組的基函數)。根據上述基函數，例如在氫原子的情況下考慮 $1s$ 至 $3s$ 的軌道，而在氧原子的情況下考慮 $1s$ 至 $4s$ 、 $2p$ 至 $4p$ 的軌道。再者，作為極化基組

(polarization basis sets)，對氫原子加上 p 函數，對氧原子加上 d 函數，以提高算術精度。

此外，作為量子化學算術程式，使用 Gaussian03。使用高性能電腦(由 SGI 所製造，Altix4700)來進行算術。

可以認為包含在氧化物半導體膜中的 -OH 藉由進行脫水化或脫氫化的加熱處理互相發生反應而生成 H_2O 。這裏，對如圖 39 所示那樣的水的生成·脫離機構進行解析。另外，在圖 39 中，由於 Zn 為 2 價，當 M_1M_2 的兩者或其中一方為 Zn 時，去除一個與 Zn 接合的 $M'-O$ 鍵。

圖 39 中的 M 表示金屬原子，In·Ga·Zn 這三種適合。在初始狀態 1 中，-OH 以與 M_1 和 M_2 交聯的方式形成配位元鍵。在躍遷狀態 2 中，-OH 中的 H 轉位到另一個 -OH。在中間狀態 3 中，所生成的 H_2O 分子與金屬原子形成配位元鍵。在終結狀態 4 中， H_2O 分子脫離而離開無限遠。

由於 (M_1-M_2) 的組合一共有 6 種，即：1.In-In、2.Ga-Ga、3.Zn-Zn、4.In-Ga、5.In-Zn、6.Ga-Zn，所以對所有組合進行了算術。另外，在本算術中，為了算術的簡略化，採用使用 H 替換 M' 的算術模型的集群算術 (cluster computing)。

在算術中，求出對應於圖 39 的反應途徑的能量圖。作為 (M_1-M_2) 的共 6 種組合的代表而在圖 40 中示出 1.In-In 的算術結果。

由圖 40 可知水的生成所需要的活化能為 1.16eV。由於生成的水分子的脫離，與中間狀態 3 相比終結狀態

41.58 eV 左右不穩定。

另外，若反過來將圖 40 看成是從右到左的反應，則可以將其看成是水進入到氧化物半導體膜內的反應。此時，配位元到金屬的水被水解而形成兩個 OH 鍵的反應所需要的活化能為 0.47eV。

同樣，對其他的 (M_1-M_2) 組合的反應途徑進行解析。表 1 示出 1 至 6 的水生成反應的活化能 (E_a [eV])。

[表 1]

	1	2	3	4	5	6
M_1-M_2	In-In	Ga-Ga	Zn-Zn	In-Ga	In-Zn	Ga-Zn
E_a	1.16	1.25	2.01	1.14	1.35	1.4

由表 1 可知：在 1.In-In 和 4.In-Ga 中，容易發生水的生成反應。而在 3.Zn-Zn 中不容易發生水的生成反應。由此，可以推測當使用 Zn 原子時不容易發生水的生成反應。

另外，加熱處理裝置不侷限於電爐，例如還可以使用 GRTA (Gas Rapid Thermal Anneal, 即氣體快速熱退火) 裝置、LRTA (Lamp Rapid Thermal Anneal, 即燈快速熱退火) 裝置等的 RTA (Rapid Thermal Anneal) 裝置。LRTA 裝置是利用從燈如鹵素燈、金鹵燈、氙弧燈、碳弧燈、高壓鈉燈或高壓汞燈等發出的光 (電磁波) 的輻射加熱被處理物的裝置。此外，LRTA 裝置除了燈以外還可以具備由從電阻發熱體等的發熱體的熱傳導或熱輻射來加熱

被處理物的設備。GRTA 是指使用高溫氣體進行加熱處理的方法。作為氣體，使用即使進行加熱處理也不與被處理物產生反應的如氫等的稀有氣體或氮。可以利用 RTA 法以 600°C 至 700°C 進行幾分鐘的加熱處理。

另外，在第一加熱處理中，最好氮或氫、氬、氫等的稀有氣體不包含水、氫等。尤其是，以 400°C 至 700°C 的氧化物半導體層的脫水化、脫氫化的加熱處理，最好在 H₂O 為 20ppm 或以下的氮氣圍下進行。另外，最好將導入於加熱處理裝置中的氮或氫、氬、氫等的稀有氣體的純度設定為 6N (99.9999%) 或以上，最好設定為 7N (99.99999%) 或以上 (即，將雜質濃度設定為 1ppm 或以下，最好設定為 0.1ppm 或以下)。

另外，根據第一加熱處理的條件或氧化物半導體層的材料，也有時進行晶化，而形成微晶或多晶。例如，有時形成晶化率為 90%或以上或 80%或以上的微晶氧化物半導體層。此外，根據第一加熱處理的條件或氧化物半導體層的材料，有時形成不含有結晶成分的非晶氧化物半導體。

另外，也可以對加工成島狀氧化物半導體層 131、132 之前的氧化物半導體膜 130 進行氧化物半導體層的第一加熱處理。在此情況下，在第一加熱處理之後從加熱裝置拿出基板，以進行微影步驟。

作為氧化物半導體層的脫水化、脫氫化的熱處理，可以在以下任一步驟之後進行：形成氧化物半導體層之後；在氧化物半導體層上層疊了源極電極及汲極電極之後；或

者在源極電極及汲極電極上形成鈍化膜之後。

另外，還可以在進行了氧化物半導體膜 130 的脫水化或脫氫化處理之後，進行如圖 2C 所示的在閘極絕緣層 102 中形成接觸孔 118、119 的步驟。

另外，這裏的氧化物半導體膜的蝕刻不限定於濕蝕刻，而還可以使用乾蝕刻。

作為乾蝕刻所使用蝕刻氣體，最好使用含有氯的氣體（氯類氣體，例如氯（ Cl_2 ）、氯化硼（ BCl_3 ）、氯化矽（ SiCl_4 ）、四氯化碳（ CCl_4 ）等）。

另外，還可以使用含有氟的氣體（氟類氣體，例如四氟化碳（ CF_4 ）、六氟化硫（ SF_6 ）、三氟化氮（ NF_3 ）、三氟甲烷（ CHF_3 ）等）、溴化氫（ HBr ）、氧（ O_2 ）或對上述氣體添加了氦（ He ）或氬（ Ar ）等的稀有氣體的氣體等。

作為乾蝕刻法，可以使用平行平板型 RIE（Reactive Ion Etching：反應性離子蝕刻）法或 ICP（Inductively Coupled Plasma：感應耦合電漿）蝕刻法等。適當地調節蝕刻條件（施加到線圈形電極的電力量、施加到基板一側的電極的電力量、基板一側的電極溫度等），以便蝕刻為所希望的加工形狀。

作為用於濕蝕刻的蝕刻液，可以使用：將磷酸、醋酸以及硝酸混合的溶液等。此外，還可以使用 ITO07N（由日本關東化學公司製造）。

藉由清洗去除濕蝕刻後的蝕刻液以及被蝕刻掉的材

料。也可以提純包括該被去除了的材料的蝕刻液的廢液，來再使用所含的材料。藉由從該蝕刻後的廢液回收包含在氧化物半導體層中的鈦等的材料並將它再使用，可以高效地使用資源並實現低成本化。

另外，根據材料適當地調節蝕刻條件（蝕刻液、蝕刻時間以及溫度等），以便可以蝕刻為所希望的加工形狀。

接著，在氧化物半導體層 133、134 上利用濺射法或真空蒸鍍法形成由金屬材料構成的金屬導電膜。

作為金屬導電膜的材料，可以舉出選自 Al、Cr、Cu、Ta、Ti、Mo、W 中的元素、以上述元素為成分的合金、組合上述元素的合金膜等。另外，金屬導電膜可以採用單層結構或兩層以上的疊層結構。例如，可以舉出：包含矽的鋁膜的單層結構；在鋁層上層疊鈦膜的兩層結構；Ti 膜、層疊在該 Ti 膜上的鋁膜、在其上層疊的 Ti 膜的三層結構等。另外，也可以使用：組合鋁與選自鈦（Ti）、鉭（Ta）、鎢（W）、鉬（Mo）、鉻（Cr）、釹（Nd）、Sc（鈦）中的一個或多個元素的合金膜或氮化膜。

當在形成金屬導電膜之後進行加熱處理時，最好金屬導電膜具有能夠耐受該加熱處理的耐熱性。

接著，進行第四微影步驟以形成抗蝕劑掩罩 136a、136b、136c、136d、136e、136f，並藉由對金屬導電膜的蝕刻去除不需要的部分而形成源極電極層 105a、汲極電極層 105b、源極電極層 165a、汲極電極層 165b、連接電

極 120 以及第二端子 122 (參照圖 3C) 。

另外，當進行金屬導電膜的蝕刻時，以氧化物半導體層 133、134 不被去除的方式適當地調節各種材料及蝕刻條件。

在本實施例中，將 Ti 膜用作金屬導電膜，將 In-Ga-Zn-O 類氧化物用作氧化物半導體層 133、134，並且將過氧化氫水 (鉍、水、過氧化氫水的混合液) 用作蝕刻劑。

在該第四微影步驟中，將與源極電極層 105a、165a、汲極電極層 105b、165b 相同材料的連接電極 120 和第二端子 122 分別形成於端子部。另外，第二端子 122 與源極電極佈線 (包括源極電極層 105a、165a 的源極電極佈線) 電連接。另外，連接電極 120 在接觸孔 119 中接觸於第一端子 121 地形成並與其電連接。

另外，還可以使用噴墨法形成用來形成源極電極層及汲極電極層的抗蝕劑掩罩 136a、136b、136c、136d、136e、136f。當藉由噴墨法形成抗蝕劑掩罩時不使用光掩罩，因此可以縮減製造成本。

接著，去除抗蝕劑掩罩 136a、136b、136c、136d、136e、136f，並形成接觸於氧化物半導體層 133、134 的成爲保護絕緣膜的氧化物絕緣膜 107。

此時，在氧化物半導體層 133、134 中形成接觸於氧化物絕緣膜的區域，該區域中的隔著閘極絕緣層重疊於閘極電極層且重疊於氧化物絕緣膜 107 的區域成爲通道形成

區。

將氧化物絕緣膜 107 的厚度至少設定為 1nm 或以上，並且可以適當地使用濺射法等的防止水、氫等的雜質混入到氧化物絕緣膜 107 的方法來形成氧化物絕緣膜 107。當氫包含於氧化物絕緣膜 107 中時，引起氫進入氧化物半導體層或在氧化物半導體層中取出氧，藉以使氧化物半導體層之背通道具有較低的電阻(以具有 n-型導電性)並形成寄生通道。所以，最好採用不使用氫之形成方法，以形成儘可能包含較少氫之氧化物絕緣膜 107。

在本實施例中，使用濺射法形成 300nm 厚的氧化矽膜作為氧化物絕緣膜 107。將形成膜時的基板溫度設定為室溫或以上且 300°C 或以下即可，在本實施例中將該基板溫度設定為室溫。可以在稀有氣體（典型為氬）氣圍下或氧氣圍下藉由濺射法形成氧化矽膜。另外，作為靶材，可以使用氧化矽靶材或矽靶材。例如，可以使用矽靶材在氧氣圍下藉由濺射法形成氧化矽。在第一加熱處理中，接觸於被低電阻化的氧化物半導體層地形成的氧化物絕緣膜使用不包含水分、氫離子、OH⁻等的雜質且阻擋上述雜質從外部侵入的無機絕緣膜，典型地使用氧化矽膜、氮氧化矽膜、氧化鎂膜、氧化鋁膜或者氧氮化鋁膜等。

接著，在惰性氣體氣圍下或氮氣體氣圍下進行第二加熱處理（較佳的是 200°C 或以上且 400°C 或以下，例如 250°C 或以上且 350°C 或以下）（參照圖 4A）。例如，在氮氣圍下進行 250°C 且 1 小時的第二加熱處理。當進行第

二加熱處理時，重疊於氧化物絕緣膜 107 的氧化物半導體層 133、134 的一部分在接觸於氧化物絕緣膜 107 的狀態下被加熱。

藉由上述步驟，對成膜後的氧化物半導體層進行用於脫水化或脫氫化的加熱處理而使其電阻降低之後，選擇性地使氧化物半導體層的一部分成爲氧過剩狀態。

其結果，在氧化物半導體層 133 中，與閘極電極層 161 重疊的通道形成區 166 成爲 I 型，重疊於源極電極層 165a 的高電阻源極區 167a 和重疊於汲極電極層 165b 的高電阻汲極區 167b 以自對準的方式形成，並形成有氧化物半導體層 163。同樣地，在氧化物半導體層 134 中，重疊於閘極電極層 101 的通道形成區 116 成爲 I 型，重疊於源極電極層 105a 的高電阻源極區 117a 和重疊於汲極電極層 105b 的高電阻汲極區 117b 以自對準的方式形成，並形成有氧化物半導體層 103。

另外，藉由在與汲極電極層 105b、165b（及源極電極層 105a、165a）重疊的氧化物半導體層 103、163 中形成高電阻汲極區 117b、167b（或高電阻源極區 117a、167a），可以提高形成驅動電路時的可靠性。明確而言，藉由形成高電阻汲極區 117b、167b，可以形成如下結構：從汲極電極層 105b、165b 至高電阻汲極區 117b、167b、通道形成區 116、166，導電性能夠階梯性地變化。所以，當將汲極電極層 105b、165b 連接到提供高電源電位 VDD 的佈線來使薄膜電晶體工作時，即使閘極電

極層 101、161 與汲極電極層 105b、165b 之間被施加高電場，由於高電阻汲極區成爲緩衝區而不被施加局部性的高電場，所以可以提高電晶體的耐壓性。

另外，藉由在與汲極電極層 105b、165b（以及源極電極層 105a、165a）重疊的氧化物半導體層中形成高電阻汲極區 117b、167b（或高電阻區 117a、167a），可以降低形成驅動電路時的通道形成區 116、166 中的洩漏電流。

在本實施例中，在利用濺射法形成氧化矽膜作爲氧化物絕緣膜 107 之後，進行 250°C 至 350°C 的熱處理，以使氧從源極區和汲極區之間的氧化物半導體層的露出部分（通道形成區）向氧化物半導體層中含浸並擴散到氧化物半導體層中。藉由使用濺射法形成氧化矽膜，可以使該氧化矽膜中含有過剩的氧，並藉由熱處理使氧含浸並擴散到氧化物半導體層中。藉由使氧含浸並擴散到氧化物半導體層中，可以實現通道形成區的高電阻化（i 型化）。由此，可以獲得常關閉狀態的薄膜電晶體。

根據上述步驟，可以在同一基板上，在驅動電路中形成薄膜電晶體 180 並在像素部中形成薄膜電晶體 170。薄膜電晶體 170、180 是包括高電阻源極區、高電阻汲極區及包括通道形成區的氧化物半導體層的底柵型薄膜電晶體。所以，薄膜電晶體 170、180 具有以下結構：即使其被施加高電場，由於高電阻汲極區或高電阻源極區成爲緩衝區而不被施加局部性的高電場，所以電晶體的耐壓性得

到提高。

藉由在同一基板上形成驅動電路部和像素部，可以縮短連接驅動電路和外部信號的連接佈線，所以可以實現半導體裝置的小型化和低成本化。

還可以在氧化物絕緣膜 107 上形成保護絕緣膜。例如，使用 RF 濺射法形成氮化矽膜。由於 RF 濺射法的量產性高，所以作為保護絕緣層的成膜方法是較佳的。保護絕緣層使用不包含水分、氫離子或 OH^- 等的雜質並防止上述雜質從外部侵入的無機絕緣膜，例如使用氮化矽膜、氮化鋁膜、氮氧化矽膜或氧氮化鋁膜等。

接著，進行第五微影步驟以形成抗蝕劑掩罩，並藉由對氧化物絕緣層 107 的蝕刻，形成到達汲極電極層 105b 的接觸孔 125，並去除抗蝕劑掩罩（參照圖 4B）。另外，根據該蝕刻形成到達第二端子的 122 的接觸孔 127 以及到達連接電極 120 的接觸孔 126。另外，還可以使用噴墨法形成用於形成接觸孔的抗蝕劑掩罩。當藉由噴墨法形成抗蝕劑掩罩時不使用光掩罩，因此可以縮減製造成本。

接著，形成具有透光性的導電膜。使用濺射法或真空蒸鍍法等形成氧化銦（ In_2O_3 ）或氧化銦氧化錫合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，簡稱為 ITO）等作為具有透光性的導電膜的材料。作為具有透光性的導電膜的其他材料，可以使用含有氮的 Al-Zn-O 類非單晶膜，即 Al-Zn-O-N 類非單晶膜、含有氮的 Zn-O 類非單晶膜、含有氮的 Sn-Zn-O 類非單晶膜。另外，Al-Zn-O-N 類非單晶膜的鋅的組成比（原

子百分比)是 47 原子%以下，該鋅的組成比大於非單晶膜中的鋁的組成比(原子百分比)，並且非單晶膜中的鋁的組成比(原子百分比)大於非單晶膜中的氮的組成比(原子百分比)。上述材料的蝕刻處理使用鹽酸類的溶液進行。但是，由於對 ITO 的蝕刻特別容易產生殘渣，因此也可以使用氧化銦氧化鋅合金($\text{In}_2\text{O}_3\text{-ZnO}$)，以便改善蝕刻加工性。

另外，以具有透光性的導電膜的組成比的單位為原子百分比，並且藉由使用電子探針顯微分析儀(EPMA: Electron Probe X-ray MicroAnalyzer)的分析進行評價。

接著，進行第六微影步驟，形成抗蝕劑掩罩，藉由蝕刻去除具有透光性的導電膜的不需要的部分來形成像素電極層 110、導電層 111 以及端子電極 128、129，然後去除抗蝕劑掩罩。圖 4C 示出此時的截面圖。另外，圖 5 相當於該步驟的平面圖。

另外，在該第六蝕刻步驟中，以電容部中的閘極絕緣層 102 及氧化物絕緣膜 107 為電介質並使用電容佈線 108 和像素電極層 110 形成儲存電容。

也可以將作為以閘極絕緣層 102 為電介質並使用電容佈線和電容電極(也稱為電容電極層)形成的儲存電容的電容 147 形成在同一基板上。此外，也可以不設置電容佈線，而隔著保護絕緣膜及閘極絕緣層重疊像素電極與相鄰的像素的閘極佈線來形成儲存電容。

形成在端子部的端子電極 128、129 成為用於連接

FPC 的電極或者佈線。隔著連接電極 120 形成在第一端子 121 上的端子電極 128 成爲用作閘極佈線的輸入端子的連接用端子電極。形成在第二端子 122 上的端子電極 129 是用作源極電極佈線的輸入端子的連接用端子電極。

另外，圖 11A 及圖 11B 分別示出該步驟的閘極佈線端子部的截面圖及俯視圖。圖 11A 相當於沿著圖 11B 中的 C1-C2 線的截面圖。在圖 11A 中，形成在氧化物絕緣膜 107 上的導電膜 155 是用作輸入端子的連接用端子電極。另外，在圖 11A 中，在端子部中，由與閘極佈線相同的材料形成的第一端子 151 和由與源極電極佈線相同的材料形成的連接電極 153 隔著閘極絕緣層重疊而直接接觸地被導通。另外，連接電極 153 和導電膜 155 藉由設置在氧化物絕緣膜 107 中的接觸孔直接接觸地被導通。

另外，圖 11C 及圖 11D 分別示出該步驟的閘極佈線端子部的截面圖和俯視圖。另外，圖 11C 相當於沿著圖 11D 中的 D1-D2 線的截面圖。在圖 11C 中，形成在氧化物絕緣膜 107 上的導電膜 155 是用作輸入端子的連接用端子電極。另外，在圖 11C 中，在端子部中，由與閘極佈線相同的材料形成的電極 156 在與源極電極佈線電連接的第二端子 150 的下方隔著閘極絕緣層 102 與其重疊。電極 156 不與第二端子 150 電連接，藉由將電極 156 設定爲與第二端子 150 不同的電位，例如浮動狀態、GND、0V 等，可以形成用於對雜波的措施的電容或用於對靜電的措施的電容。此外，第二端子 150 隔著氧化物絕緣膜 107 與

導電膜 155 電連接。

根據像素密度設置多個閘極佈線、源極電極佈線及電容佈線。此外，在端子部中，排列地配置多個電位與閘極佈線相同的第一端子、多個電位與源極電極佈線相同的第二端子以及多個電位與電容佈線相同的第三端子等。各端子的數量可以是任意的，實施者可以適當地決定各端子的數量。

由此，藉由 6 回的微影步驟，可以使用 6 個光掩罩完成具有薄膜電晶體 180 的驅動電路部、具有薄膜電晶體 170 的像素部、具有儲存電容的電容 147 及外部提取端子部。藉由將薄膜電晶體和儲存電容對應於每個像素配置為矩陣狀來構成像素部，可以將其用作用來製造主動矩陣型顯示裝置的一方的基板。在本說明書中，為方便起見將這種基板稱為主動矩陣基板。

當製造主動矩陣型液晶顯示裝置時，在主動矩陣基板和設置有對置電極的對置基板之間設置液晶層來固定主動矩陣基板和對置基板。另外，將與設置在對置基板的對置電極電連接的共同電極設置在主動矩陣基板上，並且在端子部設置與共同電極電連接的第四端子。該第四端子是用來將共同電極設定為固定電位例如 GND、0V 等的端子。

在氧化物絕緣膜 107、導電層 111、像素電極層 110 上形成用作對準膜的絕緣層 191。

在對置基板 190 上形成著色層 195、對置電極層 194 以及用作對準膜的絕緣層 193。使用密封材料（未圖示）

以隔著調節液晶顯示裝置的單元間隙的間隔物並夾著液晶層 192 的方式貼合基板 100 和對置基板 190。可以在減壓下進行上述貼合步驟。

作為密封材料，通常最好使用可見光固化樹脂、紫外線固化樹脂或者熱固化樹脂。典型地，可以使用丙烯酸樹脂、環氧樹脂或氨基樹脂等。另外，還可以含有光（典型的是紫外線）聚合引發劑、熱固化劑、填充物、耦合劑。

液晶層 192 是藉由將液晶材料封入到空隙中而形成的。作為液晶層 192，既可以在貼合基板 100 和對置基板 190 之前使用利用滴落的分配器法（滴落法）來形成，也可以在將基板 100 與對置基板 190 貼合之後利用毛細現象來植入液晶的植入法來形成。對於液晶材料沒有特殊的限定，而可以使用各種材料。另外，當液晶材料使用呈現藍相的材料時不需要對準膜。

藉由在基板 100 的外側設置偏光板 196a 並在對置基板 190 的外側設置偏光板 196b，可以製造本實施例中的透過性的液晶顯示裝置（參照圖 1）。

另外，雖然沒有圖示，適當地設置黑矩陣（遮光層）、偏振構件、相位差構件及防止反射構件等的光學構件（光學基板）等。例如，也可以使用利用偏光板及相位差板的圓偏振。此外，也可以使用背光燈或側光燈等作為光源。

在主動矩陣型液晶顯示裝置中，藉由驅動配置為矩陣狀的像素電極，在畫面上形成顯示圖案。詳細地說，藉由

在被選擇的像素電極和對應於該像素電極的對置電極之間施加電壓，進行配置在像素電極和對置電極之間的液晶層的光學調變，該光學調變被觀察者識別為顯示圖案。

當液晶顯示裝置顯示動態圖像時，由於液晶分子本身的響應慢，所以有產生餘象或動態圖像的模糊的問題。有一種所謂的被稱為黑插入的驅動技術，在該驅動技術中為了改善液晶顯示裝置的動態圖像特性，而每隔一幀地進行整個畫面的黑顯示。

此外，還有所謂的被稱為倍速驅動的驅動技術，其中藉由將垂直同步頻率設定為通常的 1.5 倍或 2 倍以上來改善動態圖像特性。

另外，還有如下驅動技術：為了改善液晶顯示裝置的動態圖像特性，作為背光燈使用多個 LED（發光二極體）光源或多個 EL 光源等來構成面光源，並使構成面光源的各光源獨立地以脈衝方式在一個幀期間內進行驅動。作為面光源，可以使用三種以上的 LED 或白色發光的 LED。由於可以獨立地控制多個 LED，因此也可以按照液晶層的光學調變的切換時序使 LED 的發光時序同步。因為在該驅動技術中可以部分地關斷 LED，所以尤其是在進行一個畫面中的黑色顯示區所占的比率高的圖像顯示的情況下，可以得到耗電量減少的效果。

藉由組合這些驅動技術，與現有的液晶顯示裝置相比，可以進一步改善液晶顯示裝置的動態圖像特性等的顯示特性。

藉由利用使用氧化物半導體的薄膜電晶體來形成，可以降低製造成本。尤其是，藉由根據上述方法接觸於氧化物半導體層地形成氧化絕緣膜，可以製造並提供具有穩定的電特性的薄膜電晶體。所以，可以提供具有電特性良好且可靠性高的薄膜電晶體的半導體裝置。

因為通道形成區的半導體層為高電阻區域，所以薄膜電晶體的電特性穩定，而可以防止截止電流的增加等。因此，可以製造具有電特性良好且可靠性高的薄膜電晶體的半導體裝置。

另外，由於薄膜電晶體容易因靜電等而被損壞，所以最好將保護電路設置在與像素部或驅動電路相同的基板上。最好採用使用氧化物半導體層的非線性元件構成保護電路。例如，將保護電路設置在像素部和掃描線輸入端子及信號線輸入端子之間。在本實施例中，設置多個保護電路，以便在掃描線、信號線及電容匯流排因靜電等而被施加浪湧電壓時像素電晶體等不被損壞。因此，保護電路採用當其被施加浪湧電壓時向共同佈線釋放電荷的結構。另外，保護電路由並聯配置在掃描線和共同佈線之間的非線性元件構成。非線性元件由二極體等的二端子元件或電晶體等的三端子元件構成。例如，非線性元件也可以使用與像素部的薄膜電晶體 170 相同的步驟形成，例如藉由電晶體的連接閘極端子和汲極電極端子，可以使非線性元件具有與二極體同樣的特性。

本實施例可以與其他實施例所記載的結構適當地組合

而實施。

實施例 2

在本實施例中，使用圖 6A 至 6D 及圖 7A 和 7B 示出在實施例 1 中在氧化物半導體層與源極電極層或汲極電極層之間設置氧化物導電層作為源極區及汲極區的例子。因此，由於本實施例的其他部分可以與實施例 1 同樣地實施，所以省略對與實施例 1 相同的部分或具有同樣作用的部分及步驟的重複說明。另外，由於圖 6A 至 6D 及圖 7A 和 7B 與圖 1 至圖 5 除了步驟的一部分相異之外其他都相同，所以使用相同的符號表示相同的部分並省略對相同部分的詳細說明。

首先，根據實施例 1 進行到實施例 1 中的圖 3B 為止的步驟。圖 6A 與圖 3B 相同。

在經過脫水化或脫氫化的氧化物半導體層 133、134 上形成氧化物導電膜 140，並在氧化物導電膜 140 上層疊由金屬導電材料構成的金屬導電膜。

作為氧化物導電膜 140 的成膜方法，可以使用濺射法、真空蒸鍍法（電子束蒸鍍法等）、電弧放電離子電鍍法或噴塗法。作為氧化物導電膜 140 的材料，最好在成分中含有氧化鋅而不含有氧化銮的材料。作為這種氧化物導電膜 140，可以適當地使用氧化鋅、氧化鋅鋁、氧氮化鋅鋁、氧化鋅鎘等。作為其厚度，可以在 50nm 以上且 300nm 以下的範圍內適當地進行選擇。另外，當使用濺射

法時，最好使用含有 2wt%以上且 10wt%以下的 SiO_2 的靶材進行成膜，以使氧化物導電膜含有阻礙晶化的 SiO_x ($x>0$)，以便抑制在後面的步驟中進行用於脫水化或脫氫化的加熱處理時被晶化。

接著，進行第四微影步驟，形成抗蝕劑掩罩 136a、136b、136c、136d、136e、136f，並根據蝕刻去除金屬導電膜的不需要的部分以形成源極電極層 105a、汲極電極層 105b、源極電極層 165a、汲極電極層 165b、連接電極 120 及第二端子 122 (參照圖 6B)。

當進行金屬導電膜的蝕刻時，以氧化物導電膜 140 及氧化物半導體層 133、134 不被去除的方式適當地調節各種材料及蝕刻條件。

接著，去除抗蝕劑掩罩 136a、136b、136c、136d、136e、136f，並以源極電極層 105a、汲極電極層 105b、源極電極層 165a、汲極電極層 165b 為掩罩對氧化物導電膜 140 進行蝕刻以形成氧化物導電層 164a、164b、氧化物導電層 104a、104b (參照圖 6C)。作為以氧化鋅為成分的氧化物導電膜 140，例如可以使用如抗蝕劑剝離液那樣的鹼性溶液容易地進行蝕刻。此外，在同步驟中在端子部中也形成氧化物導電層 138、139。

利用氧化物半導體層和氧化物導電膜的蝕刻速度差，進行分割用來形成通道形成區的氧化物導電膜的蝕刻處理。利用氧化物導電膜的蝕刻速度比氧化物半導體層的蝕刻速度快這一點，對氧化物半導體層上的氧化物導電膜進

行選擇性地蝕刻。

因此，最好利用灰化步驟去除抗蝕劑掩罩 136a、136b、136c、136d、136e、136f。當進行使用剝離液的蝕刻時，以氧化物導電膜 140 及氧化物半導體層 133、134 不被過剩地蝕刻的方式適當地調節蝕刻條件（蝕刻劑的種類、濃度、蝕刻時間）。

藉由如本實施例所示那樣，在將氧化物半導體層蝕刻為島狀之後層疊氧化物導電膜和金屬導電膜，並使用同一掩罩蝕刻包括源極電極層及汲極電極層的佈線圖案，可以使氧化物導電膜殘留在金屬導電膜的佈線圖案之下。

在閘極佈線（導電層 162）和源極電極佈線（汲極電極層 165b）的接觸部分中，藉由在源極電極佈線的下層形成氧化物導電層 164b，氧化物導電層 164b 成為緩衝層，並且氧化物導電層 164b 與金屬不形成絕緣性氧化物，所以是較佳的。

形成接觸於氧化物半導體層 133、134 的成為保護絕緣膜的氧化物絕緣膜 107。在本實施例中，使用濺射法形成 300nm 厚的氧化矽膜作為氧化物絕緣膜 107。

接著，在惰性氣體氣圍下或氮氣體氣圍下進行第二加熱處理（最好的是 200℃ 或以上且 400℃ 或以下，例如 250℃ 或以上且 350℃ 或以下）。例如，在氮氣圍下進行 250℃ 且 1 小時的第二加熱處理。當進行第二加熱處理時，重疊於氧化物絕緣膜 107 的氧化物半導體層 133、134 的一部分在接觸於氧化物絕緣膜 107 的狀態下被加

熱。

藉由上述步驟，對成膜後的氧化物半導體層進行用於脫水化或脫氫化的加熱處理而使其電阻降低之後，選擇性地使氧化物半導體層的一部分處於氧過剩狀態。

其結果，在氧化物半導體層 133 中，與閘極電極層 161 重疊的通道形成區 166 成爲 I 型，重疊於源極電極層 165a 及氧化物導電層 164a 的高電阻源極區 167a 和重疊於汲極電極層 165b 及氧化物導電層 164b 的高電阻汲極區 167b 以自對準的方式形成，並形成有氧化物半導體層 163。同樣地，在氧化物半導體層 134 中，通道形成區 116 成爲 I 型，重疊於源極電極層 105a 及氧化物導電層 104a 的高電阻源極區 117a 和重疊於汲極電極層 105b 及氧化物導電層 104b 的高電阻汲極區 117b 以自對準的方式形成，並形成有氧化物半導體層 103。

設置在氧化物半導體層 163、103 和由金屬材料構成的汲極電極層 105b、汲極電極層 165b 之間的氧化物導電層 104b、164b 也發揮作爲低電阻汲極區（LRN（低電阻 N 型導電型：Low Resistanse N-type conductivity）區（也稱爲 LRD（低電阻汲極電極：Low Resistance Drain）區））的功能。同樣地，設置在氧化物半導體層 163、103 和由金屬材料構成的源極電極層 105a、源極電極層 165a 之間的氧化物導電層 104a、164a 也發揮作爲低電阻源極區（LRN（低電阻 N 型導電型：Low Resistanse N-type conductivity）區（也稱爲 LRD（低電阻源極電極：

Low Resistance Source) 區)) 的功能。藉由採用氧化物半導體層、低電阻汲極區、由金屬材料構成的汲極電極層的結構，可以進一步提高電晶體的耐壓。明確而言，最好低電阻汲極區的載子濃度大於高電阻汲極區 (HRD 區)，例如在 $1 \times 10^{20}/\text{cm}^3$ 以上且 $1 \times 10^{21}/\text{cm}^3$ 以下的範圍內。

根據上述步驟，可以在同一基板上，在驅動電路中形成薄膜電晶體 181 並在像素部中形成薄膜電晶體 171。薄膜電晶體 171、181 是包括高電阻源極區、高電阻汲極區及包括通道形成區的氧化物半導體層的底柵型薄膜電晶體。所以，薄膜電晶體 171、181 具有以下結構：即使其被施加高電場，由於高電阻汲極區或高電阻源極區成為緩衝區而不被施加局部性的高電場，所以電晶體的耐壓性得到提高。

另外，在電容部中形成有電容 146，該電容 146 由電容佈線 108、閘極絕緣層 102、由與氧化物導電層 104b 相同步驟形成的氧化物導電層、由與汲極電極層 105b 相同步驟形成的金屬導電層以及氧化物絕緣膜 107 的疊層構成。

另外，矽氧烷類樹脂相當於以矽氧烷類材料為起始材料而形成的包含 Si-O-Si 鍵的樹脂。作為矽氧烷類樹脂的取代基，也可以使用有機基（例如烷基、芳基）、氟基團。另外，有機基也可以具有氟基團。

接著，在氧化物絕緣膜 107 上形成平坦化絕緣層

109。另外，在本實施例中，僅在像素部中形成平坦化絕緣層 109。作為平坦化絕緣層 109，可以使用具有耐熱性的有機材料如聚醯亞胺、丙烯酸樹脂、苯並環丁烯、聚醯胺、環氧樹脂等。另外，除了上述有機材料之外，還可以使用低介電常數材料（low-k 材料）、矽氧烷類樹脂、PSG（磷矽玻璃）、BPSG（硼磷矽玻璃）等。另外，也可以藉由層疊多個由這些材料形成的絕緣膜來形成平坦化絕緣層 109。

對平坦化絕緣層 109 的形成方法沒有特別的限制，可以根據其材料利用濺射法、SOG 法、旋塗、浸漬、噴塗、液滴噴射法（噴墨法、絲網印刷、膠版印刷等）、刮片、輥塗機、幕塗機、刮刀塗佈機等。在本實施例中，使用感光性的感光性丙烯酸樹脂形成平坦化絕緣層 109。

接著，進行第五微影步驟，形成抗蝕劑掩罩，藉由對平坦化絕緣層 109 及氧化物絕緣膜 107 進行蝕刻來形成到達汲極電極層 105b 的接觸孔 125，然後去除抗蝕劑掩罩（參照圖 6D）。另外，還藉由該蝕刻形成到達第二端子 122 的接觸孔 127 及到達連接電極 120 的接觸孔 126。

接著，形成具有透光性的導電膜，並進行第六微影步驟來形成抗蝕劑掩罩，利用蝕刻去除不需要的部分以形成像素電極層 110、導電層 111、端子電極 128、129，然後去除抗蝕劑掩罩（參照圖 7A）。

與實施例 1 同樣地，以夾著液晶層 192 的方式貼合基板 100 和對置基板 190 來製造本實施例的液晶顯示裝置

(參照圖 7B)。

作為源極區及汲極區，藉由將氧化物導電層設置在氧化物半導體層與源極電極層及汲極電極層之間，可以實現源極區及汲極區的低電阻化，從而可以使電晶體高速工作。藉由將氧化物導電層用作源極區及汲極區，可以有效地提高週邊電路（驅動電路）的頻率特性。這是由於以下緣故：與金屬電極（Ti 等）和氧化物半導體層的接觸相比，金屬電極（Ti 等）和氧化物導電層的接觸可以降低接觸電阻。

另外，用於液晶面板中的佈線材料的一部分的鉬（Mo）（例如，Mo/Al/Mo）存在與氧化物半導體層的接觸電阻較大的問題。這是由於以下緣故：與 Ti 相比 Mo 不容易氧化所以其從氧化物半導體層中奪取氧的能力較弱，而導致 Mo 和氧化物半導體層的接觸介面不容易 n 型化。但是，即使在這種情況下，藉由使氧化物半導體層和源極電極層及汲極電極層之間夾著氧化物導電層，可以降低接觸電阻，從而可以提高週邊電路（驅動電路）的頻率特性。

由於薄膜電晶體的通道長度由氧化物導電層的蝕刻決定，所以可以將通道長度形成得較短。例如，可以將通道長度 L 形成得較短， $0.1\mu\text{m}$ 或以上且 $2\mu\text{m}$ 或以下，來可以使工作速度高速化。

實施例 3

在本實施例中，使用圖 8A 至 8D 及圖 9A 和 9B 示出在實施例 1 或實施例 2 中在氧化物半導體層與源極電極層或汲極電極層之間設置氧化物導電層作為源極區及汲極區的其他例子。因此，由於本實施例的其他部分可以與實施例 1 或實施例 2 同樣地實施，所以省略對與實施例 1 或實施例 2 相同的部分或具有同樣作用的部分及步驟的重複說明。另外，由於圖 8A 至 8D 及圖 9A 和 9B 與圖 1 至圖 7A 和 7B 除了步驟的一部分相異之外其他都相同，所以使用相同的符號表示相同的部分並省略對相同部分的詳細說明。

首先，根據實施例 1 在基板 100 上形成金屬導電膜，然後使用藉由第一微影步驟形成的抗蝕劑掩罩對金屬導電膜進行蝕刻，來形成第一端子 121、閘極電極層 161、導電層 162、閘極電極層 101 及電容佈線 108。

接著，在第一端子 121、閘極電極層 161、導電層 162、閘極電極層 101 及電容佈線 108 上形成閘極絕緣層 102，並層疊氧化物半導體膜和氧化物導電膜。可以在不暴露於大氣的條件下連續地形成閘極絕緣層、氧化物半導體膜及氧化物導電膜。

利用第二微影步驟在氧化物導電膜上形成抗蝕劑掩罩。使用抗蝕劑掩罩對閘極絕緣層、氧化物半導體膜及氧化物導電膜進行蝕刻，來形成到達第一端子 121 的接觸孔 119 以及到達導電層 162 的接觸孔 118。

利用第二微影步驟去除抗蝕劑掩罩，接著利用第三微

影步驟在氧化物導電膜上形成抗蝕劑掩罩。利用藉由第三微影步驟而形成的抗蝕劑掩罩形成島狀的氧化物半導體層及氧化物導電層。

如此，在將氧化物半導體膜及氧化物導電膜層疊在整個閘極絕緣層的表面狀態下進行在閘極絕緣層中形成接觸孔的步驟時，由於閘極絕緣層的表面不直接接觸抗蝕劑掩罩，所以可以防止閘極絕緣層表面被污染（雜質等的附著等）。因此，可以使閘極絕緣層與氧化物半導體膜、氧化物導電膜之間的介面狀態為良好，從而提高可靠性。

接著，在氧化物半導體層及氧化物導電層互相層疊的狀態下進行脫水化、脫氫化的熱處理。藉由以 400℃ 至 700℃ 的溫度進行熱處理，可以進行氧化物半導體層的脫水化、脫氫化，而可以防止此後的水（ H_2O ）的再次侵入。

根據該熱處理，只要氧化物導電層不含有氧化矽之類的阻礙晶化的物質就可以使氧化物導電層晶化。氧化物導電層的結晶相對於基底面以柱狀生長。其結果，當為了形成源極電極層及汲極電極層而對氧化物導電層的上層的金屬電導電膜進行蝕刻時，可以防止形成根切（undercut）。

另外，藉由氧化物半導體層的脫水化、脫氫化的熱處理，可以提高氧化物導電層的導電性。另外，還可以僅對氧化物導電層進行比氧化物半導體層的熱處理更低溫的熱處理。

另外，作為氧化物半導體層及氧化物導電層的第一加熱處理，也可以對加工為島狀的氧化物半導體層及氧化物導電層之前的氧化物半導體膜及氧化物導電膜進行。在這種情況下，在第一加熱處理之後從加熱裝置取出基板，然後進行微影步驟。

藉由上述步驟可以得到氧化物半導體層 133、134、氧化物導電層 142、143（參照圖 8A）。氧化物半導體層 133 及氧化物導電層 142、氧化物半導體層 134 及氧化物導電層 143 分別為使用相同掩罩形成的島狀疊層。

接著，進行第四微影步驟，形成抗蝕劑掩罩 136a、136b、136c、136d、136e、136f，並根據蝕刻去除金屬導電膜的不需要的部分以形成源極電極層 105a、汲極電極層 105b、源極電極層 165a、汲極電極層 165b、連接電極 120 及第二端子 122（參照圖 8B）。

當進行金屬導電膜的蝕刻時，以氧化物導電層 142、143 及氧化物半導體層 133、134 不被去除的方式適當地調節各種材料及蝕刻條件。

接著，去除抗蝕劑掩罩 136a、136b、136c、136d、136e、136f，並以源極電極層 105a、汲極電極層 105b、源極電極層 165a、汲極電極層 165b 為掩罩對氧化物導電層 142、143 進行蝕刻以形成氧化物導電層 164a、164b、氧化物導電層 104a、104b（參照圖 8C）。作為以氧化鋅為成分的氧化物導電層 142、143，例如可以使用如抗蝕劑剝離液那樣的鹼性溶液容易地進行蝕刻。

因此，最好利用灰化步驟去除抗蝕劑掩罩 136a、136b、136c、136d、136e、136f。當進行使用剝離液的蝕刻時，以氧化物導電層 142、143 及氧化物半導體層 133、134 不被過剩地蝕刻的方式適當地調節各種材料及蝕刻條件。

形成接觸於氧化物半導體層 133、134 的成爲保護絕緣膜的氧化物絕緣膜 107。在本實施例中，使用濺射法形成 300nm 厚的氧化矽膜作爲氧化物絕緣膜 107。

接著，在惰性氣體氣圍下或氮氣體氣圍下進行第二加熱處理（最好是 200°C 或以上且 400°C 或以下，例如 250°C 或以上且 350°C 或以下）。例如，在氮氣圍下進行 250°C 且 1 小時的第二加熱處理。當進行第二加熱處理時，重疊於氧化物絕緣膜 107 的氧化物半導體層 133、134 的一部分在接觸於氧化物絕緣膜 107 的狀態下被加熱。

藉由上述步驟，對成膜後的氧化物半導體層進行用於脫水化或脫氫化的加熱處理而使其電阻降低之後，選擇性地使氧化物半導體層的一部分處於氧過剩狀態。

其結果，在氧化物半導體層 133 中，與閘極電極層 161 重疊的通道形成區 166 成爲 I 型，重疊於源極電極層 165a 及氧化物導電層 164a 的高電阻源極區 167a 和重疊於汲極電極層 165b 及氧化物導電層 164b 的高電阻汲極區 167b 以自對準的方式形成，並形成有氧化物半導體層 163。同樣地，在氧化物半導體層 134 中，重疊於閘極電極層 101 的通道形成區 116 成爲 I 型，重疊於源極電極層

105a 及氧化物導電層 104a 的高電阻源極區 117a 和重疊於汲極電極層 105b 及氧化物導電層 104b 的高電阻汲極區 117b 以自對準的方式形成，並形成有氧化物半導體層 103。

設置在氧化物半導體層 163、103 和由金屬材料構成的汲極電極層 105b、汲極電極層 165b 之間的氧化物導電層 104b、164b 也發揮作為低電阻汲極區（LRN 區、也稱為 LRD 區）的功能。同樣地，設置在氧化物半導體層 163、103 和由金屬材料構成的源極電極層 105a、源極電極層 165a 之間的氧化物導電層 104a、164a 也發揮作為低電阻源極區（LRN 區、也稱為 LRD 區）的功能。藉由採用氧化物半導體層、低電阻汲極區、由金屬材料構成的汲極電極層的結構，可以進一步提高電晶體的耐壓。明確而言，最好低電阻汲極區的載子濃度大於高電阻汲極區（HRD 區），例如在 $1 \times 10^{20}/\text{cm}^3$ 或以上且 $1 \times 10^{21}/\text{cm}^3$ 或以下的範圍內。

根據上述步驟，可以在同一基板上，在驅動電路中形成薄膜電晶體 182 並在像素部中形成薄膜電晶體 172。薄膜電晶體 172、182 是包括高電阻源極區、高電阻汲極區及包括通道形成區的氧化物半導體層的底柵型薄膜電晶體。所以，薄膜電晶體 172、182 具有以下結構：即使其被施加高電場，由於高電阻汲極區或高電阻源極區成為緩衝區而不被施加局部性的高電場，所以電晶體的耐壓性得到提高。

接著，進行第五微影步驟，形成抗蝕劑掩罩，藉由對氧化物絕緣膜 107 進行蝕刻來形成到達汲極電極層 105b 的接觸孔 125，然後去除抗蝕劑掩罩（參照圖 8D）。另外，還藉由該蝕刻形成到達第二端子 122 的接觸孔 127 及到達連接電極 120 的接觸孔 126。

接著，形成具有透光性的導電膜，並進行第六微影步驟來形成抗蝕劑掩罩，利用蝕刻去除不需要的部分以形成像素電極層 110、導電層 111、端子電極 128、129，然後去除抗蝕劑掩罩（參照圖 9A）。

與實施例 1 同樣地，以夾著液晶層 192 的方式貼合基板 100 和對置基板 190 來製造本實施例的液晶顯示裝置（參照圖 9B）。

作為源極區及汲極區，藉由將氧化物導電層設置在氧化物半導體層與源極電極層及汲極電極層之間，可以實現源極區及汲極區的低電阻化，從而可以使電晶體高速工作。將氧化物導電層用作源極區及汲極區可以有效地提高週邊電路（驅動電路）的頻率特性。這是由於以下緣故：與金屬電極（Ti 等）和氧化物半導體層的接觸相比，金屬電極（Ti 等）和氧化物導電層的接觸可以降低接觸電阻。

藉由使氧化物半導體層和源極電極層及汲極電極層之間夾著氧化物導電層，可以降低接觸電阻，從而可以提高週邊電路（驅動電路）的頻率特性。

由於薄膜電晶體的通道長度由氧化物導電層的蝕刻決定，所以可以將通道長度形成得較短。例如，可以將通道

長度形成得較短， $0.1\mu\text{m}$ 或以上且 $2\mu\text{m}$ 或以下，來可以使工作速度高速化。

實施例 4

在此示出以下例子：在第一基板和第二基板之間密封有液晶層的液晶顯示裝置中，將用來與設置在第二基板的對置電極電連接的共同連接部形成在第一基板上。另外，在第一基板上形成有用作切換元件的薄膜電晶體，藉由共同地進行共同連接部的製造製程與和像素部的切換元件的製造製程，可以在不使製程複雜化的情況下形成共同連接部和像素部的切換元件。

共同連接部配置在與用來黏合第一基板和第二基板的密封材料重疊的位置，並藉由包含在密封材料中的導電粒子與對置電極電連接。或者，將共同連接部設置在不與密封材料重疊的部分（但是，該部分不包括像素部），並以與共同連接部重疊的方式將包含導電粒子的膏劑與密封材料另行設置，而使共同連接部與對置電極電連接。

圖 36A 示出將薄膜電晶體和共同連接部製造在同一基板上的半導體裝置的截面結構圖。

在圖 36A 中，與像素電極層 227 電連接的薄膜電晶體 220 是設置在像素部的通道蝕刻型薄膜電晶體，並且在本實施例中，該薄膜電晶體採用與實施例 1 的薄膜電晶體 170 相同的結構。

此外，圖 36B 是示出共同連接部的俯視圖的一個例子

的圖。並且沿附圖中的虛線 C3-C4 的共同連接部的截面圖相當於圖 36A。另外，在圖 36B 中，使用與圖 36A 同一附圖標記說明與圖 36A 相同的部分。

共同電位線 210 設置在閘極絕緣層 202 上並利用與薄膜電晶體 220 的源極電極層及汲極電極層相同的材料及步驟製造。

此外，共同電位線 210 被保護絕緣層 203 覆蓋，並且保護絕緣層 203 在與共同電位線 210 重疊的位置中具有多個開口部。該開口部使用與連接薄膜電晶體 220 的汲極電極層和像素電極層 227 的接觸孔相同的步驟製造。

注意，在此由於其面積尺寸大不相同，所以分別將其稱為像素部中的接觸孔和共同連接部的開口部。另外，在圖 36A 中，像素部和共同連接部使用不同的縮尺來圖示，例如共同連接部的虛線 C3-C4 的長度為 $500\mu\text{m}$ 左右，而薄膜電晶體的寬度小於 $50\mu\text{m}$ ，雖然實際上面積尺寸是其 10 倍以上，但是為了容易理解，在圖 36A 中分別改變像素部和共同連接部的縮尺而進行圖示。

另外，共同電極層 206 設置在保護絕緣層 203 上，並使用與像素部的像素電極層 227 相同的材料及步驟而製造。

如此，與像素部的切換元件的製造製程共同地進行共同連接部的製造製程。最好採用使用金屬佈線作為共同電位線以降低佈線電阻的結構。

並且，使用密封材料對設置有像素部和共同連接部的

第一基板和具有對置電極的第二基板進行固定。

當使密封材料包含導電粒子時，以使密封材料與共同連接部重疊的方式對一對基板進行位置對準。例如，在小型的液晶面板中，在像素部的對角等上與密封材料重疊地配置兩個共同連接部。另外，在大型的液晶面板中，與密封材料重疊地配置四個以上的共同連接部。

另外，共同電極層 206 是與包含在密封材料中的導電粒子接觸的電極，並與第二基板的對置電極電連接。

當使用液晶植入法時，在使用密封材料將一對基板固定之後，將液晶植入到一對基板之間。另外，當使用液晶滴落法時，在第二基板或第一基板上塗畫密封材料，在滴落液晶之後，在減壓下對一對基板進行貼合。

另外，在本實施例中，雖然示出與對置電極電連接的共同連接部的例子，但是不侷限於此，還可以將其用作與其他的佈線連接的連接部或與外部連接端子等連接的連接部。

本實施例可以與其他實施例所記載的結構適當地組合而實施。

實施例 5

在本實施例中，圖 10 示出薄膜電晶體的製造製程的一部分與實施例 1 不同的例子。因為圖 10 的製程除了其一部分之外與圖 1 至圖 5 的製程相同，所以使用相同的附圖標記表示相同的部分而省略相同的部分的詳細說明。

首先，根據實施例 1，在基板上形成閘極電極層、閘極絕緣層及氧化物半導體膜 130，並藉由第二微影步驟將氧化物半導體膜 130 加工為島狀的氧化物半導體層 131、132。

接著，進行氧化物半導體層 131、132 的脫水化或脫氫化。將進行脫水化或脫氫化的第一加熱處理的溫度設定為 400°C 或以上且低於基板的應變點，最好設定為 425°C 或以上。注意，當溫度為 425°C 或以上時，加熱處理時間為 1 小時以下即可，而當溫度低於 425°C 時，加熱處理時間為長於 1 小時。在此，將基板放入加熱處理裝置中之一種的電爐中，並在氮氣圍下對氧化物半導體層進行加熱處理，然後不使其接觸於大氣而防止水或氫再次混入到氧化物半導體層，來獲得氧化物半導體層。然後，在相同的爐中引入高純度的氧氣體、高純度的 N₂O 氣體或超乾燥空氣 (ultra dry air) (露點為 -40°C 或以下，最好為 -60°C 或以下) 來進行冷卻。最好不使氧氣體或 N₂O 氣體包含水、氫等。或者，最好將引入到加熱處理裝置的氧氣體或 N₂O 氣體的純度設定為 6N (99.9999%) 或以上，更佳的是將其設定為 7N (99.99999%) 或以上 (也就是說，將氧氣體或 N₂O 氣體中的雜質濃度設定為 1ppm 或以下，最好設定為 0.1ppm 或以下)。

另外，加熱處理裝置不侷限於電爐，例如還可以使用 GRTA (Gas Rapid Thermal Anneal，即氣體快速熱退火) 裝置、LRTA (Lamp Rapid Thermal Anneal，即燈快速熱

退火) 裝置等的 RTA (Rapid Thermal Anneal) 裝置。LRTA 裝置是利用從燈如鹵素燈、金鹵燈、氙弧燈、碳弧燈、高壓鈉燈或高壓汞燈等發出的光(電磁波)的輻射加熱被處理物的裝置。此外，LRTA 裝置除了燈以外還可以具備由從電阻發熱體等的發熱體的熱傳導或熱輻射來加熱被處理物的設備。GRTA 是指使用高溫氣體進行加熱處理的方法。作為氣體，使用即使進行加熱處理也不與被處理物產生反應的如氫等的稀有氣體或氮。可以利用 RTA 法以 600°C 至 750°C 進行幾分鐘的加熱處理。

此外，也可以在進行脫水化或脫氫化的第一加熱處理之後，在氧氣體或 N₂O 氣體氣圍下以 200°C 或以上且 400°C 或以下，最好以 200°C 或以上且 300°C 或以下的溫度進行加熱處理。

此外，也可以對加工為島狀氧化物半導體層之前的氧化物半導體膜 130 進行氧化物半導體層 131、132 的第一加熱處理。在此情況下，在第一加熱處理之後從加熱裝置取出基板並進行微影步驟。

藉由上述步驟使氧化物半導體膜的整體處於氧過剩狀態，來進行高電阻化，即 I 型化。由此，可以得到整體都被 I 型化的氧化物半導體層 168、118。

接著，利用第三微影步驟在氧化物半導體層 168、118 上形成抗蝕劑掩罩，並進行選擇性地蝕刻以形成源極電極層及汲極電極層，並利用濺射法形成氧化物絕緣膜 107。

接著，爲了減少薄膜電晶體的電特性的不均勻，也可以在惰性氣圍下或氮氣體氣圍下進行加熱處理（最好以 150°C 或以上且低於 350°C）。例如，在氮氣圍下以 250°C 進行 1 小時的加熱處理。

利用第四微影步驟形成抗蝕劑掩罩，並藉由選擇性地蝕刻在閘極絕緣層及氧化物絕緣膜中形成到達第一端子 121、導電層 162、汲極電極層 105b 及第二端子 122 的接觸孔。在形成具有透光性的導電膜之後，利用第五微影步驟形成抗蝕劑掩罩，並進行選擇性地蝕刻以形成像素電極層 110、端子電極 128、端子電極 129 及佈線層 145。

在本實施例中，示出不隔著連接電極 120 直接連接第一端子 121 和端子電極 128 的例子。另外，汲極電極層 165b 和導電層 162 藉由佈線層 145 連接。

另外，在電容部中形成有電容 148，該電容 148 由電容佈線 108、閘極絕緣層 102、由與源極電極層及汲極電極層相同步驟形成的金屬導電層、氧化物絕緣膜 107 及像素電極層 110 的疊層構成。

根據上述步驟，可以在同一基板上，在驅動電路中形成薄膜電晶體 183 並在像素部中形成薄膜電晶體 173。

與實施例 1 同樣地，以夾著液晶層 192 的方式貼合基板 100 和對置基板 190 來製造本實施例的液晶顯示裝置（參照圖 10）。

本實施例可以與其他實施例所記載的結構適當地組合而實施。

實施例 6

在本實施例中，下面說明在同一基板上至少製造驅動電路的一部分和配置在像素部的薄膜電晶體的例子。

根據實施例 1 至 5 形成配置在像素部的薄膜電晶體。此外，因為實施例 1 至 5 所示的薄膜電晶體是 n 通道型 TFT，所以將驅動電路中的可以由 n 通道型 TFT 構成的驅動電路的一部分形成在與像素部的薄膜電晶體同一基板上。

圖 12A 示出主動矩陣型顯示裝置的方塊圖的一個例子。在顯示裝置的基板 5300 上包括：像素部 5301；第一掃描線驅動電路 5302；第二掃描線驅動電路 5303；信號線驅動電路 5304。在像素部 5301 中配置有從信號線驅動電路 5304 延伸的多個信號線以及從第一掃描線驅動電路 5302 及第二掃描線驅動電路 5303 延伸的多個掃描線。此外，在掃描線與信號線的交叉區中將分別具有顯示元件的像素設置為矩陣形狀。另外，顯示裝置的基板 5300 藉由 FPC（撓性印刷電路）等連接部連接於時序控制電路 5305（也稱為控制器、控制 IC）。

在圖 12A 中，在與像素部 5301 相同的基板 5300 上形成第一掃描線驅動電路 5302、第二掃描線驅動電路 5303、信號線驅動電路 5304。由此，設置在外部的驅動電路等的構件的數量減少，所以可以實現成本的降低。另外，可以減少當在基板 5300 的外部設置驅動電路而使佈

線延伸時的連接部的連接數量，因此可以提高可靠性或良率。

另外，作為一個例子，時序控制電路 5305 向第一掃描線驅動電路 5302 供應第一掃描線驅動電路啓動信號（GSP1）、掃描線驅動電路時鐘信號（GCLK1）。此外，作為一個例子，時序控制電路 5305 向第二掃描線驅動電路 5303 供應第二掃描線驅動電路啓動信號（GSP2）（也稱爲起始脈衝）、掃描線驅動電路時鐘信號（GCLK2）。時序控制電路 5305 向信號線驅動電路 5304 供應信號線驅動電路啓動信號（SSP）、信號線驅動電路時鐘信號（SCLK）、視頻信號資料（DATA）（也簡單地稱爲視頻信號）及鎖存信號（LAT）。另外，各時鐘信號可以是錯開其週期的多個時鐘信號或者與使時鐘信號反轉的信號（CKB）一起供給的信號。另外，可以省略第一掃描線驅動電路 5302 和第二掃描線驅動電路 5303 中的一方。

圖 12B 示出在與像素部 5301 相同的基板 5300 上形成驅動頻率低的電路（例如，第一掃描線驅動電路 5302、第二掃描線驅動電路 5303），在與像素部 5301 不同的基板上形成信號線驅動電路 5304 的結構。藉由採用該結構，可以使用其場效應遷移率比使用單晶半導體的電晶體小的薄膜電晶體構形成在基板 5300 上的驅動電路。從而，可以實現顯示裝置的大型化、成本的降低或良率的提高等。

另外，實施例 1 至 5 所示的薄膜電晶體是 n 通道型 TFT。圖 13A 和圖 13B 示出由 n 通道型 TFT 構成的信號線驅動電路的結構、工作的一個例子而說明。

信號線驅動電路具有移位暫存器 5601 及開關電路部 5602。開關電路部 5602 具有多個電路，即開關電路 5602_1 至 5602_N (N 是自然數)。開關電路 5602_1 至 5602_N 分別具有多個電晶體，即薄膜電晶體 5603_1 至 5603_k (k 是自然數)。對薄膜電晶體 5603_1 至 5603_k 是 n 通道型 TFT 的例子進行說明。

以開關電路 5602_1 為例子說明信號線驅動電路的連接關係。薄膜電晶體 5603_1 至 5603_k 的第一端子分別連接到佈線 5604_1 至 5604_k。薄膜電晶體 5603_1 至 5603_k 的第二端子分別連接到信號線 S1 至 Sk。薄膜電晶體 5603_1 至 5603_k 的閘極連接到佈線 5604_1。

移位暫存器 5601 具有對佈線 5605_1 至 5605_N 依次輸出 H 電平 (也稱為 H 信號、高電源電位水平) 的信號，並依次選擇開關電路 5602_1 至 5602_N 的功能。

開關電路 5602_1 具有控制佈線 5604_1 至 5604_k 與信號線 S1 至 Sk 的導通狀態 (第一端子和第二端子之間的導通) 的功能，即將佈線 5604_1 至 5604_k 的電位供應還是不供應到信號線 S1 至 Sk 的功能。像這樣，開關電路 5602_1 具有作為選擇器的功能。另外，薄膜電晶體 5603_1 至 5603_k 分別具有控制佈線 5604_1 至 5604_k 與信號線 S1 至 Sk 的導通狀態的功能，即將佈線 5604_1 至

5604_k 的電位供應到信號線 S1 至 Sk 的功能。像這樣，薄膜電晶體 5603_1 至 5603_k 分別具有作為開關的功能。

另外，對佈線 5604_1 至 5604_k 分別輸入視頻信號用資料 (DATA)。在很多情況下，視頻信號資料 (DATA) 是根據圖像資訊或視頻信號的模擬信號。

接著，參照圖 13B 的時序圖說明圖 13A 的信號線驅動電路的工作。圖 13B 示出信號 Sout_1 至 Sout_N 及信號 Vdata_1 至 Vdata_k 的一個例子。信號 Sout_1 至 Sout_N 分別是移位暫存器 5601 的輸出信號的一個例子，並且信號 Vdata_1 至 Vdata_k 分別是輸入到佈線 5604_1 至 5604_k 的信號的一個例子。另外，信號線驅動電路的一個工作期間對應於顯示裝置中的一個閘極選擇期間。作為一個例子，一個閘極選擇期間被分割為期間 T1 至期間 TN。期間 T1 至期間 TN 分別是用來對屬於被選擇的行的像素寫入視頻信號資料 (DATA) 的期間。

在本實施例所示的附圖中，有時為了明瞭地示出，誇大表示各結構的信號波形的畸變。因此，不侷限於所示的尺寸。

在期間 T1 至期間 TN 中，移位暫存器 5601 將 H 電平的信號依次輸出到佈線 5605_1 至 5605_N。例如，在期間 T1 中，移位暫存器 5601 將高電平的信號輸出到佈線 5605_1。然後，薄膜電晶體 5603_1 至 5603_k 導通，所以佈線 5604_1 至 5604_k 與信號線 S1 至 Sk 處於導通狀態。此時，對佈線 5604_1 至 5604_k 輸入 Data (S1) 至 Data

(Sk)。Data (S1) 至 Data (Sk) 分別藉由薄膜電晶體 5603_1 至 5603_k 寫入到屬於被選擇的行的像素中的第一列至第 k 列的像素。藉由上述步驟，在期間 T1 至 TN 中，對屬於被選擇的行的像素的每 k 列按順序寫入視頻信號資料 (DATA)。

如上所述，藉由對每多個列的像素寫入視頻信號用資料 (DATA)，可以減少視頻信號資料 (DATA) 的數量或佈線的數量。因此，可以減少與外部電路的連接數量。此外，藉由對每多個列的像素寫入視頻信號，可以延長寫入時間，因此可以防止視頻信號的寫入不足。

另外，作為移位暫存器 5601 及開關電路部 5602，可以使用由實施例 1 至 5 所示的薄膜電晶體構成的電路。此時，移位暫存器 5601 所具有的所有電晶體的極性可以只由 n 通道型構成。

參照圖 14A 至 14D 及圖 15A 和 15B 說明用於掃描線驅動電路及/或信號線驅動電路的一部分的移位暫存器的一個方式。

掃描線驅動電路具有移位暫存器。此外，有時也可以具有電平移動器、緩衝器。在掃描線驅動電路中，藉由對移位暫存器輸入時鐘信號 (CLK) 及起始脈衝信號 (SP)，生成選擇信號。所生成的選擇信號在緩衝器中被緩衝放大並供應到對應的掃描線。掃描線連接到一行的像素的電晶體的閘極電極。而且，由於需要將一行的像素的電晶體同時導通，因此使用能夠使大電流流過的緩衝器。

移位暫存器具有第一脈衝輸出電路 10_1 至第 N 脈衝輸出電路 10_N (N 是 3 以上的自然數) (參照圖 14A)。對圖 14A 所示的移位暫存器的第一脈衝輸出電路 10_1 至第 N 脈衝輸出電路 10_N 從第一佈線 11 供應第一時鐘信號 CK1, 從第二佈線 12 供應第二時鐘信號 CK2, 從第三佈線 13 供應第三時鐘信號 CK3, 從第四佈線 14 供應第四時鐘信號 CK4。另外, 對第一脈衝輸出電路 10_1 輸入來自第五佈線 15 的起始脈衝 SP1 (第一起始脈衝)。此外, 對第二級以後的第 n 脈衝輸出電路 10_n (n 是 2 以上 N 以上的自然數) 輸入來自前一級的脈衝輸出電路的信號 (稱為前級信號 OUT (n-1)) (n 是 2 以上且 N 以下的自然數)。另外, 對第一脈衝輸出電路 10_1 輸入來自後二級的第三脈衝輸出電路 10_3 的信號。同樣地, 對第二級以後的第 n 脈衝輸出電路 10_n 輸入來自後二級的第 (n+2) 脈衝輸出電路 10_(n+2) 的信號 (後級信號 OUT (n+2))。從而, 從各級的脈衝輸出電路輸出用來輸入到後級及/或前二級的脈衝輸出電路的第一輸出信號 (OUT (1) (SR) 至 OUT (N) (SR))、電連接到其他佈線等的第二輸出信號 (OUT (1) 至 OUT (N))。另外, 如圖 14A 所示, 由於不對移位暫存器的最後級的兩個級輸入後級信號 OUT (n+2), 所以作為一個例子, 採用另行分別輸入第二起始脈衝 SP2、第三起始脈衝 SP3 的結構即可。

另外, 時鐘信號 (CK) 是以一定間隔反復 H 電平和

L 電平（也稱爲 L 信號、低電源電位水平）的信號。在此，第一時鐘信號（CK1）至第四時鐘信號（CK4）依次遲延 $1/4$ 週期。在本實施例中，利用第一時鐘信號（CK1）至第四時鐘信號（CK4）而進行脈衝輸出電路的驅動的 control 等。注意，時鐘信號根據所輸入的驅動電路有時稱爲 GCLK、SCLK，在此稱爲 CK 而說明。

第一輸入端子 21、第二輸入端子 22 及第三輸入端子 23 電連接到第一佈線 11 至第四佈線 14 中的任一個。例如，在圖 14A 中，在第一脈衝輸出電路 10_1 中，第一輸入端子 21 電連接到第一佈線 11，第二輸入端子 22 電連接到第二佈線 12，並且第三輸入端子 23 電連接到第三佈線 13。此外，在第二脈衝輸出電路 10_2 中，第一輸入端子 21 電連接到第二佈線 12，第二輸入端子 22 電連接到第三佈線 13，並且第三輸入端子 23 電連接到第四佈線 14。

第一脈衝輸出電路 10_1 至第 N 脈衝輸出電路 10_N 分別包括第一輸入端子 21、第二輸入端子 22、第三輸入端子 23、第四輸入端子 24、第五輸入端子 25、第一輸出端子 26、第二輸出端子 27（參照圖 14B）。在第一脈衝輸出電路 10_1 中，對第一輸入端子 21 輸入第一時鐘信號 CK1，對第二輸入端子 22 輸入第二時鐘信號 CK2，對第三輸入端子 23 輸入第三時鐘信號 CK3，對第四輸入端子 24 輸入起始脈衝，對第五輸入端子 25 輸入後級信號 OUT（3），從第一輸入端子 26 輸出第一輸出信號 OUT（1）

(SR)，從第二輸出端子 27 輸出第二輸出信號 OUT (1)。

另外，第一脈衝輸出電路 10_1 至第 N 脈衝輸出電路 10_N 除了三端子薄膜電晶體 (TFT: Thin Film Transistor) 之外還可以使用在上述實施例中說明的四端子薄膜電晶體。圖 14C 示出在上述實施例中說明的四端子薄膜電晶體 28 的等效電路。另外，在本說明書中，當薄膜電晶體隔著半導體層具有兩個閘極電極時，將位於半導體層的下方的閘極電極也稱為下方的閘極電極，而將位於半導體層的上方的閘極電極也稱為上方的閘極電極。

當將氧化物半導體用於薄膜電晶體的包括通道形成區的半導體層時，因製造製程而有時臨界值電壓移動到負一側或正一側。因此，在將氧化物半導體用於包括通道形成區的半導體層的薄膜電晶體中，最好採用能夠進行臨界值電壓的控制的結構。藉由控制上方及/或下方的閘極電極的電位，而可以將四端子的薄膜電晶體 28 的臨界值電壓控制為所希望的值。

接著，參照圖 14D 說明圖 14B 所示的脈衝輸出電路的具體的電路結構的一個例子。

圖 14D 所示的脈衝輸出電路具有第一電晶體 31 至第十三電晶體 43。此外，除了上述第一輸出端子 21 至第五輸出端子 25 以及第一輸出端子 26、第二輸出端子 27 以外，從被供應第一高電源電位 VDD 的電源線 51、被供應第二高電源電位 VCC 的電源線 52、被供應低電源電位

VSS 的電源線 53 對第一電晶體 31 至第十三電晶體 43 供應信號或電源電位。在此，示出圖 14D 的各電源線的電源電位的大小關係：即第一電源電位 VDD 是第二電源電位 VCC 以上的電位，並且第二電源電位 VCC 是大於第三電源電位 VSS 的電位。此外，第一時鐘信號（CK1）至第四時鐘信號（CK4）是以一定間隔反復 H 電平和 L 電平的信號，並且當 H 電平時電位為 VDD，並且當 L 電平時電位為 VSS。另外，藉由使電源線 51 的電位 VDD 高於電源線 52 的電位 VCC，可以不影響到工作地將施加到電晶體的閘極電極的電位抑制得低，並降低電晶體的臨界值的移動，而可以抑制劣化。另外，作為第一電晶體 31 至第十三電晶體 43 中的第一電晶體 31、第六電晶體 36 至第九電晶體 39，使用四端子薄膜電晶體。要求第一電晶體 31、第六電晶體 36 至第九電晶體利用閘極電極的控制信號切換連接有成為源極電極或汲極電極的電極之一的節點的電位。即，第一電晶體 31、第六電晶體 36 至第九電晶體是如下電晶體，即對於輸入到閘極電極的控制信號的回應越快（導通電流的上升陡峭），越可以減少脈衝輸出電路的錯誤工作。因此，藉由使用四端子薄膜電晶體，可以控制臨界值電壓，以可以得到更可以減少錯誤工作的脈衝輸出電路。

在圖 14D 的第一電晶體 31 中，第一端子電連接到電源線 51，第二端子電連接到第九電晶體 39 的第一端子，閘極電極（下方的閘極電極及上方的閘極電極）電連接到

第四輸入端子 24。在第二電晶體 32 中，第一端子電連接到電源線 53，第二端子電連接到第九電晶體 39 的第一端子，閘極電極電連接到第四電晶體 34 的閘極電極。在第三電晶體 33 中，第一端子電連接到第一輸入端子 21，第二端子電連接到第一輸出端子 26。在第四電晶體 34 中，第一端子電連接到電源線 53，第二端子電連接到第一輸出端子 26。在第五電晶體 35 中，第一端子電連接到電源線 53，第二端子電連接到第二電晶體 32 的閘極電極及第四電晶體 34 的閘極電極，閘極電極電連接到第四輸入端子 24。在第六電晶體 36 中，第一端子電連接到電源線 52，第二端子電連接到第二電晶體 32 的閘極電極及第四電晶體 34 的閘極電極，閘極電極（下方的閘極電極及上方的閘極電極）電連接到第五輸入端子 25。在第七電晶體 37 中，第一端子電連接到電源線 52，第二端子電連接到第八電晶體 38 的第二端子，閘極電極（下方的閘極電極及上方的閘極電極）電連接到第三輸入端子 23。在第八電晶體 38 中，第一端子電連接到第二電晶體 32 的閘極電極及第四電晶體 34 的閘極電極，閘極電極（下方的閘極電極及上方的閘極電極）電連接到第二輸入端子 22。在第九電晶體 39 中，第一端子電連接到第一電晶體 31 的第二端子及第二電晶體 32 的第二端子，第二端子電連接到第三電晶體 33 的閘極電極及第十電晶體 40 的閘極電極，閘極電極（下方的閘極電極及上方的閘極電極）電連接到電源線 52。在第十電晶體 40 中，第一端子電連接到

第一輸入端子 21，第二端子電連接到第二輸出端子 27，閘極電極電連接到第九電晶體 39 的第二端子。在第十一電晶體 41 中，第一端子電連接到電源線 53，第二端子電連接到第二輸出端子 27，閘極電極電連接到第二電晶體 32 的閘極電極及第四電晶體 34 的閘極電極。在第十二電晶體 42 中，第一端子電連接到電源線 53，第二端子電連接到第二輸出端子 27，閘極電極電連接到第七電晶體 37 的閘極電極（下方的閘極電極及上方的閘極電極）。在第十三電晶體 43 中，第一端子電連接到電源線 53，第二端子電連接到第一輸出端子 26，閘極電極電連接到第七電晶體 37 的閘極電極（下方的閘極電極及上方的閘極電極）。

在圖 14D 中，以第三電晶體 33 的閘極電極、第十電晶體 40 的閘極電極以及第九電晶體 39 的第二端子的連接部分為節點 A。此外，以第二電晶體 32 的閘極電極、第四電晶體 34 的閘極電極、第五電晶體 35 的第二端子、第六電晶體 36 的第二端子、第八電晶體 38 的第一端子以及第十一電晶體 41 的閘極電極的連接部分為節點 B。

圖 15A 示出如下信號，即當將圖 14D 所說明的脈衝輸出電路應用於第一脈衝輸出電路 10_1 時輸入到第一輸入端子 21 至第五輸入端子 25 的信號或者從第一輸出端子 26 及第二輸出端子 27 輸出的信號。

明確而言，對第一輸入端子 21 輸入第一時鐘信號 CK1，對第二輸入端子 22 輸入第二時鐘信號 CK2，對第

三輸入端子 23 輸入第三時鐘信號 CK3，對第四輸入端子 24 輸入起始脈衝，對第五輸入端子 25 輸入後級信號 OUT (3)，從第一輸出端子 26 輸出第一輸出信號 OUT (1) (SR)，並且從第二輸出端子 27 輸出第二輸出信號 OUT (1)。

此外，薄膜電晶體是指至少具有包括閘極、汲極電極以及源極電極的三個端子的元件。另外，在與閘極重疊的區域中具有形成通道形成區的半導體，因此藉由控制閘極的電位，可以藉由通道形成區控制流在汲極電極和源極電極之間的電流。在此，因為源極電極和汲極電極根據薄膜電晶體的結構或工作條件等而變化，所以很難限定哪個是源極電極哪個是汲極電極。因此，有時不將用作源極電極及汲極電極的區域稱為源極電極或汲極電極。在此情況下，作為一個例子，有時將用作源極電極及汲極電極的區域分別記為第一端子、第二端子。

另外，在圖 14D、圖 15A 中，也可以另行設置用來藉由使節點 A 處於浮動狀態來進行自舉工作的電容元件。另外，也可以另行設置將其一方的電極電連接到節點 B 的電容元件，以保持節點 B 的電位。

在此，圖 15B 示出圖 15A 所示的具備多個脈衝輸出電路的移位暫存器的時序圖。此外，在移位暫存器是掃描線驅動電路時，圖 15B 中的期間 61 相當於垂直回掃期間，並且期間 62 相當於閘極選擇期間。

此外，如圖 15A 所示，藉由設置其閘極被施加第二電

源電位 VCC 的第九電晶體 39，在自舉工作的前後有如下優點。

在沒有其閘極電極被施加第二電源電位 VCC 的第九電晶體 39 的情況下，當因自舉工作而節點 A 的電位上升時，第一電晶體 31 的第二端子的源極電極電位上升，而該源極電極電位變大於第一電源電位 VDD。然後，第一電晶體 31 的源極電極轉換為第一端子一側，即電源線 51 一側。因此，在第一電晶體 31 中，因為對閘極和源極電極之間以及閘極和汲極電極之間施加較大的偏壓，所以閘極和源極電極之間以及閘極和汲極電極之間受到較大的壓力，這會導致電晶體的劣化。於是，藉由設置其閘極電極被施加第二電源電位 VCC 的第九電晶體 39，雖然因自舉工作而節點 A 的電位上升，但是可以不使第一電晶體 31 的第二端子的電位上升。換言之，藉由設置第九電晶體 39，可以將對第一電晶體 31 的閘極和源極電極之間施加的負偏壓得值設定得小。由此，由於藉由採用本實施例的電路結構來可以將施加到第一電晶體 31 的閘極和源極電極之間的負偏壓設定得小，所以可以抑制因壓力而導致的第一電晶體 31 的劣化。

此外，只要在第一電晶體 31 的第二端子和第三電晶體 33 的閘極之間以藉由第一端子和第二端子連接的方式設置第九電晶體 39，就對設置第九電晶體 39 的結構沒有特別的限制。另外，在採用具有多個本實施例的脈衝輸出電路的移位暫存器時，在其級數與掃描線驅動電路相比多

的信號線驅動電路中也可以省略第九電晶體 39，而減少電晶體的數量是優點。

另外，藉由作為第一電晶體 31 至第十三電晶體 43 的半導體層使用氧化物半導體，可以降低薄膜電晶體的截止電流並提高導通電流及場效應遷移率，並且還可以降低劣化的程度，所以可以減少電路內的錯誤工作。此外，與使用非晶矽的電晶體相比因對其閘極電極施加高電位而導致的電晶體的劣化的程度小。由此，即使對供應第二電源電位 VCC 的電源線供應第一電源電位 VDD 也可以得到相同的工作，並且可以減少引導電路之間的電源線的數量，因此可以實現電路的小型化。

另外，即使以對第七電晶體 37 的閘極電極（下方的閘極電極及上方的閘極電極）藉由第三輸入端子 23 供應的時鐘信號、對第八電晶體 38 的閘極電極（下方的閘極電極及上方的閘極電極）藉由第二輸入端子 22 供應的時鐘信號成為對第七電晶體 37 的閘極電極（下方的閘極電極及上方的閘極電極）藉由第二輸入端子 22 供應的時鐘信號、對第八電晶體 38 的閘極電極（下方的閘極電極及上方的閘極電極）藉由第三輸入端子 23 供應的時鐘信號的方式替換接線關係，也具有同樣的作用。此外，在圖 15A 所示的移位暫存器中，藉由從第七電晶體 37 及第八電晶體 38 的狀態都是導通狀態變化到第七電晶體 37 截止且第八電晶體 38 導通的狀態，然後成為第七電晶體 37 截止且第八電晶體 38 截止的狀態，而由第二輸入端子 22 及

第三輸入端子 23 的電位降低所產生的節點 B 的電位的降低發生兩次，該節點 B 的電位的降低起因於第七電晶體 37 的閘極電極的電位的降低及第八電晶體 38 的閘極電極的電位的降低。另一方面，在圖 15A 所示的移位暫存器中，藉由從第七電晶體 37 及第八電晶體 38 的狀態都是導通狀態變化到第七電晶體 37 導通且第八電晶體 38 截止的狀態，然後成爲第七電晶體 37 截止且第八電晶體 38 截止的狀態，而由第二輸入端子 22 及第三輸入端子 23 的電位的降低所產生的節點 B 的電位的降低僅發生一次，該節點 B 的電位的降低起因於第八電晶體 38 的閘極電極的電位的降低。由此，最好採用藉由第三輸入端子 23 對第七電晶體 37 的閘極電極（下方的閘極電極及上方的閘極電極）供應的時鐘信號並藉由第二輸入端子 22 對第八電晶體 38 的閘極電極（下方的閘極電極及上方的閘極電極）供應的時鐘信號的連接關係。這是由於這樣可以使節點 B 的電位的變動次數變小以降低雜訊的緣故。

像這樣，藉由採用在將第一輸出端子 26 及第二輸出端子 27 的電位保持爲 L 電平的期間中對節點 B 定期供應 H 電平的信號的結構，可以抑制脈衝輸出電路的錯誤工作。

實施例 7

藉由製造薄膜電晶體並將該薄膜電晶體用於像素部及驅動電路，可以製造具有顯示功能的半導體裝置（也稱爲

顯示裝置)。此外，可以在與像素部同一基板上一體地形成使用薄膜電晶體的驅動電路的一部分或整體，而形成系統型面板（system-on-panel）。

顯示裝置包括顯示元件。作為顯示元件，可以使用液晶元件（也稱為液晶顯示元件）。此外，也可以使用電子墨水等的其對比度因電作用而變化的顯示媒體。

此外，顯示裝置包括密封有顯示元件的面板和在該面板中安裝有包括控制器的 IC 等的模組。再者，相當於製造該顯示裝置的過程中的顯示元件完成之前的一個方式的元件基板在多個像素的每一個中分別具備用來將電流供應到顯示元件的單元。明確而言，元件基板既可以處於只形成有顯示元件的像素電極的狀態，又可以處於形成成為像素電極的導電膜之後且藉由蝕刻形成像素電極之前的狀態，可以是任何狀態。

注意，本說明書中的顯示裝置是指影像顯示裝置、顯示裝置或光源（包括照明裝置）。另外，顯示裝置還包括：安裝有連接器諸如 FPC（Flexible Printed Circuit：撓性印刷電路）、TAB（Tape Automated Bonding：載帶自動接合）帶或 TCP（Tape Carrier Package：載帶封裝）的模組；在 TAB 帶或 TCP 的端部上設置有印刷線路板的模組；藉由 COG（Chip On Glass：玻璃上晶片）方式將 IC（積體電路）直接安裝到顯示元件上的模組。

參照圖 16A 至 16C 說明相當於半導體裝置的一個方式的液晶顯示面板的外觀及截面。圖 16A、圖 16B 是一種

面板的平面圖，其中利用密封材料 4005 將薄膜電晶體 4010、4011 及液晶元件 4013 密封在第一基板 4001 和第二基板 4006 之間。圖 16C 相當於沿著圖 16A、圖 16B 的 M-N 的截面圖。

以圍繞設置在第一基板 4001 上的像素部 4002 和掃描線驅動電路 4004 的方式設置有密封材料 4005。此外，在像素部 4002 和掃描線驅動電路 4004 上設置有第二基板 4006。因此，像素部 4002 和掃描線驅動電路 4004 與液晶層 4008 一起由第一基板 4001、密封材料 4005 和第二基板 4006 密封。此外，在第一基板 4001 上的與由密封材料 4005 圍繞的區域不同的區域中安裝有信號線驅動電路 4003，該信號線驅動電路 4003 使用單晶半導體膜或多晶半導體膜形成在另行準備的基板上。

注意，對另行形成的驅動電路的連接方法沒有特別的限制，而可以採用 COG 方法、引線接合方法或 TAB 方法等。圖 16A 是藉由 COG 方法安裝信號線驅動電路 4003 的例子，並且圖 16B 是藉由 TAB 方法安裝信號線驅動電路 4003 的例子。

此外，設置在第一基板 4001 上的像素部 4002 和掃描線驅動電路 4004 包括多個薄膜電晶體。在圖 16C 中例示像素部 4002 所包括的薄膜電晶體 4010 和掃描線驅動電路 4004 所包括的薄膜電晶體 4011。在薄膜電晶體 4010、4011 上設置有保護絕緣層 4020、4021。

可以將實施例 1 至 5 所示的包括氧化物半導體層的可

靠性高的薄膜電晶體用於薄膜電晶體 4010、4011。作為用於驅動電路的薄膜電晶體 4011 可以使用實施例 1 至 5 所示的薄膜電晶體 180、181、182、183，並且作為用於像素的薄膜電晶體 4010 可以使用薄膜電晶體 170、171、172、173。在本實施例中，薄膜電晶體 4010、4011 是 n 通道型薄膜電晶體。

在絕緣層 4021 上，在與用於驅動電路的薄膜電晶體 4011 的氧化物半導體層的通道形成區重疊的位置上設置有導電層 4040。藉由在與氧化物半導體層的通道形成區重疊的位置上設置導電層 4040，可以降低 BT 測試前後的薄膜電晶體 4011 的臨界值電壓的變化量。另外，導電層 4040 的電位可以與薄膜電晶體 4011 的閘極電極層相同或不同，並且也可以將導電層 4040 用作第二閘極電極層。另外，導電層 4040 的電位可以是 GND、0V 或浮動狀態。

此外，液晶元件 4013 所具有的像素電極層 4030 與薄膜電晶體 4010 電連接。而且，液晶元件 4013 的對置電極層 4031 形成在第二基板 4006 上。像素電極層 4030、對置電極層 4031 和液晶層 4008 重疊的部分相當於液晶元件 4013。另外，像素電極層 4030、對置電極層 4031 分別設置有用作對準膜的絕緣層 4032、4033，並隔著絕緣層 4032、4033 夾有液晶層 4008。

另外，作為第一基板 4001、第二基板 4006，可以使用透光基板，而可以使用玻璃、陶瓷、塑膠。作為塑膠，可以使用 FRP (Fiberglass-Reinforced Plastics：纖維增強

塑膠)板、PVF(聚氟乙烯)薄膜、聚酯薄膜或丙烯酸樹脂薄膜。

此外，附圖標記 4035 表示藉由對絕緣膜選擇性地進行蝕刻而得到的柱狀間隔物，並且它是為控制像素電極層 4030 和對置電極層 4031 之間的距離(盒間隙(cell gap))而設置的。另外，還可以使用球狀間隔物。另外，對置電極層 4031 電連接到設置在與薄膜電晶體 4010 同一基板上的共同電位線。可以使用共同連接部並藉由配置在一對基板之間的導電粒子電連接對置電極層 4031 和共同電位線。此外，將導電粒子包含在密封材料 4005 中。

另外，還可以使用不使用對準膜的呈現藍相的液晶。藍相是液晶相的一種，是指當使膽固醇相液晶的溫度上升時即將從膽固醇相轉變到各相同性相之前出現的相。由於藍相只出現在較窄的溫度範圍內，所以為了改善溫度範圍而將混合有 5wt%或以上的手性試劑的液晶組成物用於液晶層 4008。由於包含呈現藍相的液晶和手性試劑的液晶組成物的回應速度短，即為 1msec 或以下，並且它具有光學各向同性，所以不需要對準處理，從而視角依賴性低。

另外，除了可以應用於透過型液晶顯示裝置之外，還可以應用於半透過型液晶顯示裝置。

另外，雖然示出在基板的外側(可見一側)設置偏光板，並且在內側依次設置著色層(濾色片)、用於顯示元件的電極層的液晶顯示裝置的例子，但是也可以在基板的

內側設置偏光板。另外，偏光板和著色層的疊層結構也不侷限於本實施例的結構，根據偏光板和著色層的材料或製造製程條件適當地設定即可。另外，還可以設置用作黑底（black matrix）的遮光膜。

另外，在薄膜電晶體 4010、4011 上形成有絕緣層 4020。絕緣層 4020 可以使用與實施例 1 所示的氧化物絕緣膜 107 相同的材料及相同的方法來形成，但是，這裏作為絕緣層 4020，利用濺射法形成氧化矽膜。

此外，還可以在絕緣層 4020 上形成保護絕緣層。這裏，作為保護絕緣層，利用 RF 濺射法形成氮化矽膜（未圖示）。

另外，形成絕緣層 4021 作為平坦化絕緣膜。作為絕緣層 4021，使用與實施例 2 所示的平坦化絕緣層 109 相同的材料及方法即可，而可以使用具有耐熱性的有機材料如丙烯酸樹脂、聚醯亞胺、苯並環丁烯類樹脂、聚醯胺、環氧樹脂等。另外，除了上述有機材料之外，還可以使用低介電常數材料（low-k 材料）、矽氧烷類樹脂、PSG（磷矽玻璃）、BPSG（硼磷矽玻璃）等。另外，也可以藉由層疊多個由這些材料形成的絕緣膜來形成絕緣層 4021。

對絕緣層 4021 的形成方法沒有特別的限制，可以根據其材料利用如下方法及設備：濺射法、SOG 法、旋塗、浸漬、噴塗、液滴噴射法（噴墨法、絲網印刷、膠版印刷等）等的方法；刮片、輥塗機、幕塗機、刮刀塗佈機等的

設備。藉由兼作絕緣層 4021 的焙燒步驟和對半導體層的退火，可以有效地製造半導體裝置。

作為像素電極層 4030、對置電極層 4031，可以使用具有透光性的導電材料諸如包含氧化鎢的氧化銦、包含氧化鎢的氧化銦鋅、包含氧化鈦的氧化銦、包含氧化鈦的氧化銦錫、氧化銦錫（下面表示為 ITO）、氧化銦鋅、添加有氧化矽的氧化銦錫等。

此外，可以使用包含導電高分子（也稱為導電聚合物）的導電組成物形成像素電極層 4030、對置電極層 4031。使用導電組成物形成的像素電極的薄層電阻最好為 $10000\Omega/\square$ 或以下，並且其波長為 550nm 時的透光率最好為 70% 或以上。另外，導電組成物所包含的導電高分子的電阻率最好為 $0.1\Omega\cdot\text{cm}$ 或以下。

作為導電高分子，可以使用所謂的 π 電子共軛類導電高分子。例如，可以舉出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或者上述材料中的兩種以上的共聚物等。

另外，供應到另行形成的信號線驅動電路 4003、掃描線驅動電路 4004 或像素部 4002 的各種信號及電位是從 FPC4018 供應的。

連接端子電極 4015 由與液晶元件 4013 所具有的像素電極層 4030 相同的導電膜形成，並且端子電極 4016 由與薄膜電晶體 4011 的源極電極層及汲極電極層相同的導電膜形成。

此外，雖然在圖 16A 至 16C 中示出另行形成信號線驅動電路 4003 並將信號線驅動電路 4003 安裝在第一基板 4001 上的例子，但是不侷限於該結構。既可以另行形成掃描線驅動電路而安裝，又可以另行僅形成信號線驅動電路的一部分或掃描線驅動電路的一部分而安裝。

圖 17 示出使用藉由本說明書所公開的製造方法製造的 TFT 基板 2600 來構成液晶顯示模組作為半導體裝置的一個例子。

圖 17 是液晶顯示模組的一個例子，利用密封材料 2602 固定 TFT 基板 2600 和對置基板 2601，並在其間設置包括 TFT 等的像素部 2603、包括液晶層的顯示元件 2604、著色層 2605 來形成顯示區。在進行彩色顯示時需要著色層 2605，並且當採用 RGB 方式時，對應於各像素地設置有分別對應於紅色、綠色、藍色的各顏色的著色層。在 TFT 基板 2600 和對置基板 2601 的外側配置有偏光板 2606、偏光板 2607、擴散板 2613。光源由冷陰極管 2610 和反射板 2611 構成，電路基板 2612 利用撓性線路板 2609 與 TFT 基板 2600 的佈線電路部 2608 連接，並且其中組裝有控制電路、電源電路等的外部電路。此外，也可以在偏光板和液晶層之間具有相位差板的狀態層疊。

作為液晶顯示模組，可以採用 TN（扭曲向列：Twisted Nematic）模式、IPS（平面內轉換：In-Plane-Switching）模式、FFS（邊緣電場轉換：Fringe Field Switching）模式、MVA（多疇垂直對準：Multi-domain

Vertical Alignment) 模式、PVA (垂直對準構型：Patterned Vertical Alignment) 模式、ASM (軸對稱排列微胞：Axially Symmetric Aligned Micro-cell) 模式、OCB (光學補償彎曲：Optical Compensated Birefringence) 模式、FLC (鐵電性液晶：Ferroelectric Liquid Crystal) 模式、AFLC (反鐵電性液晶：AntiFerroelectric Liquid Crystal) 模式等。

藉由上述步驟，可以製造作為半導體裝置的可靠性高的液晶顯示面板。

本實施例可以與其他實施例所記載的結構適當地組合而實施。

實施例 8

作為本說明書所公開的半導體裝置，藉由使其具有撓性而可以將其用於電子書閱讀器、海報、電車等的交通工具的車廂廣告、信用卡等的各種卡片中的顯示等。圖 18 示出電子設備的一個例子。

圖 18 示出電子書閱讀器的一個例子。例如，電子書閱讀器 2700 由兩個框體，即框體 2701 及框體 2703 構成。框體 2701 及框體 2703 由軸部 2711 形成為一體，並且可以以該軸部 2711 為軸進行開閉動作。藉由該結構，可以進行如紙的書籍那樣的動作。

框體 2701 組裝有顯示部 2705，並且框體 2703 組裝有顯示部 2707。顯示部 2705 及顯示部 2707 的結構既可

以是顯示連屏畫面的結構，又可以是顯示不同的畫面的結構。藉由採用顯示不同的畫面的結構，例如可以在右邊的顯示部（圖 18 中的顯示部 2705）中顯示文章，並且在左邊的顯示部（圖 18 中的顯示部 2707）中顯示圖像。

此外，在圖 18 中示出框體 2701 具備操作部等的例子。例如，在框體 2701 中具備電源 2721、操作鍵 2723、揚聲器 2725 等。利用操作鍵 2723 可以翻頁。另外，也可以採用在與框體的顯示部同一面上具備鍵盤、定位裝置等的結構。另外，也可以採用在框體的背面或側面具備外部連接端子（耳機端子、USB 端子或可以與 AC 適配器及 USB 電纜等各種電纜連接的端子等）、記錄媒體插入部等的結構。再者，電子書閱讀器 2700 也可以具有電子詞典的功能。

此外，電子書閱讀器 2700 也可以採用以無線方式收發資訊的結構。還可以採用以無線方式從電子書籍伺服器購買所希望的書籍資料等並下載的結構。

實施例 9

本說明書所公開的半導體裝置可以應用於各種電子設備（也包括遊戲機）。作為電子設備，例如可以舉出：電視裝置（也稱為電視或電視接收機）；用於電腦等的監視器；如數位相機、數位攝像機等影像拍攝裝置；數位相框；行動電話機（也稱為行動電話、行動電話裝置）；可攜式遊戲機；可攜式資訊終端；聲音再現裝置；彈珠機等

大型遊戲機等。

圖 19A 示出電視裝置的一個例子。在電視裝置 9600 中，框體 9601 組裝有顯示部 9603。利用顯示部 9603 可以顯示影像。此外，在此示出利用支架 9605 支撐框體 9601 的結構。

可以藉由利用框體 9601 所具備的操作開關、另行提供的遙控操作機 9610 進行電視裝置 9600 的操作。藉由利用遙控操作機 9610 所具備的操作鍵 9609，可以進行頻道及音量的操作，並可以對在顯示部 9603 上顯示的影像進行操作。此外，也可以採用在遙控操作機 9610 中設置顯示從該遙控操作機 9610 輸出的資訊的顯示部 9607 的結構。

另外，電視裝置 9600 採用具備接收機、數據機等的結構。藉由利用接收機可以接收一般的電視廣播。再者，藉由數據機連接到有線或無線方式的通信網路，可以進行單向（從發送者到接收者）或雙向（在發送者和接收者之間或在接收者之間等）的資訊通信。

圖 19B 示出數位相框的一個例子。例如，在數位相框 9700 中，框體 9701 組裝有顯示部 9703。顯示部 9703 可以顯示各種圖像，例如藉由顯示使用數位相機等拍攝的圖像資料，可以發揮與一般的相框同樣的功能。

另外，數位相框 9700 採用具備操作部、外部連接端子（USB 端子、可以與 USB 電纜等的各種電纜連接的端子等）、記錄媒體插入部等的結構。這種結構也可以組裝

到與顯示部相同面上，但是藉由將它設置在側面或背面上來提高設計性，所以是較佳的。例如，可以對數位相框的記錄媒體插入部插入儲存有由數位相機拍攝的圖像資料的記憶體並提取圖像資料，然後可以將所提取的圖像資料顯示於顯示部 9703。

此外，數位相框 9700 也可以採用以無線的方式收發資訊的結構。也可以採用以無線的方式提取所希望的圖像資料並進行顯示的結構。

圖 20A 示出一種可攜式遊戲機，它由框體 9881 和框體 9891 的兩個框體構成，並且藉由連接部 9893 可以開閉地連接。框體 9881 安裝有顯示部 9882，並且框體 9891 安裝有顯示部 9883。另外，圖 20A 所示的可攜式遊戲機還具備揚聲器部 9884、記錄媒體插入部 9886、LED 燈 9890、輸入單元（操作鍵 9885、連接端子 9887、感測器 9888（包括測定如下因素的功能：力量、位移、位置、速度、加速度、角速度、轉速、距離、光、液、磁、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射線、流量、濕度、傾斜度、振動、氣味或紅外線）以及麥克風 9889）等。當然，可攜式遊戲機的結構不侷限於上述結構，只要採用至少具備本說明書所公開的半導體裝置的結構即可，並且可以採用適當地設置有其他附屬設備的結構。圖 20A 所示的可攜式遊戲機具有如下功能：讀出儲存在記錄媒體中的程式或資料並將它顯示在顯示部上的功能；以及藉由與其他可攜式遊戲機進行無線通

信而實現資訊共用的功能。另外，圖 20A 所示的可攜式遊戲機所具有的功能不侷限於此，而可以具有各種各樣的功能。

圖 20B 示出大型遊戲機的一種的投幣機的一個例子。在投幣機 9900 的框體 9901 中安裝有顯示部 9903。另外，投幣機 9900 還具備如起動手柄、停止開關等的操作單元、投幣口、揚聲器等。當然，投幣機 9900 的結構不侷限於此，只要採用至少具備本說明書所公開的半導體裝置的結構即可。因此，可以採用適當地設置有其他附屬設備的結構。

圖 21A 是示出可攜式電腦的一個例子的立體圖。

在圖 21A 所示的可攜式電腦中，當將連接上部框體 9301 與下部框體 9302 的鉸鏈裝置設置為關閉狀態時，可以使具有顯示部 9303 的上部框體 9301 與具有鍵盤 9304 的下部框體 9302 處於重疊狀態，而便於攜帶，並且，當使用者利用鍵盤進行輸入時，將鉸鏈裝置設置為打開狀態，而可以看著顯示部 9303 進行輸入操作。

另外，下部框體 9302 除了鍵盤 9304 之外還包括進行輸入操作的定位裝置 9306。另外，當顯示部 9303 為觸屏輸入面板時，可以藉由觸摸顯示部的一部分來進行輸入操作。另外，下部框體 9302 還包括 CPU、硬碟等的算術功能部。此外，下部框體 9302 還具有其他的裝置，例如包括用來插入符合 USB 的通信標準的通信電纜的外部連接埠 9305。

在上部框體 9301 中還具有藉由使它滑動到上部框體 9301 內部而可以收納的顯示部 9307，因此可以實現寬顯示畫面。另外，使用者可以調節可以收納的顯示部 9307 的畫面的方向。另外，當可以收納的顯示部 9307 為觸屏輸入面板時，藉由觸摸可以收納的顯示部的一部分來可以進行輸入操作。

顯示部 9303 或可以收納的顯示部 9307 使用如液晶顯示面板等的影像顯示裝置。

另外，圖 21A 的可攜式電腦安裝有接收機等，而可以接收電視廣播並將影像顯示於顯示部 9303 或顯示部 9307。另外，使用者可以在連接上部框體 9301 與下部框體 9302 的鉸鏈裝置處於關閉狀態的狀態下藉由滑動顯示部 9307 而使其整個面露出並調整畫面角度來觀看電視廣播。此時，不將鉸鏈裝置設置為打開狀態來使顯示部 9303 進行顯示，而僅啓動只顯示電視廣播的電路，所以可以將耗電量控制為最少，這對於電池電容有限的可攜式電腦而言是十分有利的。

另外，圖 21B 是示出像手錶一樣能夠戴在使用者的手臂上的行動電話的一個例子的立體圖。

該移動電話包括：至少包括具有電話功能的通信裝置及電池的主體；用來將主體戴在手臂上的帶部 9204；調節帶部與手臂的固定狀態的調節部 9205；顯示部 9201；揚聲器 9207；以及麥克風 9208。

另外，主體具有操作開關 9203，該操作開關 9203 可

以為電源開關、顯示轉換開關、攝像開始指示開關、或者按一下就可以啓動網路的程式的開關等，並且可以利用其對應各種功能。

藉由用手指或輸入筆等觸碰顯示部 9201；操作操作開關 9203；或者對麥克風 9208 輸入聲音來進行該移動電話的輸入操作。另外，在圖 21B 中，示出顯示在顯示部 9201 上的顯示鈕 9202，藉由用手指等觸碰該顯示鈕 9202 來可以進行輸入。

另外，主體具有拍攝裝置部 9206，該拍攝裝置部 9206 具有將藉由攝影透鏡成像的物體圖像轉換為電子視頻信號的攝影單元。另外，也可以不特別設置拍攝裝置部。

另外，圖 21B 所示的行動電話安裝有電視廣播的接收機等，而可以接收電視廣播並將影像顯示於顯示部 9201，並且它還具有記憶體等的儲存裝置等，而可以將電視廣播錄像到記憶體中。此外，圖 21B 所示的行動電話還可以具有能夠收集 GPS 等的位置資訊的功能。

顯示部 9201 使用如液晶顯示面板等的影像顯示裝置。由於圖 21B 所示的行動電話為小型且重量輕，所以其電池電容有限，從而最好將能夠使用低耗電量進行驅動的面板用作用於顯示部 9201 的顯示裝置。

另外，雖然在圖 21B 中示出戴在“手臂”上的方式的電子裝置，但是不侷限於此，只要是具有能夠攜帶的形狀的即可。

實施例 10

在本實施例中，作為半導體裝置的一個形式，使用圖 22 至圖 35 說明具有實施例 1、2 至 5 所示的薄膜電晶體的顯示裝置的例子。在本實施例中，使用圖 24 至圖 35 說明作為顯示元件使用液晶元件的液晶顯示裝置的例子。作為用於圖 24 至圖 35 的液晶顯示裝置的 TFT628、629，可以使用實施例 1、2 至 5 所示的薄膜電晶體，並且該 TFT628、629 是可以藉由實施例 1、2 至 5 所示的步驟同樣地製造的電特性及可靠性高的薄膜電晶體。

首先，對 VA (Vertical Alignment: 垂直對準) 型液晶顯示裝置進行描述。VA 是指一種控制液晶顯示面板的液晶分子的排列的方式，並是一種在沒有施加電壓時液晶分子朝垂直於面板表面的方向排列的方式。在本實施例中，特別地，將像素分成多個區域 (子像素)，並分別將分子朝不同的方向推倒。這稱為多疇 (multi-domain) 化、或者多域設計。在下面的說明中，對考慮多域設計的液晶顯示裝置進行說明。

圖 23 及圖 24 分別示出像素電極及對置電極。圖 23 是形成像素電極的基板一側的平面圖，並且將沿圖中所示的切斷線 E-F 的截面結構示出於圖 22。另外，圖 24 是形成對置電極的基板一側的平面圖。下面，參照這些附圖進行說明。

圖 22 示出基板 600 和對置基板 601 重疊且植入有液

晶的狀態，在該基板 600 上形成有 TFT628、與 TFT628 連接的像素電極層 624 以及儲存電容部 630，並在該對置基板 601 上形成有對置電極層 640 等。

雖然沒有圖示，但在對置基板 601 上的形成有隔離物的位置上形成有第一彩色膜、第二彩色膜、第三彩色膜及對置電極層 640。藉由採用該結構，使用於控制液晶對準的突起 644 和間隔物的高度彼此不同。在像素電極層 624 上形成有對準膜 648，同樣地在對置電極層 640 上也形成有對準膜 646。在基板 600 與對置基板 601 之間形成有液晶層 650。

既可以形成柱狀間隔物，又可以散佈珠狀間隔物。當間隔物具有透光性時，也可以在形成在基板 600 上的像素電極層 624 上形成間隔物。

在基板 600 上形成有 TFT628、與 TFT628 連接的像素電極層 624 以及儲存電容部 630。像素電極層 624 藉由接觸孔 623 連接到佈線 618，該接觸孔分別貫穿：覆蓋 TFT628、佈線 618 及儲存電容部 630 的絕緣膜 620；以及覆蓋絕緣膜 620 的第三絕緣膜 622。作為 TFT628，可以適當地使用實施例 1、2、5 及 6 所示的薄膜電晶體。

藉由像素電極層 624、液晶層 650 以及對置電極層 640 重疊，形成液晶元件。

圖 23 示出基板 600 上的結構。像素電極層 624 使用實施例 1 所示的材料來形成。在像素電極層 624 中設置有狹縫 625。狹縫 625 用來控制液晶對準。

圖 23 所示的 TFT629、與 TFT629 連接的像素電極層 626 及儲存電容部 631 可以分別與 TFT628、像素電極層 624 及儲存電容部 630 同樣地形成。TFT628 和 TFT629 都連接到佈線 616。該液晶面板的像素由像素電極層 624 及像素電極層 626 構成。像素電極層 624 及像素電極層 626 是子像素。

圖 24 示出對置基板一側的結構。對置電極層 640 最好使用與像素電極層 624 同樣的材料形成。在對置電極層 640 上形成有用來控制液晶對準的突起 644。

圖 25 示出該像素結構的等效電路。TFT628 和 TFT629 都連接到閘極佈線 602 和佈線 616。在此情況下，藉由使電容佈線 604 的電位和電容佈線 605 的電位不同，可以使液晶元件 651 和液晶元件 652 進行不同的工作。就是說，藉由分別控制電容佈線 604 和電容佈線 605 的電位，精密地控制液晶的對準並擴大視角。

當對設置有狹縫 625 的像素電極層 624 施加電壓時，在狹縫 625 附近發生電場的畸變（傾斜電場）。藉由互相咬合地配置所述狹縫 625 和對置基板 601 一側的突起 644，有效地產生傾斜電場來控制液晶的對準，從而根據其位置使液晶具有彼此不同的對準方向。就是說，藉由進行多疇化來擴大液晶顯示面板的視角。

接著，參照圖 26 至圖 39 說明與上述不同的 VA 型液晶顯示裝置。

圖 26 及圖 27 示出 VA 型液晶顯示面板的像素結構。

圖 27 是基板 600 的平面圖，而圖 26 示出沿圖中所示的切斷線 Y-Z 的截面結構。在該像素結構中，一個像素具有多個像素電極，並且各像素電極連接到 TFT。各 TFT 藉由不同閘極信號驅動。就是說，在以多疇方式設計的像素中，獨立地控制施加到各像素電極的信號。

像素電極層 624 在接觸孔 623 中使用佈線 618 連接到 TFT628。另外，像素電極層 626 在接觸孔 627 中使用佈線 619 連接到 TFT629。TFT628 的閘極佈線 602 和 TFT629 的閘極佈線 603 彼此分離，以能夠提供不同的閘極信號。另一方面，TFT628 和 TFT629 共通使用用作資料線的佈線 616。TFT628 和 TFT629 可以適當地使用實施例 1、2、5 及 6 所示的薄膜電晶體。

像素電極層 624 和像素電極層 626 具有不同的形狀，並且被狹縫 625 彼此分離。像素電極層 626 被形成為圍繞呈 V 字狀擴展的像素電極層 624 的外側。藉由使用 TFT628 及 TFT629 使施加到像素電極層 624 和像素電極層 626 的電壓不相同，來控制液晶的對準。圖 29 示出該像素結構的等效電路。TFT628 連接到閘極佈線 602，而 TFT629 連接到閘極佈線 603。另外，TFT628 和 TFT629 都與佈線 616 連接。藉由對閘極佈線 602 和閘極佈線 603 提供不同的閘極信號，可以使液晶元件 651 和液晶元件 652 的工作時序互不相同。也就是說，藉由單獨地控制 TFT628 和 TFT629 的工作，能夠對液晶元件 651 和液晶元件 652 的液晶對準進行精密地控制從而可以擴大視角。

在對置基板 601 上形成有彩色膜 636、對置電極層 640。此外，在彩色膜 636 和對置電極層 640 之間形成有平坦化膜 637，以防止液晶對準的錯亂。圖 28 示出對置基板一側的結構。不同的像素之間共同使用對置電極層 640，該對置電極層 640 形成有狹縫 641。藉由互相咬合地配置所述狹縫 641 與像素電極層 624 及像素電極層 626 一側的狹縫 625，可以有效地產生傾斜電場來控制液晶的對準。由此，可以根據其位置使液晶具有彼此不同的對準方向，從而擴大視角。另外，在圖 28 中，使用虛線表示圖 26 所示的形成在基板 600 上的像素電極層 624 及像素電極層 626，並示出對置電極層 640 與像素電極層 624 及像素電極層 626 重疊配置的樣子。

在像素電極層 624 及像素電極層 626 上形成有對準膜 648，同樣地在對置電極層 640 上也形成有對準膜 646。基板 600 與對置基板 601 之間形成有液晶層 650。另外，藉由像素電極層 624、液晶層 650 和對置電極層 640 相重疊，形成第一液晶元件。另外，藉由像素電極層 626、液晶層 650 和對置電極層 640 相重疊，形成第二液晶元件。圖 26 至圖 29 所說明的顯示面板的像素結構採用在一個像素中設置有第一液晶元件和第二液晶元件的多疇結構。

接著，說明橫向電場方式的液晶顯示裝置。橫向電場方式是指藉由對單元內的液晶分子沿水平方向施加電場來驅動液晶而顯示灰度的方式。藉由橫向電場方式，可以使視角增大到大約 180 度。以下，對採用橫向電場方式的液

晶顯示裝置進行說明。

圖 32 示出將基板 600 和對置基板 601 重疊並植入有液晶的狀態，在該基板 600 上形成有電極層 607、TFT628 及與 TFT628 連接的像素電極層 624。在對置基板 601 上形成有彩色膜 636 以及平坦化膜 637 等。另外，不在對置基板 601 一側設置對置電極。此外，在基板 600 和對置基板 601 之間隔著對準膜 646 及對準膜 648 形成有液晶層 650。

在基板 600 上，形成有電極層 607 以及與電極層 607 連接的電容佈線 604 及 TFT628。電容佈線 604 可以與 TFT628 的閘極佈線 602 同時形成。TFT628 可以使用實施例 1 至 5 所示的薄膜電晶體。電極層 607 可以使用與實施例 1 至 5 所示的像素電極層相同的材料。另外，電極層 607 形成為大致分割成像素形狀的形狀。另外，在電極層 607 及電容佈線 604 上形成閘極絕緣膜 606。

在閘極絕緣膜 606 上形成 TFT628 的佈線 616 及 618。佈線 616 是在液晶顯示面板中傳送視頻信號的資料線，並是沿一個方向延伸的佈線，並且佈線 616 與 TFT628 的源極區或汲極區連接而成為源極電極及汲極電極中的一方的電極。佈線 618 是成為源極區及汲極區中另一方的電極且與像素電極層 624 連接的佈線。

在佈線 616 及佈線 618 上形成絕緣膜 620。另外，在絕緣膜 620 上形成藉由形成於絕緣膜 620 中的接觸孔 623 連接到佈線 618 的像素電極層 624。像素電極層 624 使用

與實施例 1 至 5 所示的像素電極相同的材料形成。

如上所述，在基板 600 上形成 TFT628 以及與 TFT628 連接的像素電極層 624。再者，儲存電容藉由在電極層 607 和像素電極層 624 之間設置閘極絕緣膜 606 而形成。

圖 31 是說明像素電極的結構的平面圖。圖 30 示出對應於圖 31 所示的切斷線 O-P 的截面結構。在像素電極層 624 中設置狹縫 625。該狹縫 625 用來控制液晶的對準。在此情況下，電場在電極層 607 和像素電極層 624 之間發生。在電極層 607 和第像素電極層 624 之間設置有閘極絕緣膜 606，但是閘極絕緣膜 606 的厚度為 50nm 以上且 200nm 以下，該厚度與 2 μ m 以上且 10 μ m 以下的液晶層的厚度相比充分薄，因此在實際上在平行於基板 600 的方向（水平方向）上發生電場。該電場控制液晶的對準。藉由利用該大致平行於基板的方向的電場使液晶分子水平地旋轉。在此情況下，由於液晶分子在任何狀態下均為水平，所以觀看角度導致的對比度等的影響很少，從而擴大視角。而且，電極層 607 和像素電極層 624 都是透光電極，因此可以提高孔徑比。

接著，說明橫向電場方式的液晶顯示裝置的另一例。

圖 32 及圖 33 示出 IPS 型液晶顯示裝置的像素結構。圖 33 是平面圖，而圖 32 示出沿圖 33 中所示的切斷線 V-W 的截面結構。

圖 32 示出基板 600 與對置基板 601 重疊且植入有液晶的狀態，在該基板 600 上形成有 TFT628 及與 TFT628

連接的像素電極層 624。在對置基板 601 上形成有彩色膜 636、平坦化膜 637 等。另外，由於像素電極設置在基板 600 一側，所以不在對置基板 601 一側設置對置電極層。在基板 600 和對置基板 601 之間隔著對準膜 646 及對準膜 648 形成有液晶層 650。

在基板 600 上形成共同電位線 609 及 TFT628。共同電位線 609 可以與 TFT628 的閘極佈線 602 同時形成。TFT628 使用實施例 1 至 5 所示的薄膜電晶體。

TFT628 的佈線 616 及佈線 618 形成在閘極絕緣膜 606 上。佈線 616 是在液晶面板中傳送視頻信號的資料線，並是沿一個方向延伸的佈線，並且佈線 616 與 TFT628 的源極區或汲極區連接而成爲源極電極及汲極電極中一方的電極。佈線 618 成爲源極電極及汲極電極中另一方的電極，並且佈線 618 是與像素電極層 624 連接的佈線。

在佈線 616 及佈線 618 上形成絕緣膜 620。另外，在絕緣膜 620 上形成藉由形成在絕緣膜 620 中的接觸孔 623 連接到佈線 618 的像素電極層 624。像素電極層 624 使用與實施例 1 至 5 所示的像素電極層同樣的材料形成。如圖 33 所示，像素電極層 624 以與在形成共同電位線 609 的同時形成的梳形電極形成橫向電場的方式而形成。並且，像素電極層 624 的梳齒部分與在形成共同電位線 609 的同時形成的梳形電極互相咬合。

當在施加到像素電極層 624 的電位和共同電位線 609

的電位之間產生電場時，由該電場控制液晶的對準。藉由利用該大致平行於基板的方向的電場使液晶分子水平地旋轉。在此情況下，由於液晶分子在任何狀態下也處於水平，所以觀看角度導致的對比度等的影響很少，從而視角擴大。

如上所述，在基板 600 上形成 TFT628 以及與 TFT628 連接的像素電極層 624。另外，儲存電容藉由在共同電位線 609 和電容電極 615 之間設置閘極絕緣膜 606 而形成。電容電極 615 和像素電極層 624 藉由接觸孔 633 連接。

下面，示出 TN 型液晶顯示裝置的方式。

圖 34 及圖 35 示出 TN 型液晶顯示裝置的像素結構。圖 35 是平面圖，而圖 34 示出沿圖 35 所示的 K-L 線的截面結構。下面，參照上述兩個附圖進行說明。

像素電極層 624 藉由形成在絕緣膜 620 中的接觸孔 623 及佈線 618 連接到 TFT628。用作資料線的佈線 616 與 TFT628 連接。TFT628 可以應用實施例 1 至 5 所示的任何 TFT。

像素電極層 624 使用實施例 1 至 5 所示的像素電極層而形成。電容佈線 604 可以與 TFT628 的閘極佈線 602 同時形成。在閘極佈線 602 及電容佈線 604 上形成閘極絕緣膜 606。儲存電容藉由在電容佈線 604 與電容電極 615 之間夾著閘極絕緣膜 606 而形成。電容電極 615 和像素電極層 624 藉由接觸孔 623 連接。

在對置基板 601 上形成有彩色膜 636 及對置電極層

640。而且，在彩色膜 636 和對置電極層 640 之間形成有平坦化膜 637，以防止液晶的對準混亂。液晶層 650 藉由在像素電極層 624 和對置電極層 640 之間夾著對準膜 648 及對準膜 646 而形成。

像素電極層 624、液晶層 650 及對置電極層 640 重疊，從而形成液晶元件。

此外，也可以將彩色膜 636 形成在基板 600 一側。此外，將偏光板貼合在與基板 600 的形成薄膜電晶體的面相反一側的面上，並將偏光板貼合在與對置基板 601 的形成對置電極層 640 的面相反一側的面上。

藉由上述步驟，作為顯示裝置可以製造液晶顯示裝置。

實施例 11

在本實施例中，參照圖 37 對本發明的一個方式的半導體裝置的製造方法的其他的例子進行說明。

在具有絕緣表面的基板上形成閘極電極層（圖 37 的 S101）。閘極電極層可以藉由使用鉬、鈦、鉻、鉭、鎢、鋁、銅、鈹、鈦等的金屬材料或以這些金屬材料為主要成分的合金材料的單層或疊層來形成。

在閘極電極層上形成閘極絕緣層（圖 37 的 S102）。可以利用電漿 CVD 法或濺射法等形成氧化矽層、氮化矽層、氧氮化矽層、氮氧化矽層或氧化鋁層的單層或疊層作為閘極絕緣層。在本實施例中，利用電漿 CVD 法形成厚

度為 200nm 以下的氮化矽層作為閘極絕緣層。

接著，在閘極絕緣層上形成厚度為 2nm 以上且 200nm 以下的氧化物半導體膜（圖 37 的 S103）。在本實施例中，使用 In-Ga-Zn-O 類氧化物半導體靶材並藉由濺射法形成 In-Ga-Zn-O 類氧化物半導體膜。

接著，使用藉由微影步驟形成的抗蝕劑掩罩對氧化物半導體膜進行蝕刻，以形成島狀的氧化物半導體層（圖 37 的 S104）。

接著，進行氧化物半導體層的脫水化或脫氫化的加熱處理。將進行脫水化或脫氫化的加熱處理的溫度設定為 400°C 或以上且 700°C 或以下（圖 37 的 S105）。在本實施例中，在氮氣圍下進行 450°C 的加熱處理。這裏，將基板放入到加熱處理裝置之一種的電爐中，並在氮氣圍下對氧化物半導體層進行加熱處理之後，不使其接觸於大氣而防止水或氫再次混入到氧化物半導體層，而形成氧化物半導體層。在本實施例中，在氮氣圍下使用同一爐將氧化物半導體層的溫度從進行氧化物半導體層的脫水化或脫氫化所需的加熱溫度 T 緩冷到水無法再次混入的溫度，明確而言，在氮氣圍下將氧化物半導體層的溫度降低到比加熱溫度 T 低 100°C 或以上的溫度。另外，不侷限於氮氣圍，而在氫、氖、氬等稀有氣體氣圍下進行脫水化或脫氫化。

藉由在 400°C 至 700°C 的溫度下對氧化物半導體層進行熱處理，可以實現氧化物半導體層的脫水化、脫氫化，從而可以防止此後水（H₂O）再浸入。

另外，加熱處理裝置不侷限於電爐，例如還可以使用 GRTA (Gas Rapid Thermal Anneal，即氣體快速熱退火) 裝置、LRTA (Lamp Rapid Thermal Anneal，即燈快速熱退火) 裝置等的 RTA (Rapid Thermal Anneal) 裝置。LRTA 裝置是利用從燈如鹵素燈、金鹵燈、氙弧燈、碳弧燈、高壓鈉燈或高壓汞燈等發出的光 (電磁波) 的輻射加熱被處理物的裝置。此外，LRTA 裝置除了燈以外還可以具備由從電阻發熱體等的發熱體的熱傳導或熱輻射來加熱被處理物的設備。GRTA 是指使用高溫氣體進行加熱處理的方法。作為氣體，使用即使進行加熱處理也不與被處理物產生反應的如氫等的稀有氣體或氮。可以利用 RTA 法以 600°C 至 750°C 進行幾分鐘的加熱處理。

另外，在脫水化或脫氫化的加熱處理中，最好氮或氫、氬、氫等的稀有氣體不包含水、氫等。尤其是，以 400°C 至 700°C 的氧化物半導體層的脫水化、脫氫化的加熱處理，最好在 H₂O 為 20ppm 以下的氮氣圍下進行。另外，最好將導入於加熱處理裝置中的氮或氫、氬、氫等的稀有氣體的純度設定為 6N (99.9999%) 或以上，最好設定為 7N (99.99999%) 或以上 (即，將雜質濃度設定為 1ppm 或以下，最好設定為 0.1ppm 或以下) 。

接著，使用藉由微影步驟形成的抗蝕劑掩罩去除閘極絕緣層的不需要的部分，以在閘極絕緣層中形成開口 (接觸孔) (圖 37 的 S106) 。

接著，在氧化物半導體層上利用濺射法或真空蒸鍍法

形成由金屬材料構成的金屬導電膜。

作為金屬導電膜的材料，可以舉出選自 Al、Cr、Cu、Ta、Ti、Mo、W 中的元素、以上述元素為成分的合金、組合上述元素的合金膜等。另外，金屬導電膜可以採用單層結構或兩層以上的疊層結構。例如，可以舉出：包含矽的鋁膜的單層結構；在鋁層上層疊鈦膜的兩層結構；Ti 膜、層疊在該 Ti 膜上的鋁膜、在其上層疊的 Ti 膜的三層結構等。另外，也可以使用：組合鋁與選自鈦（Ti）、鉭（Ta）、鎢（W）、鉬（Mo）、鉻（Cr）、釹（Nd）、Sc（釷）中的一個或多個元素的膜、合金膜或氮化膜。

在對金屬導電膜進行加熱處理的情況下，最好金屬導電膜具有能夠耐受該加熱處理的耐熱性。

接著，進行微影步驟，以形成抗蝕劑掩罩，並藉由對金屬導電膜的蝕刻去除不需要的部分而形成源極電極層及汲極電極層（參照圖 37 的 S107）。

另外，當進行金屬導電膜的蝕刻時，以氧化物半導體層不被去除的方式適當地調節各種材料及蝕刻條件。

在本實施例中，將 Ti 膜、Al 膜及 Ti 膜的疊層用作金屬導電膜，將 In-Ga-Zn-O 類氧化物用作氧化物半導體層，並且將過氧化氫銨水（銨、水、過氧化氫水的混合液）用作蝕刻劑。

接著，在形成氧化物絕緣膜的處理室內對靶材及基板進行加熱處理（圖 37 的 S108）。在加熱處理之後，對靶

材及基板進行冷卻（圖 37 的 S109），而在室溫下形成氧化物絕緣膜（圖 37 的 S110）。將加熱溫度設定為 100°C 或以上且 250°C 或以下即可。

將氧化物絕緣膜的厚度至少設定為 1nm 或以上（最好為 100nm 或以上且 500nm 或以下），並且可以適當地使用濺射法等的防止水、氫等的雜質混入到氧化物絕緣膜的方法來形成氧化物絕緣膜。在本實施例中，使用濺射法形成 300nm 厚的氧化矽膜作為氧化物絕緣膜。將形成膜時的基板溫度設定為室溫以上且 300°C 以下即可，在本實施例中將該基板溫度設定為室溫。可以在稀有氣體（典型為氬）氣圍下、在氧氣圍下或者在稀有氣體（典型為氬）和氧的氣圍下藉由濺射法形成氧化矽膜。另外，作為靶材，可以使用氧化矽靶材或矽靶材。例如，可以使用矽靶材在氧氣圍下藉由濺射法形成氧化矽。接觸於被低電阻化的氧化物半導體層地形成的氧化物絕緣膜使用不包含水分、氫離子、OH⁻等的雜質且阻擋上述雜質從外部侵入的無機絕緣膜，典型地使用氧化矽膜、氮氧化矽膜、氧化鋁膜或者氧氮化鋁膜等。

另外，還可以在氧化物絕緣膜上形成保護絕緣膜。例如，使用 RF 濺射法形成氮化矽膜。由於 RF 濺射法的量產性高，所以作為保護絕緣層的成膜方法是較佳的。保護絕緣層使用不包含水分、氫離子或 OH⁻等的雜質並防止上述雜質從外部侵入的無機絕緣膜，例如使用氮化矽膜、氮化鋁膜、氮氧化矽膜或氧氮化鋁膜等。在本實施例中，使

用氮化矽膜形成保護絕緣層。

作為氧化物絕緣膜，既可以利用濺射法（氧氣圍下、室溫）形成厚度為 100nm 的氧化矽膜，也可以利用濺射法（氮及氬氣圍下、室溫）形成厚度為 100nm 的保護絕緣層的疊層。

此外，在形成氧化物絕緣膜之後，也可以在惰性氣體氣圍下或氮氣體氣圍下進行加熱處理（最好是 200°C 或以上且 400°C 或以下，例如 250°C 或以上且 350°C 或以下）。例如，在氮氣圍下以 250°C 進行 1 小時的加熱處理。

接著選擇性地蝕刻氧化物絕緣膜及保護絕緣層以形成開口（圖 37 的 S111）。還可以在保護絕緣層上形成平坦化絕緣層。根據平坦化絕緣層的材料及形成方法，有時在形成時進行 250°C 左右的加熱處理，在這種情況下，可以省略在形成上述氧化物絕緣膜之後的在惰性氣體氣圍下或在氮氣體氣圍下的加熱處理。

接著，形成具有透光性的導電膜。使用濺射法或真空蒸鍍法等形成氧化銦（ In_2O_3 ）或氧化銦氧化錫合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，簡稱為 ITO）等作為具有透光性的導電膜的材料。作為具有透光性的導電膜的其他材料，可以使用含有氮的 Al-Zn-O 類非單晶膜，即 Al-Zn-O-N 類非單晶膜、含有氮的 Zn-O 類非單晶膜、含有氮的 Sn-Zn-O 類非單晶膜。另外，Al-Zn-O-N 類非單晶膜的鋅的組成比（原子百分比）是 47 原子%以下，該鋅的組成比大於非單晶

膜中的鋁的組成比（原子百分比），並且非單晶膜中的鋁的組成比（原子百分比）大於非單晶膜中的氮的組成比（原子百分比）。上述材料的蝕刻處理使用鹽酸類的溶液進行。但是，由於對 ITO 的蝕刻特別容易產生殘渣，因此也可以使用氧化銦氧化鋅合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ ），以便改善蝕刻加工性。

接著，進行微影步驟形成抗蝕劑掩罩，並藉由蝕刻去除具有透光性的導電膜的不需要的部分來形成像素電極層及導電層，然後去除抗蝕劑掩罩（參照圖 37 的 S112）。

接著，在大氣中，以 100°C 或以上且 200°C 或以下的溫度進行 1 小時或以上且 30 小時或以下的加熱處理（圖 37 的 S113）。在本實施例中以 150°C 進行 10 小時的加熱處理。作為該加熱處理，既可以在保持一定的加熱溫度的情況下進行，也可以將溫度反復多次地從室溫升至 100°C 以上且 200°C 以下再從加熱溫度降至室溫的情況下進行。另外，該加熱處理還可以在形成氧化物絕緣膜之前在減壓下進行。當在減壓下進行加熱處理時，可以縮短加熱時間。藉由該加熱處理，氫被從氧化物半導體層中引入到氧化物絕緣層中，從而可以獲得常關閉狀態的薄膜電晶體。由此可以提高半導體裝置的可靠性。

根據上述步驟，可以在同一基板上在驅動電路部及像素部中製造薄膜電晶體。

可以藉由與實施例 1 同樣地夾著液晶層貼合對置基板來製造本實施例的液晶顯示裝置。

實施例 12

在本實施例中，圖 38 示出從截面看時使用氮化物絕緣膜圍繞氧化物半導體層的例子。由於圖 38 與圖 1 除了氧化物絕緣層的上表面形狀及端部的位置不同以及閘極絕緣層的結構不同之外其他都相同，所以使用相同的符號表示相同的部分並省略對相同部分的詳細說明。

設置在驅動電路中的薄膜電晶體 180 為通道蝕刻型的薄膜電晶體，並在具有絕緣表面的基板 100 上包括閘極電極層 161、由氮化物絕緣膜構成的第一閘極絕緣層 188、由氧化物絕緣膜構成的第二閘極絕緣層 187a、氧化物半導體層 163、源極電極層 165a 及汲極電極層 165b。另外，覆蓋薄膜電晶體 180 地設置有接觸於氧化物半導體層 163 的通道形成區的氧化物絕緣層 177a。在氧化物絕緣層 177a 上還形成有保護絕緣層 178，並且在氧化物絕緣層 177a 上的與閘極電極層 161 及氧化物半導體層 163 重疊的位置上還設置有導電層 111。

設置在像素部中的薄膜電晶體 170 為通道蝕刻型薄膜電晶體，並在具有絕緣表面的基板 100 上包括閘極電極層 101、由氮化物絕緣膜構成的第一閘極絕緣層 188、由氧化物絕緣膜構成的第二閘極絕緣層 187b、氧化物半導體層 103、源極電極層 105a 及汲極電極層 105b。另外，覆蓋薄膜電晶體 170 地設置有接觸於氧化物半導體層 103 的通道形成區的氧化物絕緣層 177b。在氧化物絕緣層 177b

上還形成有保護絕緣層 178，並且在保護絕緣層 178 上設置有接觸於汲極電極層 105b 的像素電極層 110。

在本實施例中，在薄膜電晶體 170、180 中閘極絕緣層採用由閘極電極層一側的氮化物絕緣膜和氧化物絕緣膜構成的疊層結構。此外，當形成氧化物絕緣層的開口時，選擇性地去除第二閘極絕緣層的氧化物絕緣膜並以露出氮化物絕緣膜的方式進行加工。

至少氧化物絕緣層 177a、177b、第二閘極絕緣層 187a、187b 的上表面形狀寬於氧化物半導體層 163、103 的上表面形狀，並且最好氧化物絕緣層 177a、177b、第二閘極絕緣層 187a、187b 的上表面覆蓋薄膜電晶體 180、170。

並且，覆蓋氧化物絕緣層 177a、177b 的上表面及側面並以接觸於第一閘極絕緣層的氮化物絕緣膜的方式形成由氮化物絕緣膜構成的保護絕緣層 178。

作為由氮化物絕緣膜構成的保護絕緣層 178 及第一閘極絕緣層 188，使用藉由濺射法或電漿 CVD 法獲得的氮化矽膜、氧氮化矽膜、氮化鋁膜、氧氮化鋁膜等的不包含水分、氫離子或 OH^- 等的雜質並阻擋上述雜質從外部侵入的無機絕緣膜。

在本實施例中，作為由氮化物絕緣膜構成的保護絕緣層 178，以圍繞氧化物半導體層 163、103 的上表面及側面的方式藉由 RF 濺射法形成厚度為 100nm 的氮化矽膜。另外，保護絕緣層 178 接觸於由氮化物絕緣膜構成的第一

間極絕緣層 188。

藉由採用圖 38 所示的結構，可以在形成由氮化物絕緣膜構成的保護絕緣層 178 之後的製造步驟中防止來自外部的水分的侵入。此外，即使在將裝置作為半導體裝置，如作為液晶顯示裝置而完成之後，也可以長期防止來自外部的水分的侵入，所以能夠提高裝置的長期可靠性。

另外，雖然在本實施例中示出使用氮化物絕緣膜圍繞一個薄膜電晶體的結構，但並不侷限於此，而還可以採用使用氮化物絕緣膜圍繞多個薄膜電晶體的結構或者使用氮化物絕緣膜圍繞像素部的多個薄膜電晶體的結構。以至少圍繞主動矩陣基板的像素部的邊緣的方式設置保護絕緣層 178 與第一間極絕緣層 188 接觸的區域。

本實施例可以與其他實施例所記載的結構適當地組合而實施。

【符號說明】

- 11：佈線
- 12：佈線
- 13：佈線
- 14：佈線
- 15：佈線
- 21：輸入端子
- 22：輸入端子
- 23：輸入端子

- 24 : 輸入端子
- 25 : 輸入端子
- 26 : 輸出端子
- 27 : 輸出端子
- 28 : 薄膜電晶體
- 31 : 電晶體
- 32 : 電晶體
- 33 : 電晶體
- 34 : 電晶體
- 35 : 電晶體
- 36 : 電晶體
- 37 : 電晶體
- 38 : 電晶體
- 39 : 電晶體
- 40 : 電晶體
- 41 : 電晶體
- 42 : 電晶體
- 43 : 電晶體
- 51 : 電源線
- 52 : 電源線
- 53 : 電源線
- 100 : 基板
- 101 : 電極
- 102 : 閘極絕緣層

- 103 : 氧化物半導體層
- 107 : 氧化物絕緣膜
- 108 : 電容佈線
- 109 : 平坦化絕緣層
- 110 : 像素電極層
- 111 : 導電層
- 116 : 通道形成區
- 118 : 接觸孔
- 119 : 接觸孔
- 120 : 連接電極
- 121 : 端子
- 122 : 端子
- 125 : 接觸孔
- 126 : 接觸孔
- 127 : 接觸孔
- 128 : 端子電極
- 129 : 端子電極
- 130 : 氧化物半導體膜
- 131 : 氧化物半導體層
- 133 : 氧化物半導體層
- 134 : 氧化物半導體層
- 137 : 抗蝕劑掩罩
- 138 : 氧化物導電層
- 140 : 氧化物導電膜

- 142 : 氧化物導電層
- 143 : 氧化物導電層
- 145 : 佈線層
- 146 : 電容
- 147 : 電容
- 148 : 電容
- 150 : 端子
- 151 : 端子
- 153 : 連接電極
- 155 : 導電膜
- 156 : 電極
- 161 : 閘極電極層
- 162 : 導電層
- 163 : 氧化物半導體層
- 166 : 通道形成區
- 168 : 氧化物半導體層
- 170 : 薄膜電晶體
- 171 : 薄膜電晶體
- 172 : 薄膜電晶體
- 173 : 薄膜電晶體
- 178 : 保護絕緣層
- 180 : 薄膜電晶體
- 181 : 薄膜電晶體
- 182 : 薄膜電晶體

- 183 : 薄膜電晶體
- 188 : 閘極絕緣層
- 190 : 對置基板
- 191 : 絕緣層
- 192 : 液晶層
- 193 : 絕緣層
- 194 : 對置電極層
- 195 : 著色層
- 202 : 閘極絕緣層
- 203 : 保護絕緣層
- 206 : 共同電極層
- 210 : 共同電位線
- 220 : 薄膜電晶體
- 227 : 像素電極層
- 402 : 閘極絕緣層
- 600 : 基板
- 601 : 對置基板
- 602 : 閘極佈線
- 603 : 閘極佈線
- 604 : 電容佈線
- 605 : 電容佈線
- 606 : 閘極絕緣膜
- 607 : 電極層
- 609 : 共同電位線

- 615 : 電容電極
- 616 : 佈線
- 618 : 佈線
- 619 : 佈線
- 620 : 絕緣膜
- 622 : 絕緣膜
- 623 : 接觸孔
- 624 : 像素電極層
- 625 : 狹縫
- 626 : 像素電極層
- 627 : 接觸孔
- 628 : TFT
- 629 : TFT
- 630 : 儲存電容部
- 631 : 儲存電容部
- 633 : 接觸孔
- 636 : 彩色膜
- 637 : 平坦化膜
- 640 : 對置電極層
- 641 : 狹縫
- 644 : 突起
- 646 : 對準膜
- 648 : 對準膜
- 650 : 液晶層

- 651 : 液晶元件
- 652 : 液晶元件
- 104a : 氧化物導電層
- 104b : 氧化物導電層
- 105a : 源極電極層
- 105b : 汲極電極層
- 117a : 高電阻源極區
- 117b : 高電阻汲極區
- 135a : 抗蝕劑掩罩
- 136a : 抗蝕劑掩罩
- 164a : 氧化物導電層
- 164b : 氧化物導電層
- 165a : 源極電極層
- 165b : 汲極電極層
- 167a : 高電阻源極區
- 167b : 高電阻汲極區
- 177a : 氧化物絕緣層
- 177b : 氧化物絕緣層
- 187a : 閘極絕緣層
- 187b : 閘極絕緣層
- 196a : 偏光板
- 2600 : TFT 基板
- 2601 : 對置基板
- 2602 : 密封材料

- 2603 : 像素部
- 2604 : 顯示元件
- 2605 : 著色層
- 2606 : 偏光板
- 2607 : 偏光板
- 2608 : 佈線電路部
- 2609 : 撓性線路板
- 2610 : 冷陰極管
- 2611 : 反射板
- 2612 : 電路基板
- 2613 : 擴散板
- 2700 : 電子書閱讀器
- 2701 : 框體
- 2703 : 框體
- 2705 : 顯示部
- 2707 : 顯示部
- 2711 : 軸部
- 2721 : 電源
- 2723 : 操作鍵
- 2725 : 揚聲器
- 4001 : 基板
- 4002 : 像素部
- 4003 : 信號線驅動電路
- 4004 : 掃描線驅動電路

- 4005 : 密封材料
- 4006 : 基板
- 4008 : 液晶層
- 4010 : 薄膜電晶體
- 4011 : 薄膜電晶體
- 4013 : 液晶元件
- 4015 : 連接端子電極
- 4016 : 端子電極
- 4018 : FPC
- 4020 : 絕緣層
- 4021 : 絕緣層
- 4030 : 像素電極層
- 4031 : 對置電極層
- 4032 : 絕緣層
- 4035 : 間隔物
- 4040 : 導電層
- 5300 : 基板
- 5301 : 像素部
- 5302 : 掃描線驅動電路
- 5303 : 掃描線驅動電路
- 5304 : 信號線驅動電路
- 5305 : 時序控制電路
- 5601 : 移位暫存器
- 5602 : 開關電路部

5603 : 薄膜電晶體

5604 : 佈線

5605 : 佈線

9201 : 顯示部

9202 : 顯示鈕

9203 : 操作開關

9205 : 調節部

● 9206 : 拍攝裝置部

9207 : 揚聲器

9208 : 麥克風

9301 : 上部框體

9302 : 下部框體

9303 : 顯示部

9304 : 鍵盤

9305 : 外部連接埠

● 9306 : 定位裝置

9307 : 顯示部

9600 : 電視裝置

9601 : 框體

9603 : 顯示部

9605 : 支架

9607 : 顯示部

9609 : 操作鍵

9610 : 遙控操作機

- 9700：數位相框
- 9701：框體
- 9703：顯示部
- 9881：框體
- 9882：顯示部
- 9883：顯示部
- 9884：揚聲器部
- 9885：操作鍵
- 9886：記錄媒體插入部
- 9887：連接端子
- 9888：感測器
- 9889：麥克風
- 9890：LED 燈
- 9891：框體
- 9893：連接部
- 9900：投幣機
- 9901：框體
- 9903：顯示部

本說明書根據 2009 年 8 月 7 日在日本專利局受理的日本專利申請編號 2009-185317 而製作，所述申請內容包括在本說明書中。

申請專利範圍

1. 一種半導體裝置，包括：

包括第一電晶體的驅動電路部，該第一電晶體包括第一氧化物半導體層及在該第一氧化物半導體層上的導電層；以及

包括第二電晶體的像素部，該第二電晶體包括第二氧化物半導體層，

其中絕緣層在該第一氧化物半導體層及該第二氧化物半導體層上，

其中各該第一氧化物半導體層及該第二氧化物半導體層包括與該絕緣層接觸的部分，

其中該部分係在氧過剩狀態，且

其中該導電層與該部分重疊。

2. 如申請專利範圍第 1 項的半導體裝置，

其中各該第一氧化物半導體層和該第二氧化物半導體層更包括源極區和汲極區，且

其中該部分在該源極區和該汲極區之間。

3. 一種半導體裝置，包括：

包括第一電晶體的驅動電路部，該第一電晶體包括第一氧化物半導體層及在該第一氧化物半導體層上的導電層；以及

包括第二電晶體的像素部，該第二電晶體包括第二氧化物半導體層，

其中絕緣層在該第一氧化物半導體層及該第二氧化物

半導體層上，

其中各該第一氧化物半導體層及該第二氧化物半導體層包括源極區、汲極區和在該源極區和該汲極區之間的部分，

其中該部分接觸該絕緣層，

其中該部分係在氧過剩狀態，且

其中該導電層與該部分重疊。

4. 如申請專利範圍第 2 或 3 項的半導體裝置，其中該部分的載子濃度低於該源極區和該汲極區的載子濃度。

5. 如申請專利範圍第 2 或 3 項的半導體裝置，

其中各該第一電晶體和該第二電晶體更包括源極電極層和汲極電極層，

其中該源極電極層電連接至該源極區，且

其中該汲極電極層電連接至該汲極區。

6. 如申請專利範圍第 1 或 3 項的半導體裝置，

其中各該第一電晶體和該第二電晶體更包括閘極電極層，且

其中該閘極電極層與該部分彼此重疊。

7. 如申請專利範圍第 1 或 3 項的半導體裝置，其中各該第一氧化物半導體層及該第二氧化物半導體層含有銮、鎵及鋅。

8. 如申請專利範圍第 1 或 3 項的半導體裝置，其中各該第一氧化物半導體層及該第二氧化物半導體層含有銮、錫及鋅。

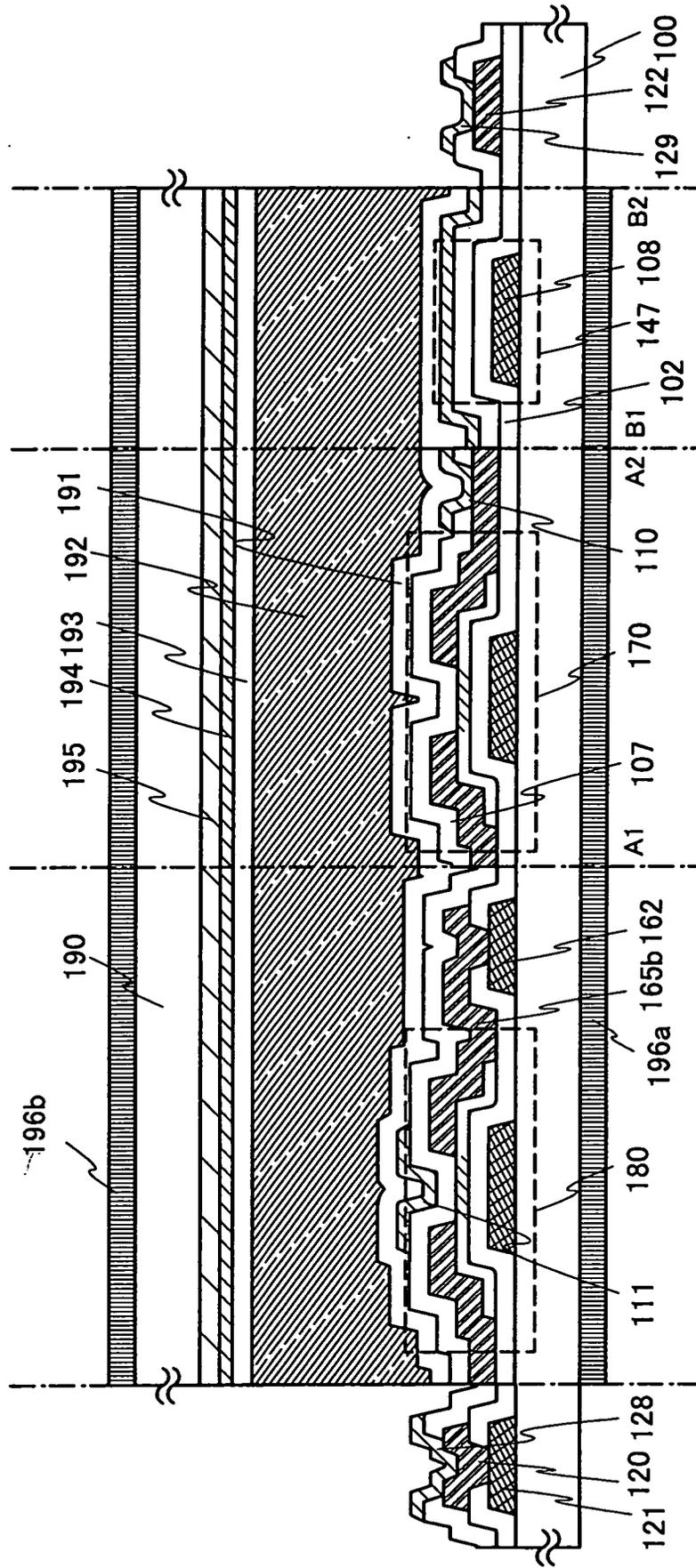
9. 如申請專利範圍第 1 或 3 項的半導體裝置，其中該第一氧化物半導體層的材料與該第二氧化物半導體層的材料相同。

10. 一種電子設備，包括如申請專利範圍第 1 或 3 項的半導體裝置，其中該電子設備係選自電視裝置、電腦的監視器、影像拍攝裝置、數位相框、行動電話機、可攜式遊戲機、可攜式資訊終端、聲音再現裝置及大型遊戲機的群組的之一。

11. 一種電子設備，包括如申請專利範圍第 1 或 3 項的半導體裝置，其中該電子設備係手錶。

圖式

圖1



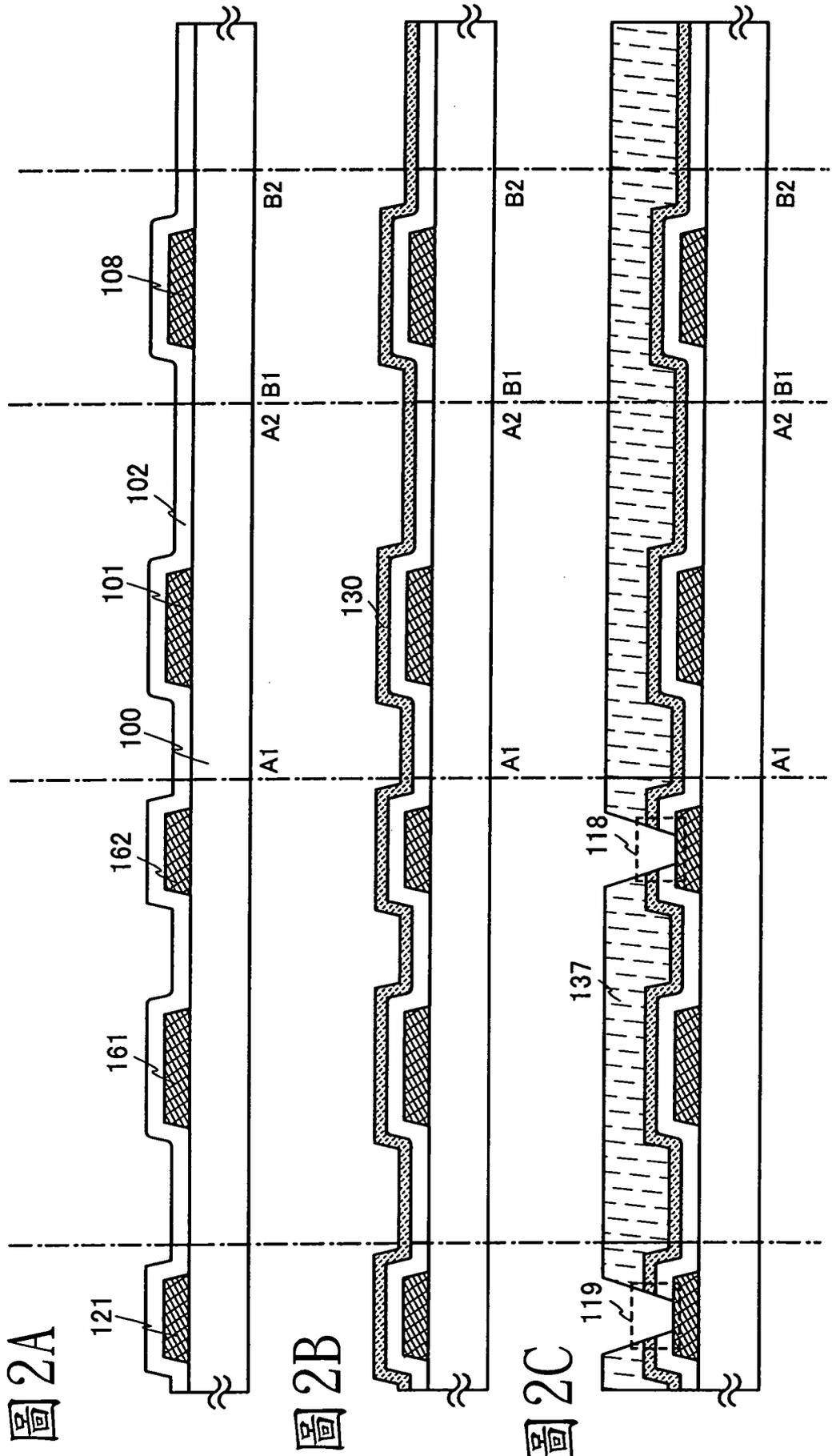
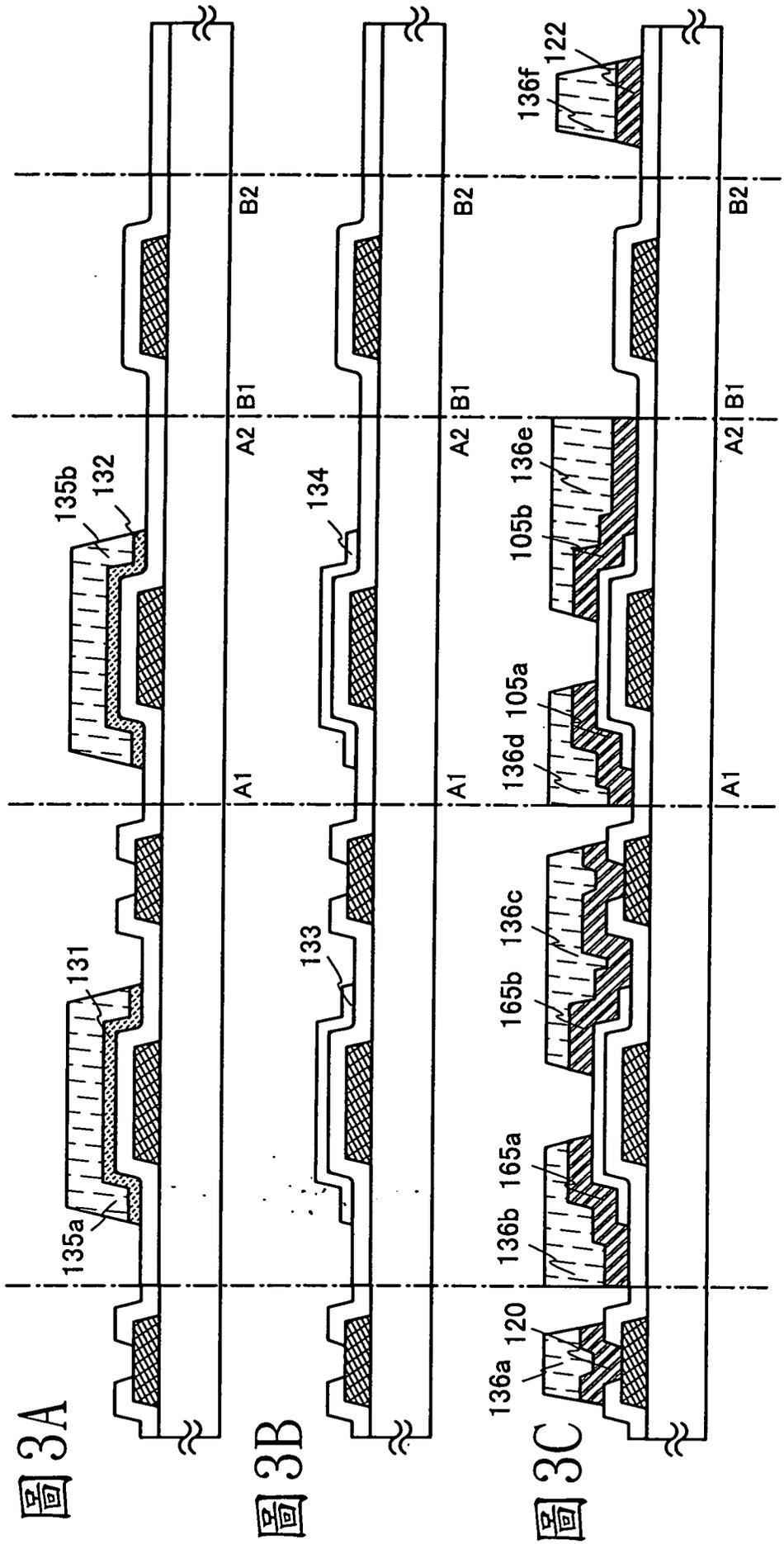


圖 2A

圖 2B

圖 2C



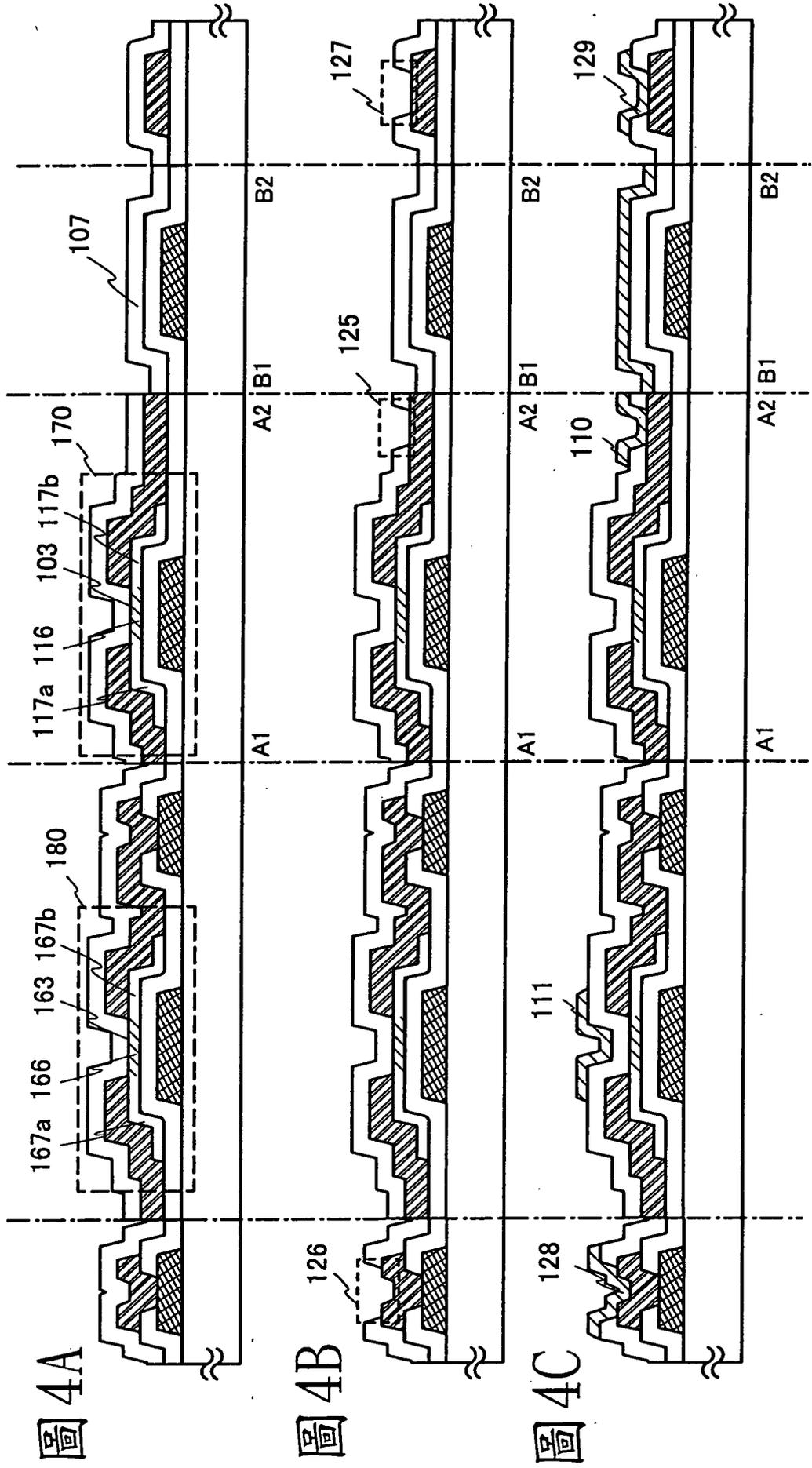


圖5

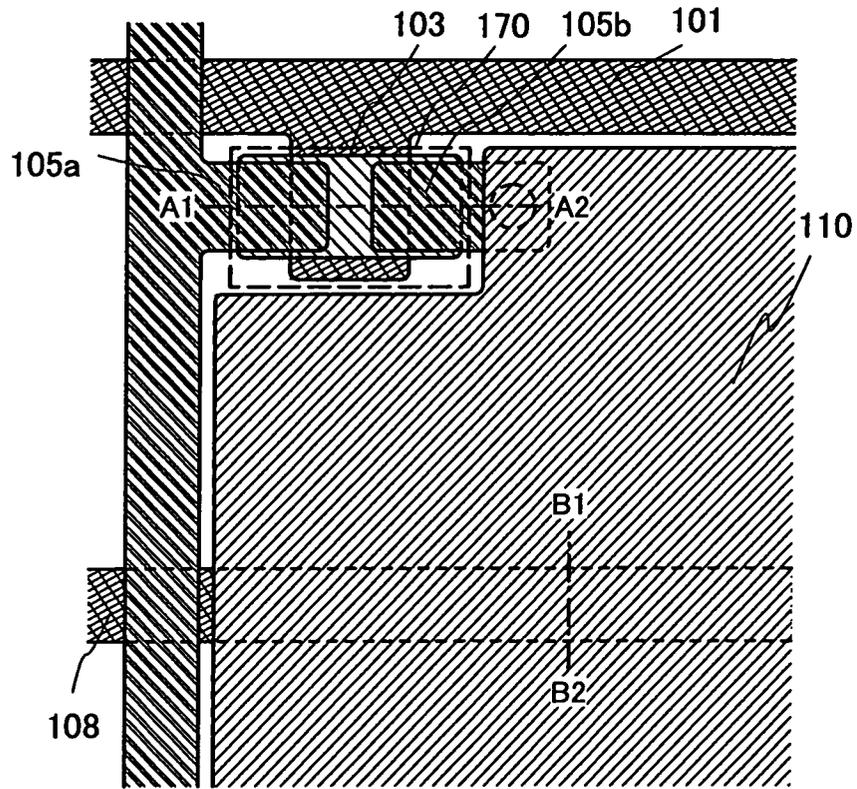


圖6A

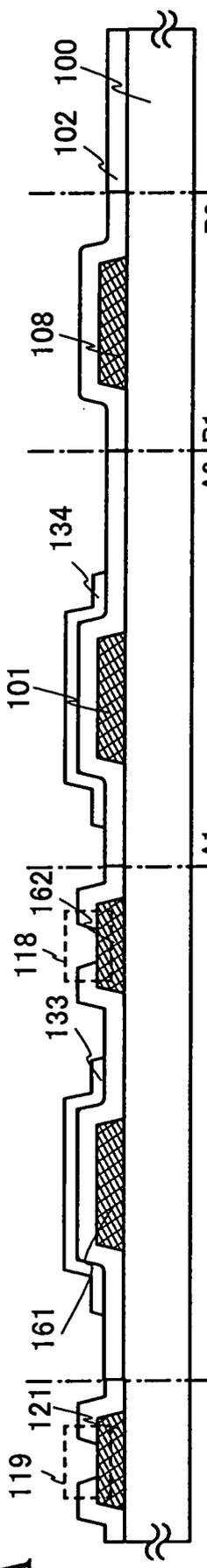


圖6B

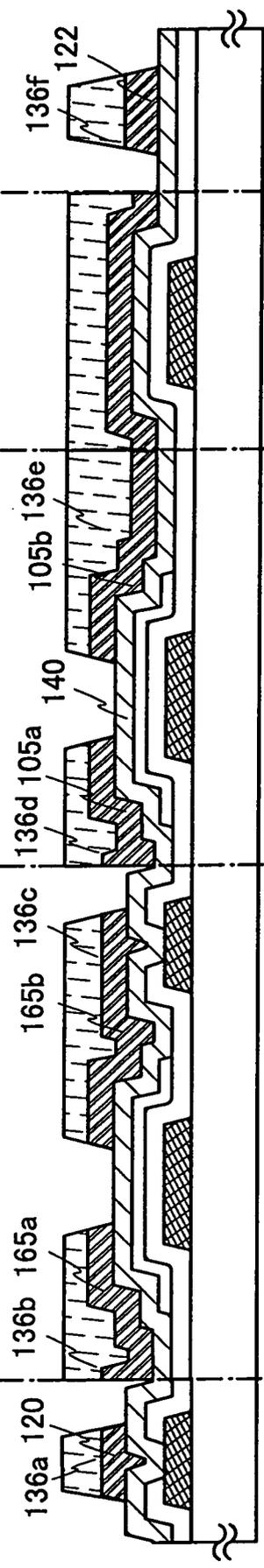


圖6C

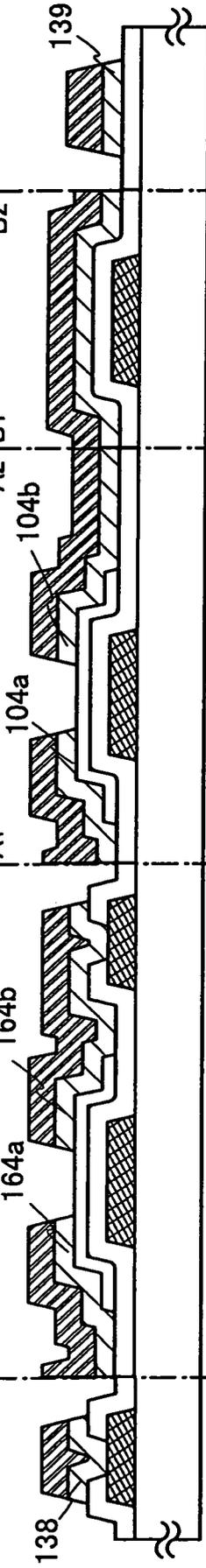


圖6D

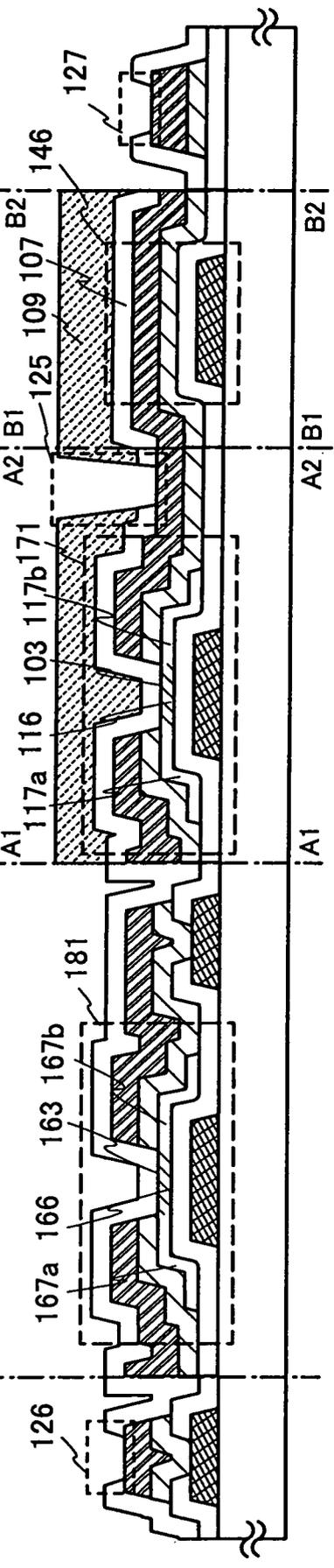


圖7A

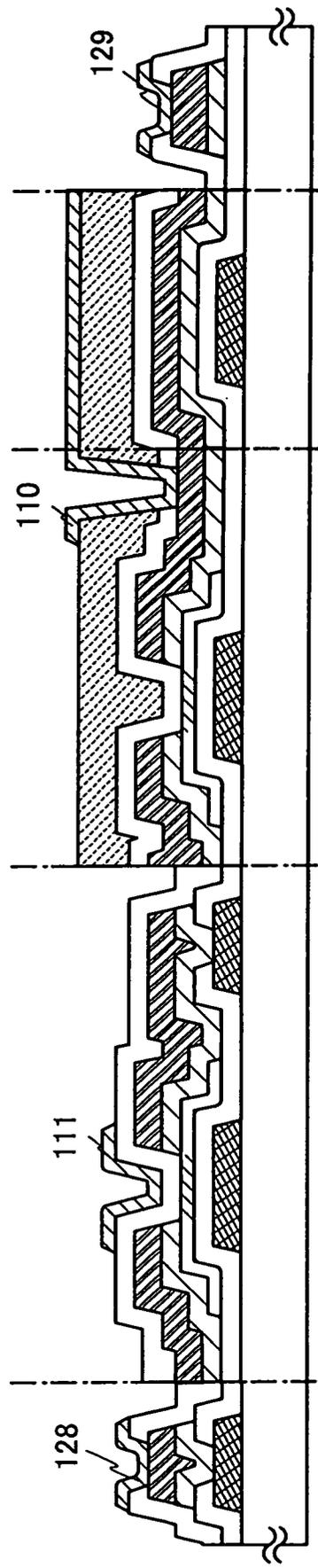


圖7B

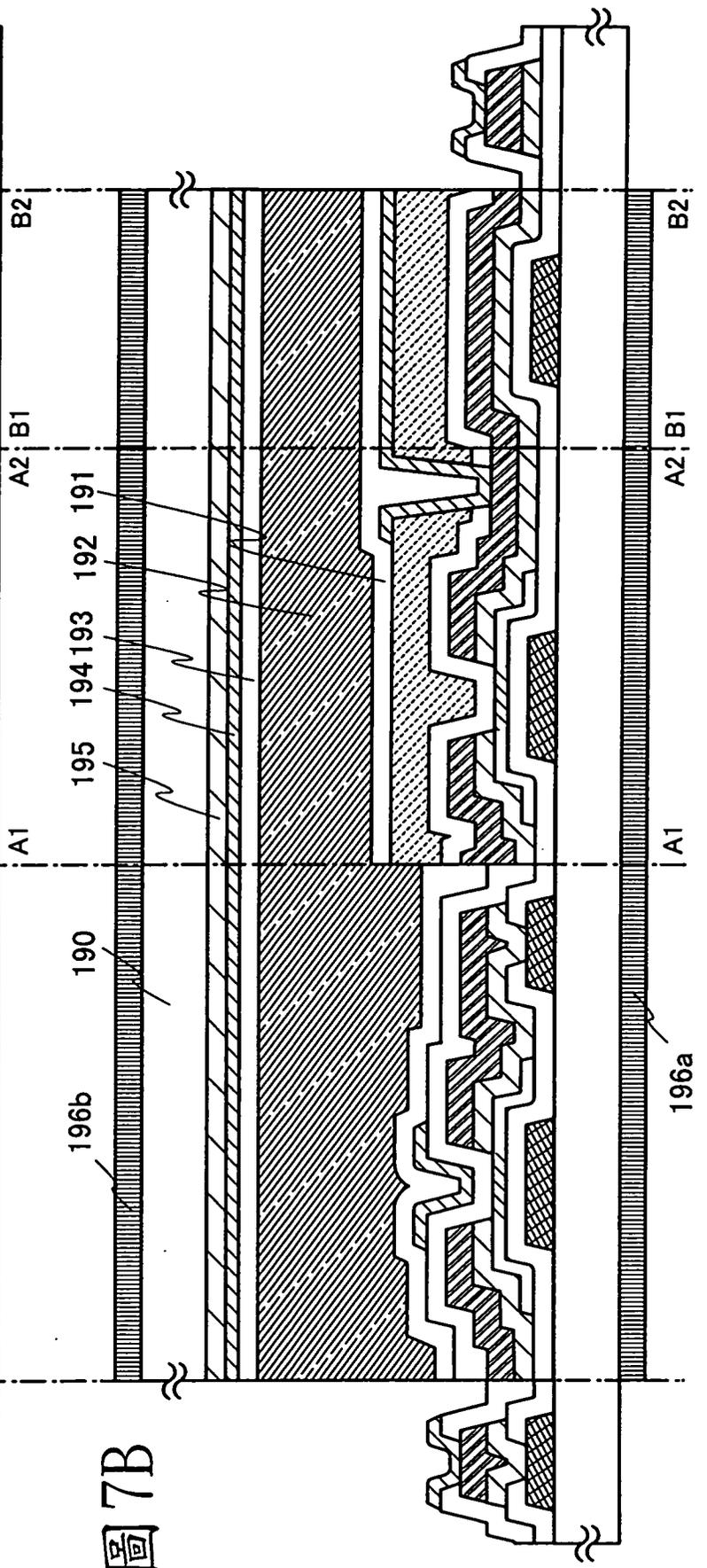


圖9A

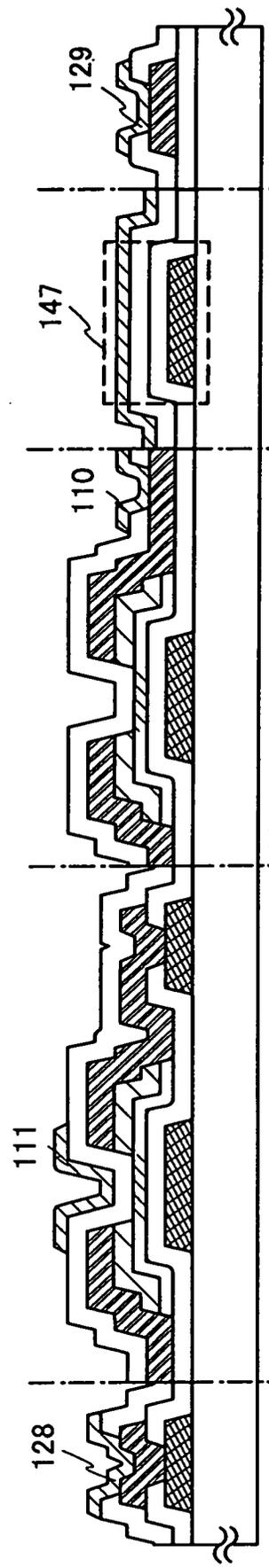


圖9B

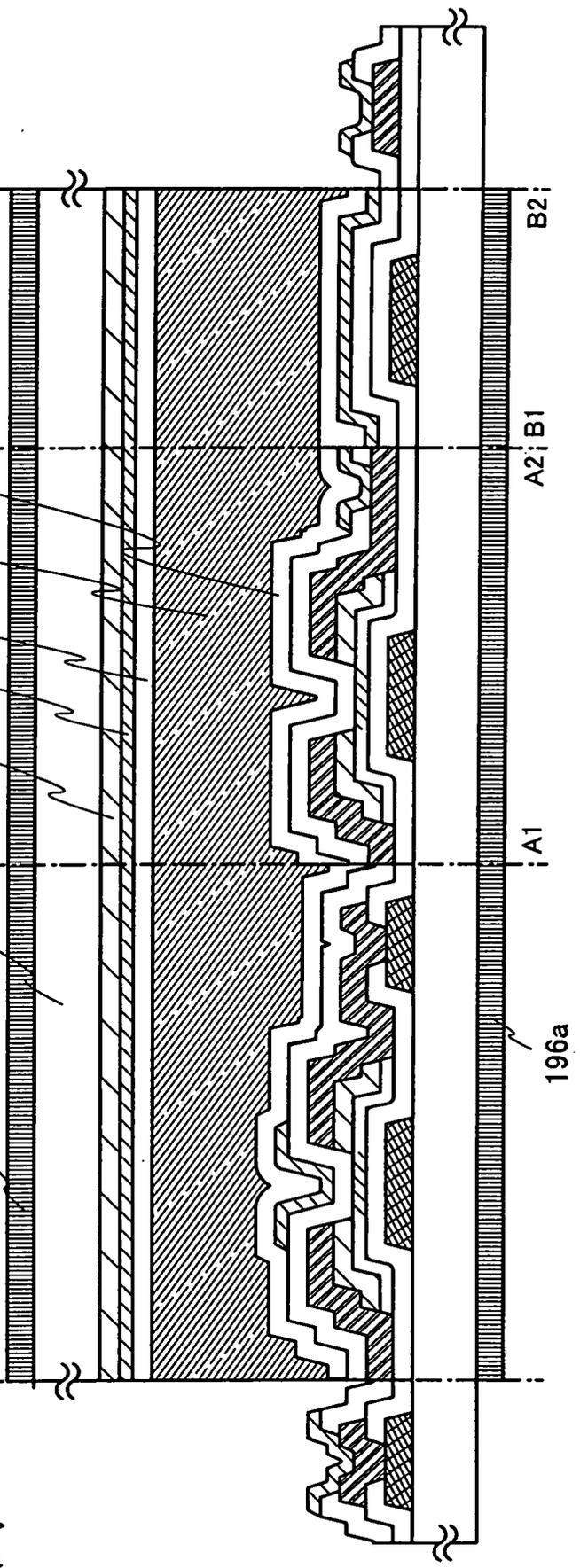


圖10

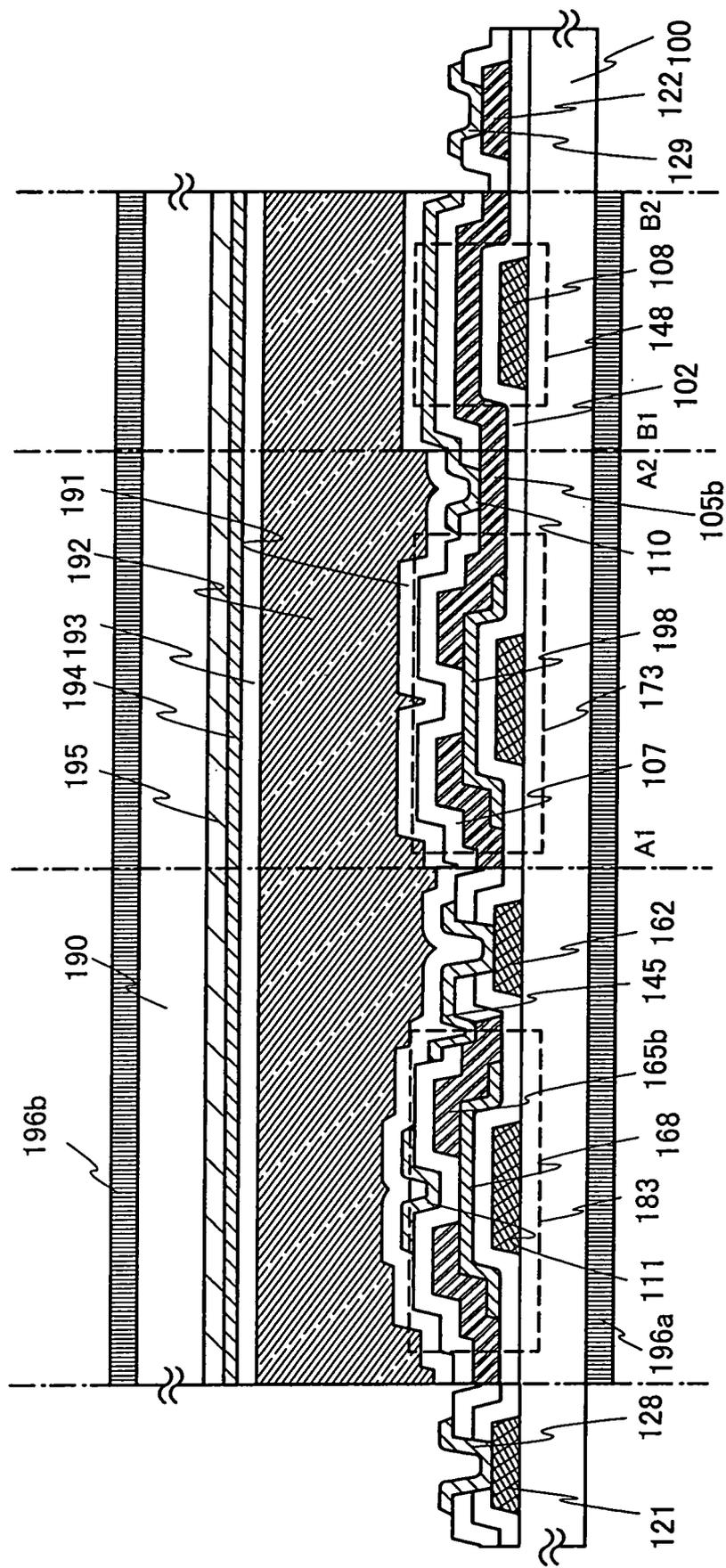


圖 11A

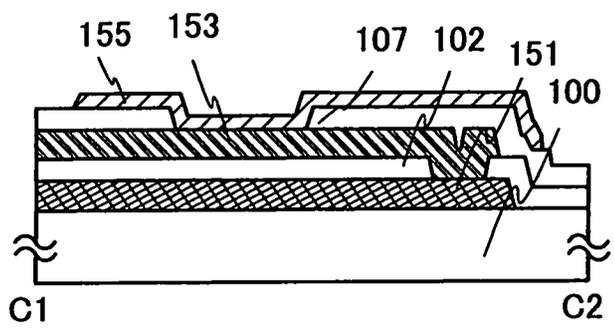


圖 11B

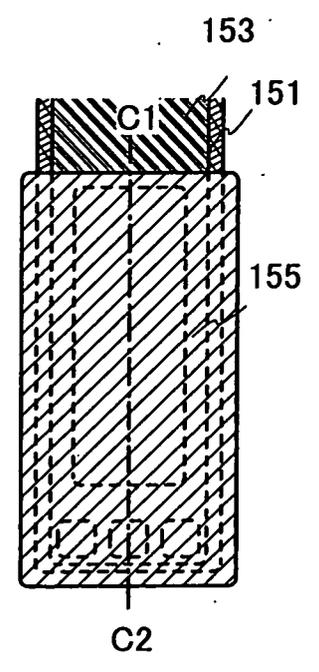


圖 11C

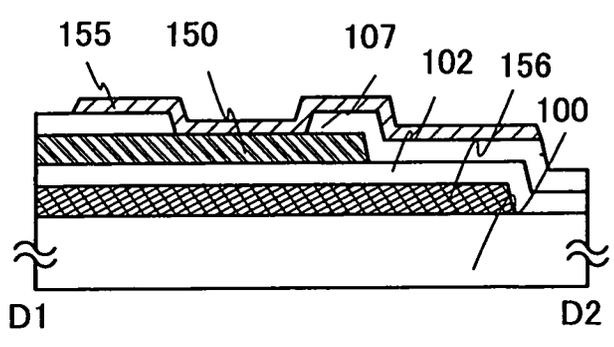


圖 11D

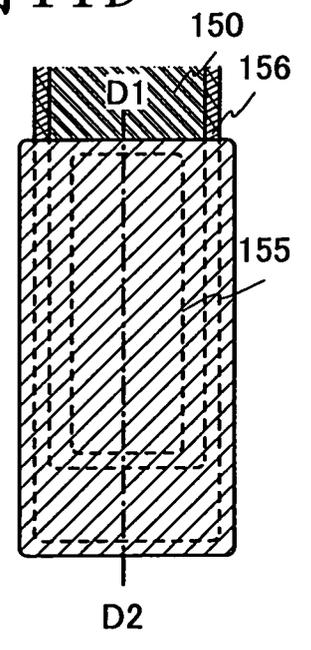


圖 12A

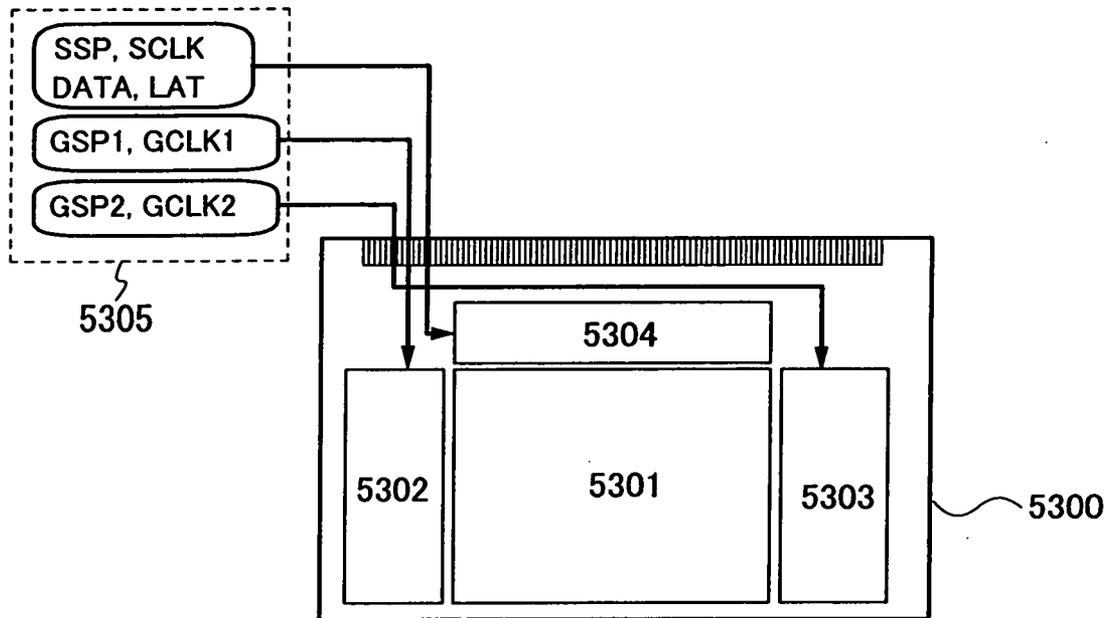


圖 12B

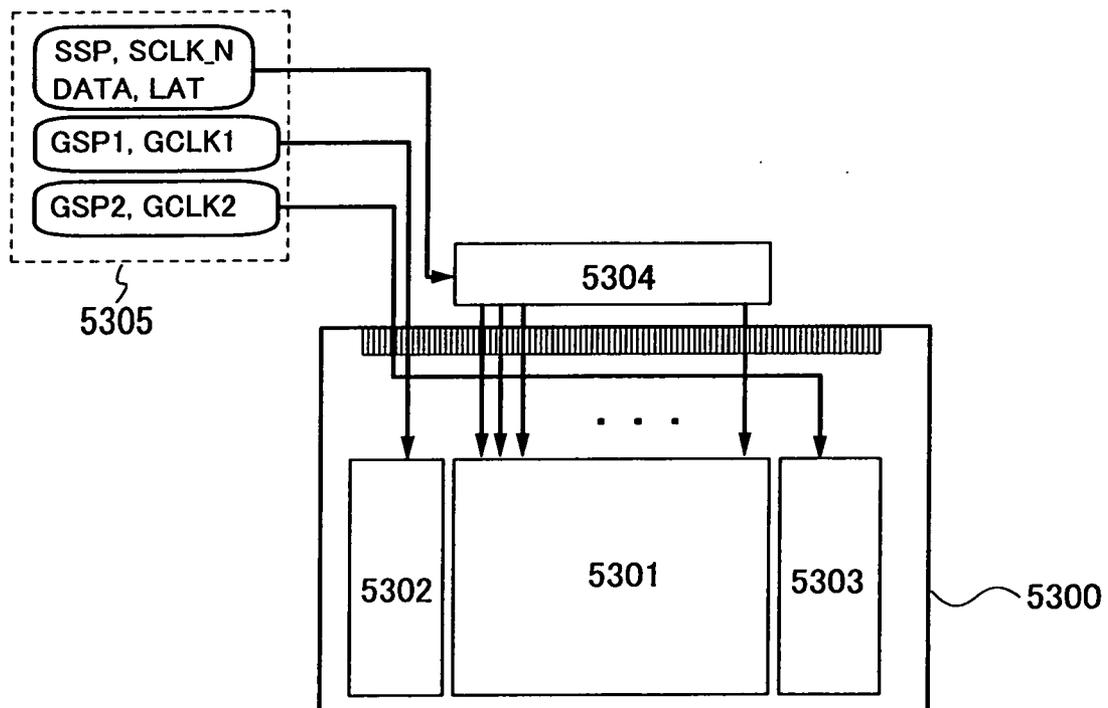


圖 13A

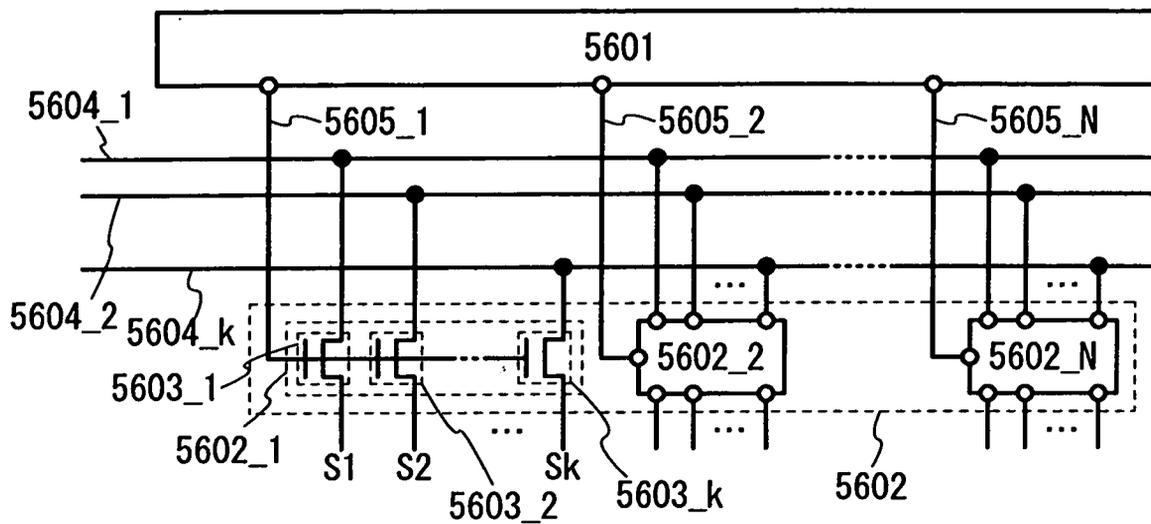


圖 13B

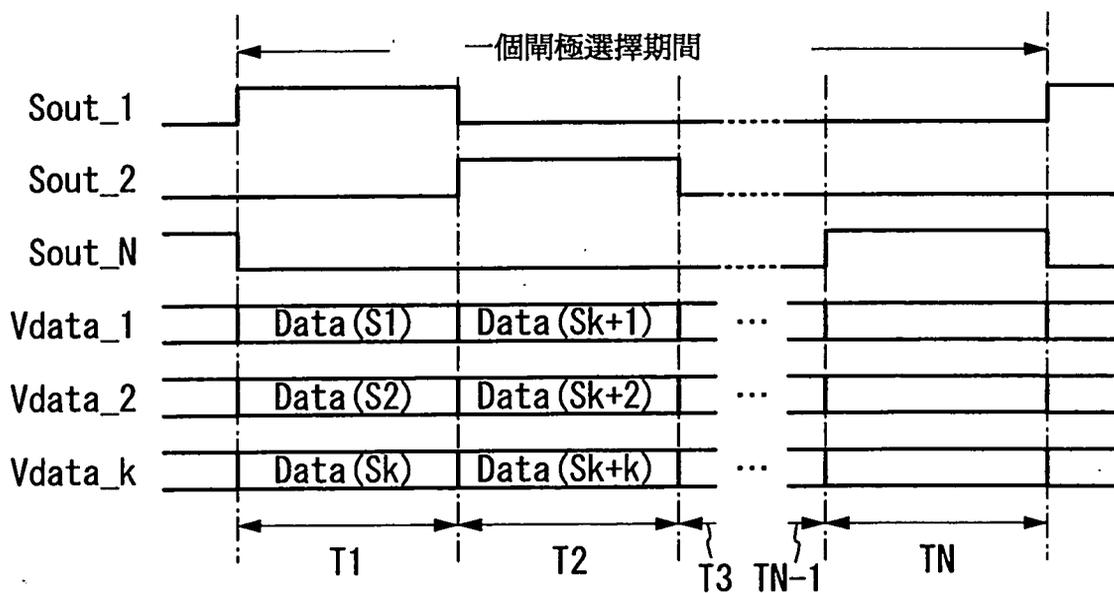


圖 14A

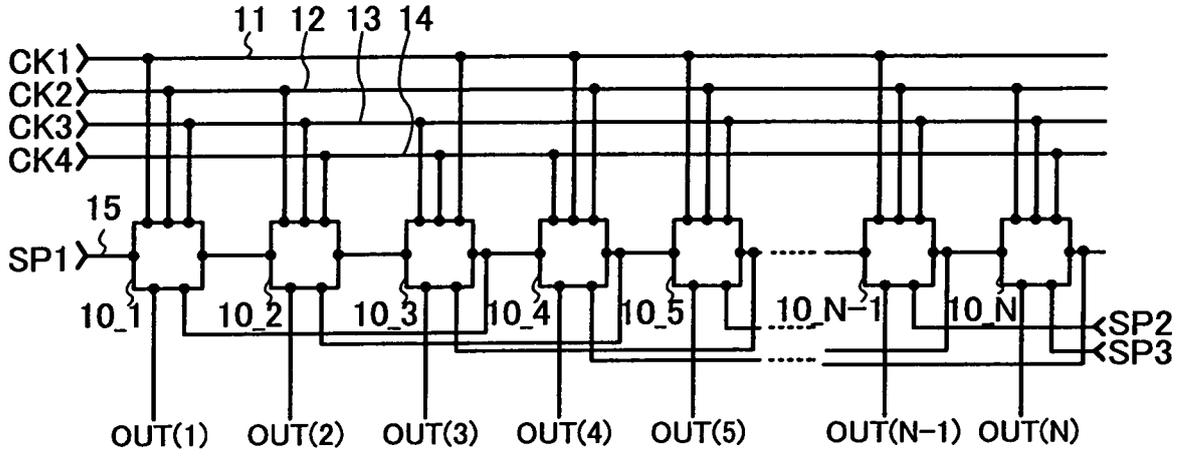


圖 14B

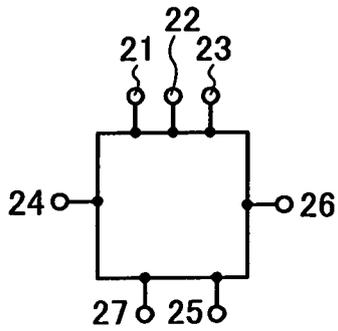


圖 14C

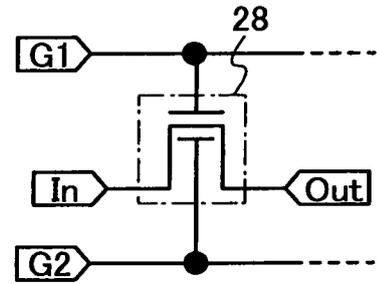


圖 14D

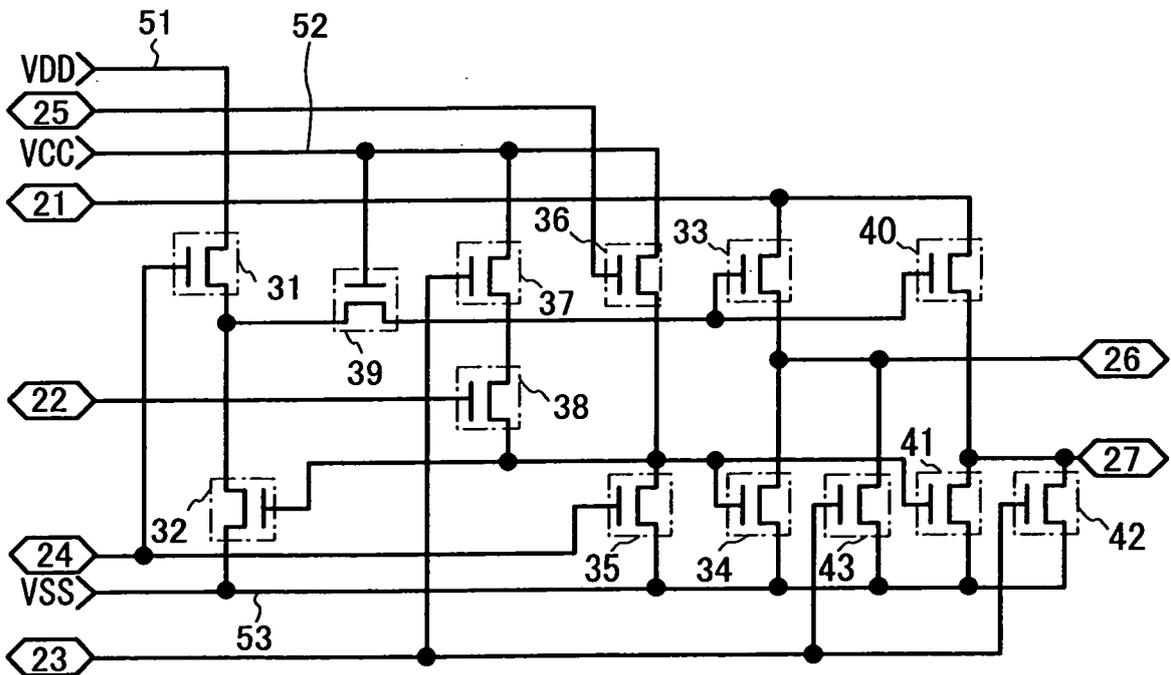


圖 16A

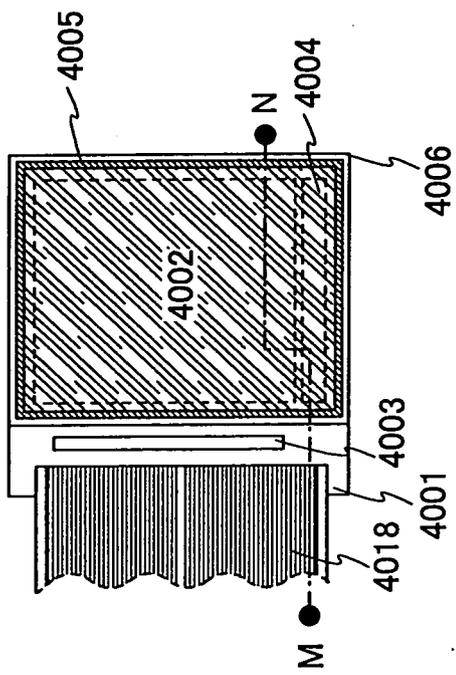


圖 16B

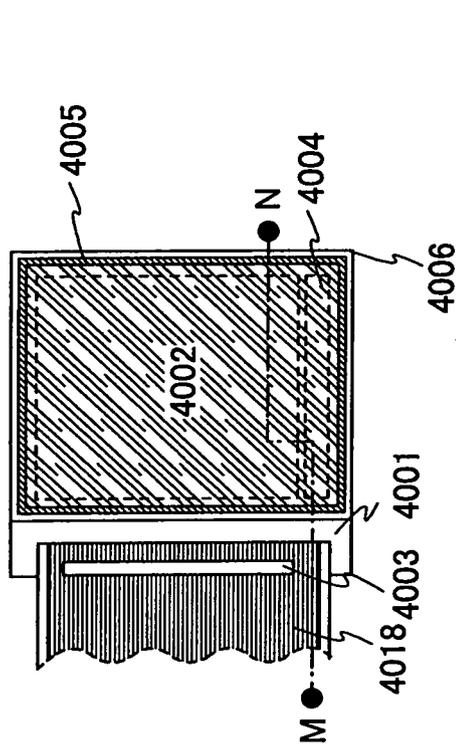


圖 16C

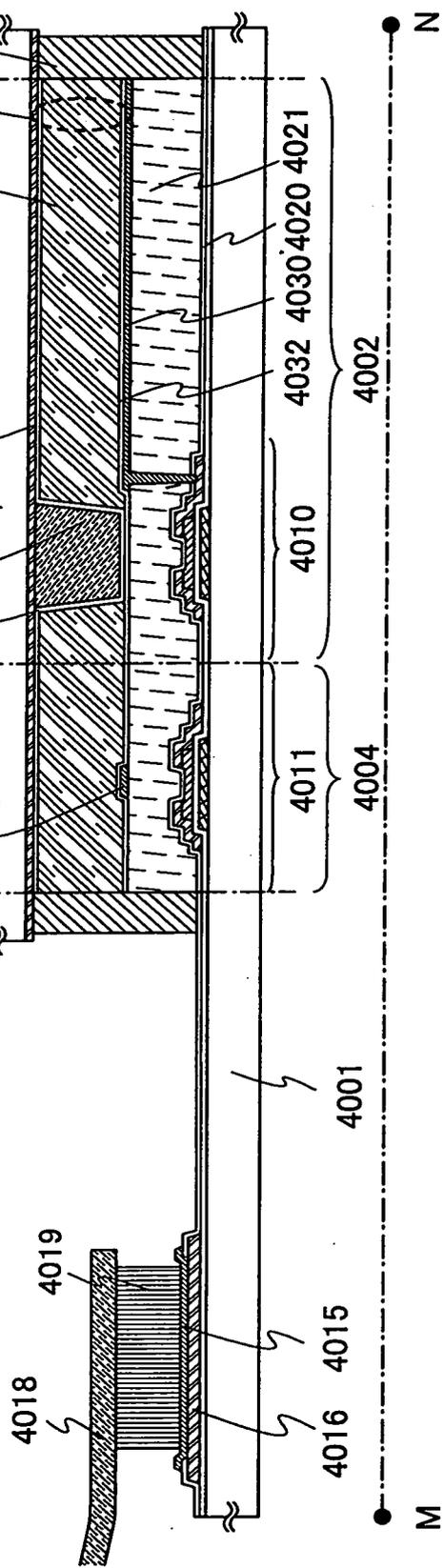


圖17

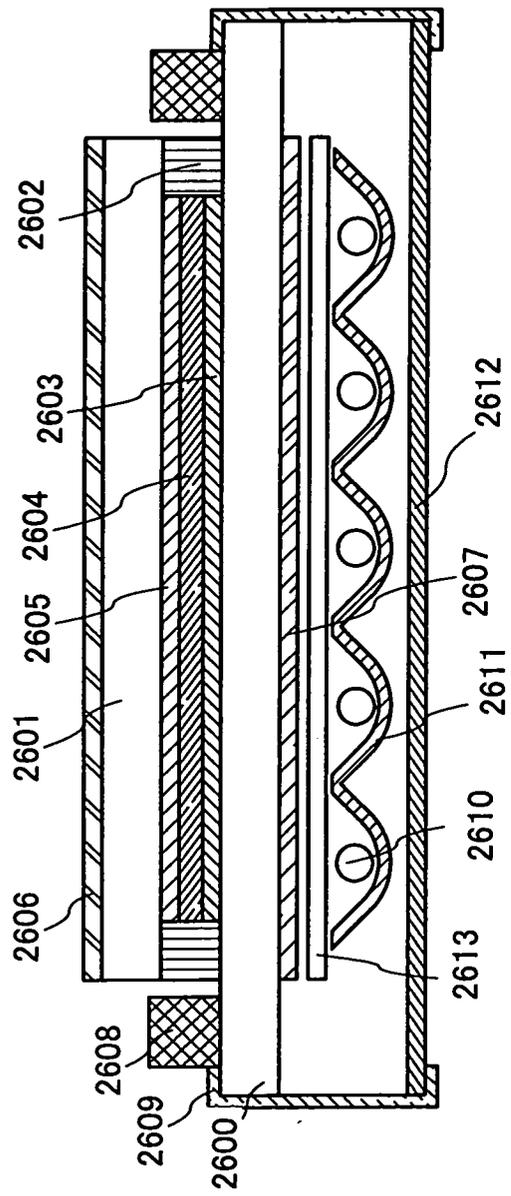


圖 18

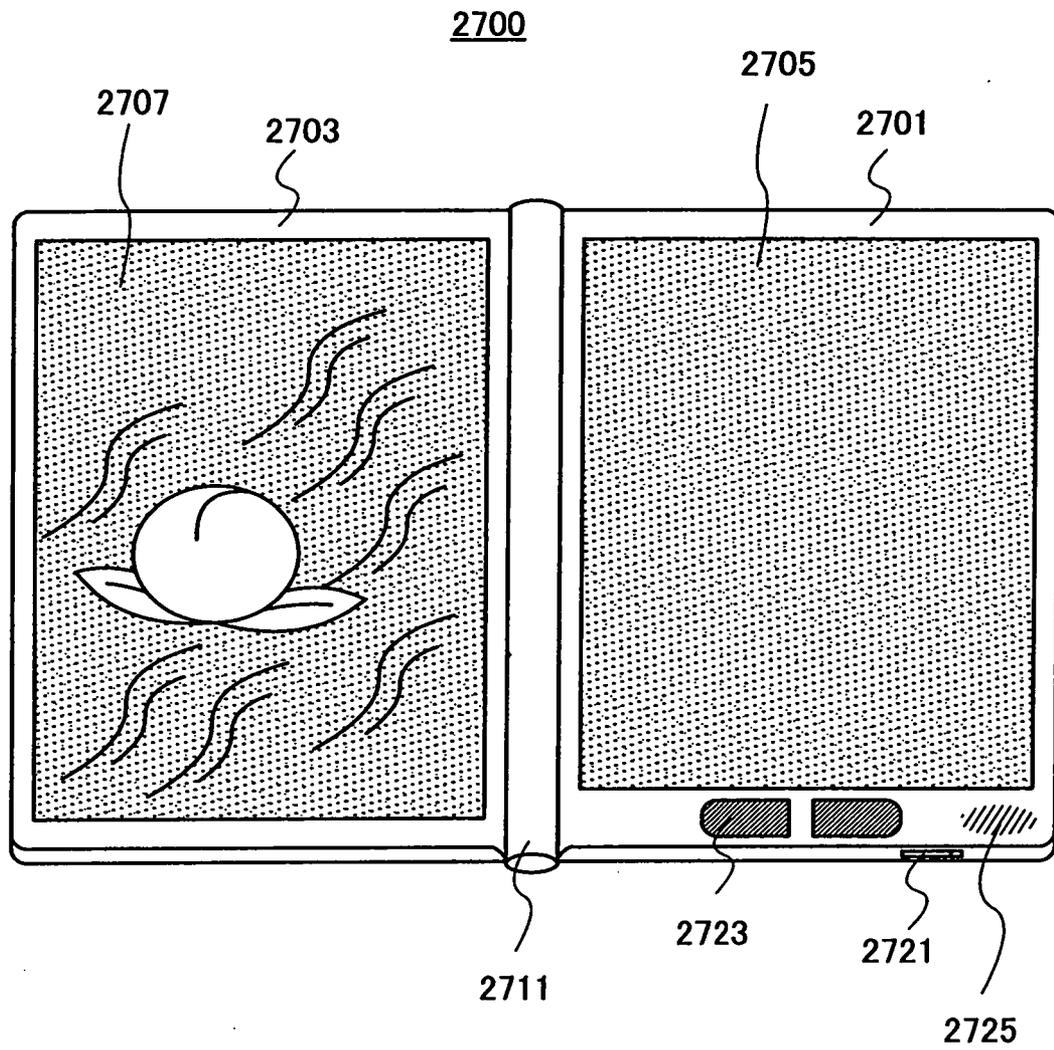


圖 19A

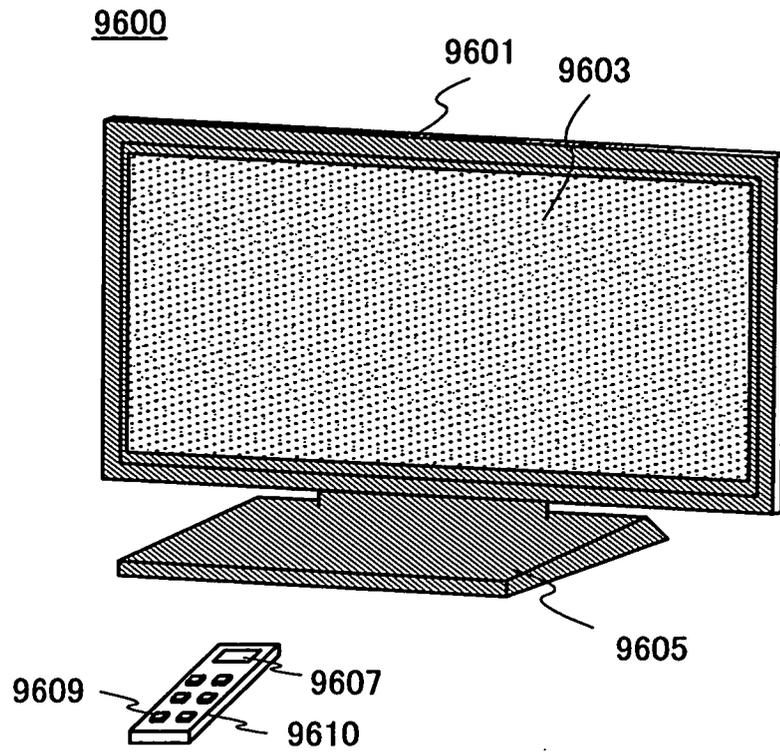


圖 19B

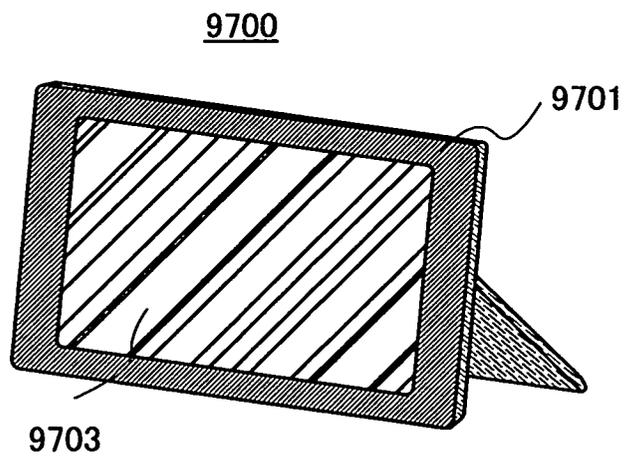


圖 20A

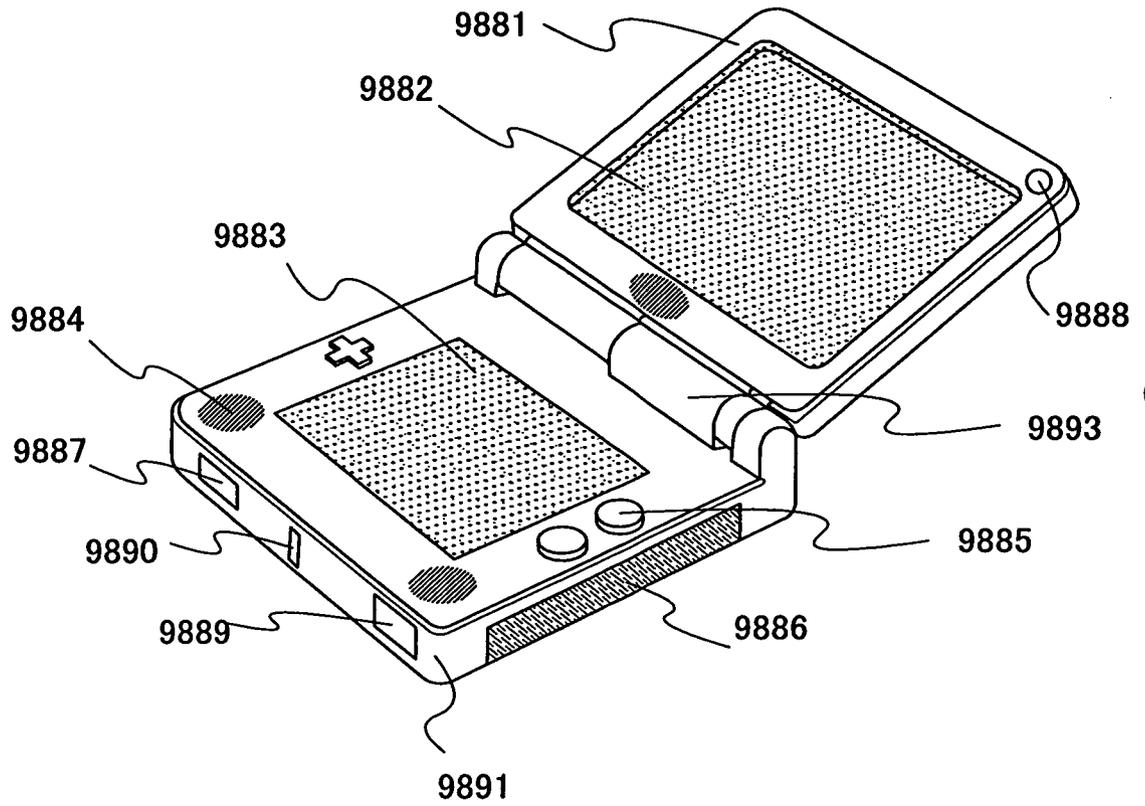


圖 20B

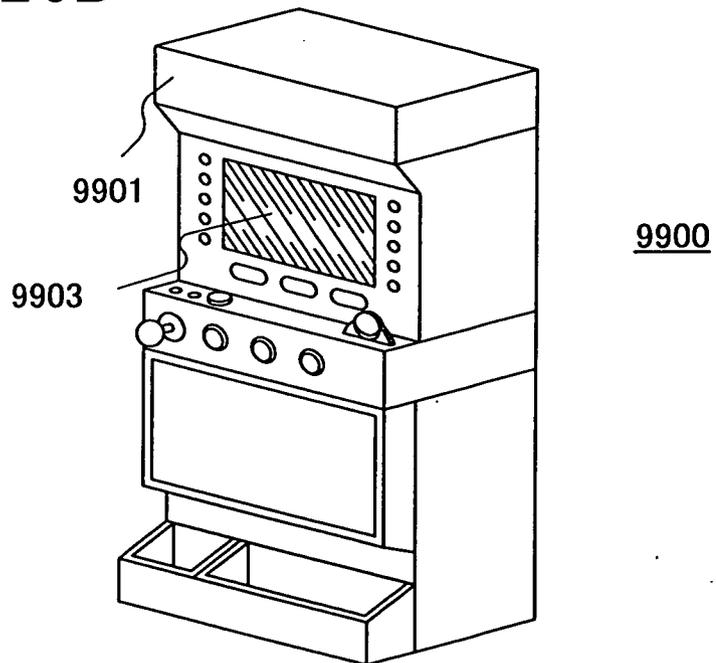


圖 21A

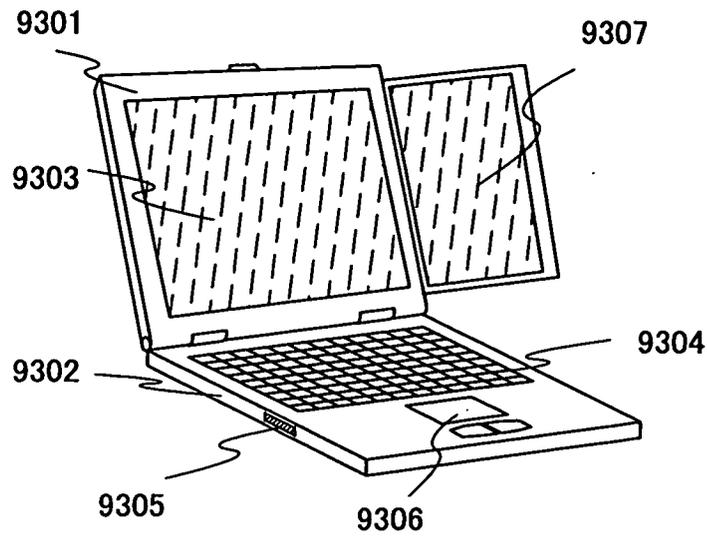


圖 21B

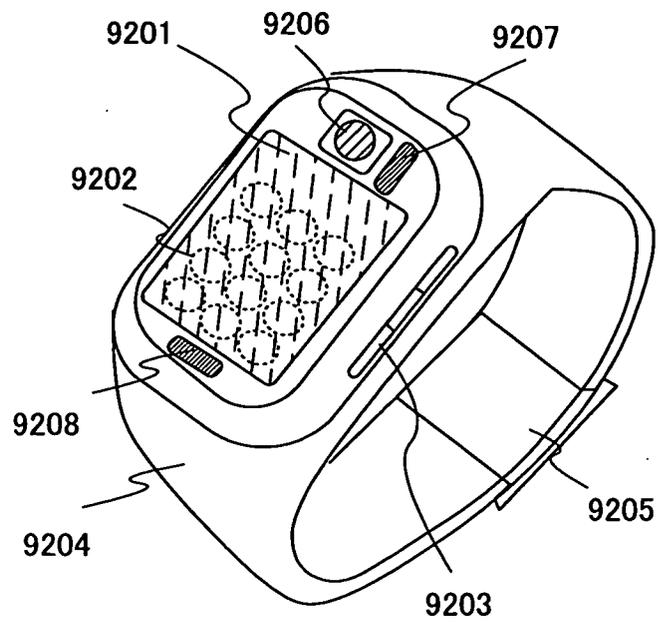


圖22

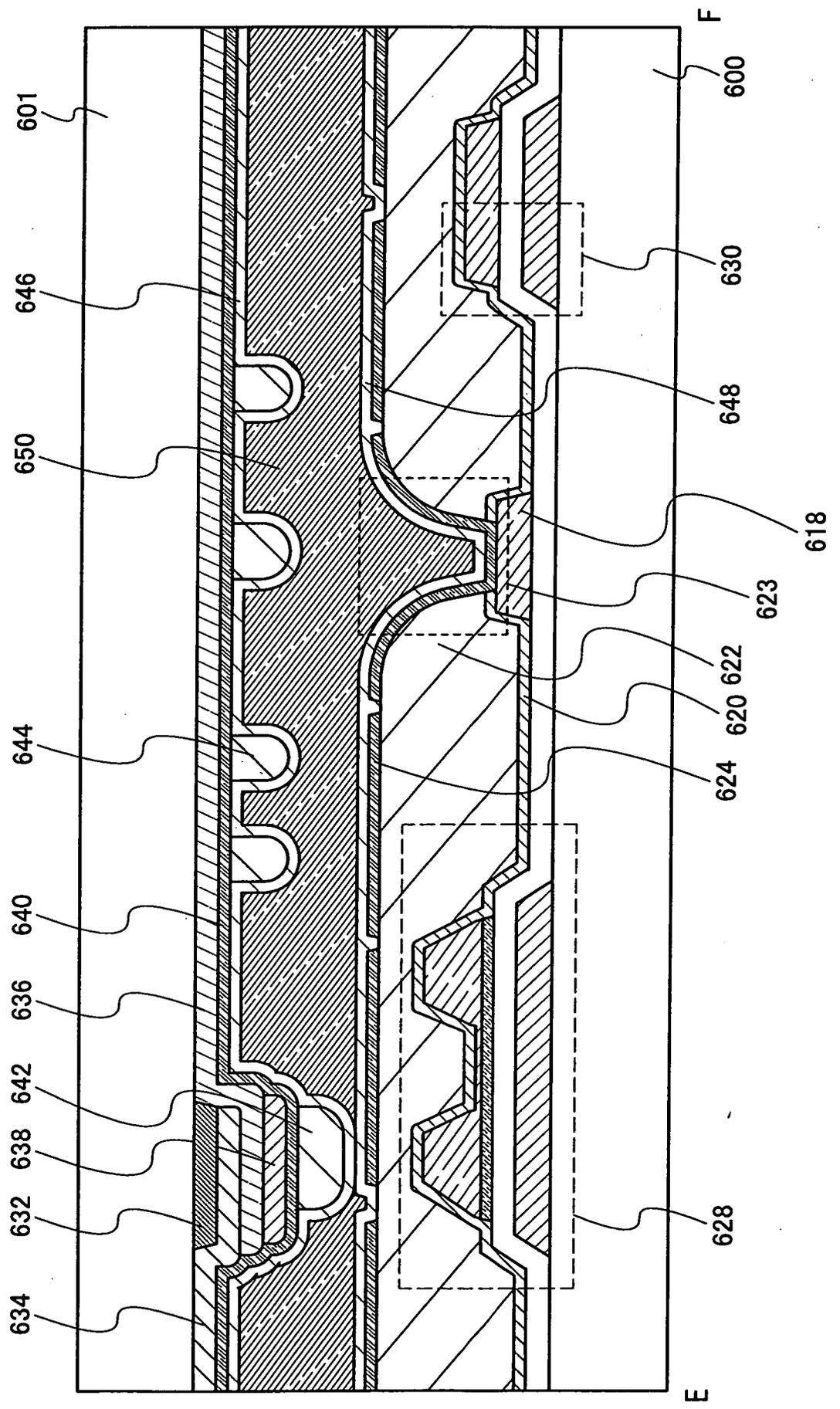


圖 23

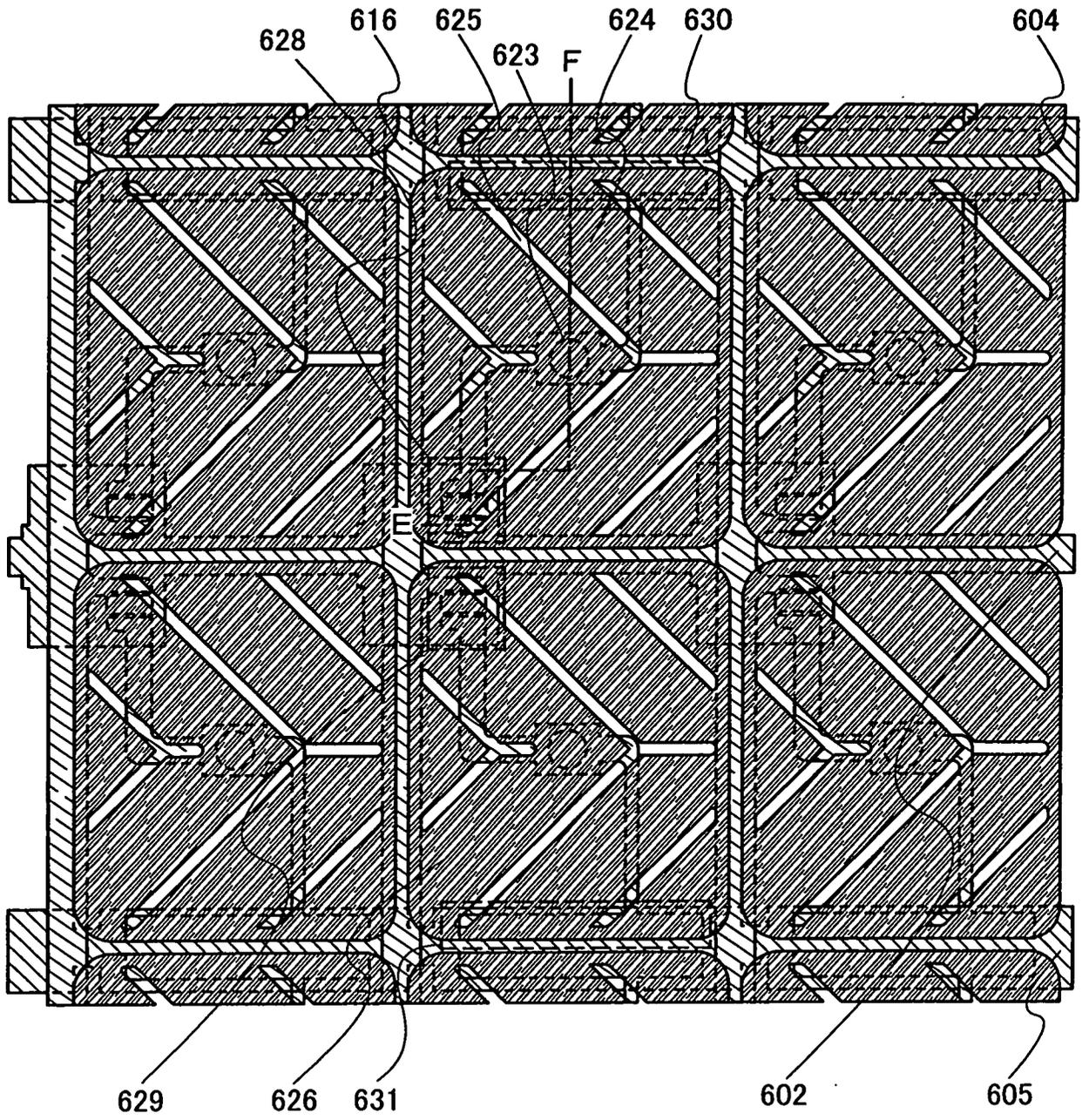


圖 24

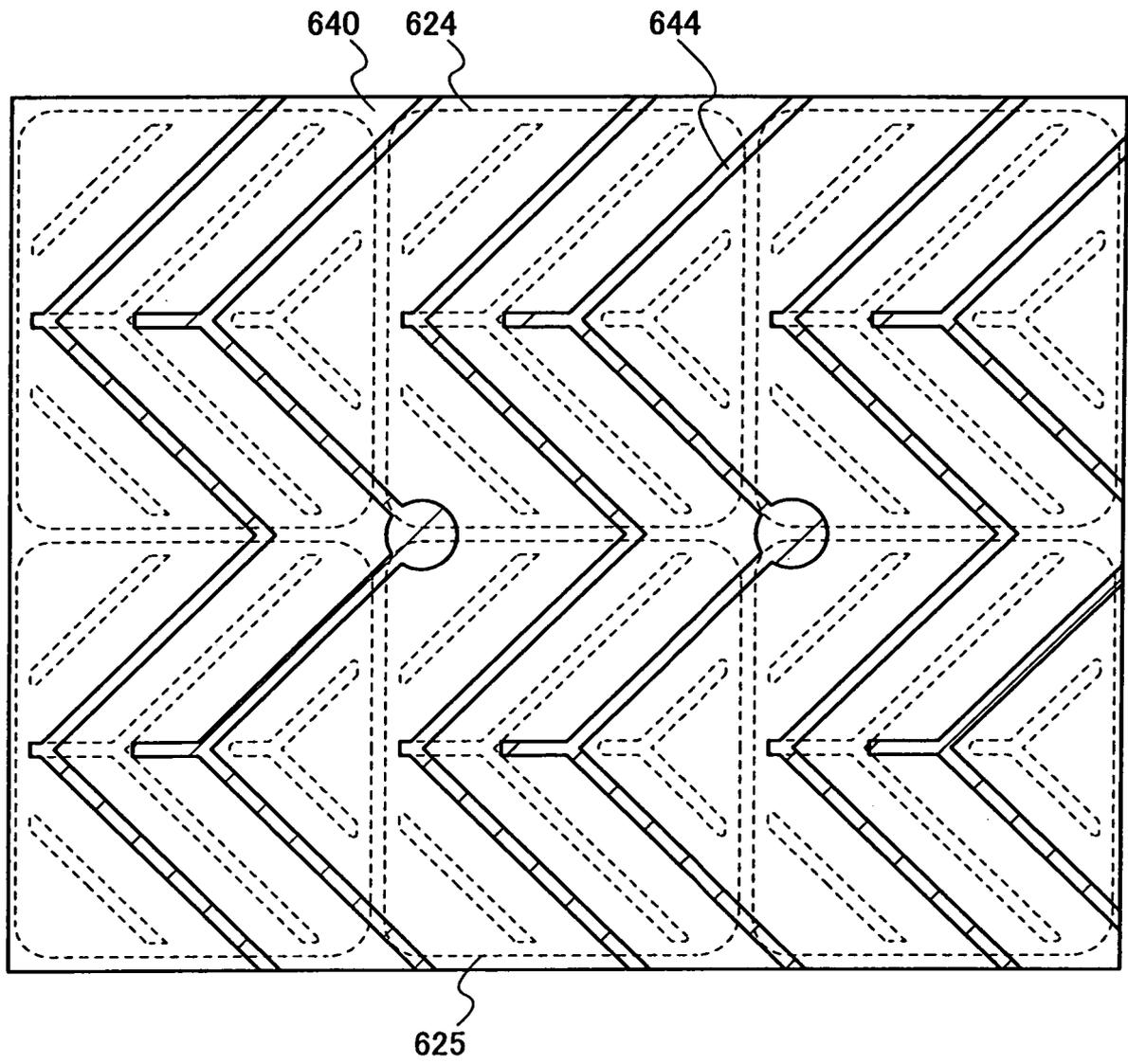


圖 25

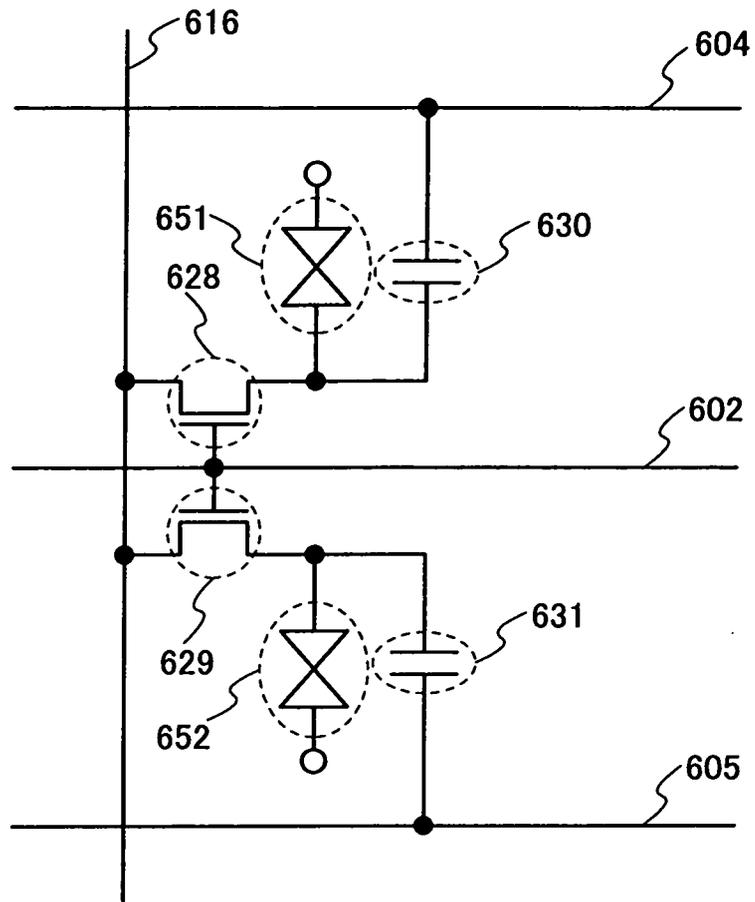


圖26

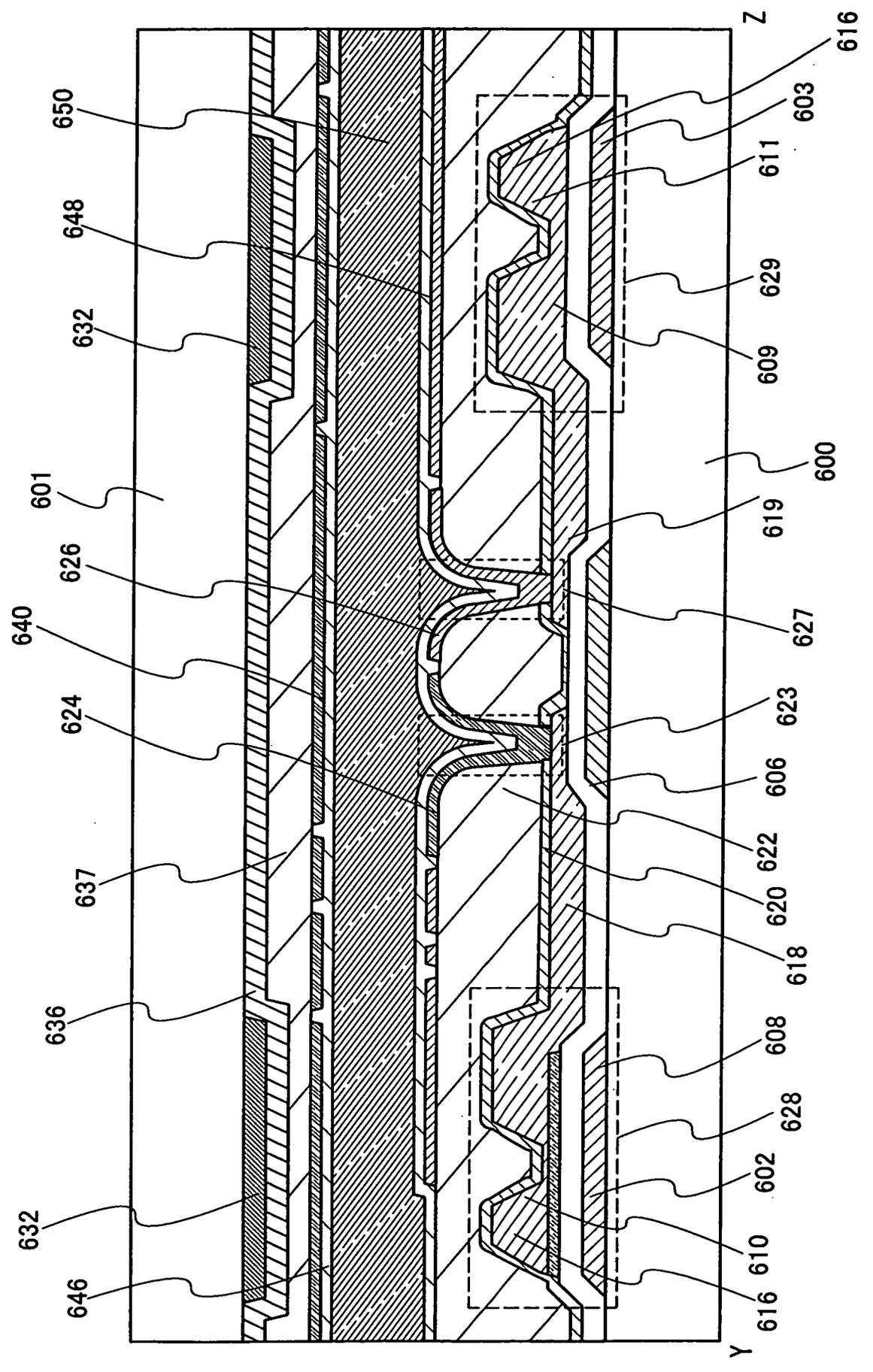


圖27

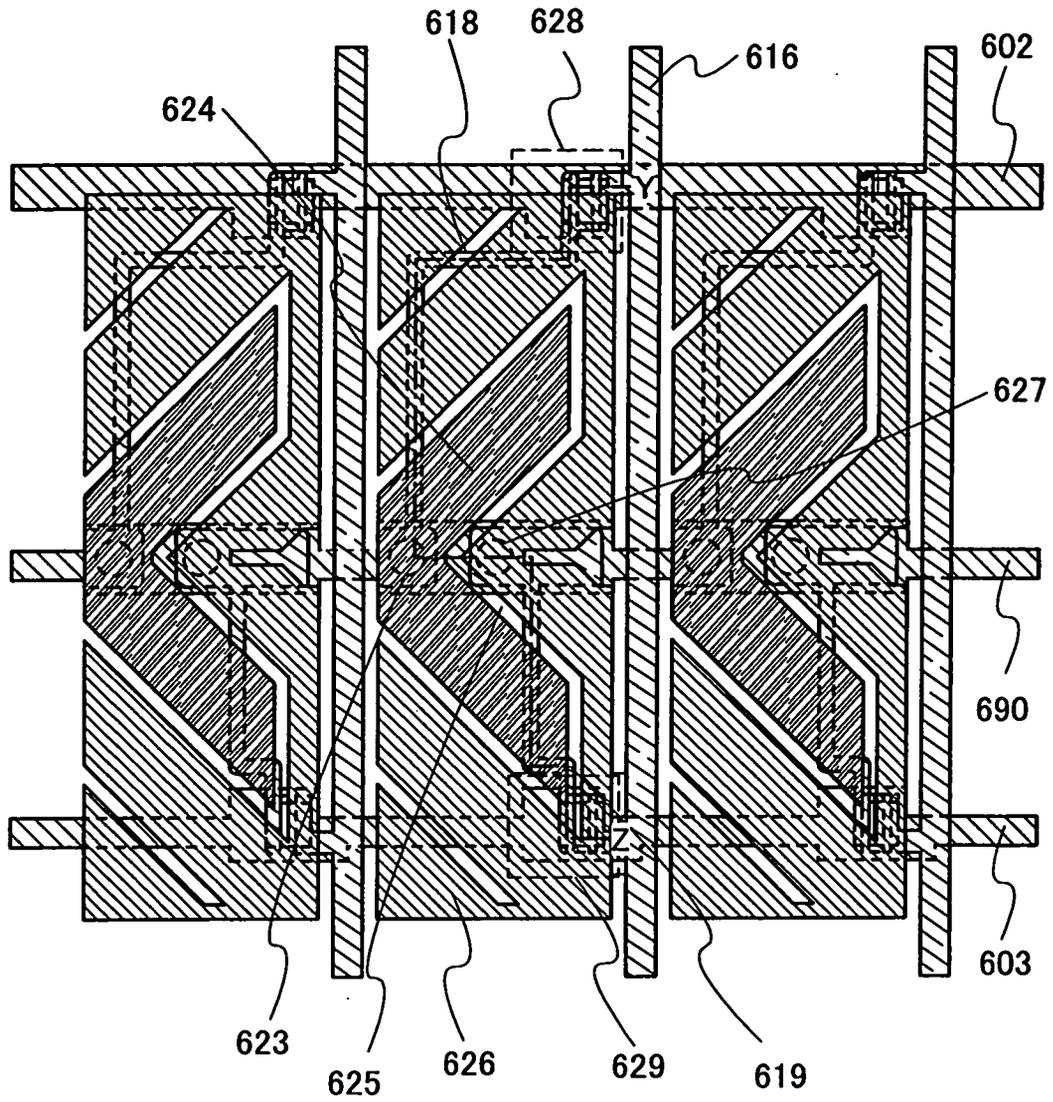


圖 28

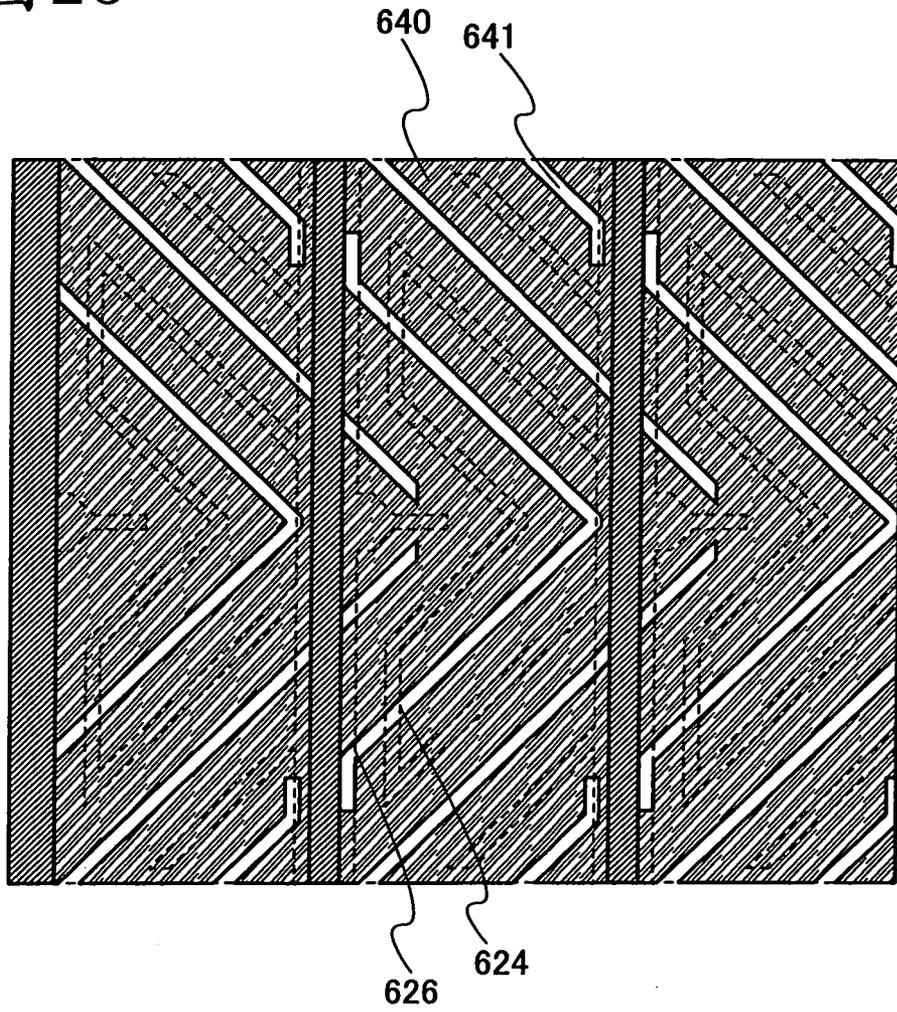


圖 29

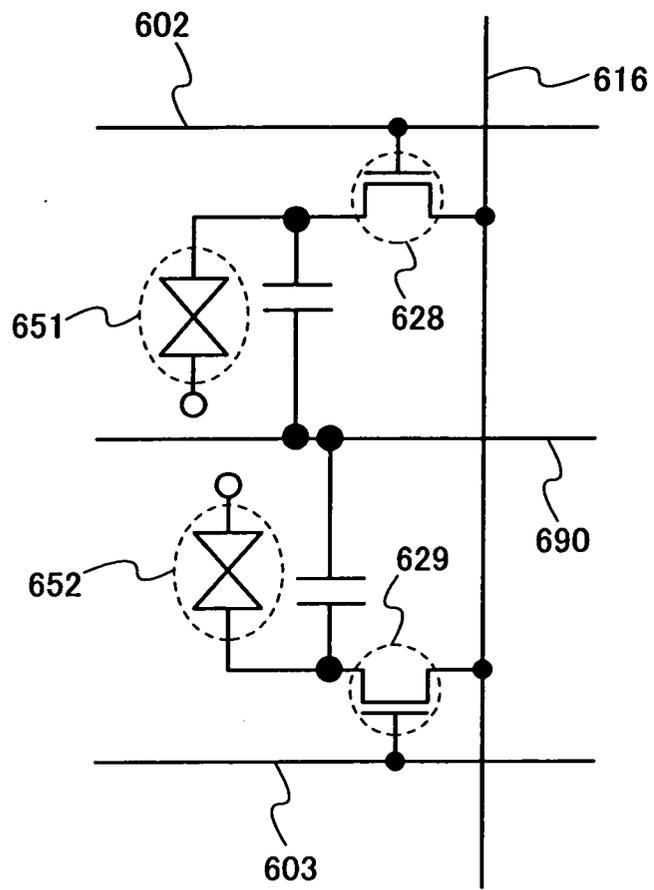


圖30

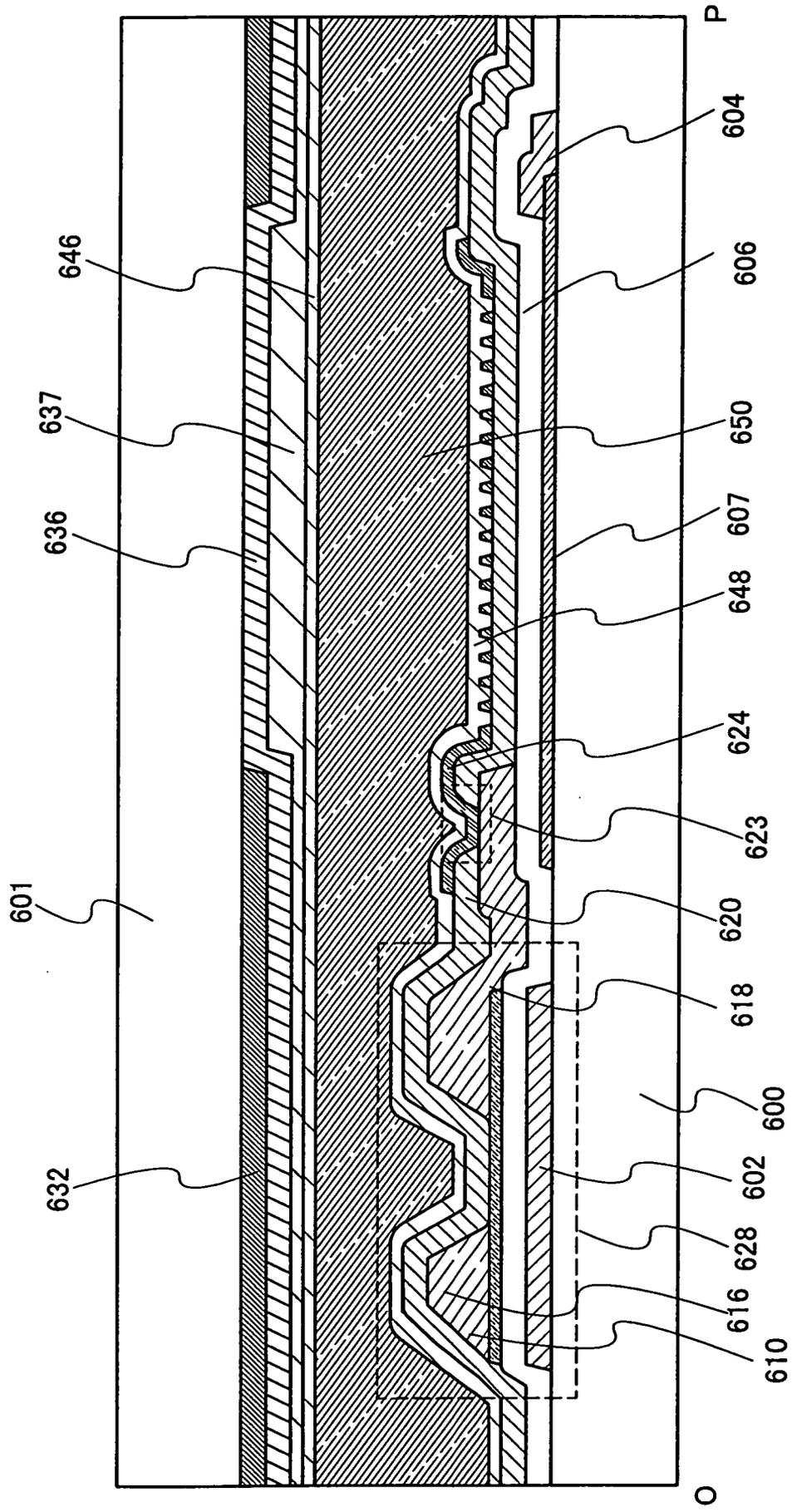


圖 31

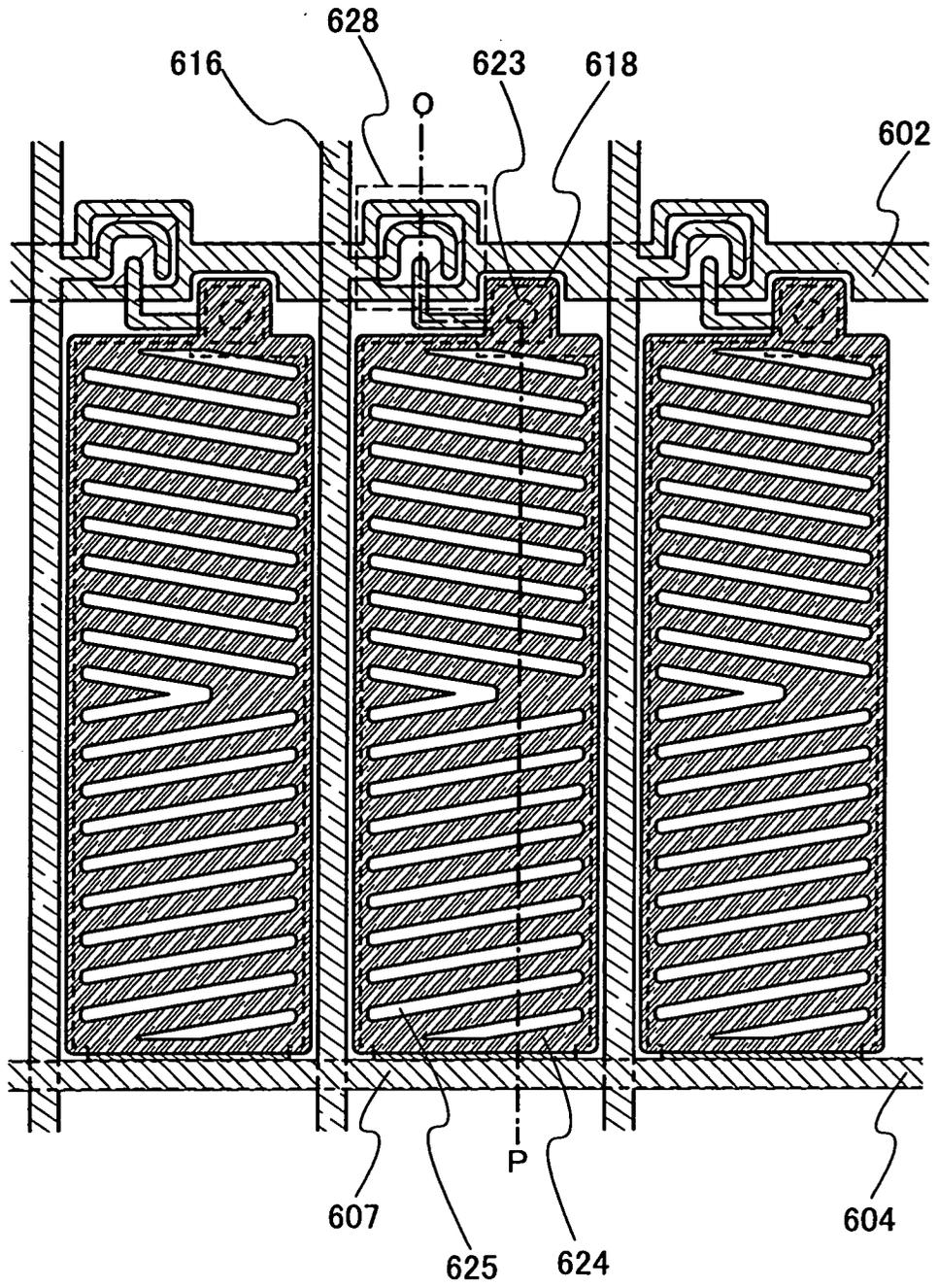


圖32

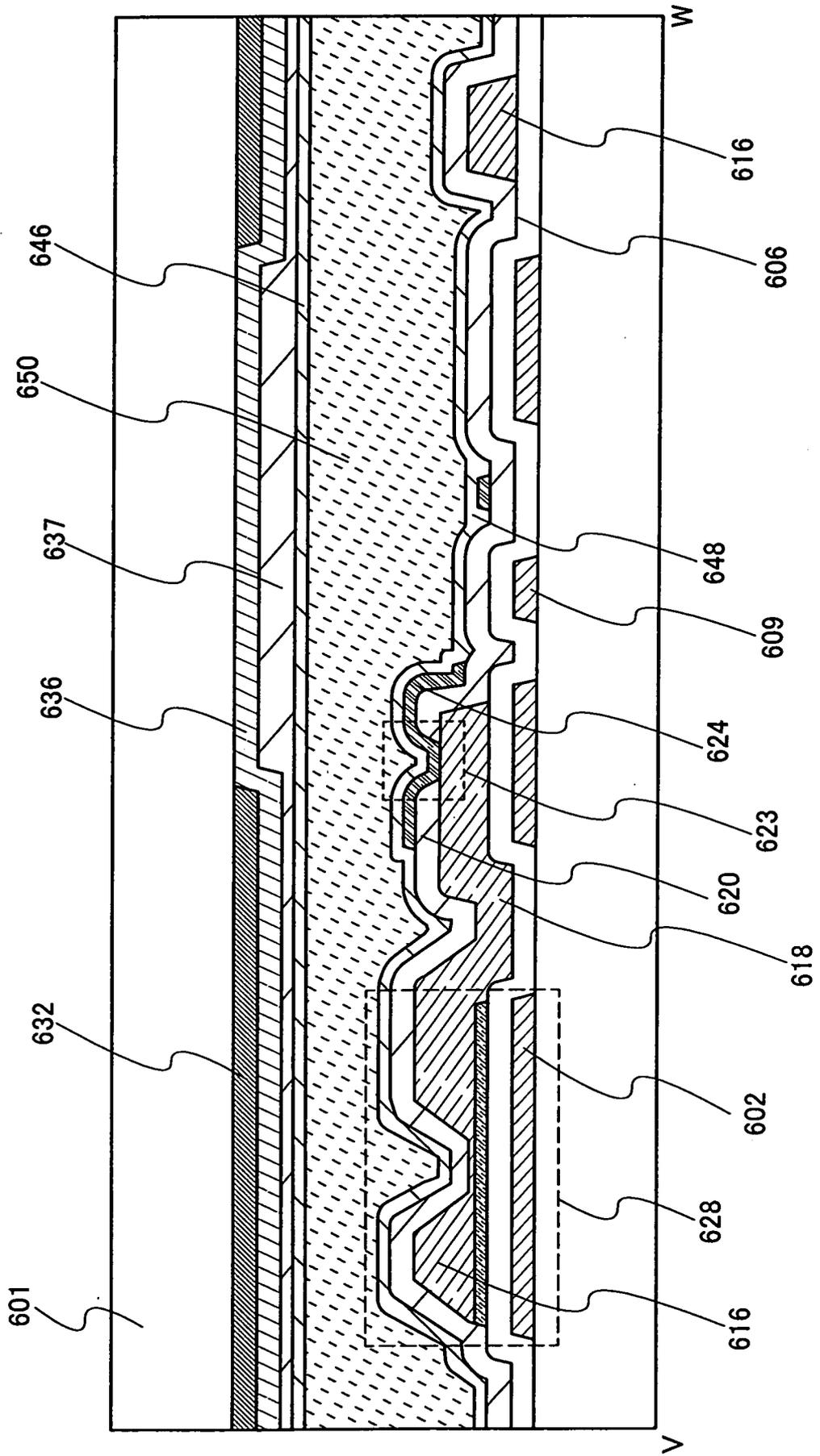


圖 33

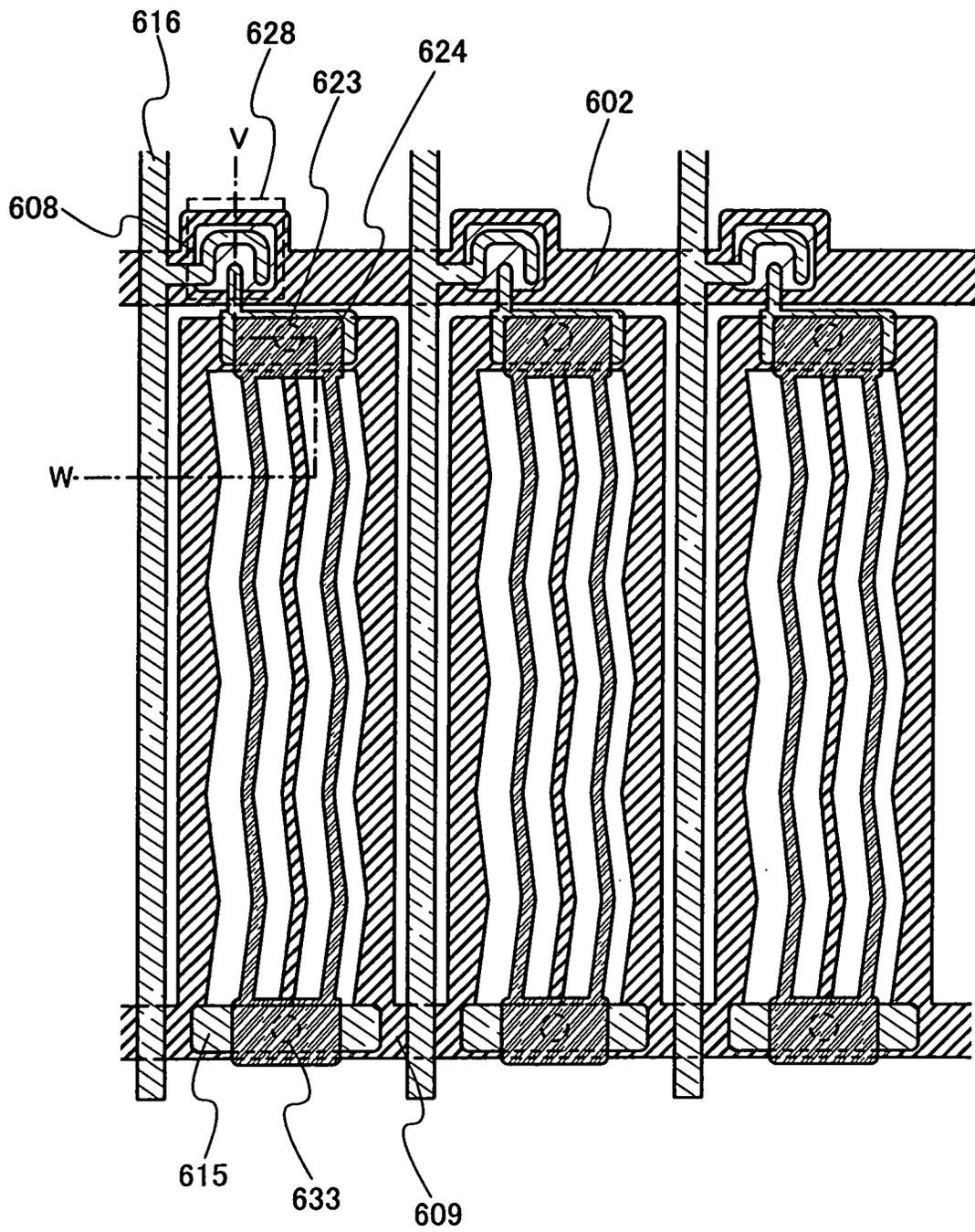


圖34

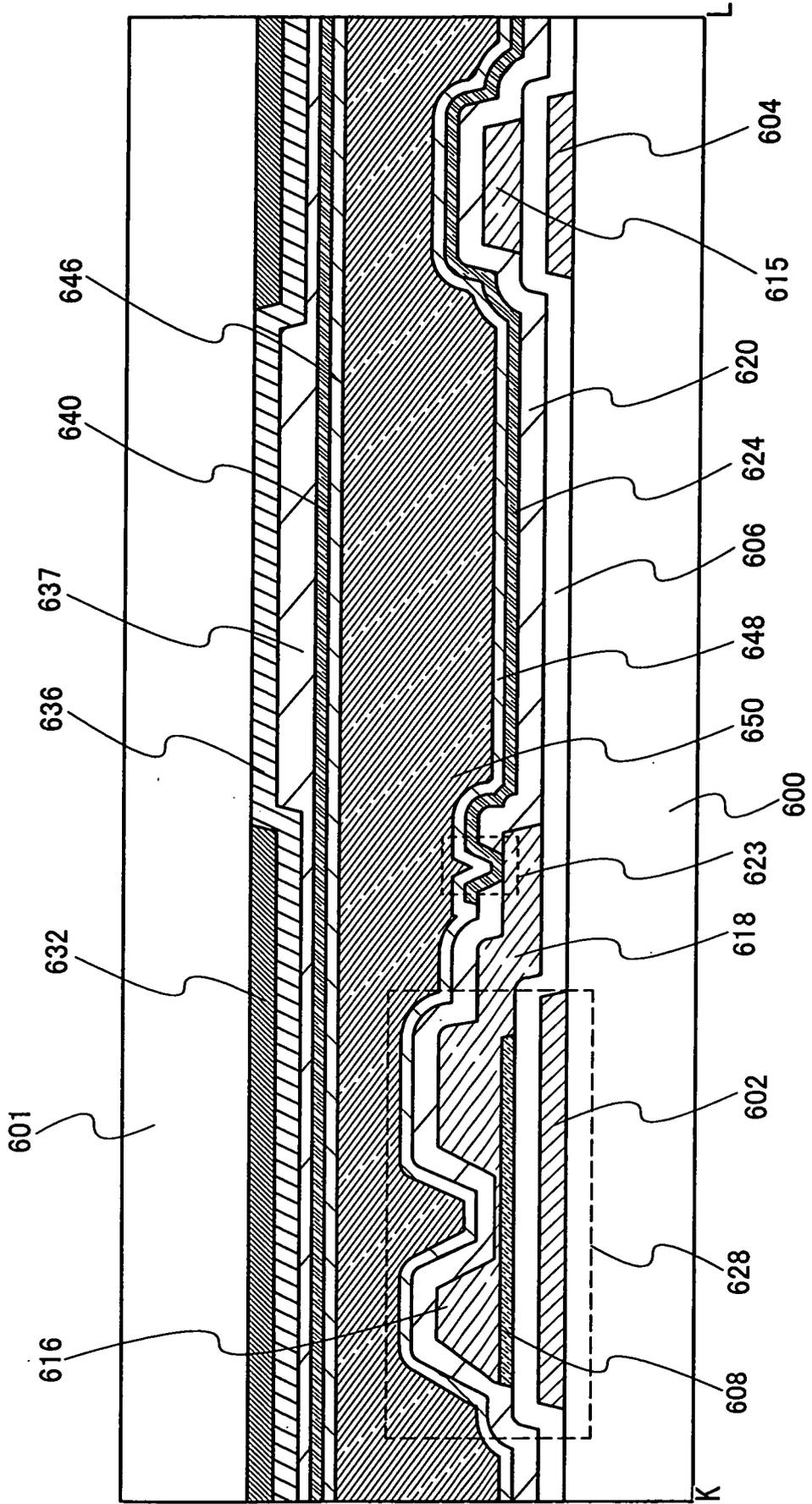


圖 35

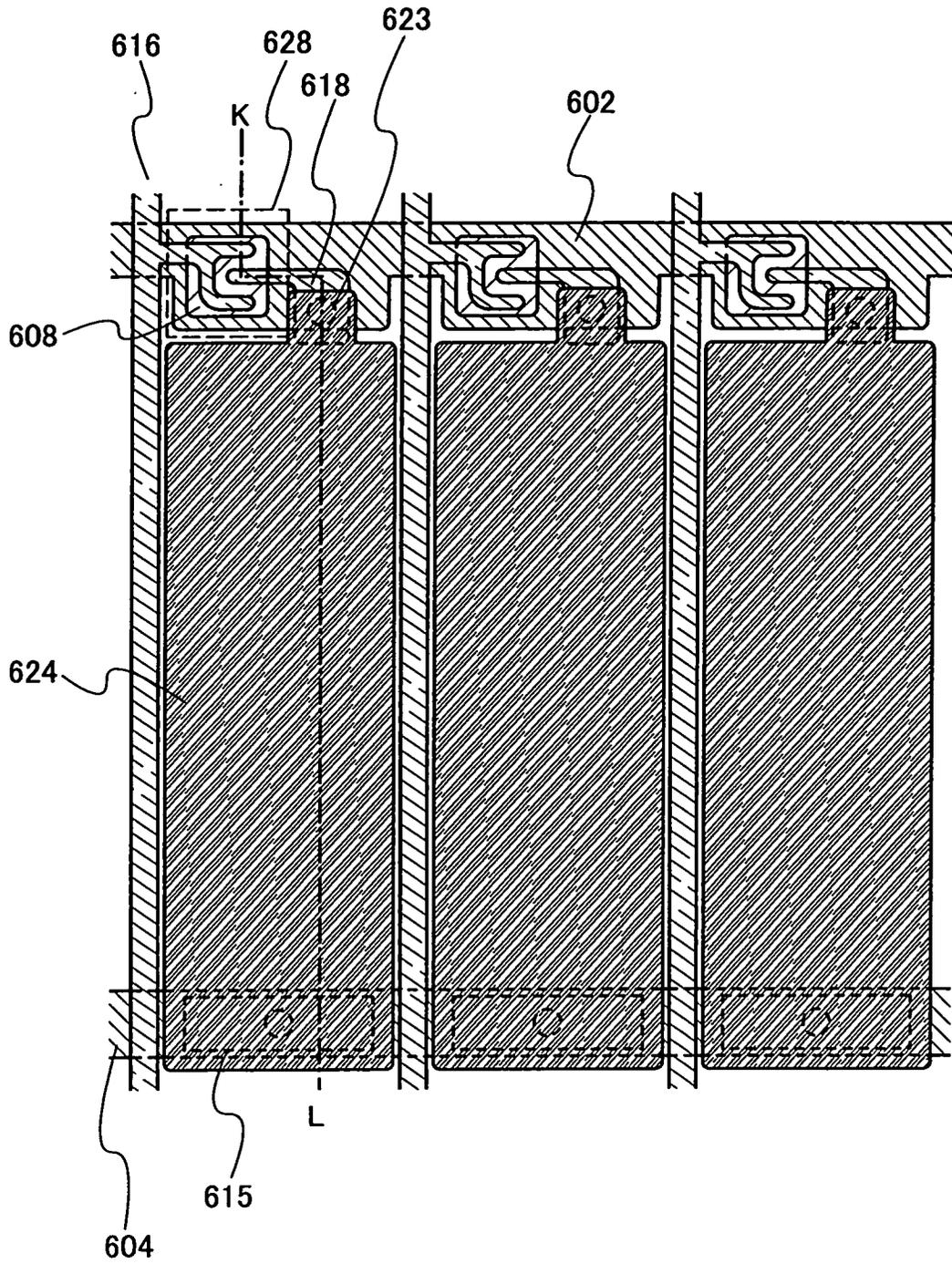


圖 36A

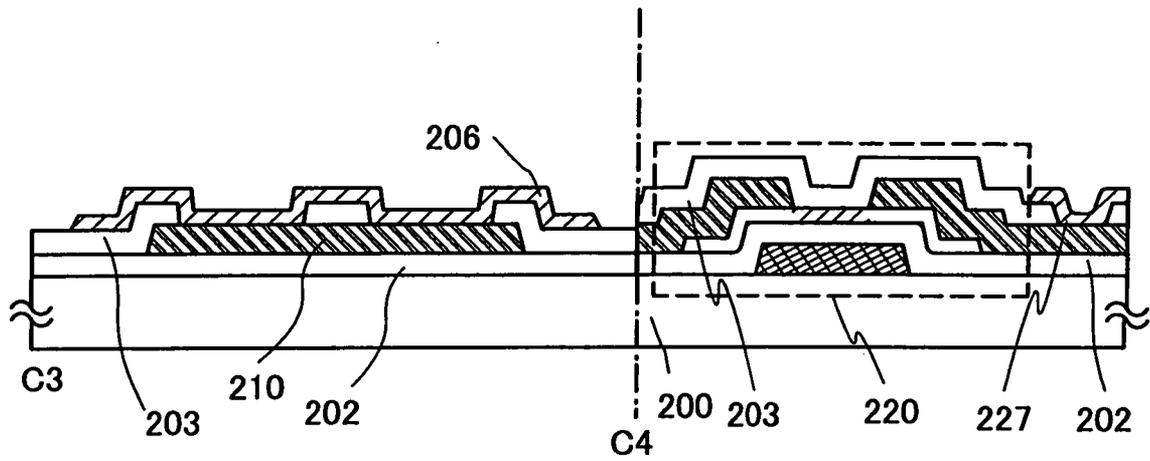


圖 36B

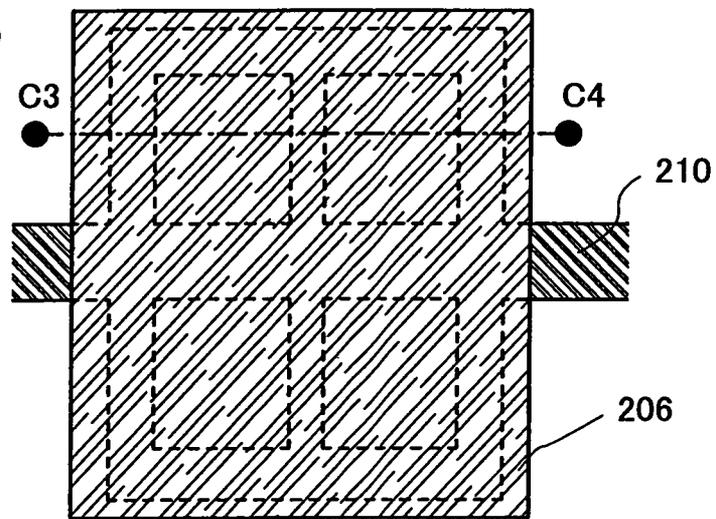


圖 37

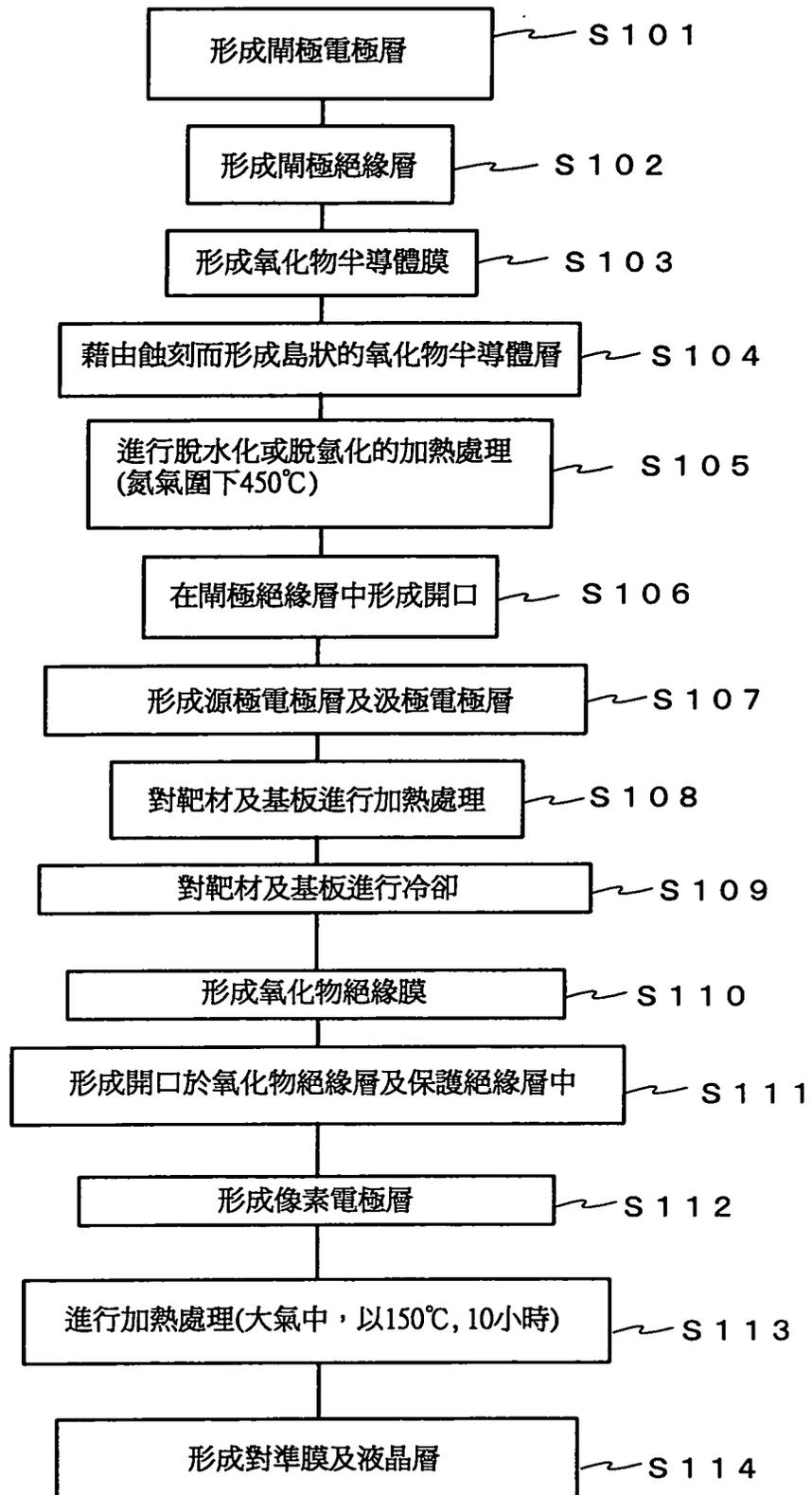


圖 38

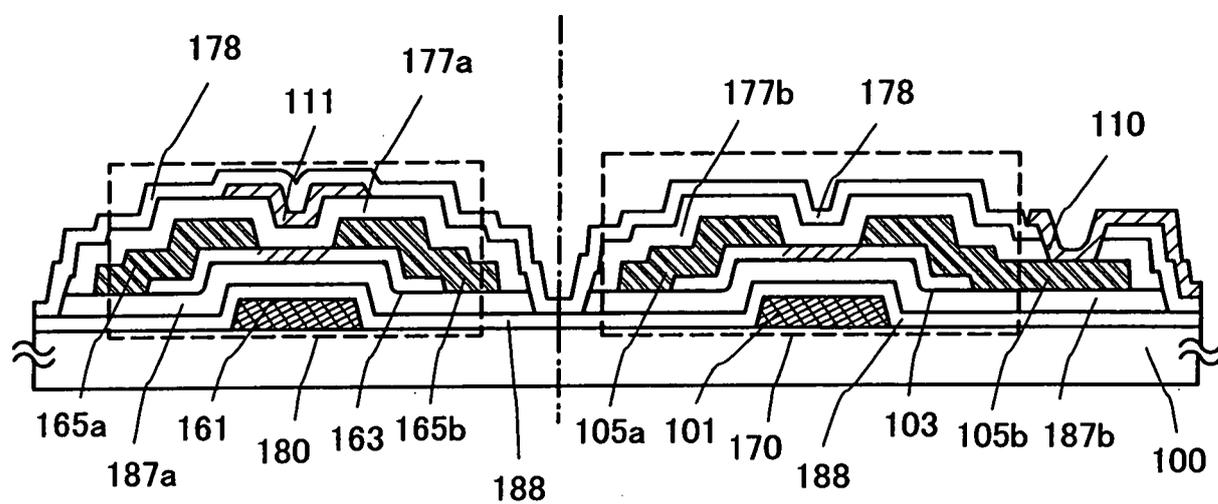


圖 39

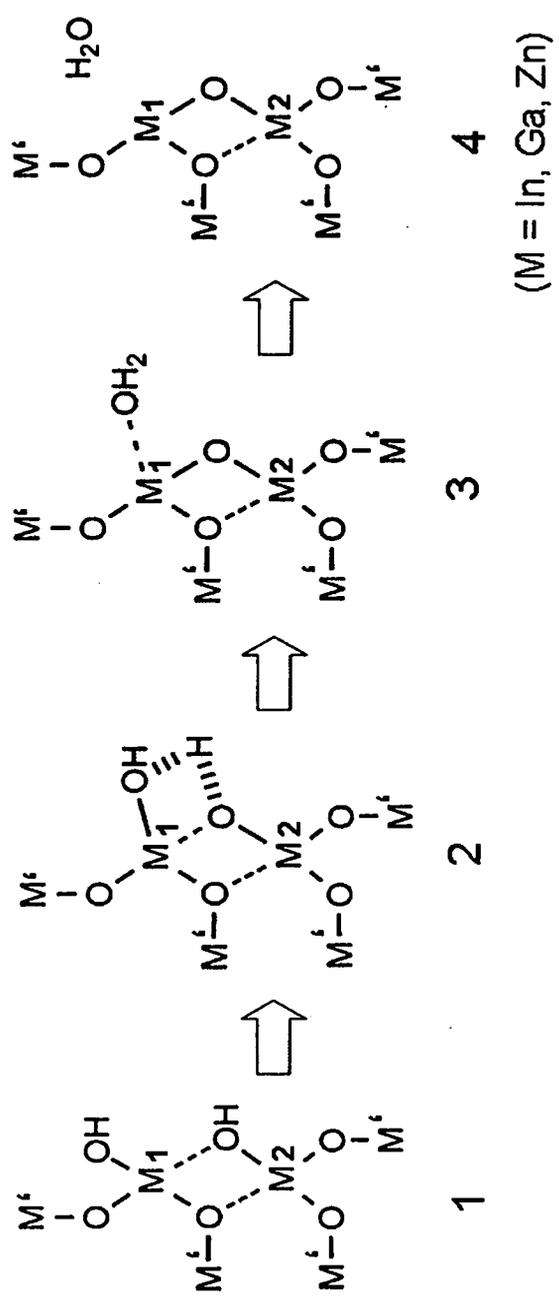


圖 40

