



(12) 发明专利申请

(10) 申请公布号 CN 118556287 A

(43) 申请公布日 2024. 08. 27

(21) 申请号 202280089019.0

(22) 申请日 2022.12.23

(30) 优先权数据

2022-007110 2022.01.20 JP

(85) PCT国际申请进入国家阶段日

2024.07.16

(86) PCT国际申请的申请数据

PCT/JP2022/047567 2022.12.23

(87) PCT国际申请的公布数据

W02023/140046 JA 2023.07.27

(71) 申请人 罗姆股份有限公司

地址 日本

(72) 发明人 二井瑛典 青山宏明 藤井贤治

(74) 专利代理机构 北京尚诚知识产权代理有限公司

11322

专利代理师 龙淳 何中文

(51) Int.Cl.

H01L 23/50 (2006.01)

H01L 23/28 (2006.01)

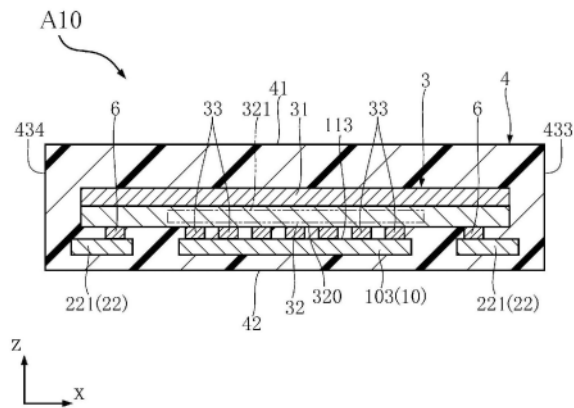
权利要求书2页 说明书14页 附图13页

(54) 发明名称

半导体器件

(57) 摘要

半导体器件包括引线、半导体元件、密封树脂和第1导电部。所述引线具有朝向厚度方向的主面。所述半导体元件具有电路部、元件第1面和设置于所述元件第1面的多个第1电极。所述多个第1电极与所述主面连接。所述密封树脂覆盖所述引线的一部分和所述半导体元件。所述引线包括：沿着与所述厚度方向正交的第1方向排列的多个第1端子部和第2端子部。所述多个第1电极分别与所述电路部导通。所述多个第1端子部分别经由任一个第1电极与所述电路部导通。所述第1导电部介于所述第2端子部与所述元件第1面之间，且与所述第2端子部和所述元件第1面这两者连接。所述第1导电部与所述电路部绝缘。



1. 一种半导体器件,其特征在于,包括:  
引线,其具有朝向厚度方向的一侧的主面;  
半导体元件,其具有电路部、在所述厚度方向上与所述主面相对的元件第1面、和设置在所述元件第1面的多个第1电极,所述多个第1电极与所述主面连接;  
覆盖所述引线的一部分和所述半导体元件的密封树脂;和  
第1导电部,  
所述引线包括:沿着与所述厚度方向正交的第1方向排列的多个第1端子部;和配置在比所述多个第1端子部靠近所述密封树脂的所述第1方向的端部的位置的第2端子部,  
所述多个第1电极的各个第1电极与所述电路部导通,  
所述多个第1端子部的各个第1端子部经由所述多个第1电极中的至少一个第1电极与所述电路部导通,  
所述第1导电部介于所述第2端子部与所述元件第1面之间,且与所述第2端子部和所述元件第1面这两者连接,  
所述第1导电部与所述电路部绝缘。
2. 如权利要求1所述的半导体器件,其特征在于:  
所述引线包括:相对于所述多个第1端子部配置在所述第1方向的一侧和另一侧的2个所述第2端子部,  
所述半导体器件包括:介于2个所述第2端子部各自与所述元件第1面之间的2个所述第1导电部。
3. 如权利要求2所述的半导体器件,其特征在于:  
所述半导体元件具有与2个所述第1导电部这两者导通的第1配线。
4. 如权利要求1~3中任一项所述的半导体器件,其特征在于:  
所述多个第1端子部的各个第1端子部具有:朝向所述厚度方向的另一侧的第1安装面;和朝向与所述厚度方向和所述第1方向这两者正交的第2方向的第1侧面,  
所述第1安装面和所述第1侧面从所述密封树脂露出。
5. 如权利要求4所述的半导体器件,其特征在于:  
所述密封树脂具有位于所述第2方向的端部且朝向所述第2方向的第1树脂侧面,  
所述第1侧面,与所述第1树脂侧面齐平,或者在沿所述厚度方向观察时位于比所述第1树脂侧面靠所述密封树脂的内侧的位置。
6. 如权利要求5所述的半导体器件,其特征在于:  
所述第2端子部具有:朝向所述厚度方向的另一侧的第2安装面;朝向所述第2方向的第2侧面;和朝向所述第1方向的第3侧面,  
所述第2安装面、所述第2侧面和所述第3侧面从所述密封树脂露出。
7. 如权利要求6所述的半导体器件,其特征在于:  
所述密封树脂具有位于所述第1方向的端部且朝向所述第1方向的第2树脂侧面,  
所述第2侧面,与所述第1树脂侧面齐平,或者在沿所述厚度方向观察时位于比所述第1树脂侧面靠所述密封树脂的内侧的位置,  
所述第3侧面,与所述第2树脂侧面齐平,或者在沿所述厚度方向观察时位于比所述第2树脂侧面靠所述密封树脂的内侧的位置。

8. 如权利要求1~7中任一项所述的半导体器件,其特征在于:  
所述多个第1电极沿着所述第1方向排列。
9. 如权利要求8所述的半导体器件,其特征在于:  
在沿所述第1方向观察时,所述第1导电部与所述多个第1电极重叠。
10. 如权利要求1所述的半导体器件,其特征在于:  
所述引线包括:相对于所述多个第1端子部靠近所述第1方向的一侧地配置的2个所述第2端子部,  
所述半导体器件包括:介于2个所述第2端子部各自与所述元件第1面之间的2个所述第1导电部,  
所述半导体元件具有与2个所述第1导电部这两者导通的第2配线。
11. 如权利要求10所述的半导体器件,其特征在于:  
所述多个第1端子部的各个第1端子部具有:朝向所述厚度方向的另一侧的第1安装面;  
和朝向与所述厚度方向和所述第1方向这两者正交的第2方向的第1侧面,  
所述第1安装面和所述第1侧面从所述密封树脂露出。
12. 如权利要求11所述的半导体器件,其特征在于:  
所述密封树脂具有位于所述第2方向的端部且朝向所述第2方向的第1树脂侧面,  
所述第1侧面,与所述第1树脂侧面齐平,或者在沿所述厚度方向观察时位于比所述第1树脂侧面靠所述密封树脂的内侧的位置。
13. 如权利要求12所述的半导体器件,其特征在于:  
所述第2端子部具有:朝向所述厚度方向的另一侧的第3安装面;和朝向所述第1方向或所述第2方向的第4侧面,  
所述第3安装面和所述第4侧面从所述密封树脂露出。
14. 如权利要求13所述的半导体器件,其特征在于:  
所述密封树脂具有位于所述第1方向的端部且朝向所述第1方向的第2树脂侧面,  
所述第4侧面,与所述第1树脂侧面或所述第2树脂侧面齐平,或者在沿所述厚度方向观察时位于比所述第1树脂侧面或所述第2树脂侧面靠所述密封树脂的内侧的位置。

## 半导体器件

### 技术领域

[0001] 本发明涉及半导体器件(也称为半导体装置)。

### 背景技术

[0002] 包括半导体元件的半导体器件提出了各种结构。在专利文献1中公开了现有的半导体器件的一个例子。该文献所公开的半导体器件包括引线、半导体元件和密封树脂。引线具有多个端子部。多个端子部沿着与引线的厚度方向正交的方向排列。密封树脂覆盖引线的一部分和半导体元件。密封树脂在厚度方向上观察时呈矩形状。

[0003] 在专利文献1所记载的半导体器件中,半导体元件通过倒装芯片安装(flip chip)而装载于引线上。引线具有朝向厚度方向的一侧的主面。半导体元件具有设置在与该主面相对的一侧的多个电极,多个电极例如经由由焊料等构成的接合层与引线的主面接合。沿着与上述的引线厚度方向正交的方向排列的多个端子部,经由多个电极与半导体元件的内部电路导通。

[0004] 然而,在如上述那样倒装芯片安装有半导体元件的结构中,无法直接观察多个电极各自的相对于引线的接合部,没有确认该接合部的接合状态的适当的方式。另外,在多个端子部在规定方向上排列的结构中,多个电极中的位于多个端子部的排列方向的最外侧的电极,位于距密封树脂的封装件的角部最近的位置。一般而言,在位于最靠近封装件的角部的位置的电极的接合部,内部应力最大,担心因该接合部的接合状态而引起应力破坏。

[0005] 现有技术文献

[0006] 专利文献

[0007] 专利文献1:日本特开2020-77694号公报

### 发明内容

[0008] 发明要解决的技术问题

[0009] 本发明的一个技术问题在于提供与现有技术相比实施了改良的半导体器件。本发明鉴于上述情况,其一个技术问题在于提供一种适于提高通过倒装芯片安装装载于引线的半导体元件的接合可靠性的半导体器件。

[0010] 由本发明的一个方面提供的半导体器件包括:引线,其具有朝向厚度方向的一侧的主面;半导体元件;密封树脂;和第1导电部。所述半导体元件具有电路部、在所述厚度方向上与所述主面相对的元件第1面、和设置于所述元件第1面的多个第1电极。所述多个第1电极与所述主面连接。所述密封树脂覆盖所述引线的一部分和所述半导体元件。所述引线包括:沿着与所述厚度方向正交的第1方向排列的多个第1端子部;和配置在比所述多个第1端子部靠近所述密封树脂的所述第1方向的端部的位置的第2端子部。所述多个第1电极分别与所述电路部导通。所述多个第1端子部分别经由所述多个第1电极中的至少任一个第1电极与所述电路部导通。所述第1导电部介于所述第2端子部与所述元件第1面之间,且与所述第2端子部和所述元件第1面这两者连接。所述第1导电部与所述电路部绝缘。

[0011] 发明效果

[0012] 根据上述结构,关于半导体器件,能够提高通过倒装芯片安装而装载的半导体元件的接合可靠性。

[0013] 本发明的其他特征和优点通过参照附图在以下进行的详细的说明而变得更加明确。

### 附图说明

[0014] 图1是表示本发明的第1实施方式的半导体器件的立体图。

[0015] 图2是图1所示的半导体器件的俯视图(透过密封树脂)。

[0016] 图3是图1所示的半导体器件的俯视图(透过半导体元件和密封树脂)。

[0017] 图4是图1所示的半导体器件的仰视图。

[0018] 图5是图1所示的半导体器件的主视图。

[0019] 图6是图1所示的半导体器件的后视图。

[0020] 图7是图1所示的半导体器件的右侧视图。

[0021] 图8是图1所示的半导体器件的左侧视图。

[0022] 图9是沿着图3的IX-IX线的截面图。

[0023] 图10是沿着图3的X-X线的截面图。

[0024] 图11是沿着图3的XI-XI线的截面图。

[0025] 图12是沿着图3的XII-XII线的截面图。

[0026] 图13是图11的局部放大图。

[0027] 图14是表示半导体元件相对于引线倾斜地装载的状态的、与图11同样的放大截面图。

[0028] 图15是表示第1实施方式的变形例的半导体器件的、与图3同样的俯视图。

[0029] 图16是沿着图15的XVI-XVI线的截面图。

[0030] 图17是表示本发明的第2实施方式的半导体器件的、与图3同样的俯视图。

### 具体实施方式

[0031] 以下,参照附图具体说明本发明的优选实施方式。

[0032] 本发明中的“第1”、“第2”、“第3”等用语仅用作标记,不一定要对这些对象物赋予次序。

[0033] 在本发明中,“某物A形成于某物B”和“某物A形成于某物B上”只要没有特别说明,则包括“某物A直接形成于某物B”和“某物A与某物B之间隔着其他物并且某物A形成于某物B”。同样地,“某物A配置在某物B”和“某物A配置在某物B上”只要没有特别说明,则包括“某物A直接配置在某物B”和“在某物A与某物B之间隔着其他物,并且某物A配置在某物B”。同样地,“某物A位于某物B上”只要没有特别说明,则包括“某物A与某物B接触,某物A位于某物B上”、“和“某物A与某物B之间隔着其他物,并且某物A位于某物B上”。另外,“在某方向上观察时,某物A与某物B重叠”只要没有特别说明,则包括“某物A与某物B的全部重叠”、“和“某物A与某物B的一部分重叠”。

[0034] 第1实施方式

[0035] 基于图1~图13,对本发明的第1实施方式的半导体器件进行说明。本实施方式的半导体器件A10包括引线1、半导体元件3、密封树脂4和第1导电部6。引线1包括主部10、多个第1端子部21、两个第2端子部22、端子部25、两个端子部26、多个端子部27和多个端子部28。密封树脂4在俯视时呈矩形状。如图1所示,半导体器件A10的封装形式为QFN(Quad For Non-Lead Package,方形无引脚封装)。半导体元件3的具体结构没有特别限定,半导体元件3例如是倒装芯片型的LSI(Large Scale Integration:大规模集成电路)。在本实施方式中,半导体元件3例如是在其内部构成有开关电路321和控制电路322(分别在后述详细说明)的倒装芯片型的LSI。在半导体器件A10中,通过开关电路321将直流电力(电压)转换为交流电力(电压)。半导体器件A10例如用于构成DC/DC转换器的电路的一个要素。

[0036] 图1是表示半导体器件A10的立体图。图2是表示半导体器件A10的俯视图。图3是表示半导体器件A10的俯视图。图4是表示半导体器件A10的仰视图。图5是表示半导体器件A10的主视图。图6是表示半导体器件A10的后视图。图7是表示半导体器件A10的右侧视图。图8是表示半导体器件A10的左侧视图。图9是沿着图3的IX-IX线的截面图。图10是沿着图3的X-X线的截面图。图11是沿着图3的XI-XI线的截面图。图12是沿着图3的XII-XII线的截面图。图13是图11的局部放大图。在此,图2为了便于理解,透过密封树脂4地图示。为了便于理解,图3透过了半导体元件3和密封树脂4地图示。在这些图中,用假想线(双点划线)表示透过的半导体元件3和密封树脂4。

[0037] 在半导体器件A10的说明中,将主部10的厚度方向称为“厚度方向z”。将与厚度方向z正交的方向(图2中的上下方向)称为“第1方向x”。将与厚度方向z和第1方向x双方正交的方向(图2中的左右方向)称为“第2方向y”。如图1和图2所示,半导体器件A10在沿厚度方向z观察(俯视)时为矩形状。

[0038] 引线1(主部10、多个第1端子部21、两个第2端子部22、端子部25、两个端子部26、多个端子部27和多个端子部28)例如均由同一引线框构成。该引线框的构成材料没有特别限定,例如由铜(Cu)或铜合金等构成。

[0039] 如图3、图9~图12所示,主部10支承半导体元件3。主部10的至少一部分被密封树脂4覆盖。在本实施方式中,主部10具有主面11和背面12。主面11朝向厚度方向z的一侧,与半导体元件3相对。背面12朝向与主面11相反的一侧(厚度方向z的另一侧)。主面11被密封树脂4覆盖。背面12从密封树脂4露出。

[0040] 在本实施方式中,主部10包括第1主部101、两个第2主部102、第3主部103、多个第4主部104和多个第5主部105。

[0041] 上述主面11具有第1主面111、第2主面112、第3主面113、第4主面114和第5主面115。这些第1主面111~第5主面115属于第1主部101~第5主部105中的任一个。

[0042] 背面12具有第1背面121和第2背面122。这些第1背面121和第2背面122属于第1主部101和第2主部102中的任一个。

[0043] 如图3所示,第1主部101位于半导体器件A10中的第2方向y的中央(或者大致中央),在第1方向x上延伸。第1主部101是在半导体器件A10中被输入成为电力转换对象的直流电力(电压)的输入端子。第1主部101是正极(P端子)。

[0044] 如图3、图4、图9所示,第1主部101具有第1主面111和第1背面121。半导体元件3支承于第1主面111。第1主部101具有从密封树脂4向厚度方向z的另一侧露出的部分,该露出

部分包含第1背面121。

[0045] 如图3所示,2个第2主部102位于半导体器件A10中的第2方向y的一侧(图中右侧),在第2方向y上隔开间隔地配置。2个第2主部102在第2方向y上彼此相邻,分别在第1方向x上延伸。2个第2主部102分别输出由构成于半导体元件3的开关电路321进行电力转换得到的交流电力(电压)。

[0046] 如图3、图4、图9、图10所示,第2主部102具有第2主面112和第2背面122。半导体元件3支承于第2主面112。第2主部102具有从密封树脂4向厚度方向z的另一侧露出的部分,该露出部分包含第2背面122。

[0047] 如图3所示,第3主部103位于半导体器件A10的靠近第2方向y的一侧(图中右侧)的端部的位置,且与一个第2主部102在第2方向y的一侧相邻地配置。第3主部103在第1方向x延伸。第3主部103是在半导体器件A10中被输入成为电力转换对象的直流电力(电压)的输入端子。第3主部103是负极(N端子)。

[0048] 如图3、图9、图11所示,第3主部103具有第3主面113。半导体元件3支承于第3主面113。

[0049] 如图3所示,多个第4主部104位于比第1主部101靠第2方向y的另一侧(图中左侧)的位置。多个第4主部104在第1方向x上隔开间隔地配置。向多个第4主部104分别输入例如用于驱动控制电路322的电力(电压)、或者用于向控制电路322传递的电信号。

[0050] 如图3、图9所示,第4主部104具有第4主面114。半导体元件3支承于第4主面114。

[0051] 如图3所示,多个第5主部105位于比第1主部101靠第2方向y的另一侧(图中左侧)的位置。多个第5主部105中的几个主部位于半导体器件A10的第1方向x的一侧(图中上侧)。多个第5主部105中的剩余的主部位于半导体器件A10中的第1方向x的另一侧(图中下侧)。向多个第5主部105分别输入例如用于向控制电路322传递的电信号。

[0052] 如图3、图12所示,第5主部105具有第5主面115。半导体元件3支承于第5主面115。

[0053] 在主部10(第1主部101~第5主部105)中,也可以对支承半导体元件3的主面11(第1主面111~第5主面115)实施例如镀银(Ag)。另外,也可以对从密封树脂4露出的背面12(第1背面121和第2背面122)实施例如镀锡(Sn)。此外,也可以代替镀锡,采用例如按镍(Ni)、钯(Pd)、金(Au)的顺序层叠的多个金属镀敷。此外,在图1、图4~图8中,用多个点的区域表示引线1(主部10、多个第1端子部21、两个第2端子部22、端子部25、两个端子部26、多个端子部27和多个端子部28)中的从密封树脂4露出的部分。

[0054] 如图3所示,多个第1端子部21沿着第1方向x排列。在本实施方式中,多个第1端子部21配置于半导体器件A10(密封树脂4)的第2方向y的一侧端(图中右端)。多个第1端子部21分别与第3主部103相连。多个第1端子部21各自的结构均相同。关于半导体器件A10中的多个第1端子部21的结构,以它们中的一个为代表进行说明。

[0055] 如图3、图4、图7、图9所示,第1端子部21具有第1安装面211和第1侧面212。第1安装面211朝向厚度方向z的另一侧。第1侧面212朝向第2方向y的一侧。在本实施方式中,第1侧面212与第1安装面211相连,且齐平(处于一个面)。第1安装面211和第1侧面212从密封树脂4露出。

[0056] 在多个第1端子部21的每一个,也可以对从密封树脂4露出的第1安装面211和第1侧面212实施例如镀锡。此外,也可以代替镀锡,采用例如按镍、钯、金的顺序层叠的多个金

属镀敷(镀层)。

[0057] 如图3所示,第2端子部22配置于比多个第1端子部21靠近密封树脂4的第1方向x的端部的位置。在本实施方式中,2个第2端子部22相对于多个第1端子部21配置于第1方向x的一侧和另一侧。2个第2端子部22配置于在从厚度方向z观察时为矩形状的密封树脂4的4个角中的、位于第2方向y的一侧且位于第1方向x的两侧角部。

[0058] 如图3~图7、图11所示,第2端子部22具有延伸部221、第2安装面222、第2侧面223和第3侧面224。延伸部221是延伸至比密封树脂4的第1方向x的端部和第2方向y的端部靠密封树脂4的内侧的部分。在该延伸部221(第2端子部22)连接有第1导电部6。第2安装面222朝向厚度方向z的另一侧。第2侧面223朝向与第1端子部21的第1侧面212相同的一侧,朝向第2方向y的一侧。第3侧面224朝向第1方向x的一侧和第1方向x的另一侧中的任一侧。在本实施方式中,第2侧面223与第2安装面222相连,且齐平(处于一个面)。第3侧面224与第2安装面222和第2侧面223这两者相连,且齐平。第2安装面222、第2侧面223和第3侧面224从密封树脂4露出。

[0059] 在两个第2端子部22的每一个,也可以对与第1导电部6连接的延伸部221的上表面(朝向厚度方向z的一侧的面)实施例如镀银。另外,也可以对从密封树脂4露出的第2安装面222、第2侧面223和第3侧面224实施例如镀锡。此外,也可以代替镀锡,采用例如按镍、钯、金的顺序层叠的多个金属镀敷。

[0060] 如图3所示,端子部25配置于半导体器件A10的第1方向x的一侧端(图中上端)。端子部25与第1主部101相连。如图3、图4、图6所示,端子部25具有安装面251和侧面252。安装面251朝向厚度方向z的另一侧。侧面252朝向第1方向x的一侧。在本实施方式中,侧面252与安装面251相连,且齐平。安装面251和侧面252从密封树脂4露出。

[0061] 如图3所示,两个端子部26配置于半导体器件A10的第1方向x的一侧端(图中上端)和第1方向x的另一侧端(图中下端)。两个端子部26分别与两个第2主部102相连。如图3~图6、图10所示,端子部26具有安装面261和侧面262。安装面261朝向厚度方向z的另一侧。侧面262朝向第1方向x的一侧和第1方向x的另一侧的任一侧。在本实施方式中,侧面262与安装面261相连,且齐平。安装面261和侧面262从密封树脂4露出。

[0062] 如图3所示,多个端子部27配置于半导体器件A10的第2方向y的另一侧端(图中左端)。多个端子部27分别与多个第4主部104中的任一个相连。如图3、图4、图8、图9所示,端子部27具有安装面271和侧面272。安装面271朝向厚度方向z的另一侧。侧面272朝向第2方向y的另一侧。在本实施方式中,侧面272与安装面271相连,且齐平。安装面271和侧面272从密封树脂4露出。

[0063] 如图3所示,多个端子部28配置于半导体器件A10的第1方向x的一侧端(图中上端)和第1方向x的另一侧端(图中下端)。多个端子部27分别与多个第5主部105中的任一个相连。如图3~图6、图12所示,端子部28具有安装面281和侧面282。安装面281朝向厚度方向z的另一侧。侧面282朝向第1方向x的一侧和第1方向x的另一侧的任一侧。在本实施方式中,侧面282与安装面281相连,且齐平。安装面281和侧面282从密封树脂4露出。

[0064] 在端子部25、两个端子部26、多个端子部27和多个端子部28,也可以对从密封树脂4露出的部位(安装面251、261、271、281和侧面252、262、272、282)实施例如镀锡。此外,也可以代替镀锡,采用例如按镍、钯、金的顺序层叠的多个金属镀敷。

[0065] 半导体元件3具有半导体基板31、半导体层32、多个第1电极33、多个电极34和多个电极35。如图9~图12所示,半导体基板31在其下方支承半导体层32、多个第1电极33、多个电极34和多个电极35。半导体基板31的构成材料例如是Si(硅)或碳化硅(SiC)。

[0066] 半导体层32在厚度方向z上与主面11相对的一侧层叠于半导体基板31。半导体层32具有元件第1面320。元件第1面320朝向厚度方向z的另一侧,在厚度方向z上与主面11相对。半导体层32包含基于掺杂的元素量的差异的多种p型半导体和n型半导体。在半导体层32构成有开关电路321和与开关电路321导通的控制电路322。开关电路321是MOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor:金属氧化物半导体场效应晶体管)、IGBT(Insulated Gate Bipolar Transistor:绝缘栅双极型晶体管)等。在半导体器件A10所表示的例子中,开关电路321被划分为高电压区域(上臂电路)和低电压区域(下臂电路)这两个区域。各个区域由一个n沟道型MOSFET构成。控制电路322构成用于驱动开关电路321的栅极驱动器、与开关电路321的高电压区域对应的自举电路(Bootstrap circuit)等,并且进行用于正常驱动开关电路321的控制。此外,在半导体层32还构成有配线层(省略图示)。通过该配线层,开关电路321与控制电路322相互导通。开关电路321和控制电路322是“电路部”的一例。

[0067] 在本实施方式中,半导体元件3具有设置于半导体层32的第1配线325(参照图2、图3)。在图2、图3中,简化地用虚线表示第1配线325的路径。第1配线325没有与开关电路321、控制电路322和上述配线层的任一者导通。

[0068] 如图9~图12所示,多个第1电极33、多个电极34和多个电极35设置于在厚度方向z上与主面11(第1主面111~第5主面115)相对的一侧的元件第1面320。多个第1电极33、多个电极34及多个电极35与半导体层32相接。

[0069] 多个第1电极33与半导体层32的开关电路321导通。多个第1电极33分别与第3主部103连接。如图3、图11所示,多个第1电极33沿第1方向x排列。第1电极33例如经由焊料等具有导电性的接合层(参照图14的接合层331)与第3主部103的第3主面113连接。多个第1端子部21分别与第3主部103相连。由此,多个第1端子部21分别经由多个第1电极33中的至少任一个与开关电路321(电路部)导通。

[0070] 多个电极34与半导体层32的开关电路321导通。多个电极34分别与第1主部101的第1主面111和两个第2主部102的第2主面112中的任一个连接。电极34与第1电极33同样地,例如经由焊料等具有导电性的接合层(省略图示)与第1主面111(第2主面112)连接。由此,第1主部101及两个第2主部102与开关电路321导通。

[0071] 多个电极35与半导体层32的控制电路322导通。多个电极35分别与多个第4主部104的第4主面114和多个第5主部105的第5主面115中的任一个连接。电极35与第1电极33同样地,例如经由焊料等具有导电性的接合层(省略图示)与第4主面114(第5主面115)连接。由此,多个104及多个第5主部105与控制电路322导通。另外,多个第1电极33、多个电极34和多个电极35的构成材料例如包含铜。

[0072] 如图11所示,第1导电部6介于第2端子部22的延伸部221与半导体元件3的元件第1面320之间。第1导电部6与延伸部221(第2端子部22)和元件第1面320这两者连接。如图13所示,第1导电部6经由焊料等具有导电性的接合层61与延伸部221的上表面(朝向厚度方向z的一侧的面)连接。在本实施方式中,如图3、图11所示,设置有介于两个第2端子部22各自与

半导体层32的元件第1面320之间的两个第1导电部6。在沿第1方向x观察时,两个第1导电部6各自与多个第1电极33重叠。

[0073] 两个第1导电部6各自都没有与半导体层32中的开关电路321、控制电路322和上述配线层中的任一者导通。因此,两个第1导电部6与开关电路321及控制电路322(电路部)绝缘。另一方面,两个第1导电部6分别与半导体层32中的第1配线325导通。

[0074] 如图5~图8所示,密封树脂4具有树脂主面41、树脂背面42、两个第1树脂侧面431、432和两个第2树脂侧面433、434。密封树脂4的构成材料例如是黑色的环氧树脂。

[0075] 如图9~图12所示,树脂主面41在厚度方向z上朝向与主面11(第1主面111~第5主面115)相同的一侧。如图5~图8所示,树脂背面42朝向与树脂主面41相反的一侧。如图4、图9~图12所示,第1主部101的第1背面121、各第2主部102的第2背面122、各第1端子部21的第1安装面211、各第2端子部22的第2安装面222、端子部25的安装面251、各端子部26的安装面261、各端子部27的安装面271和各端子部28的安装面281,从树脂背面42(密封树脂4)露出。

[0076] 如图5和图6所示,第1树脂侧面431位于密封树脂4的第2方向y的一侧端,朝向第2方向y的一侧。第1树脂侧面431与树脂主面41和树脂背面42这两者相连。如图4、图9所示,在配置于半导体器件A10的第2方向y的一侧端的多个第1端子部21的每一个,第1侧面212与第1树脂侧面431齐平。如图3、图4所示,在配置于半导体器件A10的第1方向x的两端且第2方向y的一侧端的两个第2端子部22的每一个,第2侧面223与第1树脂侧面431齐平。

[0077] 如图5和图6所示,第1树脂侧面432位于密封树脂4的第2方向y的另一侧端,朝向第2方向y的另一侧。第1树脂侧面432与树脂主面41和树脂背面42这两者相连。如图4、图9所示,在配置于半导体器件A10的第2方向y的另一侧端的多个端子部27的每一个,侧面272与第1树脂侧面432齐平。

[0078] 如图7和图8所示,第2树脂侧面433位于密封树脂4的第1方向x的一侧端,朝向第1方向x的一侧。第2树脂侧面433与树脂主面41和树脂背面42这两者相连。如图4、图10、图12所示,在配置于半导体器件A10的第1方向x的一侧端的端子部25、端子部26和多个端子部28的每一个,侧面252、侧面262及侧面282与第2树脂侧面433齐平。如图3、图4所示,在配置于半导体器件A10的第1方向x的一侧端且第2方向y的一侧端的第2端子部22,第3侧面224与第2树脂侧面433齐平。

[0079] 如图7和图8所示,第2树脂侧面434位于密封树脂4的第1方向x的另一侧端,朝向第1方向x的另一侧。第2树脂侧面434与树脂主面41和树脂背面42这两者相连。如图4、图12所示,在配置于半导体器件A10的第1方向x的另一侧端的端子部26和多个端子部28的每一个,侧面262及侧面282与第2树脂侧面434齐平。如图3、图4所示,在配置于半导体器件A10的第1方向x的另一侧端且第2方向y的一侧端的第2端子部22,第3侧面224与第2树脂侧面434齐平。

[0080] 接着,对本实施方式的作用效果进行说明。

[0081] 在半导体器件A10中,引线1包括多个第1端子部21和第2端子部22。多个第1端子部21沿着第1方向x排列,第2端子部22配置于比多个第1端子部21靠近密封树脂4的第1方向x的端部的位置。半导体元件3具有:与引线1的主面11相对的元件第1面320和设置于该元件第1面320的多个第1电极33。多个第1电极33与第3主面113(主面11)连接,多个第1端子部21分别经由多个第1电极33中的至少一个与半导体元件3的开关电路321(电路部)导通。半导

体器件A10还包括介于第2端子部22与元件第1面320之间的第1导电部6,第1导电部6与第2端子部22和元件第1面320这两者连接。第1导电部6与开关电路321及控制电路322(电路部)绝缘。

[0082] 根据这样的结构,与起到半导体元件3的功能的电路部不导通的第1导电部6,位于比多个第1电极33靠近由密封树脂4形成的封装件的角部的位置。因此,在第1导电部6的与第2端子部22的接合部,内部应力比多个第1电极33的与第3主部103(第3主面113)的接合部大。第1导电部6与起到半导体元件3的作用的开关电路321(电路部)不连接而绝缘,不会成为半导体元件3电导通的导通路径。因此,在与开关电路321(电路部)导通的多个第1电极33,通过设置靠近密封树脂4的角部的第1导电部6,能够降低接合部的内部应力。其结果是,能够提高通过倒装芯片安装而装载的半导体元件3的接合可靠性。

[0083] 在半导体器件A10中,两个第2端子部22相对于多个第1端子部21配置于第1方向x的一侧和另一侧。另外,设置有介于两个第2端子部22各自与半导体层32的元件第1面320之间的两个第1导电部6。根据这样的结构,能够降低多个第1电极33中的位于排列方向(第1方向x)的两端的第1电极33的接合部的内部应力。这在提高半导体元件3的接合可靠性方面是更令人满意的。

[0084] 多个第1电极33沿着第1方向x排列。各第1导电部6在第1方向x上观察时与多个第1电极33重叠。根据这样的结构,能够有效地降低多个第1电极33的接合部的内部应力。

[0085] 如图14所示,关于倒装芯片安装的半导体元件3,例如如果以相对于引线1向第1方向x稍微倾斜的状态装载,则在相对于多个第1电极33配置于第1方向x的两端的两个第1导电部6,接合层61的接合状态的变化显著地显现。在本实施方式中,半导体层32(半导体元件3)具有与两个第1导电部6这两者导通的第1配线325。根据这样的结构,通过利用连接有两个第1导电部6的两个第2端子部22来对该两个第1导电部6和第1配线325的路径进行电测量,能够将第1导电部6的接合部(接合层61)的接合状态的变化作为电阻值的变动而检测出。由此,关于两个第1导电部6的接合部和在第1方向x上配置于这些第1导电部6之间的多个第1电极33的接合部,能够确认接合状态。这能够提高具有倒装芯片安装的半导体元件3的半导体器件A10的接合可靠性。

[0086] 第1实施方式的变形例

[0087] 图15、图16表示第1实施方式的变形例的半导体器件A11。图15是表示半导体器件A11的俯视图。图16是沿着图15的XVI-XVI线的截面图。此外,在图15以后的附图中,对与上述实施方式的半导体器件A10相同或类似的要素标注与上述实施方式相同的附图标记,适当省略说明。为了便于理解,图15透过半导体元件3和密封树脂4地图示。在该图中,用假想线(双点划线)表示透过了的半导体元件3和密封树脂4。

[0088] 在本变形例的半导体器件A11中,代替上述实施方式的第2端子部22而设置有第2端子部23,伴随于此实施了各种改变。在本变形例中,相对于多个第1端子部21在第1方向x的一侧靠近地配置有两个第2端子部23。另外,相对于多个第1端子部21,在第1方向x的另一侧,也靠近地配置有另外的两个第2端子部23。

[0089] 如图15、图16所示,第2端子部23具有延伸部231、第3安装面232和第4侧面233。延伸部231是与密封树脂4的第1方向x的端部和第2方向y的端部相比向密封树脂4的内侧延伸的部分。在该延伸部231(第2端子部23)连接有第1导电部6。第3安装面232朝向厚度方向z的

另一侧。第4侧面233朝向第1方向x和第2方向y中的任一个。相对于多个第1端子部21配置于第1方向x的一侧的2个第2端子部23中,一个第2端子部23的第4侧面233朝向第1方向x的一侧,另一个第2端子部23的第4侧面233朝向第2方向y的一侧。相对于多个第1端子部21配置于第1方向x的另一侧的2个第2端子部23中,一个第2端子部23的第4侧面233朝向第1方向x的另一侧,另一个第2端子部23的第4侧面233朝向第2方向y的一侧。在本变形例中,第4侧面233与第3安装面232相连,且齐平。第3安装面232和第4侧面233从密封树脂4露出。

[0090] 如图15、图16所示,设置有两个第1导电部6,该两个第1导电部6介于相对于多个第1端子部21配置于第1方向x的一侧的两个第2端子部22各自与半导体层32的元件第1面320之间。另外,设置有另外的两个第1导电部6,该另外的两个第1导电部6介于相对于多个第1端子部21配置于第1方向x的另一侧的2个第2端子部22各自与半导体层32的元件第1面320之间。

[0091] 如图15所示,在半导体器件A11中,半导体元件3具有设置于半导体层32的第2配线326来代替上述实施方式的第1配线325。在图15中,简略地以虚线表示第2配线326的路径。第2配线326没有与开关电路321、控制电路322和上述配线层的任一者导通。在本变形例中,与相对于多个第1端子部21配置于第1方向x的一侧的两个第2端子部23、及相对于多个第1端子部21配置于第1方向x的另一侧的两个第2端子部23分别对应地,第2配线326设置于第1方向x的一侧和另一侧这两处。

[0092] 各第1导电部6没有与半导体层32中的开关电路321、控制电路322和上述配线层的任一者导通。因此,各第1导电部6与开关电路321及控制电路322(电路部)绝缘。另一方面,相对于多个第1电极33配置于第1方向x的一侧的2个第1导电部6,分别与半导体层32中的一方的第2配线326导通。相对于多个第1电极33配置于第1方向x的另一侧的2个第1导电部6,分别与半导体层32中的另一方的第2配线326导通。

[0093] 根据本变形例的半导体器件A11,与实现半导体元件3的功能的电路部不导通的第1导电部6,位于比多个第1电极33靠近由密封树脂4形成的封装件的角部的位置。因此,在第1导电部6的与第2端子部23的接合部,内部应力比多个第1电极33的与第3主部103(第3主面113)的接合部大。第1导电部6与起到半导体元件3的作用(功能)的开关电路321(电路部)不连接而绝缘,不会成为半导体元件3的电导通路径。因此,在与开关电路321(电路部)导通的多个第1电极33,通过设置靠近密封树脂4的角部的第1导电部6,能够降低接合部的内部应力。其结果是,能够提高通过倒装芯片安装而装载的半导体元件3的接合可靠性。

[0094] 在半导体器件A11中,相对于多个第1端子部21在第1方向x的一侧,靠近地配置有两个第2端子部23。另外,设置有介于该两个第2端子部23各自与半导体层32的元件第1面320之间的两个第1导电部6。半导体层32(半导体元件3)具有与该两个第1导电部6这两者导通的第2配线326。根据这样的结构,通过利用连接有两个第1导电部6的两个第2端子部23对该两个第1导电部6和第2配线326的路径进行电测量,能够将第1导电部6的接合部的接合状态的变化作为电阻值的变动检测出。由此,对于在密封树脂4的封装件中位于第1方向x的一侧且第2方向y的一侧的角部的2个第1导电部6的接合部,能够确认接合状态。这有助于提高具有倒装芯片安装的半导体元件3的半导体器件A11的接合可靠性。

[0095] 在本变形例中,相对于多个第1端子部21在第1方向x的另一侧靠近地配置有两个第2端子部23。另外,设置有介于该两个第2端子部23各自与半导体层32的元件第1面320之

间的、与上述不同的另外的两个第1导电部6。半导体层32(半导体元件3)具有与该两个第1导电部6这两者导通的第2配线326。根据这样的结构,通过利用连接有两个第1导电部6的两个第2端子部23对该两个第1导电部6和第2配线326的路径进行电测量,能够将第1导电部6的接合部的接合状态的变化作为电阻值的变动检测出。由此,对于在基于密封树脂4的封装件中位于第1方向x的另一侧且第2方向y的一侧的角部的2个第1导电部6的接合部,能够确认接合状态。此外,在与上述实施方式的半导体器件A10同样的结构的范围内,起到与上述实施方式同样的作用效果。

#### [0096] 第2实施方式

[0097] 图17表示本发明的第2实施方式的半导体器件A20。图17是表示半导体器件A20的俯视图。为了便于理解,图17透过半导体元件3和密封树脂4地图示。在该图中,用假想线(双点划线)表示透过的半导体元件3和密封树脂4。

[0098] 在本实施方式的半导体器件A20中,代替设置于上述实施方式的半导体层32(半导体元件3)的第1配线325而设置有第3配线327。简略地以虚线表示第3配线327的路径。第3配线327与第1导电部6和多个第1电极33中的任一个第1电极这两者导通。在本实施方式中,与相对于多个第1端子部21设置于第1方向x的一侧和另一侧的两个第2端子部22分别对应地,第3配线327设置于第1方向x的一侧和另一侧这两处。设置于第1方向x的一侧的第3配线327,与配置于第1方向x的一侧的第1导电部6及多个第1电极33中的位于第1方向x的一侧端的第1电极33导通。设置于第1方向x的另一侧的第3配线327,与配置于第1方向x的另一侧的第1导电部6及多个第1电极33中的位于第1方向x的另一侧端的第1电极33导通。

[0099] 根据本实施方式的半导体器件A20,第1导电部6位于比多个第1电极33靠近基于密封树脂4的封装件的角部的位置。因此,在第1导电部6的与第2端子部22的接合部,内部应力比多个第1电极33的与第3主部103(第3主面113)的接合部大。因此,在与开关电路321(电路部)导通的多个第1电极33,通过设置靠近密封树脂4的角部的第1导电部6,能够降低接合部的内部应力。其结果是,能够提高通过倒装芯片安装而装载的半导体元件3的接合可靠性。

[0100] 在半导体器件A20中,两个第2端子部22相对于多个第1端子部21配置于第1方向x的一侧和另一侧。另外,设置有介于两个第2端子部22各自与半导体层32的元件第1面320之间的两个第1导电部6。根据这样的结构,能够降低多个第1电极33中的位于排列方向(第1方向x)的两端的第1电极33的接合部的内部应力。这在提高半导体元件3的接合可靠性方面是更令人满意的。

[0101] 多个第1电极33沿着第1方向x排列。各第1导电部6在沿第1方向x观察时与多个第1电极33重叠。根据这样的结构,能够有效地降低多个第1电极33的接合部的内部应力。

[0102] 在半导体器件A20中,半导体层32(半导体元件3)具有与第1导电部6和多个第1电极33中的任一个第1电极33这两者导通的第3配线327。根据这样的结构,通过利用与第1导电部6连接的第2端子部22和与第1电极33导通的第1端子部21,对该第1导电部6、第1电极33和第3配线327的路径进行电测量,能够将第1导电部6的接合部的接合状态的变化作为电阻值的变动检测出。由此,对于两个第1导电部6各自的接合部,能够确认接合状态。这有助于提高具有倒装芯片安装的半导体元件3的半导体器件A20的接合可靠性。

[0103] 本发明的半导体器件不限于上述实施方式。本发明的半导体器件的各个部分的具体结构可以自由地进行各种设计修改。

[0104] 在上述实施方式中,对第1端子部21的第1侧面212与第1树脂侧面431齐平的情况进行了说明,但并不限于此。第1端子部21(第1侧面212)也可以是突出到密封树脂4的外侧的形状。另外,也可以构成为,通过切除第1端子部21的第2方向y上的前端的一部分及其周围的密封树脂4的一部分,第1侧面212在厚度方向z上观察时位于比第1树脂侧面431靠密封树脂4的内侧的位置。与上述的第1端子部21的第1侧面212同样的改变,也能够应用于第1端子部21的第2端子部22的第2侧面223和第3侧面224。也可以是,第2端子部22(第2侧面223和第3侧面224)突出到密封树脂4的外侧的形状。另外,也可以构成为,在沿厚度方向z观察时,第2侧面223位于比第1树脂侧面431靠密封树脂4的内侧的位置,在沿厚度方向z观察时,第3侧面224位于比第2树脂侧面433(434)靠密封树脂4的内侧的位置。

[0105] 在上述实施方式中,对第2端子部22和与其连接的第1导电部6在密封树脂4中在第2方向y的一侧配置于第1方向x的两侧的结构进行了说明,但也可以将第2端子部22和第1导电部6配置于密封树脂4的四个角的各个角。

[0106] 本发明包括以下的附记所记载的实施方式。

[0107] 附记1

[0108] 一种半导体器件,其包括:

[0109] 具有朝向厚度方向的一侧的主面的引线;

[0110] 半导体元件,其具有电路部、在所述厚度方向上与所述主面相对的元件第1面、和设置于所述元件第1面的多个第1电极,所述多个第1电极与所述主面连接;

[0111] 覆盖所述引线的一部分和所述半导体元件的密封树脂;和

[0112] 第1导电部,

[0113] 所述引线包括:沿着与所述厚度方向正交的第1方向排列的多个第1端子部;和配置在比所述多个第1端子部靠近所述密封树脂的所述第1方向的端部的位置的第2端子部,

[0114] 所述多个第1电极的各个第1电极与所述电路部导通,

[0115] 所述多个第1端子部的各个第1端子部经由所述多个第1电极中的至少一个第1电极与所述电路部导通,

[0116] 所述第1导电部介于所述第2端子部与所述元件第1面之间,且与所述第2端子部和所述元件第1面这两者连接,

[0117] 所述第1导电部与所述电路部绝缘。

[0118] 附记2

[0119] 根据附记1所述的半导体器件,其中,

[0120] 所述引线包括:相对于所述多个第1端子部配置在所述第1方向的一侧和另一侧的2个所述第2端子部,

[0121] 所述半导体器件包括:介于两个所述第2端子部各自与所述元件第1面之间的两个所述第1导电部。

[0122] 附记3

[0123] 根据附记2所述的半导体器件,其中,

[0124] 所述半导体元件具有与两个所述第1导电部这两者导通的第1配线。

[0125] 附记4

[0126] 如附注1~3中任一项所述的半导体器件,其中,

[0127] 所述多个第1端子部的各个第1端子部具有:朝向所述厚度方向的另一侧的第1安装面;和朝向与所述厚度方向和所述第1方向这两者正交的第2方向的第1侧面,

[0128] 所述第1安装面和所述第1侧面从所述密封树脂露出。

[0129] 附记5

[0130] 根据附记4所述的半导体器件,其中,

[0131] 所述密封树脂具有位于所述第2方向的端部且朝向所述第2方向的第1树脂侧面,

[0132] 所述第1侧面与所述第1树脂侧面齐平,或者在沿所述厚度方向观察时位于比所述第1树脂侧面靠所述密封树脂的内侧的位置。

[0133] 附记6

[0134] 根据附记5所述的半导体器件,其中,

[0135] 所述第2端子部具有:朝向所述厚度方向的另一侧的第2安装面;朝向所述第2方向的第2侧面;和朝向所述第1方向的第3侧面,

[0136] 所述第2安装面、所述第2侧面和所述第3侧面从所述密封树脂露出。

[0137] 附记7

[0138] 根据附记6所述的半导体器件,其中,

[0139] 所述密封树脂具有位于所述第1方向的端部且朝向所述第1方向的第2树脂侧面,

[0140] 所述第2侧面与所述第1树脂侧面齐平,或者在沿所述厚度方向观察时位于比所述第1树脂侧面靠所述密封树脂的内侧的位置,

[0141] 所述第3侧面与所述第2树脂侧面齐平,或者在沿所述厚度方向观察时位于比所述第2树脂侧面靠所述密封树脂的内侧的位置。

[0142] 附记8

[0143] 根据附记1~7中任一项所述的半导体器件,其中,

[0144] 所述多个第1电极沿着所述第1方向排列。

[0145] 附记9

[0146] 根据附记8所述的半导体器件,其中,

[0147] 沿所述第1方向观察时,所述第1导电部与所述多个第1电极重叠。

[0148] 附记10

[0149] 根据附记1所述的半导体器件,其中,

[0150] 所述引线包括:相对于所述多个第1端子部靠近所述第1方向的一侧地配置的两个所述第2端子部,

[0151] 所述半导体器件包括:介于2个所述第2端子部各自与所述元件第1面之间的2个所述第1导电部,

[0152] 所述半导体元件具有与2个所述第1导电部这两者导通的第2配线。

[0153] 附记11

[0154] 根据附记10所述的半导体器件,其中,

[0155] 所述多个第1端子部的各个第1端子部具有:朝向所述厚度方向的另一侧的第1安装面;和朝向与所述厚度方向和所述第1方向这两者正交的第2方向的第1侧面,

[0156] 所述第1安装面和所述第1侧面从所述密封树脂露出。

[0157] 附记12

- [0158] 根据附记11所述的半导体器件,其中,
- [0159] 所述密封树脂具有位于所述第2方向的端部且朝向所述第2方向的第1树脂侧面,
- [0160] 所述第1侧面与所述第1树脂侧面齐平,或者在沿所述厚度方向观察时位于比所述第1树脂侧面靠所述密封树脂的内侧的位置。
- [0161] 附记13
- [0162] 根据附记12所述的半导体器件,其中,
- [0163] 所述第2端子部具有:朝向所述厚度方向的另一侧的第3安装面;和朝向所述第1方向或所述第2方向的第4侧面,
- [0164] 所述第3安装面和所述第4侧面从所述密封树脂露出。
- [0165] 附记14
- [0166] 根据附记13所述的半导体器件,其中,
- [0167] 所述密封树脂具有位于所述第1方向的端部且朝向所述第1方向的第2树脂侧面,
- [0168] 所述第4侧面与所述第1树脂侧面或所述第2树脂侧面齐平,或者在沿所述厚度方向观察时位于比所述第1树脂侧面或所述第2树脂侧面靠所述密封树脂的内侧的位置。
- [0169] 附记15
- [0170] 一种半导体器件,其包括:
- [0171] 具有朝向厚度方向的一侧的主面的引线;
- [0172] 半导体元件,其具有电路部、在所述厚度方向上与所述主面相对的元件第1面、和设置于所述元件第1面的多个第1电极,所述多个第1电极与所述主面连接;和
- [0173] 覆盖所述引线的一部分和半导体元件的密封树脂,
- [0174] 所述引线包括:沿着与所述厚度方向正交的第1方向排列的多个第1端子部;和配置在比所述多个第1端子部靠近所述密封树脂的所述第1方向的端部的位置的第2端子部,
- [0175] 所述多个第1电极分别与所述电路部导通,
- [0176] 所述多个第1端子部分别经由所述多个第1电极中的至少一个第1电极与所述电路部导通,
- [0177] 包括介于所述第3端子部与所述元件第1面之间、且与所述第2端子部和所述元件第1面这两者连接的第2导电部,
- [0178] 所述半导体元件具有与所述多个第1电极中的任一个第1电极和所述第2导电部这两者导通的第3配线。
- [0179] 附图标记的说明
- [0180] A10、A11、A20: 半导体器件 1: 引线
- [0181] 10: 主部 101: 第1主部
- [0182] 102: 第2主部 103: 第3主部
- [0183] 104: 第4主部 105: 第5主部
- [0184] 11: 主面 111: 第1主面
- [0185] 112: 第2主面 113: 第3主面
- [0186] 114: 第4主面 115: 第5主面
- [0187] 12: 背面 121: 第1背面
- [0188] 122: 第2背面 21: 第1端子部

- [0189] 211:第1安装面 212: 第1侧面
- [0190] 22:第2端子部 221:延伸部
- [0191] 222: 第2安装面 223: 第2侧面
- [0192] 224: 第3侧面 23: 第2端子部
- [0193] 231:延伸部 232: 第3安装面
- [0194] 233:第4侧面 25、26、27、28:端子部
- [0195] 251、261、271、281:安装面
- [0196] 252、262、272、282:侧面
- [0197] 3:半导体元件 31:半导体基板
- [0198] 32:半导体层 320:元件第1面
- [0199] 321:开关电路 322:控制电路
- [0200] 325:第1配线 326:第2配线
- [0201] 327:第3配线 33:第1电极
- [0202] 331:接合层 34、35:电极
- [0203] 4:密封树脂 41:树脂主面
- [0204] 42:树脂背面 431、432:第1树脂侧面
- [0205] 433、434:第2树脂侧面
- [0206] 43、444:第2树脂中间面
- [0207] 451、452:第1树脂内侧侧面
- [0208] 453、454:第2树脂内侧侧面
- [0209] 6:第1导电部 61:接合层
- [0210] x:第1方向 y:第2方向z:厚度方向。

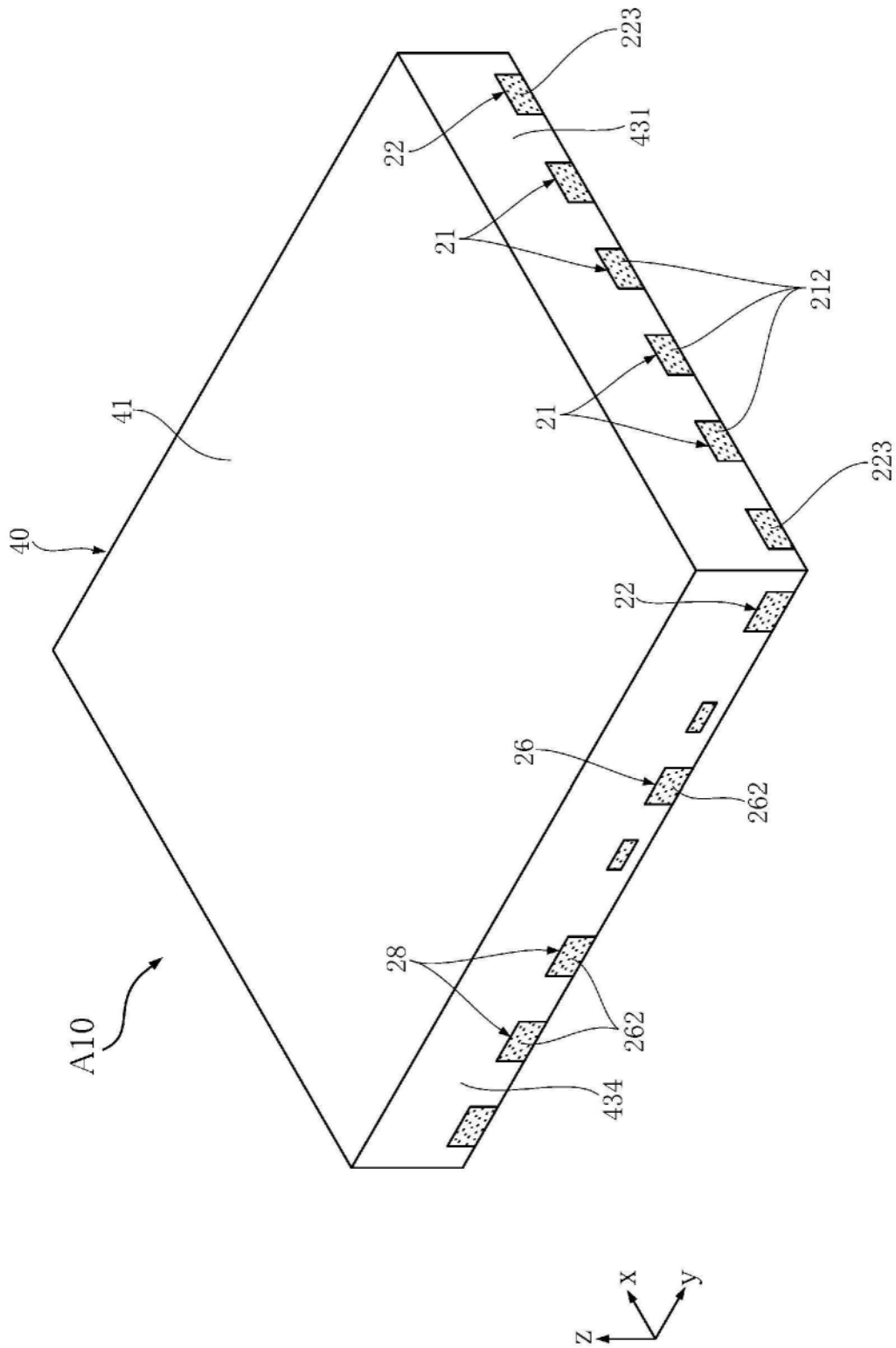


图1

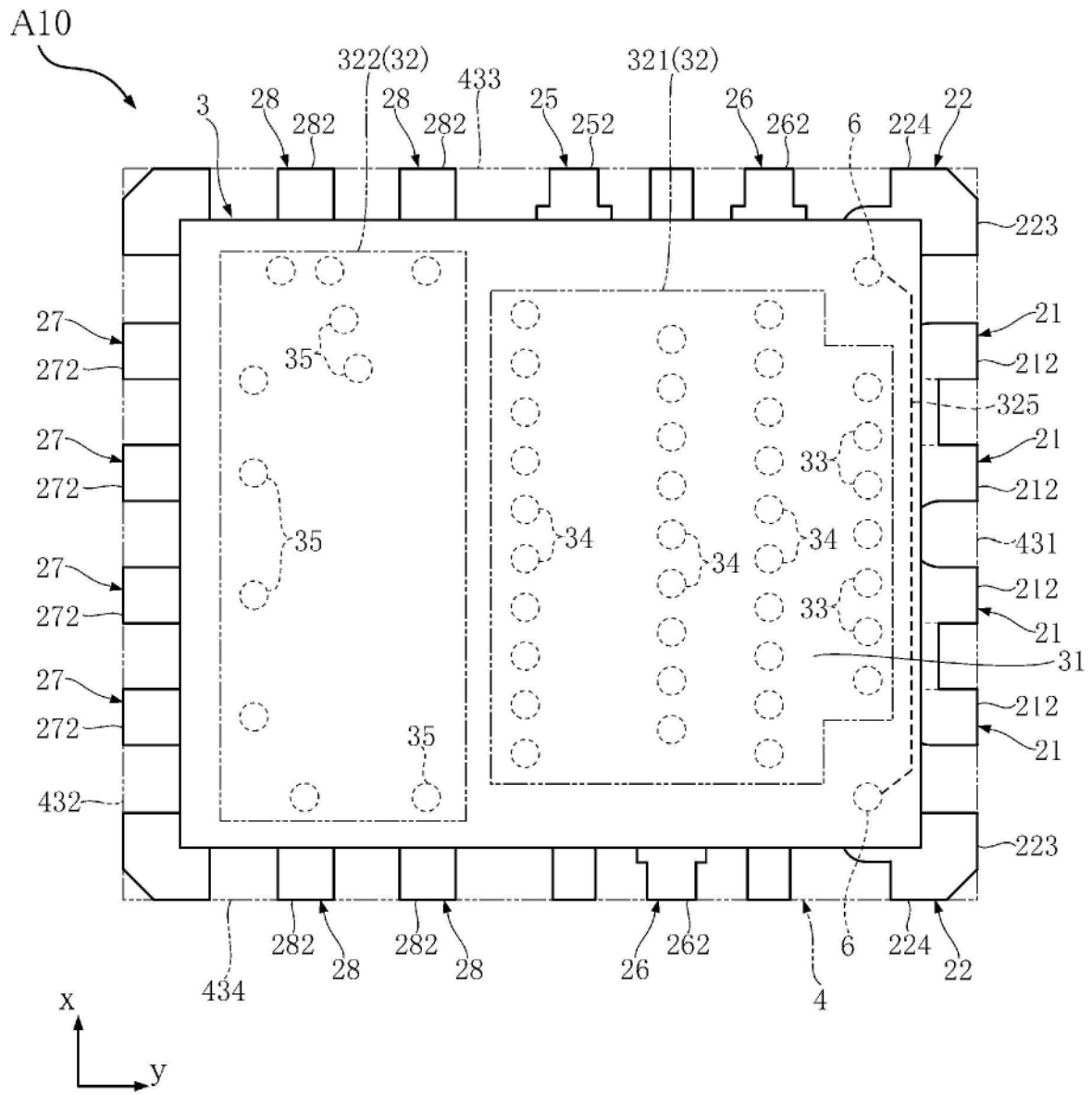


图2



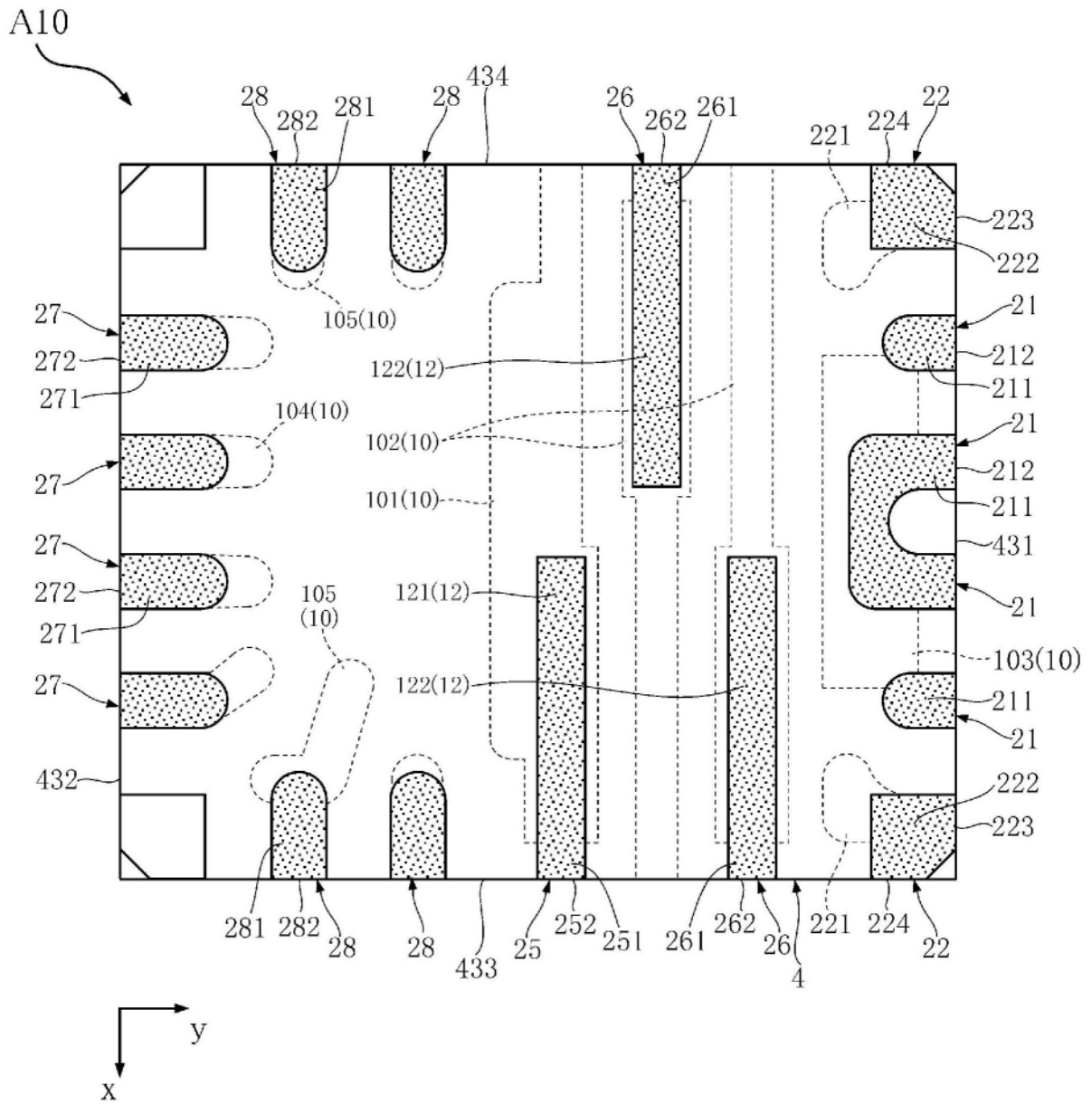


图4

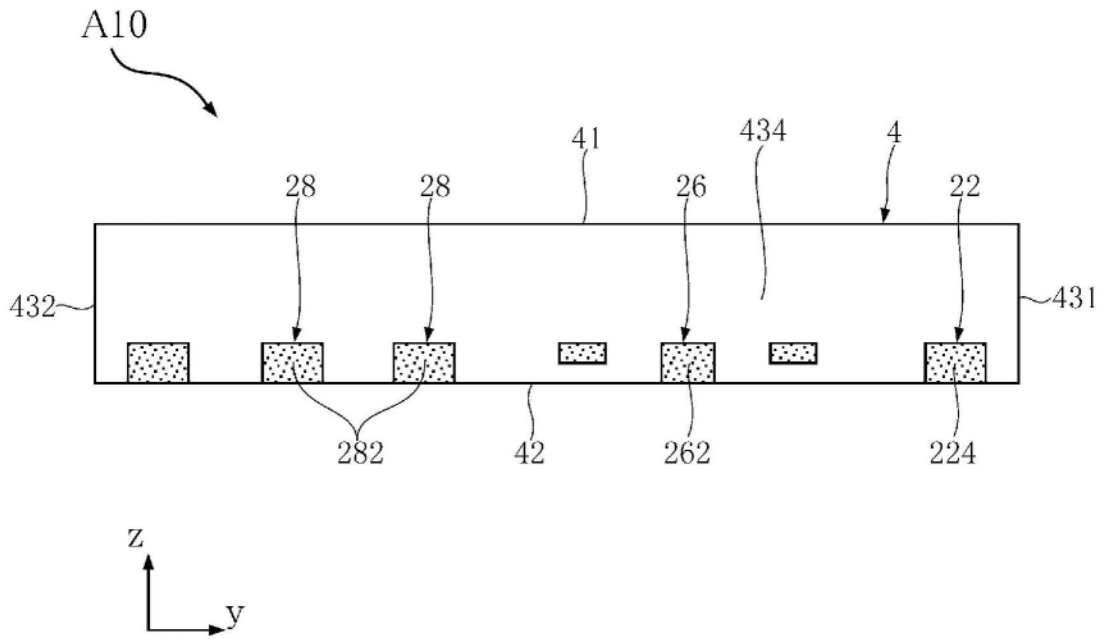


图5

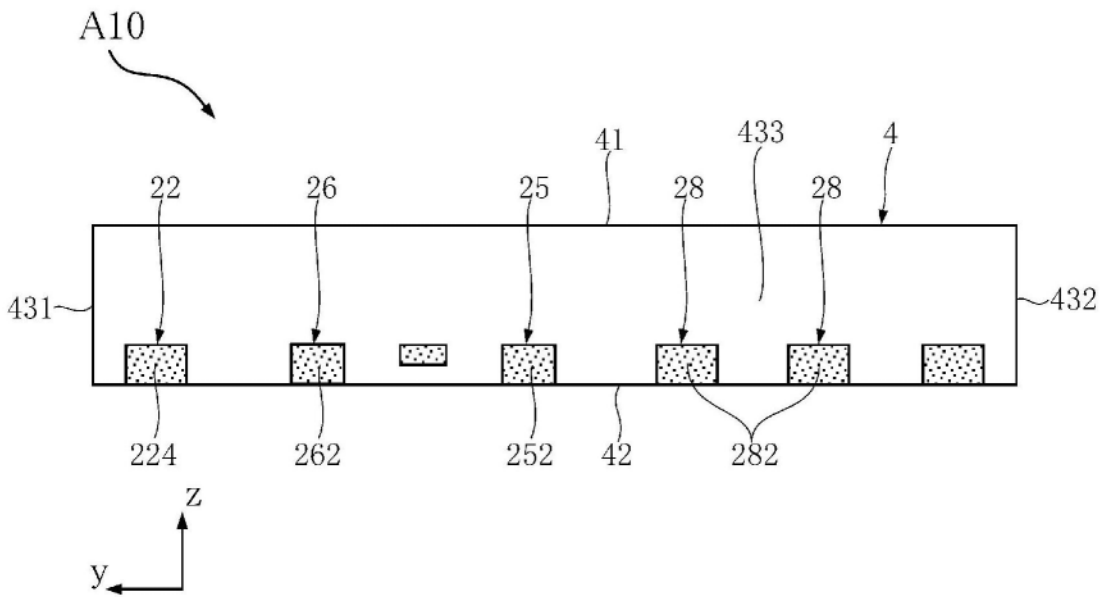


图6

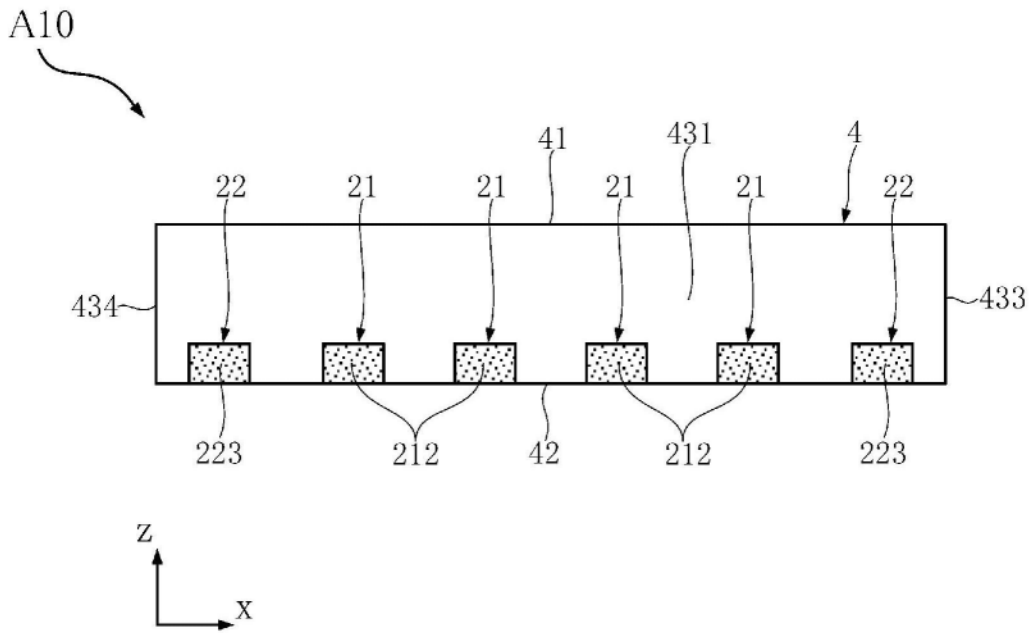


图7

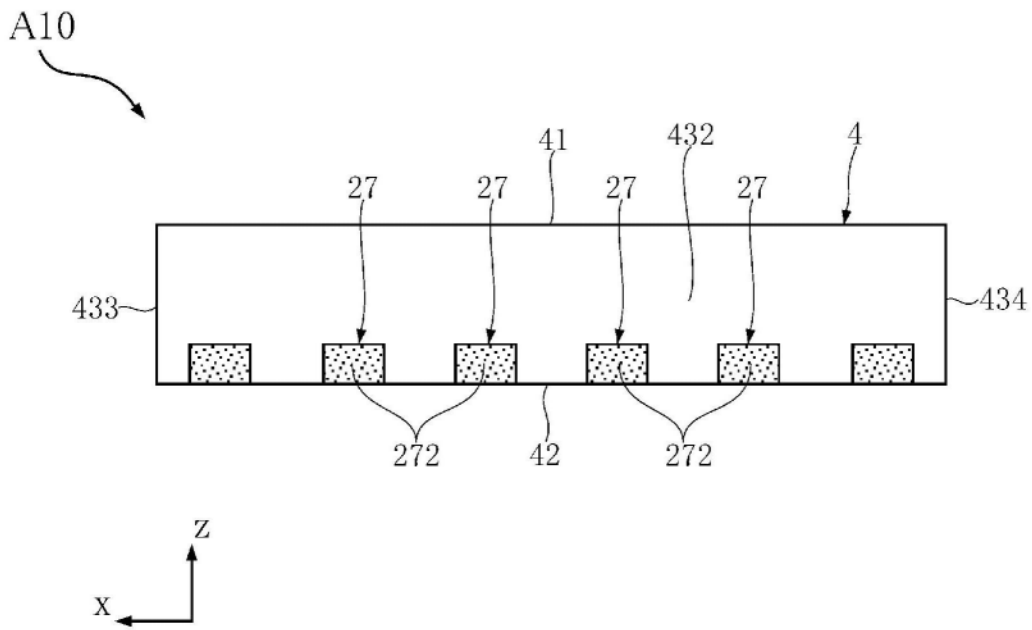


图8

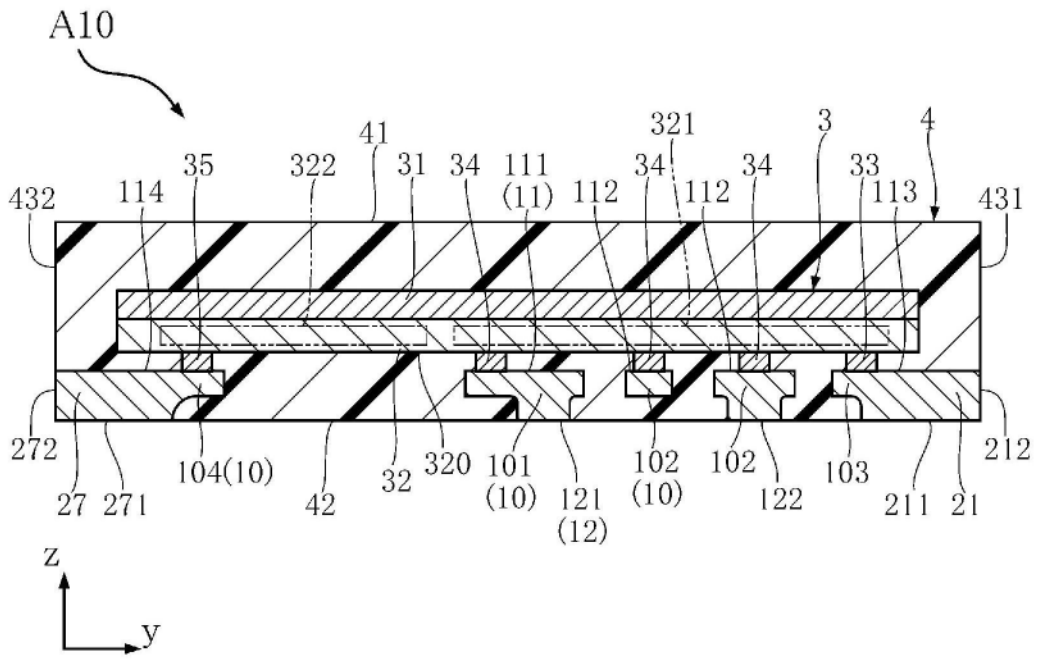


图9

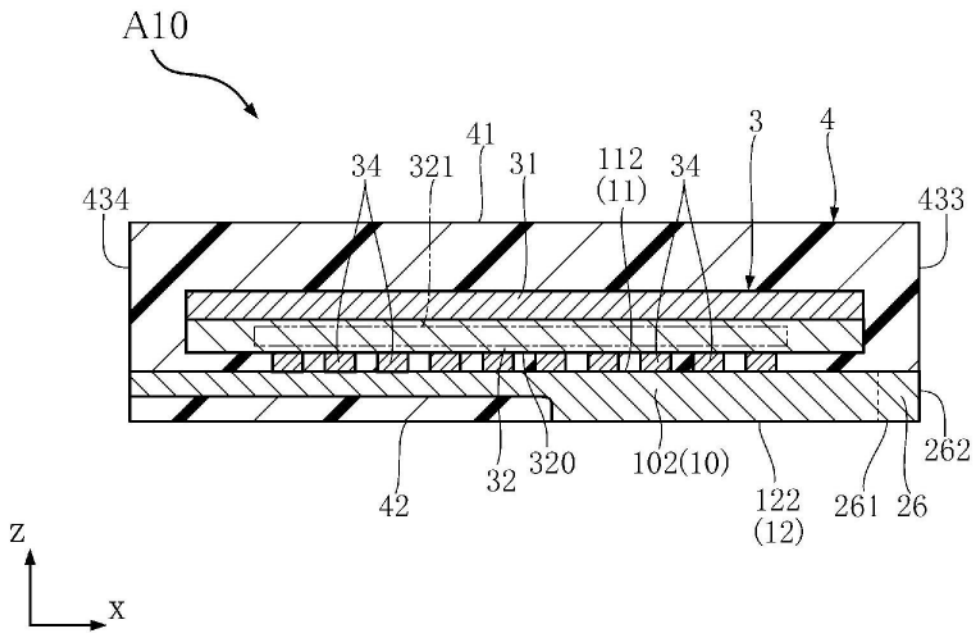


图10

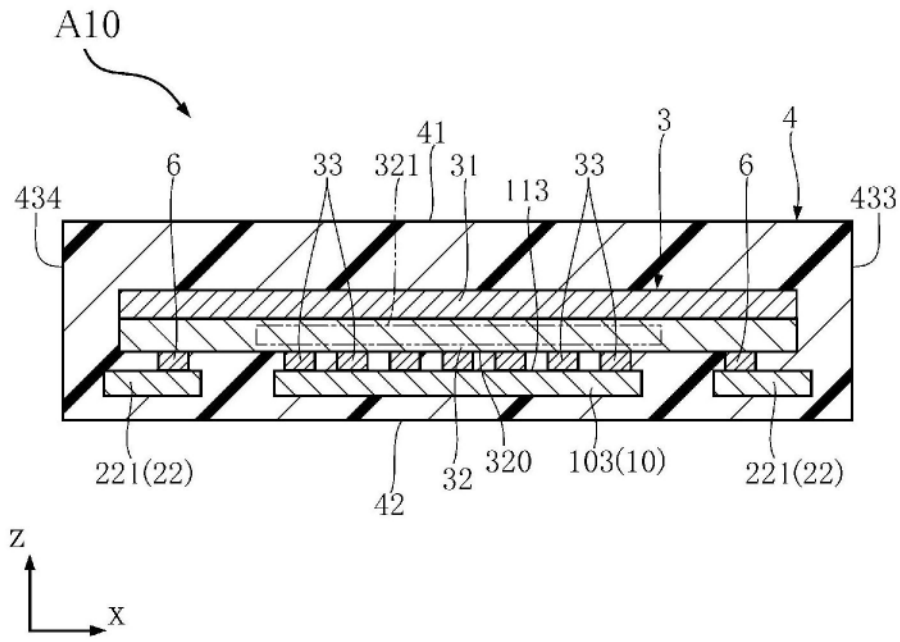


图11

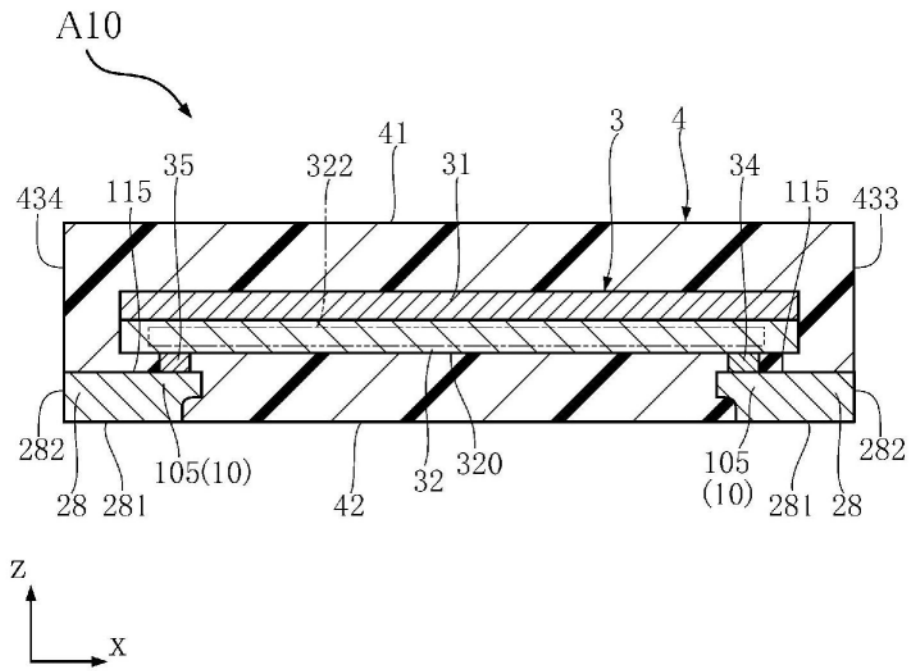


图12

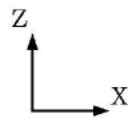
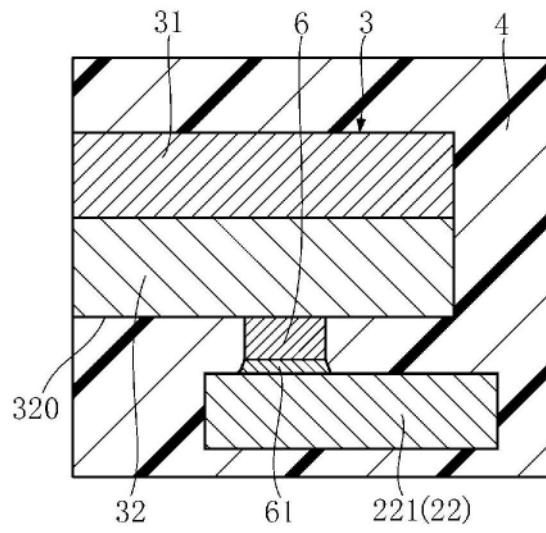


图13

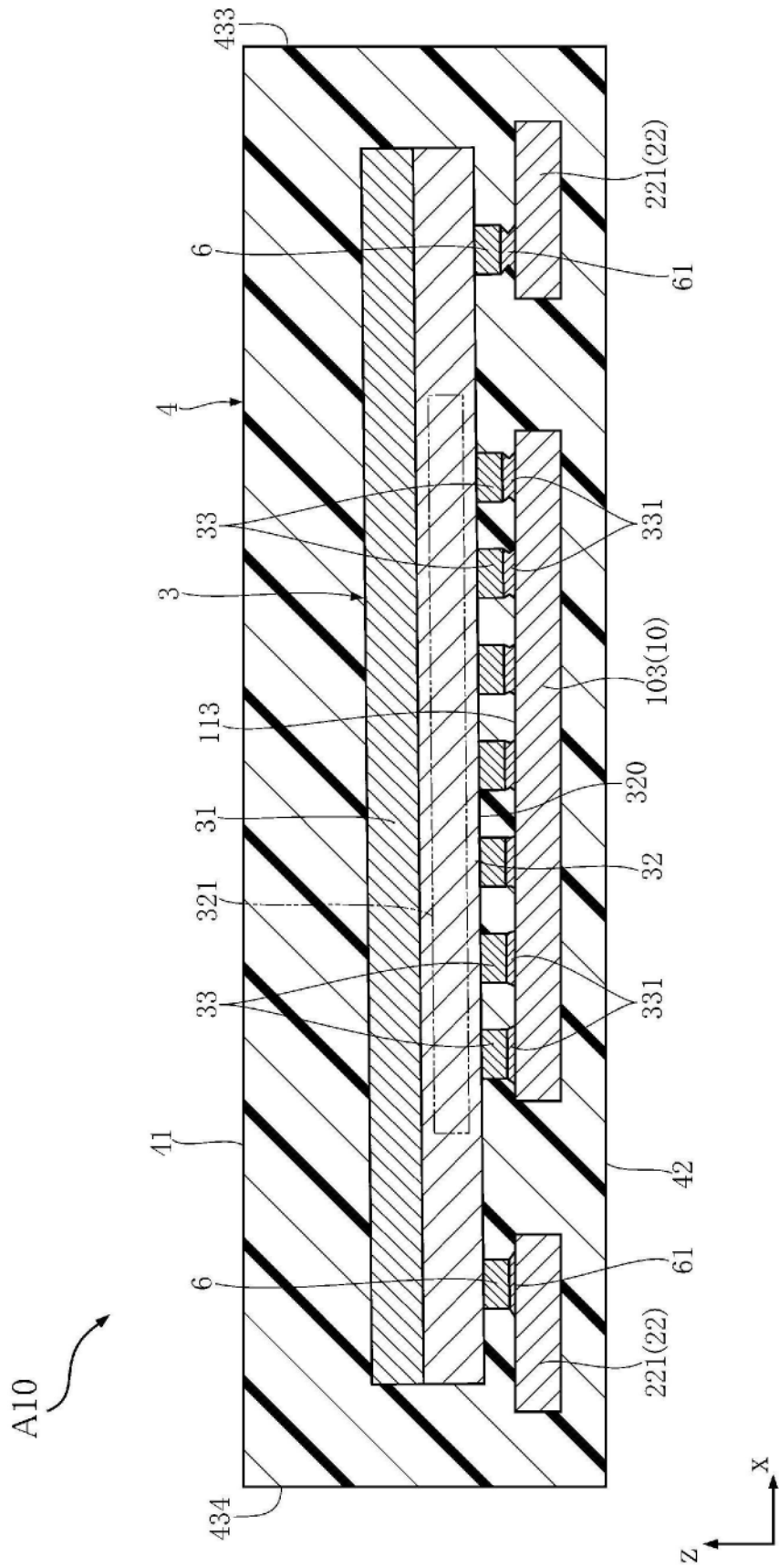


图14

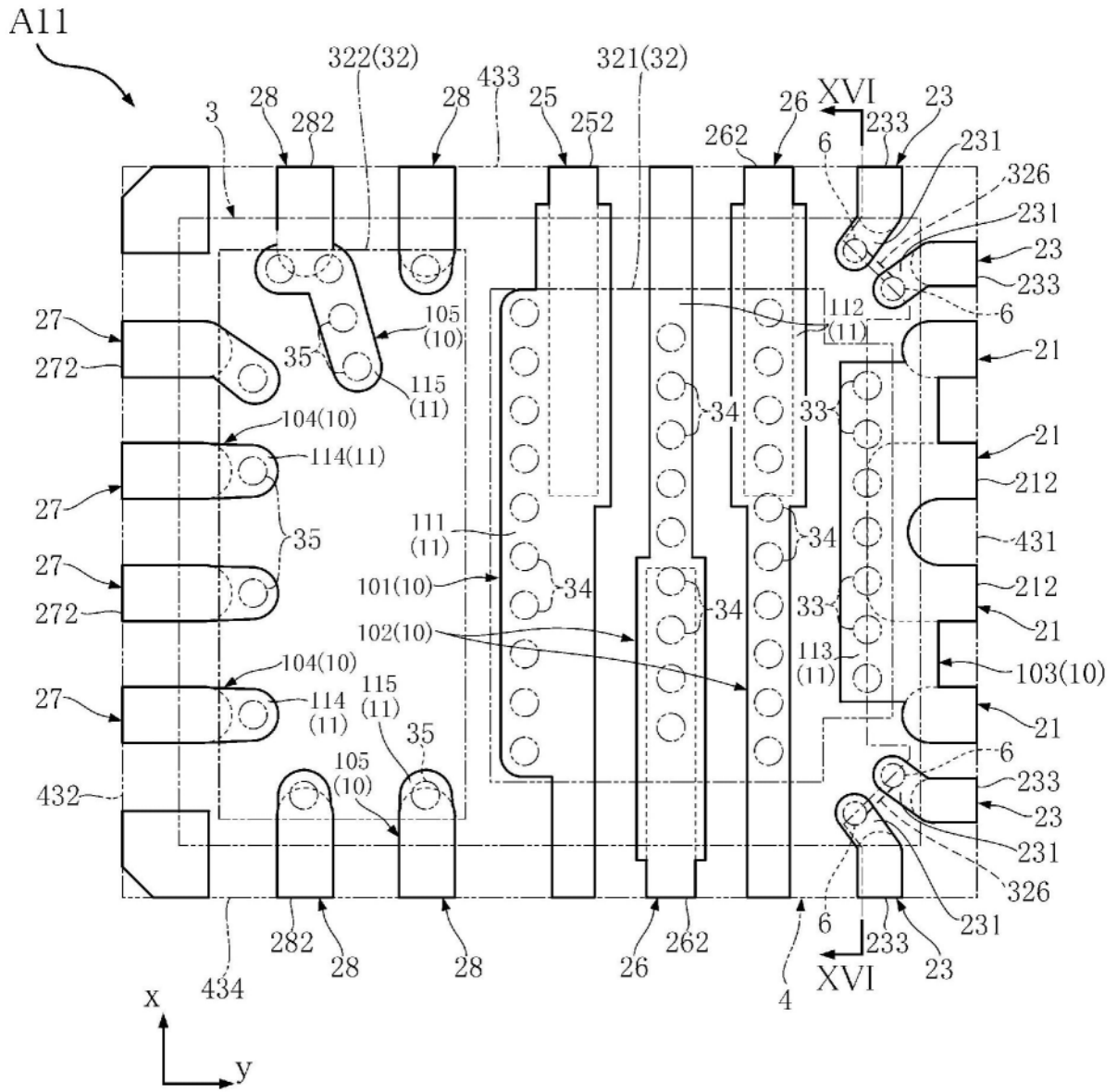


图15

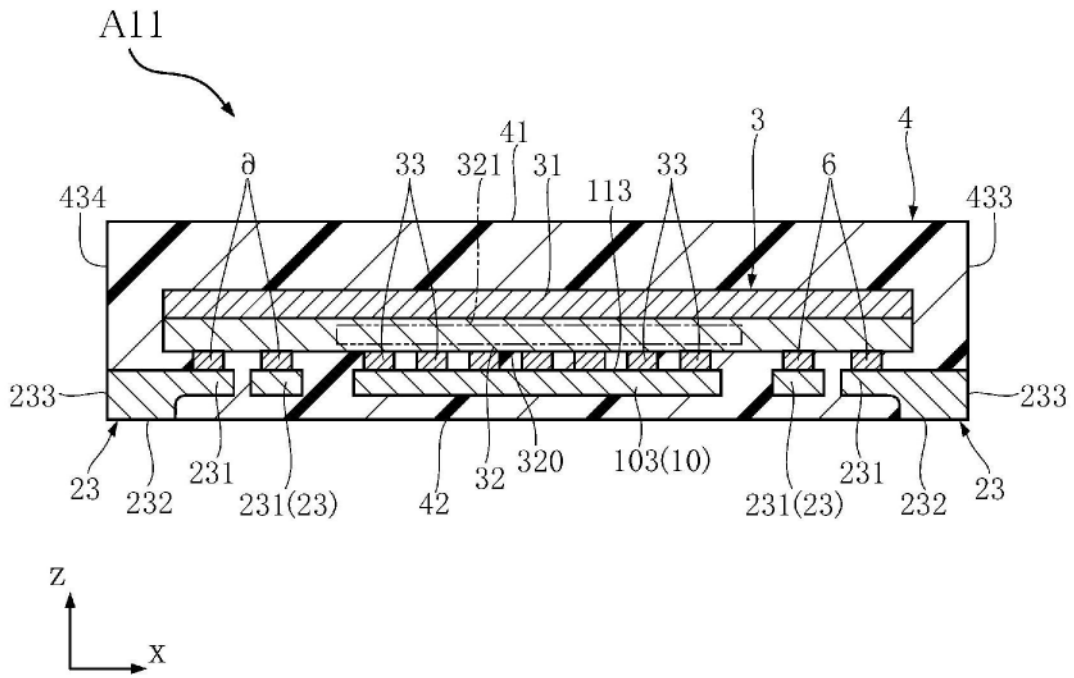


图16

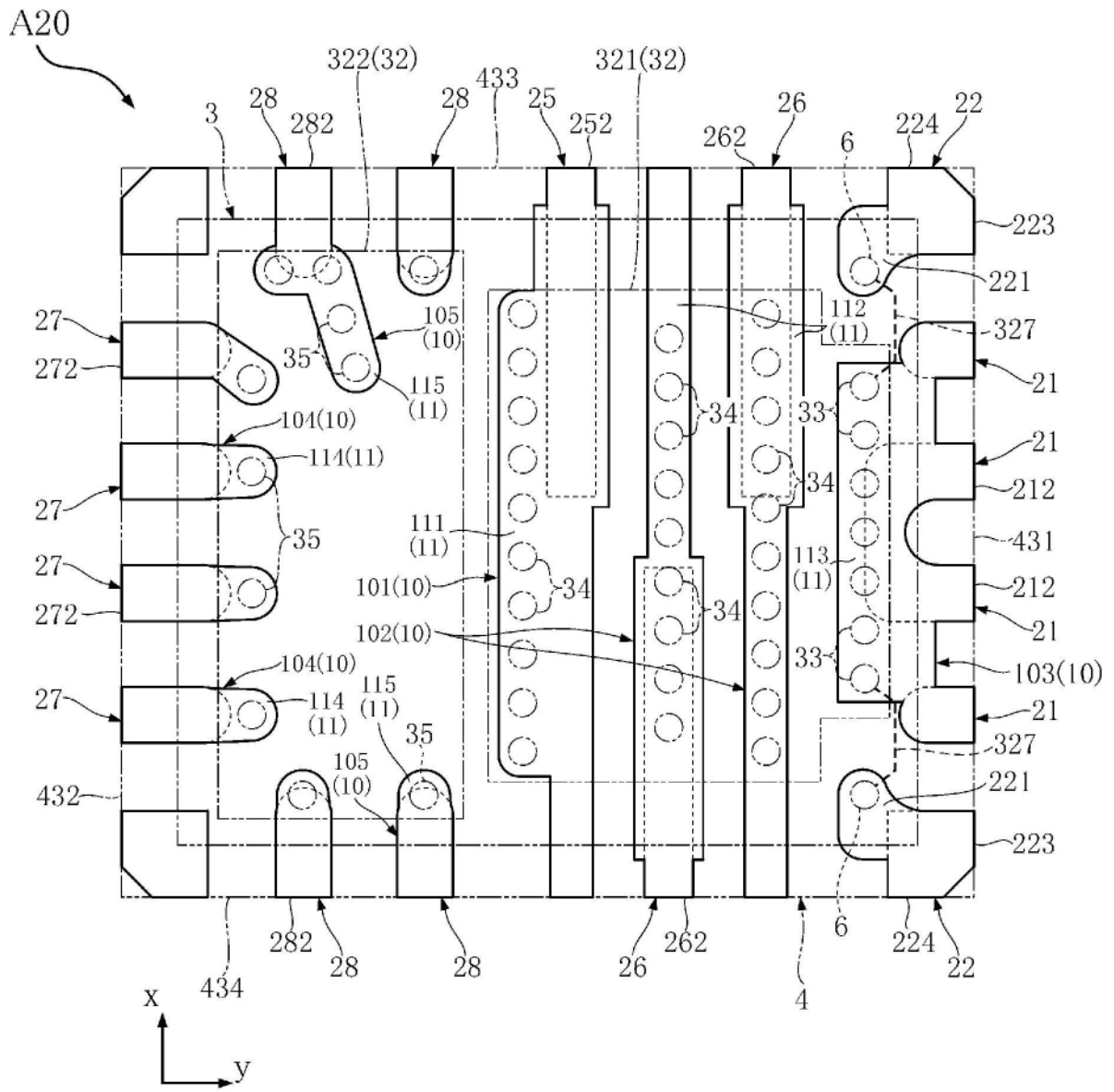


图17