

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年3月29日(29.03.2018)



(10) 国際公開番号

WO 2018/056233 A1

(51) 国際特許分類:

H01L 29/78 (2006.01) H01L 29/41 (2006.01)
H01L 21/28 (2006.01) H01L 29/739 (2006.01)
H01L 21/322 (2006.01) H01L 29/861 (2006.01)
H01L 21/329 (2006.01) H01L 29/868 (2006.01)
H01L 21/336 (2006.01)

(21) 国際出願番号: PCT/JP2017/033604

(22) 国際出願日: 2017年9月15日(15.09.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

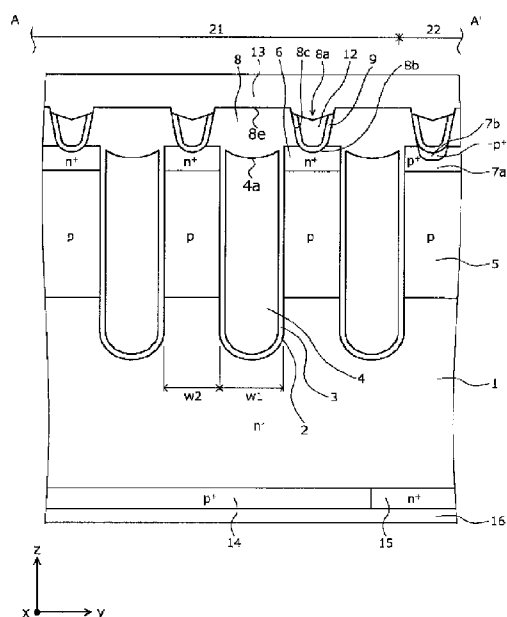
(30) 優先権データ:
特願 2016-183126 2016年9月20日(20.09.2016) JP

(71) 出願人: 富士電機株式会社 (FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP). 株式会社デンソー (DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町1丁目1番地 Aichi (JP).

(72) 発明者: 宮田 大嗣 (MIYATA, Hiroshi); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP). 野口 晴司 (NOGUCHI, Seiji); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP). 吉田 崇一 (YOSHIDA, Souichi); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP). 田邊 広光 (TANABE,

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置および半導体装置の製造方法



(57) Abstract: In the present invention, a plug electrode (12) is etched back, and as a result the plug electrode (12) is left only inside a contact hole (8a) and a barrier metal (9) on an upper surface (8e) of an interlayer insulating film (8) is exposed. Next, the barrier metal (9) is etched back, and as a result the upper surface (8e) of the interlayer insulating film (8) is exposed. Next, a remaining element structure is formed, and lifetime control is performed by using helium or irradiating an electron beam, and then hydrogen annealing is performed. When the hydrogen annealing is performed,



Hiromitsu); 〒4488661 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内 Aichi (JP).
河野 憲司(KOUNO, Kenji); 〒4488661 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内 Aichi (JP). **大倉 康嗣(OKURA, Yasushi)**; 〒4488661 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内 Aichi (JP).

(74) 代理人: 酒井 昭徳(**SAKAI, Akinori**); 〒1020094 東京都千代田区紀尾井町 3 番 1 2 号 紀尾井町ビル 7 階 酒井総合特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

since the barrier metal (9) is not present on the upper surface (8e) of the interlayer insulating film (8) that covers the gate electrode (4), the hydrogen atoms are able to reach the mesa part. As a result, lattice defects that have generated in the mesa part due to helium or irradiation of an electron beam are recovered, and a gate threshold voltage is recovered. Due to this configuration, prescribed characteristics can be stably and easily obtained in a semiconductor device that is provided with a structure in which a plug electrode is buried in a contact hole via a barrier metal, even when lifetime control is performed.

(57) 要約: プラグ電極 (1 2) をエッチバックしてコンタクトホール (8 a) の内部にのみ残すとともに、層間絶縁膜 (8) の上面 (8 e) 上のバリアメタル (9) を露出させる。続けて、バリアメタル (9) をエッチバックして、層間絶縁膜 (8) の上面 (8 e) を露出させる。次に、残りの素子構造を形成し、ヘリウムまたは電子線の照射によりライフタイムを制御した後、水素アニールを行う。この水素アニール時、ゲート電極 (4) を覆う層間絶縁膜 (8) の上面 (8 e) にバリアメタル (9) が存在しないため、メサ部にまで水素原子を到達させることができる。これにより、ヘリウムまたは電子線の照射によりメサ部に発生した格子欠陥が回復し、ゲート閾値電圧が回復する。これによって、コンタクトホールにバリアメタルを介してプラグ電極が埋め込まれた構造を備えた半導体装置の所定特性を、ライフタイム制御を行った場合においても安定して容易に得ることができる。

明 細 書

発明の名称：半導体装置および半導体装置の製造方法

技術分野

[0001] この発明は、半導体装置および半導体装置の製造方法に関する。

背景技術

[0002] 従来、半導体基板に形成したトレンチ内にMOS（金属－酸化膜－半導体からなる絶縁ゲート）ゲートを埋め込んだトレンチゲート構造の半導体装置では、特性改善のためトレンチピッチ（トレンチを配置する間隔）を狭くすることが知られている。トレンチピッチを狭くすることで、隣り合うトレンチ間（メサ部）の幅が狭くなるため、表面電極と半導体部とのコンタクト（電氣的接触部）を形成するコンタクトホールが狭くなる。幅の狭いコンタクトホールにスパッタリング法などにより表面電極を埋め込もうとすると、表面電極にボイドが生じる。

[0003] この問題を解消する構造として、コンタクトホールの内部に、埋め込み性の高いタングステン（W）を材料とするプラグ電極を埋め込んで、プラグ電極を介して表面電極と半導体部とを電氣的に接続した構造（以下、第1従来構造とする）が公知である。従来の半導体装置の構造についてトレンチゲート構造を備えた縦型IGBT（Insulated Gate Bipolar Transistor：絶縁ゲート型バイポーラトランジスタ）を例に図24に示す。図24は、従来の半導体装置の構造を示す断面図である。

[0004] 図24に示す第1従来構造では、コンタクトホール210aにプラグ電極212が埋め込まれている。プラグ電極212の材料であるタングステンは半導体基板200の材料であるシリコン（Si）との密着性に劣る。このため、プラグ電極212と半導体部（n⁺型エミッタ領域203）との間には、半導体部との密着性が高く、かつ半導体部とのオーミックコンタクトを形成可能な金属からなるバリアメタル211が設けられる。バリアメタル211は、例えばチタン（Ti）膜および窒化チタン（TiN）膜を順に積層した

金属膜である。

[0005] バリアメタル 211 は、コンタクトホール 210a の内壁および層間絶縁膜 210 の表面に沿って設けられ、層間絶縁膜 210 の表面全体を覆う。表面電極 213 は、層間絶縁膜 210 上のバリアメタル 211 と、プラグ電極 212 と、に接し、p 型ベース領域 202 および n⁺型エミッタ領域 203 に電氣的に接続されている。図 24 には、半導体基板 200 のおもて面側のトレンチゲート構造を示し、裏面側の p⁺型コレクタ領域およびコレクタ電極は図示省略する。符号 201, 204~207 は、それぞれ n⁻型ドリフト層、MOS ゲート、トレンチ、ゲート絶縁膜およびゲート電極である。

[0006] このようなトレンチゲート構造の半導体装置のライフタイムを制御するためにヘリウム (He) や電子線を照射してドリフト層にライフタイムキラーとなる格子欠陥を導入する場合、メサ部にも空孔 (V) (以下、格子欠陥とする) が発生しゲート閾値電圧が低下してしまう。このため、ヘリウムや電子線の照射後に水素 (H₂) 雰囲気中で熱処理 (水素アニール) を行い、メサ部の格子欠陥を回復させて、ゲート閾値電圧を回復させる必要がある。この水素アニール時に、水素雰囲気中の水素原子が表面電極 213 を通過してメサ部にまで到達するように、表面電極 213 の材料として水素原子が通過可能なアルミニウム (Al) が用いられる。

[0007] しかしながら、コンタクトホール 210a の内部にバリアメタル 211 を介してプラグ電極 212 が埋め込まれた構造である場合、上述したように層間絶縁膜 210 の表面全体がバリアメタル 211 に覆われている。このため、水素アニール時、表面電極 213 側から層間絶縁膜 210 側への水素原子の拡散がバリアメタル 211 により抑制される。これによって、半導体基板 200 の表面にまで水素原子が到達しないため、メサ部の格子欠陥を回復させることができない。すなわち、コンタクトホール 210a の内部にバリアメタル 211 を介してプラグ電極 212 が埋め込まれた構造の半導体装置にライフタイム制御を行う場合、ライフタイム制御により低下したゲート閾値電圧を回復させることができない。

- [0008] この問題を解消する方法として、バリアメタルの第1金属膜（半導体部に接する金属膜）をチタンではなく、ニッケル（Ni）やコバルト（Co）等のV族の金属材料により形成する方法が提案されている（例えば、下記特許文献1参照。）。下記特許文献1では、バリアメタルの第1金属膜の材料を変更することで、電子線照射等の後に行う水素アニール時に第1金属膜に水素原子が吸蔵されることを防止している。
- [0009] また、別の方法として、デバイス主面上にTiW（チタン-タングステン）系のバリアメタルをスパッタリングにより形成するに際して、TiWターゲットのチタン濃度を2重量%以上8重量%以下とする方法が提案されている（例えば、下記特許文献2参照。）。下記特許文献2では、チタンを含む金属膜のチタン濃度を制御して水素トラップ効果を弱めることで、水素アニールによるゲート閾値電圧回復効果を確保している。
- [0010] また、別の方法として、半導体部と表面電極とが接触する箇所にはバリアメタルを配置し、半導体部と表面電極とが接触しない部分にはバリアメタルを配置しない方法が提案されている（例えば、下記特許文献3参照。）。下記特許文献3では、パターニングによりバリアメタルを選択的に除去することで、層間絶縁膜の側面（コンタクトホールの側壁）のみに半導体部の表面から連続するバリアメタルを残している。
- [0011] また、バリアメタルを選択的に除去する方法として、コンタクトホール上方にある過剰なタングステン膜を化学機械的研磨（CMP：Chemical Mechanical Polishing）プロセスによって除去し、層間絶縁膜の表面のバリアメタルもCMPプロセスにより除去する方法が提案されている（例えば、下記特許文献4（第0029段落、第6，7図）参照。）。
- [0012] また、ゲート閾値電圧等の電気的特性の劣化を防止する方法として、電磁波を照射することによって層間絶縁膜を発熱させて熱処理（リフロー）し、層間絶縁膜の堆積時に層間絶縁膜の表面に生じた凹凸を平坦化する方法が提案されている（例えば、下記特許文献5（第0013段落、第2図）参照。）。

）。

先行技術文献

特許文献

[0013] 特許文献1：特開2011-181840号公報

特許文献2：特開2012-069861号公報

特許文献3：特開平06-310729号公報

特許文献4：特表2010-503224号公報

特許文献5：特開平07-249629号公報

発明の概要

発明が解決しようとする課題

[0014] 上述したように、図24に示す第1従来構造では、層間絶縁膜210の表面全体がバリアメタル211に覆われているため、水素アニールによるゲート閾値電圧回復効果が得られない。この問題は、上記特許文献3のように半導体部と表面電極とが接触しない部分にバリアメタルを配置しない構成とすることで解消される。この場合、コンタクトホール内部にアルミニウムからなる表面電極を埋め込む従来構造（プラグ電極を用いない構造：以下、第2従来構造とする）と同程度に水素アニールによるゲート閾値電圧回復効果を得られる。

[0015] しかしながら、上記特許文献3では、層間絶縁膜上のバリアメタル（バリアメタルの、コンタクトホール内壁に形成された部分以外の部分）をパターニングにより選択的に除去しているため、パターニング用マスクを形成する工程など工程数の増加を招くという問題がある。また、上記特許文献4のようにCMPプロセスにより層間絶縁膜上のバリアメタルを除去する場合、コストが増加するという問題がある。また、図24に示す第1従来構造では、上述したゲート閾値電圧回復効果が得られないという問題の他にさらに次の問題がある。

[0016] 図23は、図24の第1従来構造で生じる問題を説明する説明図である。

図24の第1従来構造では、表面電極213と配線との密着性を高めるために、表面電極213を、アルミニウム膜214上に例えば半田との密着性の高いニッケル（Ni）膜215を積層した積層構造とする場合がある。このような積層構造の表面電極213では、図23に示すように異物等の悪影響によりアルミニウム膜214に欠損221が生じた場合、アルミニウム膜214の欠損221の箇所でバリアメタル211およびプラグ電極212が露出されニッケル膜215と接触する。

[0017] バリアメタル211とニッケル膜215とは密着力が高く、層間絶縁膜210の表面（以下、上面とする）210bで広範囲にバリアメタル211とニッケル膜215とが密着する（符号222で示す破線で囲んだ部分）。このため、半導体基板（半導体チップ）200の実装時やその後のヒートサイクル等でニッケル膜215の温度上昇により層間絶縁膜210にかかる熱応力が大きく、層間絶縁膜210に亀裂223が生じたり、バリアメタル211や層間絶縁膜210が剥離する虞がある。これによって、層間絶縁膜210による絶縁性が低下したり、リーク電流が大きくなるなど所定特性を得られない虞がある。

[0018] この発明は、上述した従来技術による問題点を解消するため、コンタクトホール内部にバリアメタルを介してプラグ電極が埋め込まれた構造を備えた半導体装置の所定特性を、ライフタイム制御を行った場合においても安定して容易に得ることができる半導体装置および半導体装置の製造方法を提供することを目的とする。

課題を解決するための手段

[0019] 上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置の製造方法は、次の特徴を有する。まず、半導体基板の第1主面上に絶縁膜を形成する第1形成工程を行う。次に、前記絶縁膜を深さ方向に貫通して前記半導体基板に達するコンタクトホールを形成する第2形成工程を行う。次に、前記絶縁膜の表面から前記半導体基板の前記コンタクトホールに露出する半導体部の表面にわたって、前記半導体部との密着性の高い金

属膜を形成する第3形成工程を行う。次に、前記コンタクトホール内部の前記金属膜の内側に埋め込むように、前記金属膜の表面に金属層を形成する第4形成工程を行う。次に、前記金属層をエッチバックして、前記金属層の、前記コンタクトホール内部の部分以外の部分を除去し、前記金属膜を露出させる第1除去工程を行う。次に、前記金属膜の、前記第1除去工程で露出された部分をエッチバックして、前記絶縁膜を露出させる第2除去工程を行う。次に、前記半導体基板に軽イオンまたは電子線を照射する照射工程を行う。次に、水素雰囲気での熱処理により、前記照射工程で前記半導体基板に生じた格子欠陥を回復させる熱処理工程を行う。

[0020] また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記第1形成工程では、前記絶縁膜として、ボロンを2.6wt%以上3.8wt%以下の不純物濃度で含み、かつリンを3.6wt%以上4.4wt%以下の不純物濃度で含む酸化シリコン膜を形成することを特徴とする。

[0021] また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記第1除去工程では、前記金属層の表面が前記コンタクトホール内部に位置するまで、前記金属層をエッチバックすることを特徴とする。

[0022] また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記第2除去工程では、前記絶縁膜の、前記コンタクトホールの側壁をなす側面の上端が露出されるように、前記金属膜をエッチバックすることを特徴とする。

[0023] また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記第2形成工程では、前記コンタクトホールを形成するとともに、前記半導体基板の前記コンタクトホールに露出された部分に第1溝を形成する。前記第3形成工程では、前記第1溝を埋め込むように前記金属膜を形成することを特徴とする。

[0024] また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記第1形成工程では、前記絶縁膜の厚さを前記コンタクトホールの幅以上の厚さとすることを特徴とする。

[0025] また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記第1形成工程の前に、前記半導体基板の第1主面から所定深さで形成したトレンチの内部にゲート絶縁膜を介してゲート電極を形成する第5形成工程をさらに含む。前記第5形成工程では、前記ゲート電極の表面が前記トレンチの内部に位置するように前記ゲート電極を形成する。前記第1形成工程では、前記ゲート電極を覆うように前記絶縁膜を形成し、前記絶縁膜の、前記ゲート電極上の部分以外の部分の厚さを前記コンタクトホール幅以上の厚さとすることを特徴とする。

[0026] また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記第5形成工程では、前記トレンチの幅よりも狭い間隔で、複数の前記トレンチを配置することを特徴とする。

[0027] また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記熱処理工程では、前記半導体基板の、隣り合う前記トレンチの間に挟まれた部分に発生した前記格子欠陥を回復させることを特徴とする。

[0028] また、この発明にかかる半導体装置の製造方法は、上述した発明において、さらに次の特徴を有する。前記第5形成工程では、次の各工程を行う。まず、第1導電型の前記半導体基板の、第1半導体素子が形成される第1形成領域および第2半導体素子が形成される第2形成領域に複数の前記トレンチを形成する工程を行う。次に、前記トレンチの内部に前記ゲート絶縁膜を介して前記ゲート電極を形成する工程を行う。次に、前記半導体基板の、隣り合う前記トレンチの間に挟まれた部分に、前記ゲート絶縁膜を挟んで前記ゲート電極に対向するように第2導電型の第1半導体領域を形成する工程を行う。次に、前記第1形成領域の前記第1半導体領域の内部に、前記ゲート絶縁膜を挟んで前記ゲート電極に対向するように第1導電型の第2半導体領域を選択的に形成する工程を行う。そして、前記第2除去工程の後、前記照射工程の前に、次の各工程を行う。まず、前記第1形成領域の前記第1半導体領域および前記第2半導体領域に接し、かつ前記第2形成領域の前記第1半導体領域に接する第1電極を形成する工程を行う。次に、前記第1形成領域

において前記半導体基板の第2主面の表面層に第2導電型の第3半導体領域を形成し、前記第2形成領域において前記半導体基板の第2主面の表面層に前記半導体基板よりも不純物濃度の高い第1導電型の第4半導体領域を形成する工程を行う。次に、前記第3半導体領域および前記第4半導体領域に接する第2電極を形成する工程を行う。

[0029] また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記第3形成工程では、前記金属膜として、チタン膜と窒化チタン膜とを順に積層することを特徴とする。

[0030] また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記第4形成工程では、前記金属層として、タングステン層を形成することを特徴とする。

[0031] 上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置は、次の特徴を有する。半導体基板の第1主面から所定深さで複数のトレンチが設けられている。前記トレンチの内部に、ゲート絶縁膜を介してゲート電極が設けられている。前記半導体基板の第1主面上に、前記ゲート電極を覆う絶縁膜が設けられている。コンタクトホールは、前記絶縁膜を深さ方向に貫通して前記半導体基板に達する。前記コンタクトホールの側壁から前記半導体基板の前記コンタクトホールに露出する半導体部の表面にわたって、前記半導体部との密着性の高い金属膜が設けられている。前記コンタクトホールの内部の前記金属膜の内側に、金属層が埋め込まれている。前記絶縁膜および前記金属層の表面に、第1電極が設けられている。そして、前記ゲート電極の表面は、前記トレンチの内部に位置する。

[0032] また、この発明にかかる半導体装置は、上述した発明において、前記絶縁膜は、ボロンを2.6wt%以上3.8wt%以下の不純物濃度で含み、かつリンを3.6wt%以上4.4wt%以下の不純物濃度で含む酸化シリコン膜である。

[0033] また、この発明にかかる半導体装置は、上述した発明において、前記絶縁膜の前記ゲート電極上の部分の厚さは、前記絶縁膜の前記ゲート電極上の部

分以外の部分の厚さと、前記半導体基板の第1主面から前記ゲート電極の表面までの深さとの総和に等しい。

[0034] また、この発明にかかる半導体装置は、上述した発明において、前記半導体基板の、隣り合う前記トレンチの間に挟まれた部分以外の部分には、軽イオンまたは電子線の照射による格子欠陥が導入されていることを特徴とする。

[0035] また、この発明にかかる半導体装置は、上述した発明において、前記金属膜は、前記絶縁膜の前記第1電極側の表面と、前記絶縁膜の前記コンタクトホールに露出する側面と、の交線である角部よりも前記半導体部側に位置することを特徴とする。

[0036] また、この発明にかかる半導体装置は、上述した発明において、前記金属膜の一部に、前記金属膜を厚さ方向に貫通するスリット状の第2溝を有することを特徴とする。

[0037] また、この発明にかかる半導体装置は、上述した発明において、前記第2溝は、前記金属膜を厚さ方向に貫通して、前記絶縁膜の前記第1電極側の表面に達することを特徴とする。

[0038] また、この発明にかかる半導体装置は、上述した発明において、前記第1電極は、前記絶縁膜の前記ゲート電極上の部分から前記金属層にわたって、前記絶縁膜および前記金属層の全面を覆うことを特徴とする。

[0039] また、この発明にかかる半導体装置は、上述した発明において、前記第1電極は、成分の異なる2層以上の金属電極膜を順に積層した積層構造を有する。最下層の前記金属電極膜は、アルミニウム膜またはアルミニウム合金膜であり、前記絶縁膜および前記金属層の少なくとも一部を覆うことを特徴とする。

[0040] また、この発明にかかる半導体装置は、上述した発明において、前記第1電極は、最下層の前記金属電極膜上に上層の前記金属電極膜としてニッケル膜またはニッケル合金膜を積層した前記積層構造を有することを特徴とする。

[0041] 上述した発明によれば、プラグ電極となる金属層のエッチバックに続けて、バリアメタルとなる金属膜をエッチバックすることにより、ゲート電極を覆う絶縁膜の上面（第１電極側の面）を露出させることができる。これにより、ゲート電極上には絶縁膜を挟んで第１電極が積層され、ゲート電極上の絶縁膜と第１電極との間にバリアメタルとなる金属膜は存在しない。このため、水素アニール（水素雰囲気での熱処理）時に、第１電極側から絶縁膜を通過してメサ部（半導体基板の、隣り合うトレンチ間に挟まれた部分）にまで水素原子を到達させることができる。これにより、ライフタイム制御のための軽イオンまたは電子線の照射によりメサ部に格子欠陥が発生してゲート閾値電圧が低下していたとしても、その後の水素アニールによりメサ部の格子欠陥を回復させることができ、ゲート閾値電圧を回復させることができる。

発明の効果

[0042] 本発明にかかる半導体装置および半導体装置の製造方法によれば、コンタクトホール内部にバリアメタルを介してプラグ電極が埋め込まれた構造を備えた半導体装置の所定特性を、ライフタイム制御を行った場合においても安定して容易に得ることができるという効果を奏する。

図面の簡単な説明

[0043] [図1]図１は、実施の形態１にかかる半導体装置の製造方法により製造される半導体装置の平面レイアウトの一例を示す平面図である。

[図2]図２は、図１の切断線Ａ－Ａ’における断面構造を示す断面図である。

[図3]図３は、図１の切断線Ｂ－Ｂ’における断面構造を示す断面図である。

[図4]図４は、図２のコンタクトホール付近を拡大して示す断面図である。

[図5A]図５Ａは、実施の形態１にかかる半導体装置の製造方法の概要を示すフローチャートである（その１）。

[図5B]図５Ｂは、実施の形態１にかかる半導体装置の製造方法の概要を示すフローチャートである（その２）。

[図6]図６は、実施の形態１にかかる半導体装置の製造途中の状態を示す平面

図である。

[図7]図7は、実施の形態1にかかる半導体装置の製造途中の状態を示す断面図である。

[図8]図8は、実施の形態1にかかる半導体装置の製造途中の状態を示す平面図である。

[図9]図9は、実施の形態1にかかる半導体装置の製造途中の状態を示す断面図である。

[図10]図10は、実施の形態1にかかる半導体装置の製造途中の状態を示す平面図である。

[図11]図11は、実施の形態1にかかる半導体装置の製造途中の状態を示す断面図である。

[図12]図12は、実施の形態1にかかる半導体装置の製造途中の状態を示す断面図である。

[図13]図13は、実施の形態1にかかる半導体装置の製造途中の状態を示す断面図である。

[図14]図14は、実施の形態1にかかる半導体装置の製造途中の状態を示す断面図である。

[図15]図15は、実施の形態1にかかる半導体装置の製造途中の状態を示す断面図である。

[図16]図16は、実施の形態1にかかる半導体装置の製造途中の状態を示す断面図である。

[図17]図17は、実施の形態1にかかる半導体装置の製造途中の状態を示す断面図である。

[図18]図18は、実施例1にかかる半導体装置の層間絶縁膜のリフロー後の断面状態を模式的に示す断面図である。

[図19]図19は、比較となる半導体装置の層間絶縁膜のリフロー後の断面状態を模式的に示す断面図である。

[図20]図20は、実施例2にかかる半導体装置のゲート閾値電圧特性を示す

特性図である。

[図21]図21は、実施例3にかかる半導体装置の配線後の表面電極の正常な状態を模式的に示す断面図である。

[図22]図22は、実施例3にかかる半導体装置の配線後の表面電極の欠損が生じた状態を模式的に示す断面図である。

[図23]図23は、図24の第1従来構造で生じる問題を説明する説明図である。

[図24]図24は、従来の半導体装置の構造を示す断面図である。

[図25]図25は、実施の形態2にかかる半導体装置の構造を示す断面図である。

[図26]図26は、図25のバリアメタルのスリットを半導体基板のおもて面側から見たレイアウトを示す平面図である。

[図27]図27は、図25のバリアメタルのスリットを半導体基板のおもて面側から見たレイアウトの別の一例を示す平面図である。

[図28]図28は、図25のバリアメタルのスリットを半導体基板のおもて面側から見たレイアウトの別の一例を示す平面図である。

[図29]図29は、実施の形態3にかかる半導体モジュールを半導体チップのおもて面側から見たレイアウトを示す平面図である。

[図30]図30は、図29の切断線H-H'における断面構造を示す断面図である。

発明を実施するための形態

[0044] 以下に添付図面を参照して、この発明にかかる半導体装置および半導体装置の製造方法の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、nまたはpを冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、nやpに付す+および-は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。

[0045] (実施の形態1)

まず、実施の形態1にかかる半導体装置の製造方法により作製（製造）される半導体装置の一例として逆導通型絶縁ゲート型バイポーラトランジスタ（RC-IGBT: Reverse Conducting-IGBT）の構造について説明する。図1は、実施の形態1にかかる半導体装置の製造方法により製造される半導体装置の平面レイアウトの一例を示す平面図である。図2は、図1の切断線A-A'における断面構造を示す断面図である。図3は、図1の切断線B-B'における断面構造を示す断面図である。図4は、図2のコンタクトホール付近を拡大して示す断面図である。図3のコンタクトホール付近の拡大図は図示省略するが、図3のコンタクトホール付近の拡大図は、図2のn⁺型エミッタ領域6に代えてp⁺型コンタクト領域7aおよびp⁺⁺型プラグ領域7bを配置した状態である。図1には、層間絶縁膜8をハッチングで示し、バリアメタル（金属膜）9、プラグ電極（金属層）12およびおもて面電極（第1電極）13を図示省略する。

[0046] 図1～4に示す実施の形態1にかかる半導体装置は、同一の半導体基板（半導体チップ）にトレンチゲート型IGBT（第1半導体素子）とFWD（Free Wheeling Diode: フリーホイールダイオード（第2半導体素子））とを設けたRC-IGBTである。n⁻型ドリフト層1となるn⁻型の半導体基板のおもて面から所定深さのトレンチ2が設けられている。トレンチ2は、IGBTの素子構造を設けたIGBT領域（第1形成領域）21およびFWDの素子構造を設けたFWD領域（第2形成領域）22に、例えばストライプ状の平面レイアウトで複数配置されている。トレンチ2がストライプ状に延びる方向（以下、第1方向とする）xは、IGBT領域21およびFWD領域22が並列された方向（以下、第2方向とする）yと直交する。

[0047] トレンチ2の第2方向yの幅（以下、単に幅とする）w1を狭くすることで、1つのトレンチ2を含むIGBTの単位セル（素子の機能単位）の微細化が可能である。トレンチピッチ（トレンチ2を配置する間隔）を狭くする

ことで、1組の隣り合うトレンチ2間の半導体部（メサ部）に設けられたFWDの単位セルの微細化が可能である。トレンチ2の幅 w_1 およびトレンチピッチを狭くすることで、半導体チップの微細化が可能である。トレンチピッチは、IGBT領域21およびFWD領域22ともに同じであってもよい。半導体チップの微細化を図る場合、例えば、メサ部の幅（隣り合うトレンチ2間の幅（以下、メサ幅とする）） w_2 はトレンチ2の幅 w_1 よりも狭くなる（ $w_2 < w_1$ ）。

[0048] トレンチ2の内部には、トレンチ2の内壁に沿ってゲート絶縁膜3が設けられ、ゲート絶縁膜3の内側にゲート電極4が設けられている。トレンチ2、ゲート絶縁膜3およびゲート電極4はMOSゲートを構成する。ゲート電極4は、IGBT領域21において、トレンチ2の側壁に設けられたゲート絶縁膜3を挟んで後述する n^+ 型エミッタ領域6に対向する程度にトレンチ2の内部に埋め込まれていればよい。このため、ゲート電極4の上面（後述するおもて面電極13側の面）は、基板おもて面よりも若干コレクタ側に凹んでいてもよい（以下、ゲート電極4の上面の凹み4aとする）。すなわち、ゲート電極4の上面はトレンチ2の内部に位置していてもよい。

[0049] メサ部（隣り合うトレンチ2間の半導体部）には、トレンチ2よりも浅い深さでp型ベース領域（第1半導体領域）5が設けられている。p型ベース領域5の幅はメサ幅 w_2 に等しく、p型ベース領域5は両側の各トレンチ2の側壁に露出されている。p型ベース領域5は、FWD領域22においてp型アノード領域として機能する。IGBT領域21において、p型ベース領域5の内部には、基板おもて面に露出されるように、 n^+ 型エミッタ領域（第2半導体領域）6および p^+ 型コンタクト領域7aがそれぞれ選択的に設けられている。 n^+ 型エミッタ領域6と p^+ 型コンタクト領域7a（後述する p^{++} 型プラグ領域7b）とは、例えば、第1方向xに交互に繰り返し配置した平面レイアウトで、かつ互いに接するように設けられている。

[0050] 異なるメサ部に設けられた n^+ 型エミッタ領域6同士は、例えば、トレンチ2を挟んで第2方向yに対向する。異なるメサ部に設けられた p^+ 型コンタク

ト領域 7 a 同士は、例えば、トレンチ 2 を挟んで第 2 方向 y に対向する。n⁺型エミッタ領域 6 および p⁺型コンタクト領域 7 a の各幅はメサ幅 w₂ に等しく、n⁺型エミッタ領域 6 および p⁺型コンタクト領域 7 a は両側の各トレンチ 2 の側壁に露出されている。p⁺型コンタクト領域 7 a の内部には、基板おもて面に露出されるように、p⁺⁺型プラグ領域 7 b が選択的に設けられている。p⁺⁺型プラグ領域 7 b は、第 1 方向 x に隣り合う各 n⁺型エミッタ領域 6 に接する。p⁺⁺型プラグ領域 7 b の幅は後述するコンタクトホール 8 a の幅 w₃ にほぼ等しく、p⁺⁺型プラグ領域 7 b はトレンチ 2 の側壁に露出されていない。

[0051] 基板おもて面上には、IGBT 領域 2 1 から FWD 領域 2 2 にわたって、MOS ゲートを覆うように層間絶縁膜 8 が設けられている。層間絶縁膜 8 は、例えば、BPSG (Boro Phospho Silicate Glass) などボロン (B) およびリン (P) を含む酸化シリコン (SiO₂) 膜であり、一般的な組成の層間絶縁膜よりもボロン濃度およびリン濃度が高い。具体的には、一般的な組成の層間絶縁膜のボロン濃度は 2.0 wt % 以上 2.4 wt % 以下程度であり、リン濃度は 1.5 wt % 以上 2.5 wt % 以下程度である。本発明の層間絶縁膜 8 のボロン濃度は例えば 2.6 wt % 以上 3.8 wt % 以下程度であり、リン濃度は例えば 3.6 wt % 以上 4.4 wt % 以下程度である。

[0052] 例えば、メサ幅 w₂ を狭くするほど、隣り合うゲート電極 4 間の幅 (メサ部の幅) が少なくなり、ゲート電極 4 の上面の凹み 4 a が第 2 方向 y に連続して配置された状態となるため、基板おもて面の凹凸が大きくなる。この場合、一般的な組成の層間絶縁膜では、リフロー後であっても、基板おもて面の凹凸に応じた凹凸が層間絶縁膜の表面に残ってしまう (図 19 参照)。一方、本発明においては、層間絶縁膜 8 のボロン濃度およびリン濃度を上記条件とすることにより、層間絶縁膜 8 の堆積 (形成) 中や、層間絶縁膜 8 の表面を平坦化するための熱処理 (リフロー) 中における層間絶縁膜 8 の流動性を向上させることができる。これにより、メサ幅 w₂ を狭くした微細構造であっても、リフローにより層間絶縁膜 8 の表面 (後述する上面 8 e) はほぼ

平坦になる。

[0053] 層間絶縁膜 8 は厚くするほど絶縁・分離効果を高めることができるため、層間絶縁膜 8 の厚さは可能な限り厚いことが好ましいが、少なくとも層間絶縁膜 8 のメサ部上の部分の厚さ t_1 をコンタクトホール 8 a の幅 w_3 以上とすることが好ましい ($t_1 \geq w_3$)。その理由は、次の通りである。コンタクトホール 8 a の深さ (すなわち層間絶縁膜 8 のメサ部上の部分の厚さ t_1) に対するコンタクトホール 8 a の幅 w_3 の比率 ($= w_3 / t_1$) が 1 を超えて大きくなるほど、コンタクトホール 8 a の内部にプラグ電極 1 2 が充填されにくくなる。このため、プラグ電極 1 2 を厚く堆積 (形成) する必要があるが、この場合、プラグ電極 1 2 の堆積や、後述するプラグ電極 1 2 のエッチバックに時間がかかる。また、プラグ電極 1 2 を厚く堆積したとしてもコンタクトホール 8 a の内部をプラグ電極 1 2 で充填することができない虞があるからである。そして、上述したように層間絶縁膜 8 の上面 8 e はゲート電極 4 の上面の凹み 4 a によらずほぼ平坦となるため、層間絶縁膜 8 のゲート電極 4 上の最も厚い部分の厚さ t_2 は、基板おもて面からゲート電極 4 の上面の凹み 4 a の底部までの深さ d_1 と、層間絶縁膜 8 のメサ部上の部分の厚さ t_1 の総和となる ($t_2 = d_1 + t_1$)。

[0054] 層間絶縁膜 8 を深さ方向 z に貫通するコンタクトホール 8 a が設けられている。コンタクトホール 8 a の幅 w_3 は、メサ幅 w_2 よりも狭い ($w_3 < w_2$)。例えば、メサ幅 w_2 が $1 \mu\text{m}$ 程度である場合、コンタクトホール 8 a の幅 w_3 を $0.6 \mu\text{m}$ 以下程度とすることで、トレンチピッチの狭い微細構造となる。コンタクトホール 8 a の幅 w_3 とは、コンタクトホール 8 a の下端側 (メサ部側) の幅であり、後述するバリアメタル 9 と半導体部とのコンタクトの幅である。コンタクトホール 8 a の上端側 (おもて面電極 1 3 側) の幅は、プラグ電極 1 2 の埋め込み性が悪化しない範囲で、コンタクトホール 8 a の下端側の幅よりも広くてもよい。

[0055] コンタクトホール 8 a には、第 1 方向 x に交互に繰り返し配置した平面レイアウトで n^+ 型エミッタ領域 6 および p^{++} 型プラグ領域 7 b が露出されている

。n⁺型エミッタ領域6およびp⁺型プラグ領域7bのコンタクトホール8aに露出された部分は、コンタクトホール8aの形成時に半導体部（メサ部）が若干除去されることで、層間絶縁膜8と半導体部との界面よりもコレクタ側に若干凹んでいる（以下、この凹みをメサ部の溝（第1溝）8bとする）。メサ部の溝8bの幅は例えばコンタクトホール8aの幅w₃にほぼ等しく、メサ部の溝8bの内壁はコンタクトホール8aの側壁（層間絶縁膜8の側面8c）に連続している。層間絶縁膜8の側面8cの上端（おもて面電極13側の端部）角部8dは、曲率（丸み）をもたないことが好ましい。その理由は、コンタクトホール8aの上端側の幅が広がりすぎること、上述したようにプラグ電極12の形成に時間がかかったり、コンタクトホール8aの内部にプラグ電極12を埋め込むことができない虞があるからである。

[0056] コンタクトホール8aおよびメサ部の溝8bの内部には、コンタクトホール8aおよびメサ部の溝8bの内壁に沿ってバリアメタル9が設けられ、バリアメタル9の内側にプラグ電極12が設けられている。バリアメタル9およびプラグ電極12は、おもて面電極13とともにエミッタ電極およびアノード電極として機能する。バリアメタル9は、層間絶縁膜8の側面8cおよびメサ部の溝8bの内壁にのみ設けられ、層間絶縁膜8の側面8cの上端角部8dおよび上面8e上にまで延在していない。すなわち、層間絶縁膜8の側面8cの上端角部8dおよび上面8eはおもて面電極13に接しており、バリアメタル9は、層間絶縁膜8を挟んで深さ方向zに、層間絶縁膜8で覆われた部分（ゲート電極4や、メサ部のトレンチ2の側壁に沿った部分）に対向しない。

[0057] バリアメタル9は、例えば、第1、2金属膜10、11を順に積層した2層構造を有する。第1金属膜10は、例えば、シリコン（Si）との密着性の高いチタン（Ti）膜であり、シリサイド化（チタンシリサイド（TiSi））されてn⁺型エミッタ領域6およびp⁺型プラグ領域7bとのオーミックコンタクトを形成している。第2金属膜11は、例えば、窒化チタン（TiN）膜である。バリアメタル9の厚さ（第1、2金属膜10、11の総厚さ

) t_3 は例えばメサ部の溝 8 b の深さ d_2 にほぼ等しく、メサ部の溝 8 b の内部はほぼバリアメタル 9 で埋め込まれている。

[0058] プラグ電極 1 2 の材料として、例えば埋め込み性の高いタングステン (W) が用いられている。プラグ電極 1 2 の上面は、層間絶縁膜 8 の上面 8 e とほぼ同様の高さ位置にあることが好ましいが、プラグ電極 1 2 を形成するためのエッチバックの処理時間に応じて層間絶縁膜 8 の上面 8 e よりも若干コレクタ側に凹んでいてもよい (以下、プラグ電極 1 2 の上面の凹み 1 2 a とする)。プラグ電極 1 2 の上面の凹み 1 2 a の深さ d_3 は、層間絶縁膜 8 の上面 8 e との段差が小さくなるように浅いことが好ましく、例えば $0\ \mu\text{m}$ 以上 $3\ \mu\text{m}$ 以下程度であることがよい。また、プラグ電極 1 2 は、層間絶縁膜 8 の側面 8 c の上端角部 8 d まで延在していない。

[0059] プラグ電極 1 2 および層間絶縁膜 8 の表面には、プラグ電極 1 2 の上面の凹み 1 2 a を埋め込むように、例えばアルミニウム-シリコン (Al-Si) などを材料とするおもて面電極 1 3 が設けられている。おもて面電極 1 3 は、IGBT 領域 2 1 においてプラグ電極 1 2 およびバリアメタル 9 を介して n^+ 型エミッタ領域 6 および p^+ 型プラグ領域 7 b に電氣的に接続され、エミッタ電極として機能する。また、おもて面電極 1 3 は、FWD 領域 2 2 においてプラグ電極 1 2 およびバリアメタル 9 を介して p^+ 型プラグ領域 7 b に電氣的に接続され、アノード電極として機能する。

[0060] 半導体基板の裏面の表面層には、IGBT 領域 2 1 において p^+ 型コレクタ領域 (第 3 半導体領域) 1 4 が設けられ、FWD 領域 2 2 において n^+ 型カソード領域 (第 4 半導体領域) 1 5 が設けられている。半導体基板の裏面の表面層の、 p^+ 型コレクタ領域 1 4 および n^+ 型カソード領域 1 5 よりも深い位置に、オフ時に p 型ベース領域 5 と n -型ドリフト層 1 との間の pn 接合から伸びる空乏層の広がり抑制するフィールドストップ層 (不図示) が設けられていてもよい。裏面電極 (第 2 電極) 1 6 は、半導体基板の裏面全体に設けられ、 p^+ 型コレクタ領域 1 4 および n^+ 型カソード領域 1 5 に接する。裏面電極 1 6 は、 p^+ 型コレクタ領域 1 4 に接しコレクタ電極として機能するとともに

に、 n^+ 型カソード領域15に接してカソード電極として機能する。

[0061] 次に、実施の形態1にかかる半導体装置の製造方法について説明する。図5A、5Bは、実施の形態1にかかる半導体装置の製造方法の概要を示すフローチャートである。図6、8、10は、実施の形態1にかかる半導体装置の製造途中の状態を示す平面図である。図7、9、11～17は、実施の形態1にかかる半導体装置の製造途中の状態を示す断面図である。図7には、図6の切断線C-C'における断面構造を示す。図9(a)には図8の切断線D-D'における断面構造を示し、図9(b)には図8の切断線E-E'における断面構造を示す。図11(a)には図10の切断線F-F'における断面構造を示し、図11(b)には図10の切断線G-G'における断面構造を示す。図12～17には、(a)に n^+ 型エミッタ領域6を通る第2方向yに平行な断面を示し、(b)に p^+ 型コンタクト領域7aを通る第2方向yに平行な断面を示す。

[0062] まず、 n^- 型ドリフト層1となる n^- 型の半導体基板(半導体ウエハ)のおもて面側に、一般的な方法により、トレンチ2、ゲート絶縁膜3およびゲート電極4を順に形成して第1方向xに延びるストライプ状にMOSゲートを形成する(ステップS1)。このとき、トレンチピッチは、例えば、半導体チップの微細化のため、メサ幅 w_2 がトレンチ2の幅 w_1 よりも狭くなるように決定する。また、ゲート絶縁膜3は例えば熱酸化などによりトレンチ2の内壁から隣り合うトレンチ2間の半導体部(メサ部)表面に延在するように形成されるが、ゲート絶縁膜3のメサ部表面に形成された部分は後述する層間絶縁膜8の形成前までに除去する。図6には、ゲート絶縁膜3のメサ部表面に形成された部分を除去した状態を示す。また、ゲート電極4は、トレンチ2の内部を埋め込むように基板おもて面上に堆積(形成)した例えばポリシリコン層をエッチバックによりトレンチ2の内部にのみ残すことで形成される。このため、ゲート電極4の上面には、ポリシリコン層のエッチバックの処理時間に応じた基板おもて面から所定深さ d_1 で凹み4aが形成される。

[0063] 次に、基板おもて面全体に例えばボロン（B）などのp型不純物をイオン注入し、基板おもて面の表面層に、IGBT領域21からFWD領域22にわたって、トレンチ2よりも浅い深さでp型ベース領域5を形成する（ステップS2）。ステップS2においては、ゲート電極4がマスクとして機能し、IGBT領域21およびFWD領域22のすべてのメサ部に所定深さでp型ベース領域5が形成される。次に、n⁺型エミッタ領域6の形成領域に対応する部分が開口したレジストマスク31（図6のハッチング部分）を形成する。例えばFWD領域22を覆い、IGBT領域21全体を開口したレジストマスク31を形成すればよい。次に、このレジストマスク31およびゲート電極4をマスクとして例えば砒素（As）などのn型不純物をイオン注入し、IGBT領域21のp型ベース領域5の表面層にn⁺型エミッタ領域6を形成する（ステップS3）。ステップS3のイオン注入は、ドーズ量を $5 \times 10^{15} / \text{cm}^2$ とし、加速エネルギーを120keVとしてもよい。ここまでの状態が図6、7に示されている。そして、n⁺型エミッタ領域6の形成に用いたレジストマスク31を除去する。

[0064] 次に、p⁺型コンタクト領域7aの形成領域に対応する部分が開口したレジストマスク32（図8のハッチング部分）を形成する。例えばIGBT領域21において第2方向yに延びるストライプ状に開口し、かつFWD領域22全体を開口したレジストマスク32を形成すればよい。次に、このレジストマスク32およびゲート電極4をマスクとして例えばボロン（B）などのp型不純物をイオン注入し、IGBT領域21においてn⁺型エミッタ領域6の表面層にp⁺型コンタクト領域7aを選択的に形成する。かつFWD領域22においてp型ベース領域5の表面層にp⁺型コンタクト領域7aを形成する（ステップS4）。p⁺型コンタクト領域7aは、IGBT領域21において第1方向xにn⁺型エミッタ領域6と交互に繰り返し配置した平面レイアウトに形成され、FWD領域22において第1方向xに延びるストライプ状の平面レイアウトに形成される。ステップS4のイオン注入は、ドーズ量を $3 \times 10^{15} / \text{cm}^2$ とし、加速エネルギーを120keVとしてもよい。ここまでの

状態が図 8, 9 に示されている。そして、 p^+ 型コンタクト領域 7 a の形成に用いたレジストマスク 3 2 を除去する。

[0065] 次に、ゲート電極 4 を覆うように、基板おもて面上に層間絶縁膜 8 としてボロン濃度およびリン濃度を上記条件とした例えば B P S G 膜を堆積（形成）する（ステップ S 5）。次に、例えば、窒素（ N_2 ）雰囲気中で 950℃程度の温度の熱処理（リフロー）を 20 分間程度行うことで、層間絶縁膜 8 の表面を平坦化する（ステップ S 6）。層間絶縁膜 8 のボロン濃度およびリン濃度を上記条件とすることで、ゲート電極 4 の上面の凹み 4 a による基板おもて面の凹凸の大きさによらず、リフローにより層間絶縁膜 8 の上面 8 e がほぼ平坦となる。ステップ S 6 においては、層間絶縁膜 8 の上面 8 e を平坦にすることができる程度に高温でリフローを行えばよく、その温度は例えば 800℃以上 1000℃以下程度であり、好ましくは 900℃以上であることがよい。次に、フォトリソグラフィおよびエッチングにより層間絶縁膜 8 をパターニングしてコンタクトホール 8 a を形成し、 n^+ 型エミッタ領域 6 および p^+ 型コンタクト領域 7 a を露出させる（ステップ S 7）。図 10 に、パターニング後の層間絶縁膜 8 をハッチングで示す。

[0066] ステップ S 7 においては、層間絶縁膜 8 のパターニング時に、 n^+ 型エミッタ領域 6 および p^+ 型コンタクト領域 7 a のコンタクトホール 8 a に露出された部分（メサ部）も若干除去され、メサ部の表面に溝 8 b が形成される。これにより、後に形成されるバリアメタル 9 とのコンタクト面積が大きくなるため、低コンタクト抵抗化が可能となる。または、コンタクト抵抗を増加させずに、コンタクト面積の増加分の微細化が可能となる。また、コンタクトホール 8 a の形成（ステップ S 7 の処理）後、層間絶縁膜 8 の側面 8 c の上端角部 8 d をなだらかにするための 950℃程度の温度のリフローを行わない。さらに、コンタクトホール 8 a の形成以降、例えば 800℃以上程度の温度の熱処理を行わない。これにより、層間絶縁膜 8 の側面 8 c の上端角部 8 d がほぼ角張った状態で維持されるため、層間絶縁膜 8 の上面 8 e の平坦性が向上する。特に、後述するバリアメタル 9 の形成（後述するステップ S

9の処理)前までの層間絶縁膜8の上面8eの平坦性が高いことで、本発明の効果がより向上する。ここまでの状態が図10, 11に示されている。

[0067] 次に、基板おもて面上(層間絶縁膜8上)に、 p^{++} 型プラグ領域7bの形成領域に対応する部分が開口したレジストマスク33を形成する。例えば、 p^{+} 型コンタクト領域7aを形成するためのレジストマスク(図8参照)と同様の平面レイアウトに開口したレジストマスク33を形成すればよい。次に、このレジストマスク33および層間絶縁膜8をマスクとして例えばフッ化ボロン(BF_3)などのp型不純物をイオン注入し、 p^{+} 型コンタクト領域7aのコンタクトホール8aに露出する部分の表面層に p^{++} 型プラグ領域7bを形成する(ステップS8)。ステップS8のイオン注入は、ドーズ量を $3 \times 10^{15} / \text{cm}^2$ とし、加速エネルギーを30keVとしてもよい。ここまでの状態が図12に示されている。そして、 p^{++} 型プラグ領域7bの形成に用いたレジストマスク33を除去する。

[0068] 次に、例えばスパッタリング法により、コンタクトホール8aの内部に、層間絶縁膜8の側面8cおよびメサ部の溝8bの内壁に沿うようにバリアメタル9となる金属膜34を形成する(ステップS9)。このとき、金属膜34の厚さ t_3 は、金属膜34によってメサ部の溝8bの内部を埋め込むことができる厚さとする。金属膜34は、第1金属膜10となる例えばチタン膜と、第2金属膜11となる例えば窒化チタン膜と、を順に積層した2層構造とする(図4参照)。ステップS9においては、層間絶縁膜8の側面8cから側面8cの上端角部8dおよび上面8e上に延在するように、層間絶縁膜8の表面全体に金属膜34が形成される。ここまでの状態が図13に示されている。

[0069] 次に、例えば660℃程度の温度の熱処理(アニール)により、金属膜34(第1金属膜10となる例えばチタン膜)の半導体部(n^{+} 型エミッタ領域6および p^{++} 型プラグ領域7b)に接する部分をシリサイド化する(ステップS10)。次に、例えば化学気相成長(CVD: Chemical Vapor Deposition)法により、コンタクトホール8aの内部の金

属膜 3 4 の内側を埋め込むように、プラグ電極 1 2 となる例えばタングステン層 3 5 を堆積（形成）する（ステップ S 1 1）。ステップ S 1 1 においては、層間絶縁膜 8 の上面 8 e 上の金属膜 3 4 の表面にもタングステン層 3 5 が形成される。ここまでの状態が図 1 4 に示されている。

[0070] 次に、層間絶縁膜 8 の上面 8 e 上の金属膜 3 4 が露出するまでタングステン層 3 5 をエッチバックする（ステップ S 1 2）。ステップ S 1 2 の処理後に、コンタクトホール 8 a の内部に残るタングステン層 3 5 がプラグ電極 1 2 となる。エッチバック後のタングステン層 3 5 の表面は層間絶縁膜 8 の上面 8 e とほぼ同じ高さ位置であることが好ましいが、層間絶縁膜 8 の上面 8 e 上の金属膜 3 4 の表面にタングステン層 3 5 が残らないように余裕を見て、タングステン層 3 5 の表面が層間絶縁膜 8 の上面 8 e よりも若干低くなるようにタングステン層 3 5 をエッチバックしてもよい。すなわち、タングステン層 3 5 の表面がコンタクトホール 8 a の内部に位置するまで、タングステン層 3 5 をエッチバックすればよい。この場合、プラグ電極 1 2 の上面の凹み 1 2 a の深さ d 3 が深くなりすぎないように、エッチバックの処理時間を調整すればよい。ここまでの状態が図 1 5 に示されている。

[0071] 次に、層間絶縁膜 8 の上面 8 e が露出するまで金属膜 3 4 をエッチバックする（ステップ S 1 3）。ステップ S 1 3 の処理後に、コンタクトホール 8 a の内部に残る金属膜 3 4 がバリアメタル 9 となる。すなわち、このエッチバックにより、バリアメタル 9 の、コンタクトホール 8 a の内壁に形成された部分以外の部分を除去する。上述したように層間絶縁膜 8 の上面 8 e がほぼ平坦であるため、金属膜 3 4 のエッチバック時にはほぼ同時に層間絶縁膜 8 の上面 8 e 全体が露出される。また、層間絶縁膜 8 の側面 8 c の上端角部 8 d 上に金属膜 3 4 が残らないように、金属膜 3 4 の上端が層間絶縁膜 8 の上面 8 e よりも若干低くなるように金属膜 3 4 のエッチバックの処理時間を調整する。ここまでの状態が図 1 6 に示されている。

[0072] 次に、層間絶縁膜 8 およびプラグ電極 1 2 上に、例えば、アルミニウムーシリコンを材料とする 5 μ m 程度の厚さでおもて面電極 1 3 を形成する（ス

トップS 14)。次に、半導体基板を裏面側から研削していき、半導体装置として用いる製品厚さの位置まで研削する（ステップS 15）。次に、基板裏面全体に例えばボロンなどのp型不純物をイオン注入し、半導体基板の裏面全体の表面層にp⁺型コレクタ領域14を形成する（ステップS 16）。ここまでの状態が図17に示されている。次に、基板裏面上に、n⁺型カソード領域の形成領域に対応した部分が開口したレジストマスク（不図示）を形成する。次に、このレジストマスクをマスクとして例えばリンなどのn型不純物をイオン注入し、FWD領域22において、半導体基板の裏面の表面層にn⁺型カソード領域15を形成する（ステップS 17）。

[0073] 次に、n⁺型カソード領域15の形成に用いたレジストマスクを除去した後、レーザーアニールによりp⁺型コレクタ領域14およびn⁺型カソード領域15を活性化させる（ステップS 18）。次に、基板おもて面全体を例えばポリイミド膜などのパッシベーション膜（不図示）で覆った後、パッシベーション膜をパターニングしておもて面電極13や各電極パッドを露出させる（ステップS 19）。半導体基板の裏面研削後、p⁺型コレクタ領域14の形成前に、パッシベーション膜の形成およびパターニングを行ってもよい。半導体基板の裏面研削後に基板おもて面のパッシベーション膜を形成することで、パッシベーション膜による基板おもて面の段差の悪影響を受けずに半導体基板の裏面研削を行うことができる。また、おもて面電極13の形成後、半導体基板の裏面研削前に、パッシベーション膜の形成およびパターニングを行ってもよい。

[0074] 次に、半導体基板のおもて面側または裏面側からヘリウム（He）または電子線を照射し、n⁻型ドリフト層1にライフタイムキラーとなる格子欠陥を導入することで、n⁻型ドリフト層1におけるキャリアのライフタイムを低減させる（ステップS 20）。このライフタイム制御により、メサ部にも格子欠陥が発生する。メサ部に発生した格子欠陥がメサ部のMOSゲートに沿った部分に存在する場合、ゲート閾値電圧が低下してしまう。メサ部のMOSゲートに沿った部分とは、p型ベース領域5の、n⁺型エミッタ領域6とn⁻型

ドリフト層 1 とに挟まれた部分、すなわちオン時に n 型の反転層（チャネル）が形成される部分である。このため、次に、水素（ H_2 ）雰囲気例えば 350℃程度の温度の熱処理（水素アニール）を行い、メサ部の格子欠陥を回復させる（ステップ S 2 1）。

[0075] 上述したように、ステップ S 2 1 の水素アニール時、層間絶縁膜 8 の上面 8 e および側面 8 c の上端角部 8 d 上にバリアメタル 9 は存在しない。このため、水素雰囲気中の水素原子の拡散がバリアメタル 9 に抑制されず、おもて面電極 1 3 および層間絶縁膜 8 を通過してメサ部の格子欠陥にまで水素原子が到達する。これにより、メサ部の格子欠陥が回復されるため、ゲート閾値電圧をヘリウムや電子線の照射前と同程度に回復させることができる。次に、半導体基板の裏面全体に、 p^+ 型コレクタ領域 1 4 および n^+ 型カソード領域 1 5 に接する裏面電極 1 6 を形成する（ステップ S 2 2）。その後、半導体ウエハをチップ状に切断（ダイシング）して個片化することで、図 1～4 に示すトレンチゲート構造の RC-IGBT が完成する。

[0076] 以上、説明したように、実施の形態 1 によれば、プラグ電極のエッチバックに続けて、バリアメタルをエッチバックすることにより、層間絶縁膜の上面を容易に露出させることができる。これにより、ゲート電極上には層間絶縁膜を挟んでおもて面電極が積層され、ゲート電極上の層間絶縁膜とおもて面電極との間にバリアメタルは存在しない。このため、水素アニール時に、おもて面電極側から層間絶縁膜を通過してメサ部にまで水素原子を到達させることができる。したがって、ライフタイム制御のためのヘリウムまたは電子線の照射によりメサ部に格子欠陥が発生してゲート閾値電圧が低下したとしても、水素アニールによるゲート閾値電圧回復効果を安定して容易に得ることができる。また、実施の形態 1 によれば、層間絶縁膜の上面上にバリアメタルが存在しないことで、層間絶縁膜の上面部分がゲート絶縁膜に蓄積された電荷の逃げ道となる。これにより、ゲート絶縁膜に電荷が残ったままにならないため、層間絶縁膜の表面全体がバリアメタルに覆われた第 1 従来構造よりもゲート絶縁膜の耐久性を向上させることができる。

[0077] また、従来のようにバリアメタルのパターニング工程や、バリアメタルのCMPプロセスを必要としない。このため、バリアメタルのパターニングのばらつきによる信頼性低下や、工程数やコストの増加を防止することができる。また、実施の形態1によれば、一般的な組成の層間絶縁膜よりもボロン濃度およびリン濃度が高いBPSG膜を層間絶縁膜とすることで、層間絶縁膜の堆積時およびリフロー時の流動性を向上させることができる。このため、トレンチピッチを狭くして微細化を図ったとしても、基板おもて面の凹凸によらず、リフロー後に、層間絶縁膜の上面をほぼ平坦にすることができる。これにより、バリアメタルのエッチバック時にほぼ同時に層間絶縁膜の上面が露出され、層間絶縁膜の上面に余分なバリアメタルが残ることを防止することができる。これにより、水素アニールによるゲート閾値電圧回復効果をより向上させることができる。また、バリアメタルのエッチバック時にほぼ同時に層間絶縁膜の上面が露出されるため、一般的な組成で層間絶縁膜を形成した場合に比べてバリアメタルのエッチバック時間を短くすることができる。

[0078] (実施例1)

次に、層間絶縁膜8の上面8eの平坦性について検証した。図18は、実施例1にかかる半導体装置の層間絶縁膜のリフロー後の断面状態を模式的に示す断面図である。図19は、比較となる半導体装置の層間絶縁膜のリフロー後の断面状態を模式的に示す断面図である。まず、上述した実施の形態1にかかる半導体装置の製造方法にしたがい、MOSゲートの形成（ステップS1）からおもて面電極13の形成（ステップS14）までを行った試料を用意した（以下、実施例1とする）。すなわち、実施例1では、層間絶縁膜8として、一般的な組成の層間絶縁膜よりもボロン濃度およびリン濃度が高いBPSG膜を形成している。なお、メサ部の各半導体領域の形成（上述したステップS2～S4，S6）は省略した。トレンチ2は、開口部側から底部に向うにしたがって幅が狭くなっており、開口部側の幅 w_1 を $1.34\mu\text{m}$ とし、中間の深さ付近における幅 w_4 を $1.13\mu\text{m}$ とした。トレンチ2

の深さ d_4 を $5.26 \mu\text{m}$ とした。また、メサ幅 w_2 を $1.06 \mu\text{m}$ とした。

[0079] 比較として、一般的な組成で層間絶縁膜 108 を形成した試料を用意した（以下、比較例とする）。比較例の製造方法は、層間絶縁膜 108 の組成が異なる以外は実施例 1 と同様である。比較例では、実施例 1 よりもトレンチ 102 の深さ d_{104} が若干深い、その他の寸法は実施例 1 とほぼ同様である。具体的には、トレンチ 102 は、開口部側から底部に向うにしたがって幅が狭くなっており、開口部側の幅 w_{101} を $1.35 \mu\text{m}$ とし、中間の深さ付近における幅 w_{104} を $1.12 \mu\text{m}$ とし、底部の幅 w_{105} を $0.92 \mu\text{m}$ とした。トレンチ 102 の深さ d_{104} を $6.24 \mu\text{m}$ とした。メサ幅 w_{102} を、トレンチ 102 の中間の深さ付近において $1.32 \mu\text{m}$ とした。図 19 において、符号 101, 103, 104, 108a, 108b, 109, 112, 113 は、それぞれ n -型ドリフト層、ゲート絶縁膜、ゲート電極、コンタクトホール、メサ部の溝、バリアメタル、プラグ電極およびおもて面電極である。

[0080] これら実施例 1 の層間絶縁膜 8 および比較例の層間絶縁膜 108 のリフロー後の状態を走査型電子顕微鏡（SEM: Scanning Electron Microscope）で観察した結果をそれぞれ図 18, 19 に模式的に示す。図 19 に示す結果より、比較例では、基板おもて面にゲート電極 104 の上面の凹み 104a などにより生じた凹凸に応じて層間絶縁膜 108 の上面 108e に大きな凹凸が生じていることが確認された。それに対して、図 18 に示す結果より、実施例 1 においては、基板おもて面にゲート電極 4 の上面の凹み 4a などにより凹凸が生じていたとしても、層間絶縁膜 8 の上面 8e を平坦にすることができると確認された。

[0081] （実施例 2）

次に、実施の形態 1 にかかる半導体装置のゲート閾値電圧について検証した。図 20 は、実施例 2 にかかる半導体装置のゲート閾値電圧特性を示す特性図である。上述した実施の形態 1 にかかる半導体装置の製造方法にしたが

い、上記諸条件でRC-IGBTを作製した（以下、実施例2とする）。すなわち、実施例2では、層間絶縁膜8として一般的な組成の層間絶縁膜よりもボロン濃度およびリン濃度が高いBPSG膜を形成し、層間絶縁膜8の上面8eを平坦化した。また、実施例2では、層間絶縁膜8の上面8e上のバリアメタル9がエッチバックにより除去され、層間絶縁膜8の上面とおもて面電極13とが接する構成となっている。ライフタイム制御は、ヘリウムを照射することで行った（ステップS20の処理）。

[0082] 比較として、層間絶縁膜として一般的な組成のBPSG膜を形成し、コンタクトホールの内壁から層間絶縁膜の上面上に延在するバリアメタルを除去せずに、層間絶縁膜上にバリアメタルを介しておもて面電極を形成した第1従来構造を備えたRC-IGBTを作製した（以下、従来例とする）。従来例の層間絶縁膜の組成およびバリアメタルの配置以外の構成および製造条件は、実施例2と同様である。これら実施例2および従来例について、ヘリウム照射前、ヘリウム照射後、およびその後の水素アニール後におけるゲート閾値電圧を測定した結果を図20に示す。ゲート閾値電圧測定時のドレイン電流を200mAとした。

[0083] 図20に示すように、従来例では、ヘリウム照射によりゲート閾値電圧が大きく低下し、その後、水素アニールを行ってもゲート閾値電圧を回復させることができないことが確認された。その理由は、層間絶縁膜の上面上のバリアメタルによりおもて面電極側から層間絶縁膜側への水素原子の拡散が抑制され、半導体基板のおもて面にまで水素原子が到達しないことで、メサ部の格子欠陥を回復させることができないからである。一方、実施例2においては、従来例よりもヘリウム照射によるゲート閾値電圧の変動（低下）が小さいことが確認された。その理由は、層間絶縁膜8の上面8eおよび側面8cの上端角部8d上にバリアメタル9は存在しないことで、おもて面電極13および層間絶縁膜8を通過してメサ部の格子欠陥にまで水素原子が到達するからである。そして、実施例2においては、ライフタイム制御のためのヘリウム照射により低下したゲート閾値電圧を、その後の水素アニールにより

ヘリウム照射前と同程度に回復させることができることが確認された。すなわち、本発明のように層間絶縁膜 8 の上面 8 e 上のバリアメタル 9 をエッチバックにより除去した場合においても、水素アニール時に半導体基板の内部にまで水素原子を到達させることができ、メサ部の格子欠陥を回復させることができることがわかる。

[0084] (実施例 3)

次に、実施の形態 1 にかかる半導体装置の実装後の状態について検証した。実施の形態 1 にかかる半導体装置の実装した半導体モジュールの構造については後述する実施の形態 3 で説明する。図 2 1 は、実施例 3 にかかる半導体装置の配線後の表面電極の正常な状態を模式的に示す断面図である。図 2 2 は、実施例 3 にかかる半導体装置の配線後の表面電極の欠損が生じた状態を模式的に示す断面図である。上述した実施の形態 1 にかかる半導体装置の製造方法にしたがい、I G B T を作製した（以下、実施例 3 とする）。実施例 3 のおもて面電極 1 3 は、アルミニウム膜（アルミニウム - シリコンなどのアルミニウム合金膜でもよい、以下単にアルミニウム膜（最下層の金属電極膜）という） 1 7 およびニッケル膜（ニッケル - リンなどのニッケル合金膜でもよい、以下単にニッケル膜（上層の金属電極膜）という） 1 8 を順に積層した積層構造とした。実施例 3 の正常な状態を図 2 1 に示し、正常でない状態を図 2 2 に示す。

[0085] 実施例 3 の正常な状態とは、おもて面電極 1 3 を配置する領域（例えば活性領域）内すべてで層間絶縁膜 8 およびプラグ電極 1 2 がアルミニウム膜 1 7 に覆われている状態である。実施例 3 の正常でない状態とは、おもて面電極 1 3 を配置する領域でアルミニウム膜 1 7 に欠損 4 1 が生じており、アルミニウム膜 1 7 の欠損 4 1 の箇所で層間絶縁膜 8 やプラグ電極 1 2 がニッケル膜 1 8 に接している状態である。アルミニウム膜 1 7 の欠損 4 1 とは、層間絶縁膜 8 およびプラグ電極 1 2 と、ニッケル膜 1 8 と、の間において部分的にアルミニウム膜 1 7 が存在しない箇所である。

[0086] アルミニウム膜 1 7 に欠損 4 1 が生じる一例として、例えば、アルミニウ

ム膜 17 の成膜前に、層間絶縁膜 8 上に残渣（パーティクル）などの異物が残っていることが挙げられる。この場合、アルミニウム膜 17 は、異物を覆う部分で異物に沿って凸状に盛り上がった状態で成膜される。この異物により盛り上がった部分と、異物が存在しないほぼ平坦な部分と、の境界でアルミニウム膜 17 の厚さが薄くなる。このため、アルミニウム膜 17 の表面にニッケル膜 18 をめっきする前にアルミニウム膜 17 をエッチングすると、アルミニウム膜 17 の、異物により盛り上がった部分が異物とともに除去され、図 22 に示すように欠損 41 となりやすい。

[0087] 上述した第 1 従来構造（図 23 参照）では、アルミニウム膜 214 に欠損 221 が生じた場合、ニッケル膜 215 の温度上昇による熱応力により、上述したように層間絶縁膜 210 に亀裂 223 が生じたり、バリアメタル 211 や層間絶縁膜 210 が剥離することが確認された。また、層間絶縁膜 210 を超えて半導体基板に亀裂が生じることが確認された。これによって、リーク電流が大きくなったり、リーク電流が常時流れてオフできない状態などの素子破壊に至ることが確認された。すなわち、第 1 従来構造では、実装時やその後のヒートサイクル等で経年劣化が早く進んでしまい、プラグ電極を用いない第 2 従来構造よりも寿命が短いことが確認された。

[0088] それに対して、実施例 3 においては、正常な状態（図 21）および正常でない状態（図 22）のいずれにおいても、第 2 従来構造と同程度に所定特性や寿命（経年劣化の進行）を維持することができることが確認された。その理由は、次の通りである。層間絶縁膜 8 の上面 8e および側面 8c の上端角部 8d 上にニッケル膜 18 との密着性の高いバリアメタル 9 は存在しないため、ニッケル膜 18 は、層間絶縁膜 8 の上面 8e および側面 8c の上端角部 8d で層間絶縁膜 8 に接触する（符号 42 で示す破線で囲んだ部分）。これにより、ニッケル膜 18 と層間絶縁膜 8 との密着力は、層間絶縁膜 210 の表面全体がバリアメタル 211 に覆われた第 1 従来構造と比べて低くなっている。したがって、実装時やその後のヒートサイクル等でニッケル膜 18 の温度上昇による熱応力を層間絶縁膜 8 が受けにくく、層間絶縁膜 8 に亀裂が

生じないからである。また、層間絶縁膜 8 が剥離しないため、層間絶縁膜 8 による絶縁性を第 2 従来構造と同程度に維持することができるからである。また、プラグ電極 1 2 の機械的強度が高いため、ニッケル膜 1 8 とプラグ電極 1 2 との密着力が高くても、ニッケル膜 1 8 の温度上昇による熱応力でプラグ電極 1 2 に亀裂は生じない。また、ニッケル膜 1 8 の温度上昇による熱応力により仮にプラグ電極 1 2 がコンタクトホール 8 a から引き抜かれたとしても、層間絶縁膜 8 による絶縁性を確保することができ、素子が正常に動作することが発明者により確認されている。

[0089] (実施の形態 2)

次に、実施の形態 2 にかかる半導体装置の構造について説明する。図 2 5 は、実施の形態 2 にかかる半導体装置の構造を示す断面図である。図 2 5 には、図 1 の切断線 A - A' における断面構造を示す。実施の形態 2 にかかる半導体装置の図 1 の切断線 B - B' に相当する断面構造は図示省略するが、図 3 の断面図において図 2 5 と同様にバリアメタル 1 9 および後述するスリット 1 9 a を設けた構成となっている。

[0090] 図 2 6 は、図 2 5 のバリアメタルのスリットを半導体基板のおもて面側から見たレイアウトを示す平面図である。図 2 7, 2 8 は、図 2 5 のバリアメタルのスリットを半導体基板のおもて面側から見たレイアウトの別の一例を示す平面図である。図 2 6 ~ 2 8 では、おもて面電極 1 3 を図示省略し、バリアメタル 1 9 のスリット 1 9 a に層間絶縁膜 8 の上面 8 e が露出した状態を示す。

[0091] 実施の形態 2 にかかる半導体装置が実施の形態 1 にかかる半導体装置と異なる点は、層間絶縁膜 8 の側面 8 c およびメサ部の溝 8 b の内壁だけでなく、層間絶縁膜 8 の側面 8 c の上端角部 8 d および上面 8 e もバリアメタル 1 9 で覆われており、かつ当該バリアメタル 1 9 の一部にスリット 1 9 a が設けられている点である。スリット 1 9 a とは、バリアメタル 1 9 を厚さ方向に貫通して層間絶縁膜 8 に達する溝（第 2 溝）である。

[0092] すなわち、バリアメタル 1 9 のスリット 1 9 a には、層間絶縁膜 8 の一部

が露出される。バリアメタル19のスリット19aには、おもて面電極13が埋め込まれている。図25には、例えばアルミニウム膜17およびニッケル膜18を順に積層した2層構造のおもて面電極13を示し、バリアメタル19のスリット19aにおもて面電極13の最下層のアルミニウム膜17が埋め込まれている場合を示す。

[0093] バリアメタル19のスリット19aは、例えば、層間絶縁膜8の上面8eを露出する位置に配置されることが好ましい。その理由は、例えば、次の通りである。1つ目の理由は、実施の形態1（バリアメタル19にスリット19aを設けない）と同様の効果が得られるからである。2つ目の理由は、水素アニール時にバリアメタル19がないスリット19aの領域を介して水素が半導体基板内部に到達しメサ部の格子欠陥を回復させることができるからである。3つ目の理由は、バリアメタル19の厚さのばらつきが生じることを抑制することができるため、バリアメタル19と層間絶縁膜8との密着性を安定的に確保しやすいからである。

[0094] また、バリアメタル19に、複数のスリット19aが設けられていてもよい。バリアメタル19に複数のスリット19aを設ける場合にも、すべてのスリット19aは、例えば、層間絶縁膜8の上面8eを露出する位置に配置される。これにより、水素アニール時にバリアメタル19がないスリット19aの領域を介して水素が半導体基板内部に到達しメサ部の格子欠陥を回復させることができる。また、複数のスリット19aの一部（またはすべて）を層間絶縁膜8の側面8cに設ける場合と比べて、層間絶縁膜8とアルミニウム膜17との密着性を確保することができる。

[0095] バリアメタル19は、スリット19aを設けた箇所以外において層間絶縁膜8の上面8eを覆っている。このため、アルミニウム膜17に欠損（図22の符号41参照）が生じると、層間絶縁膜8の上面8eで、バリアメタル19と、アルミニウム膜17の上層のニッケル膜18と、が接触する場合があるが、上述した第1従来構造（図23参照）のような問題は生じない。その理由は、スリット19aを設けることでバリアメタル19を介して層間絶

縁膜 8 とニッケル膜 18 が接触する面積が減少し層間絶縁膜 8 への熱応力が低減されるためである。

[0096] また、バリアメタル 19 で層間絶縁膜 8 の上面 8 e および側面 8 c の上端角部 8 d が部分的に覆われていたとしても、ステップ S 21 の水素アニールによるゲート閾値電圧回復効果を確保することができる。その理由は、層間絶縁膜 8 の上面 8 e 上においてバリアメタル 19 が残っている幅（以下、バリアメタル 19 の、層間絶縁膜 8 の上面 8 e 上の部分 19 b の残し幅とする） w_6 よりも水素の Si（半導体基板）中の拡散距離が十分大きいためである。バリアメタル 19 の、層間絶縁膜 8 の上面 8 e 上の部分 19 b の残し幅 w_6 とは、層間絶縁膜 8 の上面 8 e 上におけるバリアメタル 19 の、スリット 19 a を挟んで対向する部分のそれぞれの第 2 方向 y の幅である。

[0097] また、バリアメタル 19 のスリット 19 a は、例えば半導体基板のおもて面側からみて、コンタクトホール 8 a と同じ略第 1 方向 x に延びるストライプ状のレイアウトに設けられていてもよい（図 26 参照）。これにより、水素アニール時にバリアメタル 19 がいないスリット 19 a の領域を介して水素が半導体基板内部に到達しメサ部の格子欠陥を回復させることができる。また、バリアメタル 19 のスリット 19 a の側壁は、層間絶縁膜 8 の表面に対して斜度を有していてもよい。すなわち、スリット 19 a の断面形状が略台形状であってもよい。

[0098] また、バリアメタル 19 のスリット 19 a は、半導体基板のおもて面側から見て、例えば、略第 1 方向 x に延びる直線と、略第 2 方向 y に延びる直線と、が交差した格子状のレイアウトに設けられていてもよい（図 27 参照）。この場合、隣り合うコンタクトホール 8 a 間の中心付近に、略第 1 方向 x に延びる直線状のレイアウトにスリット 19 a が配置される。かつ、隣り合うコンタクトホール 8 a 間のコンタクトホール 8 a 寄りに、バリアメタル 19 の、層間絶縁膜 8 の上面 8 e 上の部分 19 b と、スリット 19 a と、が第 1 方向 x に交互に繰り返し配置される。

[0099] また、バリアメタル 19' のスリット 19 a' は、半導体基板のおもて面

側から見て、例えば、略第2方向 y に延びるストライプ状のレイアウトに設けられていてもよい（図28参照）。この場合、バリアメタル19'の、層間絶縁膜8の上面8e上の部分19b'およびスリット19a'ともに、隣り合うコンタクトホール8a間にわたって設けられる。かつ、バリアメタル19'の、層間絶縁膜8の上面8e上の部分19b'と、スリット19a'と、が第1方向 x に交互に繰り返し配置される。なお、図26～28では、バリアメタル19の、層間絶縁膜8の側面8c上の部分を図示省略する。

[0100] バリアメタル19のスリット19aの幅（第2方向 y の幅） w_5 は、例えば、ゲート電極4と、ゲート絶縁膜3のトレンチ2の側壁の部分と、の界面間の幅（すなわちゲート電極4の幅（第2方向 y の幅） w_{11} ）よりも狭いことが好ましい。その理由は、次の通りである。ゲート絶縁膜3の、 p 型ベース領域と n^+ 型エミッタ領域6と界面付近の部分3aの状態がゲート閾値電圧に最も影響する。バリアメタル19のスリット19aの幅 w_5 を、ゲート電極4の幅 w_{11} よりも狭くすることで、ゲート絶縁膜3の、ゲート閾値電圧に最も影響する部分3aを層間絶縁膜8を介して深さ方向 z にバリアメタル19で覆うことができるからである。したがって、バリアメタル19の、層間絶縁膜8の上面8e上の部分19bの残し幅 w_6 は、ゲート絶縁膜3のトレンチ2の側壁の部分を層間絶縁膜8を介して深さ方向 z にバリアメタル19で覆うことができる程度の幅であることが好ましい。

[0101] 実施の形態2にかかる半導体装置の製造方法は、例えば、実施の形態1にかかる半導体装置の製造方法（図5A，5B参照）において、ステップS13（バリアメタルのエッチバック）の処理に代えて、スリット19aの形成領域に対応する部分が開口したエッチングマスクを用いてバリアメタル19を選択的にエッチングすればよい。

[0102] 以上、説明したように、実施の形態2によれば、バリアメタルにスリットを設けることで、層間絶縁膜の表面にバリアメタルで覆われない部分を選択的に設けることができるため、実施の形態1と同様の効果を得ることができる。

[0103] (実施の形態3)

次に、実施の形態3において、実施の形態1にかかる半導体装置を実装した半導体モジュールの構造について説明する。図29は、実施の形態3にかかる半導体モジュールを半導体チップのおもて面側から見たレイアウトを示す平面図である。図30は、図29の切断線H-H'における断面構造を示す断面図である。図29、30に示す実施の形態3にかかる半導体モジュールは、実施の形態1にかかる半導体装置の構造を備えた半導体チップ51を実装したパッケージ50である。図29、30には、2つの半導体チップ51を実装した場合を示す。

[0104] 半導体チップ51の裏面電極16は、半導体チップ51の裏面側に配置された第1ヒートシンク52にはんだ層61を介して接合されている。半導体チップ51のおもて面電極13は、半導体チップ51のおもて面側に配置されたターミナル53の一方の主面にはんだ層62を介して接合されている。ターミナル53は、半導体チップ51と後述する第2ヒートシンク54とを電気的かつ熱的に中継する機能を有する。ターミナル53の他方の主面は、第2ヒートシンク54にはんだ層63を介して接合されている。

[0105] すなわち、半導体チップ51は、第1、2ヒートシンク52、54間に挟まれるように配置され、両面（おもて面および裏面）からそれぞれ放熱可能である。2つの半導体チップ51のうちの一方の半導体チップ51が接合された第1ヒートシンク52と、他方の半導体チップ51が接合された第2ヒートシンク54と、からそれぞれ延在する継ぎ手部52a、54aは、はんだ層64を介して接合されている。これによって、第1、2ヒートシンク52、54同士が電氣的に接続されている。

[0106] 2つの半導体チップ51は、例えば、それぞれ、電力変換用ブリッジ回路の一相分（不図示）を構成する直列接続された2つのIGBTのうちの高電位側（上アーム）のIGBTおよびFWDと、低電位側の（下アーム）のIGBTおよびFWDと、を構成する。半導体チップ51、主端子56の一方の端部、および信号端子57の一方の端部は、半導体チップ51を挟んで対

向する第1, 2ヒートシンク52, 54間、および、2つの半導体チップ51間、に充填された封止樹脂55により封止されている。

[0107] 主端子56として、少なくとも、パッケージ50の図示省略する高電位電源ライン、低電位電源ラインおよび出力端子56cにそれぞれ一方の端部が接続された高電位電源端子56a、低電位電源端子56bおよび出力端子56cが設けられている。信号端子57の一方の端部は、対応する半導体チップ51の電極パッドに、ボンディングワイヤ（不図示）を介して電氣的に接続されている。主端子56の他方の端部および信号端子57の他方の端部は、パッケージ50から外側に引き出されている。

[0108] 以上において本発明は、上述した各実施の形態に限らず、コンタクトホール内部にバリアメタルを介して設けられたプラグ電極を備え、かつヘリウムや電子線の照射により半導体基板の内部に発生した格子欠陥に起因して問題が発生するさまざまな構成の半導体装置に適用可能である。例えば、上述した各実施の形態では、同一の半導体基板にトレンチゲート型IGBTとFWDとを設けたRC-IGBTを例に説明しているが、トレンチゲート構造に限らず、基板おもて面上に平板状にMOSゲートを設けたプレーナゲート構造の半導体装置にも本発明を適用可能である。また、上述した各実施の形態では、複数のMOSゲートを備える場合を例に説明しているが、1つのMOSゲートを備える場合であっても同様の効果を奏する。また、上述した各実施の形態では、開口部側から底部に向って同一の幅を有するトレンチを備える場合を例に説明しているが、トレンチの幅は開口部側から底部に向うにしたがって狭くなっていてもよい。また、本発明において各部の寸法や不純物濃度等は要求される仕様等に応じて種々設定される。また、上述した各実施の形態では、デバイスを構成する各半導体領域をイオン注入により形成した拡散領域としているが、これに限らず、デバイスを構成するいずれか1つ以上の半導体領域をエピタキシャル成長により形成した堆積層としてもよい。また、ニッケル膜は無電解めっき法等によるめっき膜の他、スパッタ法によるスパッタ膜でもよい。また、各実施の形態では第1導電型をn型とし、

第2導電型をp型としたが、本発明は第1導電型をp型とし、第2導電型をn型としても同様に成り立つ。

産業上の利用可能性

[0109] 以上のように、本発明にかかる半導体装置および半導体装置の製造方法は、トレンチゲート構造の半導体装置に有用であり、特にトレンチピッチの狭い微細構造の半導体装置に適している。

符号の説明

- [0110]
- 1 n⁻型ドリフト層
 - 2 トレンチ
 - 3 ゲート絶縁膜
 - 3 a ゲート絶縁膜の、ゲート閾値電圧に最も影響する部分
 - 4 ゲート電極
 - 4 a ゲート電極の上面の凹み
 - 5 p型ベース領域
 - 6 n⁺型エミッタ領域
 - 7 a p⁺型コンタクト領域
 - 7 b p⁺⁺型プラグ領域
 - 8 層間絶縁膜
 - 8 a コンタクトホール
 - 8 b メサ部の溝
 - 8 c 層間絶縁膜の側面
 - 8 d 層間絶縁膜の側面の上端角部
 - 8 e 層間絶縁膜の上面
 - 9, 19, 19' バリアメタル
 - 10 第1金属膜
 - 11 第2金属膜
 - 12 プラグ電極
 - 12 a プラグ電極の上面の凹み

- 1 3 おもて面電極
- 1 4 p^+ 型コレクタ領域
- 1 5 n^+ 型カソード領域
- 1 6 裏面電極
- 1 7 アルミニウム膜
- 1 8 ニッケル膜
- 1 9 a, 1 9 a' バリアメタルのスリット
- 1 9 b, 1 9 b' バリアメタルの、層間絶縁膜の上面上の部分
- 2 1 IGBT領域
- 2 2 FWD領域
- 3 1 ~ 3 3 レジストマスク
- 3 4 金属膜
- 3 5 タングステン層
- 4 1 アルミニウム膜の欠損
- 5 0 パッケージ
- 5 1 半導体チップ
- 5 2, 5 4 ヒートシンク
- 5 2 a, 5 4 a ヒートシンクの継ぎ手部
- 5 3 ターミナル
- 5 5 封止樹脂
- 5 6 主端子
- 5 6 a 高電位電源端子
- 5 6 b 低電位電源端子
- 5 6 c 出力端子
- 5 7 信号端子
- 6 1 ~ 6 4 はんだ層
- d 1 基板おもて面からゲート電極の上面の凹みの底部までの深さ
- d 2 メサ部の溝の深さ

- d 3 プラグ電極の上面の凹みの深さ
- d 4 トレンチの深さ
- t 1 層間絶縁膜のメサ部上の部分の厚さ
- t 2 層間絶縁膜のゲート電極上の最も厚い部分の厚さ
- t 3 バリア金属の厚さ
- w 1 トレンチの幅
- w 2 メサ幅（隣り合うトレンチ間の幅）
- w 3 コンタクトホール幅
- w 4 トレンチの中間の深さ付近における幅
- w 5 バリア金属のスリットの幅
- w 6 バリア金属の、層間絶縁膜の表面上の部分の残し幅
- w 1 1 ゲート電極の幅
- x トレンチがストライプ状に延びる平面方向（第 1 方向）
- y IGBT領域とFWD領域とが並ぶ平面方向（第 2 方向）
- z 深さ方向

請求の範囲

- [請求項1] 半導体基板の第1主面上に絶縁膜を形成する第1形成工程と、
前記絶縁膜を深さ方向に貫通して前記半導体基板に達するコンタクトホールを形成する第2形成工程と、
前記絶縁膜の表面から前記半導体基板の前記コンタクトホールに露出する半導体部の表面にわたって、前記半導体部との密着性の高い金属膜を形成する第3形成工程と、
前記コンタクトホールの内部の前記金属膜の内側に埋め込むように、前記金属膜の表面に金属層を形成する第4形成工程と、
前記金属層をエッチバックして、前記金属層の、前記コンタクトホールの内部の部分以外の部分を除去し、前記金属膜を露出させる第1除去工程と、
前記金属膜の、前記第1除去工程で露出された部分をエッチバックして、前記絶縁膜を露出させる第2除去工程と、
前記半導体基板に軽イオンまたは電子線を照射する照射工程と、
水素雰囲気での熱処理により、前記照射工程で前記半導体基板に生じた格子欠陥を回復させる熱処理工程と、
を含むことを特徴とする半導体装置の製造方法。
- [請求項2] 前記第1形成工程では、前記絶縁膜として、ボロンを2.6wt%以上3.8wt%以下の不純物濃度で含み、かつリンを3.6wt%以上4.4wt%以下の不純物濃度で含む酸化シリコン膜を形成することを特徴とする請求項1に記載の半導体装置の製造方法。
- [請求項3] 前記第1除去工程では、前記金属層の表面が前記コンタクトホールの内部に位置するまで、前記金属層をエッチバックすることを特徴とする請求項1に記載の半導体装置の製造方法。
- [請求項4] 前記第2除去工程では、前記絶縁膜の、前記コンタクトホールの側壁をなす側面の上端が露出されるように、前記金属膜をエッチバックすることを特徴とする請求項3に記載の半導体装置の製造方法。

- [請求項5] 前記第2形成工程では、前記コンタクトホールを形成するとともに、前記半導体基板の前記コンタクトホールに露出された部分に第1溝を形成し、
- 前記第3形成工程では、前記第1溝を埋め込むように前記金属膜を形成することを特徴とする請求項1に記載の半導体装置の製造方法。
- [請求項6] 前記第1形成工程では、前記絶縁膜の厚さを前記コンタクトホールの幅以上の厚さとすることを特徴とする請求項1に記載の半導体装置の製造方法。
- [請求項7] 前記第1形成工程の前に、前記半導体基板の第1主面から所定深さで形成したトレンチの内部にゲート絶縁膜を介してゲート電極を形成する第5形成工程をさらに含み、
- 前記第5形成工程では、前記ゲート電極の表面が前記トレンチの内部に位置するように前記ゲート電極を形成し、
- 前記第1形成工程では、
- 前記ゲート電極を覆うように前記絶縁膜を形成し、
- 前記絶縁膜の、前記ゲート電極上の部分以外の部分の厚さを前記コンタクトホールの幅以上の厚さとすることを特徴とする請求項1に記載の半導体装置の製造方法。
- [請求項8] 前記第5形成工程では、前記トレンチの幅よりも狭い間隔で、複数の前記トレンチを配置することを特徴とする請求項7に記載の半導体装置の製造方法。
- [請求項9] 前記熱処理工程では、前記半導体基板の、隣り合う前記トレンチの間に挟まれた部分に発生した前記格子欠陥を回復させることを特徴とする請求項7に記載の半導体装置の製造方法。
- [請求項10] 前記第5形成工程は、
- 第1導電型の前記半導体基板の、第1半導体素子が形成される第1形成領域および第2半導体素子が形成される第2形成領域に複数の前記トレンチを形成する工程と、

前記トレンチの内部に前記ゲート絶縁膜を介して前記ゲート電極を形成する工程と、

前記半導体基板の、隣り合う前記トレンチの間に挟まれた部分に、前記ゲート絶縁膜を挟んで前記ゲート電極に対向するように第2導電型の第1半導体領域を形成する工程と、

前記第1形成領域の前記第1半導体領域の内部に、前記ゲート絶縁膜を挟んで前記ゲート電極に対向するように第1導電型の第2半導体領域を選択的に形成する工程と、を有し、

前記第2除去工程の後、前記照射工程の前に、

前記第1形成領域の前記第1半導体領域および前記第2半導体領域に接し、かつ前記第2形成領域の前記第1半導体領域に接する第1電極を形成する工程と、

前記第1形成領域において前記半導体基板の第2主面の表面層に第2導電型の第3半導体領域を形成し、前記第2形成領域において前記半導体基板の第2主面の表面層に前記半導体基板よりも不純物濃度の高い第1導電型の第4半導体領域を形成する工程と、

前記第3半導体領域および前記第4半導体領域に接する第2電極を形成する工程と、

をさらに含むことを特徴とする請求項7に記載の半導体装置の製造方法。

[請求項11] 前記第3形成工程では、前記金属膜として、チタン膜と窒化チタン膜とを順に積層することを特徴とする請求項1に記載の半導体装置の製造方法。

[請求項12] 前記第4形成工程では、前記金属層として、タングステン層を形成することを特徴とする請求項1～11のいずれか一つに記載の半導体装置の製造方法。

[請求項13] 半導体基板の第1主面から所定深さで設けられた複数のトレンチと、

前記トレンチの内部にゲート絶縁膜を介して設けられたゲート電極と、

前記半導体基板の第1主面上に設けられ、前記ゲート電極を覆う絶縁膜と、

前記絶縁膜を深さ方向に貫通して前記半導体基板に達するコンタクトホールと、

前記コンタクトホールの側壁から前記半導体基板の前記コンタクトホールに露出する半導体部の表面にわたって設けられた、前記半導体部との密着性の高い金属膜と、

前記コンタクトホールの内部の前記金属膜の内側に埋め込まれた金属層と、

前記絶縁膜および前記金属層の表面に設けられた第1電極と、
を備え、

前記ゲート電極の表面は、前記トレンチの内部に位置することを特徴とする半導体装置。

[請求項14] 前記絶縁膜は、ボロンを2.6wt%以上3.8wt%以下の不純物濃度で含み、かつリンを3.6wt%以上4.4wt%以下の不純物濃度で含む酸化シリコン膜であることを特徴とする請求項13に記載の半導体装置。

[請求項15] 前記絶縁膜の前記ゲート電極上の部分の厚さは、前記絶縁膜の前記ゲート電極上の部分以外の部分の厚さと、前記半導体基板の第1主面から前記ゲート電極の表面までの深さとの総和に等しいことを特徴とする請求項13に記載の半導体装置。

[請求項16] 前記半導体基板の、隣り合う前記トレンチの間に挟まれた部分以外の部分には、軽イオンまたは電子線の照射による格子欠陥が導入されていることを特徴とする請求項13に記載の半導体装置。

[請求項17] 前記金属膜は、前記絶縁膜の前記第1電極側の表面と、前記絶縁膜の前記コンタクトホールに露出する側面と、の交線である角部よりも

前記半導体部側に位置することを特徴とする請求項 13 に記載の半導体装置。

[請求項18] 前記金属膜の一部に、前記金属膜を厚さ方向に貫通するスリット状の第2溝を有することを特徴とする請求項 13 に記載の半導体装置。

[請求項19] 前記第2溝は、前記金属膜を厚さ方向に貫通して、前記絶縁膜の前記第1電極側の表面に達することを特徴とする請求項 18 に記載の半導体装置。

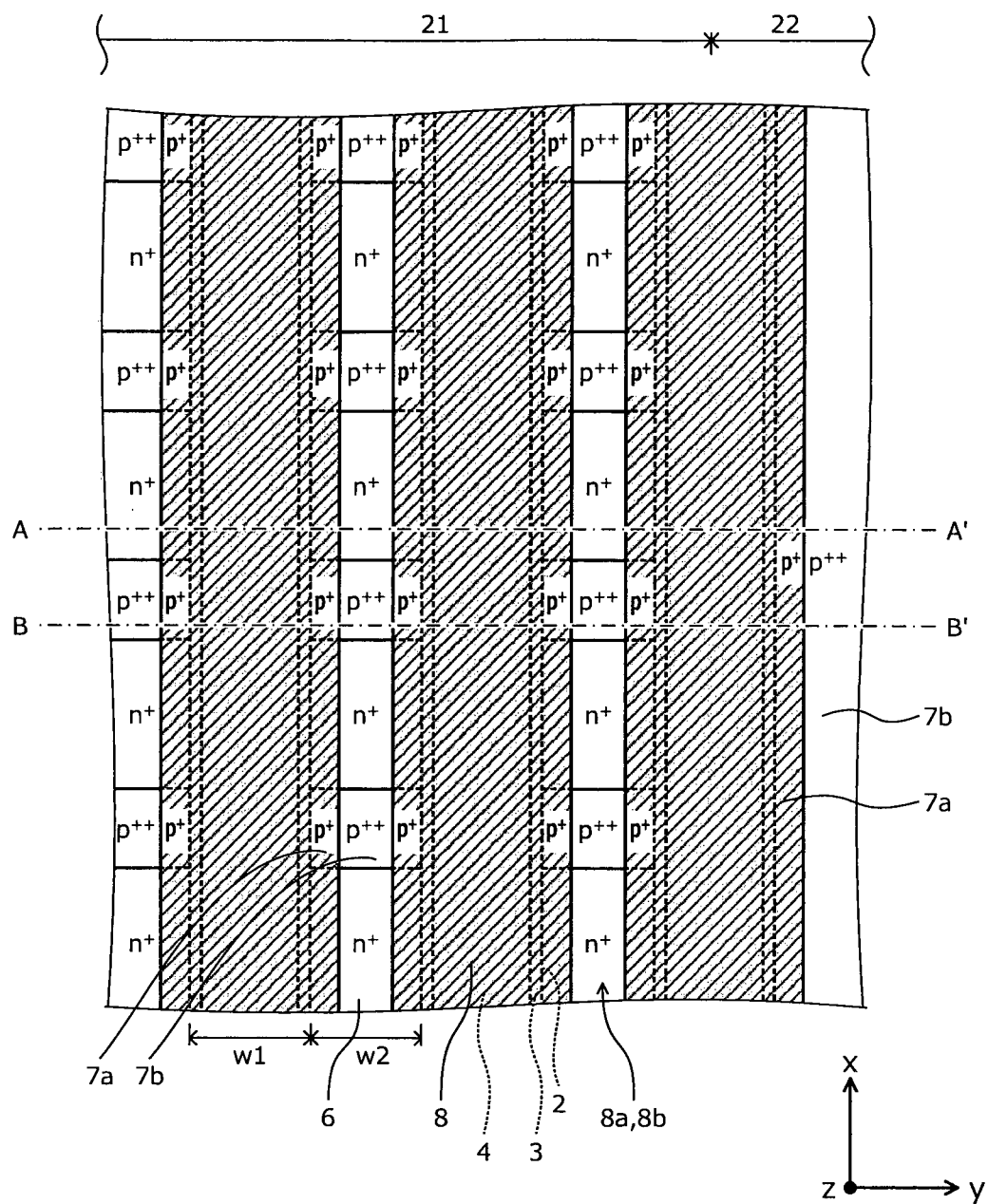
[請求項20] 前記第1電極は、前記絶縁膜および前記金属層の全面を覆うことを特徴とする請求項 13～19 のいずれか一つに記載の半導体装置。

[請求項21] 前記第1電極は、成分の異なる2層以上の金属電極膜を順に積層した積層構造を有し、

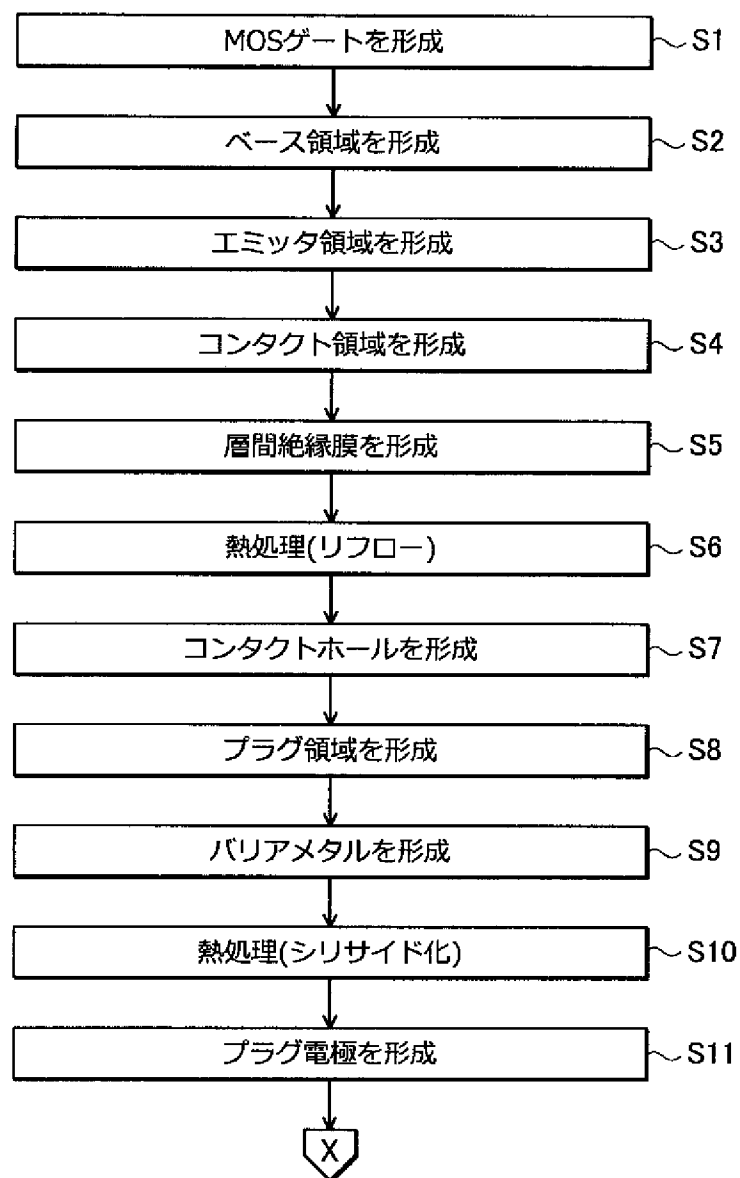
最下層の前記金属電極膜は、アルミニウム膜またはアルミニウム合金膜であり、前記絶縁膜および前記金属層の少なくとも一部を覆うことを特徴とする請求項 17 に記載の半導体装置。

[請求項22] 前記第1電極は、最下層の前記金属電極膜上に上層の前記金属電極膜としてニッケル膜またはニッケル合金膜を積層した前記積層構造を有することを特徴とする請求項 21 に記載の半導体装置。

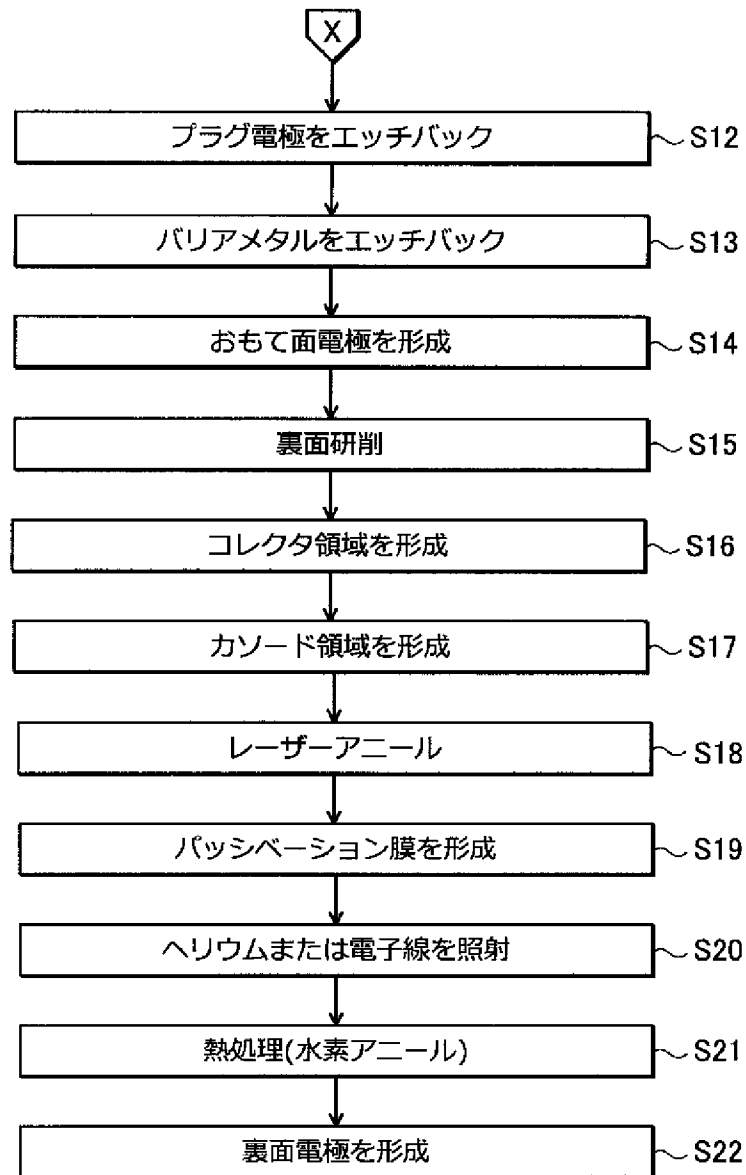
[図1]



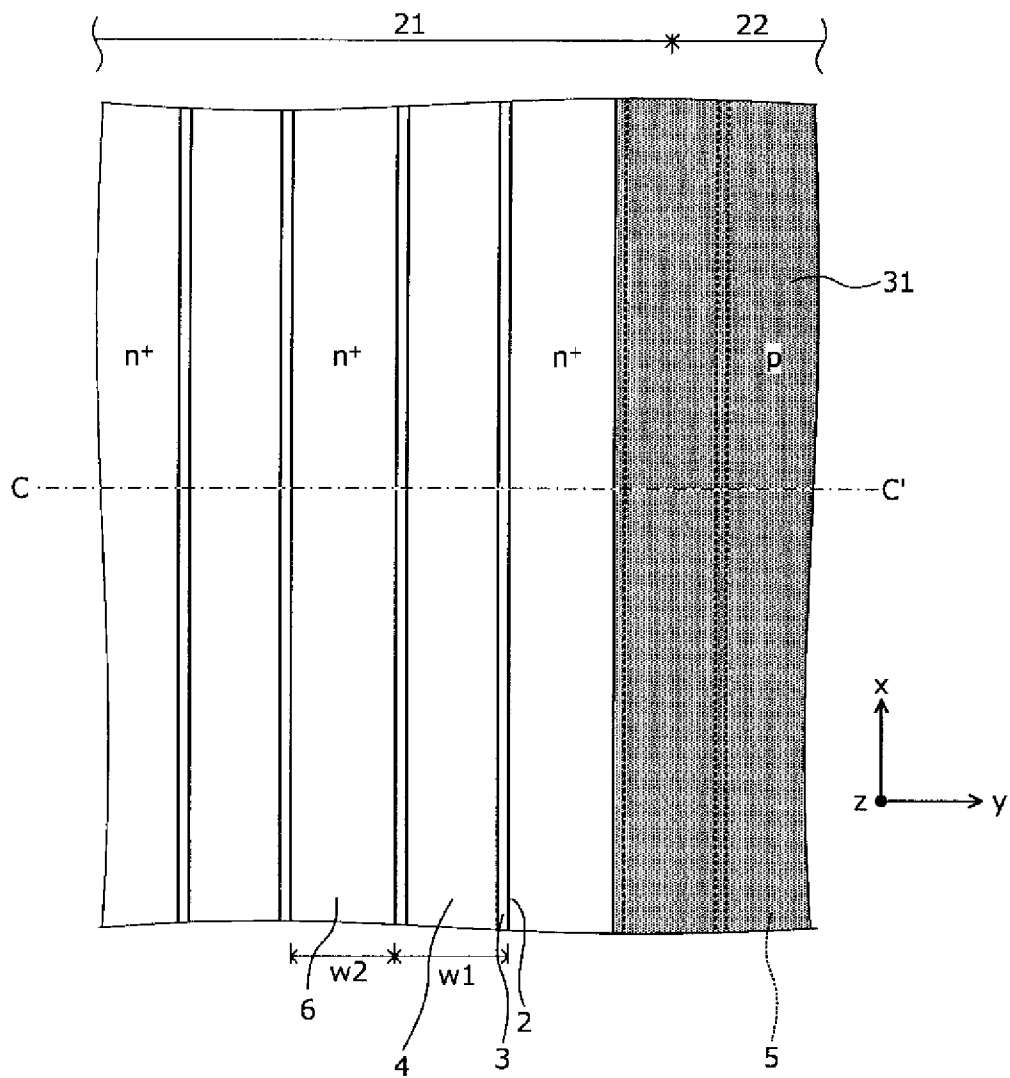
[図5A]



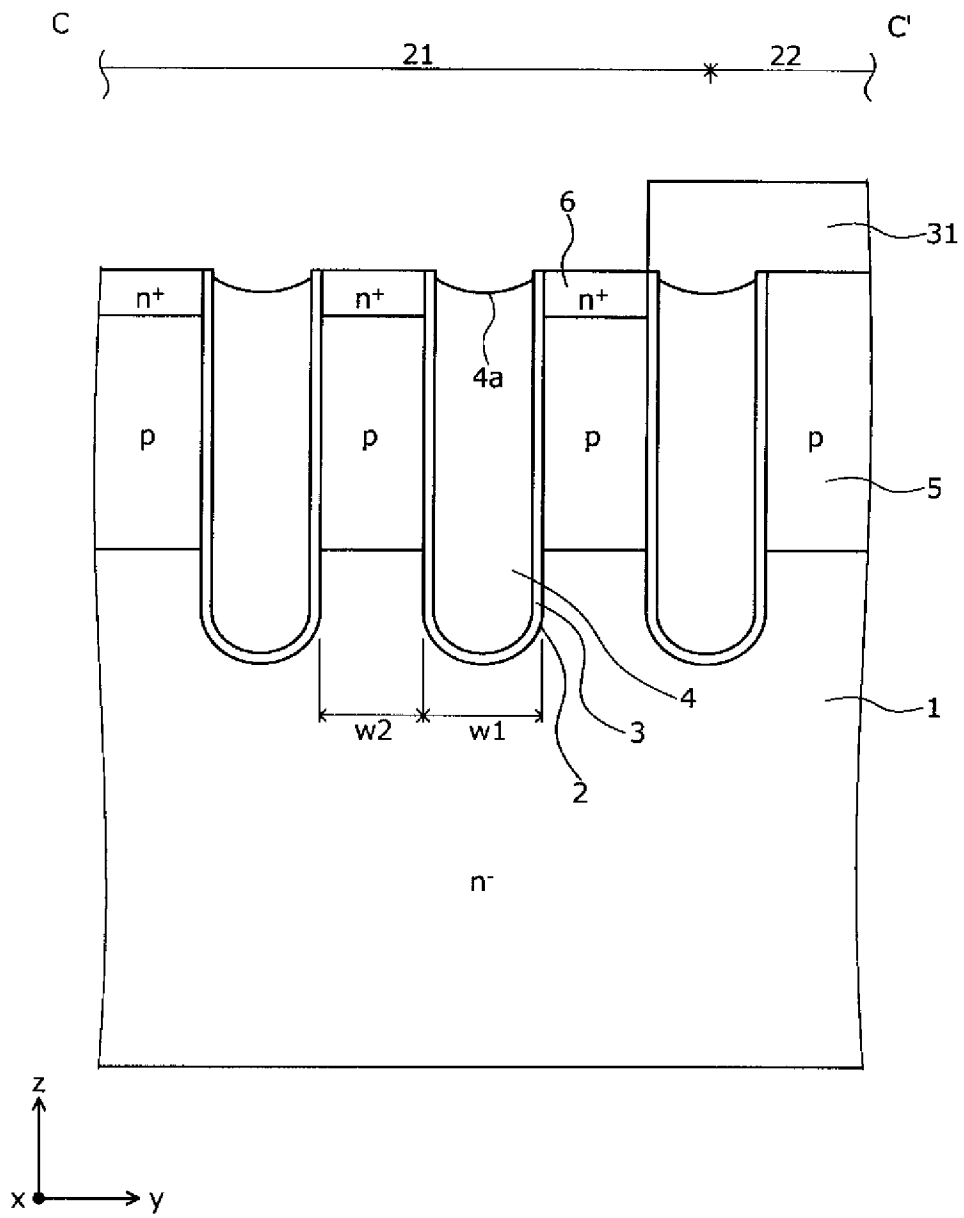
[図5B]



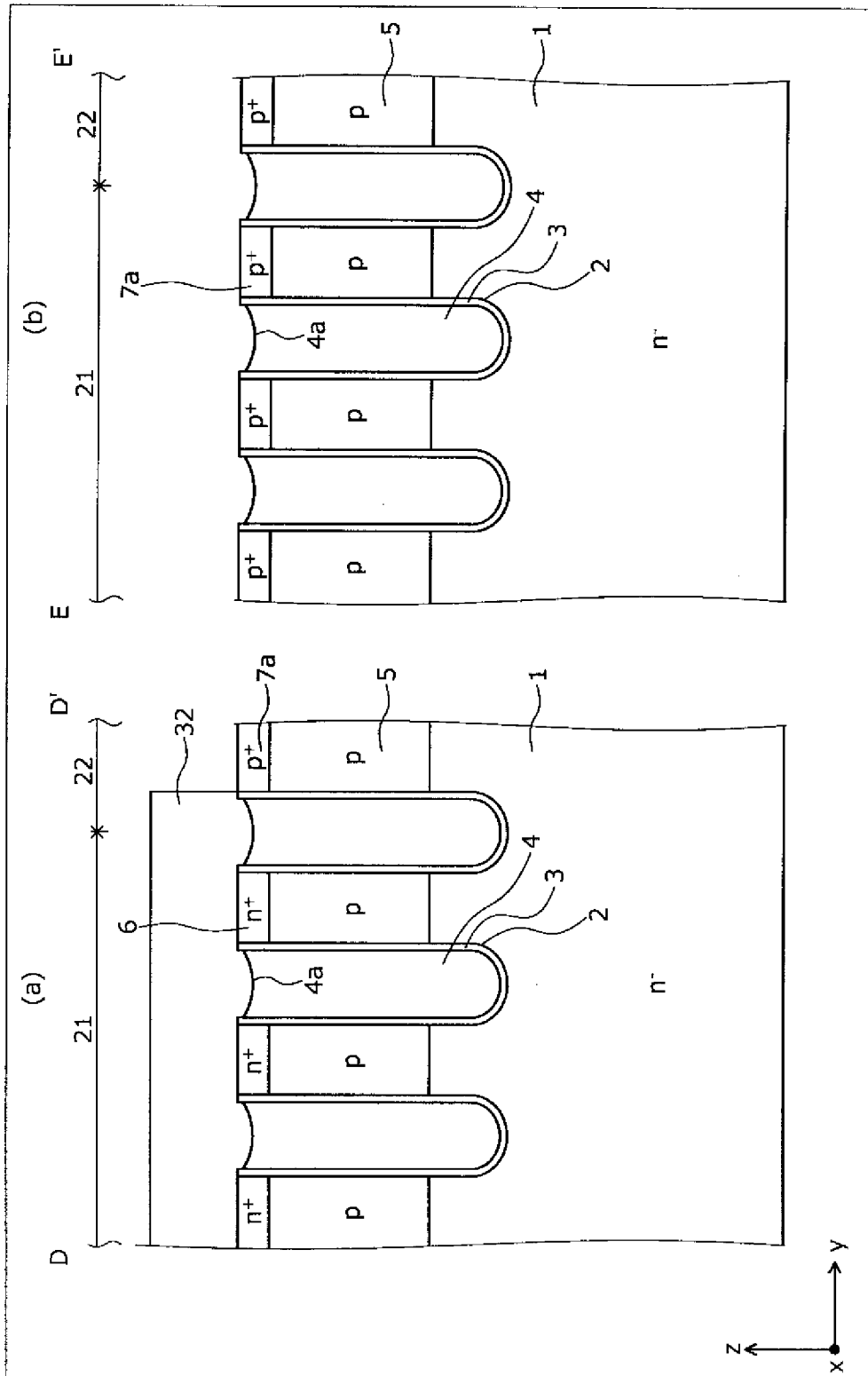
[図6]



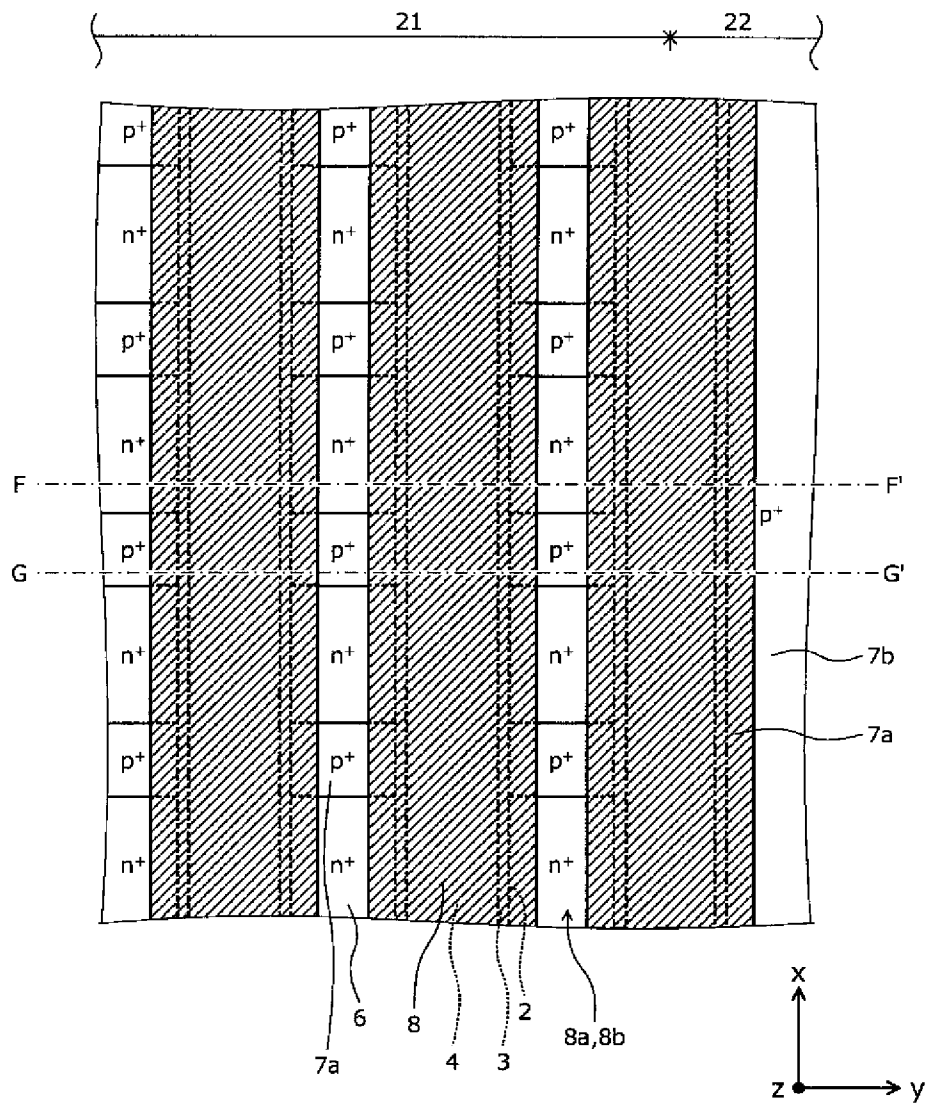
[図7]



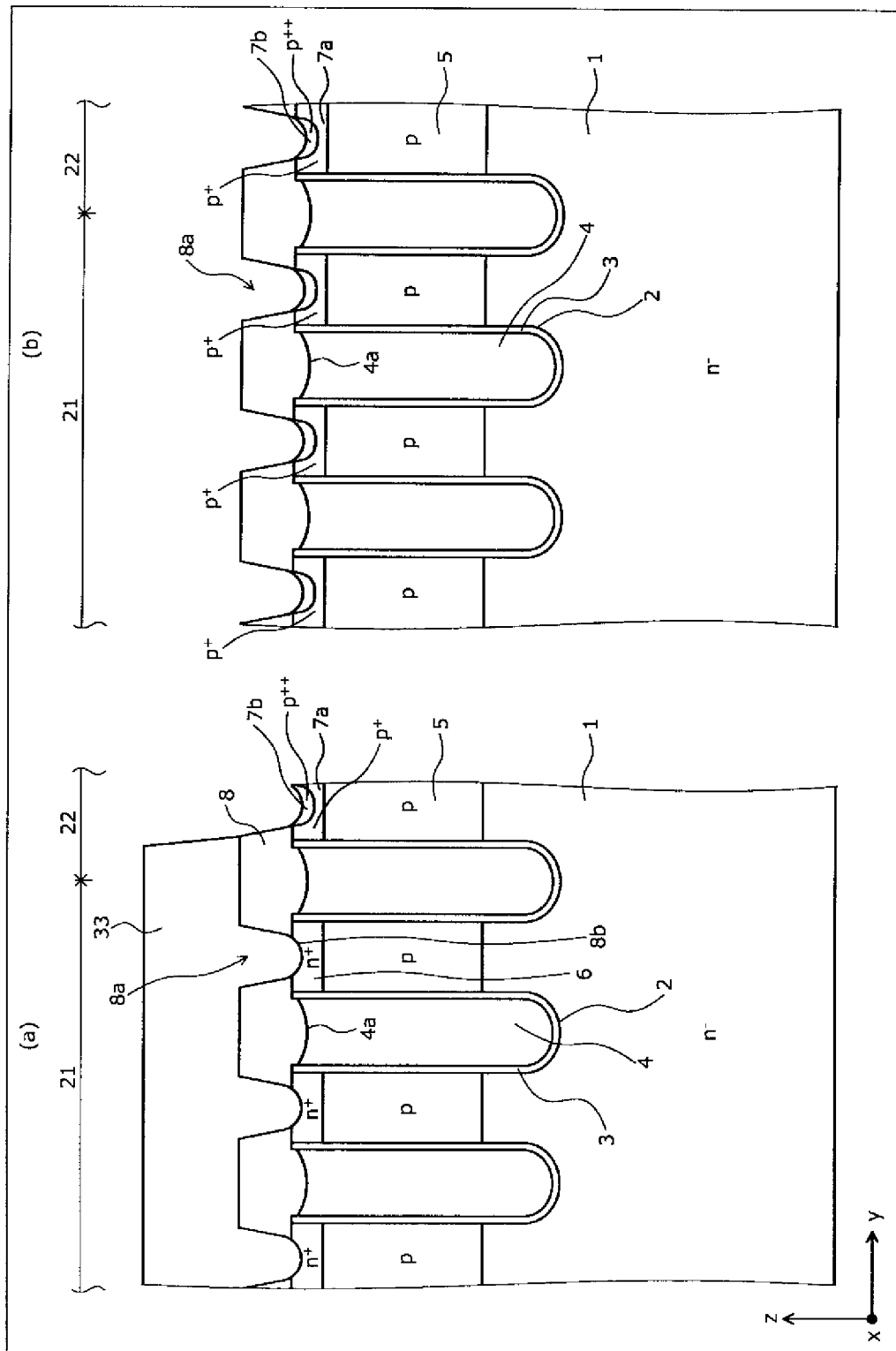
[図9]



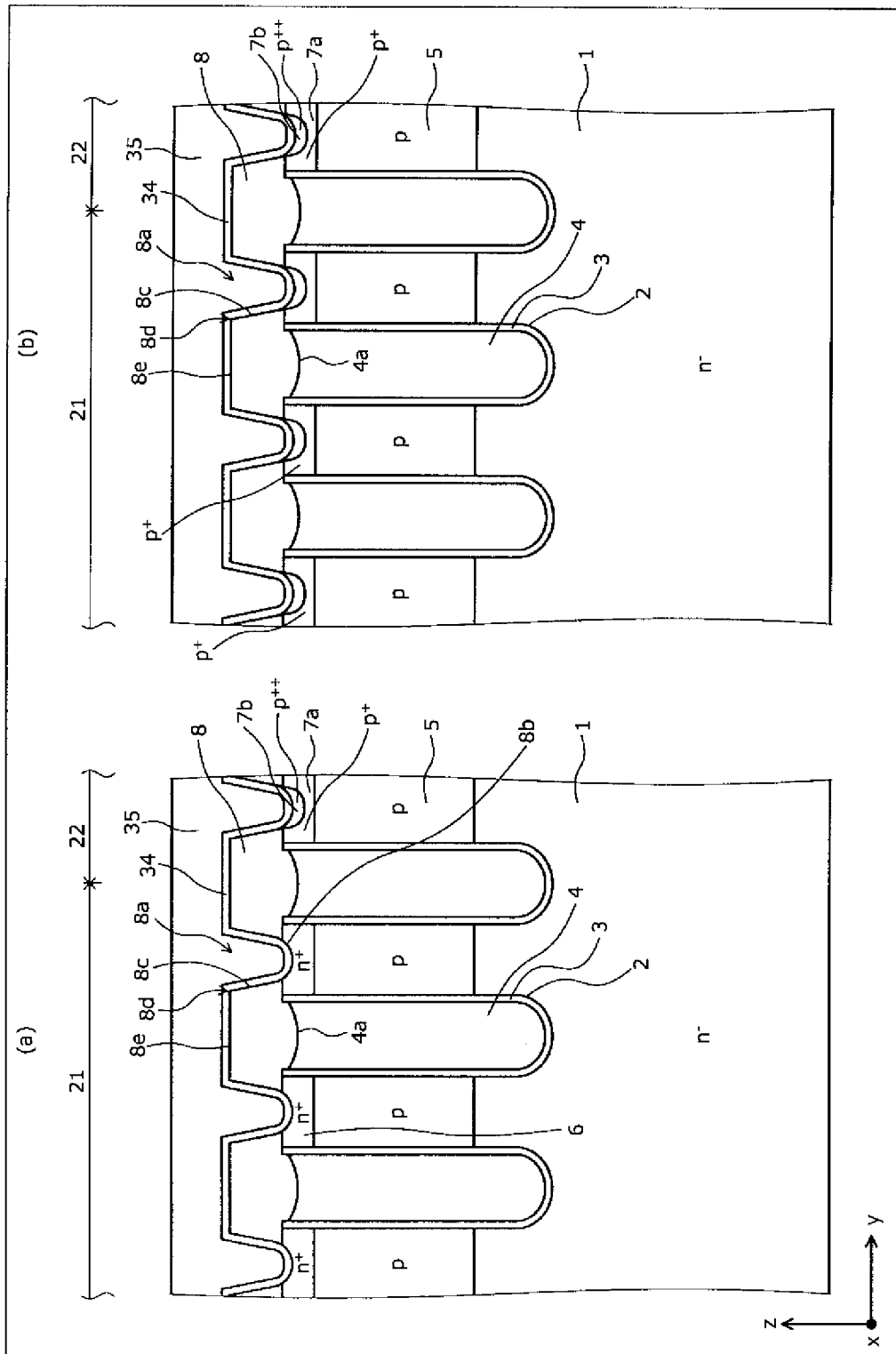
[図10]



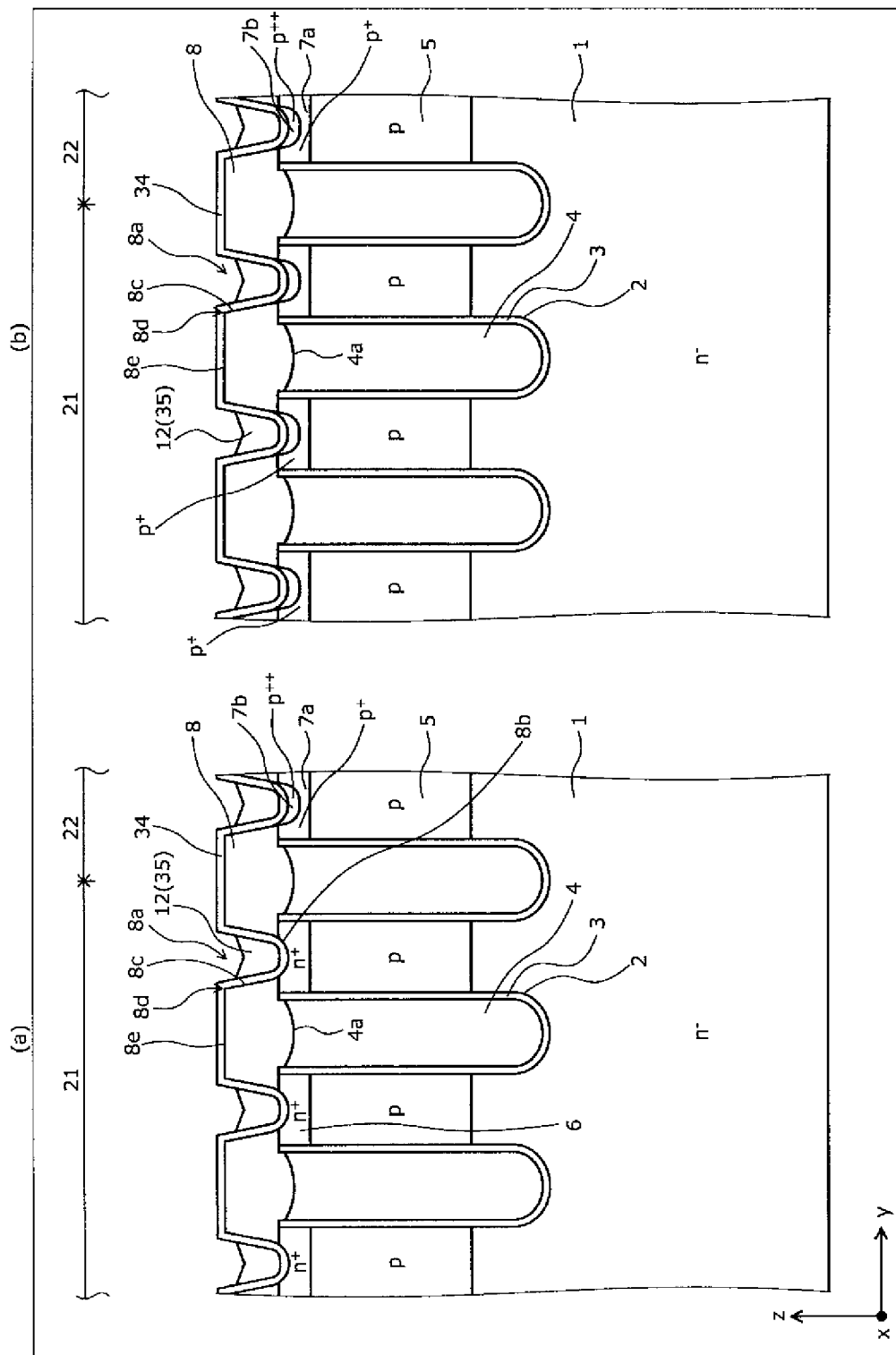
[図12]



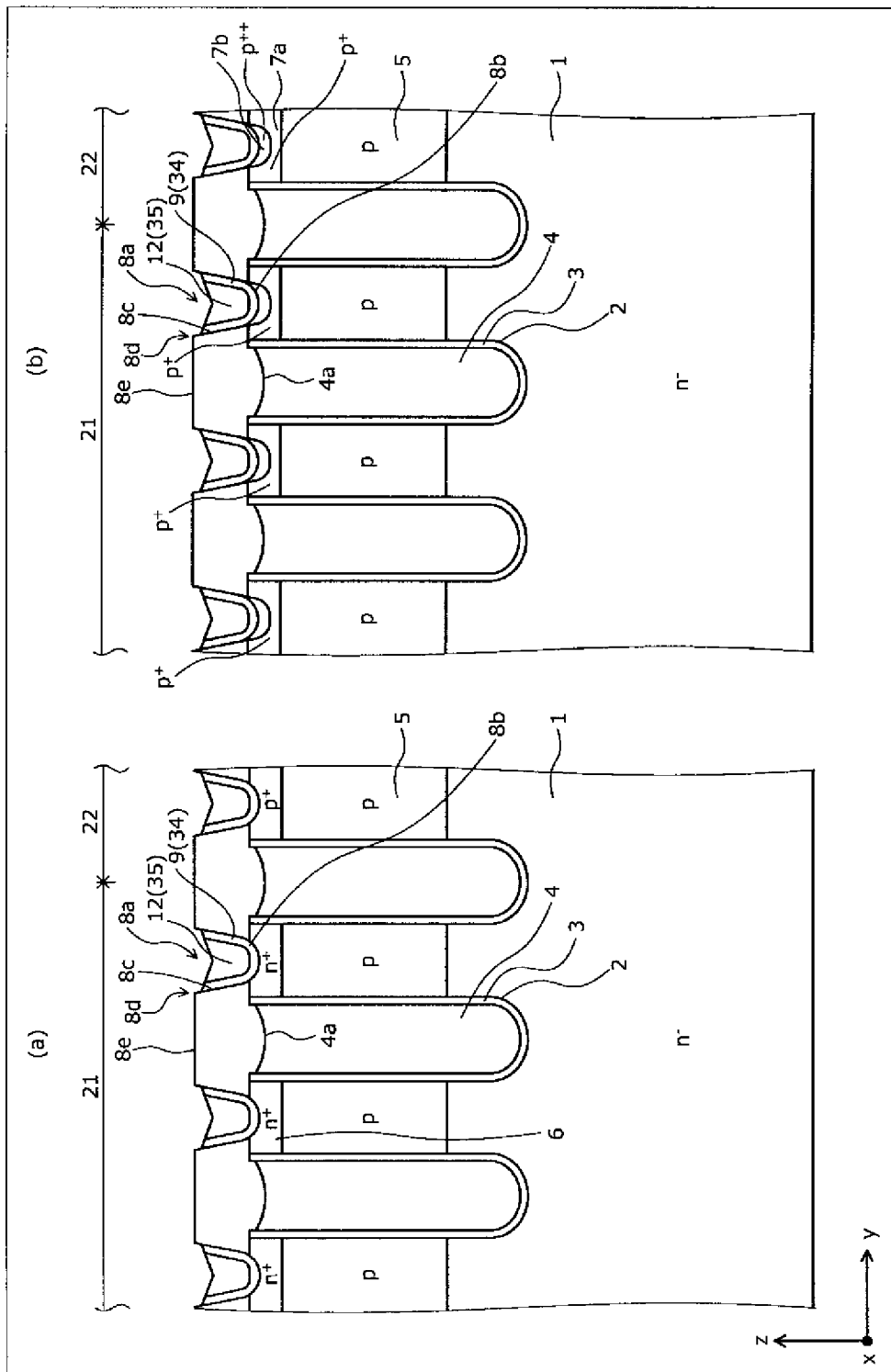
[図14]



[図15]



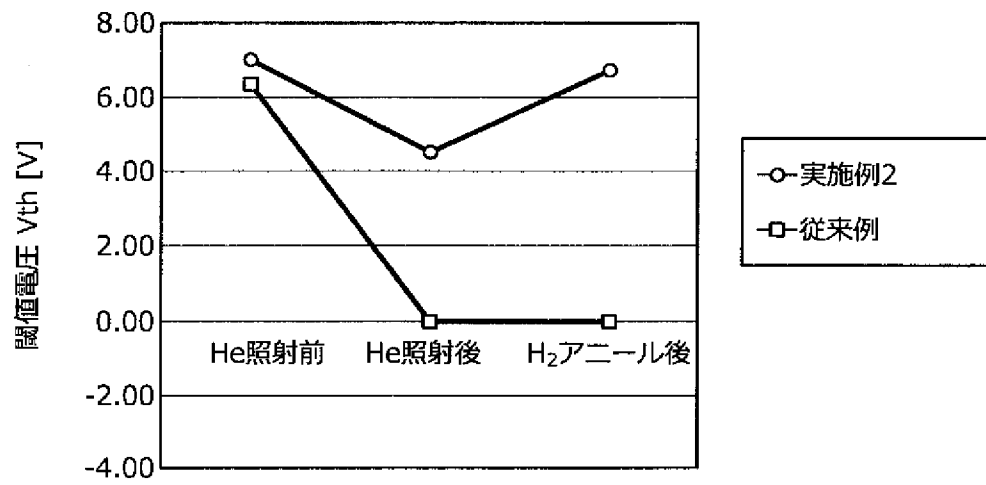
[図16]



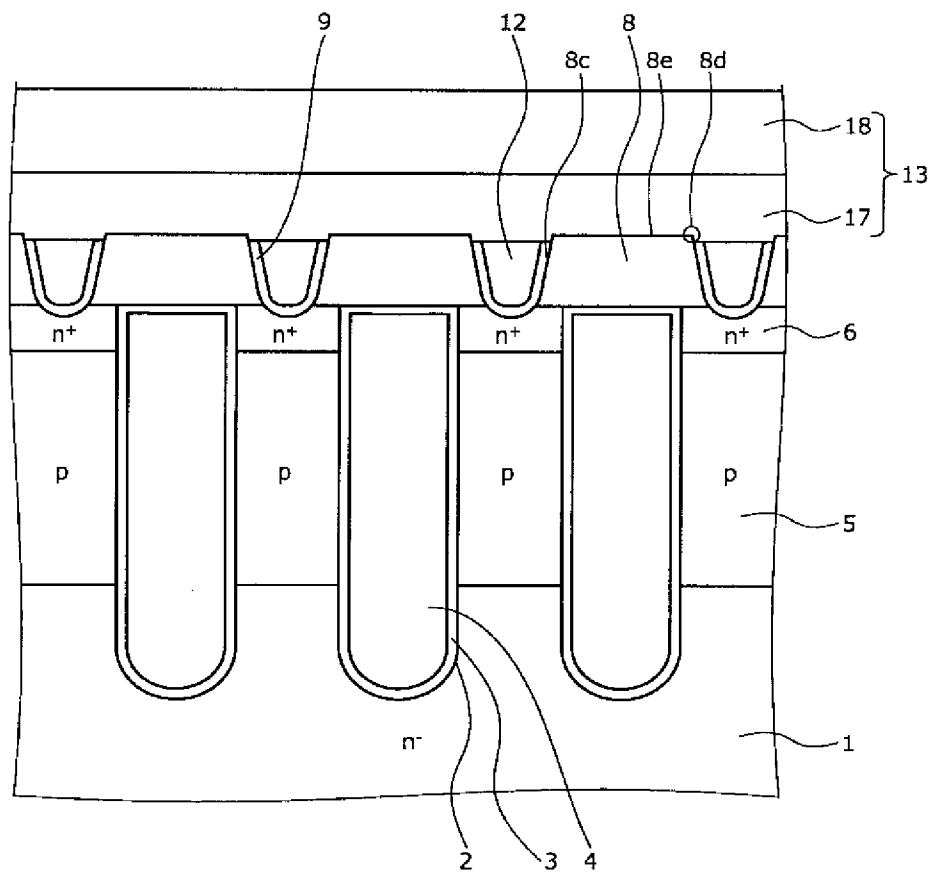
[illegible]

This diagram shows a cross-sectional view of a semiconductor device. The substrate (1) contains a series of U-shaped structures (4a, 4b, 4c) separated by spacers (2). A top layer (3) covers the structures. A scale bar indicates 1.0 μm.

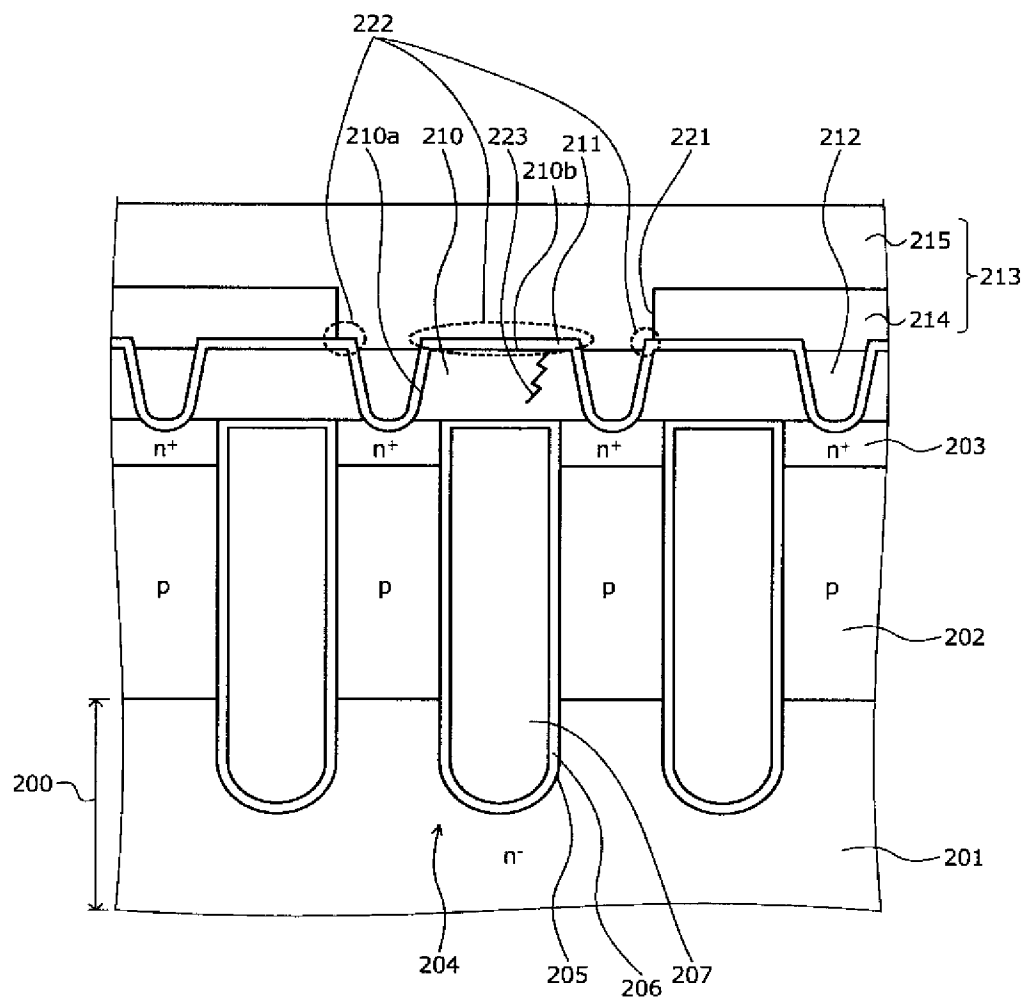
[図20]



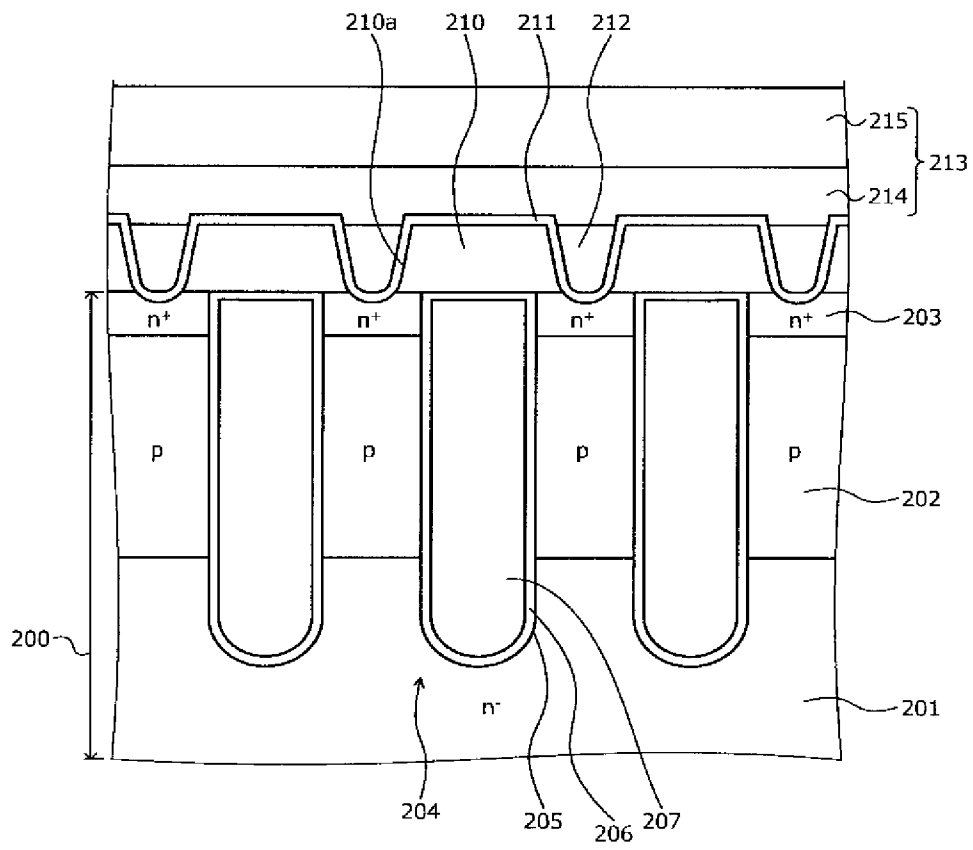
[図21]



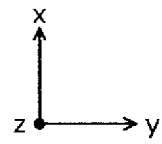
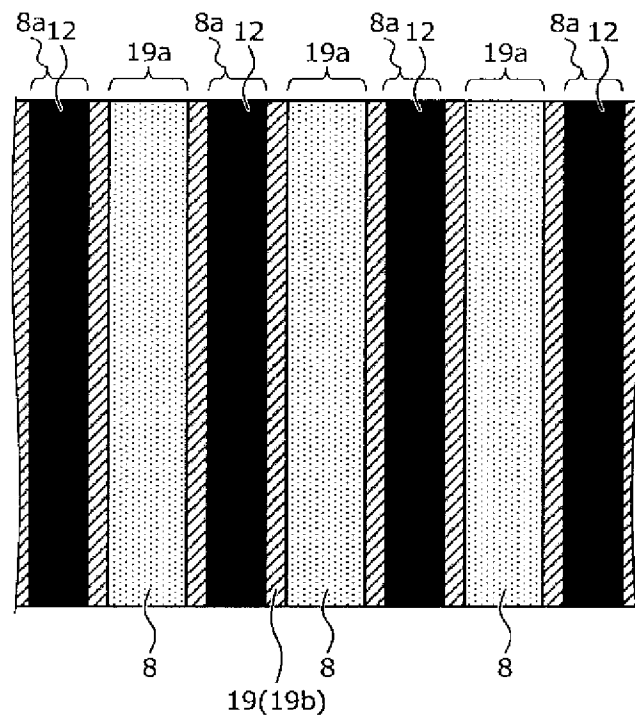
[図23]



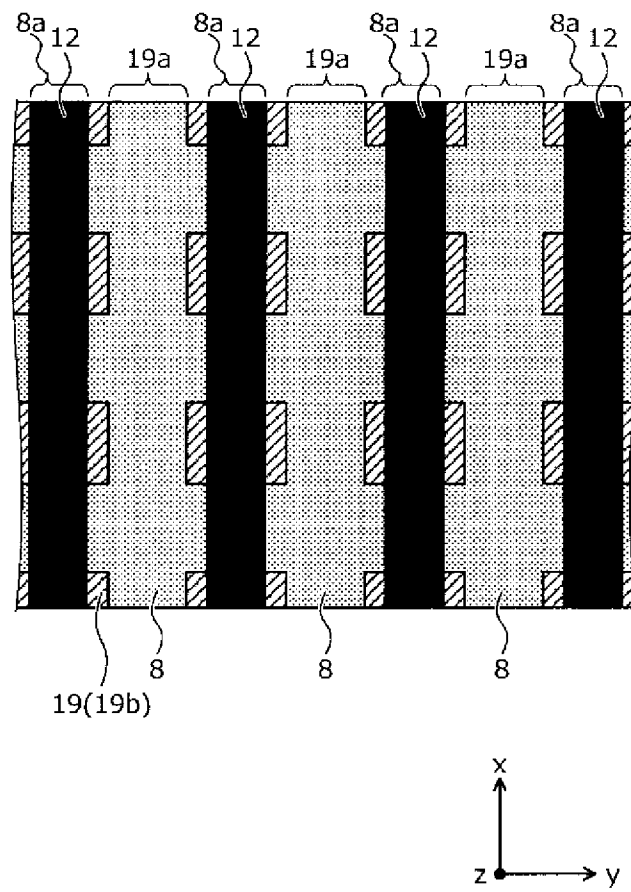
[図24]



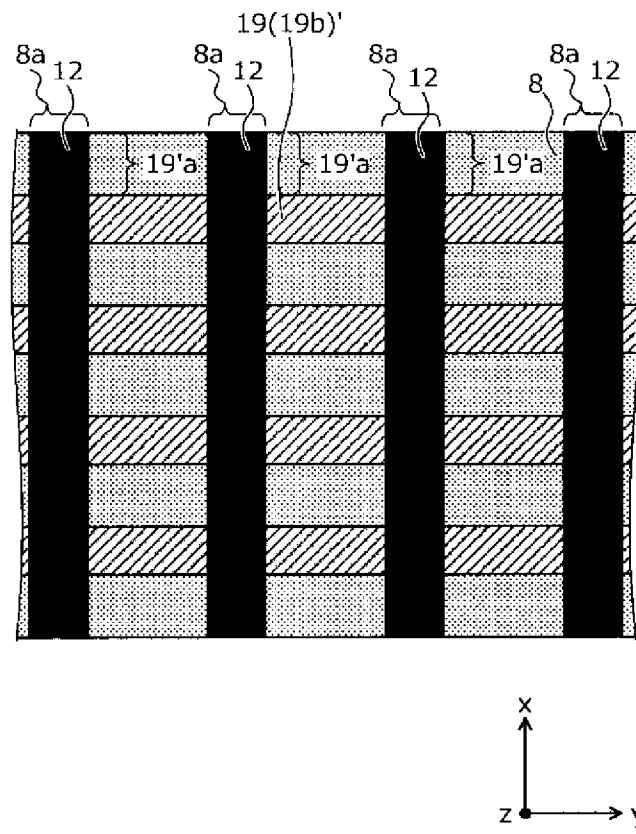
[図26]



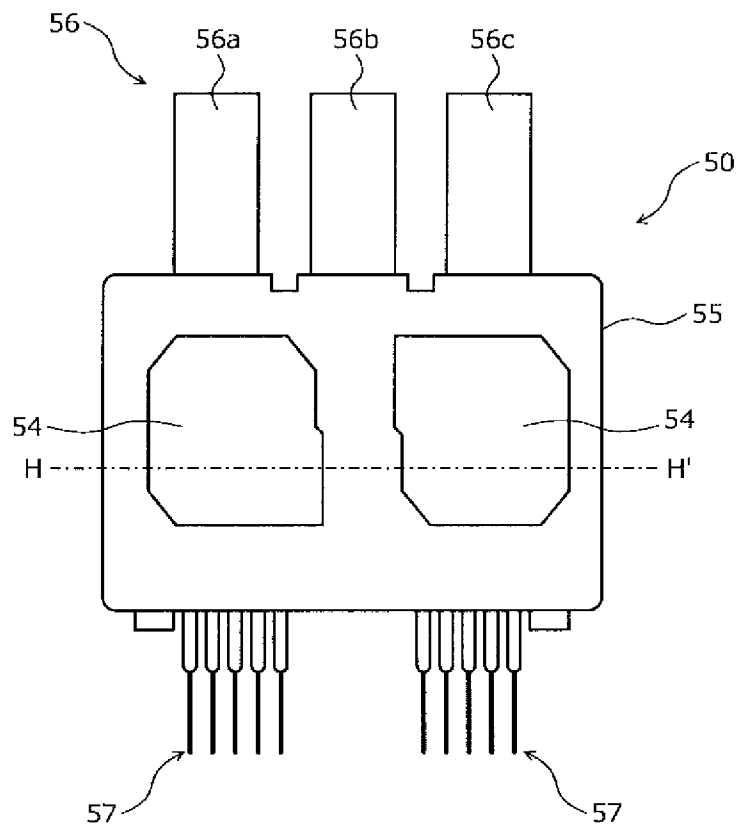
[図27]



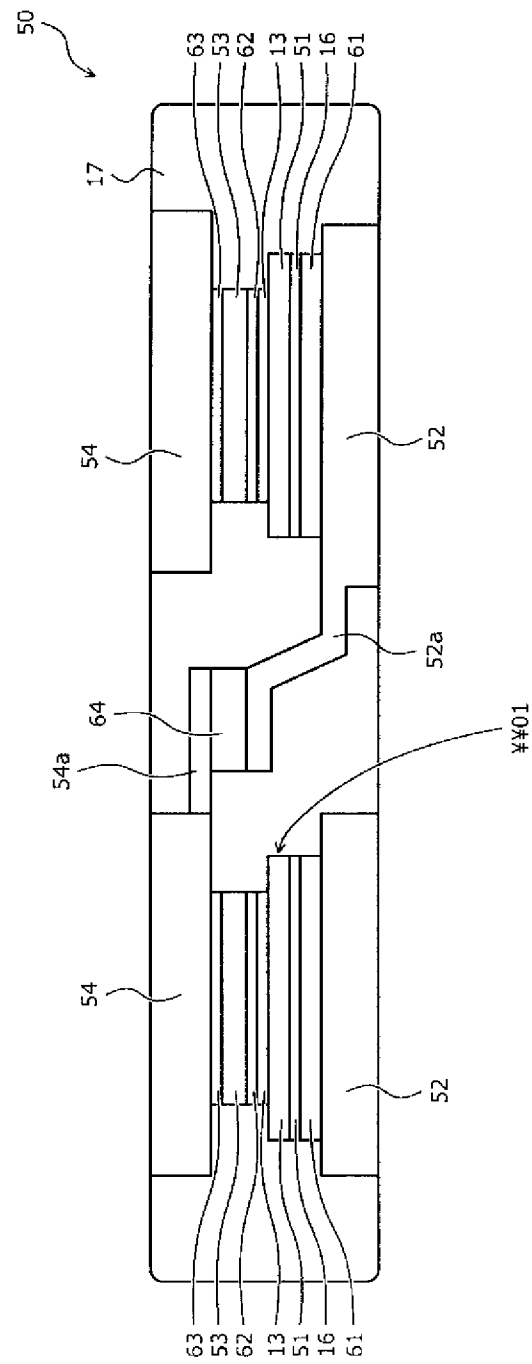
[図28]



[図29]



[図30]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/033604

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L29/78 (2006.01) i, H01L21/28 (2006.01) i, H01L21/322 (2006.01) i,
H01L21/329 (2006.01) i, H01L21/336 (2006.01) i, H01L29/41 (2006.01) i,
H01L29/739 (2006.01) i, H01L29/861 (2006.01) i, H01L29/868 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L29/78, H01L21/28, H01L21/322, H01L21/329, H01L21/336, H01L29/41,
H01L29/739, H01L29/861, H01L29/868

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2017
Registered utility model specifications of Japan	1996-2017
Published registered utility model applications of Japan	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2016/125490 A1 (FUJI ELECTRIC CO., LTD.) 11 August 2016, paragraphs [0013]-[0078], fig. 1-4, 7-31 & US 2017/0141216 A1, paragraphs [0078]-[0240], fig. 1-4, 7-31 & DE 112016000071 T5 & CN 106663692 A	1, 3, 4, 6-13, 15-17
Y		2, 5, 14, 18-22
Y	JP 2013-232560 A (NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL SCIENCE AND TECHNOLOGY, FUJI ELECTRIC CO., LTD.) 14 November 2013, paragraph [0005], fig. 8 (Family: none)	2, 14, 20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
21 November 2017 (21.11.2017)

Date of mailing of the international search report
05 December 2017 (05.12.2017)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/033604

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2012-164854 A (DENSO CORP.) 30 August 2012, paragraphs [0038]-[0039], fig. 2 & US 2012/0199900 A1, paragraphs [0064]-[0065], fig. 2 & DE 102012200056 A1	5 6-22
Y A	JP 2013-122982 A (SUMITOMO ELECTRIC INDUSTRIES, LTD.) 20 June 2013, paragraphs [0017]-[0027], fig. 1 & US 2013/0149853 A1, paragraphs [0031]-[0041], fig. 1 & WO 2013/088855 A1 & EP 2793252 A1 & CN 103918062 A	18-20 21, 22
Y	JP 2016-115735 A (MITSUBISHI ELECTRIC CORP.) 23 June 2016, paragraphs [0023]-[0062], fig. 3 (Family: none)	21, 22

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L29/78(2006.01)i, H01L21/28(2006.01)i, H01L21/322(2006.01)i, H01L21/329(2006.01)i,
H01L21/336(2006.01)i, H01L29/41(2006.01)i, H01L29/739(2006.01)i, H01L29/861(2006.01)i,
H01L29/868(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L29/78, H01L21/28, H01L21/322, H01L21/329, H01L21/336, H01L29/41, H01L29/739, H01L29/861,
H01L29/868

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2016/125490 A1 (富士電機株式会社) 2016.08.11, 段落[0013]-[0078], 図 1-4, 7-31	1, 3, 4, 6-13, 15-17
Y	& US 2017/0141216 A1, 段落[0078]-[0240], 図 1-4, 7-31 & DE 112016000071 T5 & CN 106663692 A	2, 5, 14, 18-22
Y	JP 2013-232560 A (独立行政法人産業技術総合研究所、富士電機株式会社) 2013.11.14, 段落[0005], 図 8 (ファミリーなし)	2, 14, 20

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

21.11.2017

国際調査報告の発送日

05.12.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

杉山 芳弘

5 F

6311

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2012-164854 A (株式会社デンソー) 2012.08.30, 段落[0038]-[0039], 図 2 & US 2012/0199900 A1, 段落[0064]-[0065], 図 2 & DE 102012200056 A1	5 6-22
Y A	JP 2013-122982 A (住友電気工業株式会社) 2013.06.20, 段落[0017]-[0027], 図 1 & US 2013/0149853 A1, 段落[0031]-[0041], 図 1 & WO 2013/088855 A1 & EP 2793252 A1 & CN 103918062 A	18-20 21, 22
Y	JP 2016-115735 A (三菱電機株式会社) 2016.06.23, 段落[0023]-[0062], 図 3 (ファミリーなし)	21, 22