



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0066547
 (43) 공개일자 2015년06월16일

- (51) 국제특허분류(Int. Cl.)
 H01L 29/72 (2006.01) H01L 51/05 (2006.01)
- (52) CPC특허분류
 H01L 29/72 (2013.01)
 H01L 51/0504 (2013.01)
- (21) 출원번호 10-2015-7010907
- (22) 출원일자(국제) 2013년09월20일
 심사청구일자 없음
- (85) 번역문제출일자 2015년04월27일
- (86) 국제출원번호 PCT/IB2013/058692
- (87) 국제공개번호 WO 2014/049500
 국제공개일자 2014년04월03일
- (30) 우선권주장
 2012/07163 2012년09월25일 남아프리카(ZA)

- (71) 출원인
피에스티 센서스 (프로프리에터리) 리미티드
 남아프리카, 케이프타운, 유니버시티 오브 케이프타운, 어퍼 캠퍼스, 룸 513, 알더블유 제임스 빌딩 (우: 7700)
- (72) 발명자
브리튼, 데이비드, 토마스
 남아프리카공화국, 8001 케이프 타운, 120 브리스트리트, 704 드 오드 슈르
- 하팅, 마지트**
 남아프리카공화국, 7700 모브레이, 8 트위켄함 로드, 유시티 리서치 컨트랙츠 앤 아이피 서비스즈 내
- 월턴, 스탠리, 더글러스**
 남아프리카공화국, 8005 그린 포인트, 39 하이 레벨 로드, 시5 알마 코트
- (74) 대리인
윤동열

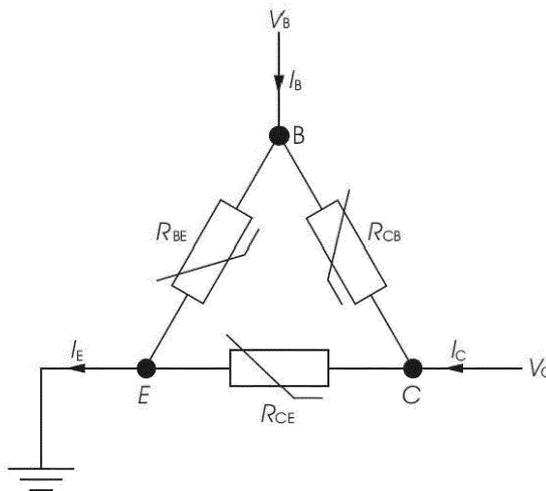
전체 청구항 수 : 총 22 항

(54) 발명의 명칭 **전류 전환 트랜지스터**

(57) 요약

본 발명에 따르면, 전자 장치 및 전자 장치를 제조하는 방법이 개시된다. 전자 장치는 반도체 물질의 몸체, 및 각각의 단자들을 형성하기 위해 적어도 3개의 도전성 접점들을 형성하는 도전성 물질을 포함한다. 반도체 물질과 도전성 접점들은 전자 장치를 형성하기 위해 적어도 부분적으로 오버랩되어, 어느 한 쌍의 단자들 사이의 전자 장치의 전기적 특성들은 배리스터의 전기적 특성들에 대응한다. 반도체 물질의 몸체는 인쇄 또는 코팅에 의해 적층된 층일 수 있다. 각 쌍의 단자들 사이의 배리스터 특성들은, 제 1 단자로의 양 전류가 있을 때, 양 전위가 인가되는 제 2 단자를 통한 미세 전류, 및 제 2 단자에 대하여 음 전위로 유지되는 제 3 단자로부터의 양 전류가 있는 방식으로, 하나의 단자와 나머지 2개의 단자들 사이의 전류의 전환을 가능하게 한다. 제 1 단자의 바깥으로의 음 전류가 있을 때, 제 2 단자로의 양 전류, 및 제 3 단자를 통한 미세 전류가 있다.

대표도 - 도2



명세서

청구범위

청구항 1

반도체 물질의 몸체, 및

각각의 단자들을 형성하는 3개 이상의 도전성 접점들을 형성하는 도전성 물질을 포함하는 전자 장치로서,

상기 반도체 물질 및 상기 도전성 접점들은 상기 전자 장치를 형성하기 위해 적어도 부분적으로 오버랩하며, 어느 한 쌍의 단자들 사이의 상기 전자 장치의 전기적 특성들은 배리스터의 전기적 특성들에 대응하는 것을 특징으로 하는 전자 장치.

청구항 2

제 1 항에 있어서, 상기 반도체 물질의 몸체는 인쇄 또는 코팅에 의해 적층된 층을 포함하는 것을 특징으로 하는 전자 장치.

청구항 3

제 1 항 또는 제 2 항에 있어서, 반도체 물질 층이 적층된 기판을 포함하고, 상기 도전성 물질은 상기 반도체 물질 층 상에 적층되는 것을 특징으로 하는 전자 장치.

청구항 4

제 1 항 또는 제 2 항에 있어서, 상기 도전성 물질이 적층되는 기판을 포함하고, 반도체 물질 층은 상기 도전성 물질 상에 적층되어 있는 것을 특징으로 하는 전자 장치.

청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

제 1 단자로의 양 전류가 있을 때, 양 전위가 인가되는 제 2 단자를 통한 미세 전류, 및 상기 제 2 단자에 대하여 음 전위로 유지되는 제 3 단자로부터의 양 전류가 있으며; 상기 제 1 단자의 바깥으로의 음 전류가 있을 때, 상기 제 2 단자로의 양 전류, 및 상기 제 3 단자를 통한 미세 전류가 있는 방식으로, 하나의 단자와 나머지 2개의 단자들 사이의 전류의 전환을 가능하게 하는 각 쌍의 단자들 사이의 배리스터 특성들을 갖는 것을 특징으로 하는 전자 장치.

청구항 6

제 1 항 내지 제 5 항 중 어느 한 항에 있어서, 배리스터 특성은 상기 반도체 물질과 상기 접점들을 형성하는 물질 사이의 동일한 정류 접합들로부터 생기는 것을 특징으로 하는 전자 장치.

청구항 7

제 1 항 내지 제 5 항 중 어느 한 항에 있어서, 상기 반도체 물질은 미립자 또는 미세 입자형 재료이고,

배리스터 특성들은, 다수의 대칭 반도체 접합들이 입자들 사이의 계면에 형성되는 상기 반도체 물질에서의 상기 대칭 반도체 접합들로부터 생겨나는 것을 특징으로 하는 전자 장치.

청구항 8

제 1 항 내지 제 5 항 중 어느 한 항에 있어서, 상기 반도체 물질은 적어도 2개의 전기적으로 상이한 물질들을 포함하는 합성물이고,

배리스터 특성들은, 다수의 무작위로 배향되거나 대향하는 정류 접합들이 상기 2개의 전기적으로 상이한 물질들 사이의 계면에 형성되는 상기 반도체 물질에서의 상기 정류 접합들로부터 생겨나는 것을 특징으로 하는 전자 장치.

청구항 9

제 1 항에 있어서, 상기 반도체 물질의 몸체는 일면에 배치된 2개 이상의 단자들 및 타면에 배치된 1개 이상의 단자를 갖는 플레이트, 층 또는 디스크의 형태를 갖는 것을 특징으로 하는 전자 장치.

청구항 10

제 1 항에 있어서, 상기 반도체 물질은 한 쌍의 대향하는 면들을 가진 원통 또는 정각 기둥의 형태를 가지며, 2개의 단자들이 각각의 상기 대향하는 면들에 배치되고, 1개 이상의 단자가 상기 대향하는 면들을 연결하는 표면에 배치되는 것을 특징으로 하는 전자 장치.

청구항 11

제 1 항에 있어서, 기관 상에 적층된 반도체 물질 층을 포함하고,
3개 이상의 단자들이 상기 반도체 물질 층의 일면에 동일면을 형성하며 배치되어 있는 것을 특징으로 하는 전자 장치.

청구항 12

제 1 항 내지 제 11 항 중 어느 한 항에 있어서, 1개 이상의 추가 접점, 및 상기 추가 접점과 다른 접점 또는 반도체 물질의 몸체 중 적어도 하나 사이에 배치된 절연 물질 층을 포함하고,
상기 1개 이상의 추가 접점은 추가 몸체 또는 접지 접점을 형성하는 것을 특징으로 하는 전자 장치.

청구항 13

제 1 항 내지 제 12 항 중 어느 한 항에 있어서, 상기 반도체 물질의 몸체는 실리콘 입자들을 포함하는 것을 특징으로 하는 전자 장치.

청구항 14

반도체 물질의 몸체를 제공하는 단계, 및
각각의 단자들을 형성하기 위해 상기 반도체 물질의 몸체에 3개 이상의 도전성 접점들을 제공하는 단계를 포함하고,
어느 한 쌍의 단자들 사이의 전자 장치의 전기적 특성들은 배리스터의 전기적 특성들에 대응하는 것을 특징으로 하는 전자 장치를 제조하는 방법.

청구항 15

제 14 항에 있어서, 상기 전자 장치 제조 방법은,
기관 상에 적어도 제 1 층의 반도체 물질을 적층하는 단계, 및
각각의 단자들을 형성하기 위해 3개 이상의 도전성 접점들을 형성하는 도전성 물질을 적층하는 단계를 더 포함하고,
상기 반도체 물질 및 상기 도전성 접점들은 상기 전자 장치를 형성하기 위해 적어도 부분적으로 오버랩하는 것을 특징으로 하는 전자 장치를 제조하는 방법.

청구항 16

제 15 항에 있어서, 상기 도전성 물질이 상기 기관에 먼저 적층되고,
상기 반도체 물질은 상기 도전성 물질에 의해 형성된 접점들과 적어도 부분적으로 오버랩하게 적층되는 것을 특징으로 하는 전자 장치를 제조하는 방법.

청구항 17

제 15 항에 있어서, 상기 반도체 물질이 먼저 적층되고,

상기 접점들을 형성하는 도전성 물질은 상기 반도체 물질 위에 적층되는 것을 특징으로 하는 전자 장치 제조 방법.

청구항 18

제 14 항 내지 제 17 항 중 어느 한 항에 있어서, 상기 반도체 물질 및 상기 도전성 물질 중 적어도 하나는 인쇄 또는 코팅 과정에 의해 적층되는 것을 특징으로 하는 전자 장치를 제조하는 방법.

청구항 19

제 14 항 내지 제 18 항 중 어느 한 항에 있어서,
기판에 반도체 물질 층을 적층하는 단계, 및
상기 반도체 물질 층의 3개 이상의 단자들을 동일면으로 적층하는 단계를 더 포함하는 것을 특징으로 하는 전자 장치를 제조하는 방법.

청구항 20

제 14 항에 있어서,
반도체 물질의 몸체를 플레이트, 층 또는 디스크의 형태로 제공하는 단계,
2개 이상의 단자들을 상기 몸체의 일면에 형성하는 단계, 및
1개 이상의 단자를 상기 몸체의 타면에 형성하는 단계를 더 포함하는 것을 특징으로 하는 전자 장치를 제조하는 방법.

청구항 21

제 14 항 내지 제 20 항 중 어느 한 항에 있어서,
절연 물질 층을 다른 접점들 또는 상기 반도체 물질의 몸체 중 적어도 하나 위에 적층하는 단계, 및
1개 이상의 추가 접점을 상기 절연 물질 층에 형성하는 단계를 더 포함하고,
상기 1개 이상의 추가 접점은 추가 몸체 또는 접지 접점을 형성하는 것을 특징으로 하는 전자 장치를 제조하는 방법.

청구항 22

제 14 항에 있어서,
반도체 물질의 몸체를 한 쌍의 대향하는 면들을 갖는 원통 또는 정각 기둥의 형태로 제공하는 단계,
제 1 단자 및 제 2 단자를 각각 상기 대향하는 면들에 형성하는 단계, 및
1개 이상의 단자를 상기 대향하는 면들을 연결하는 표면에 형성하는 단계를 더 포함하는 것을 특징으로 하는 전자 장치를 제조하는 방법.

발명의 설명

기술 분야

[0001] 본 발명은 전자 장치, 특히 트랜지스터, 및 이러한 전자 장치를 제조하는 방법에 관한 것이다.

[0002] 본 발명은 또한 인쇄, 코팅 및 패키징(packaging) 기술을 이용한 전자 장치 및 회로의 제조인 인쇄 전자 분야에 관한 것이다.

배경 기술

[0003] 트랜스컨덕턴스(transconductance) 또는 트랜스레지스턴스(transresistance)를 나타내는 전자 장치인 트랜지스터는 당업계에 잘 알려져 있다. 통상의 트랜지스터는 2개의 부류, 즉 접합 트랜지스터 및 전계 효과 트랜지스터(FET; Field Effect Transistor)로 분류된다. 릴리엔펠드(Lilienfeld)가 발명한 전계 효과 트랜지스터의 동작

의 원리 및 접합 전계 효과 트랜지스터의 디자인은 1925년 10월 22일에 특허문헌 1에서 처음으로 개시되었으며, 바딘(Bardeen)이 발명한 절연 게이트 전계 효과 트랜지스터의 변형(a variation of IG(Insulated Gate)-FET)은 1948년 2월 26일에 출원된 특허문헌 2에서 개시되었다. 쇼클리(Shockley)가 발명한 양극성 접합 트랜지스터(BJT; Bipolar Junction Transistor)는 동일자에 특허문헌 3에서 처음으로 개시되었다. 바딘 및 쇼클리는 브라타인(Brattain)과 일하면서, 처음으로 산업적으로 이용가능한 트랜지스터였던 점접촉 트랜지스터(PCT; Point Contact Transistor)를 개발하였으며, 이로 인해 1956년 노벨 물리학상을 수상하였고, 이 발명은 특허문헌 4에 개시되었다. 본질적으로, 모든 이후의 트랜지스터 개발은 전계 효과 트랜지스터 및 양극성 접합 트랜지스터의 아키텍처(architecture), 제조 또는 재료에서의 개량이었다.

[0004]

종래의 트랜지스터는 트라이오드 밸브(triode valve) 또는 진공관과 동일한 원리로 동작하여, (접합 트랜지스터에서의) 이미터(emitter)와 컬렉터(collector) 또는 (전계 효과 트랜지스터에서의) 소스(source)와 드레인(drain)으로 알려진 2개의 단자들 또는 전극들 사이의 전류를 변조하거나, (양극성 접합 트랜지스터에서의) 베이스(base) 또는 (전계 효과 트랜지스터에서의) 게이트(gate)로 알려진 제 3 전극에 전위를 인가한다. 이에 따라, 트랜지스터의 초기 응용에는, 양극성 접합 트랜지스터에서의 작은 베이스 전류의 변조가 더 큰 이미터-컬렉터 전류로의 선형 관계로 매핑되는 신호 증폭기이었다. 전계 효과 트랜지스터에서, 소스-드레인 전류의 변조의 주원인은 게이트에 대한 전위 인가로부터 생겨나는 전계에 의해 반도체 물질에서 자유 전하 캐리어들의 개수가 감소하거나 상승하는 것이다. 따라서, 이러한 부류들의 트랜지스터는 소스-드레인 전류를 온(on) 또는 오프(off)로 전환하는 데에 매우 적합하고, 논리 회로, 메모리 및 디스플레이 전환에 주로 응용된다.

[0005]

인쇄 전자에 있어서, 대부분의 개발은, 유기 반도체가 대부분인 물질을 이용하여, 절연 게이트 전계 효과 트랜지스터에서 행해져 왔다. 인쇄 무기 반도체에 있어서, 대부분의 동작 트랜지스터는, 예를 들어 비특허문헌 1에 기술된 절연 게이트 전계 효과 트랜지스터, 및 특허문헌 5에 개시된 금속 반도체 접합 전계 효과 트랜지스터이었다. 그러나, 인쇄 양극성 접합 트랜지스터의 개념은 여전히 실현되어야 하는 목표이고, 예를 들어, 슈미드 등(Schmid et al)의 특허문헌 6에 개시되어 있다. 전계 효과 트랜지스터에 대한 이러한 초점은, 트랜지스터가 상호작용 패키징, 공급 사슬 보안, 무선 주파수 식별, 및 마케팅에서 논리 게이트 및 디스플레이 구동기로서 이용되는 예상된 응용예들에 의해 크게 추진되어 왔다. 이러한 응용예들의 개발에서의 진보는, 서로 다른 물질의 복수의 층들의 특성들, 처리 동안의 상호양립성, 배열 및 두께의 정확한 제어를 필요로 하는 인쇄 트랜지스터의 복잡성에 의해 어느 정도 저해되어 왔다.

선행기술문헌

특허문헌

[0006]

- (특허문헌 0001) 특허문헌 1: CA 272,437
- (특허문헌 0002) 특허문헌 2: US 2,524,033
- (특허문헌 0003) 특허문헌 3: US 2,569,347
- (특허문헌 0004) 특허문헌 4: US 2,524,035
- (특허문헌 0005) 특허문헌 5: US 8,026,565
- (특허문헌 0006) 특허문헌 6: US 7,432,126

비특허문헌

[0007]

- (비특허문헌 0001) 비특허문헌 1: Harting et al, Appl. Phys Lett 94, 19193509 (2009)

발명의 내용

[0008]

본 발명의 제 1 양상에 따르면, 전자 부품 또는 적어도 3개의 단자들을 가진 전자부품들의 조합을 포함하는 트랜지스터로서, 상기 트랜지스터와 동등한 회로는 단자들을 연결하는 3개의 베리스터(varistor)들의 3각 네트워크이고, 1개의 단자와 나머지 2개의 단자들 중 하나 사이의 전류가, 다음과 같은 방식: 제 1 단자로의 양 전류가 있을 때, 양 전위가 인가되는 제 2 단자를 통한 미세 전류, 및 제 2 단자에 대하여 음 전위로 유지되는 제 3

단자로부터의 양 전류가 있으며; 제 1 단자의 바깥으로의 음 전류가 있을 때, 제 2 단자로의 양 전류, 및 제 3 단자를 통한 미세 전류가 있는 방식으로 경로설정되는 트랜지스터가 제공된다.

[0009] 본 발명의 제 2 양상에 따르면, 반도체 물질 및 적어도 3개의 도전성 접점 형성 단자들을 포함하는 전자 부품으로서, 반도체 물질 또는 반도체 물질 및 어느 한 쌍의 접점들의 조합은 단자들 사이의 배리스터 특성들을 부여하고, 제 1 단자로의 양 전류가 있을 때, 양 전위가 인가되는 제 2 단자를 통한 미세 전류, 및 제 2 단자에 대하여 음 전위로 유지되는 제 3 단자로부터의 양 전류가 있으며; 제 1 단자의 바깥으로의 음 전류가 있을 때, 제 2 단자로의 양 전류, 및 제 3 단자를 통한 미세 전류가 있는 방식으로, 1개의 단자와 나머지 2개의 단자들 사이의 전류를 전환하는 전자 부품이 제공된다.

[0010] 본 발명의 제 3 양상에 따르면, 반도체 물질의 몸체, 및 각각의 단자들을 형성하는 3개 이상의 도전성 접점들을 형성하는 도전성 물질을 포함하는 전자 장치로서, 반도체 물질 및 도전성 접점들은 전자 장치를 형성하기 위해 적어도 부분적으로 오버랩(overlap)하며, 어느 한 쌍의 단자들 사이의 전자 장치의 전기적 특성들은 배리스터의 전기적 특성들에 대응하는 전자 장치가 제공된다.

[0011] 일 실시형태에서, 세라믹 물질의 몸체는 인쇄 또는 코팅에 의해 적층된 층을 포함한다.

[0012] 본 전자 장치는, 도전성 물질이 반도체 물질 층 상에 적층되어 있으면서, 상기 반도체 물질 층이 적층된 기판을 포함할 수 있다.

[0013] 선택적으로, 본 전자 장치는, 반도체 물질 층이 도전성 물질 상에 적층되어 있으면서, 상기 도전성 물질이 적층된 기판을 포함할 수 있다.

[0014] 본 전자 장치는, 바람직하게는, 제 1 단자로의 양 전류가 있을 때, 양 전위가 인가되는 제 2 단자를 통한 미세 전류, 및 제 2 단자에 대하여 음 전위로 유지되는 제 3 단자로부터의 양 전류가 있으며; 제 1 단자의 바깥으로의 음 전류가 있을 때, 제 2 단자로의 양 전류, 및 제 3 단자를 통한 미세 전류가 있는 방식으로, 하나의 단자와 나머지 2개의 단자들 사이의 전류의 전환을 가능하게 하는 각 쌍의 단자들 사이의 배리스터 특성들을 갖는다.

[0015] 일 실시형태에서, 배리스터 특성은 반도체 물질과 접점들을 형성하는 물질 사이의 동일한 정류 접합들로부터 생긴다.

[0016] 또 다른 실시형태에서, 반도체 물질은 미립자 또는 미세 입자형 재료이고, 배리스터 특성들은, 다수의 대칭 반도체 접합들이 입자들 사이의 계면에 형성되는 상기 반도체 물질에서의 다수의 대칭 반도체 접합들로부터 생겨난다.

[0017] 또 다른 실시형태에서, 반도체 물질은 적어도 2개의 전기적으로 상이한 물질들을 포함하는 합성물이고, 배리스터 특성들은, 다수의 무작위로 배향되거나 대향하는 정류 접합들이 2개의 전기적으로 상이한 물질들 사이의 계면에 형성되는 상기 반도체 물질에서의 상기 정류 접합들로부터 생겨난다.

[0018] 반도체 물질의 몸체는 일면에 배치된 2개 이상의 단자들 및 타면에 배치된 1개 이상의 단자를 갖는 플레이트(plate), 층 또는 디스크의 형태를 가질 수 있다.

[0019] 선택적으로, 반도체 물질은 한 쌍의 대향하는 면들을 가진 원통 또는 정각 기둥의 형태를 가질 수 있으며, 2개의 단자들이 각각의 상기 대향하는 면들에 배치되고, 1개 이상의 단자가 상기 대향하는 면들을 연결하는 표면에 배치된다.

[0020] 본 전자 장치는, 기판 상에 반도체 물질 층을 적층함으로써 제조될 수 있고, 3개 이상의 단자들이 상기 반도체 물질 층의 일면에 동일면을 형성하며 배치된다.

[0021] 본 전자 장치는, 1개 이상의 추가 접점, 및 추가 접점과 다른 접점 또는 반도체 물질의 몸체 중 적어도 하나 사이에 배치된 절연 물질 층을 포함할 수 있고, 상기 1개 이상의 추가 접점은 추가 몸체 또는 접지 접점을 형성한다.

[0022] 전자 부품은 인쇄 또는 코팅에 의해 제조될 수 있다.

[0023] 전자부품이 제조되는 반도체 물질은 바람직하게는 실리콘 입자들을 포함한다.

[0024] 본 발명의 또 다른 양상에 따르면, 반도체 물질의 몸체를 제공하는 단계, 및 각각의 단자들을 형성하기 위해 상기 반도체 물질의 몸체에 3개 이상의 도전성 접점들을 제공하는 단계를 포함하고, 어느 한 쌍의 단자들 사이의

전자 장치의 전기적 특성들은 배리스터의 전기적 특성들에 대응하는 전자 장치를 제조하는 방법이 제공된다.

- [0025] 본 전자 장치를 제조하는 방법은, 기판 상에 적어도 제 1 층의 반도체 물질을 적층하는 단계, 및 각각의 단자들을 형성하기 위해 3개 이상의 도전성 접점들을 형성하는 도전성 물질을 적층하는 단계를 더 포함할 수 있고, 상기 반도체 물질 및 상기 도전성 접점들은 상기 전자 장치를 형성하기 위해 적어도 부분적으로 오버랩한다.
- [0026] 도전성 물질은 기판에 먼저 적층할 수 있고, 반도체 물질은 상기 도전성 물질에 의해 형성된 접점들과 적어도 부분적으로 오버랩하게 적층한다.
- [0027] 선택적으로, 반도체 물질이 먼저 적층될 수 있고, 접점들을 형성하는 도전성 물질이 상기 반도체 물질 위에 적층된다.
- [0028] 어느 경우든지, 본 전자 장치는 본질적으로 2 단계 적층 과정으로 제조된다.
- [0029] 반도체 물질 및 도전성 물질 중 적어도 하나는 바람직하게는 인쇄 또는 코팅 과정에 의해 적층된다.
- [0030] 따라서, 본 명세서에 개시된 전자 장치는 반도체 물질 및 도전성 접점들만으로 구성되고, 공지된 인쇄, 코팅 또는 박막 적층 기술을 이용하여 단지 2 단계만으로 제조될 수 있다는 것이 본 발명의 중요한 양상이다.
- [0031] 본 전자 장치를 제조하는 방법은, 기판에 반도체 물질 층을 적층하는 단계, 및 상기 반도체 물질 층의 3개 이상의 단자들을 동일면으로 적층하는 단계를 더 포함할 수 있다.
- [0032] 선택적으로, 본 전자 장치를 제조하는 방법은, 반도체 물질의 몸체를 플레이트, 층 또는 디스크의 형태로 제공하는 단계, 2개 이상의 단자들을 상기 몸체의 일면에 형성하는 단계, 및 1개 이상의 단자를 상기 몸체의 타면에 형성하는 단계를 더 포함할 수 있다.
- [0033] 본 전자 장치를 제조하는 방법은, 절연 물질 층을 다른 접점들 또는 반도체 물질의 몸체 중 적어도 하나 위에 적층하는 단계, 및 1개 이상의 추가 접점을 절연 물질 층에 형성하는 단계를 더 포함할 수 있고, 상기 1개 이상의 추가 접점은 추가 몸체 또는 접지 접점을 형성한다.
- [0034] 또 다른 실시형태에서, 본 전자 장치를 제조하는 방법은, 반도체 물질의 몸체를 한 쌍의 대향하는 면들을 갖는 원통 또는 정각 기둥의 형태로 제공하는 단계, 제 1 단자 및 제 2 단자를 각각 상기 대향하는 면들에 형성하는 단계, 및 1개 이상의 단자를 상기 대향하는 면들을 연결하는 표면에 형성하는 단계를 더 포함할 수 있다.

도면의 간단한 설명

- [0035] 도 1a 및 1b는 각각 종래의 트랜지스터 및 본 발명에 따른 트랜지스터의 기계적 스위치 유사체(mechanical switch analogues)의 동작을 도시하는 개략도이고;
- 도 2는 본 발명의 예시적 실시형태에 따른 3 단자 트랜지스터의 등가 회로의 모델을 도시하는 개략도이며;
- 도 3a는 도 2의 모델 트랜지스터 회로에 대응하는 장치의 변환 특성의 그래프로서, 100V의 컬렉터 전위에 있어서 베이스 전류에 대한 컬렉터 전류의 상관성을 도시하고;
- 도 3b는 동일한 장치의 변환 특성의 그래프로서, 20V, 60V 및 100V의 컬렉터 전위들에 있어서 베이스 전위에 대한 컬렉터 전류의 상관성을 도시하며;
- 도 4는 본 발명에 따른 트랜지스터의 제 1 예시적 실시형태의 개략도이고;
- 도 5는 본 발명에 따른 트랜지스터의 제 2 예시적 실시형태의 개략도이며;
- 도 6은 본 발명에 따른 트랜지스터의 제 3 예시적 실시형태의 개략도이고;
- 도 7a, 7b 및 7c는 본 발명에 따른 트랜지스터의 제 4 예시적 실시형태의 3개의 변형례들의 개략도이며;
- 도 8은 본 발명에 따른 트랜지스터의 제 5 예시적 실시형태의 개략도이고;
- 도 9는 도 6에 도시된 제 3 예시적 실시형태에 대응하는 원형 트랜지스터(a prototype version of a transistor)의 사진이며;
- 도 10 내지 12는 도 9에 도시된 원형 트랜지스터의 변환 기능들을 보여주는 그래프이고;
- 도 13은 도 7b에 도시된 제 4 예시적 실시형태에 대응하는 원형 트랜지스터의 사진이며;

도 14a 및 14b는 도 13에 도시된 원형 트랜지스터의 변환 기능들을 도시하는 그래프이고;

도 15는 본 발명에 따른 트랜지스터의 제 6 예시적 실시형태의 개략도이다.

발명을 실시하기 위한 구체적인 내용

- [0036] 본 발명은 일종의 전자 장치 및 이러한 전자 장치를 제조하는 방법에 관한 것이다. 구체적으로, 본 발명은, 전자 장치의 제 1 단자를 통한 전류의 방향에 따라, 제 2 단자 및 제 3 단자 중 어느 하나를 통한 전류를 경로설정하는 투-웨이 스위치(two-way switch)로 동작하는 트랜지스터에 관한 것이다.
- [0037] 본 발명은 또한 인쇄, 코팅 및 패키징 기술을 이용한 전자 장치 및 회로의 제조인 인쇄 전자 분야에 관한 것이다. 본 명세서에 있어서, 용어 "인쇄(printing)"는, 다음과 같은, 그러나 이에 한정되지 않는 방법들: 플렉소 인쇄(flexography) 또는 활판 인쇄와 같은 볼록판 인쇄; 그라비아(gravure)와 같은 오목판 인쇄; 패드 인쇄(pad printing) 및 오프셋 리소그래피(offset lithography)를 포함하는 전사법; 리소그래피 및 제로그래피(xerography)와 같은 플랫 인쇄(flat printing) 방법; 스크린 인쇄와 같은 스텐실(stencil) 방법; 및 잉크젯 인쇄와 같은 비접촉 인쇄에 의해 액체 또는 콜로이드 잉크로 기판 물질에 패턴 또는 디자인을 형성하는 것을 의미한다.
- [0038] "코팅(coating)"은 예를 들어 스프레이, 닥터 블레이드(doctor blade), 슬롯-염료(slot-dye) 또는 스핀 코팅(spin coating)에 의해 연속적인 물질 층을 적층하는 것을 의미한다. 이러한 층은 예를 들어 포토리소그래피(photolithography), 기계적 또는 레이저 새김, 또는 에칭에 의해 이후에 패턴화되는 것이 필요할 수 있다. 패키징 기술은, 열간 냉간 적층; 비인쇄 요소 및 부품의 전사; 칼렌더링(calendaring); 스탬핑(stamping); 및 엠보싱(embossing)을 포함하지만 이에 한정되지 않는, 물질의 추가, 제거 및 형성을 위한 인쇄 및 패키징 산업에서 흔하게 발견되는 다른 기술이다.
- [0039] 본 명세서에 개시된 트랜지스터는 본질적으로 반도체 물질 및 전기 접점들만으로 이루어져 있고, 공지된 인쇄 또는 박막 적층 기술을 이용하여 2 단계만으로 간단히 제조될 수 있다는 것이 본 발명의 양상이다. 그러므로, 고 전압에서 기능할 수 있는 전류 전환 트랜지스터로서, 특히, 무선 주파수 통신, 및 전계발광 디스플레이와 같은 고 전압 디스플레이 요소를 구동하는 것과 관련된 인쇄 로직의 다른 양상들에 응용할 수 있다.
- [0040] 본 명세서에 개시된 트랜지스터는, 베이스를 통한 전류가 있을 때 이미터와 컬렉터 사이에 미세 전류가 있다는 점, 및 베이스를 통한 전류의 방향에 따라 이미터와 베이스 사이 또는 베이스와 컬렉터 사이에 전류가 있다는 점에서, 전계 효과 트랜지스터 및 접합 트랜지스터 모두와 다른 동작 원리를 가진다. 비교를 쉽게 하기 위해, 2 가지 동작 원리의 기계적 스위치 유사체가 도 1에 도시되어 있다.
- [0041] 도 1a 및 1b에는, 각각, 종래의 양극성 접합 트랜지스터 및 본 발명의 트랜지스터에 대한 트랜지스터 동작의 기계적 스위치 유사체가 개략적으로 도시되어 있다. 도 1a에서, 베이스(B)로의 신호 인가는 화살표에 의해 표시된 방향으로 플런저(10)가 선형적으로 움직이는 것과 동등하며, 이에 따라, 이미터(E)와 컬렉터(C) 사이의 연결이 행해지거나 끊어진다. 도 1b에서, 베이스(B)를 통한 전류의 방향 변화는 레버(12)의 회전과 동등하며, 이에 따라, 베이스(B)와 이미터(E) 사이 또는 베이스(B)와 컬렉터(C) 사이의 연결이 행해진다.
- [0042] 따라서, 도 1a에 도시된 동작의 종래의 트랜지스터 모드는 베이스(B)에서의 전류에 의한 전하 주입(또는 전계 효과 트랜지스터의 게이트에 대한 전위 인가)은 플런저(10)의 수직적 움직임과 동등하여, 이미터(E)와 컬렉터(C) 사이의 연결이 행해지거나 끊어진다. 본 발명에 따른 트랜지스터에서, 베이스를 통한 전류의 방향 변화는 도 1b의 기계적 레버의 회전과 동등하여, 이미터 또는 컬렉터를 베이스와 연결한다.
- [0043] 본 발명의 기본 트랜지스터는 전자 부품 또는 3개 이상의 단자들을 가진 전자 부품들의 조합을 포함하고, 상기 기본 트랜지스터의 등가 회로는 도 2에 도시된 것처럼, 3개의 단자들의 각 쌍을 연결하는 3개의 배리스터들의 3 각 네트워크이다. 도 2는, 베이스(B), 이미터(E) 및 컬렉터(C)의 3개의 단자들을 가지며, 3개의 배리스터들(R_{BE} , R_{CB} 및 R_{CE})로 구성된 트랜지스터의 등가 회로의 모델을 개략적으로 도시한다.
- [0044] 도 2의 전자 장치에서, 1개의 단자와 나머지 2개의 단자들 중 하나 사이의 전류는, 다음과 같은 방식: 양 전류가 제 1 단자에 존재할 때, 즉 제 1 단자로 안쪽을 향하여 흐르는 전류가 존재할 때, 양 전위가 인가되는 제 2 단자를 통한 미세 전류가 있고, 제 2 단자에 대하여 음 전위로 유지되는 제 3 단자로부터의 양 전류가 있으며; 음 전류, 즉 제 1 단자로부터 바깥쪽으로 흐르는 전류가 있을 때, 제 2 단자로의 양 전류 및 제 3 단자를 통한 음 전류가 있는 방식으로 경로설정된다.

- [0045] 어느 한 쌍의 단자들 사이의 필요한 배리스터 특성들은, 단자들 사이의 전류 또는 인가된 전위차가 낮을 때 매우 높은 전기 저항을 가지고, 단자들 사이의 전류 또는 인가된 전위가 높을 때 낮은 전기 저항을 가지는 것이다. 전위 V_C 가 컬렉터(C)에 인가되고 양 전류 I_B 가 베이스로 주입될 때, 베이스(B)의 전위(V_B)는 이미터(E)에 대하여 큰 양의 값이면서, 컬렉터(C)에 대하여 낮은 값을 가진다. 컬렉터와 이미터를 연결하는 배리스터의 특성들에 대하여 컬렉터 전위(V_C)의 크기에 따라, 다른 트랜지스터 유형과 유사하게 오프-전류로서 설명될 수 있는 컬렉터로의 작은 전류가 있을 수 있다. 반대로, 베이스에서의 음 전류, 즉 바깥 방향으로의 전류가 있다면, 베이스 전위(V_B)는 컬렉터에 대하여 큰 음의 값을 가지며, 이미터에 대해서는 낮은 값을 가진다. 베이스와 컬렉터를 연결하는 배리스터의 저항 R_{CB} 는, 베이스를 이미터에 연결하는 배리스터의 저항 R_{BE} 보다 훨씬 낮고, 컬렉터로 흐르는 전류가 가장 많다.
- [0046] 이러한 트랜지스터는 도 2에 도시된 것처럼 함께 연결된 3개의 개별적인 배리스터들로 간단히 구성될 수 있고, 이러한 배리스터들은 전자 부품 제조 분야에서 공지된 적합한 방법에 따라 단지 3개의 단자들 또는 연결 리드들을 가진 통상의 하우징으로 함께 패키징될 수 있다. 선택적으로, 트랜지스터는, 집적 회로 제조, 박막 전자, 또는 인쇄 전자에 통상적으로 적용되는 물질의 적층 및 패터닝에 대한 기술을 이용하여, 통상의 기판 상에 적어도 3개의 개별적 배리스터들의 집적 회로로 형성될 수 있다.
- [0047] 그러나, 트랜지스터 자체는 가능한 한 적은 단계들로 제조된 단일의 전자 부품만을 포함하는 것이 바람직하다. 그러므로, 본 발명의 바람직한 실시형태에 따르면, 적어도 반도체 물질 및 단자들을 형성하는 적어도 3개의 도전성 접점들을 포함하는 전자 부품이 제조되고, 다음과 같은 방식: 제 1 단자로의 양 전류가 있을 때, 양 전위가 인가되는 제 2 단자를 통한 미세 전류, 및 제 2 단자에 대하여 음 전위로 유지되는 제 3 단자로부터의 양 전류가 있고; 제 1 단자에서의 음 전류, 즉 제 1 단자의 바깥쪽에서의 전류가 있을 때, 제 2 단자로의 양 전류 및 제 3 단자를 통한 미세 전류가 있다.
- [0048] 배리스터 특성들은 반도체 물질과 접점들을 형성하는 물질 사이의 동일한 정류 접합들의 존재로부터 생길 수 있다.
- [0049] 또 다른 실시형태에서, 배리스터 특성들은, 반도체 물질이 미립자 또는 미세 입자형 재료임에 따라, 반도체 접합이 입자들 사이의 계면을 형성하는 반도체 물질에서의 다수의 대칭 반도체 접합들로부터 생겨난다.
- [0050] 또 다른 실시형태에서, 배리스터 특성들은, 반도체 물질이 적어도 2개의 전기적으로 상이한 물질들을 포함하는 합성물임에 따라, 다수의 무작위로 배향되거나 대향하는 정류 접합들이 상기 2개의 전기적으로 상이한 물질들 사이의 계면을 형성하는 상기 반도체 물질에서의 상기 정류 접합들로부터 생겨난다.
- [0051] 반도체 물질은, 일면에 배치된 2개 이상의 단자들 및 타면에 배치된 1개 이상의 단자를 갖는 플레이트, 층 또는 디스크의 형태를 가질 수 있다.
- [0052] 한 쌍의 단자들 사이의 원하는 배리스터 특성들을 달성하는 2개의 방법들이 문헌에 공지되어 있다. 첫번째 방법은, 반도체 물질과 접점들을 형성하는 물질 사이의 동일한 정류 접합들을 구성하여, 어느 2개의 단자들 사이의 경로가 한 쌍의 동일하지만 대향하는 다이오드를 포함하는 것이다. 이러한 정류 접합은, 접점의 도전성 물질과 반도체 물질 사이의 계면을 포함하는 쇼트키 장벽(Schottky barrier)의 형태를 가질 수 있다. 선택적으로, 정류 접합은, 일종의 도전성을 가진 반도체 물질과 반대되는 도전성을 가진 또 다른 고 첨가 반도체 사이의 반도체 접합일 수 있고, 상기 고 첨가 반도체는 전기적 연결에 필요한 도전성 물질과 음 접촉을 행한다.
- [0053] 두번째 바람직한 방법은, 고유 전계 또는 전류 의존 도전성을 가지고, 이에 따라 배리스터 물질로 설명되는 반도체 물질을 사용하는 것이다. 이러한 방법의 장점은, 자유 전하를 안내한다면, 더 이상 정류 접합을 제공할 필요가 없기 때문에, 접점 및 전기적 연결을 위한 물질을 자유롭게 선택할 수 있다는 것이다. 이러한 물질의 예가 고시 등(Ghosh et al)의 WO 2012/027109, 홍 등(Hong et al)의 US 2012/0153237, 및 쉬 등(Shi et al)의 WO 2012/071051에 개시되어 있다.
- [0054] 이러한 물질들 중 대부분은 적어도 2개의 전기적으로 상이한 물질들을 포함하는 합성물이고, 배리스터 특성들은, 상기 2개의 전기적으로 상이한 물질들 사이의 계면에 형성되는 반도체 물질에서의 다수의 무작위로 배향되거나 대향하는 정류 접합들로부터 생겨난다. 선택적으로, WO 2007/0004014에 개시된 바와 같이, 실리콘 나노 입자로 구성된 단상 물질이 제공되며, 상기 단상 물질은, WO 2012/035494에서, 서미스터와 같이 응용에 적합한 우수한 배리스터 특성들을 가진다는 것이 밝혀졌다.

- [0055] 본 발명의 제 1 예시적 실시형태는, 도 2에 도시된 회로와 관련하여, TDK EPCOS에서 제조된 SIOV-S14K75 유형의 3개의 개별적인 배리스터들을 이용하여 구성된 모델 회로이다. 회로는, 베이스(B), 이미터(E) 및 컬렉터(C)로 표시된 3개의 단자들을 가진다. 컬렉터 전류(I_C)에 대한 측정된 변환 특성들은, 도 3a에서는, 100V의 컬렉터 전위에 대한 베이스 전류(I_B)의 함수로서 도시되고, 도 3b에서는, 20V, 60V 및 100V의 컬렉터 전위들에 대한 베이스 전압(V_B)의 함수로서 도시된다. 전류-전류 변환 특성은, 음의 베이스 전류에 대해 1보다 약간 작은 음의 경사의 선형 반응을 가지며, 양의 베이스 전류에 대해 낮은 오프-전류를 가진 거의 완벽한 전환 행위를 보여준다. 또한, 도 3b에 도시된 바와 같이, 전류가 변환되는 명확한 베이스 전위가 있으며, 이러한 스위치-온 전압은 컬렉터에 인가된 전위에 의존한다. 따라서, 이러한 구성의 장치는, 근사적인 단일 이득 증폭기/감쇠기로서 또는 인버터로서 사용될 수 있다. 추가적인 응용예들은 컬렉터로의 음 신호와 이미터로의 양 신호를 분리함으로써 가능한 정류, 필터링 및 신호 처리를 포함한다.
- [0056] 본 발명의 제 2 실시형태는, 반도체 물질의 몸체 및 베이스, 이미터 및 컬렉터 단자를 형성하는 적어도 3개의 도전성 접점들을 포함하는 개별적인 부품으로서의 단일체 구성의 트랜지스터이다. 예시적으로, 2개의 가능한 구성들이 도 4 및 5에 도시되어 있다.
- [0057] 도 4의 경우, 반도체 몸체(14)는 플레이트 또는 디스크 또는 물질 층의 형태를 가진 평판을 포함한다. 이격되게 인접한 이미터 단자(16) 및 컬렉터 단자(18)는 반도체 몸체(14)의 상면에 형성되어 있고, 베이스 단자(20)는 반도체 몸체의 반대측 하면에 형성되어 있다. 도시된 것처럼, 몸체(14)는 접점들에 의해 점유된 영역을 넘어 연장될 수 있다.
- [0058] 베이스 접점(20)은 서로 인접한 이미터 접점(16)과 컬렉터 접점(18)으로부터 몸체의 반대측 면에 있기 때문에, 베이스와, 컬렉터 또는 이미터 사이에서 정의된 배리스터들을 포함하는 경로는 몸체의 두께를 지나고, 이에 반하여, 컬렉터와 이미터 사이의 경로는 몸체의 상면에 가까운 횡 방향이 된다. 따라서, 이러한 구조는, 자동적으로, 동일한 전위 차에 있어서, 이미터와 컬렉터 사이의 저항이 이미터 또는 컬렉터와 베이스 사이의 저항보다 확실히 높아지게 하고, 상대적으로 작은 오프-전류를 보장한다.
- [0059] 베이스 접점(20)을 덮는 절연층(22)은 몸체(14)의 하면에 형성되고, 추가 도전성 접점(24)은 절연층의 노출면에 형성된다. 이러한 접점(24)은 트랜지스터에 대한 몸체 또는 접지 단자를 제공하는 역할을 한다.
- [0060] 도 5에 도시된 제 2 실시형태의 선택적인 구성은, 실린더 또는 정각 기둥의 형태를 가진 반도체 물질의 몸체(26), 상기 몸체의 각각의 대향하는 말단면들(32, 34)에 배치된 대향하는 환형의 이미터 단자(28)와 컬렉터 단자(30), 및 2개의 상기 말단면들을 연결하는 원통면에 배치된 적어도 1개의 베이스 단자(36)을 포함한다. 베이스 단자(36)는 도 5에 도시된 바와 같이 몸체(26)를 완전히 등갈래 감싸는 단일의 원주형 접점을 포함할 수도 있고, 몸체의 표면 중 서로 다른 위치들에 분포된 2개 이상의 개별적인 접점들을 포함할 수도 있다.
- [0061] 몸체(26)를 통하여 축방향으로 연장되는 보조 접점(38)은 동축 슬리브 또는 원통(40)에 의해 몸체의 반도체 물질로부터 분리되고, 몸체 또는 접지 단자로서 사용가능한 도 4의 접점(24)과 동등하다.
- [0062] 접지 단자는 전자 장치를 완전히 둘러싸으로써 하우징을 형성하도록 구성되거나, 또는 선택적으로, 예를 들면 도 4에 도시된 하면의 도전성 층 또는 접점(24) 또는 도 5에 도시된 도전성 동축 코어(38)와 같은 추가적인 특징으로 형성될 수 있다.
- [0063] 본 발명의 바람직한 실시형태들은 제한된 개수의 단계로 기관에 인쇄 공정 또는 박막 적층 공정에 의해 제조될 수 있다. 일반적으로, 이러한 제조는, 동시에 배치되고, 반도체 층의 동일면 상에 배치된 이미터 접점, 베이스 접점 및 컬렉터 접점을 위한 물질을 가진 동일면 구조의 접점들의 채택을 암시한다. 그러나, 특별한 응용의 경우, 예를 들면, 고 전류가 필요한 경우, 도 4에 도시된 구조와 유사한 엇갈리거나 대향하는 구조를 채택하는 것이 바람직할 수 있으며, 절연 층(22)은 폴리머 박막과 같은 절연성 물질 또는 종이 또는 직물과 같은 섬유상 물질로 구성된 기관을 포함하거나, 또는 접지 단자(24)는 금속 호일(metal foil)과 같은 도전성 물질로 구성된 기관을 포함한다.
- [0064] 도 6은, 도전성 접점들이 동일면 구조로 배치되고, 인쇄에 의해 바람직하게 제조된 본 발명의 제 3 예시적 실시 형태를 도시한다. 이러한 실시형태에서, 절연성 물질로 구성되는 비도전성 표면을 가진 기관(42)이 제공되거나, 선택적으로, 전자 장치가 제조되는 표면의 적어도 일부분을 덮는 절연성 물질 층을 가진 도전성 또는 반도체 물질이 제공된다.
- [0065] 전자 장치의 관점에서, 적층 방법 이용 및 응용 분야에 적합해야 한다는 것을 제외하고는, 기관 물질 또는 기관

의 크기의 선택에 제한은 없다. 이상적으로, 인쇄 전자 분야에서 예상되는 응용에 있어서, 기판 물질은, 연속적인 박막, 직물 또는 비직물 섬유상 물질, 또는 연속적인 박막과 섬유상 물질의 복합물일 수 있는 가요성 또는 견고한 시트 물질이다.

[0066] 박막 물질의 예는 다음과 같다: 폴리에틸렌 테레프탈레이트(polyethylene terephthalate; PET), 폴리에틸렌(polyethylene; PE), 폴리카보네이트, 폴리에틸렌 나프탈레이트(polyethylene naphthalate; PEN), 폴리이미드(캡톤(kapton), 베스펠(vespel)), 셀룰로오스 아세테이트 및 셀룰로오스 아세테이트 뷰티레이트(cellulose acetate butyrate; CAB)와 같은 셀룰로오스 유도체, 및 페놀 및 알킬 에폭시 수지를 포함하지만 이에 한정되지 않는 폴리머들; 및 강철 및 스테인리스 스틸 합금과 같은 철 금속, 구리 및 구리 합금, 알루미늄 및 알루미늄 합금, 티타늄 및 티타늄 합금, 및 마그네슘 및 마그네슘 합금을 포함하지만 이에 한정되지 않는 금속.

[0067] 섬유상 물질은 다음을 포함한다: 합성 섬유, 및 식물, 채소, 광물, 울, 면, 리넨, 또는 스톤 울(stone wool; 락 울(rock wool))과 같은 천연 섬유의 직물 및 비직물 섬유; 식물 섬유로부터 제조된 전통적 종이 및 보드, 및 듀퐁 노멕스(Du Pont Nomex)와 같은 아라미드 종이(aramid paper) 및 세라믹 종이와 같은 종이 유사 물질.

[0068] 복합 기판 물질은 다음을 포함한다: 임의의 물질로 이루어진 나노입자, 나노튜브, 나노와이어, 나노로드(nanorod) 및 삽입 나노클레이(intercalated nanoclay)와 같은 나노스케일 필러(filler)를 가진 것들을 포함하지만 이에 제한되지 않는 섬유 및 입자 강화 폴리머 및 금속; 목재와 같은 천연 물질; 슈퍼우드(superwood) 또는 칩보드(chipboard)와 같은 재구성 목재; 적층 시트; 및 적어도 하나의 표면에 형성된 연속적이거나 텍스처 코팅을 가진 박막 또는 섬유상 시트.

[0069] 박막 적층 또는 마이크로 전자기술 제조와 같은 다른 응용 또는 제조 공정에 있어서, 기판 물질은 또한 결정 또는 비결정 산화물, 나트륨 유리, 붕규산 유리, 석영, 티탄산 바륨 또는 사파이어와 같은 규산염 및 티탄산염, 또는 실리콘, 게르마늄을 포함하고 이에 한정되지 않는 반도체, 또는 갈륨 아세나이드(gallium arsenide), 인화 인듐 또는 셀렌화 인듐 구리와 같은 화합물 반도체를 포함할 수 있다.

[0070] 위의 예들은 제한하려는 의도를 가지고 있는 것은 아니다.

[0071] 베이스, 이미터, 및 컬렉터를 위한 도전성 접점들은 기판(42)의 절연층 상에 적층되고, 베이스를 정의하는 2개의 대향하는 전기 접점들(42, 46)이 각각, 이미터 및 컬렉터를 위한 접점들(50, 52)을 분리하는 좁게 연장된 갭(gap; 48)의 대향하는 말단들에 배치되는 패턴으로 형성된다. 2개의 베이스 접점(44, 46)은 컬렉터 접점(52)을 감싸는 도전성 물질의 경로(54)에 의해 연결된다. 베이스 접점들(44, 46)은 갭(48)의 길이를 결정하는 3각형 모양으로 테이퍼(taper)된 끝을 가진다는 것을 도 6으로부터 알 수 있다. 도시된 전자 장치의 구성은 이미터와 컬렉터에 대해 대칭을 이루므로, 이미터와 컬렉터는 자유롭게 서로 교환될 수 있다.

[0072] 접점들을 정의하는 도전성 물질의 적층 및 패턴링은, 예를 들어, 도전성 잉크의 인쇄에 의해, 또는 마스크를 통한 물리적 또는 화학적 증착에 의해 동일한 처리 단계에서 일어나야 한다. 인쇄 장치의 경우, 접점에 적합한 물질들은, 마이크로범위 또는 나노구조 형태일 수 있는 금속 또는 탄소를 함유하는 잉크들이지만, 인듐, 주석, 아연 및 안티모니의 산화물들과 같은 다른 도전성 물질들, 또는 PEDOT:PPS와 같은 유기 도체들을 함유하는 잉크들이 동등하게 적용될 수 있다. 반도체 물질이 박막 적층에 의해 적층될 장치의 경우, 금속의 선택은, 정류 접합에 반도체를 제공하는 데에 필요한 조합에 의해 제한될 수 있다. 따라서, 일반적으로, 몰리브덴, 팔라듐, 티타늄, 텅스텐, 니켈 또는 이들의 합금을 포함하는 높은 일 함수 금속, 또는 은, 구리 또는 주석과 같은 중간 일 함수를 가진 금속 및 합금이 바람직할 수 있다.

[0073] 그 다음에, 반도체 몸체(56)는 적층되고 패턴화되어, 4개의 접점들(44, 46, 50 및 52) 사이의 갭을 덮으며, 베이스 접점들을 통하여 연장되는 갭(48)의 축을 중심으로 거울 대칭을 가진다. 반도체 몸체(56)는, 갭(48)에 인접한 접점들의 가장 안쪽에 있는 말단들과 오버랩되기에 충분히 크다.

[0074] 점점들을 덮는 반도체 물질의 면적은 전기적 특성에 영향이 없고, 이러한 디자인에 대한 대안에서 도체 물질에 의해 분리되기 때문에, 반도체 물질은, 도체들 사이의 5개의 갭들 각각(즉, 이미터와 베이스(상단), 컬렉터와 베이스(상단), 이미터와 베이스(하단), 컬렉터와 베이스(하단), 및 이미터와 컬렉터)을 브릿지(bridge)하는 5개의 트랙(track)들을 포함하는 패턴으로 제한될 수 있다. 반도체 몸체의 적층 및 패턴링은, 예를 들어 반도체 잉크의 인쇄에 의해 또는 마스크를 통한 물리적 또는 화학적 증착에 의해 단일 단계로 행해지는 것이 바람직하다.

[0075] 인쇄 장치에서, 건조 또는 경화로 베리스터 물질을 형성하는 잉크는, 인쇄 장치의 도전성 부분들에 대한 물질의 선택에 제한을 두지 않기 때문에, 동종의 반도체들을 형성하는 것들을 이용하는 것이 바람직하다. 바람직한 물

질은, WO 2007/0004014에 개시된 특정 표면 특성들을 가진 나노 입자들이거나, WO 2012/035494에 개시된 서미스터에서의 사용을 통해 배리스터 물질을 형성하는 것으로 증명된 실리콘 입자를 포함하는 잉크이다. P3HT 또는 PEDOT와 같은 유기 반도체 물질은, 통상적인 배리스터 물질이 아닐지라도, 일반적으로 가장 흔한 금속들과 정류 접합을 형성하기 때문에 선택적으로 사용될 수 있다.

[0076] 선택적인 공정에 있어서, 적층의 순서가 뒤바뀌어, 반도체 몸체가 먼저 기판 상에 적층되고 최종 구성에서 단자와 기판 사이에 배치될 수도 있다.

[0077] 절연면을 가진 기판 물질에 인쇄, 박막 적층 또는 통상의 반도체 제조 기술에 의해 제조될 수 있는 본 발명의 제 4 예시적 실시형태는, 반도체 몸체와 접촉하고 대칭 패턴으로 배열된 3개의 단자들만을 포함한다. 본 실시형태는, 베이스 단자들(44, 46) 사이에서 연장되는 도체(54)가 중앙 컬렉터 단자(52)로의 접근을 제한한다는 점에서, 도 6의 실시형태를 하나의 회로로 집적하는 데에 어려움을 인식하였다. 결과적으로, 예를 들어 절연성 물질 및 도전성 물질을 적층함으로써 비어를 형성하는 적어도 2개의 추가 처리 단계들이 회로를 완성하는 데에 필요하다. 제 4 실시형태에서, 기판 면으로의 접근이 모든 단자들에 개방되고, 전기적 연결이 단자로서 동일한 처리 단계에서 행해지는 것을 가능하게 한다. 본 실시형태의 3개의 디자인 실시예들은, 각각 적절한 대칭을 가지면서, 도 7a, 7b 및 7c에 도시되어 있다.

[0078] 베이스, 이미터 및 컬렉터로서 사용되는 3개의 대칭 배열 전기 접점들(58, 60, 62)은 기판(64)에 적층되고 패턴화된다. 한편, 사용되는 물질 및 공정은 도 6에 도시된 실시형태와 동일하다. 그 다음에, 반도체 몸체(66)는, 단자들(58, 60, 62)의 인접한 안쪽 말단들 사이에 정의된 3각형 갭(68) 위에, 3개의 단자들을 동일하게 연결하는 3회 회전 대칭을 가진 디자인으로 적층되고 패턴화된다.

[0079] 적층된 반도체 물질(66)의 바람직한 모양들은, 도 7a, 7b 및 7c에 각각 도시된 바와 같이, 원, 접점들의 안쪽 말단들을 지나 연장되고 전기적 접촉을 행하는 변들을 가진 정삼각형, 및 접점들의 안쪽 말단들을 지나 연장되는 꼭지점들을 가진 정삼각형이다. 이전의 실시형태와 같이, 반도체 물질의 고체 층 또는 시트를 포함하는 몸체(66)는, 단자들 사이의 정확한 방향과 위치에서 만곡형 또는 직선형 트랙들에 의해 대체될 수 있다. 반도체 물질의 선택 및 제조 방법은 이전의 실시형태와 동일하며, 도체 및 반도체 물질을 적층하는 순서는 바뀔 수 있다.

[0080] 도 7a 내지 7c에 도시된 제 4 실시형태의 대칭 디자인은 각 쌍의 단자들 사이의 저항의 변화를 가능하게 하도록 변화될 수 있지만, 디자인에 있어서 제한된 유연성을 가진다. 이전의 2개의 실시형태들과 동일한 물질들 및 공정들을 이용하여 제조될 수 있는 제 5 실시형태는 이러한 파라미터들을 더욱 정밀하게 제어할 수 있게 한다. 도 8에 도시된 이러한 실시형태에서, 베이스(70)는 T의 머리(72)가 연장된 T 모양을 가진다. 이미터 및 컬렉터 접점들(74, 76)은, 베이스 단자의 머리(72)와 인접하게 배치되고, 서로 인접하게 대칭적으로 배치되는 안쪽으로 연장된 직사각형 말단부들(78, 80)을 가지며, 각각의 말단부(78, 80)의 한쪽 가장자리는 베이스 단자의 인접한 가장자리와 평행하고, 이미터 및 컬렉터 말단부들의 대향하는 가장자리들은 갭을 사이에 두고 서로 평행하게 연장한다. 종합적으로, T 모양 갭(82)이 각각의 접점들 사이에 존재한다.

[0081] 기생 저항 및 부유 용량을 최소화하기 위해, 이미터 및 컬렉터 접점들의 바깥쪽 단자부들(74, 76)은 서로 멀어지는 각도로 연장된다. 반도체 몸체(84)가 3개의 갭들을 덮도록 적층된 이후에, 등가 회로의 배리스터들의 상대 저항들은 이미터 및 컬렉터 접점들의 말단부들(78, 80)의 길이들 및 각 쌍의 접점들 사이의 갭의 길이에 의해서만 결정된다. 따라서, 이러한 디자인은 이미터-베이스, 베이스-컬렉터 및 이미터-컬렉터 채널들에 대해 비대칭 저항 값들을 가능하게 한다.

[0082] **실시예들**

[0083] 도 9는 도체 잉크 및 반도체 잉크의 스크린 인쇄에 의해 제조된 제 3 실시형태(도 6)의 원형 트랜지스터의 사진을 도시한다. 기판은 제곱미터 당 90 그램 중량의 비코팅 백상지를 포함한다. 본 실시형태의 다른 실시예들이 또한 160 gsm 비코팅 종이 보드 상에 제조되고, 100 마이크로론 PET 상에 제조되었다.

[0084] 전자 장치의 접점들 및 다른 도체 부분들은 듀폰 룩스프린트 5000 은 도체(Du Pont Luxprint 5000 silver conductor)를 이용하여 인쇄된다. 접점들이 크리에이티브 머티리얼즈(Creative Materials Inc.) 및 피켄(PChem Inc.)을 포함한 다른 제조자들로부터 얻어진 은 및 은 합금 잉크; 및 반도체 물질에 일정한 전기 독립 저항을 제공하는 듀폰 7162 룩스프린트 반투명 도체를 이용하여 인쇄된 유사한 장치들이 제조되었다.

[0085] 반도체 패턴은 실리콘 나노입자 및 아크릴 바인더를 포함하는 잉크를 이용하여 인쇄되었다. 이용된 실리콘 나노입자는 WO 2007/0004014에 개시된 유형이었으며, 실트로닉스(Siltronic)에 의해 제공된 0.005 Ω cm 보다 낮은 저항의 붕소 도핑 p 타입 실리콘 공급원료로부터 WO 2009/125370에 개시된 밀링 방법을 이용하여 제조되었다.

이용된 다른 잉크들은, 실트로닉스에 의해 제공된 유사한 저항을 가진 n 타입 실리콘 공급원료, 및 실리콘 스멜터즈(Silicon Smelters (Pty) Ltd.)에 의해 제공된 2503 등급 실리콘 금속으로부터 준비되었다.

[0086] 도 10 및 11은, p 및 n 타입 실리콘 나노입자들을 포함하는 잉크 및 은 접점들을 이용하여 인쇄된 본 실시형태의 트랜지스터들의 변환 특성들을 도시하고, 도 10a에서는 베이스 전류에 대한 컬렉터 전류의 의존성이 도시되며, 도 10b에서는 베이스 전압에 대한 컬렉터 전류의 의존성이 도시된다. 도 11에서는, 등가 회로에서의 3개의 배리스터들 각각을 지나는 (즉, 각 쌍의 단자들 사이의) 전위차들에 대한 컬렉터 전류를 묘사하는 모델 함수로의 피트(fit)가 도시된다.

[0087] 더욱 구체적으로, 도 10은, 평면 종이 기관에 은 접점들 및 p 타입 실리콘 반도체를 스크린 인쇄함으로써 제조된 제 3 실시형태에 따른 트랜지스터의 변환 특성을 도시하고, 100V의 컬렉터 전위에 있어서 베이스 전류에 대한 컬렉터 전류의 의존성(도 10a) 및 80V 및 120V의 컬렉터 전위에 있어서 베이스 전위에 대한 컬렉터 전류의 의존성(도 10b)을 보여준다.

[0088] 도 11은, 평면 종이 기관에 은 접점들 및 n 타입 실리콘 반도체를 스크린 인쇄함으로써 제조된 제 3 실시형태에 따른 트랜지스터의 변환 특성들을 도시하고, 100V의 컬렉터 전위에 있어서 베이스 전류에 대한 컬렉터 전류의 의존성(도 11a) 및 100V, 110V 및 120V의 컬렉터 전위에 있어서 베이스 전위에 대한 컬렉터 전류의 의존성(도 10b)을 보여준다. 도 11a 및 11b에서의 실선들은, 베이스 전위 및 컬렉터 전위에 대한 컬렉터 전류의 의존성을 묘사하는 모델 함수로의 피트이다.

[0089] 도 12는, 듀폰 7162 반투명 도체 및 p 타입 실리콘 잉크를 이용하여 인쇄된 접점들을 가진 다른 유사한 트랜지스터에 대한 유사한 데이터를 도시한다. 3개의 장치들에 대한 변환 특성들은 개별적인 부품들로 구성된 모델 트랜지스터의 변환 특성들(도 3)과 유사하고, 베이스 전류가 음일 때 베이스 전류에 대한 컬렉터 전류가 선형 의존성을 가지며, 베이스 전류가 양일 때 작은 오프-전류를 가진다.

[0090] 더욱 구체적으로, 도 12는, 평면 종이 기관에 반투명 도전성 산화물 접점들 및 p 타입 실리콘 반도체를 스크린 인쇄함으로써 제조된 제 3 실시형태에 따른 트랜지스터의 변환 특성을 도시하고, 120V의 컬렉터 전위에 있어서 베이스 전류에 대한 컬렉터 전류의 의존성(도 12a) 및 100V, 110V 및 120V의 컬렉터 전위에 있어서 베이스 전위에 대한 컬렉터 전류의 의존성(도 12b)을 보여준다.

[0091] 도 13은, 제곱미터 당 80 그램의 비코팅 평면 백상지 기관에 은 및 p 타입 실리콘 잉크의 스크린 인쇄에 의해 제조된 도 7a 내지 7c의 제 4 실시형태의 트랜지스터의 사진을 도시한다. 본 실시형태의 다른 실시예들도 또한 이전의 실시예들에서 설명된 물질들을 이용하여 제조되었다.

[0092] 도 14는, 도 7b에 도시된 제 4 실시형태의 트랜지스터에 대한 전류-전류(도 14a) 및 전류-전압(도 14b) 변환 특성들을 도시하고, 이전의 실시형태의 변환 특성들과 대체로 비슷하여, 음의 베이스 전류에 대한 컬렉터 전류의 선형 의존성을 가지지만, 양의 베이스 전류에 대해 약한 선형 의존성을 보여주는 약간 높은 오프-전류를 가진다. 그러나, 대칭 구성은, 비대칭 디자인과 비교하여 전류-전압 변환 특성 곡선들에서 더 높은 경사를 가지는 것처럼(도 14b), 전류가 변환되는 베이스 전위를 더 잘 정의한다. 이러한 스위치 온 전압은 컬렉터에 인가된 전위에 의존한다.

[0093] 더욱 구체적으로, 도 14는, 평면 종이 기관에 은 접점들 및 p 타입 실리콘 반도체를 스크린 인쇄함으로써 제조된 제 4 실시형태에 따른 트랜지스터의 변환 특성을 도시하고, 90V, 110V 및 130V의 컬렉터 전위에 있어서 베이스 전류에 대한 컬렉터 전류의 의존성(도 14a) 및 90V, 110V 및 130V의 컬렉터 전위에 있어서 베이스 전위에 대한 컬렉터 전류의 의존성(도 14b)을 보여준다.

[0094] 도 15는 제 4 실시형태의 특징과 제 5 실시형태의 특징을 결합한 본 발명의 제 6 예시적 실시형태를 도시한다.

[0095] 도전성 베이스, 이미터 및 컬렉터 단자들(86, 88, 90)은 절연면을 가진 기관(64) 상에 인쇄된다. 각각의 접점은, 서로에 대해 120도 방향을 가진 3개의 축들을 정의하는 안쪽으로 연장된 도전성 트랙(92, 94, 96)을 가진다. 각각의 트랙(92, 94, 96)의 양 측면에는, 동심원 커브 형태로 서로 맞물려 있는 접점들(98, 100, 102)의 세트들이 연장되어 있다. 단자들 및 서로 맞물려 있는 접점들의 패턴은, 이전의 실시형태들에서 설명된 물질 및 공정을 이용하여 기관에 적층된다.

[0096] 접점들(98, 100, 102)은 도 15에 도시된 것처럼, 일련의 원호들을 형성할 수도 있고, 또는 3각형 또는 6각형과 같은 3회 대칭을 가진 다각형의 부분들일 수 있다. 그 다음에, 반도체 몸체(104)는 이전에 설명된 것과 동일한 방식으로 접점들 사이의 갭들을 브릿지하도록 적층된다. 선택적으로, 적층의 순서가 뒤바뀌어, 반도체 패턴이

접점들과 기관 사이에 위치할 수도 있다.

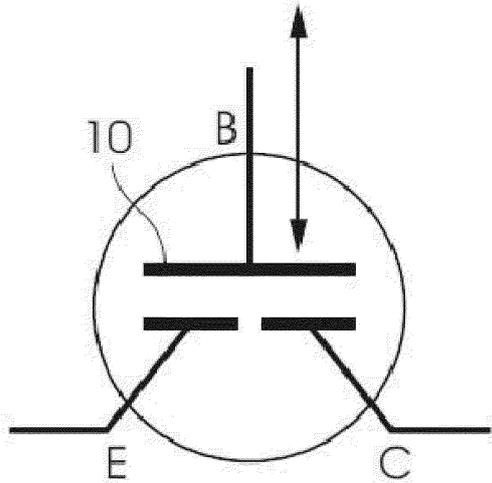
[0097]

유리하게는, 각 쌍의 단자들 사이의 배리스터들의 상대 저항들은, 3회 대칭 및 3개의 단자들로의 용이한 접근을 유지하면서, 도전성 접점들 사이의 반도체 브릿지의 길이, 폭 및 개수를 변경함으로써 자유롭게 변화될 수 있다.

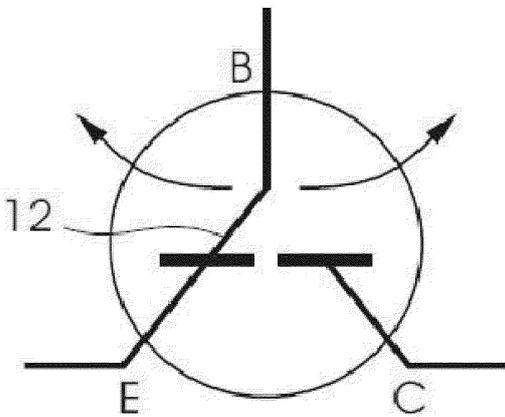
[0098]

도면

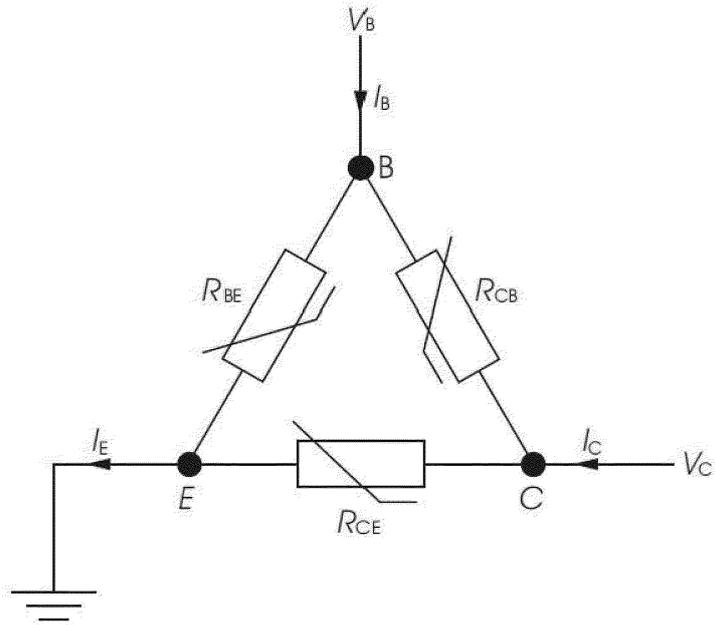
도면1a



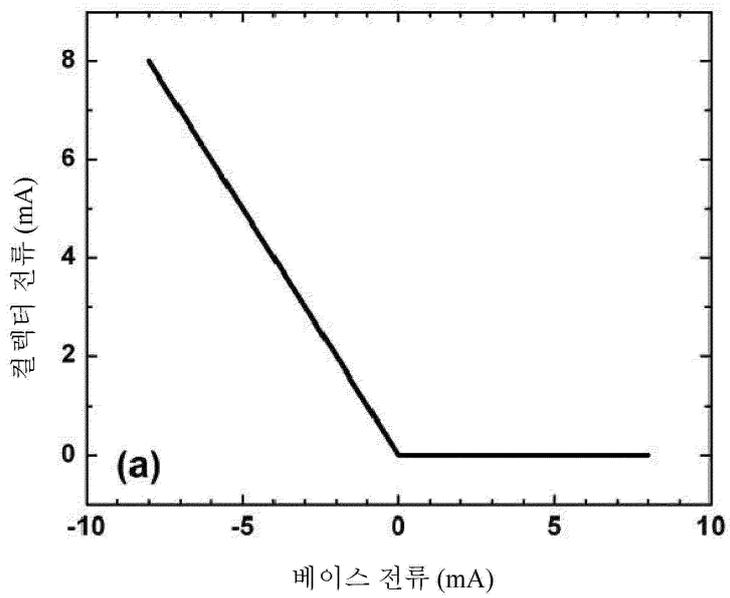
도면1b



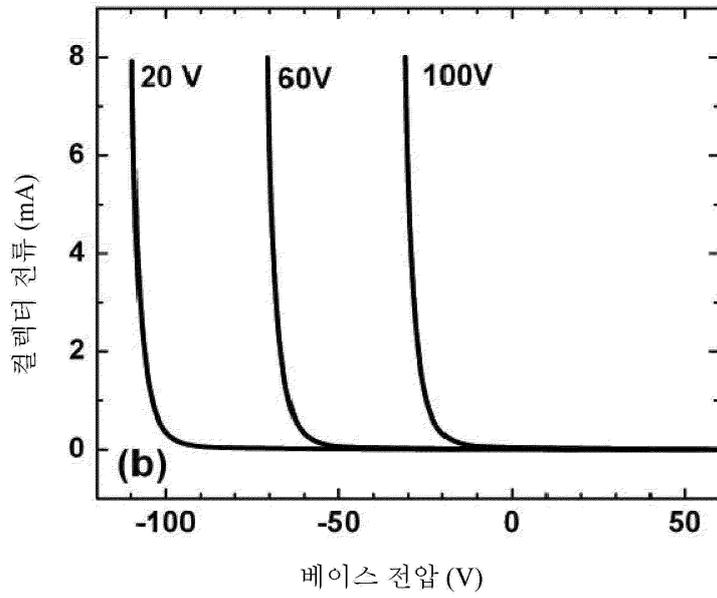
도면2



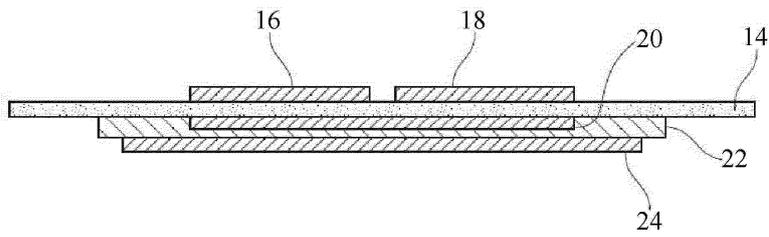
도면3a



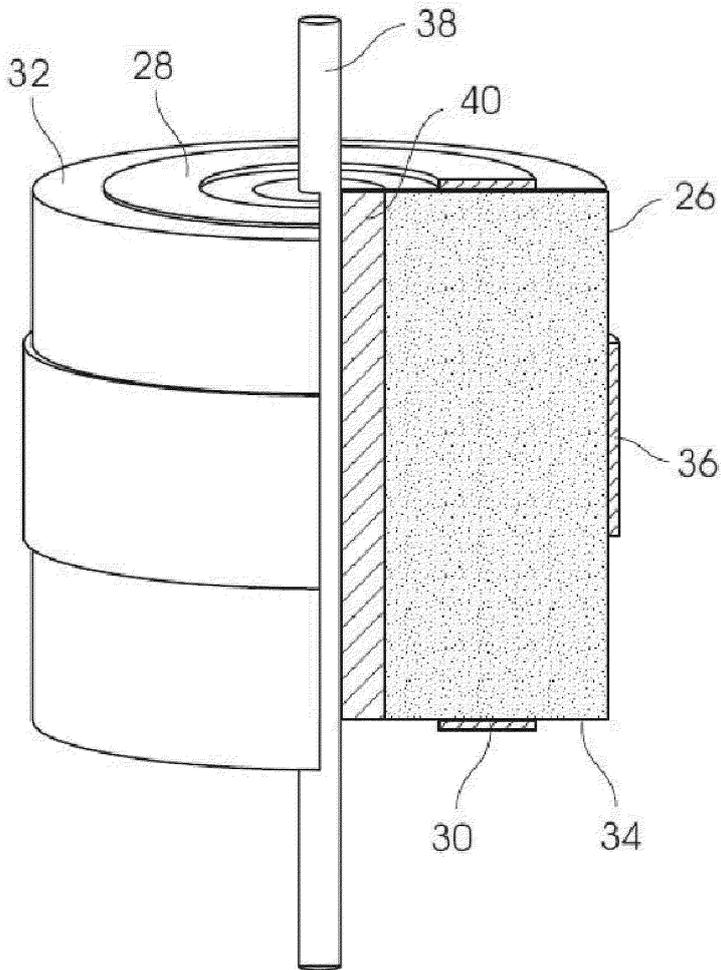
도면3b



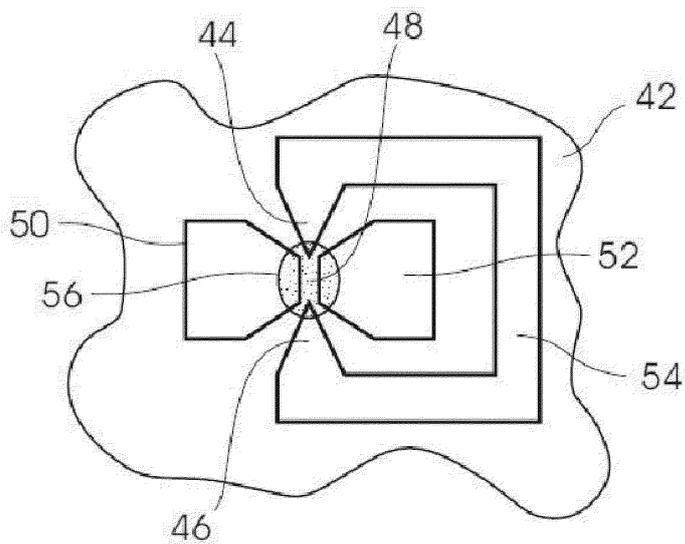
도면4



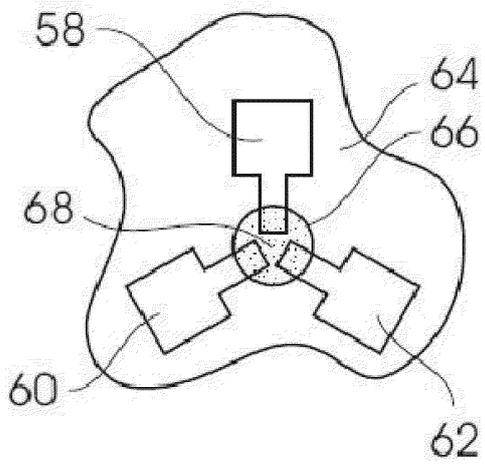
도면5



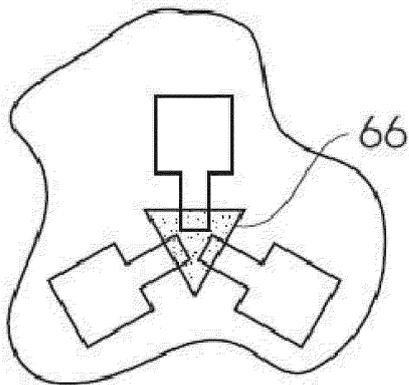
도면6



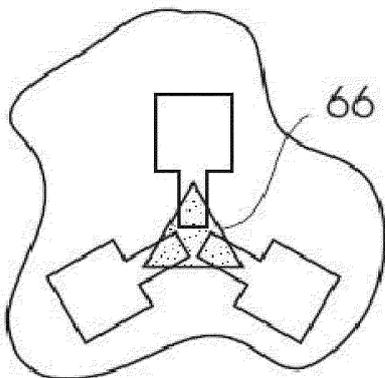
도면7a



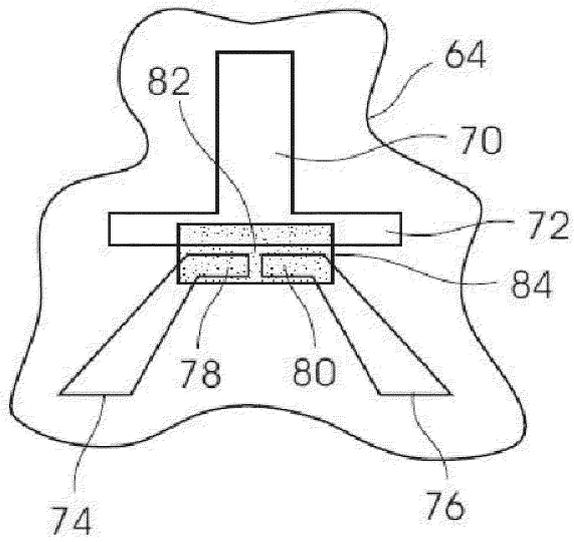
도면7b



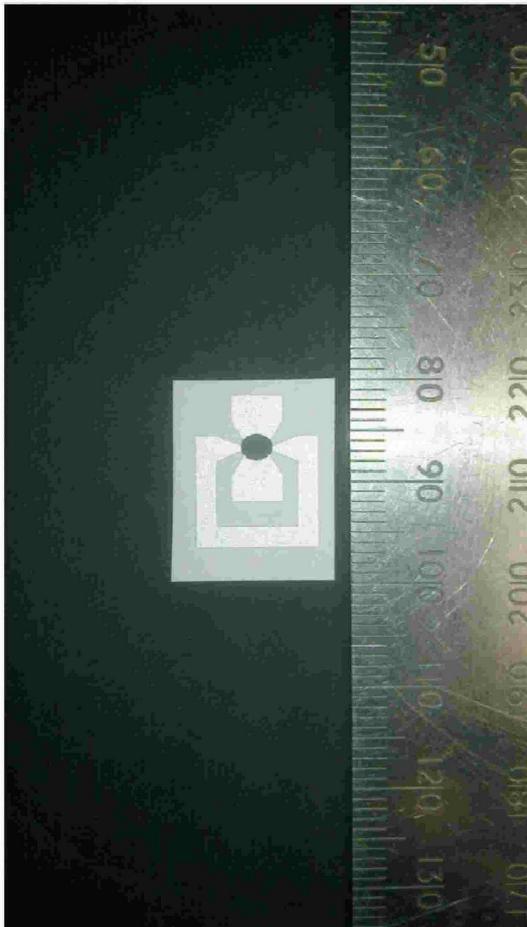
도면7c



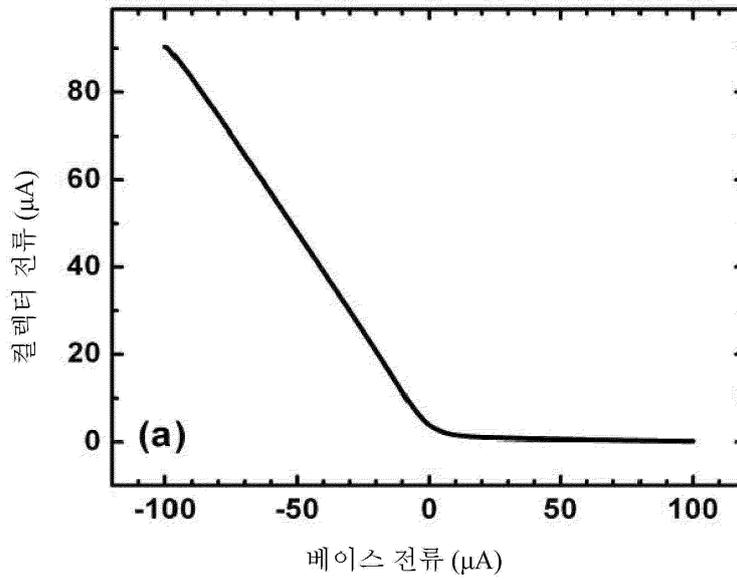
도면8



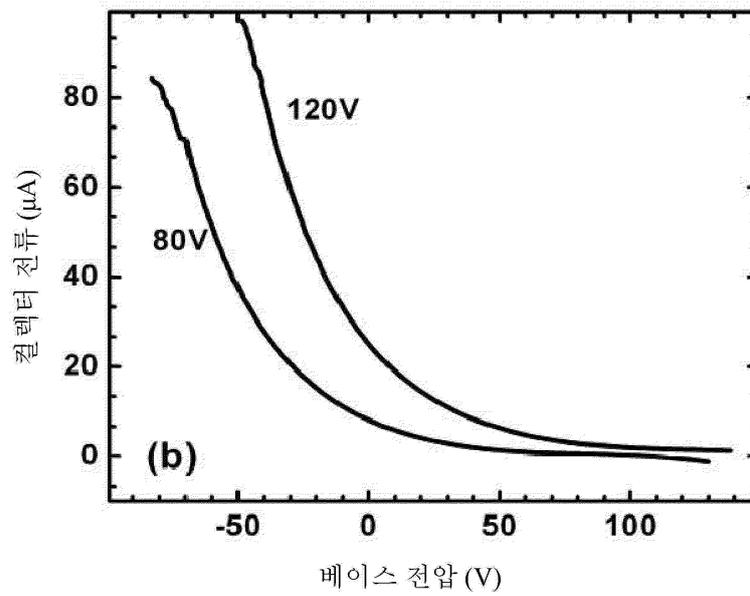
도면9



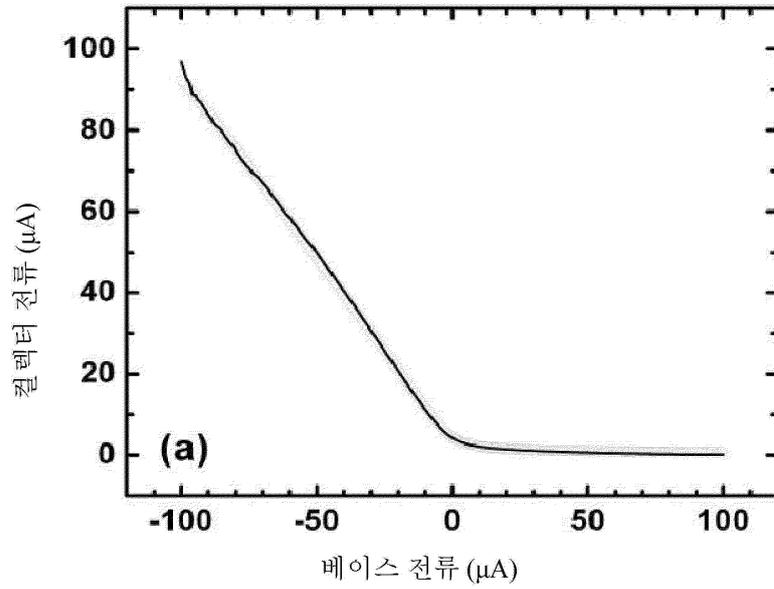
도면10a



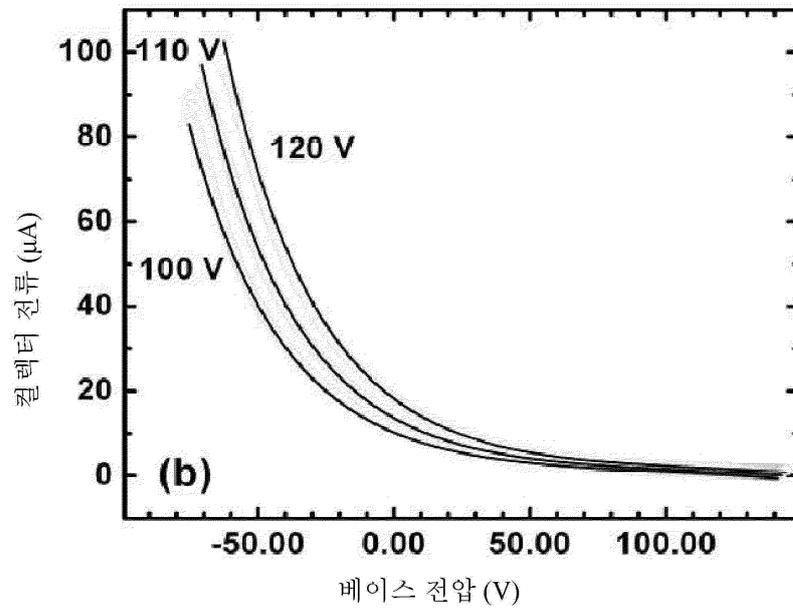
도면10b



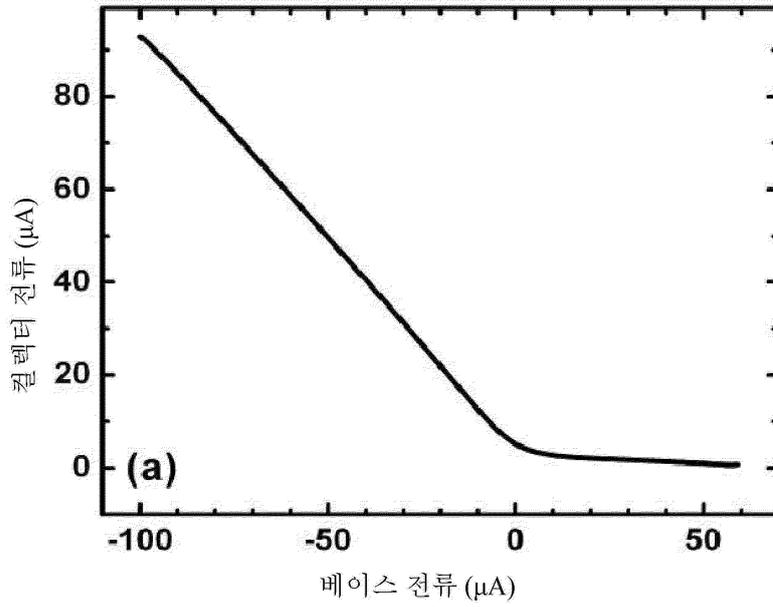
도면11a



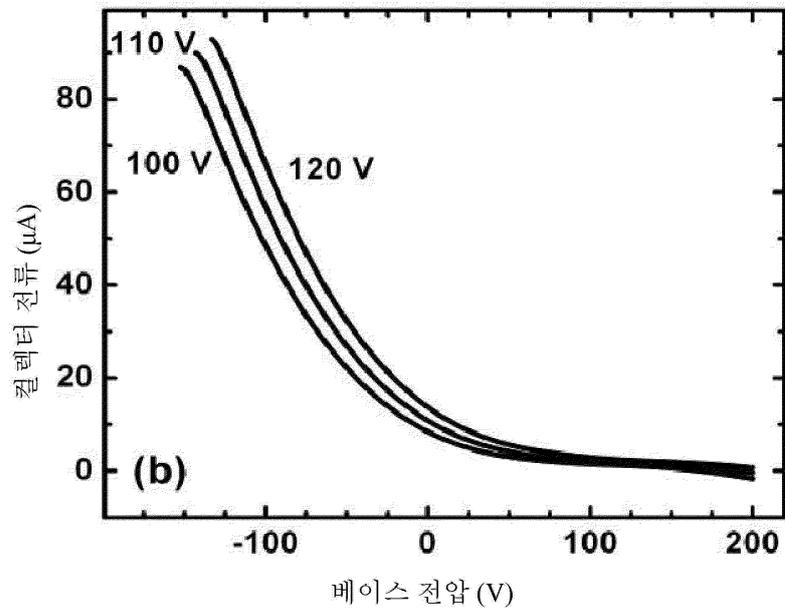
도면11b



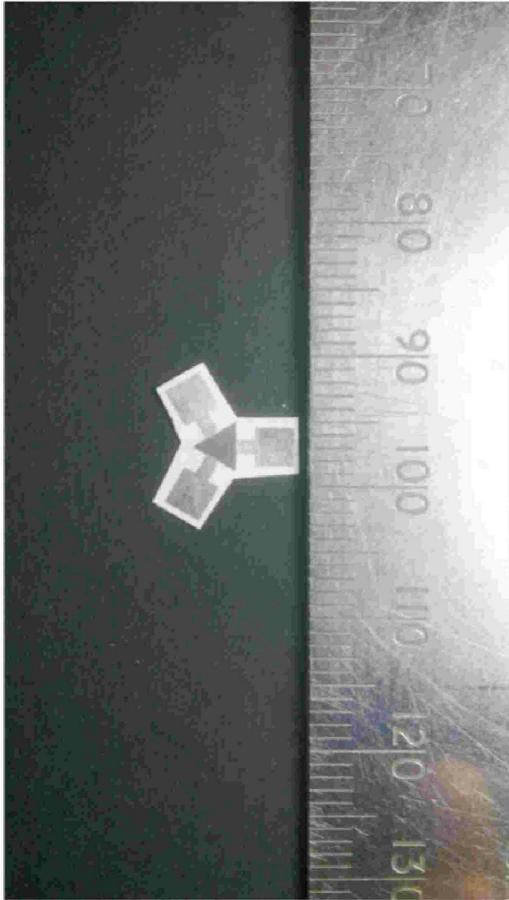
도면12a



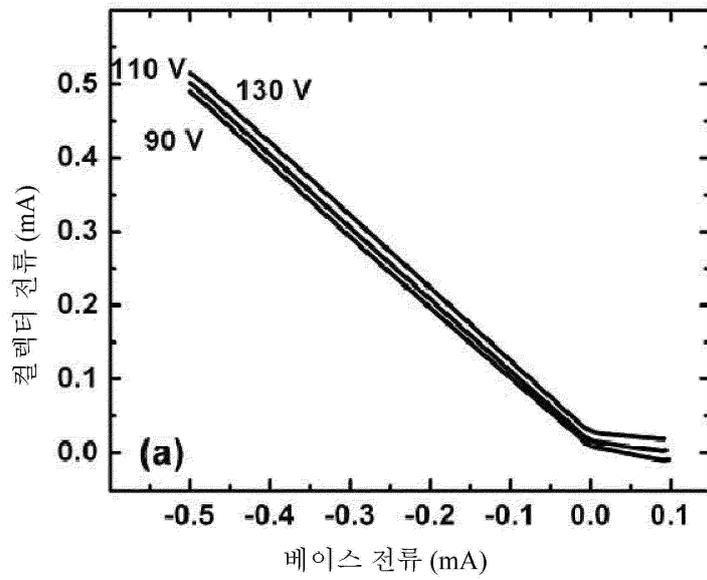
도면12b



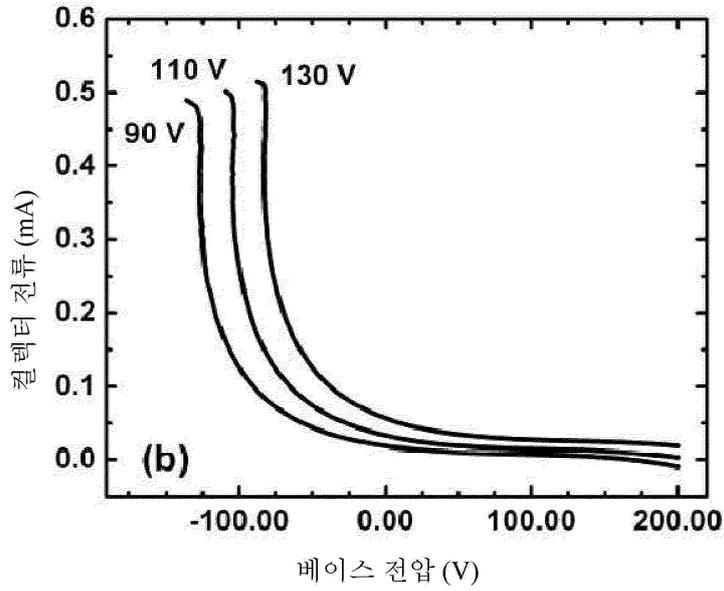
도면13



도면14a



도면14b



도면15

