

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5415766号
(P5415766)

(45) 発行日 平成26年2月12日(2014.2.12)

(24) 登録日 平成25年11月22日(2013.11.22)

(51) Int.Cl.

H01L 29/786 (2006.01)

F 1

H01L 29/78 618C
H01L 29/78 617K

請求項の数 11 (全 11 頁)

(21) 出願番号 特願2008-537752 (P2008-537752)
 (86) (22) 出願日 平成18年10月11日 (2006.10.11)
 (65) 公表番号 特表2009-514220 (P2009-514220A)
 (43) 公表日 平成21年4月2日 (2009.4.2)
 (86) 國際出願番号 PCT/US2006/040019
 (87) 國際公開番号 WO2007/050317
 (87) 國際公開日 平成19年5月3日 (2007.5.3)
 審査請求日 平成21年10月13日 (2009.10.13)
 (31) 優先権主張番号 11/257,973
 (32) 優先日 平成17年10月25日 (2005.10.25)
 (33) 優先権主張国 米国(US)

(73) 特許権者 504199127
 フリースケール セミコンダクター イン
 コーポレイテッド
 アメリカ合衆国 テキサス州 78735
 オースティン ウィリアム キャノン
 ドライブ ウエスト 6501
 (74) 代理人 100140109
 弁理士 小野 新次郎
 (74) 代理人 100089705
 弁理士 社本 一夫
 (74) 代理人 100075270
 弁理士 小林 泰
 (74) 代理人 100080137
 弁理士 千葉 昭男

最終頁に続く

(54) 【発明の名称】逆T型チャネルトランジスタを製造する方法

(57) 【特許請求の範囲】

【請求項1】

逆T型電界効果トランジスタを製造する方法であって、
 基板上に水平半導体領域と垂直活性化領域とを作るステップであって、前記水平半導体
 領域が基板の頂部表面上にあり、前記基板の頂部表面が電気的絶縁体であることを特徴と
 するステップと、

前記垂直活性化領域の第1の側であり、かつ、前記第1の側に隣接した水平半導体領域
 の第1の部分の上、及び、前記垂直活性化領域の第2の側であり、かつ、前記垂直活性化
 領域の第2の側に隣接した水平半導体領域の第2の部分の上に側壁スペーサを形成するス
 テップであって、前記第1の部分が第1の水平活性化領域であり、前記第2の部分が第2
 の水平活性化領域であることを特徴とするステップと、

前記第1の水平活性化領域と前記第2の水平活性化領域とを残すように、前記水平半導
 体領域の露出した領域を基板の頂部表面までエッチングで除去するステップと、

前記側壁スペーサを除去するステップと、

前記第1の水平活性化領域、第2の水平活性化領域、および、前記垂直活性化領域の少
 なくとも一部の上にゲート誘電体を形成するステップと、

前記第1の水平活性化領域および第2の水平活性化領域並びに前記垂直活性化領域を覆
 うように前記ゲート誘電体の上にゲート電極を形成するステップと、

前記第1及び第2の水平活性化領域の一部と前記垂直活性化領域の一部にドレイン領域
 及びソース領域を形成するステップと

10

20

を有することを特徴とする方法。

【請求項 2】

前記第1の水平活性化領域、第2の水平活性化領域、および垂直活性化領域にライナーを形成するステップを

更に有することを特徴とする請求項1に記載の方法。

【請求項 3】

前記ライナーが、前記側壁スペーサを形成するためにエッチング停止層として使用される、ことを特徴とする請求項2に記載の方法。

【請求項 4】

前記ライナーがシリコン酸化物からなることを特徴とする請求項2に記載の方法。

10

【請求項 5】

前記側壁スペーサが、窒化シリコン又はシリコン酸化物の一方からなることを特徴とする請求項1に記載の方法。

【請求項 6】

前記エッチングで除去するステップの後に、

前記第1及び第2の水平活性化領域の露出した側面部分を酸化するステップと
を更に有することを特徴とする請求項1に記載の方法。

【請求項 7】

前記側壁スペーサが、ベースを有しており、かかるベースが、前記垂直活性化領域の各側でその幅と実質的に等しい、ことを特徴とする請求項1に記載の方法。

20

【請求項 8】

前記側壁スペーサを除去するステップが、ウェットエッチングプロセスを使用することを特徴とする請求項1に記載の方法。

【請求項 9】

前記基板の頂部表面が、酸化珪素からなることを特徴とする請求項1に記載の方法。

【請求項 10】

前記側壁スペーサのベースの幅が、10オングストロームから1000オングストロームの範囲であることを特徴とする請求項1に記載の方法。

【請求項 11】

前記第1及び第2の水平活性化領域の高さが、前記垂直活性化領域の幅よりも小さいことを特徴とする請求項1に記載の方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、集積回路に関し、特に、逆T型チャネルトランジスタを製造する方法に関する。

【背景技術】

【0002】

F i n F E Tを使用することは、M O Sトランジスタの電気的特性および密度を増大させるための製造に関して非常に魅力的である。フィン(f i n)は、チャネルとして機能するように基板の上に伸び、その結果、トランジスタの多くの部分が側方ではなく、垂直である。チャネル方向は、側方であるが、構造的には、基板の表面の上である。しかしながら、困難性のひとつとして、トランジスタの電流駆動を調整する能力、特に、電流駆動を増大させることにより容易に調整できる。チャネル幅を増大させる一つの方法は、フィンの高さを増加させることであるが、それは一般的に現実的ではない。なぜならば、フィンの高さは、一般的に現実的に最大の高さが選択されており、フィンの高さを変更することができる方法は困難だからである。一般的に電流駆動を増大させるのに受け入れられる方法は、1つより多いフィンを使用することである。かくして、チャネル幅における増大は、フィンの高さの増分にだけ都合よく利用でき、各追加のフィンに関する追加のスペースを

40

50

要求する。フィンの間のスペースは、小さいのが望ましいが、どの程度小さいかは、リソグラフィのピッチ制限に制限される。

【0003】

かくして、調整可能な電流駆動を備えたFinFETのよりよい製造を提供する技術が必要とされ、フィンの高さの増大を伴わないものが好ましい。

【発明を実施するための最良の形態】

【0004】

ある態様では、FinFETの電流駆動を増大させるように、FinFETのチャネルの横方向への拡張がなされる。横方向への拡張は、基板の表面に沿ってFinFETのフィンに隣接して伸びる。フィンを覆うゲートはまた、側面の拡張も覆う。側面の拡張は側壁スペーサによって画定される。フィンは、エッチングによって形成され、かかるエッチングにより、フィンを残すのに加えて、基板の上に残された半導体材料のフロアを残す。側壁スペーサは、側面の拡張を残すために、半導体材料のフロアのエッチングにおけるマスクとして作用するように、フィンの両側に形成される。側面の拡張は、側壁スペーサの幅の範囲内で選択可能である。在来の側壁形成技術を使用して、50ないし1000オングストロームで幅を容易に調整することができる。かくして、側面の拡張は、選択可能な増大した電流駆動を生じさせるが、フィンの高さに対応した増分に制限されていない。これは、以下の説明および図面を参照してより理解することができるであろう。

【0005】

図1には、基板12、基板12の上の側面半導体層14、フィン16、及び、フィン16の上に横たわるハードマスク18を備えた半導体デバイス構造体10を示す。基板12は、トランジスタに関する物理的な支持を提供する。基板12は、酸化シリコンであるのが好ましいが、他の絶縁材料または化合物であってもよい。基板12の頂部は、絶縁されているべきである。フィン16は、マスクとしてハードマスク18を使用してエッチングによって形成される。ハードマスク18は、窒化シリコンであるのが好ましいが、他の材料または、エッチングマスクとして半導体材料に対して有効である材料の組み合わせであってもよい。フォトレジストは、フォトレジストに関して要求される厚さが比較的大きいので、これに関しては十分ではない。この例では、半導体材料はシリコンであるのが好ましいが、シリコンゲルマニウムまたはガリウムヒ素のような他の材料であってもよい。側面の半導体層14は、所望の厚さを残すようにバックエッチングされる。選択された厚さは、SOI基板における半導体の厚さを選択するためのそれらに一般的に似ている種々の周知の基準に基づく設計選択である。基板12の表面は、水平表面と考えられ、その結果、フィン16は垂直活性化領域として機能しうる。同様に、側面の半導体層は、水平活性化領域として機能しうる。

【0006】

図2に、側面の半導体層14、ハードマスク18およびフィン16の上にライナー20を形成した後、並びに、フィン16の周りに側壁スペーサ22を形成した後の半導体デバイス構造体10を示す。図2から明らかのように、側壁スペーサ22は、ライナー20の後に形成される。ライナー20は、熱成長されたシリコン酸化物であるのが好ましいが、堆積されたものでもよい。側壁スペーサ22は、窒化シリコンであるのが好ましいが、エッチングマスクとして機能する他の材料であっても良い。それは除去されるので、絶縁体でなければならないというものではない。

【0007】

図3に、マスクとしての側壁スペーサ22を使用して、側面の半導体層14をエッチングした後の半導体デバイス10を示す。これは、塩素プラズマのような異方性エッチングであるのが好ましい。このエッチングは、残される側面の半導体層14の側面を露出する。

【0008】

図4は、側面の半導体層14の側に酸化物層24を成長させた後の半導体デバイス10を示す。その目的は、引き続いての側壁スペーサ除去プロセス中に、側面の半導体層14

10

20

30

40

50

を保護することである。

【0009】

図5は、側壁スペーサ22、酸化物層24、ライナー20、およびハードマスク18を除去したのちの半導体デバイス10を示す。これら除去されたものの全ては、シリコンに関して選択エッティング可能に選択される。エッティングは、異方性エッティングである必要はないので、ウェットエッティングであるのが好ましい。等方性または異方性であるドライエッティングも使用することができ得る。

【0010】

図6は、ゲート誘電体26、および、ゲート誘電体26上のゲート28を形成した後の半導体デバイス10を示す。ゲート誘電体26は、ゲート誘電体を形成するための共通のアプローチであるシリコン酸化物の高温成長によって形成されるのが好ましい。酸化ハフニウムのような高k誘電体のような他のゲート誘電体を使用することもでき得る。かかる高k誘電体は、成長ではなく堆積されうる。半導体デバイス10のソース及びドレインは、finFETに関する従来の仕方で形成される。

10

【0011】

図7は、在来の高架部分を備えているが、この例では側方の半導体層14の一部をも含む、ゲート28の一方の側でのソース／ドレイン領域30を示す図6の半導体デバイス10の投影図である。同様に、ゲート28の他の側でのソース／ドレイン領域32は、在来の高架部分を備えているが、側方の半導体層14の一部も備えている。これは、側方の半導体層14の水平活性化領域アスペクトが、ソース、ドレイン、および、チャネルに関していることを示す。図7で別に示されていないゲート誘電体26は、ソース／ドレイン領域30及び32、側方の半導体層14、および、フィン16を覆う。

20

【0012】

かくして、図6および7は、チャネルに関するフィンと、チャネルとしての側方部分の両方を備えたトランジスタを示す。側方部分は、側壁スペーサ22の幅を調節することによって調整可能である。エッティングの後に残った側方の半導体層14の幅が大きくなればなるほど、結果としてのトランジスタの電流駆動能力は大きくなる。かくして、残ったトランジスタは、単一のフィンデバイスよりも大きなゲインを有するが、追加のフィンを追加することによって要求されうる基板12上の全ての領域は要求されない。更に、ゲインおよび結果として生じる電流駆動は、利用可能な側壁スペーサの幅の中で調節可能である。要するに、追加のフィンが、所定の1つだけ、または、選択された幅を備えた側方の半導体層を有する所定の数個を追加することができるので、いかなるゲインも選択可能である。

30

【0013】

図8は、基板52と、側方の半導体層54と、フィン56, 58, 60と、フィン56上のハードマスク62, フィン58上のハードマスク64, フィン60上のハードマスク66と、フィン56, 58, 60, 側方の半導体層54, ハードマスク62, 64, 66の上のライナー68と、フィン56の周りの側壁スペーサ70, フィン58の周りの側壁スペーサ72, フィン60の周りの側壁スペーサ74とを備えた半導体デバイス50を示す。図8の半導体デバイス50に関して参照された材料およびオプションは、半導体デバイス10に関して記載されたものと同じである。要するに、処理するにあたってこの点では、図2に示されたものと同じものが3つのデバイスとしてあるということである。

40

【0014】

図9は、図2から図3への変遷に似たマスクのような側壁スペーサ70, 72および74を使用してエッティングを実施した後の半導体デバイス構造体50を示す。この結果、別々の側方の半導体層54を各々備えた3つのデバイス構造体が生じる。エッティングが3つのデバイス構造体を分離するけれども、フォトレジストマスクは、図示していない他の場所における側方の半導体層54のエッティングを防止するように使用することができる。例えば、側方の半導体層54がソース／ドレイン領域と接触する領域は、別のトランジスタのソース／ドレイン領域と接触しうる領域であって良い。その領域では、フォトレジスト

50

マスクは、かかる接触を維持するように適用されうる。引き続いての窒化処理は、結合されたソース／ドレインの間の有効な電気的接触を保証するために有効である。

【0015】

図10は、マスク76および78を形成した後の半導体デバイス構造体10を示す。マスク76は、フィン56および、側方の半導体層54の上に形成され、その下では、フィン56の両側の側壁スペーサ70が、被覆される。マスク78は、フィン60の片側に形成され、被覆された側の側壁スペーサ74と側方の半導体層54の上に延びる。かくして、フィン60の他の側の側壁スペーサ74は露出される。フィン58の上にはマスクが無く、側壁スペーサ72は露出される。フィン60は、約200オングストロームであるのが好ましく、そのアライメントは繰り返し達成されうる。

10

【0016】

図11は、フィン60の側80の側壁スペーサ74の一部と、側壁スペーサ72とを除去した後の半導体デバイス構造体40を示す。エッチングによって、側壁スペーサ72が除去され、次いで、ライナー68が除去され、側壁スペーサ72の下にある側方の半導体層54が、次いで、除去される。同様に、側80に隣接した側壁スペーサの一部の下のライナー68が除去され、側80に隣接した側壁スペーサのいち部の下の側方の半導体層54が除去される。側方の半導体層54の一部のエッチングに対して保護する、図11には示されていない別の場所の他のマスクがあるので、ライナー68および側方の半導体層54のエッチングの間、マスク76および80は、維持される。

【0017】

20

図12は、側壁スペーサ70、残った側壁スペーサ74、および、ライナー68を除去した後の半導体デバイス構造体50を示す。かくして、フィン56, 58及び60並びに、残った側方の半導体層54は露出される。

【0018】

図13は、ゲート誘電体84, 86および88を成長させ、ゲート90および92を形成した後の半導体デバイス構造体50を示す。これにより、トランジスタ94, 96および98が生じる。トランジスタ94は、垂直活性化領域としてフィン56を使用し、フィン56に接続された側方の半導体層54は、図6および7の半導体デバイス10と類似の逆T型チャネルトランジスタとなる。ゲート誘電体84は、トランジスタ94の半導体構造体を被覆する。ゲート誘電体88は、トランジスタ98の半導体構造体を被覆する。トランジスタ96は、トランジスタ94および96の構成と統合されたプロセスによって形成された在来のFinFETの構造体を結果として有する。トランジスタ94および96は、両方のゲートとして作用する同じゲート層90を共有する。トランジスタ98は、トランジスタ94の半分の水平活性化領域を有する。これは、SRAMセルとして使用するための特定の便利な組み合わせである。

30

【0019】

図14は、トランジスタ94, 96および98のようなトランジスタを使用して作られたトランジスタを使用したSRAMセル100の回路図を示す。SRAMセル100は、Nチャネルトランジスタ102, 104, 110および112と、Pチャネルトランジスタ106および108とを有する。回路は、在来の構成である。トランジスタ102および104は、プルダウントランジスタであり、トランジスタ106および108は、プルアップトランジスタであり、トランジスタ110および112は、パストランジスタである。トランジスタ102および106は、あるストレージノードとして一緒に結合され、トランジスタ104および108は、別のストレージノードで一緒に結合される。ストレージノードを共有する各トランジスタのペアは、インバータを形成する。ビットが維持される、SRAMセル100のストレージ部分は、ラッチングアレンジメントにクロス結合されている2つのインバータを有する。パストランジスタ110および112は、ワードライン111に共に結合され、ワードライン111がイネーブルのとき、ビットライン114および116を、SRAMセル100のストレージ部分に接続する。トランジスタ110および112は、図13のトランジスタ98のように形成される。トランジスタ10

40

50

6 および 108 は、トランジスタ 96 のように形成される。トランジスタ 102 および 104 は、トランジスタ 94 のように形成される。

【0020】

図 15 は、図 14 の回路図に示したように接続されたトランジスタ 102, 106 および 110 を示す S R A M セル 100 の一部 120 の平面図を示す。部分 120 は、フィン 122, 124 および 130 を包含する。フィン 122 および 130 は、パラレルである。フィン 124 は、フィン 122 に接続された一端と、接触領域 128 があるフィン 130 の終端に接続された別の一端とを有する。フィンに関する接触領域は、この例では、フィンと同じ高さであるが、幅は異なる。図 13 のゲート電極 92 に類似したゲート電極 138 は、フィン 124 がフィン 122 と結合する場所と、接触領域 134 との間でフィン 122 を超えて通る。このゲート電極は、図 15 には示されていないが、部分 120 の上の相互接続層の金属線に通るワードライン 111 に接続される。ゲート電極 138 がフィン 122 の上を通る場所で、側方の半導体層 142 は、フィン 122 の底部でフィン 122 から側方にのびる。側方の半導体層 142 は、図 13 においてフィン 60 に隣接する側方の半導体層 54 と類似する。かくして、フィン 122, ゲート電極 138 および側方の半導体層 142 は、トランジスタ 98 のようなトランジスタ 110 を形成するように用いられる。接触領域 134 は、図 14 に示したようにビットライン 114 に対してコンタクトを設けるように用いられる。ビットライン 114 は、図 15 には示されていないが、部分 120 の上の相互接続層の金属線に通る。

【0021】

トランジスタ 102 および 106 は、トランジスタ 94 および 96 のタイプを達成するように同様に構成される。フィン 124 のしたの領域のフィン 122 は、両側に側方半導体層 142 を有する。一方、フィン 130 は、それに隣接した側方の半導体層 142 を有しない。図 13 のゲート電極 90 に類似したゲート電極 140 は、フィン 130 および 122 を超えて通る。ゲート電極 140 は、フィン 122 の両側の側方の半導体層 142 の上を通る接触領域 136 と、フィン 124 との間の場所でフィン 122 の上を通る。ゲート電極 140 は、接触領域 128 と接触領域 132 との間のフィン 130 の上を通る。フィン 122 の両側の側方の半導体層 142 とフィン 122 との上を通るゲート電極 140 は、図 13 のトランジスタ 94 のようなトランジスタ構造となる。側方の半導体層を有しておらず、フィン 130 の上を通るゲート電極 140 は、図 13 のトランジスタ 96 のようなトランジスタ構造となる。接触領域 136 は、接地するように用いられる。コンタクト 132 は、正電源, V D D と接続するように用いられる。コンタクト 128 は、トランジスタ 104 および 108 のゲートと接触するように用いられる。フィン 124 は、トランジスタ 102 および 106 のドレインの間の接続を提供する。かくして、部分 120 は、図 14 のトランジスタ 102, 106 および 110 に関する回路接続を有効に提供する。更に、このレイアウトは、部分 120 の対称性を利用して S R A M レイアウトを構成するように広げるられ得る。

【0022】

部分 120 は、追加の電流駆動を達成するのに、追加のフィンを使用することを避けるために、図 13 に示した 3 つのトランジスタ・タイプの一態様である。部分 120 の例では、N チャネルパストランジスタ 106 および 108 は、フィンの一方の側だけに側方の半導体層を追加することにより单一のフィンのものだけから電流駆動が増大する。一般的に、プルダウントランジスタ 102 および 104 が、パストランジスタよりも大きな電流駆動を有することは望ましいと考えられる。パストランジスタが、プルダウンと比較してより小さな電流駆動を有する必要があるならば、側方の半導体層を除去することができ得る。同様に、P チャネルプルアップトランジスタがより大きな電流駆動を必要とするならば、側方の半導体層が、片側または両側で P チャネルフィンに追加されうる。かくして、図 13 の 3 つのトランジスタ・タイプは、それらの電流駆動の所望の割合を達成するため、S R A M セルを作る 3 つのトランジスタ・タイプ(プルダウン、プルアップ、及び、パス)の駆動電流を調整する際に可撓性を与える。図 13 の 3 つのトランジスタ・タイプ

10

20

30

40

50

の可撓性は、平行にフィンを置くことの必要性を緩和するが、電流駆動要求が、複数のフィンを要求するように高いと、図13の3つのトランジスタ・タイプは、理想的な割合に近い電流駆動割合を提供し、及び／又は、追加される必要がある多数のフィンを低減するために、複数のフィンを要求するトランジスタと一緒に使用されうる。

【0023】

例示の目的でここに示した実施形態に対して多くの他の変更及び修正は、当業者によって容易に可能である。例えば、S R A Mセルに関して特定の利点を示しているが、他のタイプの回路も同様に可能である。本発明の精神から逸脱しない限り、かかる修正及び変更は、特許請求の範囲によって規定された範囲内に含まれる。

【図面の簡単な説明】

10

【0024】

【図1】本発明の実施形態による方法における段階での半導体デバイスの断面図である。

【図2】図1に示した方法において続く段階での図1の半導体デバイスの断面図である。

【図3】図2に示した方法における続く段階での半導体の断面図である。

【図4】図3に示した方法における続く段階での半導体の断面図である。

【図5】図4に示した方法における続く段階での半導体デバイスの断面図である。

【図6】図5に示した方法における続く段階での半導体デバイスの断面図である。

【図7】図6の半導体デバイスの平面図である。

【図8】本発明の他の実施形態による方法における段階での半導体デバイス構造体の断面図である。

20

【図9】図8に示した方法における続く段階での半導体デバイス構造体の断面図である。

【図10】図9に示した方法における続く段階での半導体デバイス構造体の断面図である。

【図11】図10に示した方法における続く段階での半導体デバイス構造体の断面図である。

【図12】図11に示した方法における続く段階での半導体デバイス構造体の断面図である。

【図13】図12に示した方法における続く段階での半導体デバイス構造体の断面図である。

【図14】図8ないし13の方法が製造において有用である6つのトランジスタS R A Mセルの回路図である。

30

【図15】図8ないし13の方法が製造において有用である図14の6つのトランジスタS R A Mセルの一部の平面図である。

【図1】

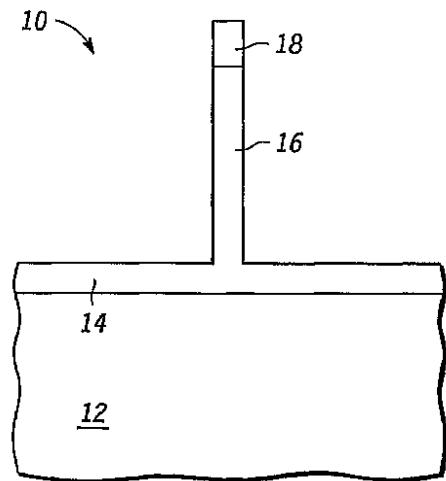


FIG. 1

【図2】

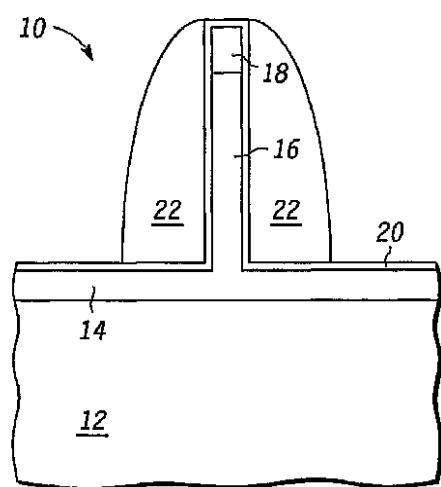


FIG. 2

【図3】

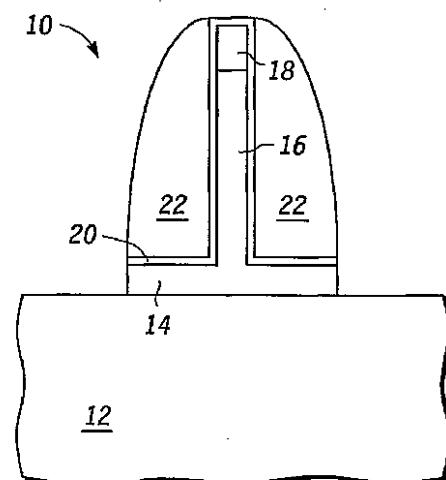


FIG. 3

【図4】

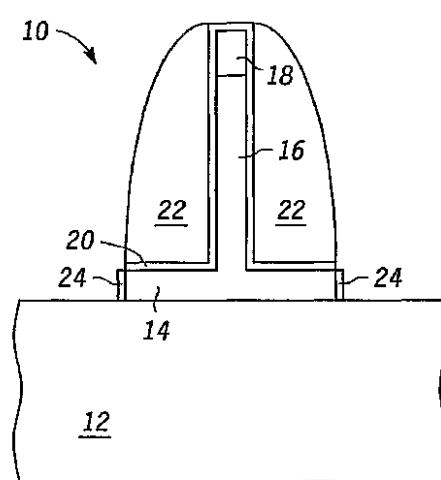


FIG. 4

【図 5】

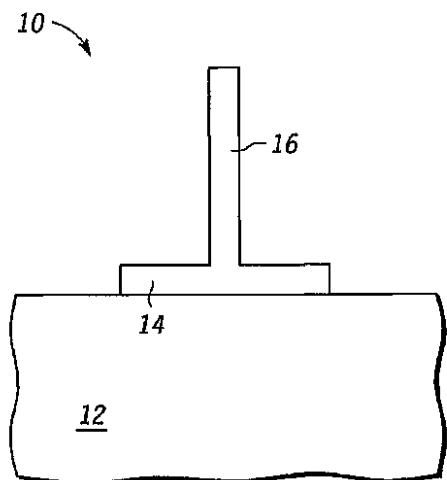


FIG. 5

【図 6】

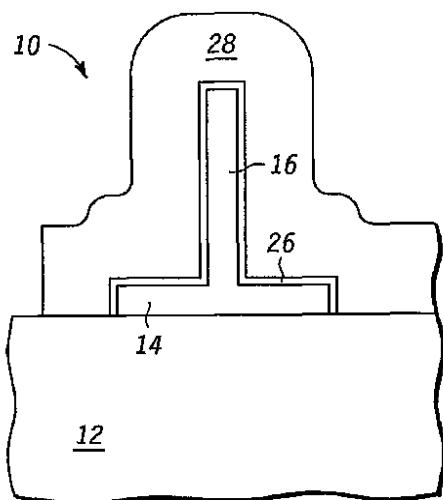


FIG. 6

【図 7】

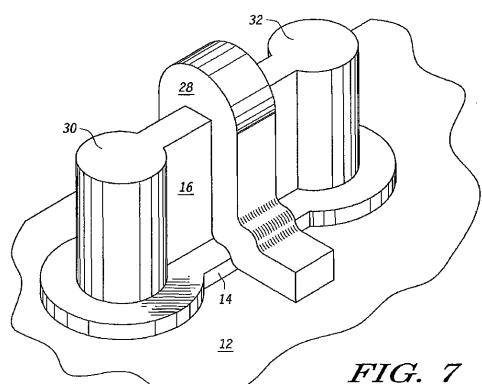


FIG. 7

【図 8】

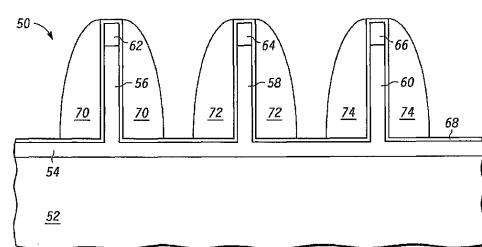


FIG. 8

【図 9】

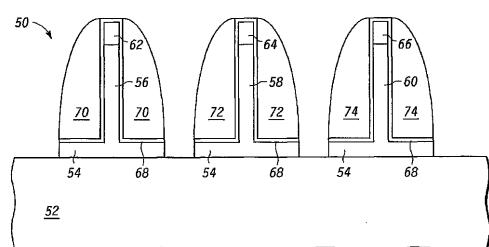


FIG. 9

【図 10】

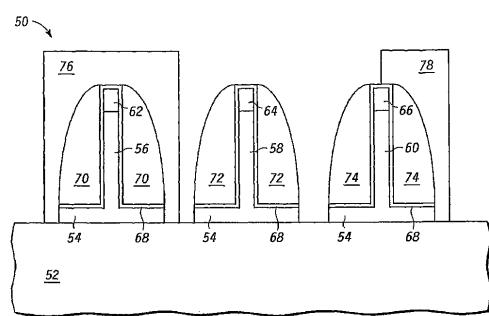


FIG. 10

【図 1 1】

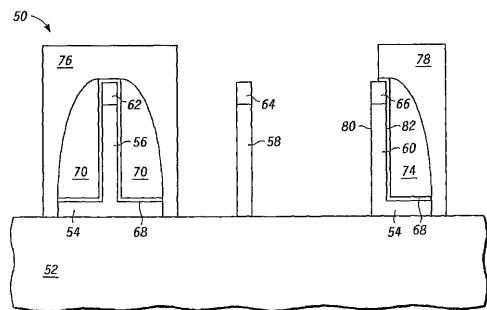


FIG. 11

【図 1 3】

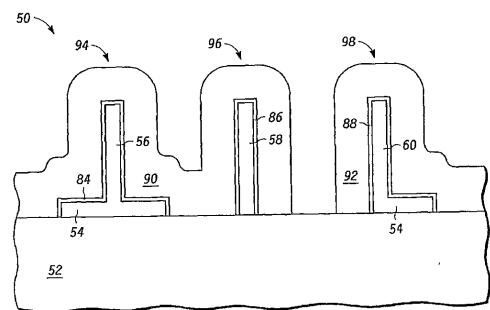


FIG. 13

【図 1 2】

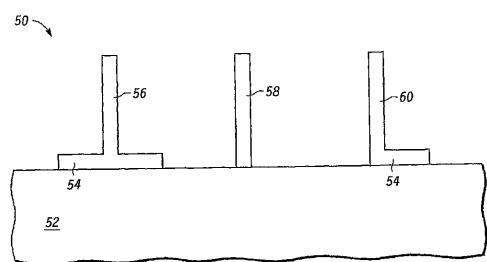


FIG. 12

【図 1 4】

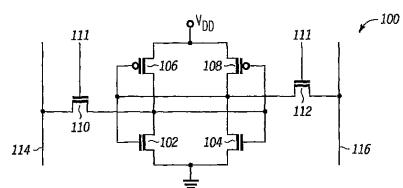


FIG. 14

【図 1 5】

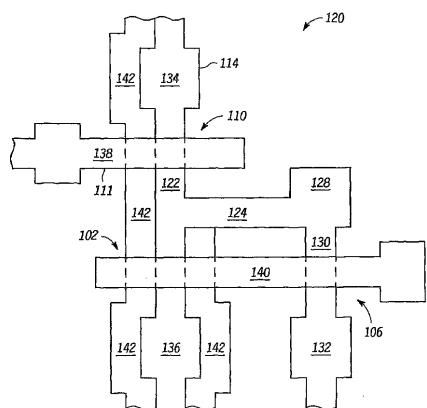


FIG. 15

フロントページの続き

(74)代理人 100096013

弁理士 富田 博行

(74)代理人 100147681

弁理士 夫馬 直樹

(72)発明者 マシュー, レオ

アメリカ合衆国テキサス州 7 8 7 1 7 , オースティン , ガリソン・サークル 1 5 8 4 4

(72)発明者 モーラ, ローデ・アール

アメリカ合衆国テキサス州 7 8 7 2 9 , オースティン , ホイット・ループ 3 7 2 0

審査官 綿引 隆

(56)参考文献 特開平 0 7 - 1 8 3 5 2 8 (J P , A)

特表 2 0 0 7 - 5 2 5 0 0 4 (J P , A)

特開平 1 1 - 2 5 1 6 0 3 (J P , A)

特開 2 0 0 1 - 0 7 7 3 6 4 (J P , A)

(58)調査した分野(Int.CI. , D B 名)

H 0 1 L 2 1 / 3 3 6

H 0 1 L 2 9 / 7 8

H 0 1 L 2 9 / 7 8 6