

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6867925号
(P6867925)

(45) 発行日 令和3年5月12日 (2021.5.12)

(24) 登録日 令和3年4月13日 (2021.4.13)

(51) Int.Cl.

F I

A 6 3 F 7/02 (2006.01)

A 6 3 F 7/02 3 2 6 Z

A 6 3 F 7/02 3 3 4

請求項の数 1 (全 99 頁)

(21) 出願番号 特願2017-196615 (P2017-196615)
 (22) 出願日 平成29年10月10日 (2017.10.10)
 (65) 公開番号 特開2019-68985 (P2019-68985A)
 (43) 公開日 令和1年5月9日 (2019.5.9)
 審査請求日 令和2年3月16日 (2020.3.16)

(73) 特許権者 000144153
 株式会社三共
 東京都渋谷区渋谷三丁目29番14号
 (72) 発明者 小倉 敏男
 東京都渋谷区渋谷三丁目29番14号 株
 式会社三共内

審査官 阿部 知

(56) 参考文献 特許第6692330 (JP, B2)

(58) 調査した分野 (Int.Cl., DB名)
 A 6 3 F 7/02

(54) 【発明の名称】 遊技機

(57) 【特許請求の範囲】

【請求項 1】

遊技を行うことが可能な遊技機であって、
 受信したコマンドに基づいて制御を行う制御手段と、
 前記制御手段と電気的に接続可能な電子部品と、を備え、
 前記制御手段は、
前記コマンドとして複数のテストコマンドの組み合わせにより、前記電子部品の状態
を検査する検査処理を実行可能であり、
前記検査処理として、データの書込と読出が可能な記憶領域に対する検査を実行可能
であり、
前記検査処理の実行中は、他の処理を実行せず、
前記複数のテストコマンドの組み合わせは、遊技の進行に伴い受信する遊技用コマンド
の個数よりも多い個数のコマンドの組み合わせである、
 ことを特徴とする遊技機。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、パチンコ遊技機等の遊技を行うことが可能な遊技機に関する。

【背景技術】

【0002】

パチンコ遊技機等の遊技機において、受信コマンドにより配線の異常を検出して報知可能とする技術が提案されている（例えば特許文献１）。

【先行技術文献】

【特許文献】

【０００３】

【特許文献１】特開２００７－２９６１３２号公報

【発明の概要】

【発明が解決しようとする課題】

【０００４】

上記特許文献１に記載の技術によると、受信コマンドのビット値により異常があるか否かを検出するので、例えばビット値のエラーにより、本来実行すべきではない状況で誤って配線の検査が実行されてしまい、遊技者に不利益を与えるおそれがある。

【０００５】

この発明は、上記実状に鑑みてなされたものであり、適切な検査が可能な遊技機の提供を目的とする。

【課題を解決するための手段】

【０００６】

（Ａ）上記目的を達成するために、本願の請求項に係る遊技機は、遊技を行うことが可能な遊技機であって、受信したコマンドに基づいて制御を行う制御手段と、前記制御手段と電氣的に接続可能な電子部品と、を備え、前記制御手段は、前記コマンドとして複数のテストコマンドの組み合わせにより、前記電子部品の状態を検査する検査処理を実行可能であり、前記検査処理として、データの書込と読出が可能な記憶領域に対する検査を実行可能であり、前記検査処理の実行中は、他の処理を実行せず、前記複数のテストコマンドの組み合わせは、遊技の進行に伴い受信する遊技用コマンドの個数よりも多い個数のコマンドの組み合わせである、ことを特徴とする。

（１）上記目的を達成するために、他の遊技機は、遊技を行うことが可能な遊技機（例えばパチンコ遊技機１など）であって、受信したコマンドに基づいて制御を行う制御手段（例えばＣＰＵ６２ＡＫ１０１など）と、前記制御手段と電氣的に接続可能な電子部品（例えば外部ＲＡＭ６２ＡＫ１２１など）とを備え、前記制御手段は、前記コマンドとして複数のテストコマンドの組み合わせにより、前記電子部品の状態を検査する検査処理（例えば外部ＲＡＭチェック処理、高負荷チェック処理など）を実行可能であり（例えば図４８を参照）、前記検査処理の実行中は、他の処理を実行しない（例えば図４７、図５１～図５４を参照）。

このような構成によれば、適切な検査が可能になる。

【０００７】

（２）上記（１）の遊技機において、前記複数のテストコマンドの組み合わせは、遊技の進行に伴い受信する遊技用コマンド（例えば図４１を参照）とは異なるコマンドの組み合わせからなってもよい（例えば図４８を参照）。

このような構成においては、適切な検査が可能になる。

【０００８】

（３）上記（１）または（２）の遊技機において、前記複数のテストコマンドの組み合わせは、遊技の進行に伴い受信する遊技用コマンドの個数（例えば２～３個）よりも多い個数（例えば１２個）のコマンドの組み合わせからなってもよい。

このような構成においては、適切な検査が可能になる。

【０００９】

（４）上記（１）から（３）のいずれかの遊技機において、前記検査処理の実行中に、前記電子部品の状態に応じた検査時表示を行う表示手段（例えば画像表示装置５など）を備えてもよい。

このような構成においては、適切な検査が可能になる。

【００１０】

10

20

30

40

50

(5) 上記(4)の遊技機において、前記表示手段は、遊技の進行に伴う表示の設定と共通の設定により、前記検査時表示が可能であってもよい(例えば図44、図45、図47などを参照)。

このような構成においては、適切な検査が可能になる。

【0011】

(6) 上記(1)から(5)のいずれかの遊技機において、前記制御手段と前記電子部品は、複数の記憶手段(例えば外部ROM62AK120、CGROM62AK122など)とともに基板(例えば演出制御基板12など)に搭載可能であり、前記制御手段は、前記基板に前記複数の記憶手段のうち1の記憶手段(例えば外部ROM62AK120など)が搭載されている場合に、前記検査処理を実行可能であってもよい。

10

このような構成においては、適切な検査が可能になる。

【0012】

(7) 上記(1)から(6)のいずれかの遊技機において、前記制御手段は、前記複数のテストコマンドの組み合わせとして、当該テストコマンドを所定の順番で受信した場合に前記検査処理を実行可能であり、前記所定の順番は複数種類あり、前記検査処理として、前記複数のテストコマンドの組み合わせを受信した順番の種類に応じて異なる処理を実行可能であってもよい(例えば図48を参照)。

このような構成においては、適切な検査が可能になる。

【図面の簡単な説明】

【0013】

20

【図1】この実施の形態におけるパチンコ遊技機の正面図である。

【図2】パチンコ遊技機に搭載された各種の制御基板などを示す構成図である。

【図3】遊技機用枠の背面図である。

【図4】基板ケースを見た状態の分解斜視図である。

【図5】基板ケースを見た状態の分解斜視図である。

【図6】ベース部材を示す6面図である。

【図7】カバー部材を示す6面図である。

【図8】配線のパターンが形成された部分の構成例を示す図である。

【図9】配線のパターンを説明するための領域や区間を示す図である。

【図10】図9に示された領域の拡大図である。

30

【図11】配線のパターンに対応する設定例を示す図である。

【図12】図9に示された領域の拡大図である。

【図13】図9に示された領域の拡大図である。

【図14】主基板の構成例を示す断面図である。

【図15】配線のパターンについて他の構成例を示す図である。

【図16】特徴部42AKに係る構成例を示す図である。

【図17】第2形状部が異なる方向に形成されている構成例を示す図である。

【図18】複数の信号配線が異なる配線幅に形成されている構成例を示す図である。

【図19】第2形状部が対応して形成されている構成例を示す図である。

【図20】回路部品が接続されるように実装された構成例を示す図である。

40

【図21】特徴部43AKに係る構成例を示す図である。

【図22】特徴部44AKに係る構成例を示す図である。

【図23】特徴部45AKに係る遊技機の基板ケース、基板、及びヒートシンクを後方からみた分解斜視図である。

【図24】特徴部45AKに係る遊技機の基板ケース、基板、及びヒートシンクを前方からみた分解斜視図である。

【図25】基板ケースにヒートシンク及び基板を取り付ける様子を取り付け順((a)~(b))で示した断面図である。

【図26】図25に続いて基板ケースにヒートシンク及び基板を取り付ける様子を取り付け順((a)~(b))で示した断面図である。

50

- 【図 27】ヒートシンクと電子部品との関係を説明するための平面図である。
- 【図 28】基板ケース内における空気の流れを説明するための説明図である。
- 【図 29】他の実施形態 1 に係る遊技機の基板ケースにヒートシンク及び基板を取り付ける様子を示した断面図である。
- 【図 30】他の実施形態 2 に係る遊技機の基板ケースにヒートシンク及び基板を取り付ける様子を示した断面図である。
- 【図 31】特徴部 55AK に係る構成例を示す図である。
- 【図 32】図 31 に示される A - A 断面図である。
- 【図 33】演出制御基板と画像表示装置との接続例を示す図である。
- 【図 34】図 33 の接続例における接続配線部材の上面図である。
- 【図 35】演出制御基板と画像表示装置との他の接続例を示す図である。
- 【図 36】図 35 の接続例における接続配線部材の上面図である。
- 【図 37】特徴部 56AK に係る構成例を示す図である。
- 【図 38】複数の電気部品について他の構成例を示す図である。
- 【図 39】全体が直線形状または略直線形状を有する接続配線部材を用いた接続例を示す図である。
- 【図 40】特徴部 62AK に係る構成例を示す図である。
- 【図 41】遊技用の演出制御コマンドの内容例を示す図である。
- 【図 42】テストコマンドとなる演出制御コマンドの内容例を示す図である。
- 【図 43】受信レジスタや受信バッファの構成例を示す図である。
- 【図 44】演出制御メイン処理の一例を示すフローチャートである。
- 【図 45】初期化処理の一例を示すフローチャートである。
- 【図 46】割込の優先度を示す図および受け渡し用バッファ転送処理の一例を示すフローチャートである。
- 【図 47】コマンド解析処理の一例を示すフローチャートである。
- 【図 48】特徴部 63K に係る受信順序と実行する処理との設定例を示す図である。
- 【図 49】チェック処理の実行に対応した画面表示の設定例を示す図である。
- 【図 50】チェック用プログラムやチェック用データの使用例を示す図である。
- 【図 51】外部 RAM チェック処理の一例を示すフローチャートである。
- 【図 52】外部 RAM チェック処理の他の一例を示すフローチャートである。
- 【図 53】外部 RAM チェック処理の他の一例を示すフローチャートである。
- 【図 54】外部 RAM チェック処理の他の一例を示すフローチャートである。
- 【図 55】外部 RAM チェック処理の実行例を示す図である。
- 【図 56】外部 RAM チェック処理の実行例を示す図である。

【発明を実施するための形態】

【0014】

図 1 は、この実施の形態に係るパチンコ遊技機 1 の正面図である。パチンコ遊技機 1 は、遊技盤 2 と、遊技機用枠 3 とを備えている。その他、パチンコ遊技機 1 は、遊技機用枠 3 を回動可能に支持する外枠などを備えている。遊技盤 2 は、遊技盤面を構成するゲー

【0015】

遊技盤 2 の所定位置には、第 1 特別図柄表示装置 4A、第 2 特別図柄表示装置 4B、画像表示装置 5、普通入賞球装置 6A、普通可変入賞球装置 6B、特別可変入賞球装置 7、普通図柄表示器 20、第 1 保留表示器 25A、第 2 保留表示器 25B、普通図柄保留表示器 25C、通過ゲート 41 などが設けられている。その他、遊技領域における遊技盤面には、風車や多数の障害釘、一般入賞口、アウト口などが設けられていればよい。遊技領域の周辺部には遊技効果ランプ 9 が設けられている。遊技機用枠 3 の左右上部位置にはスピーカ

８Ｌ、８Ｒが設けられている。

【００１６】

遊技機用枠３の右下部位置には、打球操作ハンドル（操作ノブ）が設けられている。打球操作ハンドルは、遊技球を遊技領域に向けて発射するために遊技者等によって操作され、その操作量（回転量）に応じて遊技球の弾発力が調整される。遊技領域の下方における遊技機用枠３の所定位置には、遊技球を保持（貯留）する上皿（打球供給皿）と、上皿からの余剰球などを保持（貯留）する下皿が設けられている。下皿を形成する部材にはスティックコントローラ３１Ａが取り付けられ、上皿を形成する部材にはプッシュボタン３１Ｂが設けられている。

【００１７】

第１特別図柄表示装置４Ａ、第２特別図柄表示装置４Ｂ、画像表示装置５の画面上などでは、特別図柄や飾り図柄の可変表示が行われる。これらの可変表示は、普通入賞球装置６Ａに形成された第１始動入賞口を遊技球が通過（進入）したことによる第１始動入賞の発生に基づいて、あるいは、普通可変入賞球装置６Ｂに形成された第２始動入賞口を遊技球が通過（進入）したことによる第２始動入賞の発生に基づいて、実行可能となる。第１特別図柄表示装置４Ａと第２特別図柄表示装置４Ｂはそれぞれ、例えば７セグメントやドットマトリクスＬＥＤ（発光ダイオード）などを用いて構成され、可変表示ゲームの一例となる特図ゲームにおいて、識別情報（特別識別情報）である特別図柄（特図）が、変動可能に表示（可変表示）される。画像表示装置５は、例えばＬＣＤ（液晶表示装置）などを用いて構成され、各種の演出画像を表示する表示領域を形成している。画像表示装置５の画面上では、特図ゲームにおける第１特別図柄表示装置４Ａによる特別図柄（第１特図）の可変表示や第２特別図柄表示装置４Ｂによる特別図柄（第２特図）の可変表示のそれぞれに対応して、例えば３つといった複数の可変表示部となる飾り図柄表示エリアにて、識別情報（装飾識別情報）である飾り図柄が可変表示される。この飾り図柄の可変表示も、可変表示ゲームに含まれる。一例として、画像表示装置５の画面上には、「左」、「中」、「右」の飾り図柄表示エリア５Ｌ、５Ｃ、５Ｒが配置されている。

【００１８】

画像表示装置５の画面上には、保留記憶表示エリア５Ｈが配置されている。保留記憶表示エリア５Ｈでは、特図ゲームに対応した可変表示の保留数（特図保留記憶数）を特定可能に表示する保留表示が行われる。保留表示は、可変表示に関する情報の保留記憶に対応して表示可能なものであればよい。保留記憶表示エリア５Ｈとともに、あるいは、保留記憶表示エリア５Ｈに代えて、第１保留表示器２５Ａと第２保留表示器２５Ｂとを用いた保留表示が行われてもよい。

【００１９】

図２は、各種基板や周辺装置などの構成例を示すブロック図である。パチンコ遊技機１には、例えば図２に示すような主基板１１、演出制御基板１２、音声制御基板１３、ランプ制御基板１４といった、各種制御基板が搭載されている。また、パチンコ遊技機１には、中継基板１５、ドライバ基板１９、電源基板９２なども搭載されている。その他にも、例えば払出制御基板、情報端子基板、発射制御基板、インタフェース基板、タッチセンサ基板などといった、各種の基板が搭載されてもよい。各種制御基板は、導体パターンが形成されて電気部品が実装されるプリント配線板などの電子回路基板だけではなく、電子回路基板に電気部品が実装（搭載）されて特定の電氣的機能を実現するように構成された電子回路実装基板を含む概念である。

【００２０】

電源基板９２は、外部電源（商用電源）である交流電源からの電力を、主基板１１や演出制御基板１２などの各種制御基板を含めた電気部品に供給可能となるように構成されている。電源基板９２は、例えば交流（ＡＣ）を直流（ＤＣ）に変換するための整流回路、所定の直流電圧を特定の直流電圧（例えば直流１２Ｖや直流５Ｖなど）に変換するための電源回路などを、備えている。電源基板９２にて生成された電圧は、ドロア中継基板を介して主基板１１や演出制御基板１２などに供給されてもよい。

【 0 0 2 1 】

主基板 1 1 には、遊技制御用マイクロコンピュータ 1 0 0、スイッチ回路 1 1 0、ソレノイド回路 1 1 1 などが搭載されている。主基板 1 1 では、ゲートスイッチ 2 1、始動口スイッチ（第 1 始動口スイッチ 2 2 A および第 2 始動口スイッチ 2 2 B）、カウントスイッチ 2 3 といった、各種検出用のスイッチから取り込んだ信号が、スイッチ回路 1 1 0 を介して遊技制御用マイクロコンピュータ 1 0 0 に伝送される。ゲートスイッチ 2 1 は、通過ゲート 4 1 を通過した遊技球（ゲート通過球）を検出する。ゲートスイッチ 2 1 によるゲート通過球の検出に基づいて、普通図柄表示器 2 0 による普通図柄の可変表示が実行可能となる。第 1 始動口スイッチ 2 2 A は、第 1 始動入賞口を通過（進入）した遊技球を検出する。第 2 始動口スイッチ 2 2 B は、第 2 始動入賞口を通過（進入）した遊技球を検出する。カウントスイッチ 2 3 は、大入賞口を通過（進入）した遊技球を検出する。第 1 始動入賞口や第 2 始動入賞口、大入賞口といった、各種の入賞口を通過した遊技球が検出された場合には、それぞれの入賞口に対応して予め個数が定められた賞球としての遊技球が払い出される。

10

【 0 0 2 2 】

主基板 1 1 では、遊技制御用マイクロコンピュータ 1 0 0 からのソレノイド駆動信号が、ソレノイド回路 1 1 1 を介して普通電動役物用のソレノイド 8 1 や大入賞口扉用のソレノイド 8 2 に伝送される。普通電動役物用のソレノイド 8 1 は、普通可変入賞球装置 6 B に形成された第 2 始動入賞口を遊技球が通過しにくい状態（または通過しない状態）と通過しやすい状態（または通過する状態）とに変化可能にする。大入賞口扉用のソレノイド 8 2 は、特別可変入賞球装置 7 に形成された大入賞口を遊技球が通過不可能な状態と通過可能な状態とに変化可能にする。主基板 1 1 からは、第 1 特別図柄表示装置 4 A、第 2 特別図柄表示装置 4 B、普通図柄表示器 2 0 などの表示制御を行うための指令信号が伝送される。

20

【 0 0 2 3 】

主基板 1 1 に搭載された遊技制御用マイクロコンピュータ 1 0 0 は、例えば 1 チップのマイクロコンピュータであり、遊技制御用のプログラムや固定データ等を記憶する ROM 1 0 1 と、遊技制御用のワークエリアを提供する RAM 1 0 2 と、遊技制御用のプログラムを実行して制御動作を行う CPU 1 0 3 と、CPU 1 0 3 とは独立して乱数値を示す数値データの更新を行う乱数回路 1 0 4 と、I / O（Input/Output port）1 0 5 とを備えて構成される。一例として、遊技制御用マイクロコンピュータ 1 0 0 では、CPU 1 0 3 が ROM 1 0 1 から読み出したプログラムを実行することにより、パチンコ遊技機 1 における遊技の進行を制御するための処理が実行される。主基板 1 1 に搭載された遊技制御用マイクロコンピュータ 1 0 0 では、例えば乱数回路 1 0 4 や RAM 1 0 2 の所定領域に設けられた遊技用ランダムカウンタなどにより、遊技の進行を制御するために用いられる各種の乱数値を示す数値データが更新可能にカウント（生成）される。遊技の進行を制御するために用いられる乱数は、遊技用乱数ともいう。

30

【 0 0 2 4 】

演出制御基板 1 2 は、中継基板 1 5 を介して主基板 1 1 から伝送された制御信号（演出制御コマンド）の受信に基づいて、画像表示装置 5、スピーカ 8 L、8 R、遊技効果ランプ 9、演出用モータ 6 0 および演出用 LED 6 1 といった演出用の電気部品による演出動作を制御可能とする。演出制御基板 1 2 には、演出制御用 CPU 1 2 0 や ROM 1 2 1、RAM 1 2 2、表示制御部 1 2 3、乱数回路 1 2 4、I / O 1 2 5 などが搭載されている。

40

【 0 0 2 5 】

演出制御基板 1 2 に搭載された演出制御用 CPU 1 2 0 は、ROM 1 2 1 から読み出した演出制御用のプログラムや固定データ等を用いて、演出用の電気部品による演出動作を制御するための処理を実行する。演出制御基板 1 2 に搭載された表示制御部 1 2 3 は、演出制御用 CPU 1 2 0 からの表示制御指令などに基づき、画像表示装置 5 における表示動作の制御内容を決定する。例えば、表示制御部 1 2 3 は、画像表示装置 5 の表示画面内に

50

表示させる演出画像の切換タイミングを決定することなどにより、飾り図柄の可変表示や各種の演出表示を実行させるための制御を行う。

【 0 0 2 6 】

演出制御基板 1 2 には、コントローラセンサユニット 3 5 A と、プッシュセンサ 3 5 B とが接続されている。コントローラセンサユニット 3 5 A は、傾倒方向センサと、トリガセンサとを含んでいる。傾倒方向センサは、スティックコントローラ 3 1 A の操作桿に対する傾倒操作が行われたときに、複数のセンサを用いて操作桿の傾倒方向を検出可能にする。トリガセンサは、スティックコントローラ 3 1 A の操作桿に設けられたトリガボタンに対する押引操作の有無を検出可能にする。すなわち、コントローラセンサユニット 3 5 A により、スティックコントローラ 3 1 A の操作桿に対する傾倒動作やトリガボタンに対する押引動作といった、スティックコントローラ 3 1 A を用いた遊技者の動作を検出することができる。プッシュセンサ 3 5 B により、プッシュボタン 3 1 B に対する押下動作といった、プッシュボタン 3 1 B を用いた遊技者の動作を検出することができる。演出制御基板 1 2 では、例えば乱数回路 1 2 4 や R A M 1 2 2 の所定領域に設けられた演出用ランダムカウンタなどにより、演出の実行を制御するために用いられる各種の乱数値を示す数値データが更新可能にカウント（生成）される。演出の実行を制御するために用いられる乱数は、演出用乱数ともいう。

10

【 0 0 2 7 】

演出制御基板 1 2 は、第 1 基板 1 2 A と、該第 1 基板 1 2 A に対し基板対基板接続される第 2 基板 1 2 B とを有する。第 1 基板 1 2 A には、演出制御用 C P U 1 2 0 や表示制御部 1 2 3 のグラフィックスプロセッサなどが搭載され、第 2 基板 1 2 B には、R O M 1 2 1 や画像データメモリといった機種に固有なデータなどが記憶された電気部品が搭載されている。表示制御部 1 2 3 のグラフィックスプロセッサは、演出制御用 C P U 1 2 0 の機能を統合したマイクロプロセッサであってもよいし、演出制御用 C P U 1 2 0 とは別個のチップとして構成されたマイクロプロセッサであってもよい。

20

【 0 0 2 8 】

音声制御基板 1 3 は、演出制御基板 1 2 とは別個に設けられた音声出力制御用の制御基板であり、演出制御基板 1 2 からの指令や制御データなどに基づいて、スピーカ 8 L、8 R から音声を出力させるための音声信号処理を実行する処理回路などが搭載されている。なお、演出制御基板 1 2 に搭載された表示制御部 1 2 3 を構成するグラフィックスコントローラなどが音声信号処理を実行可能であれば、音声制御基板 1 3 に帯域フィルタや増幅回路などを搭載すればよい。あるいは、音声制御基板 1 3 を省略して、演出制御基板 1 2 の基板上に帯域フィルタや増幅回路などを搭載してもよい。ランプ制御基板 1 4 は、演出制御基板 1 2 とは別個に設けられたランプ出力制御用の制御基板であり、演出制御基板 1 2 からの指令や制御データなどに基づいて、遊技効果ランプ 9 などにおける点灯や消灯を行うランプドライバ回路などが搭載されている。ドライバ基板 1 9 は、演出制御基板 1 2 とは別個に設けられた電気部品駆動用の制御基板であり、演出制御基板 1 2 からの指令や制御データなどに基づいて、演出用モータ 6 0 に含まれる各種モータの回動制御や演出用 L E D 6 1 に含まれる各種 L E D の点灯制御などを行うためのドライバ回路などが搭載されている。ドライバ基板 1 9 からの出力信号は、演出用モータ 6 0 に含まれる各モータと、演出用 L E D 6 1 に含まれる各 L E D とに向けて伝送される。

30

40

【 0 0 2 9 】

パチンコ遊技機 1 においては、遊技媒体としての遊技球を用いた所定の遊技が行われ、その遊技結果に基づいて所定の遊技価値が付与可能となる。遊技球を用いた遊技の一例として、パチンコ遊技機 1 における遊技機用枠 3 の右下部位置に設けられた打球操作ハンドルが遊技者によって所定操作（例えば回転操作）されたことに基づいて、所定の打球発射装置が備える発射モータなどにより、遊技媒体としての遊技球が遊技領域に向けて発射される。遊技領域を流下した遊技球が、各種の入賞口を通過（進入）した場合に、賞球としての遊技球が払い出される。特別図柄や飾り図柄の可変表示結果が「大当たり」となった場合には、大入賞口が開放されて遊技球が通過（進入）しやすい状態となることで、遊技者

50

にとって有利な有利状態としての大当り遊技状態となる。

【0030】

有利状態は大当り遊技状態に限定されず、時短状態や確変状態といった特別遊技状態が含まれてもよい。その他、大当り遊技状態にて実行可能なラウンド遊技の上限回数が第2ラウンド数（例えば「7」）よりも多い第1ラウンド数（例えば「15」）となること、時短状態にて実行可能な可変表示の上限回数が第2回数（例えば「50」）よりも多い第1回数（例えば「100」）となること、確変状態における大当り確率が第2確率（例えば1/50）よりも高い第1確率（例えば1/20）となること、通常状態に制御されることなく大当り遊技状態に繰り返し制御される回数である連チャン回数が第2連チャン数（例えば「5」）よりも多い第1連チャン数（例えば「10」）となることの一部または全部といった、遊技者にとってより有利な遊技状況となることが含まれていてもよい。

10

【0031】

主基板11では、電源基板92からの電力供給が開始されると、遊技制御用マイクロコンピュータ100のCPU103が起動し、CPU103によって遊技制御メイン処理の実行が開始される。遊技制御メイン処理において、CPU103は、割込み禁止に設定した後、必要な初期設定を行う。初期設定が終了すると、割込み許可とした後、ループ処理に入る。以後、所定時間（例えば2ミリ秒）ごとにCTCから割込み要求信号がCPU103へ送出され、CPU103は定期的に遊技制御用タイマ割込み処理を実行する。

【0032】

遊技制御用タイマ割込み処理は、スイッチ処理、メイン側エラー処理、情報出力処理、遊技用乱数更新処理、特別図柄プロセス処理、普通図柄プロセス処理、コマンド制御処理などを含んでいる。スイッチ処理では、各種スイッチから入力される検出信号の状態を判定する。メイン側エラー処理では、パチンコ遊技機1の異常診断を行い、必要ならば警告を発生可能とする。情報出力処理では、ホール管理コンピュータに供給される所定のデータを出力する。遊技用乱数更新処理では、遊技用乱数の少なくとも一部をソフトウェアにより更新する。特別図柄プロセス処理では、特別図柄の表示制御や大入賞口の開閉動作設定などを、所定の手順で行うために、各種の処理が選択されて実行される。普通図柄プロセス処理では、普通図柄の表示制御や普通可変入賞球装置6Bにおける可動翼片の傾動動作設定などを、所定の手順で行うために、各種の処理が選択されて実行される。

20

【0033】

特別図柄プロセス処理では、まず、始動入賞判定処理が実行される。始動入賞判定処理を実行した後は、特図プロセスフラグの値に応じて選択した処理が実行される。このとき選択可能な処理は、特別図柄通常処理、変動パターン設定処理、特別図柄変動処理、特別図柄停止処理、大当り開放前処理、大当り開放中処理、大当り開放後処理、大当り終了処理などを含んでいればよい。

30

【0034】

始動入賞判定処理では、第1始動入賞や第2始動入賞が発生したか否かを判定し、発生した場合には特図保留記憶数を更新するための設定などが行われる。特別図柄通常処理では、特図ゲームの実行を開始するか否かの判定が行われる。また、特別図柄通常処理では、特別図柄や飾り図柄の可変表示結果を「大当り」とするか否かの判定が行われる。さらに、特別図柄通常処理では、可変表示結果に対応して、特図ゲームにおける確定特別図柄の設定などが行われる。変動パターン設定処理では、可変表示結果などに基づいて、変動パターンの決定などが行われる。特別図柄変動処理では、特別図柄を変動させるための設定や、変動開始からの経過時間を計測するための設定などが行われる。特別図柄停止処理では、特別図柄の変動を停止させ、可変表示結果となる確定特別図柄を停止表示（導出）させるための設定などが行われる。

40

【0035】

大当り開放前処理では、可変表示結果が「大当り」に対応して、大当り遊技状態において大入賞口を開放状態とするための設定などが行われる。大当り開放中処理では、大入賞口を開放状態から閉鎖状態に戻すか否かの判定などが行われる。大当り開放後処理では、

50

大入賞口を閉鎖状態に戻した後、ラウンドの実行回数が上限値に達したか否かを判定し、達していなければ次のラウンドを実行可能とし、達していれば大当たり遊技状態を終了させるための設定などが行われる。大当たり終了処理では、大当たり遊技状態の終了を報知するエンディング演出の実行期間に対応した待ち時間が経過するまで待機した後、確変制御や時短制御を開始するための設定などが行われる。

【 0 0 3 6 】

演出制御基板 1 2 では、電源基板 9 2 からの電力供給が開始されると、演出制御用 CPU 1 2 0 が演出制御メイン処理の実行を開始する。演出制御メイン処理では、所定の初期化が行われた後、タイマ割込みが発生する毎に、コマンド解析処理、演出制御プロセス処理、演出用乱数更新処理が実行される。コマンド解析処理では、主基板 1 1 から伝送された演出制御コマンドを解析し、解析結果に応じたフラグがセットされる。演出制御プロセス処理では、演出用の電気部品を所定の手順に従って制御するために、各種の処理が選択されて実行される。演出用乱数更新処理では、演出用乱数を生成するためのカウント値などをソフトウェアにより更新する。

10

【 0 0 3 7 】

演出制御プロセス処理では、まず、保留表示更新処理が実行される。保留表示更新処理を実行した後は、演出プロセスフラグの値に応じて選択した処理が実行される。このとき選択可能な処理は、可変表示開始待ち処理、可変表示開始設定処理、可変表示中演出処理、可変表示停止処理、大当たり表示処理、大当たり中演出処理、エンディング演出処理などを含んでいけばよい。

20

【 0 0 3 8 】

保留表示更新処理では、保留記憶表示エリア 5 H の表示を、特図保留記憶数に応じて更新するための設定などが行われる。可変表示開始待ち処理では、特別図柄や飾り図柄の可変表示を開始するか否かの判定などが行われる。可変表示開始設定処理では、飾り図柄の可変表示を開始するための設定などが行われる。可変表示中演出処理では、飾り図柄の可変表示に対応して、演出用の電気部品を演出制御パターンに従って制御するための設定などが行われる。可変表示停止処理では、飾り図柄の可変表示を停止して可変表示結果となる確定飾り図柄を導出する制御などが行われる。

【 0 0 3 9 】

大当たり表示処理では、可変表示結果が「大当たり」に対応して、大当たりの発生を報知する演出（ファンファーレ演出）を実行するための制御などが行われる。大当たり中演出処理では、大当たり遊技状態に対応して、演出用の電気部品を演出制御パターンに従って制御するための設定などが行われる。エンディング演出処理では、大当たり遊技状態の終了に対応して、エンディング演出の実行を制御するための設定などが行われる。

30

【 0 0 4 0 】

図 3 は、パチンコ遊技機 1 が備える遊技機用枠 3 の背面図である。遊技機用枠 3 の背面上部には、球タンク 1 5 0、ターミナル基板 1 5 4 が設けられている。また、補給通路 1 5 1、払出装置 1 5 2、賞球通路 1 5 3 も設けられている。遊技盤 2 の背面には、遊技制御基板用の基板ケース 4 0 0、演出制御基板用の基板ケース 8 0 0、カバー体 3 0 1 が設けられている。基板ケース 4 0 0 は、主基板 1 1 を収納する。基板ケース 8 0 0 は、演出制御基板 1 2 を収納する。カバー体 3 0 1 は、透明な合成樹脂などを用いて構成され、基板ケース 8 0 0 と基板ケース 4 0 0 の上部とを覆っている。遊技制御基板用の基板ケース 4 0 0 の下方位置には、払出制御基板 9 1 と、電源基板 9 2 とが、前後に重畳するように設けられている。

40

【 0 0 4 1 】

図 4 ~ 図 7 を参照して、演出制御基板用の基板ケース 8 0 0 の構造を説明する。図 4 は、基板ケース 8 0 0 を左後部の斜め上方から見た状態を示す分解斜視図である。図 5 は、基板ケース 8 0 0 を右前部の斜め上方から見た状態を示す分解斜視図である。図 6 は、ベース部材 8 0 1 を示す 6 面図である。図 7 は、カバー部材 8 0 2 を示す 6 面図である。基板ケース 8 0 0 は、ベース部材 8 0 1 と、カバー部材 8 0 2 とから構成され、演出制御基

50

板 1 2 を前後から挟持するように組み付けられる。ベース部材 8 0 1 は演出制御基板 1 2 の前面側を覆い、カバー部材 8 0 2 は演出制御基板 1 2 の背面側を覆う。

【 0 0 4 2 】

ベース部材 8 0 1 は、透明な熱可塑性合成樹脂からなり、縦長略長形状に形成されるベース板 8 0 1 a と、上下及び左右側辺に背面側に向けて立設される側壁 8 0 1 b ~ 8 0 1 e とから構成され、背面側に向けて開口する箱状に形成されている。ベース板 8 0 1 a には、ボス 8 0 3、8 0 4、係止バー 8 0 5、係止フック 8 0 6、係止孔 8 0 7、被係止部 8 0 8、ワンウェイネジ 8 0 9 のネジ穴 8 1 0、取付孔 8 1 1、基板支持用リブ 8 1 2、8 1 3、段部 8 1 4 a、8 1 4 b、リブ 8 1 5 が設けられている。

【 0 0 4 3 】

カバー部材 8 0 2 は、透明な熱可塑性合成樹脂からなり、縦長略長形状に形成されるベース板 8 2 1 a と、上下及び左右側辺に背面側に向けて立設される側壁 8 2 1 b ~ 8 1 1 e とから構成され、背面側に向けて開口する箱状に形成されている。ベース板 8 2 1 a には、ネジ 8 2 2 が螺入されるネジ穴 8 2 3、位置決め凸部 8 2 4、ネジ 8 2 5 が螺入されるネジ穴 8 2 6、位置決め凸部 8 2 7、係止フック 8 3 1、係止片 8 3 2、係止部 8 3 3、ワンウェイネジ 8 0 9 の取付孔 8 3 4 a が形成された取付片 8 3 4、音量調整用スイッチ 8 3 5 a を外部に臨ませるスイッチ用開口 8 3 5、コネクタ用開口 8 3 6、8 3 7 が設けられている。

【 0 0 4 4 】

コネクタ用開口 8 3 6 は、ベース板 8 2 1 a の上部右側にて、第 1 基板 1 2 A に搭載された各種基板側コネクタ K C N 1 0 を外部に臨ませるために、縦長形状となるように形成されている。各種基板側コネクタ K C N 1 0 は、レセプタクル K R E 1 ~ K R E 4 を含んでいればよい。レセプタクル K R E 1 は、主基板配線用のコネクタポートである。レセプタクル K R E 2 は、電源基板配線用のコネクタポートである。レセプタクル K R E 3 は、ドライバ基板配線用のコネクタポートである。レセプタクル K R E 4 は、音声制御基板配線用のコネクタポートである。なお、レセプタクルの配置や接続される配線は、パチンコ遊技機 1 の仕様に応じて任意に変更されたものであってもよい。

【 0 0 4 5 】

主基板配線用のレセプタクル K R E 1 は、主基板 1 1 との間で電氣的に接続される信号配線（主基板配線）を着脱自在に接続可能な配線接続装置の構成を有している。電源基板配線用のレセプタクル K R E 2 は、電源基板 9 2 との間で電氣的に接続される信号配線（電源基板配線）を着脱自在に接続可能な配線接続装置の構成を有している。ドライバ基板配線用のレセプタクル K R E 3 は、ドライバ基板 1 9 との間で電氣的に接続される信号配線（ドライバ基板配線）を着脱自在に接続可能な配線接続装置の構成を有している。音声制御基板配線用のレセプタクル K R E 4 は、音声制御基板 1 3 との間で電氣的に接続される信号配線（音声制御基板配線）を着脱自在に接続可能な配線接続装置の構成を有している。

【 0 0 4 6 】

（特徴部 3 0 A K に関する説明）

図 8 は、本実施形態の特徴部 3 0 A K に関し、主基板 1 1 における一方の基板面（表面）にて、C P U 1 0 3 と R A M 1 0 2 とを接続する配線のパターンが形成された部分の構成例を示している。主基板 1 1 では、例えば R A M 1 0 2 と C P U 1 0 3 といった、複数の電気部品を複数の信号配線により接続するために、複数の信号配線を構成する配線のパターンが形成されている。C P U 1 0 3 は、パチンコ遊技機 1 における遊技の制御に関して、所定の処理を実行可能に構成された電気部品であり、R A M 1 0 2 は C P U 1 0 3 による処理の実行に関する情報を記憶可能に構成された電気部品である。

【 0 0 4 7 】

複数の信号配線を構成する配線のパターンに対し、それらの周囲あるいは信号配線間における領域にて、1 または複数のグランド導体が配置されている。グランド導体は、基準グランドや特性インピーダンス調整用グランドとして機能し、グランド電圧に維持される

10

20

30

40

50

。図 8 に示す構成例では、複数のグラウンド導体として、複数の信号配線の周囲における領域にグラウンド導体 30AK10G およびグラウンド導体 30AK11G が配置され、複数の信号配線間における領域にグラウンド導体 30AK20G が配置されている。このように、複数の信号配線を構成する配線のパターンが設けられていない空白領域となる空域部分には、1 または複数のグラウンド導体が設けられていてもよい。これにより、複数の信号配線から放射される電磁波ノイズや信号配線間での電磁波ノイズによる電磁妨害を、防止あるいは抑制できる。

【0048】

なお、複数の信号配線の周囲および信号配線間における双方の領域に複数のグラウンド導体が配置されるものに限定されず、複数の信号配線の周囲または信号配線間における一方の領域にのみグラウンド導体が配置されるものであってもよい。あるいは、このようなグラウンド導体が配置されないものであってもよい。

【0049】

図 9 は、図 8 に示した複数の信号配線を構成する配線のパターンについて、より詳細に説明するための領域や区間を示している。図 9 に示す領域 30AK01R は、複数の信号配線が CPU103 に接続される側の端部における領域である。図 9 に示す領域 30AK10R は、複数の信号配線がいずれも直線形状または略直線形状で互いに平行または略平行な第 1 形状となる領域であり、図 9 に示す領域 30AK11R と領域 30AK12R は、少なくとも一部の信号配線が直線形状および略直線形状とは異なる形状で他の信号配線と平行および略平行ではない第 2 形状となる領域である。図 9 に示す区間 30AK0SC では、複数の信号配線のうち一部の信号配線が最短または略最短の距離で接続する短距離パターンと短距離パターンに含まれない信号配線が短距離パターンよりも長い距離で接続する長距離パターンとが配置されている。

【0050】

図 10 は、図 9 に示された領域 30AK01R の拡大図である。図 10 に示す領域 30AK01R において、複数の信号配線を構成する配線のパターンは、パターン 30AK10D ~ 30AK13D と、パターン 30AK10CK と、パターン 30AK10CS と、パターン 30AK10RS と、パターン 30AK10A ~ 30AK14A とを含んでいる。

【0051】

図 11 は、図 10 に示された配線のパターンに対応して、信号種類、信号同期の有無、蛇行形状の有無についての設定例を示している。図 11 に示す信号種類は、各配線のパターンが構成する信号配線で伝送される電気信号の内容（用途）を示している。図 11 に示す信号同期は、他の信号配線で伝送される電気信号に対する同期の有無を示している。図 11 に示す蛇行形状は、RAM102 と CPU103 との間を接続する各配線のパターンについて、直線形状および略直線形状とは異なる蛇行形状となる部分が設けられているか否かを示している。蛇行形状は、ミアンダ形状やジグザグ形状、あるいは折返し形状とも称され、所定区間における信号配線の延設方向に対し、信号配線が繰り返し折り曲げられることにより、例えば延設方向に直交あるいは略直交する方向に折返し往復する形状であればよい。

【0052】

図 11 に示す設定例において、配線のパターン 30AK10D ~ 30AK13D は、いずれもデータ信号を伝送するための信号配線を構成する。各信号配線で伝送されるデータ信号は、例えばクロック信号および他の信号配線で伝送されるデータ信号といった、他の信号配線で伝送される信号と同期して伝送される。配線のパターン 30AK10CK は、クロック信号を伝送するための信号配線を構成する。クロック信号は、例えばデータ信号やアドレス信号、チップセレクト信号といった、他の信号配線で伝送される信号と同期して伝送される。配線のパターン 30AK10CS は、チップセレクト信号を伝送するための信号配線を構成する。チップセレクト信号は、例えばクロック信号といった、他の信号配線で伝送される信号と同期して伝送される。配線のパターン 30AK10RS は、リセ

ット信号を伝送するための信号配線を構成する。リセット信号は、他の信号配線で伝送される信号とは同期しない非同期で伝送される。配線のパターン 30AK10A ~ 30AK14A は、いずれもアドレス信号を伝送するための信号配線を構成する。各信号配線で伝送されるアドレス信号は、例えばクロック信号および他の信号配線で伝送されるアドレス信号といった、他の信号配線で伝送される信号と同期して伝送される。

【0053】

他の信号配線で伝送される信号と同期して伝送されるデータ信号、クロック信号、チップセレクト信号、アドレス信号のうちデータ信号を伝送するための信号配線を構成する配線のパターン 30AK10D ~ 30AK13D には、蛇行形状がない配線のパターン 30AK10D が含まれている。配線のパターン 30AK10D が構成する信号配線で伝送されるデータ信号とは異なるデータ信号、クロック信号、チップセレクト信号、アドレス信号を伝送するための信号配線を構成する配線のパターンは、少なくとも一部分が直線形状および略直線形状とは異なる形状としての蛇行形状となっている。

10

【0054】

配線のパターン 30AK10D が構成するデータ信号を伝送するための信号配線は、他のデータ信号、クロック信号、チップセレクト信号、アドレス信号を伝送するための信号配線に比べて、RAM102 と CPU103 における接続端子間の距離が長くなっている。そこで、配線のパターン 30AK10D が構成する信号配線で伝送されるデータ信号とは異なるデータ信号、クロック信号、チップセレクト信号、アドレス信号を伝送するための信号配線を構成する配線のパターンは、少なくとも一部分が蛇行形状となることにより、各信号配線の配線長が同一または略同一となる。その一方で、配線のパターン 30AK10D には蛇行形状を設ける必要がない。

20

【0055】

このように、同期信号を伝送するための信号配線のうち複数の電気部品における接続端子間の距離が他の接続端子間の距離と比べて長くなる信号配線は、例えば蛇行形状となる配線部分といった、直線形状および略直線形状とは異なる形状となる配線部分を含まないように、配線のパターンが形成されていればよい。逆にいうと、直線形状または略直線形状などの形状となる一方で蛇行形状のような直線形状および略直線形状とは異なる形状を含まない配線のパターンが構成する信号配線は、蛇行形状のような直線形状および略直線形状とは異なる形状を含む配線のパターンが構成する信号配線と比較して、複数の電気部品における接続端子間の距離が長い。あるいは、同期信号を伝送するための信号配線のうち複数の電気部品における接続端子間の距離が他の接続端子間の距離と比べて長くなる信号配線は、例えば蛇行形状となる配線部分といった、他の信号配線と平行および略平行な形状とは異なる形状となる配線部分を含まないように、配線のパターンが形成されていればよい。逆にいうと、他の信号配線と平行または略平行な形状となる一方で蛇行形状のような平行および略平行な形状とは異なる形状を含まない配線のパターンが構成する信号配線は、蛇行形状のような他の信号配線と平行および略平行な形状とは異なる形状を含む配線のパターンが構成する信号配線と比較して、複数の電気部品における接続端子間の距離が長い。これにより、各信号配線の配線長を同一または略同一とし、複数の信号配線で伝送される信号の遅延時間差（スキュー）が発生することを、防止あるいは抑制できる。複数の信号配線で伝送される信号の遅延時間差を減少させることにより、複数の信号配線で伝送される信号の信頼性を向上させることができる。

30

40

【0056】

配線のパターン 30AK10RS には、蛇行形状が設けられていない。配線のパターン 30AK10RS は、非同期信号であるリセット信号を伝送するための信号配線を構成する。リセット信号などの非同期信号を伝送する場合には、他の信号配線で伝送される信号との遅延時間差を考慮する必要がない。そこで、リセット信号を伝送するための信号配線を構成する配線のパターン 30AK10RS のように、非同期信号が伝送される信号配線を構成する配線のパターンには蛇行形状を設けない。配線のパターンに蛇行形状を設けないようにすれば、配線のパターンを配置する基板面積の増大が抑制されて、基板の小型化

50

を図ることができる。

【 0 0 5 7 】

蛇行形状を設けない配線のパターンとして、グラウンド電圧に維持されるダミー配線を構成する配線のパターンが配置されてもよい。例えば配線のパターン 3 0 A K 1 0 R S が構成する信号配線では、リセット信号が伝送されることに代えて、グラウンド電圧に維持されてもよい。配線のパターン 3 0 A K 1 0 R S は、データ信号を伝送するための信号配線を構成する配線のパターン 3 0 A K 1 0 D ~ 3 0 A K 1 3 D、クロック信号を伝送するための信号配線を構成する配線のパターン 3 0 A K 1 0 C K、チップセレクト信号を伝送するための信号配線を構成する配線のパターン 3 0 A K 1 0 C S で構成される一群のパターンと、アドレス信号を伝送するための信号配線を構成する配線のパターン 3 0 A K 1 0 A ~ 3 0 A K 1 4 A で構成される一群のパターンとの間に配置されている。配線のパターン 3 0 A K 1 0 R S のような他の信号配線間に配置される信号配線をグラウンド電圧に維持されるダミー配線とすることにより、複数の信号配線での電磁波ノイズによる電磁妨害の防止あるいは抑制が図られる。蛇行形状を設けない配線のパターンとしては、グラウンド電圧に維持されるダミー配線に代えて、あるいはグラウンド電圧に維持されるダミー配線とともに、電源電圧に維持される配線のパターンが配置されてもよい。例えば配線のパターン 3 0 A K 1 0 R S が構成する信号配線では、リセット信号が伝送されることに代えて、電源電圧に維持されてもよい。なお、電源電圧に維持される配線のパターンは、他の信号配線を構成する配線のパターンと近接して配置すると、それぞれの信号配線どうしの電磁結合などにより、電磁波ノイズが発生するおそれがある。そこで、電源電圧に維持される配線のパターンを配置する場合には、グラウンド電圧に維持される配線のパターンを配置する場合と比較して、信号配線からの距離が長くなるように、各配線のパターンが形成されてもよい。これにより、信号配線での電磁波ノイズによる電磁妨害の防止あるいは抑制が図られる。

【 0 0 5 8 】

図 1 2 は、図 9 に示された領域 3 0 A K 1 0 R の拡大図である。領域 3 0 A K 1 0 R には、配線のパターン 3 0 A K 1 0 C K、3 0 A K 1 0 C S、3 0 A K 1 0 R S、3 0 A K 1 0 A ~ 1 4 A が形成されている。これらの配線のパターンは、領域 3 0 A K 1 0 R において、複数の信号配線がいずれも直線形状または略直線形状で互いに平行または略平行な形状となるように形成されている。このように、領域 3 0 A K 1 0 R では、複数の信号配線を構成する配線のパターンがいずれも直線形状または略直線形状となるように形成され、複数の信号配線が互いに平行または略平行な形状となるように配線のパターンが形成されている。

【 0 0 5 9 】

図 1 3 は、図 9 に示された領域 3 0 A K 1 1 R の拡大図である。領域 3 0 A K 1 1 R には、領域 3 0 A K 1 0 R と同じく、配線のパターン 3 0 A K 1 0 C K、3 0 A K 1 0 C S、3 0 A K 1 0 R S、3 0 A K 1 0 A ~ 1 4 A が形成されている。これらの配線のパターンは、領域 3 0 A K 1 1 R において、少なくとも 1 の信号配線が直線形状または略直線形状となるように形成されている一方で、他の信号配線が直線形状および略直線形状とは異なる形状となるように形成されている。図 1 3 に示す領域 3 0 A K 1 1 R において、例えばクロック信号を伝送するための信号配線を構成する配線のパターン 3 0 A K 1 0 C K、チップセレクト信号を伝送するための信号配線を構成する配線のパターン 3 0 A K 1 0 C S は、複数の折り曲げ部を含むものの、いずれも直線形状または略直線形状となるように形成されている。また、図 1 3 に示す領域 3 0 A K 1 1 R において、リセット信号を伝送するための信号配線を構成する配線のパターン 3 0 A K 1 0 R S は、折り曲げ部を含まない直線形状または略直線形状となるように形成されている。これに対し、図 1 3 に示す領域 3 0 A K 1 1 R において、アドレス信号を伝送するための信号配線を構成する配線のパターン 3 0 A K 1 0 A ~ 3 0 A K 1 4 A は、複数の折り曲げ部により蛇行形状が形成され、直線形状および略直線形状とは異なる形状となるように形成されている。

【 0 0 6 0 】

蛇行形状が形成される部分では、例えば複数の折り曲げ部を介することにより、信号配線が本来の延設方向に対して直交する方向へと屈曲されていけばよい。各折り曲げ部では、信号配線が直角よりも大きい角度（鈍角）をなすように折り曲げられることにより、信号配線の延設方向が変更された配線のパターンが形成されていけばよい。この場合に、各折り曲げ部における折り曲げ量は、直角よりも小さい角度となるように、信号配線が折り曲げられる。蛇行形状が形成される部分では、第1延設方向と、この第1延設方向に対して直交または略直交する第2延設方向とに、信号配線を延設可能とし、第1延設方向の信号配線を構成する配線のパターンと、第2延設方向の信号配線を構成する配線のパターンとの間には、複数の折り曲げ部が設けられていけばよい。このように、信号配線の折り曲げ量が所定角度よりも小さい角度となる複数の折り曲げ部を介して信号配線の延設方向が変更される。折り曲げ量を小さくすることにより、折り曲げ部における配線のパターン幅が大きく変化してしまうことを抑制し、伝送路の特性インピーダンスが急変することを防止して、複数の信号配線での電磁波ノイズによる電磁妨害の防止あるいは抑制が図られる。

10

【0061】

各信号配線では、折り曲げ部の位置が他の信号配線における折り曲げ部の位置から所定長より長い距離となるように、複数の折り曲げ部が配置されていけばよい。所定長は、例えば2mm～5mmの範囲に含まれる一定長といった、基板設計上の観点から予め定められた長さであればよい。信号配線の折り曲げ部では、特性インピーダンスの変化などにより、電磁波ノイズが発生しやすくなる。複数の信号配線に含まれる1の信号配線を構成する配線のパターンが形成する折り曲げ部は、複数の信号配線に含まれる他の信号配線を構成する配線のパターンが形成する折り曲げ部と接近して配置されると、各信号配線で伝送される信号が電磁波ノイズの影響を受けやすくなるおそれがある。そこで、複数の信号配線に含まれる1の信号配線を構成する配線のパターンが形成する折り曲げ部と、複数の信号配線に含まれる他の信号配線を構成する配線のパターンが形成する折り曲げ部とが、所定長より長い距離となるように間隔をあけて配置することにより、複数の信号配線での電磁波ノイズによる電磁妨害の防止あるいは抑制が図られる。

20

【0062】

また、領域30AK11Rでは、少なくとも1の信号配線が平行および略平行とは異なる形状となるように形成されている。図13に示す領域30AK11Rにおいて、例えばクロック信号を伝送するための信号配線を構成する配線のパターン30AK10CKと、チップセレクト信号を伝送するための信号配線を構成する配線のパターン30AK10CSは、いずれも複数の折り曲げ部を介しながら、全体として互いの信号配線が平行または略平行な形状となるように形成されている。これに対し、図13に示す領域30AK11Rにおいて、アドレス信号を伝送するための信号配線を構成する配線のパターン30AK10A～30AK14Aは、複数の折り曲げ部により蛇行形状が形成されているので、全体として互いの信号配線が平行または略平行とは異なる形状となるように形成されている。

30

【0063】

図13に示す領域30AK11Rでは、複数の信号配線のうち少なくとも1の信号配線が、平行および略平行な形状とは異なる蛇行形状などの形状となっている。この領域30AK11Rにおいて、信号配線を構成する配線のパターンに近接するスペース領域30AK0SPには、少なくとも信号配線と同一の基板上で導体が設けられていない。スペース領域30AK0SPは、例えばアドレス信号を伝送するための信号配線を構成する配線のパターン30AK10A～30AK14Aのうち領域30AK11Rにて蛇行形状が設けられた配線のパターン30AK10A～30AK13Aに近接している。スペース領域30AK0SPには導体が設けられていないことにより、複数の信号配線での電磁波ノイズによる電磁妨害の防止あるいは抑制が図られる。蛇行形状となる配線のパターンに近接する領域に導体が設けられている場合には、信号配線から電磁波が放射される可能性があり、信号配線と導体との電磁結合などにより、電磁波ノイズが発生するおそれがある。そこ

40

50

で、例えばスペース領域 30AK0SP のように、蛇行形状が設けられた配線のパターンに近接する領域には導体が設けられないことで、複数の信号配線での電磁波ノイズによる電磁妨害の防止あるいは抑制が図られる。

【0064】

図14は、多層配線基板として形成された主基板11の構成例を示す断面図である。図14に示す主基板11は、合成樹脂を重ねて形成された多層構造を有し、各層の表面または内層には様々な配線のパターンを形成可能とされている。このような多層構造を有する主基板11に形成された配線のパターンを介して、例えばRAM102とCPU103といった、複数の電子部品が電氣的に接続される。図14に示す主基板11の多層構造は、表面層30AK1Sと、グランド層30AK1Lと、電源層30AK2Lと、配線層30AK3Lと、電源層30AK4Lと、裏面層30AK2Sとを含んでいる。

10

【0065】

主基板11における一方の基板面となる表面には、表面層30AK1Sが設けられ、信号配線を構成する配線のパターン30AK10Pおよびパターン30AK11Pが形成されている。主基板11における他方の基板面となる裏面には、裏面層30AK2Sが設けられ、信号配線を構成する配線のパターン30AK20Pが形成されている。主基板11の表面層30AK1Sに形成された配線のパターン30AK10Pは、主基板11の表面層30AK1Sおよび裏面層30AK2Sを貫通するスルーホール30AK1Hを介して、裏面層30AK2Sに形成された配線のパターン30AK20Pと電氣的に接続されている。主基板11の表面層30AK1Sに形成された配線のパターン30AK11Pは、主基板11の表面層30AK1Sおよび裏面層30AK2Sを貫通するスルーホール30AK2Hを介して、裏面層30AK2Sに形成された配線のパターン30AK20Pと電氣的に接続されている。このように、主基板11には、一方の基板面となる表面に設けられた表面層30AK1Sにおいて信号配線を構成する配線のパターン30AK10Pおよびパターン30AK11Pと、他方の基板面となる裏面に設けられた裏面層30AK2Sにおいて信号配線を構成する配線のパターン30AK20Pとを、電氣的に接続可能なスルーホール30AK1Hおよびスルーホール30AK2Hが設けられている。

20

【0066】

図14に示すRAM102とCPU103を接続する複数の信号配線に含まれる各信号配線の配線長は、表面層30AK1Sに形成された配線のパターン30AK10Pおよびパターン30AK11Pと、裏面層30AK2Sに形成された配線のパターン30AK20Pとが構成する信号配線の配線長だけでなく、スルーホール30AK1Hおよびスルーホール30AK2Hの長さを含めて、同一または略同一となる。図14に示す多層構造を有する主基板11において、スルーホール30AK1Hおよびスルーホール30AK2Hの長さを含めて、各信号配線の配線長を同一または略同一とし、複数の信号配線で伝送される信号の遅延時間差が発生することを、防止あるいは抑制できる。主基板11のような多層配線基板において複数の信号配線で伝送される信号の遅延時間差を減少させることにより、複数の信号配線で伝送される信号の信頼性を向上させることができる。

30

【0067】

図14に示す多層構造を有する主基板11において、表面層30AK1Sに隣接する導体層として、グランド層30AK1Lが設けられている。グランド層30AK1Lには、1または複数のグランド導体が配置され、グランド導体はグランド電圧に維持される。表面層30AK1Sにおいて信号配線を構成する配線のパターン30AK10Pおよびパターン30AK11Pは、少なくともいずれか一方のパターンにおいて、蛇行形状といった、直線形状および略直線形状とは異なる形状で複数の信号配線が平行および略平行な形状とは異なる形状となる領域を含むように形成されていけばよい。このような表面層30AK1Sに隣接する導体層としてのグランド層30AK1Lでは、信号の伝送が行われない。配線のパターン30AK10Pおよびパターン30AK11Pが形成された表面層30AK1Sに隣接する導体層で信号の伝送が行われないので、配線のパターン30AK10Pおよびパターン30AK11Pが構成する複数の信号配線で伝送される信号が電磁波ノ

40

50

イズの影響を受けにくくなり、他の信号配線に電磁波ノイズの影響が及ぶことも、防止あるいは抑制できる。

【 0 0 6 8 】

図 1 4 に示す多層構造を有する主基板 1 1 の裏面層 3 0 A K 2 S において信号配線を構成する配線のパターン 3 0 A K 2 0 P が、蛇行形状といった、直線形状および略直線形状とは異なる形状で複数の信号配線が平行および略平行な形状とは異なる形状となる領域を含むように形成されてもよい。このような裏面層 3 0 A K 2 S に隣接する導体層としての電源層 3 0 A K 4 L では、信号の伝送が行われない。電源層 3 0 A K 4 L には、1 または複数の電源導体が配置され、電源導体は電源電圧に維持される。配線のパターン 3 0 A K 2 0 P が形成された裏面層 3 0 A K 2 S に隣接する導体層で信号の伝送が行われないので、配線のパターン 3 0 A K 2 0 P が構成する複数の信号配線で伝送される信号が電磁波ノイズの影響を受けにくくなり、他の信号配線に電磁波ノイズの影響が及ぶことも、防止あるいは抑制できる。主基板 1 1 のような多層配線基板において複数の信号配線が設けられる層に隣接する導体層では信号の伝送が行われないことにより、複数の信号配線での電磁波ノイズによる電磁妨害の防止あるいは抑制が図られる。

10

【 0 0 6 9 】

図 1 4 に示す多層構造を有する主基板 1 1 の配線層 3 0 A K 3 L において信号配線を構成する配線のパターンが、蛇行形状といった、直線形状および略直線形状とは異なる形状で複数の信号配線が平行および略平行な形状とは異なる形状となる領域を含むように形成されてもよい。このような配線層 3 0 A K 3 L に隣接する導体層としての電源層 3 0 A K 2 L や電源層 3 0 A K 4 L では、信号の伝送が行われない。主基板 1 1 のような多層配線基板において複数の信号配線が設けられる配線層 3 0 A K 3 L に隣接する導体層では信号の伝送が行われないことにより、複数の信号配線での電磁波ノイズによる電磁妨害の防止あるいは抑制が図られる。ただし、多層配線基板に設けられた内層の導体層である配線層 3 0 A K 3 L において信号配線を構成する配線のパターンが蛇行形状などの形状となる領域を含むように形成された場合には、信号配線の断線などによる障害が発生した場合に、配線層 3 0 A K 3 L における信号配線の状態を基板の外部から確認することが困難になるおそれがある。これに対し、主基板 1 1 の表面層 3 0 A K 1 S や裏面層 3 0 A K 2 S といった、主基板 1 1 が備える一方の基板面や他方の基板面において信号配線を構成する配線のパターンが蛇行形状などの形状となる領域を含むように形成された場合には、信号配線の断線などによる障害が発生した場合に、表面層 3 0 A K 1 S や裏面層 3 0 A K 2 S における信号配線の状態を基板の外部から確認しやすい適切な基板構成が可能になる。

20

30

【 0 0 7 0 】

主基板 1 1 の表面層 3 0 A K 1 S および裏面層 3 0 A K 2 S を貫通するスルーホールは、図 1 4 に示すスルーホール 3 0 A K 1 H およびスルーホール 3 0 A K 2 H に限定されず、より多くのスルーホールが設けられ、複数の信号配線における各信号配線の配線長を同一または略同一にするために用いられてもよい。複数の信号配線を構成する配線のパターンのうちには、スルーホール 3 0 A K 1 H およびスルーホール 3 0 A K 2 H のようなスルーホールを介することなく、例えば主基板 1 1 の表面層 3 0 A K 1 S のみに信号配線が配置されるように形成されたパターンが含まれてもよい。配線のパターン 3 0 A K 1 0 D が構成するデータ信号を伝送するための信号配線といった、複数の電気部品における接続端子間の距離が他の接続端子間の距離と比べて長くなる信号配線は、スルーホール 3 0 A K 1 H およびスルーホール 3 0 A K 2 H のようなスルーホールを介することなく、主基板 1 1 の表面層 3 0 A K 1 S のみに信号配線が配置されてもよい。逆にいうと、表面層 3 0 A K 1 S など 1 の導体層にてスルーホールを介することなく形成された配線のパターンが構成する信号配線は、表面層 3 0 A K 1 S および裏面層 3 0 A K 2 S など複数の導体層にてスルーホールを介して電氣的に接続可能となるように形成された配線のパターンが構成する信号配線と比較して、複数の電気部品における接続端子間の距離が長い。

40

【 0 0 7 1 】

複数の信号配線が隣接して設けられる場合には、図 1 3 に示したスペース領域 3 0 A K

50

OSPのように、小さな空白領域が形成される。この空白領域にスルーホールを設け、例えばグランド層30AK1Lといった他の導体層と電氣的に接続されるように、銅などの導電材料が埋設されたスルーホール電極を有する構成とすることも考えられる。空白領域にスルーホール電極のような導体が設けられる構成では、例えば空白領域における電界分布を安定させるために、多数のスルーホール電極が配置される場合もある。この場合には、主基板11の表面層30AK1Sのみでなく、裏面層30AK2Sにも、例えばパンプといった、スルーホール電極に対応する構造物が配置され、基板上における配線パターンの設計が制約されるという不都合が生じるおそれがある。また、多層配線基板に設けられた内層の導体層であるグランド層30AK1Lや電源層30AK2L、30AK4Lなどでは、スルーホール電極が設けられる場合に、そのスルーホール電極の周囲では導体層の10
パターンを除去することになり、グランド層30AK1Lや電源層30AK2L、30AK4Lなど内層の導体層におけるパターンが分断され、導体層におけるパターンの設計が困難になるという不都合が生じるおそれがある。さらに、スルーホール電極に代えて、例えばダミーパッドのような導体が空白領域に設けられ、他の導体層とは接続されないような構成では、この導体が外部からの電磁波ノイズによる影響を受けたり、この導体が複数の信号配線に電磁波ノイズの影響を及ぼしたりして、電磁妨害などの悪影響を与える不都合が生じるおそれがある。これに対し、信号配線を構成する配線のパターンに近接するスペース領域30AK0SPには、導体が設けられないことにより、これらの不都合が生じることを、防止あるいは抑制できる。

【0072】

その他、図13に示したスペース領域30AK0SPのように、複数の信号配線が隣接して設けられる場合に形成される空白領域には、例えば基板固定用のネジ穴といった、基板の構成材料とは異なる材料が用いられる構造物が設けられないようにしてもよい。基板固定用のネジ穴が設けられた場合には、ネジ止めにより基板を固定した場合に、ネジの構成材料が外部からの電磁波ノイズによる影響を受け、他の信号配線にも電磁妨害などの悪影響を与える不都合が生じるおそれがある。また、基板に含まれる絶縁層とは誘電率が異なる合成樹脂や誘電材料を用いた構造物、あるいは基板に含まれる導体層とは電気伝導率が異なる合成樹脂や金属材料を用いた構造物が、複数の信号配線に近接した空白領域に設けられた場合には、これらの構造物が外部からの電磁波ノイズによる影響を受けたり、これらの構造物が複数の信号配線に電磁波ノイズの影響を及ぼしたりして、電磁妨害などの30
悪影響を与える不都合が生じるおそれがある。これに対し、信号配線を構成する配線のパターンに近接するスペース領域30AK0SPなどの空白領域には、基板の構成材料とは異なる材料を用いた構造物が設けられないことにより、これらの不都合が生じることを、防止あるいは抑制できる。

【0073】

図9に示す区間30AK0SCでは、データ信号を伝送するための複数の信号配線を形成する配線のパターン30AK10D~30AK13Dのうち1のパターン30AK13Dが、蛇行形状といった、直線形状および略直線形状とは異なる形状で他の信号配線と平行および略平行な形状とは異なる形状となる信号配線の部分を含むように形成されている。これに対し、少なくともパターン30AK10Dおよびパターン30AK11Dは、区40
間30AK0SCにて、蛇行形状を含むことなく、直線形状または略直線形状で互いの信号配線が平行または略平行な形状となるように形成されている。したがって、パターン30AK10Dおよびパターン30AK11Dは、信号配線が区間30AK0SCを最短または略最短で接続するパターンとなる。これに対し、パターン30AK12Dおよびパターン30AK13Dは、信号配線が区間30AK0SCをパターン30AK10Dおよびパターン30AK11Dよりも長い距離で接続するパターンとなる。

【0074】

区間30AK0SCにて、パターン30AK13Dが構成する信号配線が蛇行形状などの直線形状および略直線形状とは異なる形状となっている部分では、他のパターン30AK10D~パターン30AK12Dが構成する信号配線は直線形状または略直線形状とな50

るように形成されている。このように、複数の信号配線を構成する配線のパターンのうち 1 の配線のパターンにより構成される信号配線が蛇行形状などの直線形状および略直線形状とは異なる形状となっている部分では、他の配線のパターンにより構成される信号配線が直線形状または略直線形状となるように形成されてもよい。1 の配線のパターンにより構成される信号配線が蛇行形状などの直線形状および略直線形状とは異なる形状となる部分は、他の配線のパターンにより構成される信号配線が直線形状または略直線形状となる部分と重複しないように形成されてもよい。蛇行形状などの直線形状および略直線形状とは異なる形状となる部分が、複数の信号配線について重複しないように配線のパターンが形成されることにより、配線のパターンを配置する基板面積の増大が抑制されて、基板の小型化を図ることができる。

10

【0075】

図15は、複数の信号配線が蛇行形状となる部分が重複しない配線のパターンについて、他の形成例を示している。図15に示す領域30AK20Rでも、複数の信号配線を構成する配線のパターンのうち1の配線パターンにより構成される信号配線が蛇行形状となっている部分では、他の配線のパターンにより構成される信号配線が直線形状または略直線形状となるように形成されている。そして、第1配線のパターンにより構成される第1信号配線が蛇行形状となる部分である第1蛇行部が終了すると、第1配線のパターンとは異なる第2配線のパターンにより構成される第2信号配線が蛇行形状となる部分である第2蛇行部が開始されるように、複数の信号配線を構成する配線のパターンが形成されている。第1蛇行部では、第1信号配線以外の信号配線を構成する配線のパターンとして、第2信号配線を構成する第2配線のパターンを含めた配線のパターンは、各パターンにより構成される信号配線が平行または略平行な形状となるように形成されていればよい。第2蛇行部では、第2信号配線以外の信号配線を構成する配線のパターンとして、第1信号配線を構成する第1配線のパターンを含めた配線のパターンは、各パターンにより構成される信号配線が平行または略平行な形状となるように形成されていればよい。第1蛇行部が終了してから第2蛇行部が開始されるので、第1蛇行部は第2蛇行部と重複しないように配置されている。これにより、多数の信号配線について蛇行形状などの直線形状および略直線形状とは異なる形状となる部分を設けた場合でも、配線のパターンを配置する基板面積の増大が可及的に抑制されて、基板の小型化を図ることができる。

20

【0076】

(特徴部42AKに関する説明)

図16は、本実施形態の特徴部42AKに関し、配線のパターンにより構成される複数の信号配線が形成された部分の構成例を示している。図16に示す配線のパターンは、例えば主基板11にて、RAM102とCPU103といった、複数の電気部品を接続する複数の信号配線を構成するものであればよい。図16に示す構成例では、複数の信号配線を構成する配線のパターンとして、2つの信号配線を構成する配線のパターンが示されている。図16(A)は配線間隔W1が配線間隔W2よりも狭い $W1 < W2$ の場合を示し、図16(B)は配線間隔W1が配線間隔W2よりも広い $W1 > W2$ の場合を示している。配線間隔W1は、同一の信号配線が蛇行形状となる部分における配線のパターンによる配線間隔である。配線間隔W2は、平行または略平行に隣接して互いに異なる信号配線を構成する配線のパターンどうしによる配線間隔である。

30

40

【0077】

図16(A)に示す2つの信号配線を構成する配線のパターンは、配線の第1パターン42AK10と、配線の第2パターン42AK11とを含んでいる。配線の第1パターン42AK10および配線の第2パターン42AK11は、それらの配線のパターンにより構成される信号配線の形状に応じて、配線部42AK1Zと、配線部42AK2Zとが含まれるように、各信号配線を形成している。

【0078】

配線部42AK1Zでは、配線の第1パターン42AK10により構成される信号配線が第2形状部42AK10Mを形成し、配線の第2パターン42AK11により構成され

50

る信号配線が第1形状部42AK11Lを形成している。配線部42AK2Zでは、配線の第1パターン42AK10により構成される信号配線が第1形状部42AK10Lを形成し、配線の第2パターン42AK11により構成される信号配線が第2形状部42AK11Mを形成している。第1形状部42AK10L、42AK11Lは、信号配線が直線形状または略直線形状の第1形状となるように形成されている。第2形状部42AK10M、42AK11Mは、信号配線が蛇行形状といった、直線形状および略直線形状とは異なる第2形状となるように形成されている。なお、第2形状部42AK10M、42AK11Mは、蛇行形状に限定されず、直線形状および略直線形状とは異なる任意の形状となるように形成されていれればよい。

【0079】

10

このように、配線の第1パターン42AK10および配線の第2パターン42AK11により構成される複数の信号配線は、配線部42AK1Zにて、配線の第2パターン42AK11により構成される信号配線が、直線形状または略直線形状の第1形状となる第1形状部42AK11Lに対応して、配線の第1パターン42AK10により構成される信号配線が、第1形状部42AK11Lとは異なる蛇行形状などの第2形状となる第2形状部42AK10Mを含んでいる。すなわち、配線部42AK1Zでは、配線の第2パターン42AK11により構成される信号配線における第1形状部42AK11Lに対応して、配線の第1パターン42AK10により構成される信号配線が第2形状部42AK11Mを含んでいる。

【0080】

20

また、配線の第1パターン42AK10および配線の第2パターン42AK11により構成される複数の信号配線は、配線部42AK2Zにて、配線の第1パターン42AK10により構成される信号配線が、直線形状または略直線形状の第1形状となる第1形状部42AK10Lに対応して、配線の第2パターン42AK11により構成される信号配線が、第1形状部42AK10Lとは異なる蛇行形状などの第2形状となる第2形状部42AK11Mを含んでいる。すなわち、配線部42AK2Zでは、配線の第1パターン42AK10により構成される信号配線における第1形状部42AK10Lに対応して、配線の第2パターン42AK11により構成される信号配線が第2形状部42AK11Mを含んでいる。

【0081】

30

図16(A)に示す信号配線が蛇行形状などの第2形状となる第2形状部42AK10Mおよび第2形状部42AK11Mは、第2形状部42AK10Mが配線部42AK1Zに含まれ、第2形状部42AK11Mが配線部42AK2Zに含まれるように形成されている。これにより、第2形状部42AK10Mおよび第2形状部42AK11Mは、それぞれの配置が互いに重複しない。加えて、各信号配線の配線長は同一または略同一となるように形成されている。このような第2形状部42AK10Mと第2形状部42AK11Mとが含まれるように、配線の第1パターン42AK10および配線の第2パターン42AK11により構成される信号配線が形成されているので、配線のパターンを配置する基板面積の増大が抑制されて、基板の小型化を図ることができる。

【0082】

40

図16(B)に示す2つの信号配線を構成する配線のパターンは、配線の第3パターン42AK12と、配線の第4パターン42AK13とを含んでいる。配線の第3パターン42AK12および配線の第4パターン42AK13は、それらの配線のパターンにより構成される信号配線の形状に応じて、配線部42AK3Zと、配線部42AK4Zとが含まれるように、各信号配線を形成している。

【0083】

配線の第3パターン42AK12および配線の第4パターン42AK13により構成される信号配線は、配線部42AK3Zにて、配線の第4パターン42AK13により構成される信号配線が、直線形状または略直線形状の第1形状となる第1形状部42AK13Lに対応して、配線の第3パターン42AK12により構成される信号配線が、第1形状

50

部 4 2 A K 1 3 L とは異なる蛇行形状などの第 2 形状となる第 2 形状部 4 2 A K 1 2 M を含んでいる。すなわち、配線部 4 2 A K 3 Z では、配線の第 4 パターン 4 2 A K 1 3 により構成される信号配線における第 1 形状部 4 2 A K 1 3 L に対応して、配線の第 3 パターン 4 2 A K 1 2 により構成される信号配線が第 2 形状部 4 2 A K 1 2 M を含んでいる。

【 0 0 8 4 】

また、配線の第 3 パターン 4 2 A K 1 2 および配線の第 4 パターン 4 2 A K 1 3 により構成される信号配線は、配線部 4 2 A K 4 Z にて、配線の第 3 パターン 4 2 A K 1 2 により構成される信号配線が、直線形状または略直線形状の第 1 形状となる第 1 形状部 4 2 A K 1 2 L に対応して、配線の第 4 パターン 4 2 A K 1 3 により構成される信号配線が、第 1 形状部 4 2 A K 1 2 L とは異なる蛇行形状などの第 2 形状となる第 2 形状部 4 2 A K 1 3 M を含んでいる。すなわち、配線部 4 2 A K 4 Z では、配線の第 3 パターン 4 2 A K 1 2 により構成される信号配線における第 1 形状部 4 2 A K 1 2 L に対応して、配線の第 4 パターン 4 2 A K 1 3 により構成される信号配線が第 2 形状部 4 2 A K 1 3 M を含んでいる。

【 0 0 8 5 】

図 1 6 (B) に示す信号配線が蛇行形状などの第 2 形状となる第 2 形状部 4 2 A K 1 2 M および第 2 形状部 4 2 A K 1 3 M は、第 2 形状部 4 2 A K 1 2 M が配線部 4 2 A K 3 Z に含まれ、第 2 形状部 4 2 A K 1 3 M が配線部 4 2 A K 4 Z に含まれるように形成されている。これにより、第 2 形状部 4 2 A K 1 2 M および第 2 形状部 4 2 A K 1 3 M は、それぞれの配置が互いに重複しない。加えて、各信号配線の配線長は同一または略同一となるように形成されている。このような第 2 形状部 4 2 A K 1 2 M と第 2 形状部 4 2 A K 1 3 L とが含まれるように、配線の第 3 パターン 4 2 A K 1 2 および配線の第 4 パターン 4 2 A K 1 3 により構成される信号配線が形成されているので、配線のパターンを配置する基板面積の増大が抑制されて、基板の小型化を図ることができる。

【 0 0 8 6 】

図 1 6 (A) に示す構成例では、配線間隔 W 1 よりも配線間隔 W 2 の方が広くなるように、各信号配線が形成されている。例えば第 2 形状部 4 2 A K 1 0 M や第 2 形状部 4 2 A K 1 1 M では、折り曲げ部により折り返された同一の信号配線が配線間隔 W 1 で往復する蛇行形状を形成しているのに対し、配線の第 1 パターン 4 2 A K 1 0 により構成される信号配線と配線の第 2 パターン 4 2 A K 1 1 により構成される信号配線とが互いに平行または略平行であるときに隣接する信号配線どうしの配線間隔 W 2 は、配線間隔 W 1 よりも広くなるように、各信号配線が形成されている。このように、同一の信号配線における配線間隔 W 1 よりも隣接する信号配線どうしの配線間隔 W 2 の方が広くなるので、1 の信号配線にて発生した短絡などによる悪影響が、他の信号配線にて伝送される信号に及ぶことを、防止あるいは抑制できる。

【 0 0 8 7 】

図 1 6 (B) に示す構成例では、配線間隔 W 1 よりも配線間隔 W 2 の方が狭くなるように、各信号配線が形成されている。例えば第 2 形状部 4 2 A K 1 2 M や第 2 形状部 4 2 A K 1 3 M では、折り曲げ部により折り返された同一の信号配線が配線間隔 W 1 で往復する蛇行形状を形成しているのに対し、配線の第 3 パターン 4 2 A K 1 2 により構成される信号配線と配線の第 4 パターン 4 2 A K 1 3 により構成される信号配線とが互いに平行または略平行であるときに隣接する信号配線どうしの配線間隔 W 2 は、配線間隔 W 1 よりも狭くなるように、各信号配線が形成されている。このように、同一の信号配線における配線間隔 W 1 よりも隣接する信号配線どうしの配線間隔 W 2 の方が狭くなるので、1 の信号配線の内部における短絡よりも、1 の信号配線と他の信号配線との間における短絡の方が、発生しやすくなる。1 の信号配線と他の信号配線との間で発生した短絡は、各信号配線に設けられたテストポイントを用いて容易に検出することができる。例えば各信号配線に設けられたテストポイントにテストプローブを接触させて信号配線の電気特性検査を行うことにより、1 の信号配線と他の信号配線との間で発生した短絡を検出することができる。

【 0 0 8 8 】

図16(A)に示すように、一方では、配線の第2パターン42AK11により構成される信号配線が第1形状部42AK11Lを形成している配線部42AK1Zに対応して、配線の第1パターン42AK10により構成される信号配線が第2形状部42AK10Mを形成している。他方では、配線の第1パターン42AK10により構成される信号配線が第1形成部42AK10Lを形成している配線部42AK1Zに対応して、配線の第2パターン42AK11により構成される信号配線が第2形状部42AK11Mを形成している。図16(B)に示すように、一方では、配線の第4パターン42AK13により構成される信号配線が第1形状部42AK13Lを形成している配線部42AK3Zに対応して、配線の第3パターン42AK12により構成される信号配線が第2形状部42AK12Mを形成している。他方では、配線の第3パターン42AK12により構成される信号配線が第1形状部42AK12Lを形成している配線部42AK4Zに対応して、配線の第4パターン42AK13により構成される信号配線が第2形状部42AK13Mを形成している。各配線のパターンにより構成される各信号配線の対応関係は、例えば基板11などの基板面に垂直な方向からみて、上下関係、左右関係、あるいは所定距離未満の範囲内といった、予め定めた任意の位置範囲内にある信号配線であれば成立し、そのような位置範囲内にない信号配線であれば不成立となる関係であればよい。

【0089】

図16(A)や図16(B)に示す例では、1の配線のパターンにより構成される信号配線における第1形状部に対応して他の配線のパターンにより構成される信号配線が第2形状を形成している配線部と、他の配線のパターンにより構成される信号配線における第1形状部に対応して1の配線のパターンにより構成される信号配線が第2形状を形成している配線部とにおいて、配線間隔W1が共通であり配線間隔W2も共通となるように、各信号配線が形成されている。より具体的には、図16(A)に示す配線の第2パターン42AK11により構成される信号配線における第1形状部42AK11Lに対応して、配線の第1パターン42AK10により構成される信号配線が第2形状部42AK10Mを形成している配線部42AK1Zと、配線の第1パターン42AK10により構成される信号配線における第1形状部42AK10Lに対応して、配線の第2パターン42AK11により構成される信号配線が第2形状部42AK11Mを形成している配線部42AK2Zとにおいて、配線間隔W1が共通(一定)であり配線間隔W2も共通(一定)となるように、各信号配線が形成されている。これにより、基板面における配線のパターン設計が容易になる。また、複数の信号配線における形状の相違が抑制されるので、各信号配線における特性インピーダンスのばらつきを抑制して、複数の信号配線における信号品質の均質化が図られる。

【0090】

なお、1の配線のパターンにより構成される信号配線における第1形状部に対応して他の配線のパターンにより構成される信号配線が第2形状を形成している配線部と、他の配線のパターンにより構成される信号配線における第1形状部に対応して1の配線のパターンにより構成される信号配線が第2形状を形成している配線部とでは、配線間隔W1と配線間隔W2の一方または双方が相違するように、各信号配線が形成されてもよい。例えば図16(A)に示す配線部42AK1Zと配線部42AK2Zとにおいて、配線間隔W2は共通とする一方で、配線間隔W1は配線部42AK1Zよりも配線部42AK2Zの方が広くなるように、各信号配線が形成されてもよい。こうした場合には、基板面における配線のパターン設計を柔軟に行うことができる。

【0091】

図17は、配線のパターンにより構成される複数の信号配線における第2形状部が異なる方向に形成されている構成例を示している。図17(A)に示す構成例では、複数の信号配線を構成する配線のパターンとして、3つの信号配線を構成する配線のパターンが示されている。図17(B)に示す構成例では、複数の信号配線を構成する配線のパターンとして、4つの信号配線を構成する配線のパターンが示されている。

【0092】

図17(A)に示す3つの信号配線を構成する配線のパターンは、配線の第1パターン42AK20、配線の第2パターン42AK21、配線の第3パターン42AK22を含んでいる。配線の第1パターン42AK20により構成される信号配線は、第2形状部42AK20Mを形成する部分を含んでいる。配線の第2パターン42AK21により構成される信号配線は、第2形状部42AK21Mを形成する部分を含んでいる。配線の第3パターン42AK22により構成される信号配線は、第2形状部42AK22Mを形成する部分を含んでいる。第2形状部42AK20Mおよび第2形状部42AK21Mは、例えば左右方向といった、第1方向に折返し往復する蛇行形状を有している。これに対し、第2形状部42AK22Mは、例えば上下方向といった、第1方向とは異なる第2方向に折返し往復する蛇行形状を有している。なお、それぞれの第2形状部は、蛇行形状に限定されず、直線形状および略直線形状とは異なる任意の形状となるように形成されていればよい。

10

【0093】

このように、配線の第1パターン42AK20により構成される信号配線における第2形状部42AK20Mは、配線の第2パターン42AK21により構成される信号配線における第2形状部42AK21Mと共通（平行）な第1方向に形成されている。これに対し、配線の第3パターン42AK22により構成される信号配線における第2形状部42AK22Mは、配線の第1パターンにより構成される第2形状部42AK20Mや配線の第2パターンにより構成される第2形状部42AK21Mが形成される第1方向とは異なる第2方向に形成されている。複数の信号配線において異なる方向に第2形状部が形成されるようにしたことにより、基板面における配線のパターン設計を容易かつ柔軟に行うことができる。また、配線のパターンを配置する基板面積の増大が抑制されて、基板の小型化を図ることができる。

20

【0094】

図17(B)に示す4つの信号配線を構成する配線のパターンは、配線の第4パターン42AK23、配線の第5パターン42AK24、配線の第6パターン42AK25、配線の第7パターン42AK26を含んでいる。配線の第4パターン42AK23により構成される信号配線は、2つの第2形状部42AK23M1、42AK23M2を形成する部分を含んでいる。配線の第5パターン42AK24により構成される信号配線は、1つの第2形状部42AK24Mを形成する部分を含んでいる。配線の第6パターン42AK25により構成される信号配線は、1つの第2形状部42AK25Mを形成する部分を含んでいる。配線の第7パターン42AK26により構成される信号配線は、2つの第2形状部42AK26M1、42AK26M2を形成する部分を含んでいる。図17(B)に示す複数の第2形状部のうち、第2形状部42AK23M1、42AK25M、42AK26M2は、例えば上下方向といった、第1方向に折返し往復する蛇行形状を有している。これに対し、第2形状部42AK23M2、42AK24M、42AK26M1は、例えば左右方向といった、第1方向とは異なる第2方向に折返し往復する蛇行形状を有している。

30

【0095】

図17(B)に示すように、配線のパターンにより構成される複数の信号配線には、1つの第2形状部を形成する部分を含む信号配線と、複数の第2形状部を形成する部分を含む信号配線とがあってもよい。あるいは、配線のパターンにより構成される複数の信号配線は、各信号配線が1つの第2形状部を形成する部分のみを含んでいてもよい。あるいは、配線のパターンにより構成される複数の信号配線は、各信号配線が複数の第2形状部を形成する部分を含んでいてもよい。図17(B)に示す配線の第4パターン42AK23により構成される信号配線における第2形状部42AK23M1は、配線の第6パターン42AK25により構成される信号配線における第2形状部42AK25Mや配線の第7パターン42AK26により構成される信号配線における第2形状部42AK26M2と共通（平行）な第1方向に形成されている。また、配線の第4パターン42AK23により構成される信号配線における第2形状部42AK23M2は、配線の第5パターン42

40

50

A K 2 4 により構成される信号配線における第 2 形状部 4 2 A K 2 4 M や配線の第 7 パターン 4 2 A K 2 6 により構成される信号配線における第 2 形状部 4 2 A K 2 6 M 1 と共通（平行）な第 2 方向に形成されている。これに対し、第 2 形状部 4 2 A K 2 3 M 2、4 2 A K 2 4 M、4 2 A K 2 6 M 1 は、第 2 形状部 4 2 A K 2 3 M 1、4 2 A K 2 5 M、4 2 A K 2 6 M 2 が形成される第 1 方向とは異なる第 2 方向に形成されている。

【 0 0 9 6 】

配線の第 4 パターン 4 2 A K 2 3 により構成される信号配線は、第 1 方向に形成される第 2 形状部 4 2 A K 2 3 M 1 と、第 2 方向に形成される第 2 形状部 4 2 A K 2 3 M 2 とを含んでいる。配線の第 7 パターン 4 2 A K 2 6 により構成される信号配線は、第 2 方向に形成される第 2 形状部 4 2 A K 2 6 M 1 と、第 1 方向に形成される第 2 形状部 4 2 A K 2 6 M 2 とを含んでいる。このように、同一の配線のパターンにより構成される 1 の信号配線であっても、異なる方向に形成される複数の第 2 形状部を含んでいてもよい。また、1 の配線のパターンにより構成される信号配線は、他の配線のパターンにより構成される信号配線における第 2 形状部と、共通（平行）な方向に形成されている第 2 形状部および異なる方向に形成されている第 2 形状部を含んでもよい。1 または複数の信号配線において異なる方向に第 2 形状部が形成されるようにしたことにより、基板面における配線のパターン設計を容易かつ柔軟に行うことができる。また、配線のパターンを配置する基板面積の増大が抑制されて、基板の小型化を図ることができる。

【 0 0 9 7 】

図 1 8 は、配線のパターンにより構成される複数の信号配線が異なる配線幅に形成されている構成例を示している。図 1 8 に示す構成例では、複数の信号配線を構成する配線のパターンとして、4 つの信号配線を構成する配線のパターンが示されている。図 1 8 (A) は信号配線の全体で配線幅が異なる場合を示し、図 1 8 (B) は信号配線の一部で配線幅が異なる場合を示している。

【 0 0 9 8 】

図 1 8 (A) に示す 4 つの信号配線を構成する配線のパターンは、配線の第 1 パターン 4 2 A K 3 0、配線の第 2 パターン 4 2 A K 3 1、配線の第 3 パターン 4 2 A K 3 2、配線の第 4 パターン 4 2 A K 4 3 を含んでいる。配線の第 1 パターン 4 2 A K 3 0 により構成される信号配線は、第 2 形状部 4 2 A K 3 0 M を形成する部分を含んでいる。配線の第 2 パターン 4 2 A K 3 1 により構成される信号配線は、第 2 形状部 4 2 A K 3 1 M を形成する部分を含んでいる。配線の第 3 パターン 4 2 A K 3 2 により構成される信号配線は、第 2 形状部 4 2 A K 3 2 M を形成する部分を含んでいる。配線の第 4 パターン 4 2 A K 3 3 により構成される信号配線は、第 2 形状部 4 2 A K 3 3 M を形成する部分を含んでいる。

【 0 0 9 9 】

配線の第 1 パターン 4 2 A K 3 0 により構成される信号配線は、配線の第 2 パターン 4 2 A K 3 1 により構成される信号配線と、配線幅が同一または略同一となるように形成されている。配線の第 3 パターン 4 2 A K 3 2 により構成される信号配線は、配線の第 4 パターン 4 2 A K 3 3 により構成される信号配線と、配線幅が同一または略同一となるように形成されている。これに対し、配線の第 1 パターン 4 2 A K 3 0 により構成される信号配線および配線の第 2 パターン 4 2 A K 3 1 により構成される信号配線は、配線の第 3 パターン 4 2 A K 3 2 により構成される信号配線および配線の第 4 パターン 4 2 A K 3 3 により構成される信号配線と比較して、信号配線の全体において配線幅が広くなるように形成されている。このように、配線の第 1 パターン 4 2 A K 3 0 と配線の第 2 パターン 4 2 A K 3 1 は配線幅が広い信号配線を構成し、配線の第 3 パターン 4 2 A K 3 2 と配線の第 4 パターン 4 2 A K 3 3 は配線幅が狭い信号配線を構成している。

【 0 1 0 0 】

配線の第 1 パターン 4 2 A K 3 0 により構成される信号配線と、配線の第 2 パターン 4 2 A K 3 1 により構成される信号配線とは、例えば第 1 種類の差動信号といった、共通する種類の電気信号が伝送されてもよい。また、配線の第 3 パターン 4 2 A K 3 2 により

構成される信号配線と、配線の第4パターン42AK33により構成される信号配線とでは、例えば第1種類とは異なる第2種類の差動信号といった、共通する種類の電気信号が伝送されてもよい。その一方で、配線の第1パターン42AK30により構成される信号配線や配線の第2パターン42AK31により構成される信号配線と、配線の第3パターン42AK32により構成される信号配線や配線の第4パターン42AK33により構成される信号配線とでは、互いに相違する種類の電気信号が伝送されてもよい。このように、配線のパターンにより構成される複数の信号配線は、伝送される電気信号の種類に応じて異なる配線幅となるように形成されていてもよい。あるいは、配線のパターンにより構成される複数の信号配線は、伝送される電気信号の種類が共通する場合に、同一または略同一の配線幅となるように形成されていてもよい。なお、配線のパターンにより構成される複数の信号配線は、伝送される電気信号の種類が共通する場合であっても、異なる配線幅となるように形成された信号配線を含んでいてもよい。あるいは、配線のパターンにより構成される複数の信号配線は、伝送される電気信号の種類が異なる場合であっても、同一または略同一の配線幅となるように形成された信号配線を含んでいてもよい。複数の信号配線が異なる配線幅に形成されるようにしたことにより、各信号配線における特性インピーダンスを容易に調整して、電気信号の種類などに応じた適切な伝送が可能になる。

10

【0101】

図18(B)に示す4つの信号配線を構成する配線のパターンは、配線の第5パターン42AK34、配線の第6パターン42AK35、配線の第7パターン42AK36、配線の第8パターン42AK37を含んでいる。配線の第5パターン42AK34により構成される信号配線は、第2形状部42AK34Mを形成する部分を含んでいる。配線の第6パターン42AK35により構成される信号配線は、第2形状部42AK35Mを形成する部分を含んでいる。配線の第7パターン42AK36により構成される信号配線は、第2形状部42AK36Mを形成する部分を含んでいる。配線の第8パターン42AK37により構成される信号配線は、第2形状部42AK37Mを形成する部分を含んでいる。

20

【0102】

配線の第5パターン42AK34により構成される信号配線と、配線の第6パターン42AK35により構成される信号配線は、一部の配線幅が他の部分における配線幅とは異なるように構成されている。例えば配線の第5パターン42AK34により構成される信号配線における第2形状部42AK34Mは、同一の信号配線における他の部分と比較して、配線幅が広くなるように形成されている。配線の第6パターン42AK35により構成される信号配線における第2形状部42AK35Mは、同一の信号配線における他の部分と比較して、配線幅が広くなるように形成されている。このように、配線の第5パターン42AK34は、第2形状部42AK34Mにて配線幅が広い信号配線を構成し、第2形状部42AK34M以外の部分では配線幅が狭い信号配線を構成している。配線の第6パターン42AK35は、第2形状部42AK35Mにて配線幅が広い信号配線を構成し、第2形状部42AK35M以外の部分では配線幅が狭い信号配線を構成している。なお、第2形状部にて配線幅が広い信号配線を構成するものに限定されず、直線形状または略直線形状となる第1形状部にて配線幅が広い信号配線を構成するものであってもよい。

30

40

【0103】

配線の第5パターン42AK34により構成される信号配線は、第2形状部42AK34Mの配線幅が他の部分よりも広くなることにより、同一の信号配線において配線幅が異なるように形成されている。配線の第6パターン42AK35により構成される信号配線は、第2形状部42AK35Mの配線幅が他の部分よりも広くなることにより、同一の信号配線において配線幅が異なるように形成されている。これに対し、配線の第7パターン42AK36により構成される信号配線や配線の第8パターン42AK37により構成される信号配線は、同一の信号配線において配線幅が同一または略同一となるように形成されている。1または複数の信号配線において一部が異なる配線幅に形成されるようにしたことにより、各信号配線における特性インピーダンスを容易に調整して、電気信号の種類

50

などに応じた適切な伝送が可能になる。

【 0 1 0 4 】

図 1 9 は、配線のパターンにより構成される複数の信号配線における第 2 形状部が対応して形成されている構成例を示している。図 1 9 に示す構成例では、複数の信号配線を構成する配線のパターンとして、2 つの信号配線を構成する配線のパターンが示されている。図 1 9 (A) は 2 つの信号配線が略平行に蛇行する場合を示し、図 1 9 (B) は 2 つの信号配線が離れる方向に蛇行する場合を示している。

【 0 1 0 5 】

図 1 9 (A) に示す 2 つの信号配線を構成する配線のパターンは、配線の第 1 パターン 4 2 A K 4 0 と、配線の第 2 パターン 4 2 A K 4 1 とを含んでいる。配線の第 1 パターン 4 2 A K 4 0 と、配線の第 2 パターン 4 2 A K 4 1 は、例えば上下方向といった、共通（平行）な方向に折返し往復する蛇行形状を有している。この蛇行形状において、配線の第 1 パターン 4 2 A K 4 0 により構成される信号配線が延設方向 D R 1 に対して配線の第 2 パターン 4 2 A K 4 1 により構成される信号配線に近づく方向へと屈曲されて突出する場合に、配線の第 2 パターン 4 2 A K 4 1 により構成される信号配線は、延設方向 D R 1 に対して、配線の第 1 パターン 4 2 A K 4 0 により構成される信号配線から離れる方向へと屈曲されて突出する。その後、配線の第 1 パターン 4 2 A K 4 0 により構成される信号配線が延設方向 D R 1 に対して配線の第 2 パターン 4 2 A K 4 1 により構成される信号配線から離れる方向へと屈曲されて復帰する場合に、配線の第 2 パターン 4 2 A K 4 1 により構成される信号配線は、延設方向 D R 1 に対して、配線の第 1 パターン 4 2 A K 4 0 により構成される信号配線に近づく方向へと屈曲されて復帰する。また、この蛇行形状において、配線の第 1 パターン 4 2 A K 4 0 により構成される信号配線が延設方向 D R 1 に対して配線の第 2 パターン 4 2 A K 4 1 により構成される信号配線から離れる方向へと屈曲されて突出する場合に、配線の第 2 パターン 4 2 A K 4 1 により構成される信号配線は、延設方向 D R 1 に対して、配線の第 1 パターン 4 2 A K 4 0 により構成される信号配線に近づく方向へと屈曲されて突出する。その後、配線の第 1 パターン 4 2 A K 4 0 により構成される信号配線が延設方向 D R 1 に対して配線の第 2 パターン 4 2 A K 4 1 により構成される信号配線に近づく方向へと屈曲されて復帰する場合に、配線の第 2 パターン 4 2 A K 4 1 により構成される信号配線は、延設方向 D R 1 に対して、配線の第 1 パターン 4 2 A K 4 0 により構成される信号配線から離れる方向へと屈曲されて復帰する。こうして、配線の第 1 パターン 4 2 A K 4 0 と、配線の第 2 パターン 4 2 A K 4 1 は、略同一の配線間隔を維持しつつ略平行に折返し往復する蛇行形状の信号配線を形成している。なお、蛇行形状に限定されず、直線形状および略直線形状とは異なる任意の形状となるように形成されていけばよい。

【 0 1 0 6 】

このように、配線の第 1 パターン 4 2 A K 4 0 により構成される信号配線は、配線の第 2 パターン 4 2 A K 4 1 により構成される信号配線と平行または略平行に形成され、直線形状および略直線形状とは異なる形状となるように形成されている。複数の信号配線において平行または略平行でありながら、直線形状および略直線形状とは異なる形状となる第 2 形状部が形成されるようにしたことにより、基板面における配線のパターン設計を容易かつ柔軟に行うことができる。また、配線のパターンを配置する基板面積の増大が抑制されて、基板の小型化を図ることができる。

【 0 1 0 7 】

図 1 9 (B) に示す 2 つの信号配線を構成する配線のパターンは、配線の第 3 パターン 4 2 A K 4 2 と、配線の第 4 パターン 4 2 A K 4 3 とを含んでいる。配線の第 3 パターン 4 2 A K 4 2 と、配線の第 4 パターン 4 2 A K 4 3 は、例えば上下方向といった、共通（平行）な方向に折返し往復する蛇行形状を有している。この蛇行形状において、配線の第 3 パターン 4 2 により構成される信号配線が延設方向 D R 1 に対して配線の第 4 パターン 4 2 A K 4 3 により構成される信号配線から離れる方向へと屈曲されて突出する場合に、配線の第 4 パターン 4 2 A K 4 3 により構成される信号配線は、延設方向 D R 1 に対して

、配線の第3パターン42AK42により構成される信号配線から離れる方向へと屈曲されて突出する。これらの突出による突起から、配線の第3パターン42AK42により構成される信号配線が延設方向DR1に対して配線の第4パターン42AK43により構成される信号配線に近づく方向へと屈曲されて復帰する場合に、配線の第4パターン42AK43により構成される信号配線は、延設方向DR1に対して、配線の第3パターン42AK42により構成される信号配線に近づく方向へと屈曲されて復帰する。こうして、配線の第3パターン42AK42と、配線の第4パターン42AK43は、配線間隔を変化させつつ互いに離れる方向に突出してから近づく方向に復帰するという、折返し往復する蛇行形状の信号配線を形成している。

【0108】

10

このように、配線の第3パターン42AK42により構成される信号配線は、配線の第4パターン42AK43により構成される信号配線と共通（平行）な方向に形成され、直線形状および略直線形状とは異なる形状となるように形成されている。複数の信号配線が離れる方向に屈曲されて突出し近づく方向に屈曲されて復帰するなど、直線形状および略直線形状とは異なる形状となる第2形状部が形成されるようにしたことにより、基板面における配線のパターン設計を容易かつ柔軟に行うことができる。また、配線のパターンを配置する基板面積の増大が抑制されて、基板の小型化を図ることができる。

【0109】

図20は、配線のパターンにより構成される複数の信号配線に回路部品が接続されるように実装された構成例を示している。図20(A)に示す構成例では、複数の信号配線を構成する配線のパターンとして、4つの信号配線を構成する配線のパターンが示されている。これら4つの信号配線を構成する配線のパターンは、配線の第1パターン42AK50、配線の第2パターン42AK51、配線の第3パターン42AK52、配線の第4パターン42AK53を含んでいる。配線の第2パターン42AK51により構成される信号配線は、第1形状部42AK51Lを形成する部分と、第2形状部42AK51Mを形成する部分とを含んでいる。配線の第3パターン42AK52により構成される信号配線は、第1形状部42AK52Lを形成する部分と、第2形状部42AK52Mを形成する部分とを含んでいる。

20

【0110】

図20(A)に示す配線の第2パターン42AK51により構成される信号配線における第2形状部42AK51Mには、配線の第1パターン42AK50により構成される信号配線と接続された回路部品42AK1Rが、配線の第2パターン42AK51により構成される信号配線と接続されるように実装される。回路部品42AK1Rは、例えば抵抗素子といった回路素子であればよい。回路部品42AK1Rは、抵抗素子とともに、あるいは抵抗素子に代えて、例えばコンデンサやコイルといった受動素子を、一部または全部に含んでいてもよい。回路部品42AK1Rは、抵抗素子、コンデンサ、コイルといった受動素子に代えて、あるいは受動素子とともに、ダイオード、バイポーラトランジスタやMOSトランジスタなどのトランジスタ、サイリスタといった能動素子を、一部または全部に含んでいてもよい。回路部品42AK1Rは、例えばフィルタ回路、ノイズ防止回路、その他のICチップといった、機能回路を構成するものであってもよい。回路部品42AK1Rは、配線の第1パターン42AK50により構成される信号配線が特定の電源電圧に維持される場合に、配線の第2パターン42AK51により構成される信号配線に対して特定の電源電圧を供給可能にするプルアップ抵抗として機能してもよい。あるいは、回路部品42AK1Rは、配線の第1パターン42AK50により構成される信号配線がグラウンド電圧に維持される場合に、配線の第2パターン42AK51により構成される信号配線に対してグラウンド電圧を供給可能にするプルダウン抵抗として機能してもよい。あるいは、回路部品42AK1Rは、極性切替部により抵抗素子をプルアップ抵抗とプルダウン抵抗とに切替可能とした機能回路であってもよい。

30

40

【0111】

図20(B)は、回路部品42AK1Rの接続部分を示す拡大図である。図20(B)

50

に示す第2形状部42AK51Mにおいて、配線の第2パターン42AK51により構成される信号配線が折り曲げ部を介して折り返される3つの折返し部が示されている。これら3つの折返し部は、第1折返し部42AK51M1、第2折返し部42AK51M2、第3折返し部42AK51M3を含んでいる。回路部品42AK1Rは、第2折返し部42AK51M2にて、配線の第2パターン42AK51により構成される信号配線と、配線の第1パターン42AK50により構成される信号配線とに、接続されるように実装されている。図20(B)に示す第2折返し部42AK51M2では、折り曲げ部を介して折り返された同一の信号配線が配線間隔W3で往復する形状を形成している。これに対し、第1折返し部42AK51M1や第3折返し部42AK51M3では、折り曲げ部を介して折り返された同一の信号配線が配線間隔W4で往復する形状を形成している。また、第1折返し部42AK51M1と第2折返し部42AK51M2との間隔や、第2折返し部42AK51M2と第3折返し部42AK51M3との間隔も、配線間隔W4となるように形成されている。配線間隔W3は、配線間隔W4よりも広くなるように、信号配線が形成されている。このように、回路部品42AK1Rが実装される第2折返し部42AK51M2における配線間隔W3は、第2形状部42AK51Mにて回路部品42AK1Rが実装されない部分における配線間隔W4よりも広くなるので、回路部品42AK1Rを容易に実装して、信号配線における伝送特性などを適切に調整することができる。

10

【0112】

なお、回路部品42AK1Rが実装される第2折返し部42AK51M2における配線間隔W3は、第2形状部42AK51Mにて回路部品42AK1Rが実装されない部分における配線間隔W4よりも広くなるものに限定されず、配線間隔W3が配線間隔W4と同一または略同一のものでよいし、配線間隔W3が配線間隔W4よりも狭くなるように形成されていてもよい。また、回路部品42AK1Rは、第2折返し部42AK51M2にて配線の第2パターン42AK52により構成される信号配線と接続されるように実装されるものに限定されず、第1折返し部42AK51M1または第3折返し部42AK51M3にて、配線の第2パターン42AK52により構成される信号配線と接続されるように実装されるものであってもよい。

20

【0113】

このように、図20(A)などに示す配線の第2パターン42AK51により構成される信号配線における第2形状部42AK51Mにて、配線の第1パターン42AK50により構成される信号配線と接続されるように実装された回路部品42AK1Rを備えている。第2形状部に回路部品が実装されることにより、信号配線における伝送特性などを適切に調整することができる。また、配線のパターンを配置する基板面積の増大が抑制されて、基板の小型化を図ることができる。

30

【0114】

図20(A)に示す配線の第3パターン42AK52により構成される信号配線における第1形状部42AK52Lには、配線の第4パターン42AK53により構成される信号配線と接続された回路部品42AK2Rが、配線の第3パターン42AK52により構成される信号配線と接続されるように実装される。回路部品42AK2Rは、例えば抵抗素子といった回路素子であればよい。回路部品42AK2Rは、抵抗素子とともに、あるいは抵抗素子に代えて、例えばコンデンサやコイルといった受動素子を、一部または全部に含んでもよい。回路部品42AK2Rは、抵抗素子、コンデンサ、コイルといった受動素子に代えて、あるいは受動素子とともに、ダイオード、バイポーラトランジスタやMOSトランジスタなどのトランジスタ、サイリスタといった能動素子を、一部または全部に含んでもよい。回路部品42AK2Rは、例えばフィルタ回路、ノイズ防止回路、その他のICチップといった、機能回路を構成するものであってもよい。回路部品42AK2Rは、配線の第4パターン42AK53により構成される信号配線が特定の電源電圧に維持される場合に、配線の第3パターン42AK52により構成される信号配線に対して特定の電源電圧を供給可能にするプルアップ抵抗として機能してもよい。あるいは、回路部品42AK2Rは、配線の第4パターン42AK53により構成される信号配線が

40

50

グラウンド電圧に維持される場合に、配線の第3パターン42AK52により構成される信号配線に対してグラウンド電圧を供給可能にするプルダウン抵抗として機能してもよい。あるいは、回路部品42AK2Rは、極性切替部により抵抗素子をプルアップ抵抗とプルダウン抵抗とに切替可能とした機能回路であってもよい。

【0115】

このように、図20(A)に示す配線の第3パターン42AK52により構成される信号配線における第2形状部42AK52Mとは異なる第1形状部42AK52Lにて、配線の第4パターン42AK53により構成される信号配線と接続されるように実装された回路部品42AK2Rを備えている。第2形状部とは異なる部分に回路部品が実装されることにより、信号配線における伝送特性などを適切に調整することができる。また、配線のパターンを配置する基板面積の増大が抑制されて、基板の小型化を図ることができる。

10

【0116】

回路部品42AK1Rや回路部品42AK2Rが実装される部分における配線幅は、回路部品42AK1Rや回路部品42AK2Rが実装されない部分とは異なる配線幅となるように、各信号配線が形成されてもよい。例えば回路部品42AK1Rや回路部品42AK2Rが実装される部分における配線幅は、回路部品42AK1Rや回路部品42AK2Rが実装されない部分の配線幅よりも広くなるように、各信号配線が形成されてもよい。このように、配線のパターンにより構成される複数の信号配線は、回路部品が実装される部分に対応して、実装されない部分とは異なる配線幅となるように形成されてもよい。回路部品が実装される部分に対応して異なる配線幅に形成されるようにしたことにより、各信号配線における特性インピーダンスを容易に調整して、信号配線による適切な伝送が可能になる。

20

【0117】

図16(A)や図16(B)に示すような第1形状部42AK10L、42AK11L、42AK12L、42AK13Lおよび第2形状部42AK10M、42AK11M、42AK12M、42AK13Mを有する信号配線が形成されている場合に、配線のパターンにより構成される複数の信号配線は、例えば図17に示すように、第2形状部が異なる方向に形成されてもよく、例えば図18に示すように信号配線の全体または一部で異なる配線幅に形成されてもよく、例えば図19に示すように第2形状部が略平行または離れる方向に対応して形成されてもよく、例えば図20に示すように第2形状部または第2形状部とは異なる部分に接続される回路部品が実装されてもよく、これらの一部または全部を組み合わせ形成されてもよい。

30

【0118】

(特徴部43AKに関する説明)

図21は、本実施形態の特徴部43AKに関し、配線のパターンにより構成される複数の信号配線における第2形状部に接続確認用の特定導体部となるテストポイントが設けられている構成例を示している。図21に示す構成例では、複数の信号配線を構成する配線のパターンとして、2つの信号配線を構成する配線のパターンが示されている。これら2つの信号配線を構成する配線のパターンは、配線の第1パターン43AK10と、配線の第2パターン43AK11とを含んでいる。配線の第1パターン43AK10により構成される信号配線は、第1形状部43AK10Lを形成する部分と、第2形状部43AK10Mを形成する部分とを含んでいる。配線の第2パターン43AK11により構成される信号配線は、第1形状部43AK11Lを形成する部分と、第2形状部43AK11Mを形成する部分とを含んでいる。第1形状部43AK10L、43AK11Lは、信号配線が直線形状または略直線形状の第1形状となるように形成されている。第2形状部43AK10M、43AK11Mは、信号配線が蛇行形状といった、直線形状および略直線形状とは異なる第2形状となるように形成されている。なお、第2形状部43AK10M、43AK11Mは、蛇行形状に限定されず、直線形状および略直線形状とは異なる任意の形状となるように形成されていればよい。

40

【0119】

50

配線の第1パターン43AK10および配線の第2パターン43AK11により構成される複数の信号配線は、少なくとも一部が、例えば図16(A)に示した配線の第1パターン42AK10および配線の第2パターン42AK11と同様に、あるいは図16(B)に示した配線の第3パターン42AK12および配線の第4パターン42AK13と同様に、形成されていけばよい。例えば、配線の第2パターン43AK11により構成される信号配線が、直線形状または略直線形状の第1形状となる第1形状部43AK11Lに対応して、配線の第1パターン43AK10により構成される信号配線が、第1形状部43AK11Lとは異なる蛇行形状などの第2形状部43AK10Mを含んでいけばよい。また、配線の第1パターン43AK10により構成される信号配線が、直線形状または略直線形状となる第1形状部43AK10Lに対応して、配線の第2パターン43AK11により構成される信号配線が、第1形状部43AK10Lとは異なる蛇行形状などの第2形状部43AK10Mを含んでいけばよい。

10

【0120】

配線の第1パターン43AK10により構成される信号配線における第2形状部43AK10Mには、接続確認用の特定導体部として、テストポイント43AK10TPが設けられている。配線の第2パターン43AK11により構成される信号配線における第2形状部43AK11Mには、接続確認用の特定導体部として、テストポイント43AK11TPが設けられている。テストポイント43AK10TP、43AK11TPは、例えばはんだ、または銅箔といった、金属材料を用いて形成されていけばよい。テストポイント43AK10TP、43AK11TPは、例えば円形に形成された場合の直径W6が、配線の第1パターン43AK10により構成される信号配線や配線の第2パターン43AK11により構成される信号配線における配線幅W5よりも、大きく(広く)なるように形成されている。なお、テストポイント43AK10TP、43AK11TPは、円形に形成されるものに限定されず、例えば方形状や短冊状といった、任意の形状に形成されたものであればよい。テストポイント43AK10TP、43AK11TPがどのような形状であっても、その平均的な形状が、信号配線における配線幅よりも大きく(広く)なるように形成されたものであればよい。テストポイント43AK10TP、43AK11TPが設けられることにより、複数の信号配線における特性インピーダンスのばらつきが抑制できるようにしてもよい。これにより、複数の信号配線における信号品質の均質化が図られる。

20

30

【0121】

例えばテストポイント43AK10TPとテストポイント43AK11TPとにテストプローブを接触させることにより、配線の第1パターン43AK10により構成される信号配線と配線の第2パターン43AK11により構成される信号配線との間において、短絡の発生の有無を検査することができる。なお、テストポイント43AK10TP、43AK11TPの他にも、接続確認用の特定導体部となるテストポイントが設けられてもよい。一例として、配線の第1パターン43AK10により構成される信号配線には、テストポイント43AK10TPの他にもテストポイントが設けられてもよい。このテストポイントと、第2形状部43AK10Mに設けられたテストポイント43AK10TPとに、テストプローブを接触させることにより、配線の第1パターン43AK10により構成される信号配線において、断線の発生の有無を検査することができる。短絡や断線について、発生の有無を検査できるとともに、あるいは、それらの検査に代えて、例えばオシロスコープを用いて信号波形の確認や検査を行うことができるように構成されてもよい。

40

【0122】

このように、図21に示す信号配線が蛇行形状などの第2形状となる第2形状部43AK10Mにはテストポイント43AK10TPが設けられ、第2形状部43AK11Mにはテストポイント43AK11TPが設けられている。信号配線における第2形状部にテストポイントを設けることにより、配線のパターンを適切に配置するとともに、各種の構造物を適切に配置して、基板面積の増大が抑制され、基板の小型化を図ることができる。また、テストポイント43AK10TP、43AK11TPは金属材料を用いて形成され

50

、信号配線の配線幅よりも広くなるように形成されている。このような信号配線の配線幅より大きく（広く）なるようにテストポイントが形成されることにより、テストプローブを容易に接触させて、信号配線の電気特性検査を行うことができる。また、配線のパターンを適切に配置するとともに、各種の構造物を適切に配置して、基板面積の増大が抑制され、基板の小型化を図ることができる。

【 0 1 2 3 】

図 2 1 に示すようなテストポイント 4 3 A K 1 0 T P、4 3 A K 1 1 T P が設けられた場合に、配線のパターンにより構成される複数の信号配線は、例えば図 1 7 に示すように、第 2 形状部が異なる方向に形成されてもよく、例えば図 1 8 に示すように信号配線の全体または一部で異なる配線幅に形成されてもよく、例えば図 1 9 に示すように第 2 形状部が略平行または離れる方向に対応して形成されてもよく、例えば図 2 0 に示すように第 2 形状部または第 2 形状部とは異なる部分に接続される回路部品が実装されてもよく、これらの一部または全部を組み合わせ形成されてもよい。

10

【 0 1 2 4 】

（特徴部 4 4 A K に関する説明）

図 2 2 は、本実施形態の特徴部 4 4 A K に関し、多層配線基板として構成された主基板 1 1 において、一面に第 2 形状を含む信号配線が設けられ、他面に接続確認用の特定導体部となるテストポイントが設けられている場合の構成例を示している。図 2 2 に示す特徴部 4 4 A K の少なくとも一部は、図 1 4 に示した構成例と同様に形成されていけばよい。例えば特徴部 4 4 A K についても、合成樹脂を重ねて形成された多層構造を有していればよい。図 2 2 に示す主基板 1 1 の多層構造は、表面層 4 4 A K 1 S と、グランド層 4 4 A K 1 L と、電源層 4 4 A K 2 L と、配線層 4 4 A K 3 L と、電源層 4 4 A K 4 L と、裏面層 4 4 A K 2 S とを含んでいる。

20

【 0 1 2 5 】

主基板 1 1 における一方の基板面となる表面には、表面層 4 4 A K 1 S が設けられ、信号配線を構成する配線のパターン 4 4 A K 1 0 P およびパターン 4 4 A K 1 1 P が形成されている。主基板 1 1 における他方の基板面となる裏面には、裏面層 4 4 A K 2 S が設けられ、信号配線を構成する配線のパターン 4 4 A K 2 0 P が形成されている。主基板 1 1 の表面層 4 4 A K 1 S に形成された配線のパターン 4 4 A K 1 0 P は、主基板 1 1 の表面層 4 4 A K 1 S および裏面層 4 4 A K 2 S を貫通するスルーホール 4 4 A K 1 H を介して、裏面層 4 4 A K 2 S に形成された配線のパターン 4 4 A K 2 0 P と電氣的に接続されている。主基板 1 1 の表面層 4 4 A K 1 S に形成された配線のパターン 4 4 A K 1 1 P は、主基板 1 1 の表面層 4 4 A K 1 S および裏面層 4 4 A K 2 S を貫通するスルーホール 4 4 A K 2 H を介して、裏面層 4 4 A K 2 S に形成された配線のパターン 4 4 A K 2 0 P と電氣的に接続されている。このように、主基板 1 1 には、一方の基板面となる表面に設けられた表面層 4 4 A K 1 S において信号配線を構成する配線のパターン 4 4 A K 1 0 P およびパターン 4 4 A K 1 1 P と、他方の基板面となる裏面に設けられた裏面層 4 4 A K 2 S において信号配線を構成する配線のパターン 4 4 A K 2 0 P とを、電氣的に接続可能なスルーホール 4 4 A K 1 H およびスルーホール 4 4 A K 2 H が設けられている。

30

【 0 1 2 6 】

表面層 4 4 A K 1 S に形成された配線のパターン 4 4 A K 1 0 P は、例えば図 2 1 に示した配線の第 1 パターン 4 3 A K 1 0 および配線の第 2 パターン 4 3 A K 1 1 と同様に、第 1 形状部や第 2 形状部を形成する部分を含むように、複数の信号配線が形成されていけばよい。図 2 1 に示す配線の第 1 パターン 4 3 A K 1 0 および配線の第 2 パターン 4 3 A K 1 1 により構成される信号配線は、配線の第 2 パターン 4 3 A K 1 1 により構成される信号配線が、直線形状または略直線形状の第 1 形状となる第 1 形状部 4 3 A K 1 1 L に対応して、配線の第 1 パターン 4 3 A K 1 0 により構成される信号配線が、第 1 形状部 4 3 A K 1 1 L とは異なる蛇行形状などの第 2 形状部 4 3 A K 1 0 M を含んでいけばよい。また、配線の第 1 パターン 4 3 A K 1 0 により構成される信号配線が、直線形状または略直線形状となる第 1 形状部 4 3 A K 1 0 L に対応して、配線の第 2 パターン 4 3 A K 1 1 に

40

50

より構成される信号配線が、第1形状部43AK10Lとは異なる蛇行形状などの第2形状部43AK10Mを含んでいればよい。

【0127】

そして、図21に示した第2形状部43AK10Mに設けられたテストポイント43AK10TPおよび第2形状部43AK11Mに設けられたテストポイント43AK11TPに対応して、図22に示すテストポイント44AK10TPが、配線のパターン44AK10Pにより構成される信号配線に設けられていればよい。テストポイント44AK10TPは、スルーホール44AK1Hを介して、例えば裏面層44AK2Sに形成された配線のパターン44AK20Pといった、異なる導体層と接続されていればよい。なお、テストポイント44AK10TPは、裏面層44AK2Sに形成された配線のパターン44AK20Pに限定されず、例えば配線層44AK3Lに形成された配線のパターンといった、テストポイント44AK10TPが設けられる表面層44AK1Sとは異なる任意の導体層と接続されたものであればよい。テストポイントが設けられる層とは異なる導体層とテストポイントがスルーホールを介して接続されることにより、信号配線や導体層の電気特性検査を容易に行うことができる。また、配線のパターンを適切に配置するとともに、各種の構造物を適切に配置して、基板面積の増大が抑制され、基板の小型化を図ることができる。

10

【0128】

表面層44AK1Sに形成された配線のパターン44AK11Pについても、第1形状部や第2形状部を形成する部分を含むように、複数の信号配線が形成されていればよい。このように、配線のパターン44AK11Pにより構成される複数の信号配線は、主基板11の表面層44AK1Sといった、基板の一面にて、直線形状および略直線形状とは異なる第2形状部を含むように形成されている。これに対し、裏面層44AK2Sには、テストポイント44AK11TPが設けられている。テストポイント44AK11TPは、例えば配線のパターン44AK20Pにより構成される信号配線に設けられ、スルーホール44AK2Hを介して、表面層44AK1Sに形成された配線のパターン44AK11Pといった、異なる導体層と接続されていればよい。テストポイント44AK10TP、44AK11Pが設けられることにより、複数の信号配線における特性インピーダンスのばらつきが抑制できるようにしてもよい。これにより、複数の信号配線における信号品質の均質化が図られる。基板の一面に第2形状部を含む信号配線が設けられ、基板の他面にテストポイントが設けられることにより、信号配線や導体層の電気特性検査を容易に行うことができる。また、配線のパターンを適切に配置するとともに、各種の構造物を適切に配置して、基板面積の増大が抑制され、基板の小型化を図ることができる。

20

30

【0129】

例えばテストポイント44AK10TPにテストプローブを接触させることにより、配線のパターン44AK10Pにより構成される複数の信号配線において、短絡の発生の有無を検査することができればよい。また、例えばテストポイント44AK10TPとテストポイント44AK11TPとにテストプローブを接触させることにより、裏面層44AK2Sに形成された配線のパターン44AK20Pにより構成される信号配線や、スルーホール44AK1Hにおいて、断線の発生の有無を検査することができればよい。その他、配線のパターン44AK10Pにより構成される複数の信号配線における断線の発生の有無、配線のパターン44AK11Pにより構成される複数の信号配線における短絡や断線の発生の有無、配線のパターン44AK20Pにより構成される複数の信号配線における短絡の発生の有無、スルーホール44AK1Hにおける短絡の発生の有無、スルーホール44AK2Hにおける短絡や断線の発生の有無を、検査可能にするテストポイントが設けられていてもよい。

40

【0130】

接続確認用の特定導体部となるテストポイントは、テストプローブを接触させるために専用の電極パッドが設けられたものに限定されず、例えば信号配線における特性インピーダンスの調整用に回路部品などを接続可能に設けられ電極パッドといった、任意の電極パ

50

ッドを用いて構成されたものであればよい。このようなテストポイントなどの特定導体部は、多層配線基板に設けられたスルーホールにより、多層配線基板に含まれる複数の層のうち複数の信号配線およびテストポイントが設けられる層とは異なる導体層と、電氣的に接続されることにより、多層配線基板における電気特性検査を適切に行うことができる。例えば裏面側の基板面といった、配線のパターンが形成された一方の基板面とは異なる他方の基板面に、テストポイントなどの特定導体部が設けられることにより、多層配線基板における電気特性検査を適切に行うことができる。また、配線のパターンを適切に配置するとともに、各種の構造物を適切に配置して、基板面積の増大が抑制され、基板の小型化を図ることができる。

【 0 1 3 1 】

10

図 2 2 に示すようなテストポイント 4 4 A K 1 0 T P、4 4 A K 1 1 T P が設けられた場合に、配線のパターンにより構成される複数の信号配線は、例えば図 1 7 に示すように、第 2 形状部が異なる方向に形成されてもよく、例えば図 1 8 に示すように信号配線の全体または一部で異なる配線幅に形成されてもよく、例えば図 1 9 に示すように第 2 形状部が略平行または離れる方向に対応して形成されてもよく、例えば図 2 0 に示すように第 2 形状部または第 2 形状部とは異なる部分に接続される回路部品が実装されてもよく、これらの一部または全部を組み合わせ形成されてもよい。

【 0 1 3 2 】

(特徴部 4 5 A K に関する説明)

以下、図面を参照しつつ、特徴部 4 5 A K に係る遊技機の基板ケース 4 5 A K 1 0 と、この基板ケース 4 5 A K 1 0 に収容されている基板 4 5 A K 5 0 及びヒートシンク 4 5 A K 4 0 について詳細に説明する。図 2 3 は、本発明の実施形態に係る遊技機の基板ケース 4 5 A K 1 0、基板 4 5 A K 5 0、及びヒートシンク 4 5 A K 4 0 を後方からみた分解斜視図である。図 2 4 は、本発明の実施形態に係る遊技機の基板ケース 4 5 A K 1 0、基板 4 5 A K 5 0、及びヒートシンク 4 5 A K 4 0 を前方からみた分解斜視図である。以下の説明において、理解を容易にするために、図 2 3 等に示した前後方向を規定し、基板ケース 4 5 A K 1 0 等を前方から見たときの上下左右方向を、基板ケース 4 5 A K 1 0 等の上下左右方向として説明する。

20

【 0 1 3 3 】

基板ケース 4 5 A K 1 0 は、前方を構成する前ケース 4 5 A K 2 0 と、後方を構成する後ケース 4 5 A K 3 0 とが組み合わされて構成されている。基板ケース 4 5 A K 1 0 の内部には、C P U、R O M、コネクタ等の電子部品を搭載した基板 4 5 A K 5 0、及びヒートシンク 4 5 A K 4 0 を収容するための収容空間が形成されている。

30

【 0 1 3 4 】

前ケース 4 5 A K 2 0 は、例えば、熱可塑性を有する合成樹脂からなり、平面視して略長形状に形成されている。前ケース 4 5 A K 2 0 は、後方が開放された箱状をなしている。前ケース 4 5 A K 2 0 の上縁には、上方に突出した 2 つの突出部 4 5 A K 2 1 が形成されている。また、前ケース 4 5 A K 2 0 の下縁には、下方に突出した 2 つの突出部 4 5 A K 2 2 が形成されている。

【 0 1 3 5 】

40

後ケース 4 5 A K 3 0 も前ケース 4 5 A K 2 0 と同様に、例えば、熱可塑性を有する合成樹脂からなり、平面視して略長形状に形成されている。後ケース 4 5 A K 3 0 は、後面を形成するベース板 4 5 A K 3 0 a と、ベース板 4 5 A K 3 0 a から前方に立設した上壁 4 5 A K 3 0 b、右壁 4 5 A K 3 0 c、下壁 4 5 A K 3 0 d、及び左壁 4 5 A K 3 0 e と、を有している。これにより、後ケース 4 5 A K 3 0 は、前方が開放された箱状をなしており、その収容部は前ケース 4 5 A K 2 0 のものよりも深い。後ケース 4 5 A K 3 0 の上壁 4 5 A K 3 0 b には、前ケース 4 5 A K 2 0 に形成された突出部 4 5 A K 2 1 が挿通される挿通孔 4 5 A K 3 1 a を有する係止部 4 5 A K 3 1 が 2 つ形成されている。また、後ケース 4 5 A K 3 0 の下壁 4 5 A K 3 0 d には、前ケース 4 5 A K 2 0 に形成された突出部 4 5 A K 2 2 が引掛けられる係止部 4 5 A K 3 8 (図 2 4) が 2 つ形成されている。

50

【0136】

前ケース45AK20と後ケース45AK30とを組み合わせる場合には、まず、前ケース45AK20の突出部45AK21を、後ケース45AK30の挿通孔45AK31aに挿入する。そして、前ケース45AK20の下部を後ケース45AK30に押し付けて、前ケース45AK20の突出部45AK22を後ケース45AK30の係止部45AK38に引掛ける。これにより、前ケース45AK20と後ケース45AK30とが組み合わせられ、内部に基板45AK50等の収容空間が形成される。

【0137】

また、後ケース45AK30には、上壁45AK30bに複数の空気孔45AK32が形成され、下壁45AK30dに複数の空気孔45AK33（図24）が形成されている。これにより、基板ケース45AK10には、上下方向に沿った空気の通り道が確保されている。また、後ケース45AK30のベース板45AK30aには、基板45AK50の位置決めをするための4つの挿入凸部45AK36と、基板45AK50をねじ止めするためのねじ穴45AK37a～45AK37eと、ヒートシンク45AK40の四隅を抑えて位置決めするための4つの位置決め部45AK34と、4つの位置決め部45AK34に位置決めされたヒートシンク45AK40に当接して支持する6つの支持部45AK35と、が形成されている。

10

【0138】

挿入凸部45AK36は、ベース板45AK30aの四隅に形成されている。挿入凸部45AK36のそれぞれは、基板45AK50に形成された挿入孔45AK50aに挿入される円柱状の凸部である。

20

【0139】

4つの位置決め部45AK34のそれぞれは、アングル状をなしており、直交した面でヒートシンク45AK40の角部に当接することが可能のように配置されている。

【0140】

支持部45AK35は、図24の拡大図に示すように、ベース板45AK30aの切欠き45AK30f内に配置されており、ベース板45AK30aよりも前方に突出した突出部45AK35aを有している。支持部45AK35は、一端のみがベース板45AK30aに支持された片持ちの状態にある。そのため、支持部45AK35は、突出部45AK35aに後方への応力が作用すると弾性変形して後方へと変位する。一方、突出部45AK35aに後方への応力が作用しなくなると、支持部45AK35は前方へと戻り元の状態に復帰する。

30

【0141】

ヒートシンク45AK40は、例えば、伝熱性に優れたアルミニウムを加工してなる。ヒートシンク45AK40は、矩形状のベース板45AK41と、ベース板45AK41に立設した矩形状の5つのフィン45AK42とを備えている。フィン45AK42のそれぞれは上下方向に延び、左右方向に平行に配列されている。

【0142】

基板45AK50は、例えば、CPU、ROM、コネクタ等の各種電子部品が搭載されたプリント基板である。基板45AK50には、後ケース45AK30に形成された挿入凸部45AK36に対応する位置に設けられた4つの挿入孔45AK50aと、基板45AK50を固定するためのねじ45AK81a～45AK81eが挿通されるねじ挿通孔45AK55a～45AK55eとが形成されている。

40

【0143】

さらに基板45AK50には、発熱性の電子部品45AK60と、非発熱性の電子部品45AK51及び電子部品45AK52と、が設けられている。電子部品45AK60、電子部品45AK51、及び電子部品45AK52は、矩形状をなしている。特に、電子部品45AK60は、略正形状をなしている。また、非発熱性の電子部品のうち、電子部品45AK52は、電子部品45AK51よりも高さが高い（厚みがある）。すなわち、図23においては、電子部品45AK52は、電子部品45AK51よりも後方に大き

50

く突出している。ここで、発熱性の電子部品とは、電子部品の誤動作を防止するために放熱対策が必要なほどの熱を発生させる電子部品のことをいう。一方、非発熱性の電子部品とは、放熱対策を行わなくてもよい程度しか熱を発生させない、あるいは全く熱を発生させない電子部品のことをいう。

【0144】

非発熱性の電子部品のうち、高さの低い電子部品45AK51は、発熱性の電子部品45AK60よりも上方に配置されている。非発熱性の電子部品のうち、高さの高い電子部品45AK52は、発熱性の電子部品45AK60の右方に配置されている。また、非発熱性の電子部品45AK51及び電子部品45AK52の向きは、平面視した場合に各辺が矩形の基板45AK50の辺と平行となるように配置されている。一方、発熱性の電子部品45AK60は、平面視した場合に各辺が矩形の基板45AK50の辺と平行とならないように配置されている。発熱性の電子部品45AK60には、該電子部品45AK60とヒートシンク45AK40との間に介在して、発せられて熱をヒートシンク45AK40に伝える熱伝導シート45AK70が貼付されている。熱伝導シート45AK70は、電子部品45AK60のおおよそ全体を覆う。

【0145】

熱伝導シート45AK70は、両面が粘着するタイプの公知の熱伝導シート、シリコン、非シリコン、あるいはセラミックを主原料とした柔軟な熱伝導シートから採用することができる。熱伝導シート45AK70は、電子部品45AK60とヒートシンク45AK40との間に介在して、両者を接着する。

【0146】

(ヒートシンク45AK40及び基板45AK50の取り付けについて)

次に、基板ケース45AK10に、ヒートシンク45AK40及び基板45AK50を取り付けるための手順について説明する。図25は、基板ケース45AK10にヒートシンク45AK40及び基板45AK50を取り付ける様子を取り付け順((a)~(b))で示した断面図である。また、図26は、図25に続いて基板ケース45AK10にヒートシンク45AK40及び基板45AK50を取り付ける様子を取り付け順((a)~(b))で示した断面図である。なお、図25及び図26に示す図は、図24中の断面線A-Aで切断した断面図である。

【0147】

図25(a)に示すように、まず、後ケース45AK30をテーブル等に載置し、ヒートシンク45AK40を後ケース45AK30に設置する。ヒートシンク45AK40は、フィン45AK42が上下方向に沿うように、図25(b)に示すように、ベース板45AK30aに形成された位置決め部45AK34に四隅を合わせて載置する。これにより、後ケース45AK30に対するヒートシンク45AK40の位置決めをすることができる。このとき、ヒートシンク45AK40のフィン45AK42b及びフィン45AK42dは、支持部45AK35の突出部45AK35aに当接した状態にある。

【0148】

続いて、図25(b)に示すように、電子部品45AK60に熱伝導シート45AK70を貼付した基板45AK50を、後ケース45AK30に設置する。その際、図24に示す基板45AK50に形成された挿入孔45AK50aに、後ケース45AK30に形成された挿入凸部45AK36を挿入して、図26(a)に示すように、基板45AK50を後ケース45AK30に載置する。このように、挿入孔45AK50aに挿入凸部45AK36が挿入されることにより、後ケース45AK30に対する基板45AK50の位置決めがされる。

【0149】

続いて、図26(a)に示すように、ねじ45AK81a~45AK81e(図26(a)では、ねじ45AK81eのみを図示)を基板45AK50に挿通し、対応するねじ孔45AK37a~45AK37eに締め付ける。これにより、支持部45AK35に支持されていたヒートシンク45AK40及び基板45AK50は、後ケース45AK30

に向けて押し付けられる。これにより、図 26 (b) に示すように、支持部 45AK35 は弾性変形し、その先端は距離 L だけ後方に変位する。このように弾性変形した支持部 45AK35 は、当接するヒートシンク 45AK40 を前方に押圧する。一方、ねじ 45AK81a ~ 45AK81e は、ヒートシンク 45AK40 を介して前方に押圧されている基板 45AK50 を押さえ込む。これにより、ヒートシンク 45AK40 と熱伝導シート 45AK70 とが密着するとともに、電子部品 45AK60 と熱伝導シート 45AK70 とが密着する。このような構成により、電子部品 45AK60 から発せられた熱は、熱伝導シート 45AK70 を介してヒートシンク 45AK40 に伝わり、ヒートシンク 45AK40 から放熱される。

【0150】

10

(特徴部 45AK の効果等について)

特徴部 45AK に係る遊技機の効果について、図面を参照しながら説明する。図 27 は、ヒートシンク 45AK40 と電子部品 45AK60 との関係の説明するための平面図である。また、図 28 は、基板ケース 45AK10 内における空気の流れを説明するための説明図である。なお、図 27 は、ヒートシンク 45AK40 をフィン 45AK42 側からみた図であるため、電子部品 45AK60 はかくれ線である破線で図示している。また、ヒートシンク 45AK40 と電子部品 45AK60 との間には、熱伝導シート 45AK70 が介在して熱を伝導させているが、便宜上、熱伝導シート 45AK70 の図示を省略して、電子部品 45AK60 の全面からヒートシンク 45AK40 に熱が伝導するものとする。なお、二点鎖線で示した電子部品 45AK61 は、電子部品 45AK60 と比較するために示した比較例である。

20

【0151】

図 27 に示すように、平面視した場合に、矩形状の電子部品 45AK60 は、その辺 45AK60a ~ 45AK60d が、矩形状のヒートシンクの辺 45AK40a ~ 45AK40d と平行とならないように配置されている。すなわち、各辺をヒートシンクの辺 45AK40a ~ 45AK40d と平行となるように配置した電子部品 45AK61 を、中心点 O を中心に所定角度 だけ回転させることで、電子部品 45AK60 の配置とすることができる。所定角度 は例えば略 45° である。なお、電子部品 45AK60 が略正方形状であるため、電子部品 45AK60 の対角線は上下左右方向を向く。電子部品 45AK60 をこのような配置とすることで、電子部品 45AK60 の頂点 45AK60f をフィン 45AK42b よりも右側 (図中左側) に、電子部品 45AK60 の頂点 45AK60e をフィン 45AK42d よりも左側 (図中右側) に配置することができる。一方、ヒートシンク 45AK40 と向きが一致するように配置された比較例の電子部品 45AK61 においては、いずれの部位も、フィン 45AK42b よりも右側 (図中左側) に、あるいはフィン 45AK42d よりも左側 (図中右側) に位置していない。これにより、電子部品 45AK60 は、フィン 45AK42b 及びフィン 45AK42d に多くの熱を伝えることができ、放熱する際にフィン 45AK42b とフィン 45AK42d とを有効利用することができる。これにより、電子部品 45AK60 から発生した熱の放熱効果を高めることができる。なお、上記では、ヒートシンク 45AK40 に対する電子部品 45AK60 の配置態様について記載したが、これは当然に、電子部品 45AK60 に対するヒートシンク 45AK40 の配置態様として記載したとしても技術的に同等である。

30

40

【0152】

また、電子部品 45AK60 から発せられた熱は、ヒートシンク 45AK40 に伝わって放熱されるものだけでなく、その一部は電子部品 45AK60 から直接上方に放熱される。このように電子部品 45AK60 から直接上方に放熱される量は、電子部品 45AK60 の左右方向の長さが長いほどより大きくなる。ここで、図 27 に示すように、電子部品 45AK60 の左右方向の幅 W1 は、比較例である電子部品 45AK61 の左右方向の幅 W2 よりも大きい。そのため、電子部品 45AK60 の配置とした方が、電子部品 45AK60 から発せられた熱をより多く直接上方に向けて放熱させることができる。これにより、電子部品 45AK60 から発生した熱の放熱効果を高めることができる。

50

【 0 1 5 3 】

また、図 2 8 に示すように、後ケース 4 5 A K 3 0 の下部には空気が流入するための空気孔 4 5 A K 3 3 が形成され、後ケース 4 5 A K 3 0 の上部には空気を排出するための空気孔 4 5 A K 3 2 が形成されている。これにより、基板ケース 4 5 A K 1 0 内には、上下方向に沿った空気の通り道が確保されている。空気孔 4 5 A K 3 3 から流入した空気（矢印 Y 1）は上方へと移動する。上方へと移動した空気は、やがて、ヒートシンク 4 5 A K 4 0 に形成されたフィン 4 5 A K 4 2 の間を通り抜ける（矢印 Y 2）。このときに、ヒートシンク 4 5 A K 4 0 の熱が奪われ、空気が暖められる。暖められた空気は、ヒートシンク 4 5 A K 4 0 の上方に配置された高さの低い電子部品 4 5 A K 5 1 の間を通り（矢印 Y 3）、あるいは、高さの低い電子部品 4 5 A K 5 1 の後方を通り（矢印 Y 4）、上方へと移動する。やがて上方へと移動した空気は、後ケース 4 5 A K 3 0 の上部に形成された空気孔 4 5 A K 3 2 から排出される（矢印 Y 5）。このように、ヒートシンク 4 5 A K 4 0 の上方に、高さの低い電子部品 4 5 A K 5 1 を配置することで、電子部品 4 5 A K 5 1 間だけでなく、電子部品 4 5 A K 5 1 の後方に空気を通すことができる。一方、高さの高い電子部品 4 5 A K 5 2 は、ヒートシンク 4 5 A K 4 0 の上方及び下方には配置せずに、右方（図中左側）に配置している。これにより、下方から上方へと移動する空気の流れを阻害することなく、電子部品 4 5 A K 6 0 から発生した熱の放熱効果を高めることができる。

10

【 0 1 5 4 】

また、電子部品 4 5 A K 5 1 の長手方向を、上下方向に一致させていることにより、電子部品 4 5 A K 5 1 間を大きくとることができる。これにより、上方に移動する空気の流れを阻害することなく、電子部品 4 5 A K 6 0 から発生した熱の放熱効果を高めることができる。

20

【 0 1 5 5 】

また、ヒートシンク 4 5 A K 4 0 を、左右方向に平行に配列されたフィン 4 5 A K 4 2 が上下方向を向くように配置している。これにより、下方から上方に向けて移動する空気を、上下方向に沿ったフィン 4 5 A K 4 2 の間に通すことができる。これにより、上方に移動する空気の流れを阻害することなく、電子部品 4 5 A K 6 0 から発生した熱の放熱効果を高めることができる。

30

【 0 1 5 6 】

また、電子部品 4 5 A K 6 0 とヒートシンク 4 5 A K 4 0 との間に介在した熱伝導シート 4 5 A K 7 0 を、両面が粘着する柔軟な熱伝導シートとしている。そのため、熱伝導シート 4 5 A K 7 0 を、電子部品 4 5 A K 6 0 とヒートシンク 4 5 A K 4 0 とに隙間なく密着させることができる。これにより、電子部品 4 5 A K 6 0 から発生した熱を、熱伝導シート 4 5 A K 7 0 を介してヒートシンク 4 5 A K 4 0 にスムーズに伝えることができる。

【 0 1 5 7 】

また、後ケース 4 5 A K 3 0 には、発熱性の電子部品 4 5 A K 6 0 にヒートシンク 4 5 A K 4 0 を押圧する支持部 4 5 A K 3 5 が設けられている。これにより、ヒートシンク 4 5 A K 4 0 及び電子部品 4 5 A K 6 0 は熱伝導シート 4 5 A K 7 0 を押圧し、熱伝導シート 4 5 A K 7 0 に隙間なく密着する。これにより、電子部品 4 5 A K 6 0 から発生した熱を、熱伝導シート 4 5 A K 7 0 を介してヒートシンク 4 5 A K 4 0 にスムーズに伝えることができる。

40

【 0 1 5 8 】

また、図 2 3、図 2 4 に示すように、基板 4 5 A K 5 0 は複数のねじ 4 5 A K 8 1 a ~ 4 5 A K 8 1 e によって後ケース 4 5 A K 3 0 に取り付けられる。複数のねじ 4 5 A K 8 1 a ~ 4 5 A K 8 1 e のうち、ねじ 4 5 A K 8 1 d 及びねじ 4 5 A K 8 1 e は、電子部品 4 5 A K 6 0 の近傍のねじ挿通孔 4 5 A K 5 5 d 及びねじ挿通孔 4 5 A K 5 5 e に挿通され、後ケース 4 5 A K 3 0 に締め付けられる。このように、電子部品 4 5 A K 6 0 の近傍で、ねじ 4 5 A K 8 1 d 及びねじ 4 5 A K 8 1 e を後ケース 4 5 A K 3 0 に締めつけることで、電子部品 4 5 A K 6 0 に接着されたヒートシンク 4 5 A K 4 0 を後ケース 4 5 A K

50

30に向けて確実に押さえつけることができる。これにより、ヒートシンク45AK40と電子部品45AK60との接着を確実なものとすることができる。

【0159】

また、支持部45AK35は、ベース板45AK30aの切欠き45AK30f内に配置されており、支持部45AK35と切欠き45AK30fとの間には、若干の隙間t(図25(a))が設けられている。この隙間tから、ヒートシンク45AK40に伝わった熱を基板ケース45AK10の外部へ逃がすことができる。これにより、電子部品45AK60から発生した熱を効率的に放熱することができる。

【0160】

また、基板45AK50が後ケース45AK30に設置されていない場合、支持部45AK35は、突出部45AK35aを除き後ケース45AK30のベース板45AK30aと面一にある。一方、後ケース45AK30に基板45AK50が設置されると、支持部45AK35は、後方に撓んでベース板45AK30aとの間でずれが生じる。このように、支持部45AK35とベース板45AK30aとの間に生じるずれにより、隙間tから熱を逃がしやすくすることができる。これにより、電子部品45AK60から発生した熱を効率的に放熱することができる。

【0161】

(他の実施形態1について)

図29は、他の実施形態1に係る遊技機の基板ケースにヒートシンク及び基板を取り付ける様子を示した断面図である。なお、他の形態に関する以下の説明では、上記の形態と異なる点を中心に説明する。なお、上記形態と同一の部材については、同一の符号を付すものとし、その説明は省略する。図29に示すように、後ケース45AK130には、図24に示す支持部45AK35の代わりに、ヒートシンク45AK40のフィン45AK42と当接し支持するばね45AK135が設けられている。ばね45AK135は、圧縮コイルばねであるが、その他、ばね座金等の板ばねを採用することができる。また、後ケース45AK130には、ヒートシンク45AK40の熱を外部に放出するための複数の空気孔45AK138が形成されている。なお、ヒートシンク45AK40及び基板45AK50の後ケース45AK130の取り付けかたについては、上記の形態と同様である。すなわち、ヒートシンク45AK40を位置決め部45AK134に合わせて載置する。このとき、ばね45AK135上にはフィン45AK42が載せられる。続いて、熱伝導シート45AK70が電子部品45AK60に貼付された基板45AK50を、挿入凸部45AK136に差し込むことで位置合わせをして、ヒートシンク45AK40上に載置する。続いて、ねじ45AK81eを基板45AK50に挿通して、ねじ孔45AK37eに締結する。これにより、ばね45AK135は、フィン45AK42に押圧されて縮むとともに、フィン45AK42を基板45AK50に向けて押圧する。これにより、熱伝導シート45AK70を、ヒートシンク45AK40及び電子部品45AK60に密着させることができる。

【0162】

(他の実施形態2について)

また、図30は、他の実施形態2に係る遊技機の基板ケースにヒートシンク及び基板を取り付ける様子を示した断面図である。図30に示すように、後ケース45AK230には、上記実施形態とは異なり、支持部45AK35(図24)やばね45AK135(図29)のようなフィン45AK242を支持する部材は設けられていない。なお、後ケース45AK230には、ヒートシンク45AK240の熱を外部に放出するための複数の空気孔45AK238が形成されている。

【0163】

基板45AK250には、ねじ45AK251を通すためのねじ挿通孔45AK252が形成されている。また、ヒートシンク45AK240には、ねじ45AK251を締めつけるためのねじ孔45AK243が形成されている。ねじ45AK251を、基板45AK250に形成されたねじ挿通孔45AK252に挿通し、ヒートシンク45AK24

10

20

30

40

50

0に形成されたねじ孔45AK243に締め付けることにより、ヒートシンク45AK240と基板45AK250とを一体化することができる。この時、ねじ45AK251を十分に締め付けることにより、ヒートシンク45AK240が基板45AK250側に引き寄せられる。これにより、熱伝導シート45AK270を、ヒートシンク45AK240及び電子部品45AK260に密着させることができる。

【0164】

(特徴部55AKに関する説明)

図31は、本実施形態の特徴部55AKに関し、接続配線部材55AK01の構成例を示している。接続配線部材55AK01は、例えば演出制御基板12および画像表示装置5といった、複数の電気部品を電気的に接続可能な接続部材である。接続配線部材55AK01は、例えばフレキシブル配線基板あるいはフレキシブルフラットケーブルといった、一部または全部が可撓性を有する材料を用いて構成されていればよい。接続配線部材55AK01では、複数の電気部品を複数の信号配線により接続するために、複数の信号配線を構成する配線のパターンが形成されている。接続配線部材55AK01において、複数の信号配線を構成する配線のパターンは、配線のパターン55AK10~55AK22を含んでいる。

10

【0165】

配線のパターン55AK10~55AK22により構成される信号配線は、一端がコネクタプラグ55AK1Pに接続され、他端がコネクタプラグ55AK2Pに接続される。コネクタプラグ55AK1Pは、例えば演出制御基板12といった、一方の電気部品を複数の信号配線と電気的に接続可能とする配線接続部品である。コネクタプラグ55AK2Pは、例えば画像表示装置5といった、他方の電気部品を複数の信号配線と電気的に接続可能とする配線接続部品である。

20

【0166】

配線のパターン55AK10は、例えばグランド電圧といった、基準電圧に維持される信号配線を形成する。配線のパターン55AK10は、線状の信号配線を形成してもよいし、一部または全部に面状の信号配線を形成してもよい。配線のパターン55AK11~55AK22は、2つの信号配線を組み合わせると一対の信号配線を構成してもよい。例えば配線のパターン55AK11により構成される信号配線は、配線のパターン55AK12により構成される信号配線と組み合わせると一対の信号配線を構成している。

30

【0167】

図31の構成例において、配線のパターン55AK21、55AK22には、蛇行形状が設けられていない。配線のパターン55AK11~55AK20には、少なくとも一部に蛇行形状が設けられている。例えば、配線のパターン55AK11~55AK20により構成される複数の信号配線は、図31に示す領域55AK10Zにて、一部または全部の信号配線が、直線形状または略直線形状の第1形状とは異なる蛇行形状などの第2形状となる。これに対し、配線のパターン55AK21、55AK22それぞれにより構成される信号配線は、図31に示す領域55AK10Zにて、直線形状または略直線形状の第1形状となる。配線のパターン55AK11~55AK20により構成される複数の信号配線のうち、配線のパターン55AK11、55AK12それぞれにより構成される信号配線は、図31に示す領域55AK10Zにて、直線形状または略直線形状の第1形状となる。その一方で、配線のパターン55AK11、55AK12それぞれにより構成される信号配線は、図31に示す領域55AK10Z以外の領域(領域55AK10Zよりもコネクタプラグ55AK1Pに近い領域)にて、例えば蛇行形状など、第1形状とは異なる第2形状となる。

40

【0168】

図31に示す配線のパターン55AK10~55AK22により構成される複数の信号配線は、少なくとも一部の信号配線の配線長が、同一または略同一となる。例えば配線のパターン55AK11~55AK22により構成される複数の信号配線は、配線長が同一または略同一となる。このうち、配線のパターン55AK11~55AK20により構成

50

される複数の信号配線は、少なくとも一部分が蛇行形状となることにより、配線のパターン 55AK21、55AK22 により構成される信号配線と、配線長が同一または略同一となればよい。配線のパターン 55AK21、55AK22 により構成される信号配線は、配線のパターン 55AK10～55AK20 により構成される信号配線に比べて、接続配線部材 55AK01 の信号配線面上で、コネクタプラグ 55AK1P とコネクタプラグ 55AK2P における接続端子間の距離が長くなっていてもよい。接続配線部材 55AK01 において、複数の信号配線が平行または略平行な第 1 形状となる平行配線部と、複数の信号配線のうち少なくとも 1 の信号配線が、他の信号配線と平行でない第 2 形状となる特定配線部とを含むように、配線のパターンが形成されてもよい。これにより、配線のパターンを配置する接続部材における面積の増大が抑制されて、構成の小型化を図ることができる。少なくとも一部の信号配線の配線長が、同一または略同一となるように配線のパターンが形成されることにより、複数の信号配線で伝送される信号の遅延時間差を減少させて、複数の信号配線で伝送される信号の信頼性を向上させることができる。

【0169】

接続配線部材 55AK01 は、領域 55AK2Z にて曲折することにより、全体が L 形状または略 L 形状を有するように形成されている。このように、接続配線部材 55AK01 には、曲折部となる領域 55AK2Z が設けられている。接続配線部材 55AK01 におけるコネクタプラグ 55AK1P から領域 55AK2Z までの区間では、配線のパターン 55AK11～55AK22 により構成される複数の信号配線が、例えば図 31 に示す X 軸に沿う方向といった、第 1 方向に延設されるように形成されている。接続配線部材 55AK01 における領域 55AK2Z からコネクタプラグ 55AK2P までの区間では、配線のパターン 55AK11～55AK22 により構成される複数の信号配線が、例えば図 31 に示す Z 軸に沿う方向といった、第 1 方向とは異なる第 2 方向に延設されるように形成されている。接続配線部材 55AK01 における領域 55AK2Z では、配線のパターン 55AK11～55AK22 により構成される複数の信号配線について、延設方向が第 1 方向から第 2 方向へと変更される。第 1 方向と第 2 方向は、互いに交差する方向であればよい。領域 55AK2Z は、所定角度を有する角形状であってもよいし、所定曲率を有する円弧形状であってもよい。なお、配線のパターン 55AK10 により構成される信号配線は、一部または全部に面上の信号配線を含む場合に、線状の信号配線とは異なり延設方向を特定できないことがある。ただし、信号配線の全体としては、他の配線のパターン 55AK11～55AK22 と同様に、コネクタプラグ 55AK1P から領域 55AK2Z を介してコネクタプラグ 55AK2P へと向かう方向に延設されるように形成されていけばよい。

【0170】

図 32 は、図 31 に示される A-A 断面図である。接続配線部材 55AK01 は、例えばポリイミド樹脂などの合成樹脂を重ねて形成された多層構造を有し、各層の表面または内層には様々な配線のパターンを形成可能とされている。このような多層構造を有する接続配線部材 55AK01 に形成された配線のパターンを介して、例えば演出制御基板 12 と画像表示装置 5 といった、複数の電気部品が電氣的に接続される。図 32 に示す接続配線部材 55AK01 の多層構造は、表面層 55AK1S と、電源層 55AK1L と、配線層 55AK2L と、裏面層 55AK2S とを含んでいる。表面層 55AK1S は、カバー層 55AK1V によって覆われて保護されている。裏面層 55AK2S は、カバー層 55AK2V によって覆われて保護されている。

【0171】

接続配線部材 55AK01 における一面となる表面には、表面層 55AK1S が設けられ、信号配線を構成する配線のパターン 55AK10～55AK22 が形成されている。接続配線部材 55AK01 における他面となる裏面には、裏面層 55AK2S が設けられる。裏面層 55AK2S には、配線のパターン 55AK10～55AK22 により構成される複数の信号配線に対応して、複数の信号配線を構成する配線のパターン 55AK40～55AK52 が形成されていけばよい。このように、複数の信号配線を構成する配線の

パターンは、接続配線部材 5 5 A K 0 1 の両面に形成されていればよい。

【 0 1 7 2 】

接続配線部材 5 5 A K 0 1 の表面層 5 5 A K 1 S に形成された配線のパターン 5 5 A K 1 1 は、接続配線部材 5 5 A K 0 1 の表面層 5 5 A K 1 S および裏面層 5 5 A K 2 S を貫通するスルーホール 5 5 A K 1 H などの貫通部を介して、裏面層 5 5 A K 2 S に形成された配線のパターン 5 5 A K 3 1 と電氣的に接続されている。接続配線部材 5 5 A K 0 1 の表面層 5 5 A K 1 S に形成された配線のパターン 5 5 A K 1 2 は、接続配線部材 5 5 A K 0 1 の表面層 5 5 A K 1 S および裏面層 5 5 A K 2 S を貫通するスルーホール 5 5 A K 2 H などの貫通部を介して、裏面層 5 5 A K 2 S に形成された配線のパターン 5 5 A K 3 2 と電氣的に接続されている。その他、接続配線部材 5 5 A K 0 1 の表面層 5 5 A K 1 S に形成された配線のパターン 5 5 A K 1 0、5 5 A K 1 3 ~ 5 5 A K 2 2 は、スルーホールなどの貫通部を介して、裏面層 5 5 A K 2 S に形成された配線のパターン 5 5 A K 4 0、5 5 A K 4 3 ~ 5 5 A K 5 2 と電氣的に接続されていればよい。配線のパターン 5 5 A K 1 0 ~ 5 5 A K 2 2 により構成される複数の信号配線のうちには、接続配線部材 5 5 A K 0 1 の表面層 5 5 A K 1 S にのみ形成され、裏面層 5 5 A K 2 S に形成された信号配線とは電氣的に接続されない信号配線が含まれてもよい。接続配線部材 5 5 A K 0 1 の領域 5 5 A K 2 Z には、スルーホール 5 5 A K 1 H、5 5 A K 2 H のように、一面となる表面に設けられた表面層 5 5 A K 1 S において信号配線を構成する配線のパターンと、他面となる裏面に設けられた裏面層 5 5 A K 2 S において信号配線を構成する配線のパターンとを、電氣的に接続可能な貫通部が設けられている。

【 0 1 7 3 】

図 3 3 は、接続配線部材 5 5 A K 0 1 を用いた演出制御基板 1 2 と画像表示装置 5 との接続例を示している。接続配線部材 5 5 A K 0 1 が備えるコネクタプラグ 5 5 A K 1 P は、演出制御基板 1 2 に設けられたコネクタポート 5 5 A K 1 S T に差し込まれる。接続配線部材 5 5 A K 0 1 が備えるコネクタプラグ 5 5 A K 2 P は、画像表示装置 5 に設けられたコネクタポート 5 5 A K 2 S T に差し込まれる。演出制御基板 1 2 に設けられたコネクタポート 5 5 A K 1 S T や画像表示装置 5 に設けられたコネクタポート 5 5 A K 2 S T は、上記実施の形態で示されたレセプタクル K R E 1 ~ K R E 4 と同様の電気部品であり、他の電気部品との間で電氣的に接続される信号配線を着脱自在に接続可能な配線接続装置の構成を有していればよい。例えば、一方の電気部品であるコネクタポート 5 5 A K 1 S T は、演出制御基板 1 2 に設けられて、接続配線部材 5 5 A K 0 1 のコネクタプラグ 5 5 A K 1 P を着脱可能に構成され、他方の電気部品であるコネクタポート 5 5 A K 2 S T は、画像表示装置 5 に設けられて、接続配線部材 5 5 A K 0 1 のコネクタプラグ 5 5 A K 2 P を着脱可能に構成される。コネクタポート 5 5 A K 1 S T にコネクタプラグ 5 5 A K 1 P を装着し、コネクタポート 5 5 A K 2 S T にコネクタプラグ 5 5 A K 2 P を装着することにより、接続配線部材 5 5 A K 0 1 に形成された配線のパターン 5 5 A K 1 0 ~ 5 5 A K 2 2 が構成する複数の信号配線は、一方の電気部品であるコネクタポート 5 5 A K 1 S T と他方の電気部品であるコネクタポート 5 5 A K 2 S T との間を電氣的に接続可能となる。

【 0 1 7 4 】

図 3 4 は、図 3 3 のような接続例における接続配線部材 5 5 A K 0 1 の上面図である。接続配線部材 5 5 A K 0 1 では、少なくとも領域 5 5 A K 1 Z が可撓性を有している。これにより、コネクタポート 5 5 A K 1 S T にコネクタプラグ 5 5 A K 1 P を装着し、コネクタポート 5 5 A K 2 S T にコネクタプラグ 5 5 A K 2 P を装着した場合には、領域 5 5 A K 1 Z にて接続配線部材 5 5 A K 0 1 が湾曲するように折り曲げられ、コネクタプラグ 5 5 A K 1 P とコネクタプラグ 5 5 A K 2 P の方向を、コネクタポート 5 5 A K 1 S T とコネクタポート 5 5 A K 2 S T の方向にあわせて、調整することができる。図 3 3 および図 3 4 に示す例では、演出制御基板 1 2 に設けられたコネクタポート 5 5 A K 1 S T に対し、接続配線部材 5 5 A K 0 1 のコネクタプラグ 5 5 A K 1 P を Y 軸正方向から Y 軸負方向に向けて差し込むことにより装着する。また、画像表示装置 5 に設けられたコネクタポ

ート55AK2STに対し、接続配線部材55AK01のコネクタプラグ55AK2PをZ軸負方向からZ軸正方向に向けて差し込むことにより装着する。例えば、まずは、コネクタプラグ55AK2Pをコネクタポート55AK2STに差し込んで装着し、その後、コネクタプラグ55AK1Pをコネクタポート55AK1STに差し込んで装着する。このような順番で装着すれば、接続配線部材55AK01の領域55AK1Zが有する可撓性により、接続配線部材55AK01を容易に装着することができる。

【0175】

図35は、他の接続例を示している。図35に示す接続例でも、接続配線部材55AK01が備えるコネクタプラグ55AK1Pは演出制御基板12に設けられたコネクタポート55AK1STに差し込まれ、接続配線部材55AK01が備えるコネクタプラグ55AK2Pは画像表示装置5に設けられたコネクタポート55AK2STに差し込まれる。演出制御基板12のコネクタポート55AK1STは、カバー体301からみてY軸正方向側となるカバー体301の背面側に配置され、画像表示装置5のコネクタポート55AK2STは、カバー体301からみてY軸負方向側となるカバー体301の前面側に配置されている。接続配線部材55AK01は、カバー体301に形成された開口部55AK30を介して、コネクタプラグ55AK1Pが演出制御基板12のコネクタポート55AK1STに装着され、コネクタプラグ55AK2Pが画像表示装置5のコネクタポート55AK2STに装着される。

【0176】

図36は、図35のような接続例における接続配線部材55AK01の上面図である。接続配線部材55AK01では、領域55AK1Zの他に、領域55AK10Zも可撓性を有していてもよい。図35に示す接続例において、コネクタポート55AK1STにコネクタプラグ55AK1Pを装着し、コネクタポート55AK2STにコネクタプラグ55AK2Pを装着した場合には、領域55AK1Zに加え、領域55AK10Zにて接続配線部材55AK01が湾曲するように折り曲げられ、コネクタプラグ55AK1Pとコネクタプラグ55AK2Pの方向を、コネクタポート55AK1STとコネクタポート55AK2STの方向にあわせて、調整することができる。図35および図36に示す例でも、図33および図34に示された例と同様に、まずは、コネクタプラグ55AK2Pをコネクタポート55AK2STに差し込んで装着する。続いて、接続配線部材55AK01をコネクタプラグ55AK1Pからカバー体301の開口部55AK30に通すことで、カバー体301の前面側から背面側へと接続配線部材55AK01を引き出す。その後、コネクタプラグ55AK1Pをコネクタポート55AK1STに差し込んで装着する。このような順番で装着すれば、接続配線部材55AK01の領域55AK10Zが有する可撓性により、カバー体301の開口部55AK30にて折り返すようにクセ付けられ、接続配線部材55AK01を容易に装着することができる。

【0177】

図33～図36に示された接続例では、接続配線部材55AK01の領域55AK1Zや領域55AK10Zが有する可撓性により、接続配線部材55AK01の装着時に湾曲するように折り曲げられる。このように、接続配線部材55AK01は、例えば基体が柔軟なシート状に形成され、領域55AK1Zや領域55AK10Zが可撓性を有している。こうした接続配線部材55AK01に対し、補強部材55AK02が取り付けられている。補強部材55AK02は、例えばアクリル系樹脂材料などの合成樹脂材料、石英ガラスなどの石英系材料、セラミック系材料その他の材料を選択的に用いて、可撓性を有しないように構成されていればよい。この補強部材55AK02が取り付けられた位置では、例えば配線のパターン55AK10により構成される信号配線と接続される回路部品55AK1Rが実装されている。回路部品55AK1Rは、上記実施の形態における回路部品42AK1Rと同様に、回路素子あるいは機能回路を構成するものであればよい。例えば、回路部品55AK1Rは、配線のパターン55AK10により構成される信号配線が基準電圧となるグランド電圧あるいは所定の電源電圧に維持される場合に、信号配線でのノイズ発生を防止するノイズ除去回路として構成されてもよい。回路部品55AK1Rは、

可撓性を有しない補強部材 55AK02 が取り付けられた位置にて実装されているので、可撓性を有する位置にて実装された場合と比較して、接続配線部材 55AK01 からの脱落や信号配線の断線が発生しにくくなる。

【0178】

複数の信号配線を構成する配線のパターンは、接続配線部材 55AK01 の両面に形成され、接続配線部材 55AK01 の領域 55AK2Z には、貫通部としてのスルーホールが設けられている。これにより、接続配線部材 55AK01 の一面となる表面に設けられた信号配線と、接続配線部材 55AK01 の他面となる裏面に設けられた信号配線とが、電氣的に接続可能となる。図 33 ~ 図 36 に示された接続例では、接続配線部材 55AK01 の領域 55AK1Z や領域 55AK10Z が有する可撓性により、接続配線部材 55AK01 の装着時に湾曲するように折り曲げられる。その一方で、接続配線部材 55AK01 の領域 55AK2Z は、接続配線部材 55AK01 の装着時に折り曲げられることがない。このように、複数の電気部品を複数の信号配線により接続した場合に、接続配線部材 55AK01 にて形状が変化する領域 55AK1Z や領域 55AK10Z には、貫通部としてのスルーホールが設けられていない。形状が変化する位置に貫通部が設けられていないので、形状が変化する位置に設けられた場合と比較して、接続配線部材 55AK01 の強度低下や信号配線の断線が発生しにくくなる。なお、スルーホールなどの貫通部が設けられる位置では、接続配線部材 55AK01 の基体として、例えばリジッド配線板といった、補強部材 55AK02 と同様の部材として、あるいは補強部材 55AK02 とは異なる材料により形成された部材として、可撓性を有しない部材が用いられてもよい。また、貫通部は、接続配線部材 55AK01 の一面となる表面層 55AK1S および他面となる裏面層 55AK2S を貫通するスルーホールに限定されず、例えば接続配線部材 55AK01 の一面あるいは他面と、接続配線部材 55AK01 の内層として構成された導体層とを貫通するビアなどであってもよい。

【0179】

(特徴部 56AK に関する説明)

図 37 は、本実施形態の特徴部 56AK に関し、コネクタプラグやコネクタポートの構成例を示している。図 37(A) は、接続配線部材 55AK01 のコネクタプラグ 55AK1P を差し込んで装着可能なコネクタポート 56AK01 の構成例を示している。図 37(B) は、接続配線部材 55AK01 のコネクタプラグ 55AK2P を差し込んで装着可能なコネクタポート 56AK02 の構成例を示している。コネクタポート 56AK01 は、例えば図 33 や図 35 に示された演出制御基板 12 が備えるコネクタポート 55AK1ST として用いられるものであればよい。コネクタポート 56AK02 は、例えば図 33 や図 35 に示された画像表示装置 5 が備えるコネクタポート 55AK2ST として用いられるものであればよい。

【0180】

コネクタポート 56AK01 では、複数の信号配線と接続される複数の端子が、第 1 ピッチ W10 で設けられている。コネクタポート 56AK02 では、複数の信号配線と接続される複数の端子が、第 1 ピッチ W10 とは異なる第 2 ピッチ W11 で設けられている。例えばコネクタポート 56AK01 では、第 1 ピッチ W10 が 1mm 以上 3mm 未満となるように、複数の端子が並んで配置されていればよい。コネクタポート 56AK02 では、第 2 ピッチ W11 が 3mm 以上 5mm 未満となるように、複数の端子が並んで配置されていればよい。第 1 ピッチ W10 は第 2 ピッチ W11 よりも短くなるように設定されてもよいし、第 1 ピッチ W10 は第 2 ピッチ W11 よりも長くなるように設定されてもよい。このように、コネクタポート 56AK01 は、複数の導体としての端子が第 1 ピッチ W10 で設けられた第 1 部品となり、コネクタポート 56AK02 は、複数の導体としての端子が第 2 ピッチ W11 で設けられた第 2 部品となる。また、コネクタポート 56AK01 は、接続配線部材 55AK01 の一端に設けられたコネクタプラグ 55AK1P が差し込まれて装着されることにより、接続配線部材 55AK01 に形成された配線のパターン 55AK10 ~ 55AK22 などによって構成される複数の信号配線を着脱自在に接続可能とする

配線接続部品である。コネクタポート 5 6 A K 0 2 は、接続配線部材 5 5 A K 0 1 の他端に設けられたコネクタプラグ 5 5 A K 2 P が差し込まれて装着されることにより、接続配線部材 5 5 A K 0 1 に形成された配線のパターン 5 5 A K 1 0 ~ 5 5 A K 2 2 などによって構成される複数の信号配線を着脱自在に接続可能とする配線接続部品である。

【 0 1 8 1 】

コネクタポート 5 6 A K 0 1 では複数の端子が第 1 ピッチ W 1 0 で配置される一方で、接続配線部材 5 5 A K 0 1 の一端に設けられたコネクタプラグ 5 5 A K 1 P は、複数の信号配線に対応する複数の接触導体が、第 1 ピッチ W 1 0 に対応する間隔となるように形成されている。コネクタポート 5 6 A K 0 2 では複数の端子が第 2 ピッチ W 1 1 で配置される一方で、接続配線部材 5 5 A K 0 1 の他端に設けられたコネクタプラグ 5 5 A K 2 P は、複数の信号配線に対応する複数の接触導体が、第 2 ピッチ W 1 1 に対応する間隔となるように形成されている。接続配線部材 5 5 A K 0 1 におけるコネクタプラグ 5 5 A K 1 P の近傍には、複数の信号配線を第 1 ピッチ W 1 0 に対応した間隔となるように調整する第 1 調整部が設けられてもよい。接続配線部材 5 5 A K 0 1 におけるコネクタプラグ 5 5 A K 2 P の近傍には、複数の信号配線を第 2 ピッチ W 1 1 に対応した間隔となるように調整する第 2 調整部が設けられてもよい。接続配線部材 5 5 A K 0 1 では、配線のパターン 5 5 A K 1 0 ~ 5 5 A K 2 2 により構成される複数の信号配線のうち、少なくとも一部の信号配線の配線長が、同一または略同一となる。

【 0 1 8 2 】

図 3 8 は、複数の電気部品について他の構成例を示している。図 3 8 (A) は、配線のパターンにより構成される複数の信号配線と電氣的に接続可能な電子部品 5 6 A K 1 I C の構成例を示している。図 3 8 (B) は、配線のパターンにより構成される複数の信号配線と電氣的に接続可能な電子部品 5 6 A K 2 I C の構成例を示している。電子部品 5 6 A K 1 I C および電子部品 5 6 A K 2 I C は、例えば主基板 1 1 あるいは演出制御基板 1 2 などの制御基板といった、所定部材に実装された I C チップなどの機能回路（例えばプロセッサまたはメモリなど）であればよい。図 3 8 に示す電子部品 5 6 A K 1 I C および電子部品 5 6 A K 2 I C の一方または双方が用いられる場合に、例えば図 8 に示された特徴部 3 0 A K における配線のパターンなどが構成する複数の信号配線により、複数の電気部品を電氣的に接続可能とすればよい。図 8 に示された特徴部 3 0 A K における配線のパターンに限定されず、例えば図 1 6 ~ 図 2 0 に示された特徴部 4 2 A K における配線のパターンや、図 2 1 に示された特徴部 4 3 A K における配線のパターン、図 2 2 に示された特徴部 4 4 A K における配線のパターンなど、一部または全部の信号配線の配線長が、同一または略同一となる複数の信号配線により、複数の電気部品を電氣的に接続可能であればよい。これにより、複数の信号配線で伝送される信号の遅延時間差を減少させて、複数の信号配線で伝送される信号の信頼性を向上させることができる。また、制御基板や電気機器の内部回路における配線のパターンを配置する面積の増大が抑制されて、基板や装置の小型化を図ることができる。

【 0 1 8 3 】

電子部品 5 6 A K 1 I C に対応して設けられた接続導体部 5 6 A K 1 P D では、複数の信号配線と接続される複数の端子に対応する接続導体（例えば接続パッド）が、第 1 ピッチ W 1 0 で設けられている。電子部品 5 6 A K 2 I C に対応して設けられた接続導体部 5 6 A K 2 P D では、複数の信号配線と接続される複数の端子に対応する接続導体（例えば接続パッド）が、第 1 ピッチ W 1 0 とは異なる第 2 ピッチ W 1 1 で設けられている。第 1 ピッチ W 1 0 や第 2 ピッチ W 1 1 は、図 3 7 に示されたコネクタポート 5 6 A K 0 1 やコネクタポート 5 6 A K 0 2 の場合と同様に設定されてもよい。このように、電子部品 5 6 A K 1 I C は、複数の導体としての端子や接続導体などが第 1 ピッチ W 1 0 で設けられた第 1 部品となり、電子部品 5 6 A K 2 I C は、複数の導体としての端子や接続導体などが第 2 ピッチ W 1 1 で設けられた第 2 部品となる。電子部品 5 6 A K 1 I C および電子部品 5 6 A K 2 I C は、例えば複数の端子に対応する接続導体が、配線のパターンにより構成される信号配線と接合されることにより、他の電気部品と電氣的に接続可能な電気部品と

なる。接続導体が信号配線と接合される方式は、はんだなどを用いた金属接合方式であってもよいし、導電性樹脂接合や異方性導電部材接合などの接着接合方式であってもよい。複数の信号配線は、接続導体部 5 6 A K 1 P D や接続導体部 5 6 A K 2 P D にて複数の接続導体と接合される場合に限定されず、例えば電子部品 5 6 A K 1 I C、5 6 A K 2 I C が備える複数の端子と、直接に接合されてもよい。

【 0 1 8 4 】

電子部品 5 6 A K 1 I C では複数の端子が第 1 ピッチ W 1 0 で配置される一方で、配線のパターンは、複数の信号配線が電子部品 5 6 A K 1 I C と接続される一端にて、複数の信号配線が第 1 ピッチ W 1 0 に対応した間隔となるように形成されている。電子部品 5 6 A K 2 I C では複数の端子が第 2 ピッチ W 1 1 で配置される一方で、配線のパターンは、複数の信号配線が電子部品 5 6 A K 2 I C と接続される他端にて、複数の信号配線が第 2 ピッチ W 1 1 に対応した間隔となるように形成されている。配線のパターンにおける電子部品 5 6 A K 1 I C の近傍には、複数の信号配線を第 1 ピッチ W 1 0 に対応した間隔となるように調整する第 1 調整部が設けられてもよい。配線のパターンにおける電子部品 5 6 A K 2 I C の近傍には、複数の信号配線を第 2 ピッチ W 1 1 に対応した間隔となるように調整する第 2 調整部が設けられてもよい。これにより、各種部品が接続される場合に、配線間隔を調整可能として、複数の部品を適切に接続することができる。また、配線のパターンを配置する接続手段における面積の増大が抑制されて、構成の小型化を図ることができる。

【 0 1 8 5 】

図 3 7 に示されたコネクタポート 5 6 A K 0 1、5 6 A K 0 2 のうち、いずれか一方のコネクタポートと、図 3 8 に示された電子部品 5 6 A K 1 I C、5 6 A K 2 I C のうち、いずれか一方の電子部品とが、第 1 部品や第 2 部品として組み合わせられて構成してもよい。例えば図 3 7 (A) に示されたコネクタポート 5 6 A K 0 1 を第 1 部品とし、図 3 8 (B) に示された電子部品 5 6 A K 2 I C を第 2 部品として、複数の電気部品を接続可能な複数の信号配線を構成する配線のパターンが形成されてもよい。あるいは、例えば図 3 8 (A) に示された電子部品 5 6 A K 1 I C を第 1 部品とし、図 3 7 (B) に示されたコネクタポート 5 6 A K 0 2 を第 2 部品として、複数の電気部品を接続可能な複数の信号配線を構成する配線のパターンが形成されてもよい。

【 0 1 8 6 】

その他、図 3 7 に示されたコネクタポート 5 6 A K 0 1、5 6 A K 0 2 の一方または双方が用いられる場合、あるいは図 3 8 に示された電子部品 5 6 A K 1 I C、5 6 A K 2 I C の一方または双方が用いられる場合に、図 3 1 に示された特徴部 5 5 A K における接続配線部材 5 5 A K 0 1 が備える特徴の一部または全部を備える接続手段が用いられてもよい。例えば複数の信号配線を構成する配線のパターンが形成された接続手段は、図 3 1 に示された領域 5 5 A K 1 0 Z と同様に、複数の信号配線のうち少なくとも 1 の信号配線が直線形状または略直線形状の第 1 形状となる一方で、他の信号配線が第 1 形状とは異なる蛇行形状などの第 2 形状となる領域を含んでいてもよい。接続手段は、図 3 1 に示された領域 5 5 A K 2 Z と同様に曲折することにより、全体が L 字形状または略 L 字形状を有するように形成されてもよい。接続手段には、図 3 1 に示された領域 5 5 A K 2 Z と同様の曲折部が設けられてもよい。接続手段は、図 3 2 の断面図と同様に、複数の信号配線を構成する配線のパターンが両面に形成されていてもよい。接続手段は、例えば基体が柔軟なシート状に形成され、図 3 1 に示された領域 5 5 A K 1 Z や領域 5 5 A K 1 0 Z と同様に、可撓性を有する部材の他に、図 3 1 に示された補強部材 5 5 A K 0 2 と同様に、可撓性を有しない部材を含み、可撓性を有しない部材にて、図 3 1 に示された回路部品 5 5 A K 1 R と同様に、信号配線と接続されるように実装された回路部品を備えてもよい。接続手段には、図 3 2 に示されたスルーホール 5 5 A K 1 H、5 5 A K 2 H と同様に、一面となる表面に設けられた信号配線と、他面となる裏面に設けられた信号配線とを電氣的に接続可能な貫通部が設けられ、複数の電気部品を複数の信号配線により接続した場合に、形状が変化する領域には、貫通部が設けられていないようにしてもよい。

【 0 1 8 7 】

(他の実施形態3について)

上記実施の形態では、接続配線部材55AK01が領域55AK2Zにて曲折することにより、全体がL字形状または略L字形状を有するように形成されているものとして説明した。しかしながら、この発明はこれに限定されず、接続配線部材は、全体が直線形状または略直線形状を有するように形成されていてもよい。例えば接続配線部材は、基体が柔軟なシート状に形成され、装着時には任意の部位で湾曲するように折り曲げられるようにしてもよい。

【 0 1 8 8 】

図39は、全体が直線形状または略直線形状を有する接続配線部材として、接続配線部材55AK01Aを用いた場合に、演出制御基板12と画像表示装置5との接続例を示している。接続配線部材55AK01Aは、コネクタプラグ55AK1Pをコネクタポート55AK1STに装着し、コネクタプラグ55AK2Pをコネクタポート55AK2STに装着する場合に、配線のパターンにより構成される複数の信号配線について延設方向が変更されるように、折曲位置55AK01Bにて折り曲げられる。また、図34に示された領域55AK1Zと同様の領域にて接続配線部材55AK01Aが湾曲するように折り曲げられる。これにより、コネクタプラグ55AK1Pとコネクタプラグ55AK2Pの方向を、コネクタポート55AK1STとコネクタポート55AK2STの方向にあわせて、調整することができればよい。

【 0 1 8 9 】

(特徴部62AKに関する説明)

図40は、本実施形態の特徴部62AKに関し、演出制御基板12に搭載された各種回路の構成例を示している。演出制御基板12は、図40に示すような演出制御用マイクロコンピュータ62AK100を搭載可能に構成されている。また、演出制御基板12は、外部ROM62AK120、外部RAM62AK121、CGROM62AK122、入出力ポート62AK123を搭載可能に構成されている。これらの各種回路のうち、一部または全部の回路は、コネクタソケットに対しコネクタピンを挿抜することなどにより着脱可能に構成されてもよいし、一部または全部の回路は、はんだなどを用いて実装可能に構成されてもよい。このように、演出制御基板12では、外部ROM62AK120、外部RAM62AK121、CGROM62AK122といった、複数種類の記憶回路を含んだ電子部品が、演出制御用マイクロコンピュータ62AK100と電氣的に接続可能な状態で搭載される。

【 0 1 9 0 】

演出制御用マイクロコンピュータ62AK100は、CPU62AK101、内部ROM62AK102、内部RAM62AK103、ウォッチドッグタイマ62AK104、タイマ回路62AK105、割込コントローラ62AK106、シリアル通信回路62AK107、クロック回路62AK108、VDP62AK110、音声処理回路62AK111、ランプ制御回路62AK112、モータ制御回路62AK113を統合化した演出制御用のマイクロプロセッサであればよい。CPU62AK101は、例えば図2に示した演出制御用CPU120に対応して、演出制御用のコンピュータプログラムに従い制御処理を実行する。内部ROM62AK102は、例えばファームウェアといった、CPU62AK101によって実行される制御処理の基本プログラムや、演出制御用マイクロコンピュータ62AK100に固有のシステム設定データなどを固定的に記憶する。内部RAM62AK103は、CPU62AK101のワークエリアを提供する。

【 0 1 9 1 】

ウォッチドッグタイマ62AK104は、内蔵レジスタの設定に基づいてカウントアップまたはカウントダウンするカウンタ回路を有し、計測時間が監視時間(タイムアウト時間)を経過してタイムアウトが発生したときに、時間経過信号となるタイムアウト信号を発生させる。タイムアウト信号は、CPU62AK101をリセット状態にして再起動させる信号であればよい。ウォッチドッグタイマ62AK104は、内蔵レジスタに含まれ

るWDTクリアレジスタに複数のWDTクリアデータが順番に書き込まれることにより、カウンタ回路の格納値であるカウント値をクリアして、カウント動作をリスタートさせる。CPU62AK101は、WDTクリアレジスタにWDTクリアデータを定期的に設定すれば、ウォッチドッグタイマ62AK104をクリアしリスタートさせることができる。その一方で、何らかの障害などによりCPU62AK101の処理に遅延が生じて、ウォッチドッグタイマ62AK104をクリアできずに計測時間が監視時間を経過したときには、タイムアウト信号が発生してCPU62AK101による処理がリセットされる。

【0192】

VDP62AK110は、例えば図2に示した表示制御部123に対応して設けられ、CPU62AK101からの表示制御指令やレジスタ設定などに基づいて、画像表示装置5における画像表示の制御内容を決定する。例えばVDP62AK110は、画像表示装置5の画面上に表示させる演出画像の切替タイミングを決定することなどにより、飾り図柄の可変表示や各種の演出表示を実行させるための制御を行う。VDP62AK110は、高速描画機能や動画像データ分離機能、映像デコード機能といった画像データ処理機能を有する画像プロセッサである。なお、VDP62AK110は、GPU(Graphics Processing Unit)、GCL(Graphics Controller LSI)、あるいは、より一般的にDSP(Digital Signal Processor)と称される画像処理用のマイクロプロセッサであってもよい。

【0193】

音声処理回路62AK111は、例えば図2に示した音声制御基板13が有する機能の一部または全部を含み、CPU62AK101やVDP62AK110からの命令やレジスタ設定などに基づいて、スピーカ8L、8Rを用いた音声出力を可能にする音声信号を生成可能である。ランプ制御回路62AK112は、例えば図2に示したランプ制御基板14が有する機能の一部または全部を含み、遊技効果ランプ9といった発光部材の点灯、消灯、点滅などの点灯態様(発光態様)を制御可能にする。モータ制御回路62AK113は、例えば図2に示したドライバ基板19が有する機能の一部または全部を含み、演出用モータ60に含まれる各種モータの回転制御などを可能にする。

【0194】

演出制御用マイクロコンピュータ62AK100では、割込コントローラ62AK106により、各種割込要求が制御される。割込コントローラ62AK106は、割込の種類ごとに割込の許可や割込の優先度を設定するための割込制御レジスタを備える。例えば、割込コントローラ62AK106には、シリアル受信割込設定用、タイマ割込設定用、Vシンク割込設定用といった、各種割込に対応した割込制御レジスタが設けられていればよい。なお、Vシンク割込は、画像表示装置5に演出画像などを描画するVDP62AK110からの垂直同期信号が出力されるタイミングにあわせた割込である。それぞれの割込に対応した割込制御レジスタには、対応する割込の許可を示す内部情報データ(割込許可データ)と、対応する割込の優先度を示す内部情報データ(割込優先度データ)とが、設定可能であればよい。割込の許可は、例えば割込許可データの値が「0」であれば対応する割込が許可状態に設定され、割込許可データの値が「1」であれば対応する割込が禁止状態に設定される。割込の優先度は、例えば割込優先度データにより16段階(4ビット)の数値で設定され、「0000(=0H)」の場合に対応する割込の優先度が最も高くなり、「1111(=FH)」の場合に対応する割込の優先度が最も低くなる。

【0195】

なお、シリアル受信割込設定用、タイマ割込設定用、Vシンク割込設定用の割込制御レジスタに限定されず、例えば、外部割込、シリアル送信割込、乱数回路の乱数取込による割込といった、演出の制御に関連する任意の割込に対応して、割込制御レジスタを備えてもよい。割込制御レジスタに設定される内部情報データは、予め内部ROM62AK102の所定領域(プログラム管理エリアなど)に設定されている。CPU62AK101は、パチンコ遊技機1への電源投入時に、プログラム管理エリアなどの設定内容に従って、シリアル通信回路62AK107の設定や、乱数生成の設定、内部リセット動作の設定な

10

20

30

40

50

どを行う。このとき、割込コントローラ 62AK106 が備えるシリアル受信割込設定用、タイマ割込設定用、Vシンク割込設定用といった、各種割込に対応した割込制御レジスタの内部情報データを設定する。これにより、シリアル受信割込やタイマ割込、Vシンク割込などの設定が行われる。

【0196】

例えばシリアル受信割込設定用、タイマ割込設定用、Vシンク割込設定用の割込制御レジスタでは、内部情報データのうちの割込許可データが、いずれも「0」の値を示し、シリアル受信割込、タイマ割込、Vシンク割込は、いずれも許可状態に設定される。また、内部情報データのうちの割込優先度データは、シリアル受信割込の方がタイマ割込よりも優先度が高く、タイマ割込の方がVシンク割込よりも優先度が高くなるように、それぞれに対応する4ビット値が設定される。

10

【0197】

外部ROM 62AK120は、演出制御用マイクロコンピュータ 62AK100 による演出制御の具体的内容として、CPU 62AK101 が実行するシステムプログラムやユーザプログラムなどを構成する命令コード、管理データ、テーブルデータ、演出制御パターンなどを構成する各種データを、固定的に記憶する。外部RAM 62AK121は、内部RAM 62AK103の補助領域として、各種データなどを一時記憶する。CGROM 62AK122は、画像データや音声データといった各種の演出実行用データを固定的に記憶する。なお、外部ROM 62AK120やCGROM 62AK122は、例えば書換不納な半導体メモリであってもよいし、NAND型フラッシュメモリといった、電氣的に消去や書込あるいは書換などが可能な不揮発性の半導体メモリであってもよく、あるいは、磁気メモリ、光学メモリといった、不揮発性の記録媒体を用いて構成されたものであってもよい。入出力ポート 62AK123は、例えば演出制御基板 12の外部から各種信号の入力を受け付ける入力ポートと、演出制御基板 12の外部へと各種信号の出力を可能にする出力ポートとを含んでいる。

20

【0198】

図41は、主基板 11の遊技制御用マイクロコンピュータ 100から演出制御基板 12の演出制御用マイクロコンピュータ 62AK100 に対し、遊技用として送信される演出制御コマンドの内容例を示している。以下において、添字Hは、16進数であることを示す。演出制御用マイクロコンピュータ 62AK100にて受信可能な演出制御コマンドは2バイト構成であり、1バイト目はコマンドの分類を表すMODEデータとなり、2バイト目はコマンドの種類を表すEXTデータとなる。演出制御コマンドの上位データ(MODEデータ)は先頭ビット(ビット7)が必ず「1」に設定され、演出制御コマンドの下位データ(EXTデータ)は先頭ビット(ビット7)が必ず「0」に設定される。なお、2バイト構成の演出制御コマンドに限定されず、例えば1バイトや3バイト以上で構成される制御コマンドを用いてもよい。

30

【0199】

図41に示す演出制御コマンドは、遊技の進行に伴い主基板 11の遊技制御用マイクロコンピュータ 100から送信される。演出制御用マイクロコンピュータ 62AK100は、図41に示す演出制御コマンドのいずれかを、遊技の進行に伴い受信する。このように、図41に示す演出制御コマンドは、遊技の進行に伴い主基板 11の遊技制御用マイクロコンピュータ 100から演出制御基板 12の演出制御用マイクロコンピュータ 62AK100 に対して送信される遊技用の演出制御コマンドである。

40

【0200】

図41に示す変動パターン指定コマンド 80XXHは、特別図柄の可変表示に対応して画像表示装置 5において可変表示される飾り図柄の変動パターンを指定する。変動パターン指定コマンドの下位データ(EXTデータ)であるXXHは、変動パターンに対応した値を示している。表示結果指定コマンド 8CXXHは、可変表示の表示結果を指定する。表示結果指定コマンドの下位データ(EXTデータ)であるXXHは、可変表示の表示結果に対応した値を示している。変動図柄指定コマンド 8DXXHは、複数の特別図柄のう

50

ち、第1特別図柄または第2特別図柄のいずれが、変動を開始する特別図柄であるかを指定する。変動図柄指定コマンドの下位データ（EXTデータ）であるXXHは、例えば第1特別図柄の場合に01Hとなり、第2特別図柄の場合に02Hとなればよい。図柄確定コマンド8F00Hは、図柄の変動を終了することを指定する。初期化指定コマンド9000Hは、電源投入時の初期化を指定する。停電復旧指定コマンド9200Hは、停電復旧時に対応する画面表示として、予め定められた停電復旧画面の表示を指定する。

【0201】

図41に示す当り開始指定コマンドA0XXHは、可変表示の表示結果が「大当り」または「小当り」に対応して、大当り遊技状態または小当り遊技状態の開始を指定する。当り開始指定コマンドの下位データ（EXTデータ）であるXXHは、大当り遊技状態の種別や小当り遊技状態に対応した値を示している。大入賞口開放中指定コマンドA1XXHや大入賞口開放後指定コマンドA2XXHは、大当り遊技状態などにて画像表示装置5に表示される大入賞口開放中画面または大入賞口開放後画面の表示を指定する。当り終了指定コマンドA3XXHは、大当り遊技状態または小当り遊技状態の終了を指定する。背景指定コマンドB0XXHは、遊技状態などに応じた背景画面の表示状態を指定する。第1保留記憶数指定コマンドC1XXHは、第1特図保留記憶数を指定する。第1特図保留記憶数は、特図保留記憶数のうち、第1特別図柄表示装置4Aに対応した可変表示の保留数であり、例えば「0」～「4」のいずれかの値となる。第2保留記憶数指定コマンドC2XXHは、第2特図保留記憶数を指定する。第2特図保留記憶数は、特図保留記憶数のうち、第2特別図柄表示装置4Bに対応した可変表示の保留数であり、例えば「0」～「4」のいずれかの値となる。入賞時判定結果指定コマンドC3XXHは、入賞時判定結果を指定する。入賞判定結果は、第1始動口スイッチ22Aが第1始動入賞口を通過（進入）した遊技球を検出したときや、第2始動口スイッチ22Bが第2始動入賞口を通過（進入）した遊技球を検出したときに、例えば乱数回路104やRAM102の所定領域に設けられた遊技用ランダムカウンタから抽出した遊技用乱数を示す数値データを用いて、可変表示結果が「大当り」となるか否かを判定した結果や、変動パターンを判定した結果などを示している。すなわち、入賞時判定結果は、大当り遊技状態などの有利状態に制御するか否かを決定するより前に、有利状態に制御されるか否かを判定した結果や、特定の変動パターンとなるか否かを判定した結果を示している。

【0202】

図42は、演出制御基板12の演出制御用マイクロコンピュータ62AK100が受信可能なテストコマンドとなる演出制御コマンドの内容例を示している。テストコマンドとなる演出制御コマンドも、遊技用の演出制御コマンドと同様に、2バイト構成である。テストコマンドとなる演出制御コマンドは、上位データ（MODEデータ）がF0H～F3Hのいずれかに設定される。これらの上位データ（MODEデータ）は、遊技用の演出制御コマンドでは使用されない値であり、各種検査を行うための専用コマンドとして、予め用意されたものであればよい。なお、2バイト構成のテストコマンドに限定されず、例えば1バイトや3バイト以上で構成される制御コマンドを用いてもよい。

【0203】

図42に示すテストコマンドは、遊技の進行に伴い主基板11の遊技制御用マイクロコンピュータ100から送信される演出制御コマンドには含まれていない。テストコマンドは、例えばレセプタクルKRE1に信号配線を介して接続された検査用の情報処理装置（パーソナルコンピュータなど）から送信され、演出制御基板12の演出制御用マイクロコンピュータ62AK100が受信したことに基づいて、受信コマンドに対応する検査処理などが実行可能となる。このように、図42に示すテストコマンドとなる演出制御コマンドは、遊技の進行に伴い主基板11の遊技制御用マイクロコンピュータ100から演出制御基板12の演出制御用マイクロコンピュータ62AK100に対して送信される遊技用の演出制御コマンドとは異なり、各種検査を行う検査処理などを実行可能にする検査用の演出制御コマンドである。

【0204】

図42に示す黒画面表示コマンドF000Hは、画像表示装置5においてテスト用の黒画面を表示させる。テスト用の黒画面は、表示色が黒色となる表示検査用の画面である。ROMチェック画面コマンドF005Hは、例えば外部ROM62AK120といった各種ROMの検査処理について、その実行結果やバージョン情報を画像表示装置5の画面上に表示させる。赤表示コマンドF020Hは、画像表示装置5において表示色が赤色となる表示検査用の画面である赤画面を表示させる。緑表示コマンドF021Hは、画像表示装置5において表示色が緑色となる表示検査用の画面である緑画面を表示させる。青表示コマンドF022Hは、画像表示装置5において表示色が青色となる表示検査用の画面である青画面を表示させる。白表示コマンドF023Hは、画像表示装置5において表示色が白色となる表示検査用の画面である白画面を表示させる。黒表示コマンドF024Hは、画像表示装置5において表示色が黒色となる表示検査用の画面である黒画面を表示させる。

10

【0205】

RTC値種別指定コマンドF1XXHは、RTC値の種別を指定する。RTC値種別指定コマンドの下位データ(EXTデータ)であるXXHは、例えば、年、月、日、曜日、時、分、秒といった、RTC値の種別に対応した値を示している。RTC数値設定コマンドF2XXHは、RTC値種別指定コマンドF1XXHで指定されたRTC値の種別について、具体的な内容や数値を設定する。RTC数値設定コマンドの下位データ(EXTデータ)であるXXHは、年、月、日、時、分、秒について、具体的な数値に対応した値を示し、曜日について、日曜日から土曜日までに対応した値を示している。

20

【0206】

チェック処理等指定コマンドF3XXHは、検査処理となる各種のチェック処理について、実行することを指定する。例えばチェック処理等指定コマンドの下位データ(EXTデータ)であるXXHは、1のチェック処理と他のチェック処理とで異なる固有の値を示す場合や、複数種類のチェック処理などに共通した値を示す場合とがあればよい。チェック処理等指定コマンドF3XXHは、複数のテストコマンドを構成し、複数のテストコマンドの組み合わせとして、予め定められた順番で受信した場合に、検査処理となる各種のチェック処理などを実行可能であればよい。また、検査処理となる各種のチェック処理などに対応して予め定められた複数のテストコマンドを受信する順番として、複数種類の順番が予め定められており、複数のテストコマンドの組み合わせを受信した順番の種類に応じて異なる検査処理などを実行可能であればよい。

30

【0207】

図43は、主基板11の遊技制御用マイクロコンピュータ100などから受信した演出制御コマンドを格納するための受信レジスタや各受信バッファの構成例を示している。遊技制御用マイクロコンピュータ100などから受信した演出制御コマンドは、まず、演出制御用マイクロコンピュータ62AK100のシリアル通信回路62AK107の受信レジスタに格納される。シリアル通信回路62AK107の受信レジスタは、FIFO(先入れ先出し)方式の16バイトの領域で構成され、2バイト構成の演出制御コマンドを最大で8個まで格納可能である。なお、この実施の形態では、主基板11の遊技制御用マイクロコンピュータ100の他にも、例えばレセプタクルKRE1に信号配線を介して接続された検査用の情報処理装置(例えばパーソナルコンピュータ)から、図42に示したようなテストコマンドとなる検査用の演出制御コマンドを受信する場合がある。

40

【0208】

シリアル通信回路62AK107の受信レジスタに格納された演出制御コマンドは、シリアル受信割込が発生するごとに、内部RAM62AK103の受け渡し用バッファに転送される。シリアル受信割込は、演出制御コマンドを受信すると直ちに発生すればよい。シリアル通信回路62AK107の受信レジスタは、演出制御コマンドを最大で8個まで格納可能である。しかしながら、実質的には2以上の演出制御コマンドが蓄積して格納される場合は発生しないまたは発生しにくい。内部RAM62AK103の受け渡し用バッファは、シリアル通信回路62AK107の受信レジスタよりも容量が大きい128バイ

50

トで構成され、2 バイト構成の演出制御コマンドを64 個まで格納可能なリングバッファ形式のバッファであればよい。

【0209】

受け渡し用バッファに格納された演出制御コマンドは、1 ミリ秒ごとにタイマ割込が発生すると、外部RAM62AK121の解析用バッファに転送される。解析用バッファは、解析用バッファ(上位)と解析用バッファ(下位)との2つが設けられている。受け渡し用バッファから読み出された演出制御コマンドのうち、上位データ(MODEデータ)は解析用バッファ(上位)に格納され、下位データ(EXTデータ)は解析用バッファ(下位)に格納される。解析用バッファ(上位)および解析用バッファ(下位)は、それぞれ受け渡し用バッファよりも容量が大きい256 バイトで構成され、2 バイト構成の演出制御コマンドを256 個まで格納可能なリングバッファ形式のバッファであればよい。受け渡し用バッファから解析用バッファ(上位)および解析用バッファ(下位)に演出制御コマンドを転送するときには、外部バスで接続された外部RAM62AK121へのアクセスが必要になる。これに対し、受信レジスタから受け渡し用バッファに演出制御コマンドを転送するときには、内部バスに接続されたシリアル通信回路62AK107と内部RAM62AK103にアクセスするだけで済む。そのため、受信レジスタから受け渡し用バッファに演出制御コマンドを転送するときには、受け渡し用バッファから解析用バッファ(上位)および解析用バッファ(下位)に演出制御コマンドを転送するときよりも、高速(短期間)にデータ転送を行うことができる。

【0210】

図44は、演出制御基板12に搭載された演出制御用マイクロコンピュータ62AK100のCPU62AK101が実行する演出制御メイン処理の一例を示すフローチャートである。演出制御用マイクロコンピュータ62AK100では、起動用の電力供給が開始されると、CPU62AK101が演出制御メイン処理の実行を開始する。演出制御メイン処理を実行するためのプログラムは、内部ROM62AK102および外部ROM62AK120の一方または両方に、予め記憶されていればよい。すなわち、演出制御メイン処理を実行するためのプログラムは、一部または全部が内部ROM62AK102または外部ROM62AK120に予め記憶されていればよい。

【0211】

図44に示す演出制御メイン処理では、初期化処理が実行される(ステップ62AKS01)。初期化処理では、例えばRAM領域のクリアや各種初期値の設定、演出制御の起動間隔(1 ミリ秒など)を計測するタイマの初期設定などを、行うことができればよい。その後、CPU62AK101は、タイマ割込の発生を監視するループ処理に移行し、タイマ割込が発生したか否かを判定する(ステップ62AKS02)。タイマ割込が発生しない場合には(ステップ62AKS02; No)、ステップ62AKS02を繰り返して待機する。なお、ステップ62AKS02を繰り返すループ処理の実行中には、ステップ62AKS07と同様の演出用乱数更新処理が実行されてもよい。

【0212】

ステップ62AKS02にてタイマ割込が発生した場合には(ステップ62AKS02; Yes)、解析用バッファ転送処理を実行する(ステップ62AKS03)。解析用バッファ転送処理は、内部RAM62AK103の受け渡し用バッファに格納された受信コマンドを、外部RAM62AK121の解析用バッファ(上位)および解析用バッファ(下位)に転送する処理である。解析用バッファ転送処理に続いて、コマンド解析処理(ステップ62AKS04)、演出制御プロセス処理(ステップ62AKS05)、エラー報知処理(ステップ62AKS06)、演出用乱数更新処理(ステップ62AKS07)を、順に実行する。その後、タイマ割込時におけるウォッチドッグタイマ62AK104のクリア設定を行ってから(ステップ62AKS08)、ステップ62AKS02に戻る。ステップ62AKS08では、演出を制御するためのタイマ割込が発生した場合に対応して、ウォッチドッグタイマ62AK104の監視時間が経過するより前に、ウォッチドッグタイマ62AK104をクリアして、計測時間を初期化することでリスタートさせれば

よい。例えばCPU62AK101は、WDTクリアレジスタに複数のWDTクリアデータを順番に書き込むことで、ウォッチドッグタイマ62AK104を定期的にクリアすればよい。

【0213】

図45は、初期化処理として、図44のステップ62AKS01にて実行される処理の一例を示すフローチャートである。図45に示す初期化処理では、例えば外部ROM62AK120の管理データ領域に記憶されたディスプレイ情報を示すデータを読み出すことなどにより、ディスプレイ情報を取得する(ステップ62AKS11)。ディスプレイ情報は、例えば画像表示装置5のサイズ(15インチまたは19インチなど)、水平同期周波数、垂直同期周波数、解像度、RAMDAC情報といった、画像表示装置5における画像表示の制御に必要な画面設定の一部または全部を示す情報であればよい。なお、ディスプレイ情報は、外部ROM62AK120の管理データ領域に記憶されるものに限定されず、例えば画像表示装置5の表示制御回路から提供されるものであってもよい。

10

【0214】

ステップ62AKS11にてディスプレイ情報を取得した後は、そのディスプレイ情報を、例えば外部RAM62AK121の所定領域(システム情報設定部など)に記憶させる(ステップ62AKS12)。続いて、取得したディスプレイ情報に基づいて、ディスプレイ初期化設定を行う(ステップ62AKS13)。例えばCPU62AK101は、VDP62AK110のレジスタ設定などにより、ディスプレイ情報に応じて画像表示装置5の表示制御を行うための初期設定を行えばよい。次に、その他の初期化設定を行ってから(ステップ62AKS14)、初期化処理を終了する。こうした初期化処理にて記憶されたディスプレイ情報は、検査処理となる各種のチェック処理を実行するときにも使用可能である。したがって、遊技の進行に伴う表示の設定と共通の設定により、検査処理における検査対象(外部RAM62AK121など)の状態に応じた検査時表示を行うことができる。

20

【0215】

図46(A)は、演出制御用マイクロコンピュータ62AK100における割込の優先度の設定例を示している。例えば図45に示す初期化処理のステップ62AKS14による初期化設定では、割込コントローラ62AK106が制御する割込の優先順位を初期設定することができればよい。このときには、例えば外部ROM62AK120の管理データ領域に予め記憶された割込順位設定データに基づいて、割込の優先順位を設定すればよい。図46(A)に示す設定例では、シリアル受信割込の方がタイマ割込よりも優先度が高く、タイマ割込の方がVシンク割込よりも優先度が高い。一例として、シリアル受信割込設定用の割込制御レジスタには、「0000(=0H)」を示す割込優先度データが設定され、タイマ割込設定用の割込制御レジスタには、「0001(=1H)」を示す割込優先度データが設定され、Vシンク割込設定用の割込制御レジスタには、「0010(=2H)」を示す割込優先度データが設定される。この場合には、割込コントローラ62AK106が制御する割込のうちで、シリアル受信割込の優先度が最も高くなり、タイマ割込の優先度が次に高くなり、Vシンク割込の優先度がタイマ割込の次に高くなる。なお、いずれの割込についても、割込禁止の設定が可能であり、その設定が行われた場合には、それぞれの割込の発生に対応した処理が実行されなくなればよい。

30

40

【0216】

図46(B)は、受け渡し用バッファ転送処理の一例を示すフローチャートである。主基板11に搭載された遊技制御用マイクロコンピュータ100などから演出制御コマンドを受信すると、シリアル受信割込が発生する。シリアル受信割込が発生すると、演出制御用マイクロコンピュータ62AK100のCPU62AK101は、図46(B)に示す受け渡し用バッファ転送処理を実行する。受け渡し用バッファ転送処理では、シリアル通信回路62AK107の受信レジスタに格納されている演出制御コマンドを、内部RAM62AK103の受け渡し用バッファに転送することができる。

【0217】

50

図46(B)に示す受け渡し用バッファ転送処理が開始されると、受信受け渡し転送設定を行う(ステップ62AKS21)。ステップ62AKS21の受信受け渡し転送設定では、受信した演出制御コマンドに対応するデータをシリアル通信回路62AK107の受信レジスタから読み出し、受け渡し用バッファの書込位置として指定された領域に書き込む。このときには、受け渡し用バッファの書込位置を増加更新する。演出制御コマンドは2バイト構成で伝送され、シリアル通信回路62AK107の受信レジスタには受信した演出制御コマンドに対応するデータが1バイトずつ格納される。シリアル受信割込は、演出制御コマンドのうちの上位データ(MODEデータ)を受信したときと下位データ(EXTデータ)を受信したときのそれぞれにおいて発生する。CPU62AK101は、受信した演出制御コマンドに対応するデータを、シリアル通信回路62AK107の受信レジスタから1バイトずつ読み出す。例えば演出制御コマンドは、上位データ(MODEデータ)を受信した後に下位データ(EXTデータ)を受信する。CPU62AK101は、シリアル受信割込の発生に応じて、上位データ(MODEデータ)に続き下位データ(EXTデータ)となる順番で、演出制御コマンドの構成データを読み出せばよい。受け渡し用バッファの書込位置は、例えば書込ポインタに格納されたアドレス値により特定できればよい。受信レジスタから読み出したデータを受け渡し用バッファの書込位置に書き込んだときには、書込ポインタに格納されるアドレス値を1加算(インクリメント)することにより、書込位置を増加更新すればよい。

【0218】

CPU62AK101は、受け渡し用バッファが受信した演出制御コマンドに対応する記憶データで満杯になり空き領域がない状態となっているか否かを判定する(ステップ62AKS22)。例えば、受け渡し用バッファの書込位置が読出位置と合致した状態になっているときには、未読出の領域に次のデータを書き込むことになるので、受け渡し用バッファに空き領域がない状態であると判定すればよい。

【0219】

ステップ62AKS22にて受け渡し用に空き領域がないと判定した場合には(ステップ62AKS22; Yes)、受け渡し解析転送設定を行う(ステップ62AKS23)。ステップ62AKS23の受け渡し解析転送設定では、受け渡し用バッファから1バイト分の記憶データを読み出し、演出制御コマンドの上位データ(MODEデータ)であるか否かを判定する。なお、受け渡し用バッファから読み出したデータは、例えば、データレジスタの1つに一旦格納しておき、受け渡し用バッファの読出位置を増加更新する。受け渡し用バッファの読出位置は、例えば読出ポインタに格納されたアドレス値により特定できればよい。受け渡し用バッファの記憶データを読み出したときには、読出ポインタに格納されるアドレス値を1加算(インクリメント)することにより、読出位置を増加更新すればよい。

【0220】

受け渡し用バッファからは、演出制御コマンドの上位データ(MODEデータ)が読み出された後に下位データ(EXTデータ)が読み出される。そのため、受け渡し用バッファから読み出したデータが演出制御コマンドの上位データ(MODEデータ)ではなく下位データ(EXTデータ)である場合に、1つの演出制御コマンドを上位データ(MODEデータ)および下位データ(EXTデータ)のセットで読み出したことになる。この場合には、先に読み出した上位データ(MODEデータ)を解析用バッファ(上位)に書き込むとともに、今回読み出した下位データ(EXTデータ)を解析用バッファ(下位)に書き込む。このときには、書込完了フラグをオン状態にせつとする。書込完了フラグは、1つの演出制御コマンドを上位データ(MODEデータ)および下位データ(EXTデータ)のセットで解析用バッファへの書き込みが完了したことを示すフラグである。受け渡し用バッファから読み出したデータが演出制御コマンドの上位データ(MODEデータ)である場合には、書込完了フラグをクリアしてオフ状態にする。これにより、演出制御コマンドは、受け渡し用バッファから上位データ(MODEデータ)および下位データ(EXTデータ)のセットで揃って読み出されてから、上位データ(MODEデータ)は解析

用バッファ（上位）に、下位データ（EXTデータ）は解析用バッファ（下位）に、まとめて格納するように制御される。

【0221】

ステップ62AKS23による受け渡し解析転送設定の後には、受け渡し用バッファにおける記憶データの全部について読み出しが完了したか否かを判定する（ステップ62AKS24）。例えば、ステップ62AKS23による受け渡し解析転送設定の後には、受け渡し用バッファの読出位置が書込位置と合致した状態になっているときには、未読出の記憶データが存在しない状態になるので、記憶データの全部について読み出しが完了したと判定すればよい。

【0222】

受け渡し用バッファにおける記憶データの全部まで読み出しが完了していない場合には（ステップ62AKS24；No）、ステップ62AKS23による受け渡し解析転送設定を繰り返し実行する。全部の読み出しが完了した場合には（ステップ62AKS24；Yes）、受け渡し用バッファにおける読出位置を調整する（ステップ62AKS25）。ステップ62AKS25では、例えば書込完了フラグがオンであるか否かを判定し、オンである場合には、読出位置の調整を行わず、ステップ62AKS25の処理を終了する。これに対し、書込完了フラグがオフである場合には、受け渡し用バッファにおける読出位置を減少更新して、読出位置の調整を行う。書込完了フラグがオフであるときには、受け渡し用バッファから最後に読み出した記憶データが演出制御コマンドの上位データ（MODEデータ）に対応しており、下位データ（EXTデータ）は未だ読み出されていない。このときには、解析用バッファへの転送が完了していないので、受け渡し用バッファにおける読出位置を1バイト分だけ元に戻すように調整する。ステップ62AKS25では、読出ポインタに格納されているアドレス値を1減算（デクリメント）することにより、読出位置を減少更新すればよい。

【0223】

ステップ62AKS22にて受け渡し用バッファに空き領域があると判定した場合や（ステップ62AKS22；No）、ステップ62AKS25が終了した後は、受信レジスタにおける記憶データの全部について読み出しが完了したか否かを判定する（ステップ62AKS26）。このとき、読み出しが完了していなければ（ステップ62AKS26；No）、ステップ62AKS21に戻り、受信受け渡し転送設定などを繰り返し実行する。これに対し、受信レジスタからの読み出しが完了した場合には（ステップ62AKS26；Yes）、受け渡し用バッファ転送処理を終了する。

【0224】

図44に示す演出制御メイン処理のステップ62AKS03にて実行される解析用バッファ転送処理では、まず、図46（B）に示した受け渡し用バッファ転送処理のステップ62AKS24と同様に、受け渡し用バッファの記憶データについて、すべて読み出しが完了している状態であるか否かを判定する。このとき、未読出の記憶データがあれば、図46（B）に示した受け渡し用バッファ転送処理のステップ62AKS23と同様に、受け渡し解析転送設定を行い、受け渡し用バッファの記憶データを解析用バッファ（上位）と解析用バッファ（下位）とに転送する。そして、受け渡し用バッファの記憶データについて、すべて読み出しが完了するまで、受け渡し解析転送設定を繰り返し実行する。その一方で、受け渡し用バッファの記憶データについて、すべて読み出しが完了している状態である場合には、図46（B）に示した受け渡し用バッファ転送処理のステップ62AKS25と同様に、受け渡し用バッファにおける記憶データの読出位置を調整して、解析用バッファ転送処理を終了する。

【0225】

図47は、コマンド解析処理として、図44のステップ62AKS04にて実行される処理の一例を示すフローチャートである。コマンド解析処理では、解析用バッファに格納された演出制御コマンドに対応する記憶データを読み出して解析し、その解析結果に応じたフラグの設定などが行われる。図47に示すコマンド解析処理では、外部RAM62A

10

20

30

40

50

K 1 2 1 の解析用バッファ（上位）および解析用バッファ（下位）に格納された演出制御コマンドに対応する記憶データがあるか否かを判定する（ステップ 6 2 A K S 4 1）。このとき、演出制御コマンドに対応する記憶データがなければ（ステップ 6 2 A K S 4 1 ; N o）、コマンド解析処理を終了する。

【 0 2 2 6 】

演出制御コマンドに対応する記憶データがある場合には（ステップ 6 2 A K S 4 1 ; Y e s）、解析用バッファ（上位）の記憶データを読み出す（ステップ 6 2 A K S 4 2）。そして、ステップ 6 2 A K S 6 2 による読出データが F 3 H であるか否かを判定する（ステップ 6 2 A K S 4 3）。図 4 2 に示すように、演出制御コマンドの上位データ（MOD E データ）が F 3 H である場合には、チェック処理等指定コマンドとなるテストコマンドを受信している。そこで、読出データが F 3 H である場合には（ステップ 6 2 A K S 4 3 ; Y e s）、解析用バッファ（下位）の記憶データを読み出し（ステップ 6 2 A K S 4 4）、受信コマンドを受信順序リストと照合する（ステップ 6 2 A K S 4 5）。受信順序リストは、例えば内部 R O M 6 2 A K 1 0 2 または外部 R O M 6 2 A K 1 2 0 に予め記憶されて、複数のテストコマンドの組み合わせを受信する順序と、実行する処理とを、特定可能な対応関係を示していればよい。ステップ 6 2 A K S 4 5 での照合結果に基づいて、受信順序が合致する処理の有無を判定する（ステップ 6 2 A K S 4 6）。ステップ 6 2 A K S 4 6 では、受信した複数のテストコマンドの組み合わせの順序が、受信順序リストに示された複数の処理のうち、いずれかの処理に対応するテストコマンドの受信順序と合致した場合に、受信順序が合致する処理があると判定すればよい。

【 0 2 2 7 】

受信順序が合致する処理がある場合には（ステップ 6 2 A K S 4 6 ; Y e s）、受信順序がすべて合致したか否かを判定する（ステップ 6 2 A K S 4 7）。例えば、ステップ 6 2 A K S 4 6 にて受信順序が合致する処理があると判定された場合に、受信コマンドに対応する解析用バッファの記憶データをテストコマンドバッファに蓄積しておき、次に受信したテストコマンドと、受信順序リストに示された次の順序に対応するテストコマンドとを、照合可能にすればよい。あるいは、受信順序リストの照合位置を指定する照合ポイントに格納されるポイント値を更新することにより、次に受信したテストコマンドと、受信順序リストに示された次の順序に対応するテストコマンドとを、照合可能にしてもよい。ステップ 6 2 A K S 4 7 にて、すべて合致した場合には（ステップ 6 2 A K S 4 7 ; Y e s）、割込禁止とする設定を行い（ステップ 6 2 A K S 4 8）、合致した受信順序に対応するチェック処理等を開始するための設定を行う（ステップ 6 2 A K S 4 9）。こうして、複数のテストコマンドの組み合わせについて、受信順序が合致したチェック処理の実行を開始させることができる。

【 0 2 2 8 】

ステップ 6 2 A K S 4 3 にて読出データが F 3 H 以外である場合には（ステップ 6 2 A K S 4 3 ; N o）、チェック処理等指定コマンドとは異なる他の演出制御コマンドに対応した受信時設定を行い（ステップ 6 2 A K S 5 0）、ステップ 6 2 A K S 4 1 に戻る。また、ステップ 6 2 A K S 4 6 にてリストに示された受信順序と合致する処理がない場合や（ステップ 6 2 A K S 4 6 ; N o）、ステップ 6 2 A K S 4 7 にて未だすべて合致に至っていない場合にも（ステップ 6 2 A K S 4 7 ; N o）、ステップ 6 2 A K S 4 1 に戻る。なお、ステップ 6 2 A K S 4 6 にて受信順序が合致する処理がない場合には、テストコマンドバッファをクリアしたり、照合ポイントをクリアしたりするなどして、複数のテストコマンドの組み合わせを受信するための設定を初期化してもよい。このように、複数のテストコマンドを受信中に、予め定められた複数のテストコマンドの組み合わせ以外のコマンドを受信した場合には、検査処理となるチェック処理などを実行しないように制御（制限、規制）することができる。あるいは、ステップ 6 2 A K S 4 6 にて受信順序が合致する処理がない場合には、テストコマンドバッファや照合ポイントをクリアせず、他の受信コマンドに応じた設定を行い、その後さらにテストコマンドを受信した場合に、以前の続きから受信順序の照合を行うようにしてもよい。この場合には、複数のテストコマンドを

受信中に、テストコマンドの組み合わせ以外のコマンドを受信すると、その時点では検査処理となるチェック処理などを実行しないように制御する一方で、その後さらにテストコマンドを受信して、照合結果がすべて合致すれば、合致した受信順序と対応する処理を実行することができる。

【 0 2 2 9 】

図 4 7 に示すようなコマンド解析処理では、ステップ 6 2 A K S 4 7 にて受信順序がすべて合致したと判定されるよりも前に、ステップ 6 2 A K S 4 3 にて読出データが F 3 H ではないと判定された場合や、ステップ 6 2 A K S 4 6 にて受信順序が合致する処理はないと判定された場合に、ステップ 6 2 A K S 4 9 の設定によるチェック処理などの実行が開始されない。仮に、複数のテストコマンドを受信中に、そのテストコマンドの組み合わせ以外のコマンドを受信した場合でも検査処理を実行可能にすると、例えば遊技の進行中でも誤って検査処理が実行されてしまい、遊技者に不利益を与えてしまうおそれがある。これに対し、図 4 7 に示すようなコマンド解析処理では、複数のテストコマンドの組み合わせにより検査処理の実行を開始可能であり、複数のテストコマンドを受信中に、そのテストコマンドの組み合わせ以外のコマンドを受信した場合には、検査処理を実行しないように制御する。これにより、複数のテストコマンドの組み合わせとして予め定められたテストコマンドとは異なるコマンドを受信した場合に、誤って検査処理が実行されてしまうことを確実に防止して、電子部品の適切な検査が可能になる。また、例えば遊技の進行中などに誤って検査処理が実行される可能性を低下させるので、検査処理の誤った実行で遊技機が破損したと誤解されることによるトラブルを防止して、遊技の中断による遊技者の不利益を防ぎ、検査処理の信頼性を向上させることができる。

【 0 2 3 0 】

(特徴部 6 3 A K に関する説明)

図 4 8 は、本実施形態の特徴部 6 3 A K に関し、受信順序リストによるテストコマンドの受信順序と実行する処理との設定例を示している。複数のテストコマンドの組み合わせにより実行可能になる処理としては、バックアップクリア、外部 R A M チェック (ショート)、外部 R A M チェック (ロング)、高負荷チェックの各処理が、予め用意されている。図 4 8 (A) は、バックアップクリア処理を実行する場合に、複数のテストコマンドの組み合わせを受信する順序を示している。図 4 8 (B) は、外部 R A M チェック (ショート) 処理を実行する場合に、複数のテストコマンドの組み合わせを受信する順序を示している。図 4 8 (C) は、外部 R A M チェック (ロング) 処理を実行する場合に、複数のテストコマンドの組み合わせを受信する順序を示している。図 4 8 (D) は、高負荷チェック処理を実行する場合に、複数のテストコマンドの組み合わせを受信する順序を示している。図 4 8 (A) ~ (D) に示す受信順序では、上から下に向かう順序で複数のテストコマンドの組み合わせを受信し、受信順序がすべて合致した場合に、対応する処理が実行される。

【 0 2 3 1 】

バックアップクリア処理は、例えば内部 R A M 6 2 A K 1 0 3 や外部 R A M 6 2 A K 1 2 1 に設けられたバックアップ領域の記憶内容を初期化する処理である。バックアップ領域の記憶内容には、R T C 値、エラー履歴、電源オン時刻、電源オフ時刻、設定変更といった各種情報のうち、一部または全部の情報を示すデータが含まれていればよい。外部 R A M チェック (ショート) 処理と外部 R A M チェック (ロング) 処理は、外部 R A M 6 2 A K 1 2 1 の記憶領域について、データの書込および読出を適切に行うことができるかをチェックする検査処理である。外部 R A M チェック (ショート) 処理は、外部 R A M チェック (ロング) 処理よりも短時間で実行可能な処理であり、外部 R A M チェック (ロング) 処理よりも簡素化された処理内容を含むものであればよい。高負荷チェック処理は、演出制御用マイクロコンピュータ 6 2 A K 1 0 0 の内部回路や外部 R O M 6 2 A K 1 2 0、外部 R A M 6 2 A K 1 2 1 といった、演出制御基板 1 2 に搭載された各種回路の全般について、処理負荷が高い場合でも各種処理を適切に行うことができるかをチェックする検査処理である。

【 0 2 3 2 】

外部 R A M チェック (ショート) 処理と外部 R A M チェック (ロング) 処理は、外部 R A M 6 2 A K 1 2 1 という電子部品の状態を検査する検査処理である。高負荷チェック処理は、例えば V D P 6 2 A K 1 1 0 を含めた演出制御用マイクロコンピュータ 6 2 A K 1 0 0 の内部回路、あるいは、外部 R O M 6 2 A K 1 2 0、外部 R A M 6 2 A K 1 2 1 といった、演出制御用マイクロコンピュータ 6 2 A K 1 0 0 の外部にて装着可能な外付け回路など、演出制御基板 1 2 に搭載可能な電子部品の状態を検査する検査処理である。このように、演出制御用マイクロコンピュータ 6 2 A K 1 0 0 の C P U 6 2 A K 1 0 1 は、複数のテストコマンドの組み合わせにより、電子部品の状態を検査する検査処理を実行することができる。

10

【 0 2 3 3 】

図 4 8 に示す受信順序に従った複数のテストコマンドの組み合わせは、受信コマンドの上位データ (M O D E データ) がすべて F 3 H となるチェック処理等指定コマンドにより構成されている。このように、検査処理を実行するために受信する複数のテストコマンドの組み合わせは、例えば図 4 1 に示される遊技の進行に伴い受信する遊技用の演出制御コマンドとは異なる検査用の演出制御コマンドの組み合わせとして構成されている。したがって、電子部品の状態を検査する検査処理は、遊技用の演出制御コマンドを受信したことに基づいて実行されることがない。これにより、遊技の進行に伴い受信する遊技用の演出制御コマンドに基づいて、電子部品の状態を検査する検査処理が誤って実行されてしまうことを確実に防止して、適切な検査を行うことができる。また、例えば遊技の進行中などに誤って検査処理が実行される可能性を低下させるので、検査処理の誤った実行で遊技機が破損したと誤解されることによるトラブルを防止して、遊技の中断による遊技者の不利益を防ぎ、検査処理の信頼性を向上させることができる。

20

【 0 2 3 4 】

図 4 8 (A) に示すバックアップクリア処理を実行する場合に受信する複数のテストコマンドの組み合わせには、チェック処理等指定コマンドのうち F 3 1 1 H となるコマンドが含まれている。図 4 8 (B) に示す外部 R A M チェック (ショート) 処理を実行する場合に受信する複数のテストコマンドの組み合わせには、チェック処理等指定コマンドのうち F 3 1 2 H となるコマンドが含まれている。図 4 8 (C) に示す外部 R A M チェック (ロング) 処理を実行する場合に受信する複数のテストコマンドの組み合わせには、チェック処理等指定コマンドのうち F 3 1 3 H となるコマンドが含まれている。図 4 8 (D) に示す高負荷チェック処理を実行する場合に受信する複数のテストコマンドの組み合わせには、チェック処理等指定コマンドのうち F 3 1 4 H となるコマンドが含まれている。これらのコマンドは、いずれも他の処理を実行する場合に受信する複数のテストコマンドの組み合わせには含まれていない。このように、特定の検査処理を実行するために受信する複数のテストコマンドの組み合わせは、他の検査処理を実行するために受信する複数のテストコマンドの組み合わせには含まれない固有のテストコマンドを含んでいてもよい。

30

【 0 2 3 5 】

例えば、チェック処理等指定コマンドのうち F 3 0 3 H となるコマンドや F 3 0 4 H となるコマンドなどは、バックアップクリア処理、外部 R A M クリア (ショート) 処理、外部 R A M クリア (ロング) 処理、高負荷チェック処理のいずれを実行する場合にも、受信する複数のテストコマンドの組み合わせに含まれている。このように、特定の検査処理を実行するために受信する複数のテストコマンドの組み合わせは、他の検査処理を実行するために受信する複数のテストコマンドの組み合わせにも含まれる共通のテストコマンドを含んでいてもよい。また、例えばチェック処理等指定コマンドのうち F 3 7 F H となるコマンドは、いずれの処理を実行する場合にも、受信する複数のテストコマンドの組み合わせにおいて最後に受信するテストコマンドとなる。このように、特定の検査処理を実行するために受信する複数のテストコマンドの組み合わせにおいて最後に受信するテストコマンドは、他の検査処理を実行するために受信する複数のテストコマンドの組み合わせにおいて最後に受信するテストコマンドと共通のコマンドであってもよい。

40

50

【 0 2 3 6 】

なお、複数のテストコマンドの組み合わせにおいて最初に受信するテストコマンドが固有のコマンドとなる場合に限定されず、複数種類の検査処理に対応する複数のテストコマンドの組み合わせにおいて共通の順序で受信する少なくとも一部のテストコマンドが固有のコマンドとなるものであってもよい。また、複数のテストコマンドの組み合わせにおいて最後に受信するテストコマンドが共通のコマンドとなる場合に限定されず、複数種類の検査処理に対応する複数のテストコマンドの組み合わせにおいて共通の順序で受信する少なくとも一部のテストコマンドが共通のコマンドとなるものであってもよい。

【 0 2 3 7 】

図 4 8 (A) ~ (D) に示す設定例では、バックアップクリア、外部 R A M チェック (ショート)、外部 R A M チェック (ロング)、高負荷チェックの各処理に対応して、12 個のテストコマンドの組み合わせを受信する順序が定められている。例えば特別図柄や飾り図柄の可変表示が開始されるときには、図 4 1 に示す変動パターン指定コマンド 8 0 X X H、表示結果指定コマンド 8 C X X H、変動図柄指定コマンド 8 D X X H、さらには、第 1 保留記憶数指定コマンド C 1 X X H または第 2 保留記憶数指定コマンド C 2 X X H といった、4 個の演出制御コマンドを連続して受信する場合がある。これに対し、図 4 8 に示す設定例では、12 個のテストコマンドを連続して受信した場合に、受信したテストコマンドの組み合わせに応じた処理を実行可能になる。このように、検査処理を実行するために受信する複数のテストコマンドの組み合わせは、例えば図 4 1 に示される遊技の進行に伴い受信する遊技用の演出制御コマンドよりも、多い個数のコマンドの組み合わせとして構成されている。したがって、電子部品の状態を検査する検査処理は、遊技用として受信する個数の演出制御コマンドでは実行されることがない。これにより、遊技の進行に伴い受信する遊技用の演出制御コマンドに基づいて、電子部品の状態を検査する検査処理が誤って実行されてしまうことを確実に防止して、適切な検査を行うことができる。また、例えば遊技の進行中などに誤って検査処理が実行される可能性を低下させるので、検査処理の誤った実行で遊技機が破損したと誤解されることによるトラブルを防止して、遊技の中断による遊技者の不利益を防ぎ、検査処理の信頼性を向上させることができる。

【 0 2 3 8 】

図 4 3 に示されたシリアル通信回路 6 2 A K 1 0 7 の受信レジスタは、16 バイトの領域で構成され、2 バイト構成の演出制御コマンドを最大で 8 個まで格納可能である。これに対し、図 4 8 (A) ~ (D) に示された受信順序に対応する複数のテストコマンドの組み合わせは、12 個のテストコマンドを用いて構成されている。このように、外部 R A M チェック (ショート)、外部 R A M チェック (ロング)、高負荷チェックといった検査処理を実行するために受信する複数のテストコマンドの組み合わせは、例えばシリアル通信回路 6 2 A K 1 0 7 の受信レジスタといった、所定の受信コマンド格納部における記憶領域の容量よりも、データ量が多いコマンドの組み合わせとして構成されている。これに対し、遊技の進行中に特定の条件 (例えば可変表示の開始) が成立したことに基づいて受信する演出制御コマンドの組み合わせは、受信コマンド格納部の記憶容量よりもデータ量が多くなることはない。このように、検査処理を実行するために受信する複数のテストコマンドの組み合わせは、所定の受信コマンド格納部の記憶容量よりもデータ量が多くなってもよい。これにより、遊技の進行中には受信することがない複数のテストコマンドの組み合わせであることが明確になり、遊技の進行中に電子部品の状態を検査する検査処理が誤って実行されてしまうことを確実に防止して、適切な検査を行うことができる。また、例えば遊技の進行中などに誤って検査処理が実行される可能性を低下させるので、検査処理の誤った実行で遊技機が破損したと誤解されることによるトラブルを防止して、遊技の中断による遊技者の不利益を防ぎ、検査処理の信頼性を向上させることができる。

【 0 2 3 9 】

図 4 2 に示された検査用の演出制御コマンドのうちには、上位データ (M O D E データ) が F 3 H 以外であり、複数のコマンドの組み合わせに応じた設定を可能にするものがある。例えば R T C 値種別指定コマンド F 1 X X H は、R T C 値の種別を指定し、R T C 数

値設定コマンド F 2 X X H は、R T C 値種別指定コマンド F 1 X X H により指定された R T C 値の種別について、具体的な内容や数値を設定する。このように、図 4 8 (A) ~ (D) に示された受信順序に対応する複数のテストコマンドの組み合わせの他にも、複数のコマンドの組み合わせに応じた処理を実行可能なものであってもよい。その一方で、R T C 値種別指定コマンド F 1 X X H および R T C 数値設定コマンド F 2 X X H は、2 個のコマンドの組み合わせにより、1 の R T C 値の種別に対応する内容や数値が設定可能になる。これに対し、図 4 8 (A) ~ (D) に示された受信順序に対応する複数のテストコマンドの組み合わせは、1 2 個のコマンドの組み合わせにより、1 の検査処理となるチェック処理などが実行可能になる。このように、電子部品の状態を検査する検査処理を実行するために受信する複数のテストコマンドの組み合わせは、複数のコマンドの組み合わせに応じた他の処理を実行する場合に受信する検査用の演出制御コマンドの組み合わせよりも、多い個数のコマンドの組み合わせとして構成され、検査処理に対応した組み合わせを構成する複数のテストコマンドをすべて正しい受信順序で受信した場合に、検査処理を実行することができる。したがって、電子部品の状態を検査する検査処理は、検査処理とは異なる種別の処理を実行する場合に受信する個数の演出制御コマンドでは実行されることがない。これにより、各種の設定や検査のために受信する検査用の演出制御コマンドに基づいて、電子部品の状態を検査する処理が誤って実行されてしまうことを確実に防止して、適切な検査を行うことができる。また、例えば電子部品の状態とは異なる検査や設定を行うときに誤って電子部品の状態を検査する検査処理が実行される可能性を低下させるので、検査処理の誤った実行により意図しない検査や設定が行われてしまうことを防止できる。

【 0 2 4 0 】

図 4 8 (A) に示す受信順序で複数のテストコマンドの組み合わせを受信した場合には、バックアップクリア処理が実行される。図 4 8 (B) に示す受信順序で複数のテストコマンドの組み合わせを受信した場合には、外部 R A M チェック (ショート) 処理が実行される。図 4 8 (C) に示す受信順序で複数のテストコマンドの組み合わせを受信した場合には、外部 R A M チェック (ロング) 処理が実行される。図 4 8 (D) に示す受信順序で複数のテストコマンドの組み合わせを受信した場合には、高負荷チェック処理が実行される。このように、複数のテストコマンドの組み合わせとして、テストコマンドを受信する順番は複数種類がある。そして、外部 R A M チェック (ショート) 処理、外部 R A M チェック (ロング) 処理、高負荷チェック処理といった、検査処理として、複数のテストコマンドの組み合わせを受信した順番の種類に応じて異なる処理を実行することができる。また、複数のテストコマンドの組み合わせに応じて、電子部品の状態を検査する検査処理が異なる。これにより、電子部品の状態を検査する多様な検査処理を実行可能にして、適切な検査を行うことができる。

【 0 2 4 1 】

図 4 8 (A) ~ (D) に示すような 1 2 個のテストコマンドの組み合わせを所定順序で受信した場合に実行可能な処理には、外部 R A M チェック (ショート) 、外部 R A M チェック (ロング) 、高負荷チェックといった検査処理となるチェック処理の他に、バックアップクリア処理という初期化処理となるクリア処理が含まれている。このように、複数のテストコマンドの組み合わせを受信する順番が複数種類ある場合に、複数のテストコマンドの組み合わせを受信した順番の種類に応じて実行可能な処理には、電子部品の状態を検査する検査処理とは異なり、電子部品の状態を初期化する初期化処理が含まれていてもよい。また、電子部品の状態を初期化する初期化処理に限定されず、電子部品の状態を所定状態に設定する設定処理が含まれていてもよい。あるいは、電子部品の状態に関する決定処理や判定処理、その他、電子部品の状態を検査する検査処理とは異なる任意の処理が含まれていてもよい。したがって、複数のテストコマンドの組み合わせを受信した順番の種類に応じて、電子部品の状態を検査する検査処理とは異なる処理を実行可能であってもよい。

【 0 2 4 2 】

図 4 8 (E) は、外部 R A M チェック (ショート) 、外部 R A M チェック (ロング) の

各処理について、実行時間の計測例を示している。図48(E)に示すように、外部RAMチェック(ショート)処理が実行された場合には、その実行時間が約3秒となる。これに対し、外部RAMチェック(ロング)処理が実行された場合には、その実行時間が約9.5日となる。このように、複数のテストコマンドの組み合わせとして、テストコマンドを受信する順番が複数種類ある場合に、複数のテストコマンドの組み合わせを受信した順番の種類に応じて、検査処理の実行時間が異なる場合がある。外部RAMチェック(ショート)処理と外部RAMチェック(ロング)処理は、いずれも外部RAM62AK121を対象とする検査処理である。したがって、共通の電子部品を対象として状態を検査する検査処理が実行される場合であっても、複数のテストコマンドの組み合わせに応じて、検査時間の実行時間が異なる場合がある。例えばパチンコ遊技機1の工場出荷前には、多数の検査対象となる遊技機を短期間のうちに検査を完了することが必要になる場合がある。これに対し、パチンコ遊技機1を遊技場から回収してリユースしたり修理したりするときには、個別の遊技機を詳細に検査することが必要となる場合がある。そこで、複数のテストコマンドの組み合わせに応じて、実行時間が異なる検査処理を実行可能にする。これにより、検査を行う遊技機の状態に応じて、電子部品の状態を検査する多様な検査処理を実行可能にして、適切な検査を行うことができる。

10

【0243】

高負荷チェック処理の実行時間は、外部RAMチェック(ショート)、外部RAMチェック(ロング)の各処理とは異なる実行時間であればよい。例えば高負荷チェック処理の実行時間は、演出制御用マイクロコンピュータ62AK100が処理を実行する環境やチェック用プログラム、チェック用データの内容などに応じて変化してもよい。このように、外部RAMチェック(ショート)、外部RAMチェック(ロング)、高負荷チェック処理といった複数種類のチェック処理には、外部RAMチェック(ショート)や外部RAMチェック(ロング)の各処理といった、実行時間が一定の時間となるチェック処理と、高負荷チェック処理といった、実行時間が変化する時間となるチェック処理とが含まれてもよい。なお、実行時間が一定の時間となるチェック処理と、実行時間が変化する時間となるチェック処理との組み合わせは、任意に変更が可能である。

20

【0244】

図49は、検査処理となるチェック処理の実行に対応した画面表示の設定例を示している。図48に示された複数のテストコマンドの受診順序に対応して、外部RAMチェック(ショート)処理や外部RAMチェック(ロング)処理といった外部RAMチェック処理、あるいは、高負荷チェック処理といった、検査処理となる各種のチェック処理が実行される場合には、画像表示装置5の画面表示として、各チェック処理の実行状況に応じた表示が行われる。外部RAMチェック処理が実行される場合には、図49(A)に示すように、画像表示装置5の画面表示色が、チェック処理の実行状況や実行結果に応じて異なる表示色に設定される。高負荷チェック処理が実行される場合には、図49(B)に示すように、画像表示装置5の画面表示内容が、チェック処理の実行状況や実行結果に応じて異なる表示内容に設定される。

30

【0245】

図49(A)に示す設定例では、外部RAMチェック処理の実行中であるチェック実行中に対応して、画像表示装置5の画面表示色を緑色で点滅させるように設定される。また、外部RAMチェック処理が正常に実行されて終了したチェック完了(OK)に対応して、画像表示装置5の画面表示色が青色に設定される。外部RAMチェック処理の実行中にエラーが発生した場合のエラー発生に対応して、画像表示装置5の画面表示色が赤色に設定される。このように、外部RAMチェック処理の実行状況や実行結果に応じて、画像表示装置5の画面表示色が異なる表示色に設定される。これにより、検査処理となるチェック処理の実行状況や実行結果を認識しやすく報知して、適切な検査を行うことができる。

40

【0246】

図49(B)に示す設定例では、高負荷チェック処理の実行中であるチェック実行中に対応して、画像表示装置5の表示画面を、チェック用データ処理画面に設定する。チェッ

50

ク用データ処理画面は、例えば予め用意された背景画像とともに演出画像や飾り図柄が表示され、飾り図柄の一部または全部を使用して表示フレーム数に対応したフレームカウント値が表示されてもよい。また、チェック用データ処理画面では、処理負荷の増減に対応して表示量が増減するグラフ表示が行われてもよい。また、高負荷チェック処理が正常に実行されて終了したチェック完了（ＯＫ）に対応して、画像表示装置５の表示画面を、完了報知画面に設定する。完了報知画面は、高負荷チェック処理の正常終了を報知する画面として、予め用意されていればよい。高負荷チェック処理の実行中にエラーが発生した場合のエラー発生に対応して、画像表示装置５の表示画面における上半分の表示色が赤色に設定される。この場合には、例えばチェック用データ処理画面における上半分の表示色を、所定の透明度（５０％など）で赤色に設定すればよい。このように、高負荷チェック処理の実行状況や実行結果に応じて、画像表示装置５の画面表示内容が異なる表示内容に設定される。これにより、検査処理となるチェック処理の実行状況や実行結果を認識しやすく報知して、適切な検査を行うことができる。

10

【０２４７】

図４９（Ａ）に示す画面表示色や図４９（Ｂ）に示す画面表示内容は、図４５に示された初期化処理のステップ６２ＡＫＳ１２にて記憶されたディスプレイ情報に基づき、ステップ６２ＡＫＳ１３でのディスプレイ初期化設定により、行うことができる。したがって、検査処理となるチェック処理の実行状況や実行結果を報知するときには、遊技の進行に伴う表示の設定と共通の設定により表示が可能である。これにより、検査処理となるチェック処理を実行するために特別の設定を用意する必要がなく、検査処理のプログラム容量が増大することを防止して、適切な検査を行うことができる。

20

【０２４８】

図５０は、検査処理となるチェック処理を実行するために用意されたチェック用プログラムやチェック用データの使用例を示している。このうち、図５０（Ａ）は外部ＲＡＭチェック処理の場合を示し、図５０（Ｂ）は高負荷チェック処理の場合を示している。外部ＲＡＭチェック処理や高負荷チェック処理を実行するためのチェック用プログラムは、通常の遊技用として使用される外部ＲＯＭ６２ＡＫ１２０に予め記憶されたシステムプログラム内に含まれている。その一方で、外部ＲＡＭチェック処理や高負荷チェック処理を実行するためのチェック用プログラムは、パチンコ遊技機１による遊技が行われる通常の動作状態において、実行されないまたは実行されにくいように設定されている。

30

【０２４９】

図５０（Ａ）に示す外部ＲＡＭチェック処理の場合には、例えば外部ＲＯＭ６２ＡＫ１２０の所定領域に予め記憶されたシステムプログラム内のチェック用プログラムが、演出制御用マイクロコンピュータ６２ＡＫ１００のＣＰＵ６２ＡＫ１０１などによって読み出される。このとき読み出されたチェック用プログラムに従って外部ＲＡＭチェック処理が実行される。また、外部ＲＯＭ６２ＡＫ１２０のシステムプログラム内から読み出されたチェック用データなどを用いて、外部ＲＡＭ６２ＡＫ１２１に対するデータの書込や読出を行うチェック用書込読出処理が実行される。

【０２５０】

図５０（Ｂ）に示す高負荷チェック処理の場合には、例えば外部ＲＯＭ６２ＡＫ１２０の所定領域に予め記憶されたシステムプログラム内のチェック用プログラムが、演出制御用マイクロコンピュータ６２ＡＫ１００のＣＰＵ６２ＡＫ１０１などによって読み出される。このとき読み出されたチェック用プログラムに従って高負荷チェック処理が実行される。高負荷チェック処理では、例えば演出制御用マイクロコンピュータ６２ＡＫ１００に内蔵されたＶＤＰ６２ＡＫ１１０を用いて、画像処理に関する処理負荷を高めた場合の動作確認などが行われる。この高負荷チェック処理が実行される場合には、ＣＧＲＯＭ６２ＡＫ１２２として、通常の遊技用として使用される画像データを記憶した画像データメモリとは異なり、検査用として使用される画像データを記憶した画像データメモリが装着される。演出制御用マイクロコンピュータ６２ＡＫ１００では、例えばＣＰＵ６２ＡＫ１０１やＶＤＰ６２ＡＫ１１０などにより、チェック用データの一部を外部ＲＯＭ６２ＡＫ１

40

50

20のシステムプログラム内から読み出し、チェック用データの他の一部をCGR0M62AK122から読み出す。なお、検査用となるCGR0M62AK122が装着されない場合には、例えば外部ROM62AK120から読み出したチェック用データを用いて、検査用となるCGR0M62AK122が装着された場合よりも簡易なチェック処理が実行されてもよい。

【0251】

図50(A)に示すように、外部RAMチェック処理は、状態を検査する対象となる外部RAM62AK121を除き、チェック用プログラムとチェック用データが予め記憶された外部ROM62AK120が演出制御基板12に搭載されている場合に、電子部品である外部RAM62AK121の状態を検査することができる。また、図50(B)に示す高負荷チェック処理の場合でも、少なくともチェック用プログラムと一部のチェック用データが予め記憶された外部ROM62AK120が演出制御基板12に搭載されていれば、電子部品である演出制御用マイクロコンピュータ62AK100などの状態を検査することができる。演出制御基板12には、例えば外部ROM62AK120やCGR0M62AK122といった、複数の半導体メモリなどによる記憶回路を搭載可能であり、これら複数の記憶回路のうち、例えば外部ROM62AK120といった1の記憶回路が搭載されている場合に、電子部品の状態を検査する検査処理を実行可能である。これにより、検査処理を実行するための構成が複雑になることを防止して、電子部品の適切な検査が可能になる。また、パチンコ遊技機1の製造者とは異なる第三者が電子部品の状態を検査する場合でも、簡単な構成で再現性が高い検査を実行することができ、電子部品の適切な検査が可能になる。検査処理を実行するためのチェック用プログラムは、通常の遊技用として使用される外部ROM62AK120に予め記憶されたシステムプログラム内に含まれているので、パチンコ遊技機1が出荷される場合と近い状況で、電子部品の状態を検査することができ、検査処理の信頼性を向上させて、電子部品の適切な検査が可能になる。

【0252】

(特徴部64AKに関する説明)

図51～図54は、本実施形態の特徴部64AKに関し、外部RAMチェック処理の一例を示すフローチャートである。これらの外部RAMチェック処理は、図48(B)または図48(C)に示された複数のテストコマンドの組み合わせを受信した場合の受信順序に対応して、図47に示されたコマンド解析処理のステップ62AKS49による設定に基づいて実行可能となる。また、これらの外部RAMチェック処理は、例えば図48(B)に示した受信順序で複数のテストコマンドを受信した場合に対応する外部RAMチェック(ショート)の処理や、図48(C)に示した受信順序で複数のテストコマンドを受信した場合に対応する外部RAMチェック(ロング)の処理として、図51～図54に示す処理のうち、いずれかの処理を選択的に、あるいは、一部または全部の処理を組み合わせ、実行可能であればよい。例えば図48(B)に示された受信順序に対応する外部RAMチェック(ショート)処理では、図51～図54に示された外部RAMチェック処理の一部が実行される。これに対し、図48(C)に示された受信順序に対応する外部RAMチェック(ロング)処理では、図51～図54に示された外部RAMチェック処理の全部が実行される。図47に示されたコマンド解析処理では、ステップ62AKS49によりチェック処理の開始設定を行う場合に、ステップ62AKS48により割込禁止とする設定を行う。したがって、図51～図54に示した外部RAMチェック処理の一部または全部が実行される場合には、割込の発生に基づく他の処理を実行しない割込禁止の状態になる。例えば、外部RAMチェック処理の実行中は、シリアル受信割込の発生に基づく図46(B)に示された受け渡し用バッファ転送処理を実行しない。このように、外部RAM62AK121といった電子部品の状態を検査する検査処理の実行中は、他の処理を実行しない。これにより、検査処理となるチェック処理を確実に実行して信頼性を向上させ、適切な検査を行うことができる。

【0253】

図47に示されたコマンド解析処理のステップ62AKS43にて、ステップ62AK

S 4 2 による読出データが F 3 H 以外であると判定された場合には、ステップ 6 2 A K S 4 8 による割込禁止の設定が行われることなく、ステップ 6 2 A K S 5 0 にてコマンド受信時の設定が行われる。したがって、図 4 8 (A) ~ (D) に示された受信順序で複数のテストコマンドの組み合わせを受信した場合とは異なり、例えば図 4 1 に示された遊技の進行に伴い送信される遊技用の演出制御コマンドを受信した場合や、図 4 2 に示された検査用の演出制御コマンドのうち上位データ (M O D E データ) が F 3 H 以外のコマンドを受信した場合には、受信コマンドに応じた処理の実行中に、他の処理を実行する場合がある。例えば黒画面表示コマンド F 0 0 0 H や、ROM チェック画面コマンド F 0 0 5 H、赤表示コマンド F 0 2 0 H、緑表示コマンド F 0 2 1 H、青表示コマンド F 0 2 2 H、白表示コマンド F 0 2 3 H、黒表示コマンド F 0 2 4 H のいずれかに応じた画面表示の実行中に、図 4 1 に示された遊技用の演出制御コマンドのいずれかを受信した場合には、実行中の画面表示を終了して、新たに受信した演出制御コマンドに応じた処理が実行されるようにしてもよい。

10

【 0 2 5 4 】

図 5 1 は、外部 R A M チェック処理の一例として、アドレスデータ方式による処理内容を示すフローチャートである。アドレスデータ方式による外部 R A M チェック処理は、外部 R A M 6 2 A K 1 2 1 の先頭アドレスから、検査処理の対象範囲となる記憶領域に対し、外部 R A M 6 2 A K 1 2 1 のアドレスに対応する値をデータとして書き込む。その後、外部 R A M 6 2 A K 1 2 1 の先頭アドレスから、検査処理の対象範囲となる記憶領域について、外部 R A M 6 2 A K 1 2 1 のアドレスに対応する値を読み出すことができたかの照合を行う。そして、アドレスに対応する値と読出データとに相違があれば、エラーが発生したことを検出する。図 5 1 に示すアドレスデータ方式の外部 R A M チェック処理では、まず、外部 R A M 6 2 A K 1 2 1 の先頭アドレスを、書込アドレスに設定する (ステップ 6 4 A K S 0 1)。ステップ 6 4 A K S 0 1 では、例えば検査用ポインタに外部 R A M 6 2 A K 1 2 1 の先頭アドレス値を格納すればよい。これにより、外部 R A M 6 2 A K 1 2 1 の先頭アドレスから、データの書込を可能にする。

20

【 0 2 5 5 】

その後、アドレス値をデータとして書込アドレスに書き込む (ステップ 6 4 A K S 0 2)。このときには、検査処理の対象範囲について、データの書込が完了したか否かを判定する (ステップ 6 4 A K S 0 3)。ステップ 6 4 A K S 0 3 にてデータの書込が完了していない場合には (ステップ 6 4 A K S 0 3 ; N o)、書込アドレスの増加更新を行う (ステップ 6 4 A K S 0 4)。ステップ 6 4 A K S 0 4 では、例えば検査用ポインタに格納された書込アドレス値を 1 加算 (インクリメント) するように更新すればよい。続いて、チェック中におけるウォッチドッグタイマ 6 2 A K 1 0 4 のクリア設定を行ってから (ステップ 6 4 A K S 0 4 A)、ステップ 6 4 A K S 0 2 に戻って、新たな書込アドレスに対するデータの書込を継続する。ステップ 6 4 A K S 0 4 A では、外部 R A M 6 2 A K 1 2 1 のチェック処理を実行中であるチェック中に対応して、ウォッチドッグタイマ 6 2 A K 1 0 4 の監視時間が経過するより前に、ウォッチドッグタイマ 6 2 A K 1 0 4 をクリアして、計測時間を初期化することでリスタートさせればよい。ステップ 6 4 A K S 0 3 にてデータの書込が完了した場合には (ステップ 6 4 A K S 0 3 ; Y e s)、外部 R A M 6 2 A K 1 2 1 の先頭アドレスを、読出アドレスに設定する (ステップ 6 4 A K S 0 5)。ステップ 6 4 A K S 0 5 では、例えば検査用ポインタに外部 R A M 6 2 A K 1 2 1 の先頭アドレス値を格納すればよい。これにより、外部 R A M 6 2 A K 1 2 1 の先頭アドレスから、データの読出を可能にする。

30

40

【 0 2 5 6 】

次に、外部 R A M 6 2 A K 1 2 1 における読出アドレスの記憶データを読み出す (ステップ 6 4 A K S 0 6)。そして、ステップ 6 4 A K S 0 6 による読出データの照合チェックを行う (ステップ 6 4 A K S 0 7)。ステップ 6 4 A K S 0 7 では、例えばステップ 6 4 A K S 0 6 による読出データと、検査用ポインタの格納データにより特定される外部 R A M 6 2 A K 1 2 1 のアドレス値とを比較し、両者が合致した場合にチェック結果が正常

50

であることを特定すればよい。こうして、チェック結果が正常であったか否かを判定する（ステップ64AKS08）。ステップ64AKS08にてチェック結果に異常がある場合には（ステップ64AKS08；No）、エラー時設定を行う（ステップ64AKS09）。ステップ64AKS09では、例えば図49（A）に示すような外部RAMチェック処理の実行状態におけるエラー発生に対応して、画像表示装置5の画面表示色が赤色に設定される。

【0257】

ステップ64AKS08にてチェック結果が正常であった場合には（ステップ64AKS08；Yes）、検査処理の対象範囲について、チェックが完了したか否かを判定する（ステップ64AKS10）。ステップ64AKS10にてチェックが完了していない場合には（ステップ64AKS10；No）、読出アドレスの増加更新を行う（ステップ64AKS11）。ステップ64AKS11では、例えば検査用ポインタに格納された読出アドレス値を1加算（インクリメント）するように更新すればよい。続いて、ステップ64AKS04と同様に、チェック中におけるウォッチドッグタイマ62AK104のクリア設定を行ってから（ステップ64AKS11A）、ステップ64AKS06に戻り、読出データの検査などを繰り返す。

【0258】

ステップ64AKS10にて対象範囲のチェックが完了した場合には（ステップ64AKS10；Yes）、チェック完了時設定を行う（ステップ64AKS12）。ステップ64AKS12では、例えば図49（A）に示すような外部RAMチェック処理の実行状態におけるチェック完了（OK）に対応して、画像表示装置5の画面表示色が青色に設定される。

【0259】

ステップ64AKS09にてエラー時設定を行った後には、ステップ64AKS09Aにて待機中におけるウォッチドッグタイマ62AK104のクリア設定を繰り返し行うループ処理に入る。ステップ64AKS12にてチェック完了時設定を行った後には、ステップ64AKS12Aにて待機中におけるウォッチドッグタイマ62AK104のクリア設定を繰り返し行うループ処理に入る。これらのループ処理に入ることで、エラー時設定やチェック完了時設定に応じた表示などを行うときに、ウォッチドッグタイマ62AK104のタイムアウトによるリセットの発生を防止して、エラー発生やチェック完了を継続して報知することができる。外部RAMチェック処理の実行中は、他の処理を実行しないので、エラー時設定やチェック完了時設定に応じた表示などが実行されているときには、システムリセットや電源再投入などによりパチンコ遊技機1を再起動させればよい。

【0260】

図52は、外部RAMチェック処理の他の一例として、選択データ方式による処理内容を示すフローチャートである。選択データ方式による外部RAMチェック処理は、外部RAM62AK121の先頭アドレスから、検査処理の対象範囲となる記憶領域に対し、選択データを用いた書込と読出の検査を行う。選択データは、予め用意された比較データテーブルのテーブルデータから選択される。比較データテーブルから読み込んだ選択データは、外部RAM62AK121における1ブロック分の記憶領域ごとに書込と読出が行われ、書込時と読出時のデータ照合を行う。そして、書込データと読出データとに相違があれば、エラーが発生したことを検出する。図52に示す選択データ方式の外部RAMチェック処理では、まず、外部RAM62AK121におけるチェック対象ブロックの初期設定を行う（ステップ64AKS21）。ステップ64AKS21では、チェック処理の対象範囲における先頭アドレスを含んだ1ブロック分の記憶領域を、チェック対象ブロックとして設定すればよい。例えば、内部RAM62AK103の所定領域に設けられたチェック対象バッファに、チェック対象ブロックのブロック番号に対応する値が格納されてもよい。これにより、チェック処理の対象範囲における先頭アドレスを含んだ1ブロック分の記憶領域から、選択データを用いた書込と読出の検査を可能にする。

【0261】

その後、比較データテーブルの選択データを決定する（ステップ64AKS22）。例えば、比較データテーブルにおいて、先頭のテーブルデータから順番に、選択データとして決定されればよい。続いて、選択データを用いた1ブロックチェックを実行する（ステップ64AKS23）。ステップ64AKS23では、例えばチェック対象ブロックの先頭アドレスから最終アドレスへと向かう順番で、選択データの書込と読出を行い、書込データと読出データとを比較して、両者が合致した場合にチェック結果が正常であることを特定すればよい。こうして、チェック結果が正常であったか否かを判定する（ステップ64AKS24）。ステップ64AKS24にてチェック結果に異常がある場合には（ステップ64AKS24；No）、エラー時設定を行う（ステップ64AKS25）。ステップ64AKS25では、例えば図49（A）に示すような外部RAMチェック処理の実行状態におけるエラー発生に対応して、画像表示装置5の画面表示色が赤色に設定される。

10

【0262】

ステップ64AKS24にてチェック結果が正常であった場合には（ステップ64AKS24；Yes）、チェック中におけるウォッチドッグタイマ62AK104のクリア設定を行う（ステップ64AKS24A）。そして、比較データテーブルにおける最終の選択データであるか否かを判定する（ステップ64AKS26）。ステップ64AKS26にて最終の選択データではない場合には（ステップ64AKS26；No）、ステップ64AKS22に戻り、新たな選択データに基づく検査を行う。一方、ステップ64AKS26にて最終の選択データであると判定した場合には（ステップ64AKS26；Yes）、検査処理の対象範囲について、チェックが完了したか否かを判定する（ステップ64AKS27）。ステップ64AKS27にてチェックが完了していない場合には（ステップ64AKS27；No）、チェック対象ブロックの更新設定を行ってから（ステップ64AKS28）、ステップ64AKS22に戻り、選択データを用いた1ブロックチェックなどを繰り返す。ステップ64AKS28では、例えばチェック対象バッファの格納値を1加算（インクリメント）するように更新すればよい。

20

【0263】

ステップ64AKS27にて対象範囲のチェックが完了した場合には（ステップ64AKS27；Yes）、チェック完了時設定を行う（ステップ64AKS29）。ステップ64AKS29では、例えば図49（A）に示すような外部RAMチェック処理の実行状態におけるチェック完了（OK）に対応して、画像表示装置5の画面表示色が青色に設定される。

30

【0264】

ステップ64AKS25にてエラー時設定を行った後には、ステップ64AKS25Aにて待機中におけるウォッチドッグタイマ62AK104のクリア設定を繰り返し行うループ処理に入る。ステップ64AKS29にてチェック完了時設定を行った後には、ステップ64AKS29Aにて待機中におけるウォッチドッグタイマ62AK104のクリア設定を繰り返し行うループ処理に入る。これらのループ処理に入ることで、エラー時設定やチェック完了時設定に応じた表示などを行うときに、ウォッチドッグタイマ62AK104のタイムアウトによるリセットの発生を防止して、エラー発生やチェック完了を継続して報知することができる。外部RAMチェック処理の実行中は、他の処理を実行しないので、エラー時設定やチェック完了時設定に応じた表示などが実行されているときには、システムリセットや電源再投入などによりパチンコ遊技機1を再起動させればよい。

40

【0265】

図53は、外部RAMチェック処理の他の一例として、ランダムデータ方式による処理内容の一例を示すフローチャートである。ランダムデータ方式による外部RAMチェック処理は、外部RAM62AK121の先頭アドレスから、検査処理の対象範囲となる記憶領域に対し、ランダムデータを用いた書込と読出の検査を行う。ランダムデータは、外部RAMチェック処理の開始時に作成されるランダムデータテーブルのテーブルデータから選択される。ランダムデータテーブルから読み込んだランダムデータは、外部RAM62AK121における1ブロック分の記憶領域ごとに書込と読出が行われ、書込時と読出時

50

のデータ照合を行う。1ブロック分の記憶領域に対する書込と読出の検査は、予め設定された繰り返し回数に達するまで、繰り返し実行される。そして、書込データと読出データとに相違があれば、エラーが発生したことを検出する。図53に示すランダムデータ方式の外部RAMチェック処理では、まず、ランダムデータテーブルを作成する(ステップ64AKS41)。ランダムデータテーブルは、例えば内部RAM62AK103の所定領域に設けられ、演出制御用マイクロコンピュータ62AK100に内蔵または外付された乱数回路やシステムカウンタ、あるいは、内部RAM62AK103に設けられたランダムカウンタを用いて、生成されたランダム値を所定個数まで抽出して格納することにより作成すればよい。

【0266】

ステップ64AKS41に続いて、外部RAM62AK121におけるチェック対象ブロックの初期設定を行う(ステップ64AKS42)。ステップ64AKS42では、チェック処理の対象範囲における先頭アドレスを含んだ1ブロック分の記憶領域を、チェック対象ブロックとして設定すればよい。例えば、内部RAM62AK103の所定領域に設けられたチェック対象バッファに、チェック対象ブロックのブロック番号に対応する値が格納されてもよい。これにより、チェック処理の対象範囲における先頭アドレスを含んだ1ブロック分の記憶領域から、選択データを用いた書込と読出の検査を可能にする。

【0267】

その後、ランダムデータテーブルのテーブルデータを用いた1ブロックチェックを実行する(ステップ64AKS43)。ステップ64AKS43では、例えばランダムデータテーブルにおいて、先頭のテーブルデータから順番に、あるいは、任意のテーブルデータをランダムに、使用データとして決定すればよい。こうして使用データを決定することにより、チェック対象ブロックの先頭アドレスから最終アドレスへと向かう順番で、使用データの書込と読出を行い、書込データと読出データとを比較して、両者が合致した場合にチェック結果が正常であることを特定すればよい。これにより、チェック結果が正常であったか否かを判定する(ステップ64AKS44)。ステップ64AKS44にてチェック結果に異常がある場合には(ステップ64AKS44; No)、エラー時設定を行う(ステップ64AKS45)。ステップ64AKS45では、例えば図49(A)に示すような外部RAMチェック処理の実行状態におけるエラー発生に対応して、画像表示装置5の画面表示色が赤色に設定される。

【0268】

ステップ64AKS44にてチェック結果が正常であった場合には(ステップ64AKS44; Yes)、チェック中におけるウォッチドッグタイマ62AK104のクリア設定を行う(ステップ64AKS44A)。そして、予め設定された繰り返し回数に対応する繰り返しチェックが完了したか否かを判定する(ステップ64AKS46)。ステップ64AKS46にて繰り返しチェックが完了していない場合には(ステップ64AKS46; No)、ステップ64AKS43に戻り、同一のチェック対象ブロックに対する検査を繰り返し実行する。一方、ステップ64AKS46にて繰り返しチェックが完了した場合には(ステップ64AKS46; Yes)、検査処理の対象範囲について、チェックが完了したか否かを判定する(ステップ64AKS47)。ステップ64AKS47にてチェックが完了していない場合には(ステップ64AKS47; No)、チェック対象ブロックの更新設定を行ってから(ステップ64AKS48)、ステップ64AKS43に戻り、新たなチェック対象ブロックに対する検査を行う。ステップ64AKS48では、例えばチェック対象バッファの格納値を1加算(インクリメント)するように更新すればよい。

【0269】

ステップ64AKS47にてチェックが完了した場合には(ステップ64AKS47; Yes)、チェック完了時設定を行う(ステップ64AKS49)。ステップ64AKS49では、例えば図49(A)に示すような外部RAMチェック処理の実行状態におけるチェック完了(OK)に対応して、画像表示装置5の画面表示色が青色に設定される。

10

20

30

40

50

【0270】

ステップ64AKS45にてエラー時設定を行った後には、ステップ64AKS45Aにて待機中におけるウォッチドッグタイマ62AK104のクリア設定を繰り返し行うループ処理に入る。ステップ64AKS49にてチェック完了時設定を行った後には、ステップ64AKS49Aにて待機中におけるウォッチドッグタイマ62AK104のクリア設定を繰り返し行うループ処理に入る。これらのループ処理に入ることで、エラー時設定やチェック完了時設定に応じた表示などを行うときに、ウォッチドッグタイマ62AK104のタイムアウトによるリセットの発生を防止して、エラー発生やチェック完了を継続して報知することができる。外部RAMチェック処理の実行中は、他の処理を実行しないので、エラー時設定やチェック完了時設定に応じた表示などが実行されているときには、システムリセットや電源再投入などによりパチンコ遊技機1を再起動させればよい。

10

【0271】

図54は、外部RAMチェック処理の他の一例として、ランダムアドレス方式による処理内容を示すフローチャートである。ランダムアドレス方式による外部RAMチェック処理は、外部RAM62AK121にて、検査処理の対象範囲に含まれるチェックアドレスの記憶領域に対し、ランダムデータを用いた書込と読出の検査を行う。ランダムデータは、外部RAMチェック処理の開始時に作成されるランダムデータテーブルのテーブルデータから選択される。ランダムデータテーブルから読み込んだランダムデータは、外部RAM62AK121におけるチェックアドレスの記憶領域に書込と読出が行われ、書込時と読出時のデータ照合を行う。チェックアドレスは、使用されたランダムデータを用いて、検査処理の対象範囲のうちで更新される。ランダムデータテーブルに格納されたランダムデータをすべて用いた書込と読出の検査を1周分とし、予め設定された繰り返し回数に達するまで、ランダムデータを用いた書込と読出の検査が繰り返し実行される。そして、書込データと読出データとに相違があれば、エラーが発生したことを検出する。図54に示すランダムアドレス方式の外部RAMチェック処理では、まず、ランダムデータテーブルを作成する(ステップ64AKS61)。ステップ64AKS61では、図53に示されたステップ64AKS41と同様に、ランダムデータテーブルを作成すればよい。

20

【0272】

その後、外部RAM62AK121にて書込および読出の検査を行う記憶領域のアドレスであるチェックアドレスを決定する(ステップ64AKS62)。ステップ64AKS62では、例えばチェック対象ポインタの格納値にランダムデータを加算することなどにより、検査処理の対象範囲に含まれるチェックアドレスを決定すればよい。外部RAMチェック処理にて最初にステップ64AKS62が実行される場合のように、ランダムデータの選択が行われていない場合には、検査処理の対象範囲における先頭アドレスに対応する値を、チェック対象ポインタに格納すればよい。続いて、ランダムデータテーブルの選択データを決定する(ステップ64AKS63)。例えば、ランダムデータテーブルにおいて、先頭のテーブルデータから順番に、選択データとして決定されればよい。続いて、選択データを用いた1アドレスチェックを実行する(ステップ64AKS64)。ステップ64AKS64では、例えばチェック対象ポインタの格納値に対応するアドレスの記憶領域に対し、選択データの書込と読出を行い、書込データと読出データとを比較して、両者が合致した場合にチェック結果が正常であることを特定すればよい。こうして、チェック結果が正常であったか否かを判定する(ステップ64AKS65)。ステップ64AKS65にてチェック結果に異常がある場合には(ステップ64AKS65; No)、エラー時設定を行う(ステップ64AKS66)。ステップ64AKS66では、例えば図49(A)に示すような外部RAMチェック処理の実行状態におけるエラー発生に対応して、画像表示装置5の画面表示色が赤色に設定される。

30

40

【0273】

ステップ64AKS65にてチェック結果が正常であった場合には(ステップ64AKS65; Yes)、チェック中におけるウォッチドッグタイマ62AK104のクリア設定を行う(ステップ64AKS65A)。そして、ランダムデータテーブルにおける最終

50

の選択データであるか否かを判定する（ステップ64AKS67）。ステップ64AKS67にて最終の選択データではない場合には（ステップ64AKS67；No）、ステップ64AKS62に戻り、選択データとなったランダムデータを用いて新たなチェックアドレスを決定し、新たな選択データに基づく検査を行う。一方、ステップ64AKS67にて最終の選択データであると判定した場合には（ステップ64AKS67；Yes）、予め設定された繰り返し回数に対応する繰り返しチェックが完了したか否かを判定する（ステップ64AKS68）。ステップ64AKS68にて繰り返しチェックが完了していない場合には（ステップ64AKS68；No）、ランダムデータテーブルにおける選択データの決定を初期化してから（ステップ64AKS69）、ステップ64AKS62に戻る。これにより、繰り返し回数に達するまで、ランダムデータを用いた書込と読出の検査が繰り返し実行される。

10

【0274】

ステップ64AKS68にて繰り返しチェックが完了した場合には（ステップ64AKS68；Yes）、チェック完了時設定を行う（ステップ64AKS69）。ステップ64AKS69では、例えば図49（A）に示すような外部RAMチェック処理の実行状態におけるチェック完了（OK）に対応して、画像表示装置5の画面表示色が青色に設定される。

【0275】

ステップ64AKS66にてエラー時設定を行った後には、ステップ64AKS66Aにて待機中におけるウォッチドッグタイマ62AK104のクリア設定を繰り返し行うループ処理に入る。ステップ64AKS69にてチェック完了時設定を行った後には、ステップ64AKS69Aにて待機中におけるウォッチドッグタイマ62AK104のクリア設定を繰り返し行うループ処理に入る。これらのループ処理に入ることによって、エラー時設定やチェック完了時設定に応じた表示などを行うときに、ウォッチドッグタイマ62AK104のタイムアウトによるリセットの発生を防止して、エラー発生やチェック完了を継続して報知することができる。外部RAMチェック処理の実行中は、他の処理を実行しないので、エラー時設定やチェック完了時設定に応じた表示などが実行されているときには、システムリセットや電源再投入などによりパチンコ遊技機1を再起動させればよい。

20

【0276】

図55および図56は、図51～図54に示された各種方式による外部RAMチェック処理の実行例を示している。図55（A）は、図51のアドレスデータ方式による外部RAMチェック処理が実行される場合を示している。図55（B）は、図52の選択データ方式による外部RAMチェック処理が実行される場合を示している。図56（A）は、図53のランダムデータ方式による外部RAMチェック処理が実行される場合を示している。図56（B）は、図54のランダムアドレス方式による外部RAMチェック処理が実行される場合を示している。

30

【0277】

アドレスデータ方式の外部RAMチェック処理が実行される場合には、図55（A）に示すように、外部RAM62AK121の先頭アドレスから、検査処理の対象範囲となる記憶領域に対し、各記憶領域のアドレスに対応する値を記憶データとして書き込む。このときには、図51に示すステップ64AKS02にてアドレス値をデータとした書込が行われ、対象範囲の書込が完了するまで、ステップ64AKS04にて書込アドレスが増加更新されながら、データ書込が繰り返される。そして、対象範囲の書込が完了すると、外部RAM62AK121の先頭アドレスから、検査処理の対象範囲となる記憶領域に対し、各記憶領域の記憶データを読み出す。このときには、図51に示すステップ64AKS06にて記憶データの読出が行われ、ステップ64AKS07にて読出データの照合チェックが行われる。照合チェックの結果に異常があれば、ステップ64AKS09にてエラー時設定が行われる。照合チェックの結果が正常であれば、対象範囲のチェックが完了するまで、ステップ64AKS11にて読出アドレスが増加更新されながら、読出データの照合チェックが繰り返される。対象範囲のチェックが正常に完了した場合には、ステップ

40

50

6 4 A K S 1 2 にてチェック完了時設定が行われる。

【 0 2 7 8 】

選択データ方式の外部 R A M チェック処理が実行される場合には、図 5 5 (B) に示すように、比較データテーブル 6 4 A K T 1 からの選択データを用いて、外部 R A M 6 2 A K 1 2 1 のチェック対象ブロックに含まれる記憶領域に対する書込と読出の検査が行われる。このときには、図 5 2 に示すステップ 6 4 A K S 2 2 にて決定された選択データを用いて、ステップ 6 4 A K S 2 3 による 1 ブロックチェックが行われる。ステップ 6 4 A K S 2 3 による 1 ブロックチェックでは、比較データテーブル 6 4 A K T 1 から読み込んだ特定の選択データを繰り返し用いて、外部 R A M 6 2 A K 1 2 1 におけるチェック対象ブロックの記憶領域ごとに書込と読出を行い、書込データと読出データとに相違があるか否かをチェックする。チェック結果に異常があれば、ステップ 6 4 A K S 2 5 にてエラー時設定が行われる。チェック結果が正常であれば、対象範囲のチェックが完了するまで、ステップ 6 4 A K S 2 8 にてチェック対象ブロックが更新されながら、ステップ 6 4 A K S 2 3 による 1 ブロックチェックが繰り返される。対象範囲のチェックが正常に完了した場合には、ステップ 6 4 A K S 2 9 にてチェック完了時設定が行われる。

10

【 0 2 7 9 】

ランダムデータ方式の外部 R A M チェック処理が実行される場合には、図 5 6 (A) に示すようなランダムデータテーブル 6 4 A K T 2 が作成され、ランダムデータテーブル 6 4 A K T 2 のテーブルデータを用いて、外部 R A M 6 2 A K 1 2 1 のチェック対象ブロックに含まれる記憶領域に対する書込と読出の検査が行われる。このときには、図 5 3 に示すステップ 6 4 A K S 4 1 にて作成したランダムデータテーブル 6 4 A K T 2 に含まれるテーブルデータを用いて、ステップ 6 4 A K S 4 3 による 1 ブロックチェックが行われる。ステップ 6 4 A K S 4 3 による 1 ブロックチェックでは、例えばランダムデータテーブル 6 4 A K T 2 の先頭から順番に読み込んだテーブルデータを用いて、外部 R A M 6 2 A K 1 2 1 におけるチェック対象ブロックの記憶領域ごとに書込と読出を行い、書込データと読出データとに相違があるか否かをチェックする。チェック結果に異常があれば、ステップ 6 4 A K S 4 5 にてエラー時設定が行われる。チェック結果が正常であれば、予め設定した繰り返し回数に達するまで、チェック対象ブロックを更新せずに、ステップ 6 4 A K S 4 3 による 1 ブロックチェックが繰り返される。繰り返し回数に達した場合には、対象範囲のチェックが完了するまで、ステップ 6 4 A K S 4 8 にてチェック対象ブロックが更新されるごとに、さらにステップ 6 4 A K S 4 3 による 1 ブロックチェックが繰り返される。対象範囲のチェックが正常に完了した場合には、ステップ 6 4 A K S 4 9 にてチェック完了時設定が行われる。

20

30

【 0 2 8 0 】

ランダムアドレス方式の外部 R A M チェック処理が実行される場合には、ランダムデータ方式の外部 R A M チェック処理が実行される場合と同様に、図 5 6 (B) に示すようなランダムデータテーブル 6 4 A K T 2 が作成される。その一方で、ランダムアドレス方式の外部 R A M チェック処理が実行される場合には、ランダムデータ方式の外部 R A M チェック処理が実行される場合とは異なり、ランダムデータテーブル 6 4 A K T 2 から読み込んだ選択データを用いて、外部 R A M 6 2 A K 1 2 1 にて書込と読出の検査を行う記憶領域のアドレスであるチェックアドレスが決定される。決定されたチェックアドレスの記憶領域に対し、選択データを用いて書込と読出の検査が行われる。そのために、図 5 4 に示すステップ 6 4 A K S 6 1 にてランダムデータテーブル 6 4 A K T 2 を作成してから、ステップ 6 4 A K S 6 2 にてチェックアドレスを決定し、ステップ 6 4 A K S 6 3 にてランダムデータテーブル 6 4 A K T 2 の先頭から順番に決定された選択データを用いて、ステップ 6 4 A K S 6 4 による 1 アドレスチェックが行われる。ステップ 6 4 A K S 6 4 による 1 アドレスチェックでは、ランダムデータテーブル 6 4 A K T 2 から読み込んだ特定の選択データを用いて、ステップ 6 4 A K S 6 2 にて決定されたチェックアドレスの記憶領域に対する書込と読出を行い、書込データと読出データとに相違があるか否かをチェックする。チェック結果に異常があれば、ステップ 6 4 A K S 6 6 にてエラー時設定が行われ

40

50

る。チェック結果が正常であれば、最終の選択データに達するまで、ステップ64AKS62によるチェックアドレスの決定や、ステップ64AKS64による1アドレスチェックが繰り返される。最終の選択データに達した場合には、予め設定した繰り返し回数に達するまで、ステップ64AKS69にて選択データの決定を初期化して、さらにステップ64AKS62によるチェックアドレスの決定や、ステップ64AKS64による1アドレスチェックが繰り返される。繰り返し回数に達した場合には、ステップ64AKS70にてチェック完了時設定が行われる。

【0281】

(変形および応用に関する説明)

この発明は上記の実施の形態に限定されず、様々な変形および応用が可能である。例えばパチンコ遊技機1は、上記実施の形態で示した全ての技術的特徴を備えるものでなくてもよく、従来技術における少なくとも1つの課題を解決できるように、上記実施の形態で説明した一部の構成を備えたものであってもよい。例えば上記実施の形態で示した特徴のうちで、適切な基板構成を可能にする少なくとも1の特徴を備えたものであればよい。あるいは、例えば上記実施の形態で示した特徴のうちで、適切な検査を可能にする少なくとも1の特徴を備えたものであればよい。具体的な一例として、特徴部62AKに関し、複数のテストコマンドを受信中に、そのテストコマンドの組み合わせ以外のコマンドを受信した場合には、検査処理を実行しないように制御する図47のコマンド解析処理を実行可能なCPU62AK101の構成がある。また、特徴部63AKに関し、複数のテストコマンドの組み合わせに応じて、電子部品の状態を検査する検査処理が異なるように、図48の受信順序に応じたチェック処理などを実行可能なCPU62AK101の構成がある。さらに、特徴部64AKに関し、電子部品の状態を検査する検査処理の実行中は、他の処理を実行しないように、図47のコマンド解析処理や図51～図54の外部RAMチェック処理を実行可能なCPU62AK101の構成がある。これらの特徴部62AK～64AKに関する構成のうち、いずれか1つの特徴部に関する構成のみを備えたものであってもよいし、一部または全部の特徴部を組み合わせた構成を備えたものであってもよい。

【0282】

また、上記実施の形態では説明していない構成であっても、上記実施の形態で説明した構成を備える場合と同様または類似の課題に含まれる少なくとも1つの課題を解決し、あるいは上記実施の形態で説明した構成を備える場合と同様または類似の目的や作用効果に含まれる少なくとも1つの目的や作用効果を達成できるものであれば、上記実施の形態で説明した構成とともに、あるいは上記実施の形態で説明した構成に代えて、備えられているものであってもよい。

【0283】

(特徴部の関連づけに係る説明)

特徴部62AK～64AKに関する各構成は、特徴部30AK、42AK～45AK、55AK、56AKに関する構成の一部または全部と、適宜、組み合わせられてもよい。例えば、特徴部62AKに関し、複数のテストコマンドを受信中に、そのテストコマンドの組み合わせ以外のコマンドを受信した場合に、検査処理を実行しないように制御するCPU62AK101の構成や、特徴部63AKに関し、複数のテストコマンドの組み合わせに応じて、電子部品の状態を検査する検査処理が異なるように、受信順序に応じたチェック処理などを実行可能なCPU62AK101の構成、あるいは、特徴部64AKに関し、電子部品の状態を検査する検査処理の実行中は、他の処理を実行しないようにコマンド解析処理や外部RAMチェック処理を実行可能なCPU62AK101の構成のうち、一部または全部の構成を、特徴部30AK、42AK～45AK、55AK、56AKに関する構成の一部または全部と組み合わせてもよい。

【0284】

より具体的に、特徴部62AKに関し、複数のテストコマンドを受信中に、そのテストコマンドの組み合わせ以外のコマンドを受信した場合に、検査処理を実行しないように制御するCPU62AK101の構成を、特徴部30AKに関する構成と組み合わせてもよ

い。この場合、複数の信号配線によりCPU62AK101が内部ROM62AK102や内部RAM62AK103あるいは外部ROM62AK120や外部RAM62AK121と接続され、演出制御基板12にて複数の信号配線を構成するパターンは、領域30AK10Rなど、複数の信号配線が平行または略平行な第1形状となる平行配線部と、領域30AK11Rなど、複数の信号配線のうち少なくとも1の信号配線が、他の信号配線と平行ではない第2形状となる特定配線部とを含み、複数の信号配線に含まれる各信号配線の配線長が、同一または略同一となるようにしてもよい。

【0285】

あるいは、特徴部62AKに関し、複数のテストコマンドを受信中に、そのテストコマンドの組み合わせ以外のコマンドを受信した場合に、検査処理を実行しないように制御するCPU62AK101の構成を、特徴部42AKに関する構成と組み合わせてもよい。この場合、複数の信号配線を構成するパターンとして、配線の第1パターン42AK10と配線の第2パターン42AK11が形成され、複数の信号配線によりCPU62AK101および内部ROM62AK102や内部RAM62AK103あるいは外部ROM62AK120や外部RAM62AK121などの複数の電気部品が接続された演出制御基板12において、第1パターン42AK10の第1形状部42AK10Lなど、直線または略直線の第1形状となる第1形状部に対応して、第2パターン42AK11の第2形状部42AK11Mなど、第1形状とは異なる第2形状となる第2形状部を含み、第2パターン42AK11の第1形状部42AK11Lなどに対応して、第1パターン42AK10の第2形状部42AK10Mを含むようにしてもよい。

【0286】

特徴部62AKに関し、複数のテストコマンドを受信中に、そのテストコマンドの組み合わせ以外のコマンドを受信した場合に、検査処理を実行しないように制御するCPU62AK101の構成を、特徴部43AKに関する構成と組み合わせてもよい。この場合、複数の信号配線を構成するパターンとして、配線の第1パターン43AK10と配線の第2パターン43AK11が形成され、複数の信号配線によりCPU62AK101および内部ROM62AK102や内部RAM62AK103あるいは外部ROM62AK120や外部RAM62AK121などの複数の電気部品が接続された演出制御基板12において、第1パターン43AK10の第1形状部43AK10Lや第2パターンの第1形状部43AK11Lなど、直線または略直線の第1形状となる第1形状部に対応して、第1パターン43AK10の第2形状部43AK10Mや第2パターン43AK11の第2形状部43AK11Mなど、第1形状とは異なる第2形状となる第2形状部を含み、テストポイント43AK10P、43AK11Pのような接続確認用の特定導体部が設けられてもよい。

【0287】

特徴部62AKに関し、複数のテストコマンドを受信中に、そのテストコマンドの組み合わせ以外のコマンドを受信した場合に、検査処理を実行しないように制御するCPU62AK101の構成を、特徴部44AKに関する構成と組み合わせてもよい。この場合、複数の信号配線を構成するパターンとして、配線の第1パターン43AK10と配線の第2パターン43AK11が形成され、複数の信号配線によりCPU62AK101および内部ROM62AK102や内部RAM62AK103あるいは外部ROM62AK120や外部RAM62AK121などの複数の電気部品が接続された演出制御基板12において、第1パターン43AK10の第1形状部43AK10Lや第2パターンの第1形状部43AK11Lなど、直線または略直線の第1形状となる第1形状部に対応して、第1パターン43AK10の第2形状部43AK10Mや第2パターン43AK11の第2形状部43AK11Mなど、第1形状とは異なる第2形状となる第2形状部を含み、表面層44AK1Sに配線のパターン44AK10P、44AK11Pにより構成される信号配線などの第2形状部を含む信号配線が設けられ、裏面層44AK2Sにテストポイント44AK11TPのような接続確認用の特定導体部が設けられてもよい。

【0288】

特徴部 6 2 A K に関し、複数のテストコマンドを受信中に、そのテストコマンドの組み合わせ以外のコマンドを受信した場合に、検査処理を実行しないように制御する C P U 6 2 A K 1 0 1 の構成を、特徴部 4 5 A K に関する構成と組み合わせてもよい。このとき、C P U 6 2 A K 1 0 1 は、平面視した場合に、矩形状の電子部品 4 5 A K 6 0 となり、その辺 4 5 A K 6 0 a ~ 4 5 A K 6 0 d が、矩形状のヒートシンクの辺 4 5 A K 4 0 a ~ 4 5 A K 4 0 d と平行とならないように配置されてもよい。

【 0 2 8 9 】

特徴部 6 2 A K に関し、複数のテストコマンドを受信中に、そのテストコマンドの組み合わせ以外のコマンドを受信した場合に、検査処理を実行しないように制御する C P U 6 2 A K 1 0 1 の構成を、特徴部 5 5 A K に関する構成と組み合わせてもよい。この場合、複数の信号配線を構成するパターンとして、配線のパターン 5 5 A K 1 0 ~ 5 5 A K 2 2 などが形成され、複数の信号配線により演出制御基板 1 2 と画像表示装置 5 などの複数の電気部品を接続可能な接続配線部材 5 5 A K 0 1 を備え、パターンは、領域 5 5 A K 1 0 Z にて、複数の信号配線のうち少なくとも 1 の信号配線が直線または略直線の第 1 形状となる一方で、他の信号配線が第 1 形状とは異なる第 2 形状となる特定形状部を含み、複数の信号配線に含まれる少なくとも一部の信号配線の配線長が、同一または略同一となるようにしてもよい。

【 0 2 9 0 】

特徴部 6 2 A K に関し、複数のテストコマンドを受信中に、そのテストコマンドの組み合わせ以外のコマンドを受信した場合に、検査処理を実行しないように制御する C P U 6 2 A K 1 0 1 の構成を、特徴部 5 6 A K に関する構成と組み合わせてもよい。この場合、複数の信号配線を構成するパターンとして、配線のパターン 5 5 A K 1 0 ~ 5 5 A K 2 2 などが形成された接続配線部材 5 5 A K 0 1 を備え、演出制御基板 1 2 と画像表示装置 5 などの複数の電気部品は、複数の信号配線と接続される複数の導体が、第 1 ピッチ W 1 0 などの第 1 ピッチで設けられた第 1 部品と、第 2 ピッチ W 1 1 などの第 1 ピッチとは異なる第 2 ピッチで設けられた第 2 部品とを含み、パターンは、複数の信号配線が第 1 部品と接続される一端にて、複数の信号配線が第 1 ピッチに対応した間隔となるように形成され、複数の信号配線が第 2 部品と接続される他端にて、複数の信号配線が第 2 ピッチに対応した間隔となるように形成され、複数の信号配線に含まれる各信号配線の配線長が、同一または略同一となり、第 1 部品および第 2 部品は、コネクタポート 5 6 A K 0 1、5 6 A K 0 2 のような複数の信号配線を着脱自在に接続可能な配線接続部品を含んでもよい。

【 0 2 9 1 】

特徴部 6 3 A K に関し、複数のテストコマンドの組み合わせに応じて、電子部品の状態を検査する検査処理が異なるように、受信順序に応じたチェック処理などを実行可能な C P U 6 2 A K 1 0 1 の構成を、特徴部 3 0 A K に関する構成と組み合わせてもよい。この場合、複数の信号配線により C P U 6 2 A K 1 0 1 が内部 R O M 6 2 A K 1 0 2 や内部 R A M 6 2 A K 1 0 3 あるいは外部 R O M 6 2 A K 1 2 0 や外部 R A M 6 2 A K 1 2 1 と接続され、演出制御基板 1 2 にて複数の信号配線を構成するパターンは、領域 3 0 A K 1 0 R など、複数の信号配線が平行または略平行な第 1 形状となる平行配線部と、領域 3 0 A K 1 1 R など、複数の信号配線のうち少なくとも 1 の信号配線が、他の信号配線と平行ではない第 2 形状となる特定配線部とを含み、複数の信号配線に含まれる各信号配線の配線長が、同一または略同一となるようにしてもよい。

【 0 2 9 2 】

あるいは、特徴部 6 3 A K に関し、複数のテストコマンドの組み合わせに応じて、電子部品の状態を検査する検査処理が異なるように、受信順序に応じたチェック処理などを実行可能な C P U 6 2 A K 1 0 1 の構成を、特徴部 4 2 A K に関する構成と組み合わせてもよい。この場合、複数の信号配線を構成するパターンとして、配線の第 1 パターン 4 2 A K 1 0 と配線の第 2 パターン 4 2 A K 1 1 が形成され、複数の信号配線により C P U 6 2 A K 1 0 1 および内部 R O M 6 2 A K 1 0 2 や内部 R A M 6 2 A K 1 0 3 あるいは外部 R O M 6 2 A K 1 2 0 や外部 R A M 6 2 A K 1 2 1 などの複数の電気部品が接続された演出

制御基板 12 において、第 1 パターン 42AK10 の第 1 形状部 42AK10L など、直線または略直線の第 1 形状となる第 1 形状部に対応して、第 2 パターン 42AK11 の第 2 形状部 42AK11M など、第 1 形状とは異なる第 2 形状となる第 2 形状部を含み、第 2 パターン 42AK11 の第 1 形状部 42AK11L などに対応して、第 1 パターン 42AK10 の第 2 形状部 42AK10M を含むようにしてもよい。

【0293】

特徴部 63AK に関し、複数のテストコマンドの組み合わせに応じて、電子部品の状態を検査する検査処理が異なるように、受信順序に応じたチェック処理などを実行可能な CPU62AK101 の構成を、特徴部 43AK に関する構成と組み合わせてもよい。この場合、複数の信号配線を構成するパターンとして、配線の第 1 パターン 43AK10 と配線の第 2 パターン 43AK11 が形成され、複数の信号配線により CPU62AK101 および内部 ROM62AK102 や内部 RAM62AK103 あるいは外部 ROM62AK120 や外部 RAM62AK121 などの複数の電気部品が接続された演出制御基板 12 において、第 1 パターン 43AK10 の第 1 形状部 43AK10L や第 2 パターンの第 1 形状部 43AK11L など、直線または略直線の第 1 形状となる第 1 形状部に対応して、第 1 パターン 43AK10 の第 2 形状部 43AK10M や第 2 パターン 43AK11 の第 2 形状部 43AK11M など、第 1 形状とは異なる第 2 形状となる第 2 形状部を含み、テストポイント 43AK10P、43AK11P のような接続確認用の特定導体部が設けられてもよい。

【0294】

特徴部 63AK に関し、複数のテストコマンドの組み合わせに応じて、電子部品の状態を検査する検査処理が異なるように、受信順序に応じたチェック処理などを実行可能な CPU62AK101 の構成を、特徴部 44AK に関する構成と組み合わせてもよい。この場合、複数の信号配線を構成するパターンとして、配線の第 1 パターン 43AK10 と配線の第 2 パターン 43AK11 が形成され、複数の信号配線により CPU62AK101 および内部 ROM62AK102 や内部 RAM62AK103 あるいは外部 ROM62AK120 や外部 RAM62AK121 などの複数の電気部品が接続された演出制御基板 12 において、第 1 パターン 43AK10 の第 1 形状部 43AK10L や第 2 パターンの第 1 形状部 43AK11L など、直線または略直線の第 1 形状となる第 1 形状部に対応して、第 1 パターン 43AK10 の第 2 形状部 43AK10M や第 2 パターン 43AK11 の第 2 形状部 43AK11M など、第 1 形状とは異なる第 2 形状となる第 2 形状部を含み、表面層 44AK1S に配線のパターン 44AK10P、44AK11P により構成される信号配線などの第 2 形状部を含む信号配線が設けられ、裏面層 44AK2S にテストポイント 44AK11TP のような接続確認用の特定導体部が設けられてもよい。

【0295】

特徴部 63AK に関し、複数のテストコマンドの組み合わせに応じて、電子部品の状態を検査する検査処理が異なるように、受信順序に応じたチェック処理などを実行可能な CPU62AK101 の構成を、特徴部 45AK に関する構成と組み合わせてもよい。このとき、CPU62AK101 は、平面視した場合に、矩形状の電子部品 45AK60 となり、その辺 45AK60a ~ 45AK60d が、矩形状のヒートシンクの辺 45AK40a ~ 45AK40d と平行とならないように配置されてもよい。

【0296】

特徴部 63AK に関し、複数のテストコマンドの組み合わせに応じて、電子部品の状態を検査する検査処理が異なるように、受信順序に応じたチェック処理などを実行可能な CPU62AK101 の構成を、特徴部 55AK に関する構成と組み合わせてもよい。この場合、複数の信号配線を構成するパターンとして、配線のパターン 55AK10 ~ 55AK22 などが形成され、複数の信号配線により演出制御基板 12 と画像表示装置 5 などの複数の電気部品を接続可能な接続配線部材 55AK01 を備え、パターンは、領域 55AK10Z にて、複数の信号配線のうち少なくとも 1 の信号配線が直線または略直線の第 1 形状となる一方で、他の信号配線が第 1 形状とは異なる第 2 形状となる特定形状部を含み

、複数の信号配線に含まれる少なくとも一部の信号配線の配線長が、同一または略同一となるようにしてもよい。

【0297】

特徴部63AKに関し、複数のテストコマンドの組み合わせに応じて、電子部品の状態を検査する検査処理が異なるように、受信順序に応じたチェック処理などを実行可能なCPU62AK101の構成を、特徴部56AKに関する構成と組み合わせてもよい。この場合、複数の信号配線を構成するパターンとして、配線のパターン55AK10~55AK22などが形成された接続配線部材55AK01を備え、演出制御基板12と画像表示装置5などの複数の電気部品は、複数の信号配線と接続される複数の導体が、第1ピッチW10などの第1ピッチで設けられた第1部品と、第2ピッチW11などの第1ピッチとは異なる第2ピッチで設けられた第2部品とを含み、パターンは、複数の信号配線が第1部品と接続される一端にて、複数の信号配線が第1ピッチに対応した間隔となるように形成され、複数の信号配線が第2部品と接続される他端にて、複数の信号配線が第2ピッチに対応した間隔となるように形成され、複数の信号配線に含まれる各信号配線の配線長が、同一または略同一となり、第1部品および第2部品は、コネクタポート56AK01、56AK02のような複数の信号配線を着脱自在に接続可能な配線接続部品を含んでもよい。

10

【0298】

特徴部64AKに関し、電子部品の状態を検査する検査処理の実行中は、他の処理を実行しないようにコマンド解析処理のステップ62AKS48およびステップ62AKS49や外部RAMチェック処理を実行可能なCPU62AK101の構成を、特徴部30AKに関する構成と組み合わせてもよい。この場合、複数の信号配線によりCPU62AK101が内部ROM62AK102や内部RAM62AK103あるいは外部ROM62AK120や外部RAM62AK121と接続され、演出制御基板12にて複数の信号配線を構成するパターンは、領域30AK10Rなど、複数の信号配線が平行または略平行な第1形状となる平行配線部と、領域30AK11Rなど、複数の信号配線のうち少なくとも1の信号配線が、他の信号配線と平行ではない第2形状となる特定配線部とを含み、複数の信号配線に含まれる各信号配線の配線長が、同一または略同一となるようにしてもよい。

20

【0299】

あるいは、特徴部64AKに関し、電子部品の状態を検査する検査処理の実行中は、他の処理を実行しないようにコマンド解析処理のステップ62AKS48およびステップ62AKS49や外部RAMチェック処理を実行可能なCPU62AK101の構成を、特徴部42AKに関する構成と組み合わせてもよい。この場合、複数の信号配線を構成するパターンとして、配線の第1パターン42AK10と配線の第2パターン42AK11が形成され、複数の信号配線によりCPU62AK101および内部ROM62AK102や内部RAM62AK103あるいは外部ROM62AK120や外部RAM62AK121などの複数の電気部品が接続された演出制御基板12において、第1パターン42AK10の第1形状部42AK10Lなど、直線または略直線の第1形状となる第1形状部に対応して、第2パターン42AK11の第2形状部42AK11Mなど、第1形状とは異なる第2形状となる第2形状部を含み、第2パターン42AK11の第1形状部42AK11Lなどに対応して、第1パターン42AK10の第2形状部42AK10Mを含むようにしてもよい。

30

40

【0300】

特徴部64AKに関し、電子部品の状態を検査する検査処理の実行中は、他の処理を実行しないようにコマンド解析処理のステップ62AKS48およびステップ62AKS49や外部RAMチェック処理を実行可能なCPU62AK101の構成を、特徴部43AKに関する構成と組み合わせてもよい。この場合、複数の信号配線を構成するパターンとして、配線の第1パターン43AK10と配線の第2パターン43AK11が形成され、複数の信号配線によりCPU62AK101および内部ROM62AK102や内部RA

50

M 6 2 A K 1 0 3 あるいは外部 R O M 6 2 A K 1 2 0 や外部 R A M 6 2 A K 1 2 1 などの複数の電気部品が接続された演出制御基板 1 2 において、第 1 パターン 4 3 A K 1 0 の第 1 形状部 4 3 A K 1 0 L や第 2 パターンの第 1 形状部 4 3 A K 1 1 L など、直線または略直線の第 1 形状となる第 1 形状部に対応して、第 1 パターン 4 3 A K 1 0 の第 2 形状部 4 3 A K 1 0 M や第 2 パターン 4 3 A K 1 1 の第 2 形状部 4 3 A K 1 1 M など、第 1 形状とは異なる第 2 形状となる第 2 形状部を含み、テストポイント 4 3 A K 1 0 P、4 3 A K 1 1 P のような接続確認用の特定導体部が設けられてもよい。

【 0 3 0 1 】

特徴部 6 4 A K に関し、電子部品の状態を検査する検査処理の実行中は、他の処理を実行しないようにコマンド解析処理のステップ 6 2 A K S 4 8 およびステップ 6 2 A K S 4 9 や外部 R A M チェック処理を実行可能な C P U 6 2 A K 1 0 1 の構成を、特徴部 4 4 A K に関する構成と組み合わせてもよい。この場合、複数の信号配線を構成するパターンとして、配線の第 1 パターン 4 3 A K 1 0 と配線の第 2 パターン 4 3 A K 1 1 が形成され、複数の信号配線により C P U 6 2 A K 1 0 1 および内部 R O M 6 2 A K 1 0 2 や内部 R A M 6 2 A K 1 0 3 あるいは外部 R O M 6 2 A K 1 2 0 や外部 R A M 6 2 A K 1 2 1 などの複数の電気部品が接続された演出制御基板 1 2 において、第 1 パターン 4 3 A K 1 0 の第 1 形状部 4 3 A K 1 0 L や第 2 パターンの第 1 形状部 4 3 A K 1 1 L など、直線または略直線の第 1 形状となる第 1 形状部に対応して、第 1 パターン 4 3 A K 1 0 の第 2 形状部 4 3 A K 1 0 M や第 2 パターン 4 3 A K 1 1 の第 2 形状部 4 3 A K 1 1 M など、第 1 形状とは異なる第 2 形状となる第 2 形状部を含み、表面層 4 4 A K 1 S に配線のパターン 4 4 A K 1 0 P、4 4 A K 1 1 P により構成される信号配線などの第 2 形状部を含む信号配線が設けられ、裏面層 4 4 A K 2 S にテストポイント 4 4 A K 1 1 T P のような接続確認用の特定導体部が設けられてもよい。

【 0 3 0 2 】

特徴部 6 4 A K に関し、電子部品の状態を検査する検査処理の実行中は、他の処理を実行しないようにコマンド解析処理のステップ 6 2 A K S 4 8 およびステップ 6 2 A K S 4 9 や外部 R A M チェック処理を実行可能な C P U 6 2 A K 1 0 1 の構成を、特徴部 4 5 A K に関する構成と組み合わせてもよい。このとき、C P U 6 2 A K 1 0 1 は、平面視した場合に、矩形状の電子部品 4 5 A K 6 0 となり、その辺 4 5 A K 6 0 a ~ 4 5 A K 6 0 d が、矩形状のヒートシンクの辺 4 5 A K 4 0 a ~ 4 5 A K 4 0 d と平行とならないように配置されてもよい。

【 0 3 0 3 】

特徴部 6 4 A K に関し、電子部品の状態を検査する検査処理の実行中は、他の処理を実行しないようにコマンド解析処理のステップ 6 2 A K S 4 8 およびステップ 6 2 A K S 4 9 や外部 R A M チェック処理を実行可能な C P U 6 2 A K 1 0 1 の構成を、特徴部 5 5 A K に関する構成と組み合わせてもよい。この場合、複数の信号配線を構成するパターンとして、配線のパターン 5 5 A K 1 0 ~ 5 5 A K 2 2 などが形成され、複数の信号配線により演出制御基板 1 2 と画像表示装置 5 などの複数の電気部品を接続可能な接続配線部材 5 5 A K 0 1 を備え、パターンは、領域 5 5 A K 1 0 Z にて、複数の信号配線のうち少なくとも 1 の信号配線が直線または略直線の第 1 形状となる一方で、他の信号配線が第 1 形状とは異なる第 2 形状となる特定形状部を含み、複数の信号配線に含まれる少なくとも一部の信号配線の配線長が、同一または略同一となるようにしてもよい。

【 0 3 0 4 】

特徴部 6 4 A K に関し、電子部品の状態を検査する検査処理の実行中は、他の処理を実行しないようにコマンド解析処理のステップ 6 2 A K S 4 8 およびステップ 6 2 A K S 4 9 や外部 R A M チェック処理を実行可能な C P U 6 2 A K 1 0 1 の構成を、特徴部 5 6 A K に関する構成と組み合わせてもよい。この場合、複数の信号配線を構成するパターンとして、配線のパターン 5 5 A K 1 0 ~ 5 5 A K 2 2 などが形成された接続配線部材 5 5 A K 0 1 を備え、演出制御基板 1 2 と画像表示装置 5 などの複数の電気部品は、複数の信号配線と接続される複数の導体が、第 1 ピッチ W 1 0 などの第 1 ピッチで設けられた第 1 部

品と、第2ピッチW11などの第1ピッチとは異なる第2ピッチで設けられた第2部品とを含み、パターンは、複数の信号配線が第1部品と接続される一端にて、複数の信号配線が第1ピッチに対応した間隔となるように形成され、複数の信号配線が第2部品と接続される他端にて、複数の信号配線が第2ピッチに対応した間隔となるように形成され、複数の信号配線に含まれる各信号配線の配線長が、同一または略同一となり、第1部品および第2部品は、コネクタポート56AK01、56AK02のような複数の信号配線を着脱自在に接続可能な配線接続部品を含んでもよい。

【0305】

(特徴部30AKに関する変形)

上記実施の形態では、複数の電気部品を電氣的に接続する複数の信号配線のうち少なくとも1の信号配線が、直線形状および略直線形状とは異なる形状であって、他の信号配線と平行および略平行な形状とは異なる形状として、蛇行形状、ミアンダ形状、ジグザグ形状、折返し形状と称される形状となる部分を含むものとして説明した。これに対し、直線形状および略直線形状とは異なる形状や、他の信号配線と平行および略平行な形状とは異なる形状は、湾曲形状あるいは渦巻き形状といった、蛇行形状とは異なり信号配線の配線長を延長可能あるいは調整可能な任意の形状であればよい。複数の電気部品を電氣的に接続する複数の信号配線のうち少なくとも1の信号配線について、その配線長を延長可能な形状となる部分を含むことにより、複数の信号配線に含まれる各信号配線の配線長を同一または略同一とし、複数の信号配線で伝送される信号の遅延時間差を防止あるいは抑制できればよい。

【0306】

複数の信号配線により電氣的に接続される複数の電気部品は、主基板11に搭載されたRAM102およびCPU103に限定されず、パチンコ遊技機1などの遊技機が備える任意の電気部品であればよい。例えば複数の電気部品として、演出制御基板12に搭載された演出制御用CPU120およびRAM122が、複数の信号配線により電氣的に接続され、複数の信号配線のうち少なくとも1の信号配線が、直線形状および略直線形状とは異なる形状であって、他の信号配線と平行および略平行な形状とは異なる形状となるように、配線のパターンが形成されてもよい。この場合に、演出制御用CPU120は、パチンコ遊技機1における演出の制御に関して、所定の処理を実行可能に構成された電気部品であり、RAM122は演出制御用CPU120による処理の実行に関する情報を記憶可能に構成された電気部品である。あるいは、上記実施の形態におけるRAM102に代えてROM101といった、CPU103による処理の実行に関する情報を記憶可能な電気部品であってもよい。あるいは、演出制御用CPU120に代えて表示制御部123が備えるグラフィックスプロセッサといった、演出制御用CPU120とは異なる演出に関する処理を実行可能な電気部品であってもよい。さらに、RAM122に代えてROM121といった、演出制御用CPU120による処理の実行に関する情報を記憶可能な電気部品であってもよい。また、RAM122に代えて画像データメモリといった、演出制御用CPU120あるいは表示制御部123のグラフィックスプロセッサによる処理の実行に関する情報を記憶可能な電気部品であってもよい。

【0307】

演出制御基板12は、上記実施の形態における主基板11と同様に、多層配線基板として構成されてもよい。上記実施の形態における複数の信号配線は、例えば演出制御基板12に搭載された演出制御用CPU120および表示制御部123が備えるグラフィックスプロセッサといった、複数の処理装置が電氣的に接続されるように、配線のパターンが形成されたものであってもよい。あるいは、複数の信号配線は、表示制御部123が備えるグラフィックスプロセッサと、映像信号用の入出力ポートといった、複数の電気部品が電氣的に接続されるように、配線のパターンが形成されたものであってもよい。このような複数の電気部品が接続される複数の信号配線には、例えばフィルタ回路やバッファ回路といった、複数の電気部品とは異なる任意の電気回路が介在するように、配線のパターンが形成されたものであってもよい。複数の信号配線では、例えば画像表示装置5におけるR

(赤)、G(緑)、B(青)の表示色について、それぞれのレベル(RGB値)を示すデジタル映像信号が、パラレル信号方式で伝送されてもよい。あるいは、複数の信号配線では、遊技の制御や演出の制御に関する信号が、例えばLVDS(Low Voltage Differential Signal)方式といったパラレル信号方式で伝送されてもよい。これらのパラレル信号方式では、複数の信号配線において同期した信号伝送が要求されることがある。そこで、上記実施の形態のように、蛇行形状などの形状となる部分が設けられるように配線のパターンを形成することにより、複数の信号配線に含まれる各信号配線の配線長が、同一または略同一となり、複数の信号配線で伝送される信号の遅延時間差を減少させることができる。

【0308】

10

なお、パラレル信号方式で伝送される信号に限定されず、例えば画像表示装置5に供給される映像信号や、スピーカ8L、8R、遊技効果ランプ9、演出用モータ60および演出用LED61といった演出用の電気部品に供給される制御信号が、シリアル信号方式で伝送される場合に、クロック信号を伝送するための信号配線と、データ信号を伝送するための信号配線とが、上記実施の形態における複数の信号配線に含まれてもよい。さらに、映像信号や制御信号がシリアル信号方式で伝送される場合に、差動信号伝送方式により信号を伝送するための信号配線が、上記実施の形態における複数の信号配線に含まれてもよい。

【0309】

20

例えば配線のパターン30AK10Dが構成する信号配線のように、複数の電気部品における接続端子間の距離が他の信号配線よりも長い信号配線についても、直線形状および略直線形状とは異なる形状であり、他の信号配線と平行および略平行な形状とは異なる形状となる部分が含まれるように、配線のパターンが形成されてもよい。複数の電気部品における接続端子間の距離が他の信号配線よりも短い信号配線であっても、基板上における配線パターンの設計によっては、配線長が他の信号配線よりも長くなることがある。このような場合に、複数の信号配線のうち蛇行形状などの形状となる部分が含まれる信号配線と、そのような部分が含まれない信号配線との選択は、基板上における配線パターンの設計に応じて任意に変更されてもよい。

【0310】

30

配線のパターンにより構成される複数の信号配線は、配線長が互いに同一または略同一に形成されたものに限定されず、遅延時間差(スキュー)を調整可能な任意の構成と組み合わせ形成されたものであってもよい。例えば複数の信号配線のうち、1の信号配線に対応して配置された誘電体の比誘電率を、他の信号配線に対応して配置された絶縁体などの比誘電率とは異ならせることにより、信号の伝播速度を変化させることにより、各信号配線における遅延時間差(スキュー)を調整可能に構成されたものと組み合わせ、少なくとも1の信号配線が直線形状および略直線形状の第1形状とは異なる第2形状となる第2形状部を含むものであってもよい。

【0311】

(特徴部45AKに関する変形)

40

上記実施の形態では、図28に示すように、上下左右方向に辺を傾斜させて配置した電子部品は、発熱性の電子部品45AK60と、電子部品45AK60の周辺に設けられた電子部品45AK62である。しかしながら、発熱性の電子部品45AK60のみを傾斜させた配置とし、その他の電子部品は傾かせない配置としてもよい。また、電子部品45AK60の全てを傾かせる配置としてもよい。

【0312】

また、発熱性の正形状の電子部品に対するヒートシンクの傾斜角度は、45°に限定されない。すなわち、電子部品と接触した範囲をフィンの配列方向において十分に確保できるヒートシンクの配置であれば、傾斜角度の程度は特に限定されない。

【0313】

また、発熱性の電子部品の形状は、略正方形である必要はなく、長形状であってもよ

50

い。長方形の電子部品を採用する場合であっても、電子部品の対角線が延びる向きに対して、フィンが配列された方向が一致するようにヒートシンクを配置することで、電子部品から発せられた熱の放熱効果を高めることができる。

【0314】

また、発熱性の電子部品に貼付された熱伝導シートは、電子部品から発せられた熱を伝導するに十分な範囲に設けられていればよい。例えば、電子部品の全体を覆う範囲に設けてもよいし、発熱する範囲のみ（電子部品の一部の範囲のみ）に設けるようにしてもよい。なお、熱伝導シートは、電子部品の全体を覆う場合に設ける場合であっても基板の配線と接触しない大きさとするのが好ましい。

【0315】

（特徴部55AKに関する変形）

接続配線部材55AK01は、図32に示すような電源層55AK1Lや配線層55AK2Lといった、内部層となる導体層を含む多層構造を有するものとして説明した。これに対し、接続配線部材55AK01は、内部層となる導体層を含まないように構成されてもよい。この場合にも、一面となる表面に設けられた表面層55AK1Sにおいて信号配線を構成する配線のパターンと、他面となる裏面に設けられた裏面層55AK2Sにおいて信号配線を構成する配線のパターンとを、電氣的に接続可能なスルーホールなどの貫通部が設けられてもよい。内部層となる導体層を含まないように構成することにより、接続配線部材55AK01の柔軟性を高めて、コネクタプラグ55AK1Pやコネクタプラグ55AK2Pの方向を、容易に調整することができる。

【0316】

内部層となる導体層を含むか否かにかかわらず、一面となる表面に設けられた表面層55AK1Sにおいて信号配線を構成する配線のパターンが形成されているのに対し、他面となる裏面に設けられた裏面層55AK2Sには信号配線を構成する配線のパターンが形成されていなくてもよい。複数の信号配線を構成する配線のパターンは、例えば表面層55AK1Sや裏面層55AK2Sといった、接続配線部材55AK01の一面または他面に形成されてもよいし、図32に示された配線層55AK2Lといった、内部層に形成されてもよい。これらの場合にも、少なくとも一部の信号配線の配線長が、同一または略同一となるように配線のパターンが形成されればよい。これにより、複数の信号配線で伝送される信号の遅延時間差を減少させる適切な配線構成が可能になる。

【0317】

図31に示す接続配線部材55AK01では、領域55AK1Zにて、配線のパターン55AK13～55AK16により構成される信号配線が、蛇行形状を有するように形成されている。これに対し、領域55AK1Zでは、配線のパターンにより構成される複数の信号配線が、直線形状または略直線形状の第1形状となり、第1形状とは異なる蛇行形状などの第2形状にはならないように形成されてもよい。このように、複数の電気部品を複数の信号配線により接続した場合に、接続配線部材55AK01にて形状が変化する領域55AK1Zや領域55AK10Zでは、配線のパターンにより構成される複数の信号配線が、第2形状にはならないように形成されてもよい。形状が変化する位置に第2形状の信号配線が設けられている場合には、信号配線が外部からの電磁波ノイズによる影響を受けたり、信号配線が他の導体に電磁波ノイズの影響を及ぼしたりして、電磁妨害などの悪影響を与える不都合が生じるおそれがある。これに対し、形状が変化する位置に第2形状の信号配線が設けられていないようにすれば、これらの不都合が生じることを、防止あるいは抑制できる。また、形状が変化する位置に第2形状の信号配線が設けられていないようにすれば、各信号配線における特性インピーダンスの調整が複雑になることを、防止あるいは抑制できる。

【0318】

複数の信号配線を構成する配線のパターンは、主基板11や演出制御基板12といった制御基板あるいは画像表示装置5などの電気機器における内部回路にて、少なくとも一部の信号配線の配線長が、同一または略同一となるように形成されてもよい。これに対し、

複数の信号配線を構成する配線のパターンは、制御基板や電気機器における内部回路で信号配線の配線長が調整されずに、接続配線部材 55AK01 などの接続手段を用いた場合に、少なくとも一部の信号配線の配線長が、同一または略同一となるように形成されてもよい。制御基板や電気機器における内部回路で信号配線の配線長が調整されない場合には、接続手段を用いることにより複数の信号配線で伝送される信号の遅延時間差を減少させて、複数の信号配線で伝送される信号の信頼性を向上させることができる。また、制御基板や電気機器の内部回路における配線のパターン設計を容易かつ柔軟に行うことができ、制御基板や電気機器の内部回路における配線のパターンを配置する面積の増大が抑制されて、基板や装置の小型化を図ることができる。

【0319】

10

(特徴部 62AK ~ 64AK に関する変形)

図 42 に示されたテストコマンドとなる演出制御コマンドは、検査用の情報処理装置から送信され、主基板 11 の遊技制御用マイクロコンピュータ 100 からは送信されないものとして説明した。これに対し、主基板 11 の遊技制御用マイクロコンピュータ 100 は、図 42 に示されたテストコマンドとなる演出制御コマンドを送信可能に構成されてもよい。この場合にも、特徴部 62AK ~ 64AK に関する構成のうち、いずれか 1 つの特徴部に関する構成のみを備えたものであってもよいし、一部または全部の特徴部を組み合わせた構成を備えたものであってもよい。

【0320】

図 48 (A) ~ (D) に示された受信順序に対応する複数のテストコマンドの組み合わせは、バックアップクリア、外部 RAM チェック (ショート)、外部 RAM チェック (ロング)、高負荷チェックの各処理を実行する場合にのみ使用され、他の処理や検査などを行う場合には使用されないものとして説明した。これに対し、電子部品の状態を検査する検査処理を実行する場合の受信順序に対応する複数のテストコマンドの組み合わせは、少なくとも 1 つのコマンドとして受信した場合に、電子部品の状態を検査する検査処理とは異なる検査や設定に使用されるテストコマンドを含んでいてもよい。例えば図 48 (A) ~ (D) に示された受信順序において、F303H のコマンドに代えて、黒画面表示コマンド F000H が含まれるように構成したものであってもよい。あるいは、電子部品の状態を検査する検査処理を実行する場合の受信順序に対応する複数のテストコマンドの組み合わせは、一部のテストコマンドを専用コマンドとし、他のコマンドを遊技用の演出制御コマンドとしたものであってもよい。例えば図 48 (A) ~ (D) に示された受信順序において、最初に受信するコマンド F311H (図 48 (A) の場合)、コマンド F312H (図 48 (B) の場合)、コマンド F313H (図 48 (C) の場合)、コマンド F314H (図 48 (D) の場合) といったヘッダーコマンドと、最後に受信するコマンド F37FH といったフッターコマンドとを、専用コマンドとする。その一方で、ヘッダーコマンドおよびフッターコマンド以外のコマンドについては、図 41 に示された遊技用の演出制御コマンドが含まれるように構成したものであってもよい。あるいは、電子部品の状態を検査する検査処理を実行する場合の受信順序に対応する複数のテストコマンドの組み合わせは、遊技用の演出制御コマンドを組み合わせ構成され、遊技の進行に伴い 1 つのコマンドとして受信するが複数のコマンドの組み合わせとしては受信しないものであってもよい。これらの場合にも、特徴部 62AK ~ 64AK に関する構成のうち、いずれか 1 つの特徴部に関する構成のみを備えたものであってもよいし、一部または全部の特徴部を組み合わせた構成を備えたものであってもよい。

20

30

40

【0321】

図 48 (A) ~ (D) に示された受信順序に対応する複数のテストコマンドの組み合わせは、12 個のテストコマンドの組み合わせとして構成されるものとして説明した。これに対し、例えば 10 個あるいは 14 個といった、12 個とは異なる個数のテストコマンドの組み合わせとして構成されるものであってもよい。この場合にも、電子部品の状態を検査する検査処理を実行する場合に受信する複数のテストコマンドの組み合わせは、遊技の進行に伴い受信する遊技用の演出制御コマンドよりも、多い個数のコマンドの組み合わせ

50

として構成されていればよい。また、電子部品の状態を検査する検査処理を実行する場合に受信する複数のテストコマンドの組み合わせは、例えばシリアル通信回路 6 2 A K 1 0 7 の受信レジスタといった、所定の受信コマンド格納部の記憶容量よりもデータ量が多いコマンドの組み合わせとして構成されていればよい。

【 0 3 2 2 】

図 4 9 (A) に示された画面表示色や図 4 9 (B) に示された画面表示内容は、画像表示装置 5 における画面表示を用いるものとして説明した。これに対し、画像表示装置 5 とは異なる発光部材などの報知用部材を用いて、検査処理となるチェック処理の実行状況や実行結果に応じた報知が行われてもよい。例えば演出制御基板 1 2 に搭載された L E D、あるいは演出制御基板 1 2 と所定の信号配線を介して接続された可動部材、発光部材、音声出力部材など、任意の報知用部材を用いて、検査処理となるチェック処理の実行状況や実行結果に応じた報知を行うことができればよい。

【 0 3 2 3 】

(その他の変形など)

この発明は、パチンコ遊技機 1 に限らずスロットマシンなどにも適用できる。スロットマシンは、例えば複数種類の識別情報となる図柄の可変表示といった所定の遊技を行い、その遊技結果に基づいて所定の遊技価値を付与可能となる任意の遊技機であり、より具体的に、1 ゲームに対して所定の賭数(メダル枚数またはクレジット数)を設定することによりゲームが開始可能になるとともに、各々が識別可能な複数種類の識別情報(図柄)を可変表示する可変表示装置(例えば複数のリールなど)の表示結果が導出表示されることにより1 ゲームが終了し、その表示結果に応じて入賞(例えばチェリー入賞、スイカ入賞、ベル入賞、リプレイ入賞、B B 入賞、R B 入賞など)が発生可能とされた遊技機である。このようなスロットマシンにおいて、遊技制御を行うための遊技制御用マイクロコンピュータを含めたハードウェア資源と、所定の処理を行うソフトウェアとが協働することにより、上記実施の形態で示されたパチンコ遊技機 1 が有する特徴の全部または一部を備えるように構成されていればよい。

【 0 3 2 4 】

その他にも、遊技機の装置構成や各種の動作などは、この発明の趣旨を逸脱しない範囲で、任意に変更および修正が可能である。加えて、この発明の遊技機は、入賞の発生に基づいて所定数の遊技媒体を景品として払い出す払出式遊技機に限定されるものではなく、遊技媒体を封入し入賞の発生に基づいて得点を付与する封入式遊技機にも適用することができる。スロットマシンは、遊技用価値としてメダル並びにクレジットを用いて賭数が設定されるものに限定されず、遊技用価値として遊技球を用いて賭数を設定するスロットマシンや、遊技用価値としてクレジットのみを使用して賭数を設定する完全クレジット式のスロットマシンであってもよい。

【 0 3 2 5 】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【 0 3 2 6 】

(特徴部 3 0 A K の課題解決手段および効果に関する説明)

例えばパチンコ遊技機 1 など、遊技が可能な遊技機であって、例えば図 8 に示すように、複数の信号配線を構成するパターンが形成され、複数の信号配線により R A M 1 0 2 や C P U 1 0 3 などの複数の電気部品が接続された主基板 1 1 などの基板を備え、パターンは、例えば領域 3 0 A K 1 0 R など、複数の信号配線が平行または略平行な第 1 形状となる平行配線部と、例えば領域 3 0 A K 1 1 R など、複数の信号配線のうち少なくとも 1 の信号配線が、他の信号配線と平行ではない第 2 形状となる特定配線部とを含み、複数の信号配線に含まれる各信号配線の配線長が、同一または略同一となる。これにより、複数の信号配線で伝送される信号の遅延時間差を減少させる適切な基板構成が可能になる。

【 0 3 2 7 】

例えば配線のパターン 3 0 A K 1 0 D が構成する信号配線など、第 2 形状を含まない信号配線は、複数の電気部品における接続端子間の距離が、例えば配線のパターン 3 0 A K 1 1 D ~ 3 0 A K 1 3 D が構成する信号配線など、第 2 形状を含む信号配線よりも長くてもよい。これにより、配線のパターンを配置する基板面積の増大が抑制されて、基板を小型化するために適切な基板構成が可能になる。

【 0 3 2 8 】

例えばスペース領域 3 0 A K 0 S P など、第 2 形状となる信号配線に近接する所定領域には、導体が設けられていなくてもよい。これにより、複数の信号配線での電磁波ノイズによる電磁妨害が防止あるいは抑制される適切な基板構成が可能になる。

10

【 0 3 2 9 】

基板には、例えばスルーホール 3 0 A K 1 H、3 0 A K 2 H など、基板の一面に設けられた信号配線と基板の他面に設けられた信号配線とを電氣的に接続可能なスルーホールが設けられ、複数の信号配線に含まれる各信号配線の配線長は、スルーホールにより接続された信号配線について、スルーホールの長さを含めて同一または略同一となってもよい。これにより、複数の信号配線で伝送される信号の遅延時間差を減少させる適切な基板構成が可能になる。

【 0 3 3 0 】

基板は、例えば表面層 3 0 A K 1 S、グランド層 3 0 A K 1 L、電源層 3 0 A K 2 L、配線層 3 0 A K 3 L、電源層 3 0 A K 4 L、裏面層 3 0 A K 2 S など、複数の層を含み、複数の層のうち第 2 形状となる信号配線が設けられる層に隣接するグランド層 3 0 A K 1 L などの導体層では、信号の伝送が行われなくてもよい。これにより、複数の信号配線での電磁波ノイズによる電磁妨害が防止あるいは抑制される適切な基板構成が可能になる。

20

【 0 3 3 1 】

複数の電気部品として、例えば C P U 1 0 3 など、所定の処理を実行可能な処理手段と、例えば R A M 1 0 2 など、処理の実行に関する情報を記憶可能な記憶手段とが接続されてもよい。これにより、複数の電気部品として処理手段や記憶手段に接続された複数の信号配線で伝送される信号の遅延時間差を減少させる適切な基板構成が可能になる。

【 0 3 3 2 】

あるいは、例えばパチンコ遊技機 1 など、遊技が可能な遊技機であって、例えば図 8 に示すように、複数の信号配線を構成するパターンが形成され、複数の信号配線により R A M 1 0 2 や C P U 1 0 3 などの複数の電気部品が接続された主基板 1 1 などの基板を備え、パターンは、例えば領域 3 0 A K 1 0 R など、複数の信号配線が平行または略平行な第 1 形状となる平行配線部と、例えば領域 3 0 A K 1 1 R など、複数の信号配線が第 1 形状とは異なる第 2 形状となる特定配線部とを含み、複数の信号配線に含まれる各信号配線の配線長が、同一または略同一となってもよい。これにより、複数の信号配線で伝送される信号の遅延時間差を減少させる適切な基板構成が可能になる。

30

【 0 3 3 3 】

あるいは、例えばパチンコ遊技機 1 など、遊技が可能な遊技機であって、例えば図 8 に示すように、複数の信号配線を構成するパターンが形成され、複数の信号配線により R A M 1 0 2 や C P U 1 0 3 などの複数の電気部品が接続された主基板 1 1 などの基板を備え、パターンは、例えば配線のパターン 3 0 A K 1 0 D など、複数の信号配線のうち少なくとも 1 の信号配線が、直線形状または略直線形状を含む第 1 形状となる第 1 パターンと、例えば配線のパターン 3 0 A K 1 1 D ~ 3 0 A K 1 3 D など、複数の信号配線のうち第 1 パターンに含まれない他の信号配線が、第 1 形状とは異なる第 2 形状となる第 2 パターンとを含み、第 1 パターンおよび第 2 パターンは、複数の信号配線に含まれる各信号配線の配線長が、同一または略同一となってもよい。これにより、複数の信号配線で伝送される信号の遅延時間差を減少させる適切な基板構成が可能になる。

40

【 0 3 3 4 】

あるいは、例えばパチンコ遊技機 1 など、遊技が可能な遊技機であって、例えば図 8 に

50

示すように、複数の信号配線を構成するパターンが形成され、複数の信号配線により R A M 1 0 2 や C P U 1 0 3 などの複数の電気部品が接続された主基板 1 1 などの基板を備え、パターンは、複数の信号配線のうち少なくとも 1 の信号配線が、区間 3 0 A K 0 S C などの所定区間を最短または略最短の距離で接続する配線のパターン 3 0 A K 1 0 D、3 0 A K 1 1 D などの第 1 パターンと、複数の信号配線のうち第 1 パターンに含まれない他の信号配線が、所定区間を第 1 パターンよりも長い距離で接続する配線のパターン 3 0 A K 1 2 D、3 0 A K 1 3 D などの第 2 パターンとを含み、第 1 パターンおよび第 2 パターンは、複数の信号配線に含まれる各信号配線の配線長が、同一または略同一となってもよい。これにより、複数の信号配線で伝送される信号の遅延時間差を減少させる適切な基板構成が可能になる。

10

【 0 3 3 5 】

第 1 パターンは、複数の電気部品における接続端子間の距離が、第 2 パターンよりも長くてもよい。これにより、配線のパターンを配置する基板面積の増大が抑制されて、基板を小型化するために適切な基板構成が可能になる。

【 0 3 3 6 】

例えばスペース領域 3 0 A K 0 S P など、第 2 パターンに近接する所定領域には、導体が設けられていなくてもよい。これにより、複数の信号配線での電磁波ノイズによる電磁妨害が防止あるいは抑制される適切な基板構成が可能になる。

【 0 3 3 7 】

基板は、例えば表面層 3 0 A K 1 S、グランド層 3 0 A K 1 L、電源層 3 0 A K 2 L、配線層 3 0 A K 3 L、電源層 3 0 A K 4 L、裏面層 3 0 A K 2 S など、複数の層を含み、複数の層のうち第 2 パターンに含まれる信号配線が設けられる層に隣接するグランド層 3 0 A K 1 L などの導体層では、信号の伝送が行われなくてもよい。これにより、複数の信号配線での電磁波ノイズによる電磁妨害が防止あるいは抑制される適切な基板構成が可能になる。

20

【 0 3 3 8 】

(特徴部 4 2 A K の課題解決手段および効果に関する説明)

例えばパチンコ遊技機 1 など、遊技が可能な遊技機であって、例えば図 1 6 (A) に示すように、複数の信号配線を構成するパターンとして、例えば配線の第 1 パターン 4 2 A K 1 0 と配線の第 2 パターン 4 2 A K 1 1 などの第 1 パターンと第 2 パターンとが形成され、複数の信号配線により R A M 1 0 2 や C P U 1 0 3 などの複数の電気部品が接続された主基板 1 1 などの基板を備え、第 1 パターンおよび第 2 パターンのうち一方のパターンにより構成される信号配線が、例えば第 1 形状部 4 2 A K 1 0 L など、直線または略直線の第 1 形状となる第 1 形状部に対応して、第 1 パターンおよび第 2 パターンのうち他方のパターンにより構成される信号配線が、例えば第 2 形状部 4 2 A K 1 1 M など、第 1 形状とは異なる第 2 形状となる第 2 形状部を含み、例えば第 1 形状部 4 2 A K 1 1 L など、他方のパターンにより構成される信号配線における第 1 形状部に対応して、例えば第 2 形状部 4 2 A K 1 0 M など、一方のパターンにより構成される信号配線が第 2 形状部を含む。これにより、配線のパターンを配置する基板面積の増大が抑制されて、基板を小型化するために適切な基板構成が可能になる。

30

40

【 0 3 3 9 】

第 1 パターンと第 2 パターンは、各信号配線の配線長が同一または略同一となるように形成されていてもよい。これにより、複数の信号配線で伝送される信号の遅延時間差を減少させる適切な基板構成が可能になる。

【 0 3 4 0 】

例えば図 1 7 に示すように、第 2 形状部は、第 1 パターンにより構成される信号配線と第 2 パターンにより構成される信号配線とで異なる方向に形成されてもよい。これにより、基板面における配線のパターン設計を容易かつ柔軟に行うことができ、配線のパターンを配置する基板面積の増大が抑制されて、基板の小型化を図ることができる。

【 0 3 4 1 】

50

例えば図 18 に示すように、第 2 形状部は、第 1 パターンにより構成される信号配線と第 2 パターンにより構成される信号配線とで異なる配線幅に形成されてもよい。これにより、各信号配線における特性インピーダンスを容易に調整して、電気信号の種類などに応じた適切な伝送が可能になる。

【0342】

例えば図 19 (A) に示すように、第 2 形状部は、第 1 パターンにより構成される信号配線と第 2 パターンにより構成される信号配線とが平行または略平行に形成される平行配線部を含んでもよい。これにより、基板面における配線のパターン設計を容易かつ柔軟に行うことができ、配線のパターンを配置する基板面積の増大が抑制されて、基板の小型化を図ることができる。

10

【0343】

例えば図 20 (A) および図 20 (B) に示すように、第 1 パターンまたは第 2 パターンにより構成される信号配線における第 2 形状部にて、他のパターンにより構成される信号配線と接続されるように実装された回路部品 42AK1R などの回路部品を備えてもよい。これにより、信号配線における伝送特性などを適切に調整することができ、配線のパターンを配置する基板面積の増大が抑制されて、基板の小型化を図ることができる。

【0344】

例えば図 20 (A) に示すように、第 1 パターンまたは第 2 パターンにより構成される信号配線における第 2 形状部とは異なる第 1 形状部 42AK52L などの配線部に接続されるように実装された回路部品 42AK2R などの回路部品を備えてもよい。これにより、信号配線における伝送特性などを適切に調整することができ、配線のパターンを配置する基板面積の増大が抑制されて、基板の小型化を図ることができる。

20

【0345】

(特徴部 43AK の課題解決手段および効果に関する説明)

例えばパチンコ遊技機 1 など、遊技が可能な遊技機であって、例えば図 21 に示すように、複数の信号配線を構成するパターンとして、例えば配線の第 1 パターン 43AK10 と配線の第 2 パターン 43AK11 などの第 1 パターンと第 2 パターンとが形成され、複数の信号配線により RAM102 や CPU103 などの複数の電気部品が接続された主基板 11 などの基板を備え、第 1 パターンおよび第 2 パターンのうち一方のパターンにより構成される信号配線が、例えば第 1 形状部 43AK10L、43AK11L など、直線または略直線の第 1 形状となる第 1 形状部に対応して、第 1 パターンおよび第 2 パターンのうち他方のパターンにより構成される信号配線が、例えば第 2 形状部 43AK10M、43AK11M など、第 1 形状とは異なる第 2 形状となる第 2 形状部を含み、例えばテストポイント 43AK10P、43AK11P など、第 2 形状部に接続確認用の特定導体部が設けられている。これにより、配線のパターンを適切に配置でき、各種の構造物を適切に配置して、基板面積の増大が抑制され、基板の小型化を図ることができる。

30

【0346】

特定導体部は、例えばはんだ、あるいは銅箔などの金属材料を用いて形成され、例えば図 21 に示す配線幅 $W5 < \text{直径} W6$ のように、第 1 パターンまたは第 2 パターンにより構成される信号配線の配線幅よりも広くなるように形成されていてもよい。これにより、信号配線の電気特性検査を容易に行うことができ、配線のパターンを適切に配置するとともに、各種の構造物を適切に配置して、基板面積の増大が抑制され、基板の小型化を図ることができる。

40

【0347】

基板は、例えば図 22 に示す表面層 44AK1S、グランド層 44AK1L、電源層 44AK2L、配線層 44AK3L、電源層 44AK4L、裏面層 44AK2S など、複数の層を含み、特定導体部は、複数の層のうち特定導体部が設けられる層とは異なる導体層と、例えばスルーホール 44AK1H、44AK2H などのスルーホールにより接続されてもよい。これにより、信号配線や導体層の電気特性検査を容易に行うことができ、配線のパターンを適切に配置するとともに、各種の構造物を適切に配置して、基板面積の増大

50

が抑制され、基板の小型化を図ることができる。

【0348】

(特徴部44AKの課題解決手段および効果に関する説明)

例えばパチンコ遊技機1など、遊技が可能な遊技機であって、例えば図21に示すように、複数の信号配線を構成するパターンとして、例えば配線の第1パターン43AK10と配線の第2パターン43AK11などの第1パターンと第2パターンとが形成され、複数の信号配線によりRAM102やCPU103などの複数の電気部品が接続された主基板11などの基板を備え、第1パターンおよび第2パターンのうち一方のパターンにより構成される信号配線が、例えば第1形状部43AK10L、43AK11Lなど、直線または略直線の第1形状となる第1形状部に対応して、第1パターンおよび第2パターンのうち他方のパターンにより構成される信号配線が、例えば第2形状部43AK10M、43AK11Mなど、第1形状とは異なる第2形状となる第2形状部を含み、例えば図22に示す表面層44AK1Sなど、基板の一面に、例えば配線のパターン44AK10P、44AK11Pにより構成される信号配線などの第2形状部を含む信号配線が設けられ、例えば裏面層44AK2Sなど、基板の他面に、例えばテストポイント44AK11TPなど、接続確認用の特定導体部が設けられている。これにより、信号配線や導体層の電気特性検査を容易に行うことができ、配線のパターンを適切に配置するとともに、各種の構造物を適切に配置して、基板面積の増大が抑制され、基板の小型化を図ることができる。

10

【0349】

(特徴部45AKの課題解決手段および効果に関する説明)

図27に示すように、平面視した場合に、矩形状の電子部品45AK60は、その辺45AK60a~45AK60dが、矩形状のヒートシンクの辺45AK40a~45AK40dと平行とならないように配置されている。これにより、電子部品45AK60から発生した熱の放熱効果を高めることができる。

20

【0350】

各辺をヒートシンクの辺45AK40a~45AK40dと平行となるように配置した電子部品45AK61を、中心点Oを中心に所定角度だけ回転させることで、電子部品45AK60の配置とすることができる。所定角度は例えば略45°である。これにより、電子部品45AK60から発生した熱の放熱効果を高めることができる。

【0351】

ヒートシンク45AK40を、左右方向に平行に配列されたフィン45AK42が上下方向を向くように配置している。これにより、下方から上方に向けて移動する空気を、上下方向に沿ったフィン45AK42の間に通すことができ、上方向に移動する空気の流れを阻害することなく、電子部品45AK60から発生した熱の放熱効果を高めることができる。

30

【0352】

電子部品45AK60とヒートシンク45AK40との間に介在した熱伝導シート45AK70を、両面が粘着する柔軟な熱伝導シートとしている。これにより、電子部品45AK60から発生した熱を、熱伝導シート45AK70を介してヒートシンク45AK40にスムーズに伝えることができ、電子部品45AK60から発生した熱の放熱効果を高めることができる。

40

【0353】

後ケース45AK30には、発熱性の電子部品45AK60にヒートシンク45AK40を押圧する支持部45AK35が設けられている。これにより、電子部品45AK60から発生した熱を、熱伝導シート45AK70を介してヒートシンク45AK40にスムーズに伝えることができ、電子部品45AK60から発生した熱の放熱効果を高めることができる。

【0354】

(特徴部55AKの課題解決手段および効果に関する説明)

例えばパチンコ遊技機1など、遊技が可能な遊技機であって、例えば図31に示すよう

50

に、複数の信号配線を構成するパターンとして、例えば配線のパターン 5 5 A K 1 0 ~ 5 5 A K 2 2 などが形成され、複数の信号配線により演出制御基板 1 2 と画像表示装置 5 などの複数の電気部品を接続可能な接続手段として、例えば接続配線部材 5 5 A K 0 1 を備え、パターンは、例えば図 3 1 に示す領域 5 5 A K 1 0 Z にて、複数の信号配線のうち少なくとも 1 の信号配線が直線または略直線の第 1 形状となる一方で、他の信号配線が第 1 形状とは異なる第 2 形状となる特定形状部を含み、複数の信号配線に含まれる少なくとも一部の信号配線の配線長が、同一または略同一となる。これにより、複数の信号配線で伝送される信号の遅延時間差を減少させる適切な配線構成が可能になる。また、接続手段を用いて狭い範囲で配線長を同一または略同一にすることができ、配線のパターンを配置する面積の増大が抑制されて、基板や装置を小型化するために適切な配線構成が可能になる。

10

【 0 3 5 5 】

接続手段は、例えば図 3 1 に示された接続配線部材 5 5 A K 0 1 のように、L 字形状または略 L 字形状を有していてもよい。これにより、狭い範囲で配線長を同一または略同一にすることができ、配線のパターンを配置する面積の増大が抑制されて、基板や装置を小型化するために適切な配線構成が可能になる。

【 0 3 5 6 】

接続手段に、例えば図 3 1 に示された領域 5 5 A K 2 Z のような曲折部を設けてもよい。これにより、狭い範囲で配線長を同一または略同一にすることができ、配線のパターンを配置する面積の増大が抑制されて、基板や装置を小型化するために適切な配線構成が可能になる。

20

【 0 3 5 7 】

例えば図 3 2 に示された配線のパターン 5 5 A K 1 1、5 5 A K 1 2、5 5 A K 3 1、5 5 A K 3 2 のように、パターンは、接続手段の両面に形成されてもよい。これにより、狭い範囲で配線長を同一または略同一にすることができ、配線のパターンを配置する面積の増大が抑制されて、基板や装置を小型化するために適切な配線構成が可能になる。

【 0 3 5 8 】

接続手段は、例えば接続配線部材 5 5 A K 0 1 の基体といった、可撓性を有する第 1 部材と、例えば補強部材 5 5 A K 0 2 といった、可撓性を有しない第 2 部材とを含み、第 2 部材にて、信号配線と接続されるように実装された回路部品として、例えば回路部品 5 5 A K 1 R などを備えてもよい。これにより、回路部品の脱落や信号配線の断線が発生しにくい適切な配線構成が可能になる。

30

【 0 3 5 9 】

接続手段には、例えば図 3 2 に示す表面層 5 5 A K 1 S に設けられた配線のパターン 5 5 A K 1 1、5 5 A K 1 2 により構成される信号配線など、接続手段の一面に設けられた信号配線と、例えば図 3 2 に示す裏面層 5 5 A K 2 S に設けられた配線のパターン 5 5 A K 3 1、5 5 A K 3 2 により構成される信号配線など、接続手段の他面に設けられた信号配線とを、電氣的に接続可能な貫通部として、例えばスルーホール 5 5 A K 1 H、5 5 A K 2 H などが設けられ、複数の電気部品を複数の信号配線により接続した場合に、例えば図 3 4 に示された領域 5 5 A K 1 Z などのように、接続手段にて形状が変化する変形部には、貫通部が設けられていなくてもよい。これにより、接続手段の強度低下や信号配線の断線が発生しにくい適切な配線構成が可能になる。

40

【 0 3 6 0 】

(特徴部 5 6 A K の課題解決手段および効果に関する説明)

例えばパチンコ遊技機 1 など、遊技が可能な遊技機であって、例えば図 3 1 に示すように、複数の信号配線を構成するパターンとして、例えば配線のパターン 5 5 A K 1 0 ~ 5 5 A K 2 2 などが形成された接続配線部材 5 5 A K 0 1 などの接続手段を備え、複数の電気部品は、複数の信号配線と接続される複数の導体が、例えば第 1 ピッチ W 1 0 などの第 1 ピッチで設けられた第 1 部品と、例えば第 2 ピッチ W 1 1 などの第 1 ピッチとは異なる第 2 ピッチで設けられた第 2 部品とを含み、パターンは、例えば図 3 7 や図 3 8 に示すよ

50

うに、複数の信号配線が第1部品と接続される一端にて、複数の信号配線が第1ピッチに対応した間隔となるように形成され、複数の信号配線が第2部品と接続される他端にて、複数の信号配線が第2ピッチに対応した間隔となるように形成され、複数の信号配線に含まれる各信号配線の配線長が、同一または略同一となり、第1部品および第2部品は、例えばコネクタポート56AK01、56AK02など、複数の信号配線を着脱自在に接続可能な配線接続部品である。これにより、複数の信号配線で伝送される信号の遅延時間差を減少させる適切な配線構成が可能になる。また、接続手段を用いて狭い範囲で配線長を同一または略同一にすることができ、配線のパターンを配置する面積の増大が抑制されて、基板や装置を小型化するために適切な配線構成が可能になる。

【0361】

10

あるいは、第1部品および第2部品は、例えば電子部品56AK1IC、56AK2ICなど、所定部材に実装された電子部品である。これにより、複数の信号配線で伝送される信号の遅延時間差を減少させる適切な配線構成が可能になる。また、接続手段を用いて狭い範囲で配線長を同一または略同一にすることができ、配線のパターンを配置する面積の増大が抑制されて、基板や装置を小型化するために適切な配線構成が可能になる。

【0362】

あるいは、第1部品および第2部品のうち一方は、例えばコネクタポート56AK01、56AK02など、複数の信号配線を着脱自在に接続可能な配線接続部品であり、第1部品および第2部品のうち他方は、電子部品56AK1IC、56AK2ICなど、所定部材に実装された電子部品である。これにより、複数の信号配線で伝送される信号の遅延時間差を減少させる適切な配線構成が可能になる。また、接続手段を用いて狭い範囲で配線長を同一または略同一にすることができ、配線のパターンを配置する面積の増大が抑制されて、基板や装置を小型化するために適切な配線構成が可能になる。

20

【0363】

(特徴部62AKの課題解決手段および効果に関する説明)

例えばパチンコ遊技機1など、遊技が可能な遊技機であって、例えば図40に示されたCPU62AK101など、受信したコマンドに基づいて制御を行う制御手段と、例えば図40に示された外部RAM62AK121など、制御手段と電氣的に接続可能な電子部品とを備え、制御手段は、コマンドとして複数のテストコマンドの組み合わせにより、例えば図48(B)に示された外部RAMチェック(ショート)処理、図48(C)に示された外部RAMチェック(ロング)処理、図48(D)に示された高負荷チェック処理など、電子部品の状態を検査する検査処理を実行可能であり、例えば図47に示されたコマンド解析処理などにより、複数のテストコマンドを受信中に、そのテストコマンドの組み合わせ以外のテストコマンドを受信した場合には、検査処理を実行しない。これにより、誤って検査処理が実行されてしまうことを防止して、電子部品の適切な検査が可能になる。

30

【0364】

例えば図48(A)~(D)に示された受信順序などのように、複数のテストコマンドの組み合わせは、例えば図41に示された遊技用の演出制御コマンドなど、遊技の進行に伴い受信する遊技用コマンドとは異なるコマンドの組み合わせからなってもよい。これにより、誤って検査処理が実行されてしまうことを確実に防止して、電子部品の適切な検査が可能になる。

40

【0365】

また、複数のテストコマンドの組み合わせは、例えば2~3個など、遊技の進行に伴い受信する演出制御コマンドの個数よりも、多い個数であり、例えば12個などのコマンドの組み合わせからなってもよい。これにより、誤って検査処理が実行されてしまうことを確実に防止して、電子部品の適切な検査が可能になる。

【0366】

例えば画像表示装置5など、検査処理の実行中に、電子部品の状態に応じた検査時表示を行う表示手段を備えてもよい。これにより、検査処理の実行状況や実行結果を認識しや

50

すく報知して、電子部品の適切な検査が可能になる。

【 0 3 6 7 】

例えば図 4 4 に示された演出制御メイン処理のステップ 6 2 A K S 0 1 にて、図 4 5 に示された初期化処理が実行され、ステップ 6 2 A K S 1 2 にて記憶したディスプレイ情報に応じて、ステップ 6 2 A K S 1 3 にてディスプレイ初期化設定が行われ、その後、図 4 4 に示された演出制御メイン処理のステップ 6 2 A K S 0 4 にて、図 4 7 に示されたコマンド解析処理が実行され、ステップ 6 2 A K S 4 9 での設定を行うことで、表示手段は、遊技の進行に伴う表示の設定と共通の設定により、検査時表示が可能であってもよい。これにより、検査処理のプログラム容量が増大することを防止して、電子部品の適切な検査を行うことができる。

10

【 0 3 6 8 】

制御手段と電子部品は、例えば図 4 0 に示された外部 R O M 6 2 A K 1 2 0 や C G R O M 6 2 A K 1 2 2 など、複数の記憶手段とともに、例えば演出制御基板 1 2 などの基板に搭載可能であり、制御手段は、例えば外部 R O M 6 2 A K 1 2 0 など、基板に複数の記憶手段のうち 1 の記憶手段が搭載されている場合に、検査処理を実行可能であってもよい。これにより、検査処理を実行するための構成が複雑になることを防止して、電子部品の適切な検査を行うことができる。

【 0 3 6 9 】

(特徴部 6 3 A K の課題解決手段および効果に関する説明)

例えばパチンコ遊技機 1 など、遊技が可能な遊技機であって、例えば図 4 0 に示された C P U 6 2 A K 1 0 1 など、受信したコマンドに基づいて制御を行う制御手段と、例えば図 4 0 に示された外部 R A M 6 2 A K 1 2 1 など、制御手段と電氣的に接続可能な電子部品とを備え、制御手段は、コマンドとして複数のテストコマンドの組み合わせにより、例えば図 4 8 (B) に示された外部 R A M チェック (ショート) 処理、図 4 8 (C) に示された外部 R A M チェック (ロング) 処理、図 4 8 (D) に示された高負荷チェック処理など、電子部品の状態を検査する検査処理を実行可能であり、複数のテストコマンドの組み合わせに応じて、検査処理が異なる。これにより、電子部品の状態を検査する多様な検査処理を実行可能にして、電子部品の適切な検査が可能になる。

20

【 0 3 7 0 】

(特徴部 6 4 A K の課題解決手段および効果に関する説明)

例えばパチンコ遊技機 1 など、遊技が可能な遊技機であって、例えば図 4 0 に示された C P U 6 2 A K 1 0 1 など、受信したコマンドに基づいて制御を行う制御手段と、例えば図 4 0 に示された外部 R A M 6 2 A K 1 2 1 など、制御手段と電氣的に接続可能な電子部品とを備え、制御手段は、コマンドとして複数のテストコマンドの組み合わせにより、例えば図 4 8 (B) に示された外部 R A M チェック (ショート) 処理、図 4 8 (C) に示された外部 R A M チェック (ロング) 処理、図 4 8 (D) に示された高負荷チェック処理など、電子部品の状態を検査する検査処理を実行可能であり、例えば図 4 7 に示されたコマンド解析処理のステップ 6 2 A K S 4 8 にて割込禁止の設定を行い、ステップ 6 2 A K S 4 9 での設定により図 5 1 ~ 図 5 4 に示された外部 R A M チェック処理などを実行することで、検査処理の実行中は、他の処理を実行しない。これにより、検査処理を確実に実行して信頼性を向上させ、電子部品の適切な検査が可能になる。

30

40

【 符号の説明 】

【 0 3 7 1 】

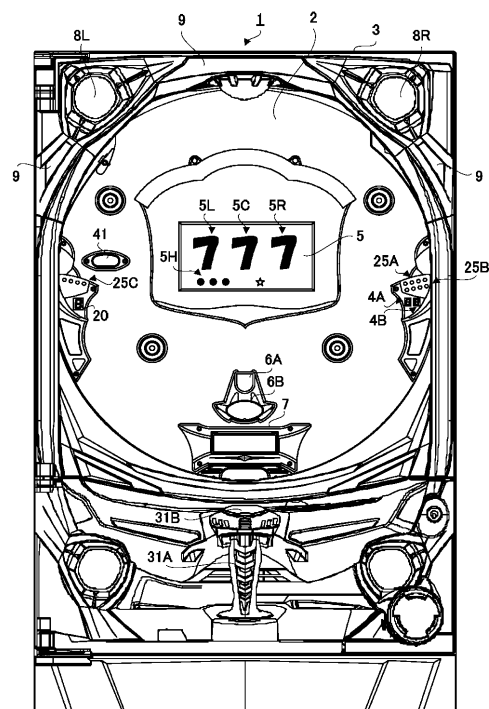
- 1 ... パチンコ遊技機
- 1 1 ... 主基板
- 1 2 ... 演出制御基板
- 1 3 ... 音声制御基板
- 6 2 A K 1 0 0 ... 演出制御用マイクロコンピュータ
- 6 2 A K 1 0 1 ... C P U
- 6 2 A K 1 0 2 ... 内部 R O M

50

- 6 2 A K 1 0 3 ... 内部 R A M
 6 2 A K 1 0 4 ... ウォッチドッグタイマ
 6 2 A K 1 0 6 ... 割込コントローラ
 6 2 A K 1 0 7 ... シリアル通信回路
 6 2 A K 1 2 0 ... 外部 R O M
 6 2 A K 1 2 1 ... 外部 R A M
 6 2 A K 1 2 2 ... C G R O M
 6 4 A K T 1 ... 比較データテーブル
 6 4 A K T 2 ... ランダムデータテーブル

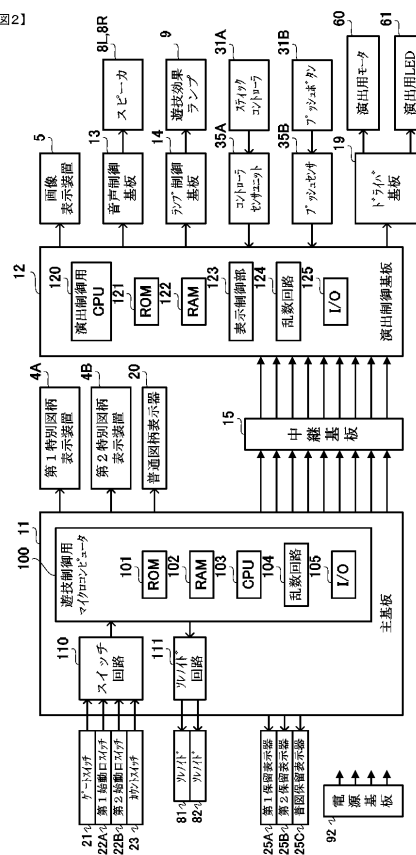
【図 1】

【図 1】



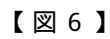
【図 2】

【図 2】

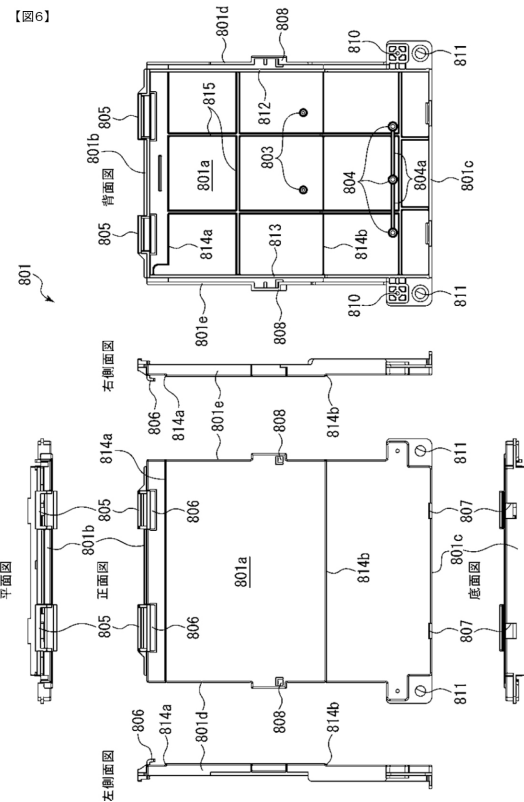


【圖 4】

背面図

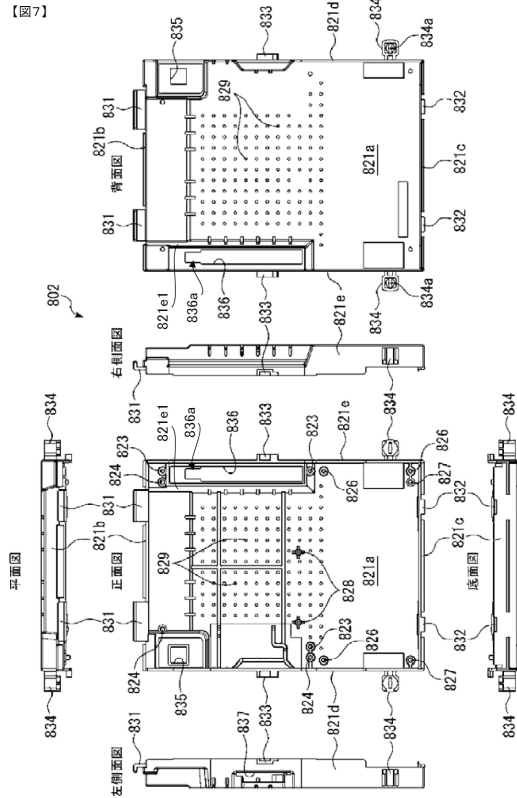


【図6】



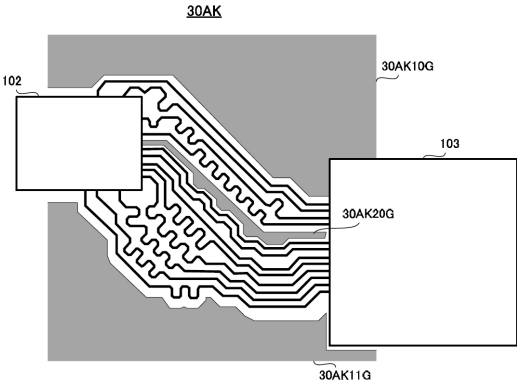
【図 7】

【図7】



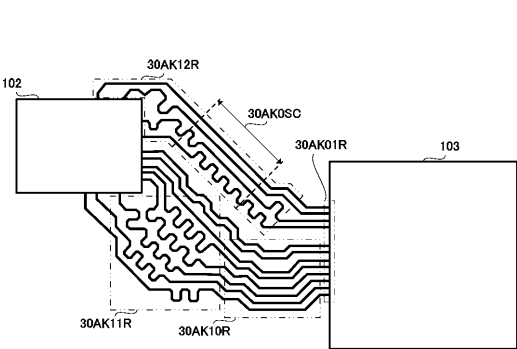
【図 8】

【図8】



【図 9】

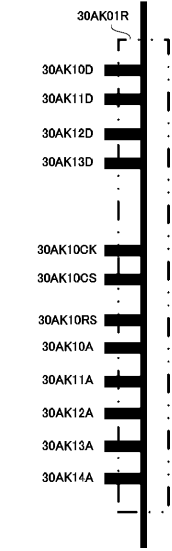
【図9】



【図 10】

【図10】

領域30AK01Rの拡大図



【図 11】

【図11】

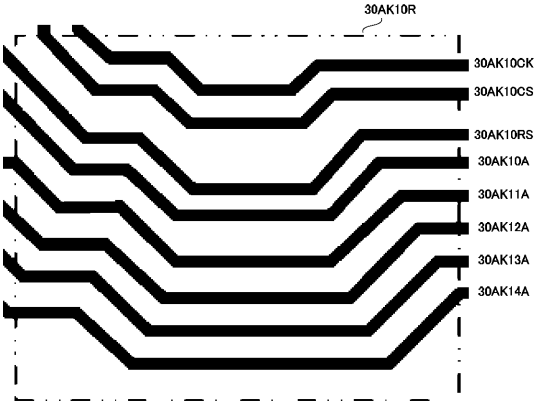
配線のパターン設定例

パターン	信号種類	同期／非同期	蛇行形状
30AK10D	データ	同期	なし
30AK11D	データ	同期	あり
30AK12D	データ	同期	あり
30AK13D	データ	同期	あり
30AK10CK	クロック	同期	あり
30AK10CS	チップセレクト	同期	あり
30AK10RS	リセット	非同期	なし
30AK10A	アドレス	同期	あり
30AK11A	アドレス	同期	あり
30AK12A	アドレス	同期	あり
30AK13A	アドレス	同期	あり
30AK14A	アドレス	同期	あり

【図 12】

【図12】

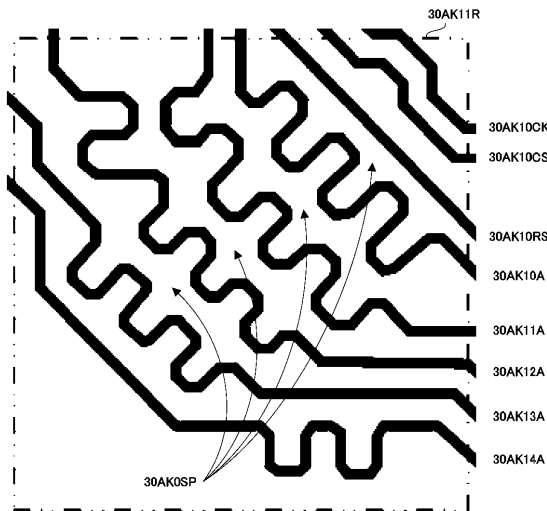
領域30AK10Rの拡大図



【図 13】

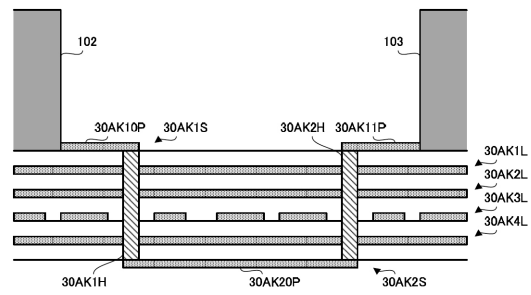
【図13】

領域30AK11Rの拡大図



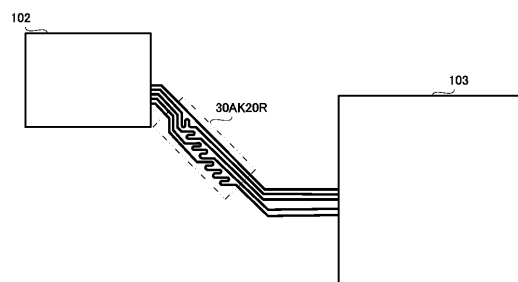
【図 14】

【図14】



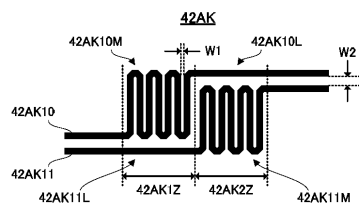
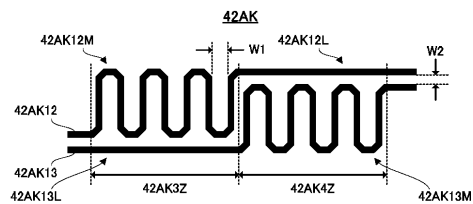
【図 15】

【図15】



【図 16】

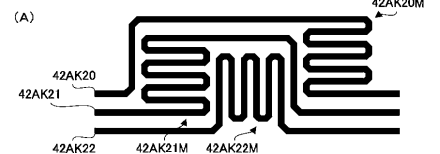
【図16】

(A) 配線間隔 $W1 < W2$ の場合(B) 配線間隔 $W1 > W2$ の場合

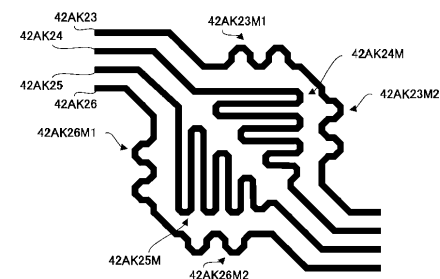
【図 17】

【図17】

蛇行方向が異なる場合



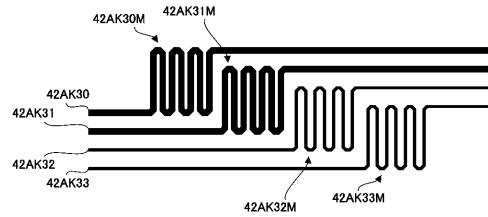
(B)



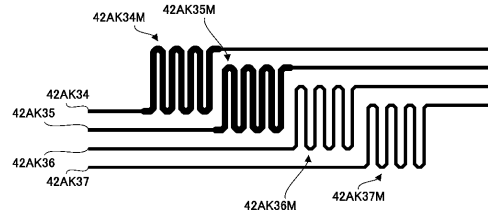
【図 18】

【図18】

(A) 信号配線の全体で配線幅が異なる場合



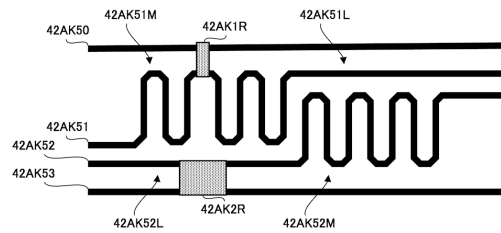
(B) 信号配線の一部で配線幅が異なる場合



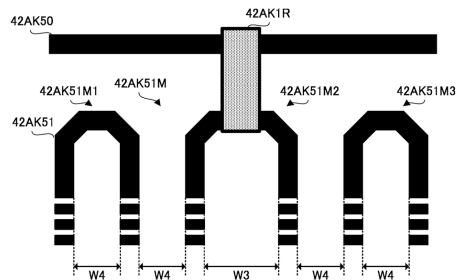
【図 20】

【図20】

(A) 抵抗素子が接続される場合



(B) 拡大図



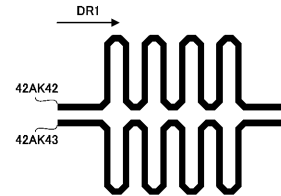
【図 19】

【図19】

(A) 略平行に蛇行する場合

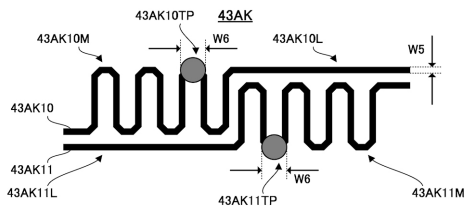


(B) 離れる方向に蛇行する場合



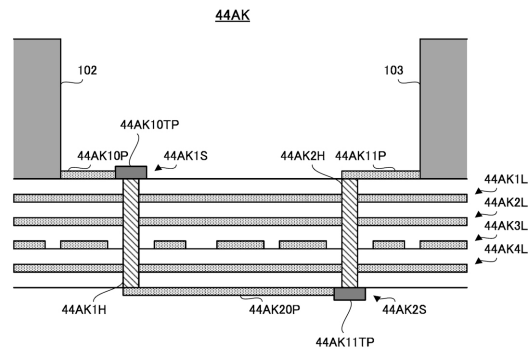
【図 21】

【図21】



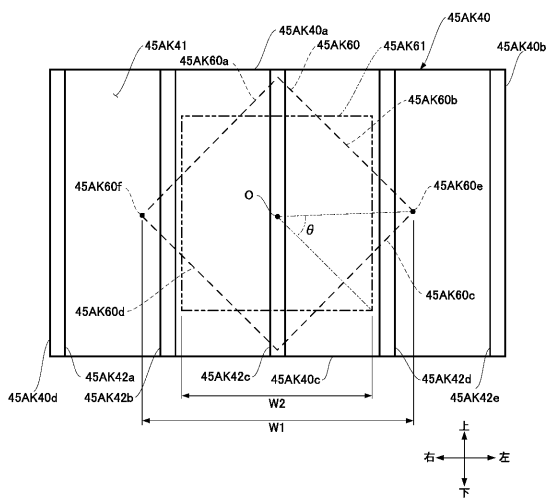
【図 22】

【図22】



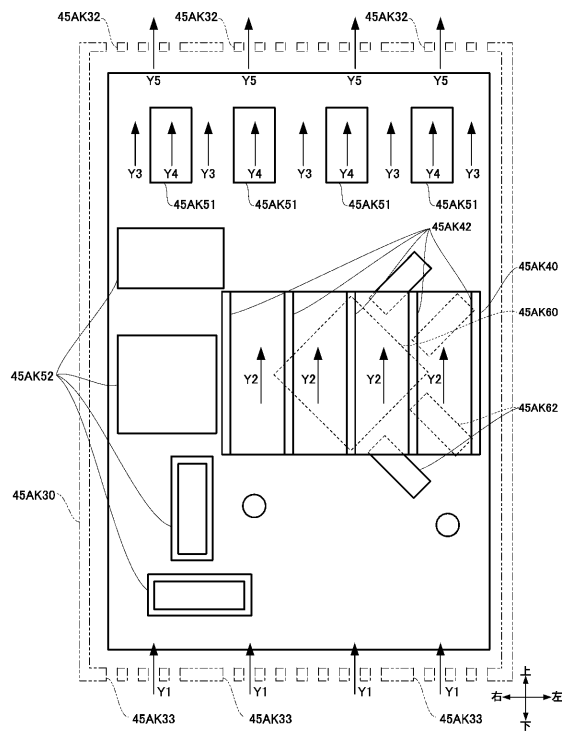
【 図 2 7 】

【図27】



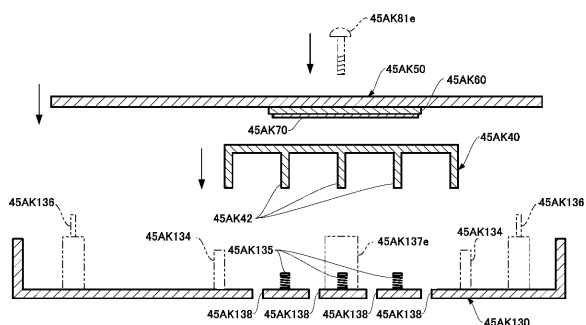
【 図 2 8 】

【図28】



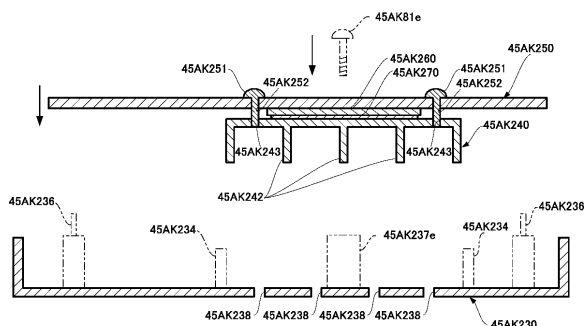
【 ㄨ 2 9 】

【図29】



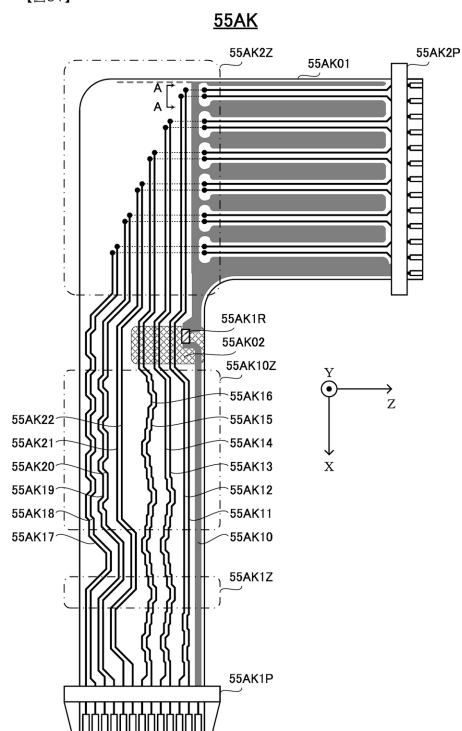
【 ㄨ 3 0 】

【図30】



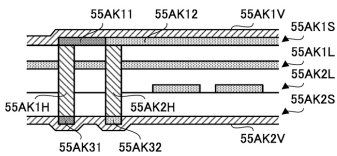
【 図 3 1 】

【図31】



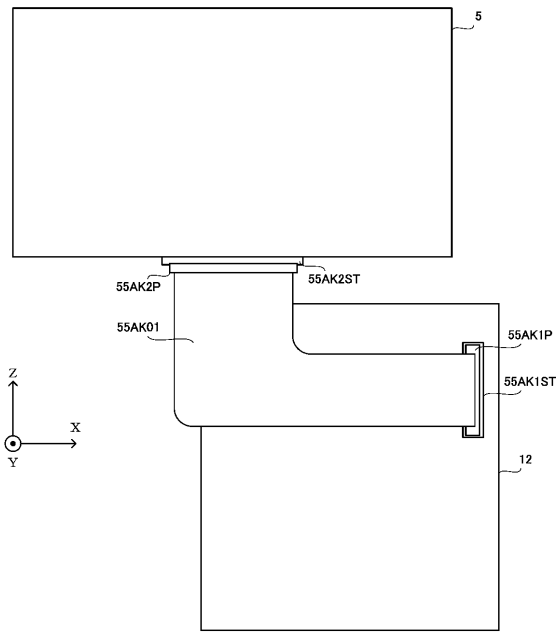
【 図 3 2 】

【 図 32 】
A-A断面



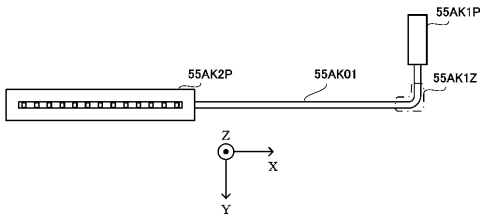
【 図 3 3 】

【 図 33 】



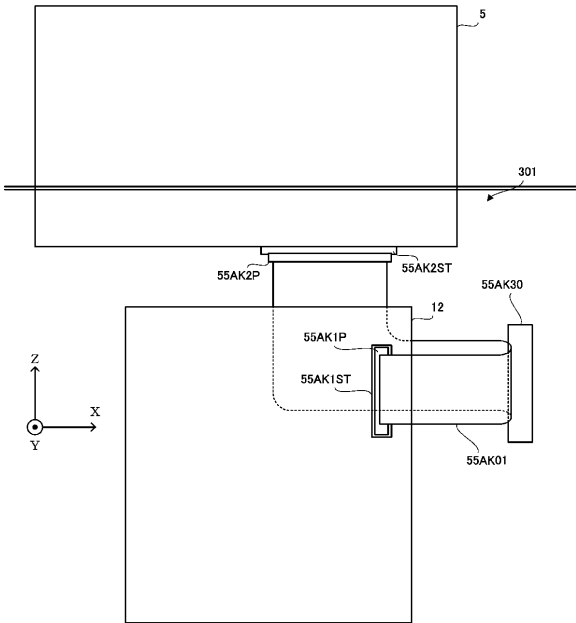
【 図 3 4 】

【 図 34 】



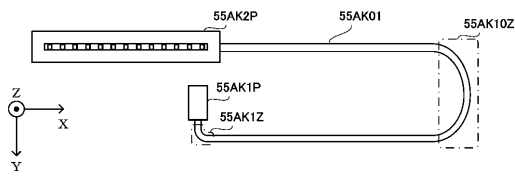
【 図 3 5 】

【 図 35 】



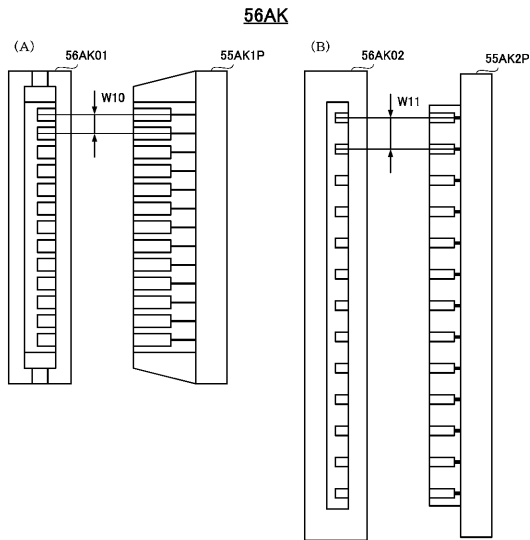
【図 36】

【図36】



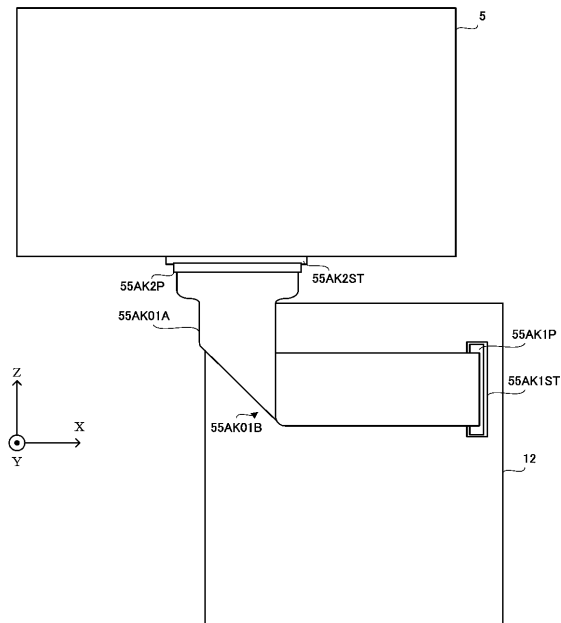
【図 37】

【図37】



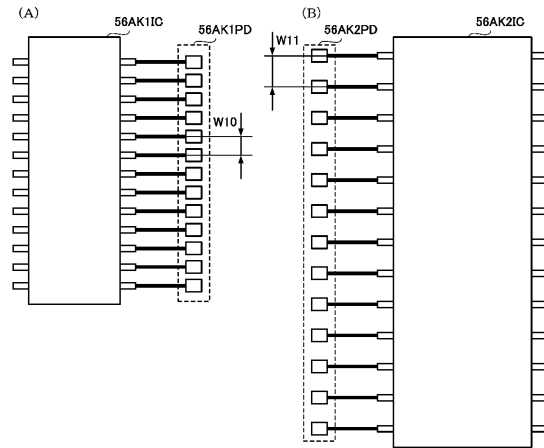
【図 39】

【図39】



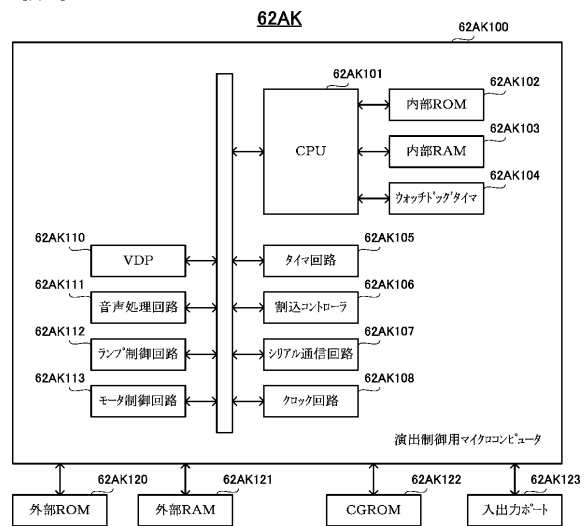
【図 38】

【図38】



【図 40】

【図40】



【図 4 1】

【図41】

MODE	EXT	名称	内容
80	XX	変動パターン指定	飾り図柄の変動パターンを指定
8C	XX	表示結果指定	可変表示の表示結果を指定
8D	XX	変動図柄指定	変動を開始する特別図柄を指定
8F	00	図柄確定	図柄の変動を終了することを指定
90	00	初期化指定	電源投入時の初期化を指定
92	00	停電復旧指定	停電復旧画面の表示を指定
9F	00	客待ちデモ指定	客待ちデモンストレーション画面の表示を指定
A0	XX	当り開始指定	大当り／小当りの開始を指定
A1	XX	大入賞口開放中指定	大入賞口開放中画面の表示を指定
A2	XX	大入賞口開放後指定	大入賞口開放後画面の表示を指定
A3	XX	当り終了指定	大当り／小当りの終了を指定
B0	XX	背景指定	背景画面の表示状態を指定
C1	XX	第1保留記憶数指定	第1特図保留記憶数を指定
C2	XX	第2保留記憶数指定	第2特図保留記憶数を指定
C3	XX	入賞時判定結果指定	入賞時判定結果を指定

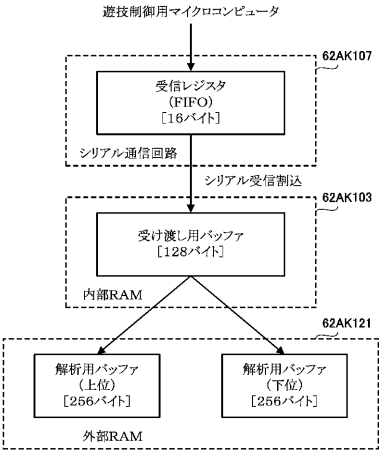
【図 4 2】

【図42】

MODE	EXT	名称	内容
F0	00	黒画面表示	テスト用の黒画面を表示
F0	05	ROMチェック画面	ROMチェック画面を表示
F0	20	赤表示	赤の画面を表示
F0	21	緑表示	緑の画面を表示
F0	22	青表示	青の画面を表示
F0	23	白表示	白の画面を表示
F0	24	黒表示	黒の画面を表示
F1	XX	RTC値種別指定	RTC値の種別を指定
F2	XX	RTC数値設定	RTC値の数値を設定
F3	XX	チェック処理等指定	チェック処理等の実行を指定

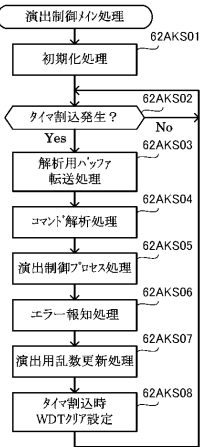
【図 4 3】

【図43】



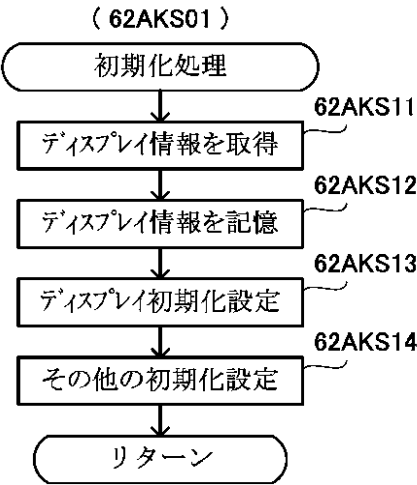
【図 4 4】

【図44】

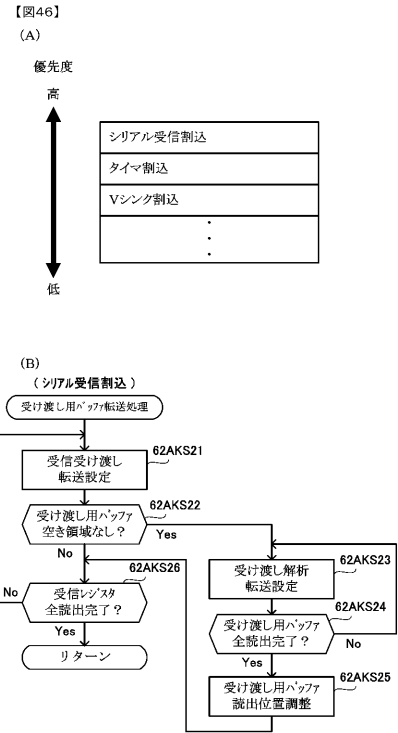


【図 4 5】

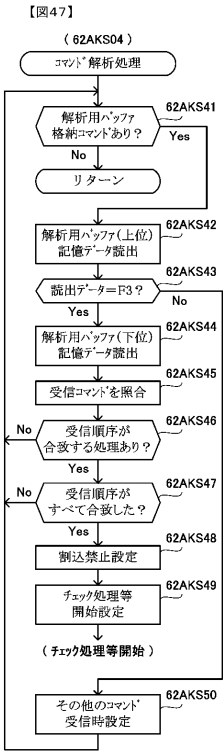
【図45】



【図 4 6】



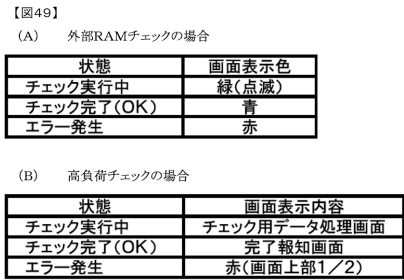
【図 4 7】



【図 4 8】



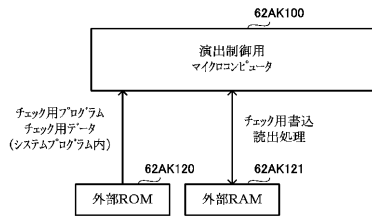
【図 4 9】



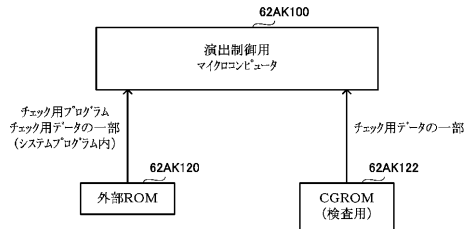
【図50】

【図50】

(A) 外部RAMチェックの場合



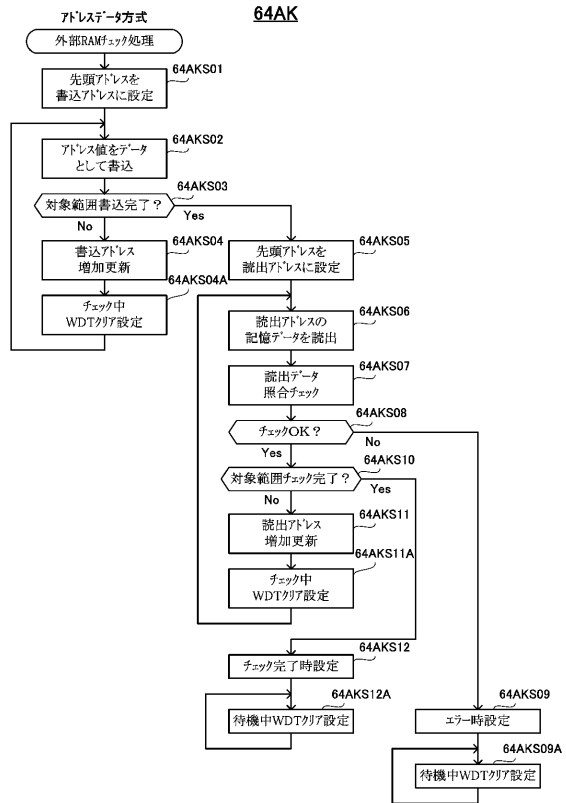
(B) 高負荷チェックの場合



【図51】

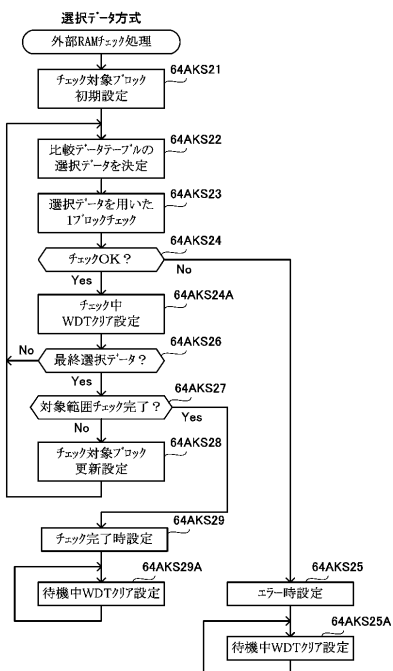
【図51】

64AK



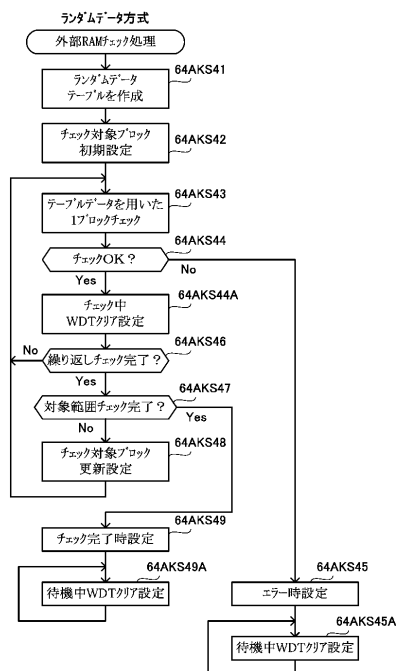
【図52】

【図52】



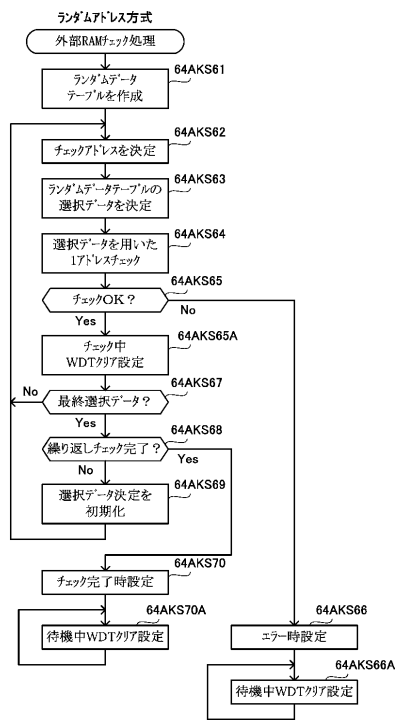
【図53】

【図53】



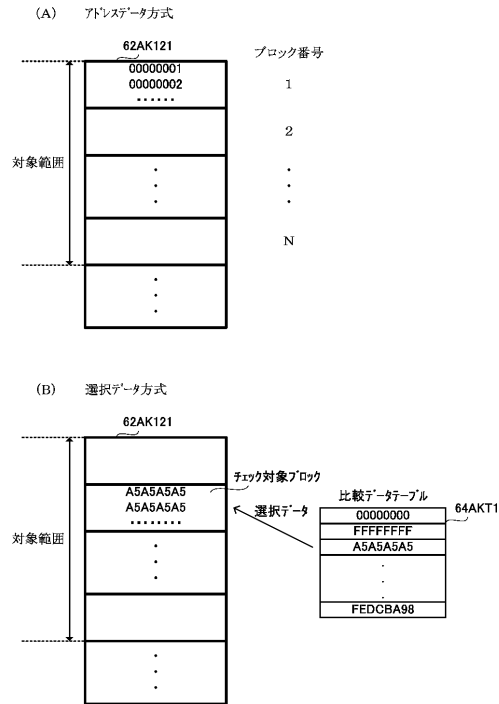
【図54】

【図54】



【図55】

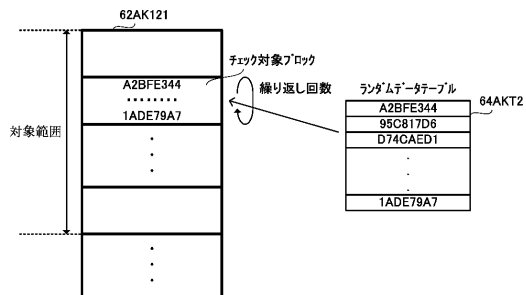
【図55】



【図56】

【図56】

(A) ランダムデータ方式



(B) ランダムアドレス方式

