



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 199 30 586 B4 2007.12.27**

(12)

Patentschrift

(21) Aktenzeichen: **199 30 586.2**
 (22) Anmeldetag: **02.07.1999**
 (43) Offenlegungstag: **11.01.2001**
 (45) Veröffentlichungstag
 der Patenterteilung: **27.12.2007**

(51) Int Cl.⁸: **H01L 27/115 (2006.01)**
H01L 21/8247 (2006.01)
G11C 16/02 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 2 Patentkostengesetz).

(73) Patentinhaber:

Infineon Technologies AG, 81669 München, DE

(74) Vertreter:

Epping Hermann Fischer,
Patentanwalts-gesellschaft mbH, 80339 München

(72) Erfinder:

Wawer, Peter, Dr., 01309 Dresden, DE;
Springmann, Oliver, 01109 Dresden, DE; Wolf,
Konrad, Dr., 01445 Radebeul, DE; Heitzsch, Olaf,
Dr., 01640 Coswig, DE; Huckels, Kai, Dr., 01465
Langebrück, DE; Rennekamp, Reinhold, Dr., 01099
Dresden, DE; Röhrich, Mayk, 02826 Görlitz, DE;
Stein von Kamienski, Elard, Dr., 01099 Dresden,
DE; Kutter, Christoph, Dr., 01099 Dresden, DE;
Ludwig, Christoph, Dr., 01465 Langebrück, DE

(56) Für die Beurteilung der Patentfähigkeit in Betracht
 gezogene Druckschriften:

US 58 61 333 A
US 52 80 187 A
US 48 66 493 A
US 48 39 705 A
EP 00 55 408 A1

(54) Bezeichnung: **Nichtflüchtige Speicherzelle mit separatem Tunnelfenster**

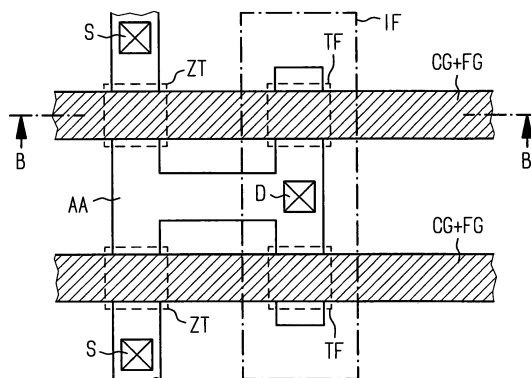
(57) Hauptanspruch: Nichtflüchtige Halbleiter-Speicherzelle mit separatem Tunnelfenster bestehend aus:

einem in einem Halbleitersubstrat (1) ausgebildeten aktiven Bereich (AA); und
 einer an einer Oberfläche des Halbleitersubstrats (1) ausgebildeten Schichtenfolge mit zumindest einer Speicherschicht (FG) und einer Steuerschicht (CG), wobei sich überkreuzende Bereiche des aktiven Bereichs (AA) und der Schichtenfolge (CG + FG) jeweils einen Zell-Transistorbereich (ZT) und einen Überlappungsbereich des aktiven Bereichs (AA) und der Schichtenfolge (CG + FG) aufweisen, in dem ein Tunnelfensterbereich (TF) ausgebildet ist,

die Schichtenfolge (CG + FG) als gradliniger Streifen ausgebildet ist und

der aktive Bereich (AA) als ein erster Streifen und ein zweiter Streifen ausgebildet ist, die parallel zueinander angeordnet sind und über einen Teilbereich des aktiven Bereichs (AA) miteinander verbunden sind,

wobei sich der zweite Streifen des aktiven Bereichs (AA) bis unter die Schichtenfolge (CG + FG) erstreckt, wo er von der Schichtenfolge (CG + FG) überlappt wird und das...



Beschreibung

[0001] Die vorliegende Erfindung bezieht sich auf eine nichtflüchtige Halbleiter-Speicherzelle mit separatem Tunnelfenster und insbesondere auf eine EEPROM-Zelle mit geringem Flächenbedarf.

[0002] Wiederbeschreibbare nichtflüchtige Halbleiter-Speicherzellen gewinnen in hochintegrierten Schaltungen zunehmend an Bedeutung, da sie beispielsweise in Chipkarten veränderbare Daten über einen langen Zeitraum und ohne Verwendung einer Spannungsversorgung speichern können.

[0003] Je nach Art der verwendeten nichtflüchtigen Halbleiter-Speicherzellen unterscheidet man grundsätzlich zwischen EEPROMs, EPROMs und Flash-EPROM-Speichern.

[0004] Herkömmliche Flash-EPROM-Speicherzellen bestehen üblicherweise aus einer Schichtenfolge einer Tunneloxidschicht, einer Floating-Gate-Schicht, einer dielektrischen Schicht und einer Steuerelektrodenschicht, die stapelförmig auf einem Halbleitersubstrat aufgebracht sind. Zum Programmieren/Löschen dieser herkömmlichen Flash-EPROM-Speicherzellen werden beispielsweise durch Injektion heißer Ladungsträger und/oder Fowler-Nordheim-Tunneln in einem Tunnelfensterbereich Ladungsträger über die Tunneloxidschicht in die Floating-Gate-Schicht gebracht. Die so eingebrachten Ladungsträger bestimmen anschließend das Schaltverhalten der Flash-EPROM-Speicherzelle. Trotz des sehr geringen Flächenbedarfs dieser herkömmlichen Flash-EPROM-Speicherzellen besitzen diese Art von nichtflüchtigen Speicherzellen einen wesentlichen Nachteil dahingehend, daß ihre Endurance, d. h. Anzahl der Programmier/Lösch-Zyklen relativ gering ist (ca. 10^3 Zyklen). Im wesentlichen wird die Endurance von Flash-EPROM-Speicherzellen durch die hohe Oxidbelastung an der Zellkante begrenzt, an der der Programmier- bzw. Löschvorgang stattfindet. Dieses wird durch die Bildung von heißen Ladungsträgern an der in diesem Bereich ausgebildeten Diode noch verschlimmert.

[0005] Zur Erhöhung der Endurance, d. h. Anzahl der Programmier/Lösch-Zyklen, werden daher oftmals EEPROM-Speicherzellen mit separatem Tunnelfenster verwendet. Die [Fig. 5a](#) bis [Fig. 5d](#) zeigen Schnittansichten einer derartigen herkömmlichen EEPROM-Speicherzelle mit separatem Tunnelfenster, wie sie beispielsweise aus der Druckschrift US 5,861,333 A bekannt ist.

[0006] Gemäß [Fig. 5a](#) wird zunächst in einem Halbleitersubstrat **1** unter Verwendung einer Maske **M** und einem Feldoxid **FOX** eine Ionenimplantation **I** durchgeführt, wodurch die Dotiergebiete BN^+ ausgebildet werden. Gemäß [Fig. 5b](#) werden in einem nachfol-

genden Oxidationsschritt weitere Feldoxid-Schichten **FOX** mit dazwischenliegenden Tunneloxid- bzw. Gate-Oxidschichten an der Oberfläche des Halbleitersubstrats **1** ausgebildet. Mit dem Bezugszeichen **TF** ist hierbei ein Tunnelfensterbereich und mit dem Bezugszeichen **ZT** ein Zell-Transistorbereich gekennzeichnet. Anschließend wird gemäß [Fig. 5c](#) eine Floating-Gate-Schicht **FG** und eine dielektrische Schicht **DS** an der Oberfläche des Halbleitersubstrats **1** bzw. der Feldoxidschicht **FOX** mit ihrer Tunneloxidschicht bzw. Gate-Oxidschicht abgeschieden und entsprechend strukturiert. Gemäß [Fig. 5d](#) wird zur Vervollständigung der nichtflüchtigen Halbleiter-Speicherzelle mit separatem Tunnelfenster eine Steuerschicht **CG** an der Oberfläche der dielektrischen Schicht **DS** und der Feldoxidschicht **FOX** abgeschieden.

[0007] Aufgrund des separat ausgebildeten Tunnelfensterbereichs **TF** und seinem sehr homogenen Tunneloxid besitzen derartige herkömmliche nichtflüchtige Halbleiter-Speicherzellen eine sehr hohe Endurance, d. h. Anzahl von Programmier/Löschzyklen, die bei ca. 10^6 liegt. Nachteilig ist jedoch bei derartigen EEPROM-Speicherzellen mit separatem Tunnelfenster der hohe Flächenbedarf sowie die nur schwer zu definierende Einsatzspannung für ein Programmieren/Löschen. Genauer gesagt ist die Dicke der Tunneloxidschicht und der Gate-Oxidschicht abhängig von der Dotierkonzentration der BN^+ -Gebiete, wobei in der Regel eine hohe Dotierkonzentration das Oxidwachstum bebeschleunigt. Insbesondere bei gleichzeitiger Ausbildung von Flash-EPROM-Speicherzellen und EEPROM-Speicherzellen mit separatem Tunnelfenster im gleichen Halbleitersubstrat **1** ergeben sich dadurch unterschiedlich dicke Tunneloxidschichten für die verschiedenen Speicherzellenarten, wodurch sich wiederum unterschiedliche Einsatzspannungen für das Programmieren/Löschen der Speicherzellen ergeben.

[0008] [Fig. 6](#) zeigt eine schematische Draufsicht einer herkömmlichen nichtflüchtigen Halbleiter-Speicherzelle mit separatem Tunnelfenster, wobei das Bezugszeichen **AA** einen aktiven Bereich (active area) in einem Halbleitersubstrat definiert. Zum Ausbilden eines Zell-Transistorbereichs **ZT** und eines Tunnelfensterbereichs **TF** überlappen eine Floating-Gate-Schicht **FG** und eine Steuergate-Schicht **CG** mit dazwischen liegender dielektrischer Schicht den aktiven Bereich **AA**.

[0009] [Fig. 7](#) zeigt eine schematische Schnittansicht entlang eines Schnitts **A/A'** gemäß [Fig. 6](#). Demzufolge besteht der Zell-Transistorbereich **ZT** aus einem Schichtstapel mit der Floating-Gate-Schicht **FG**, einer dielektrischen Schicht **DS** und der Steuerschicht **CG**, die über eine Isolierschicht **IS** vom Halbleitersubstrat **1** beabstandet ist. Das Bezugszeichen

2 bezeichnet Source/Drain-Gebiete der nichtflüchtigen Halbleiter-Speicherzelle. In gleicher Weise besteht der Tunnelfensterbereich TF aus der Floating-Gate-Schicht FG, der dielektrischen Schicht DS und der Steuerschicht CG die durch die isolierende Schicht IS von einem Tunnelgebiet **3** getrennt sind.

[0010] Vorzugsweise wird das Tunnelgebiet **3** in gleicher Weise wie ein entsprechendes Tunnelgebiet in einer Flash-EEPROM-Speicherzelle ausgebildet. Genauer gesagt wird das Tunnelgebiet **3** durch Ionenimplantation unter Verwendung des Schichtstapels des Tunnelfensterbereichs TF als Maske selbstjustierend ausgebildet.

[0011] Diese Selbstjustierung wirkt jedoch gemäß [Fig. 6](#) lediglich in y-Richtung, weshalb sich eine Verjustierung der Maske(n) für den Schichtstapel in x-Richtung unmittelbar auf das jeweilige Tunnelgebiet **3** auswirken. Eine Flächenoptimierung bzw. eine Hochintegration ist daher nur bis zu einem bestimmten Ausmaß möglich. Dies liegt insbesondere daran, daß der Schichtstapel bestehend aus der Floating-Gate-Schicht FG, der dielektrischen Schicht DS und der Steuergate-Schicht CG bei sehr kleinen Strukturgrößen (≤ 1 Mikrometer) mit Standardverfahren nicht mehr ausreichend genau geätzt werden kann. Gemäß [Fig. 6](#) ergeben sich dadurch zwischen dem Zell-Transistorbereich ZT und dem Tunnelfensterbereich abgerundete Ätzkanten, wobei sich sogar fehlerhafte Ätzstrukturen ergeben können. Derartige unscharfe bzw. ungenaue Ätzkanten haben jedoch den Nachteil, daß sie höhere Anforderungen an die Justiergenauigkeit stellen und daher für eine weitergehende Integration nicht geeignet sind.

[0012] Gemäß [Fig. 6](#) wirkt sich beispielsweise eine Verjustierung in x-Richtung um den Abstand d derart aus (gestrichelte Linie), daß ein vom Ätzen abgerundeter Bereich der Schichtenfolge bestehend aus der Steuerschicht CG, der dielektrischen Schicht DS und der Floating-Gate-Schicht FG den aktiven Bereich AA überlappt, wodurch sich bei einer nachfolgend durchgeführten selbstjustierenden Ionenimplantation eine fehlerhafte Ausbildung der Tunnelgebiete **3** ergibt.

[0013] Aus der US 4 839 705 A ist ein X-cell EEPROM Array bekannt, wobei das Array eine Mehrzahl von gemeinsamen Source-Regionen aufweist, welche jeweils an vier Gate-Regionen angrenzen. Die Regionen sind auf einem Halbleitersubstrat ausgebildet. Jeder Gate-Bereich grenzt wiederum an eine gemeinsame Drain-Region, wobei jede Drain-Region ein gemeinsamer Drain-Anschluß für zwei EEPROM -Auswahltransistoren und Speichertransistoren ist. Eine gemeinsame Löschrzone ist wiederum in das Halbleitersubstrat implementiert. Weiterhin erstrecken sich vier floating-Gate-Elektroden über Tunnelfenster, welche wiederum an eine einfache

Löschrzone angrenzen.

[0014] Aus der US 5 280 187 A ist hingegen eine Halbleiterspeicheranordnung mit nichtflüchtigen Speicherzellen bekannt, welche elektrisch über einen Tunnelstrom programmiert und gelöscht werden können. Hierbei sind floating-Gate-Transistoren vorgesehen. Die Zellen sind in Gruppen zu n Linien und m Spalten angeordnet, wobei die n Zellen in Reihe verschaltet sind und diese Serienschaltung eine Bitlinie für die Spalten des Zellenblockes bilden.

[0015] In der EP 0 055 408 A1 ist ein Verfahren zur Herstellung von nichtflüchtigen Speicherzellen angegeben. Hierbei handelt es sich um verbesserte EEPROM Zellen. Die Speicherzelle beinhaltet einen floating-Gate-Transistor auf, wobei innerhalb des Transistors eine teilweise Überlappung der Drain- und Gate-Region vorgesehen ist. Durch das aufgezeigte Verfahren wird eine dünne isolierende Schicht des Siliziumdioxid ausgeformt.

[0016] Aus der US 4866 493 A, welche den nächst kommenden Stand der Technik beschreibt, ist eine EEPROM-Speicherzelle mit separatem Tunnelfenster bekannt. Diese weist in einem Halbleitersubstrat einen aktiven Bereich und einen an einer Oberfläche des Halbleitersubstrats ausgebildeten Schichtenfolge mit zumindest einer Speicherschicht und einer Steuerschicht. Sich überkreuzende Bereiche des aktiven Bereichs und der Schichtenfolge bilden jeweils einen Zell-Transistorbereich. Ein Überlappungsbereich des aktiven Bereichs und die Schichtenfolge bilden ein Tunnelfensterbereich. Ein aktiver Bereich ist als gradliniger Streifen ausgebildet und die Schichtenfolge ist als ein erster Streifen und ein zweiter Streifen ausgebildet. Diese sind parallel zueinander angeordnet und über einen Teilbereich der Schichtenfolge miteinander verbunden.

[0017] Der Erfindung liegt daher die Aufgabe zugrunde, eine nichtflüchtige Halbleiter-Speicherzelle mit separatem Tunnelfenster zu schaffen, bei dem die Speicherzelle eine hohe Endurance und einen kleinen Flächenbedarf aufweist.

[0018] Erfindungsgemäß wird diese Aufgabe hinsichtlich der nichtflüchtigen Halbleiter-Speicherzelle durch die Merkmale des Patentanspruchs 1 gelöst.

[0019] In den Unteransprüchen sind vorteilhafte Ausgestaltungen der Erfindung gekennzeichnet.

[0020] Die Erfindung wird nachstehend anhand von Ausführungsbeispielen unter Bezugnahme auf die Zeichnung näher beschrieben.

[0021] Es zeigen:

[0022] [Fig. 1](#) eine schematische Draufsicht eines

symmetrischen Halbleiter-Speicherzellenpaares gemäß einem ersten Ausführungsbeispiel;

[0023] [Fig. 2](#) eine schematische Draufsicht eines symmetrischen Halbleiter-Speicherzellenpaares gemäß einem zweiten Ausführungsbeispiel;

[0024] [Fig. 3](#) eine schematische Draufsicht einer alternativen Halbleiter-Speicherzelle;

[0025] [Fig. 4](#) eine perspektivische Schnittansicht der Halbleiter-Speicherzelle gemäß [Fig. 1](#) entlang einem Schnitt B-B';

[0026] [Fig. 5a](#) bis [Fig. 5d](#) schematische Schnittansichten zur Veranschaulichung der Herstellungsschritte einer herkömmlichen nichtflüchtigen Halbleiter-Speicherzelle mit separatem Tunnelfenster;

[0027] [Fig. 6](#) eine schematische Draufsicht einer weiteren herkömmlichen Halbleiter-Speicherzelle mit separatem Tunnelfenster; und

[0028] [Fig. 7](#) eine Schnittansicht der Halbleiter-Speicherzelle gemäß [Fig. 6](#) entlang eines Schnitts A-A'.

[0029] [Fig. 1](#) zeigt eine schematische Draufsicht eines nichtflüchtigen Halbleiter-Speicherzellenpaares. Gleiche Bezugszeichen bezeichnen gleiche oder ähnliche Komponenten bzw. Schichten wie in [Fig. 6](#), weshalb auf eine detaillierte Beschreibung verzichtet wird.

[0030] In [Fig. 1](#) sind zwei Speicherzellen mit jeweils einem Zell-Transistorbereich ZT und einem Tunnelfensterbereich TF dargestellt, die symmetrisch in einem oberen Bereich und einem unteren Bereich liegen. Hierbei werden Teile eines aktiven Bereichs (active area) AA sowohl für die obere als auch die untere Speicherzelle verwendet, wodurch sich bereits eine Flächensparnis ergibt. Zum Anschließen des aktiven Bereichs AA an eine Spannungsversorgung besitzt dieser einen Source-Anschluß S und einen Drain-Anschluß D.

[0031] Gemäß [Fig. 1](#) weist der aktive Bereich AA eine komplexe Struktur auf, die pro Speicherzelle im wesentlichen U-förmig ist. Demgegenüber ist die Struktur der Schichtenfolge bestehend aus der Steuerschicht CG und der Floating-Gate-Schicht FG im wesentlichen streifenförmig ausgebildet, wobei sich überlappende Bereiche von AA und (CG + FG) jeweils Zell-Transistorbereiche ZT sowie Tunnelfensterbereiche TF ausbilden. Die Schichtenfolge mit der Steuerschicht CG und der Floating-Gate-Schicht FG besitzt somit keine komplexe Struktur mit spitzen Ecken und Kanten, die bei einem Ätzen bzw. Strukturieren abgerundet werden. Die für das Ausbilden der überlappenden Bereiche notwendige komplexe

Struktur wird vielmehr durch den aktiven Bereich AA realisiert, der in einem Halbleitersubstrat auf besonders einfache und sehr genaue Art und Weise ausgebildet werden kann.

[0032] [Fig. 4](#) zeigt eine perspektivische Schnittansicht dieser Halbleiter-Speicherzelle gemäß dem ersten Ausführungsbeispiel entlang eines Schnitts B-B'. Gemäß [Fig. 4](#) werden in einem Halbleitersubstrat **1**, das vorzugsweise aus Silizium oder einem sonstigen III-V-Halbleiter besteht, zunächst der aktive Bereich AA ausgebildet. Vorzugsweise wird für diese Strukturierung des aktiven Bereichs AA ein STI-Prozeß (shallow trench isolation) verwendet, bei dem an der Oberfläche des Halbleitersubstrats **1** zunächst flache Gräben freigeätzt werden und anschließend ein Isoliermaterial wie z. B. Siliziumdioxid großflächig abgeschieden wird. In einem nachfolgenden Schritt wird die Oberfläche des Halbleitersubstrats **1** planarisiert, wodurch die aktiven Bereiche AA wieder freigelegt und die in [Fig. 4](#) dargestellten dazwischenliegenden STI-Bereiche **4** ausgebildet werden.

[0033] Bei dem vorstehend beschriebenen STI-Prozeß handelt es sich um einen Standardprozeß, weshalb auf eine detaillierte Beschreibung der Prozeßparameter verzichtet wird. Wesentlich ist jedoch, daß mit diesem Prozeß ein aktiver Bereich AA mit komplexen Strukturen auch bei sehr geringen Ausmaßen (≤ 1 Mikrometer) sehr genau strukturiert werden kann. Dies bedeutet, daß im Gegensatz zur Strukturierung der Schichtenfolge bestehend aus der Steuerschicht CG und der Floating-Gate-Schicht FG sehr genaue Kanten und Ecken herausgearbeitet werden können.

[0034] Anschließend wird die Schichtenfolge bestehend aus einer isolierenden Schicht IS, einer Floating-Gate- bzw. Speicherschicht FG, einer dielektrischen Schicht DS und einer Steuerschicht CG aufeinanderfolgend an der Oberfläche des planarisierten Halbleitersubstrats **1** abgeschieden. Die isolierende Schicht IS dient hierbei im Zell-Transistorbereich ZT als Gate-Schicht und im Tunnelfensterbereich TF als Tunnelschicht, die vorzugsweise eine geringere Dicke als die Gate-Schicht aufweist. Zum Strukturieren dieser Schichtenfolge wird beispielsweise durch ein photolithographisches Verfahren die streifenförmige Struktur gemäß [Fig. 1](#) ausgebildet und die einzelnen Schichten nacheinander unter Verwendung von Standard-Ätzmitteln geätzt.

[0035] In Standard-Prozessen besteht die Steuerschicht CG und die Floating-Gate-Schicht FG üblicherweise aus Poly-Silizium, während die dielektrische Schicht DS aus einer ONO-Schichtenfolge (Oxid/Nitrid/Oxid) besteht. Die isolierende Schicht IS besteht üblicherweise aus thermisch ausgebildetem SiO₂. In gleicher Weise, wie das Ausbilden der einzelnen Schichten durch Standardprozesse realisiert

wird, findet auch das Strukturieren der einzelnen Schichten durch Standard-Ätzschritte statt. Üblicherweise werden hierfür drei Ätzschritte in jeweils einer speziellen Ätzkammer bzw. Ätzvorrichtung durchgeführt, die für die einfache streifenförmige Struktur der Schichtenfolge vollkommen ausreichend ist. In gleicher Weise ist auch eine einzige Ätzkammer bzw. Ätzvorrichtung zu verwenden, wobei jedoch eine relativ komplizierte Abfolge von Ätzmitteln (z. B. Gasgemischen) für die unterschiedlichen Schichten verwendet wird. Selbst wenn komplexe Strukturen mit derartigen Ätzschritten nur sehr ungenau ausgebildet werden können (siehe [Fig. 6](#)), so sind derartige herkömmliche Strukturierungs- und Ätzprozesse für die einfache streifenförmige Struktur der Schichtenfolge bestehend aus der Steuerschicht CG und der Floating-Gate-Schicht FG ausreichend. Die zur Ausbildung der Halbleiter-Speicherzelle mit separatem Tunnelfenster notwendige komplexe Struktur wird somit im wesentlichen bei der Strukturierung des aktiven Bereichs AA realisiert, die in einem einfachen Einschnitt-Ätzprozeß in einer einzigen Ätzkammer durchgeführt werden kann.

[0036] Zum Ausbilden eines Tunnelgebiets TB, das sich gemäß [Fig. 4](#) im Tunnelfensterbereich TF befindet und für das Tunneln von Ladungsträgern durch die isolierende Schicht IS notwendig ist, wird vorzugsweise eine Ionenimplantation verwendet, wie sie auch zum Ausbilden der Tunnelbereiche in Flash-EPROM-Speicherzellen verwendet wird. Hierbei kann unter Verwendung der streifenförmigen Schichtenfolge als Maske eine Ionenimplantation selbstjustierend derart durchgeführt werden, daß sich aufgrund von Streueffekten unterhalb der Tunnelnschicht das Tunnelgebiet TB ausbildet. Ein für diese Tunnelimplantation notwendiges Implantationsfenster IF (Tunnel-Implantationsmaske) kann gemäß [Fig. 1](#) hierbei in einem großen Bereich verjustiert werden, ohne Einfluß auf den Tunnelfensterbereich TF zu haben. In gleicher Weise besitzt auch die Maske für die Schichtenfolge CG + FG eine ausreichend große Justier-Toleranz. Auf diese Weise kann der Flächenbedarf für eine Speicherzelle weiter optimiert werden, weshalb man eine nichtflüchtige Halbleiter-Speicherzelle mit verbesserter Endurance, d. h. Anzahl von Programmier/Löschzyklen, und verringertem Flächenbedarf erhält. Darüber hinaus können derartige nichtflüchtige Halbleiter-Speicherzellen beliebig mit Flash-EPROM-Speicherzellen in einer integrierten Schaltung kombiniert und einfach hergestellt werden.

[0037] [Fig. 2](#) zeigt eine schematische Draufsicht eines nichtflüchtigen Halbleiter-Speicherzellenpaares gemäß einem zweiten Ausführungsbeispiel. Gleiche Bezugszeichen bezeichnen hierbei gleiche oder ähnliche Schichten bzw. Komponenten, weshalb auf eine detaillierte Beschreibung nachfolgend verzichtet wird.

[0038] Wiederum wird vorzugsweise durch einen STI-Prozeß die komplexe Struktur des aktiven Bereichs AA im Halbleitersubstrat ausgebildet und anschließend eine Schichtenfolge bestehend aus der isolierenden Schicht IS, der Floating-Gate-Schicht FG, der dielektrischen Schicht DS und der Steuerschicht CG an der Oberfläche des Halbleitersubstrats abgeschieden.

[0039] Zur Verbesserung eines kapazitiven Kopplungsfaktors der Speicherzelle wird jedoch die im wesentlichen streifenförmige Struktur der Schichtenfolge bestehend aus der Steuerschicht CG und der Floating-Gate-Schicht FG im Tunnelfensterbereich TF derart verjüngt, daß ihre Überlappungsfläche gegenüber der Überlappungsfläche des Zell-Transistorbereichs ZT verringert ist. Eine derartige Verringerung der Fläche des Tunnelfensterbereichs TF wirkt sich nämlich dahingehend positiv auf den kapazitiven Kopplungsfaktor der Halbleiter-Speicherzelle aus, daß nunmehr mit verringerten Programmier/Löschspannungen ein Einschreiben/Löschen von Ladungsträgern in die ladungsspeichernde Floating-Gate-Schicht FG erfolgen kann. Der Kopplungsfaktor bzw. das Koppelverhältnis einer Halbleiter-Speicherzelle ergibt sich hierbei aus dem Verhältnis der Kapazität über der dielektrischen Schicht DS zwischen Steuerschicht CG und Floating-Gate-Schicht FG und der Kapazität über der Tunneloxidschicht zwischen Tunnelbereich TB und der darüberliegenden Floating-Gate-Schicht FG. Durch Verringern der Fläche des Tunnelfensterbereichs TF vergrößert sich dieses Koppelverhältnis, weshalb bereits mit geringen Betriebsspannungen ein Programmieren/Löschen über den Tunnelfensterbereich TF erfolgen kann.

[0040] Die relativ ungenauen Ätzstrukturen beim Ausbilden der Verjüngung am Tunnelfensterbereich TF sind hierbei zu vernachlässigen, da eine derartige Verjüngung eine einfache Struktur darstellt und relativ genau durch herkömmliche Ätzverfahren ausgebildet werden kann. Auf diese Weise erhält man eine nichtflüchtige Halbleiter-Speicherzelle, die bei geringem Flächenbedarf und hoher Endurance einen besonders günstigen Kopplungsfaktor aufweist, und somit geringe Programmier/Löschspannungen aufweist.

[0041] [Fig. 3](#) zeigt eine schematische Draufsicht einer nichtflüchtigen alternativen Halbleiter-Speicherzelle. Gleiche Bezugszeichen bezeichnen, wie in [Fig. 1](#) und [Fig. 2](#), gleiche oder ähnliche Schichten bzw. Komponenten, weshalb auf eine detaillierte Beschreibung nachfolgend verzichtet wird.

[0042] Gemäß der vergrößerten Draufsicht der Halbleiter-Speicherzelle nach [Fig. 3](#) besitzt die im wesentlichen streifenförmige Struktur der Schichtenfolge bestehend aus der Steuerschicht CG und der

Floating-Gate-Schicht FG einen Vorsprung zum Ausbilden des Tunnelfensterbereichs TF. Die komplexe Struktur des aktiven Bereichs AA ist hierbei derart T-förmig ausgebildet, daß sie in einem überlappenden Bereich den Tunnelfensterbereich TF realisiert. Bei Verringerung der Breite des Vorsprungs der Schichtenfolge bestehend aus der Steuerschicht CG und der Floating-Gate-Schicht FG kann in gleicher Weise wie vorstehend beschrieben wurde ein Kopplungsfaktor bzw. ein Koppelverhältnis für die Halbleiter-Speicherzelle verbessert werden. Die Ausbildung des Vorsprungs gemäß [Fig. 3](#) erfolgt wie die Ausbildung der Verjüngung gemäß [Fig. 2](#), wobei eine Abrundung an den Kanten der Schichtenfolge mit der Steuerschicht CG und der Floating-Gate-Schicht FG keinen Einfluß auf den Tunnelfensterbereich TF besitzt. Somit kann ebenfalls eine nichtflüchtige Halbleiter-Speicherzelle mit geringem Flächenbedarf und hoher Endurance unter Verwendung von Standardverfahren ausgebildet werden.

[0043] Die vorstehende Erfindung wurde anhand einer Schichtenfolge bestehend aus einer isolierenden Schicht, einer Floating-Gate-Schicht, einer dielektrischen Schicht und einer Steuergate-Schicht beschrieben. Sie ist jedoch nicht darauf beschränkt und umfaßt vielmehr alle weiteren Schichtenfolgen zum Ausbilden von nichtflüchtigen Halbleiter-Speicherzellen wie z. B. SONOS. In gleicher Weise können an Stelle von Poly-Si auch andere leitende bzw. ladungsspeichernde Materialien für die Steuerschicht und die Floating-Gate-Schicht bzw. Speicherschicht verwendet werden. Die dielektrische Schicht besteht vorzugsweise aus einer ONO-Schichtenfolge, ist jedoch nicht darauf beschränkt und umfaßt alle weiteren isolierenden Schichten, die einen Leskstrom zwischen Floating-Gate-Schicht und Steuerschicht verhindern und einen ausreichend hohen Kopplungsfaktor realisieren. In gleicher Weise kann an Stelle der Ionenimplantation für die Source/Drain-Gebiete sowie das Tunnelgebiet eine anderweitige Dotierung durchgeführt werden.

[0044] Gemäß der vorstehenden Beschreibung besitzt die Oxiddicke der Isolierschicht IS im Zell-Transistorbereich eine größere Dicke als im Tunnelfensterbereich, weshalb sich ein relativ schlechter Lesestrom ergibt. Vorteilhaft ist hierbei jedoch, daß das Tunneln aufgrund von Injektion heißer Ladungsträger und/oder Fowler-Nordheim-Tunneln ausschließlich im Tunnelfensterbereich stattfindet. Andererseits kann jedoch die Isolierschicht IS im Tunnelfensterbereich und im Zell-Transistorbereich gleich dick sein, wodurch sich die Stromtreiberfähigkeit der Halbleiter-Speicherzelle im Zell-Transistorbereich verbessert. Nachteilig ist hierbei jedoch eine eventuelle Schädigung im Zell-Transistorbereich beim Anlegen von Programmier-/Löschspannungen.

Patentansprüche

1. Nichtflüchtige Halbleiter-Speicherzelle mit separatem Tunnelfenster bestehend aus: einem in einem Halbleitersubstrat (1) ausgebildeten aktiven Bereich (AA); und einer an einer Oberfläche des Halbleitersubstrats (1) ausgebildeten Schichtenfolge mit zumindest einer Speicherschicht (FG) und einer Steuerschicht (CG), wobei sich überkreuzende Bereiche des aktiven Bereichs (AA) und der Schichtenfolge (CG + FG) jeweils einen Zell-Transistorbereich (ZT) und einen Überlappungsbereich des aktiven Bereichs (AA) und der Schichtenfolge (CG + FG) aufweisen, in dem ein Tunnelfensterbereich (TF) ausgebildet ist, die Schichtenfolge (CG + FG) als gradliniger Streifen ausgebildet ist und der aktive Bereich (AA) als ein erster Streifen und ein zweiter Streifen ausgebildet ist, die parallel zueinander angeordnet sind und über einen Teilbereich des aktiven Bereichs (AA) miteinander verbunden sind, wobei sich der zweite Streifen des aktiven Bereichs (AA) bis unter die Schichtenfolge (CG + FG) erstreckt, wo er von der Schichtenfolge (CG + FG) überlappt wird und das Tunnelfenster (TF) gebildet ist.
2. Nichtflüchtige Halbleiter-Speicherzelle nach Anspruch 1, dadurch gekennzeichnet, daß in dem aktiven Bereich (AA) ein Drain-Anschluß (D) angeordnet ist, der sowohl das Drain-Gebiet des Zelltransistors (ZT) als auch das Tunnelfenster (TF) elektrisch anschließt.
3. Nichtflüchtige Halbleiter-Speicherzelle nach einem der Ansprüche 1 oder 2, dadurch gekennzeichnet, daß die Struktur der Schichtenfolge (CG + FG) beim Tunnelfensterbereich (TF) eine Verjüngung aufweist.
4. Nichtflüchtige Halbleiter-Speicherzelle nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß in dem Tunnelfenster (TF) unterhalb der Schichtenfolge (CG + FG) ein Tunnelgebiet (3) angeordnet ist, das mit dem gleichen Dotierstofftyp dotiert ist wie das Drain-Gebiet des Zelltransistors (ZT).
5. Nichtflüchtige Halbleiter-Speicherzelle nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß die Speicherschicht (FG) und die Steuerschicht (CG) durch eine dielektrische Schicht (DS) getrennt sind.
6. Nichtflüchtige Halbleiter-Speicherzelle nach Anspruch 4, dadurch gekennzeichnet, daß die dielektrische Schicht (DS) eine ONO-Schicht darstellt.
7. Nichtflüchtige Halbleiter-Speicherzelle nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet,

net, daß die Steuerschicht (CG) und die Speicherschicht (FG) eine Polysiliziumschicht darstellen.

Es folgen 4 Blatt Zeichnungen

FIG 1

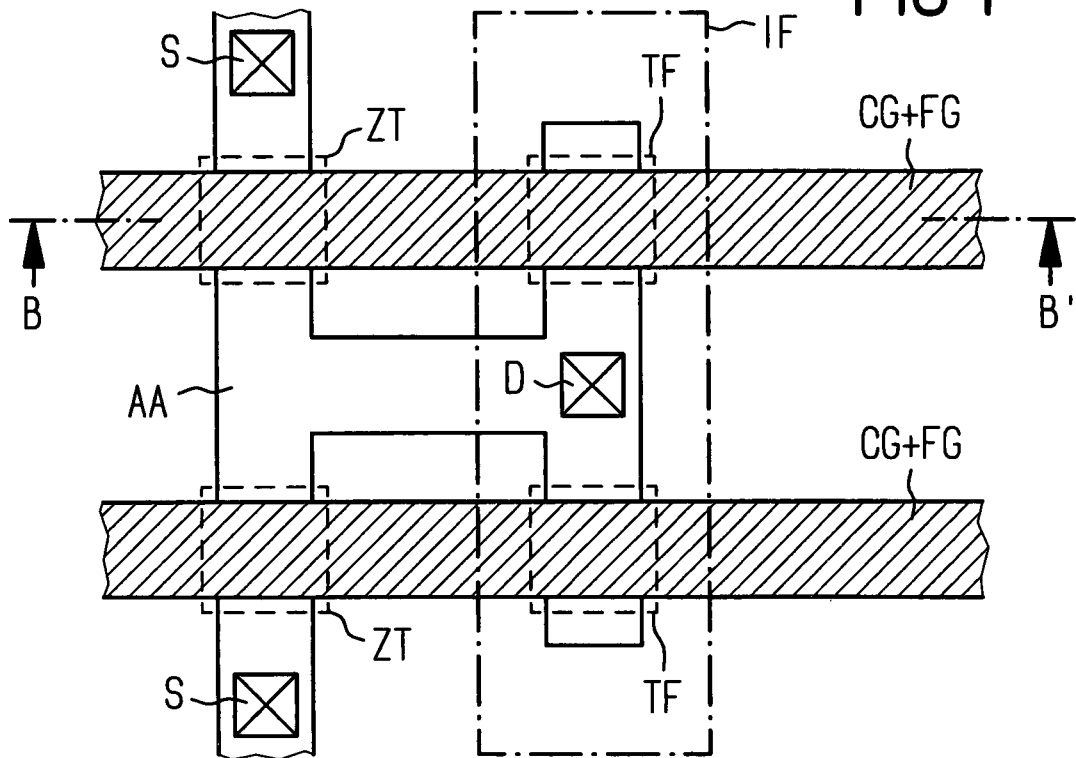


FIG 2

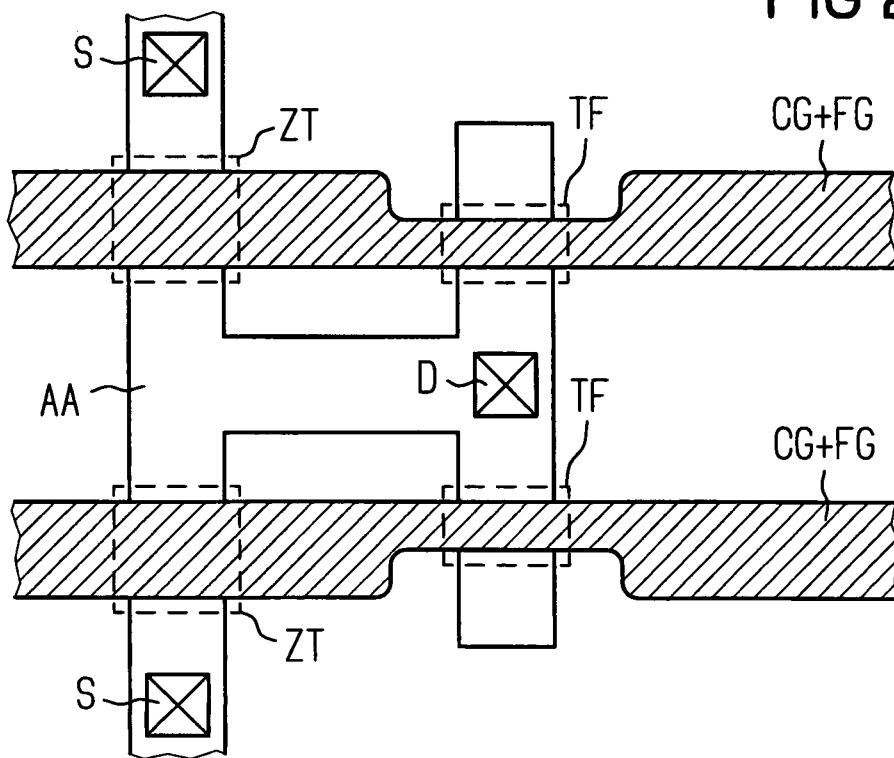


FIG 3

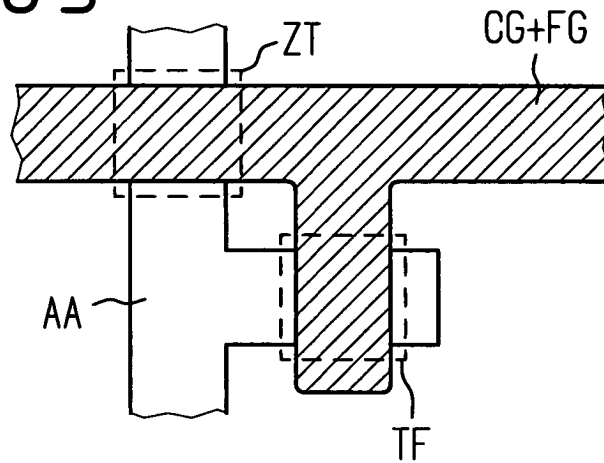


FIG 4

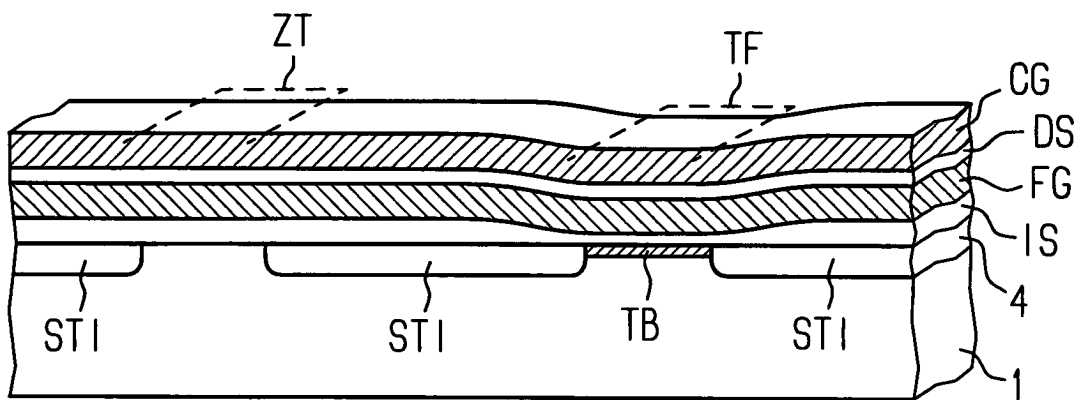


FIG 5A

Stand der Technik

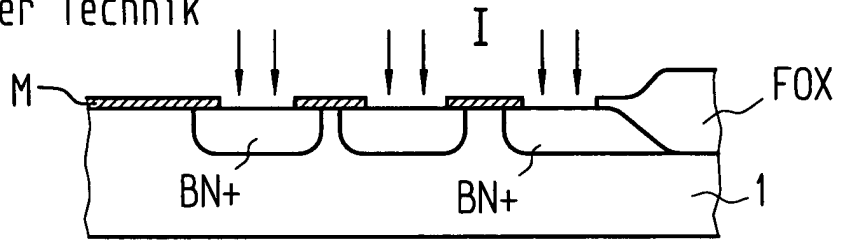


FIG 5B

Stand der Technik

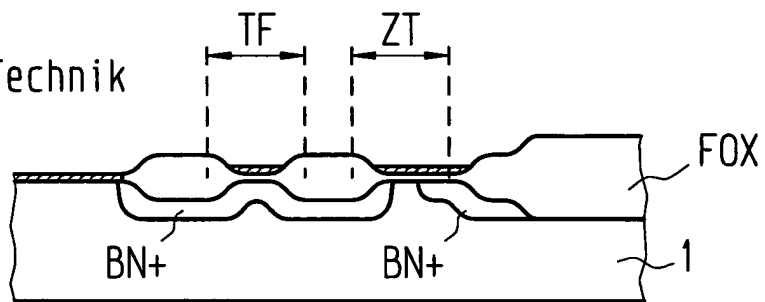


FIG 5C

Stand der Technik

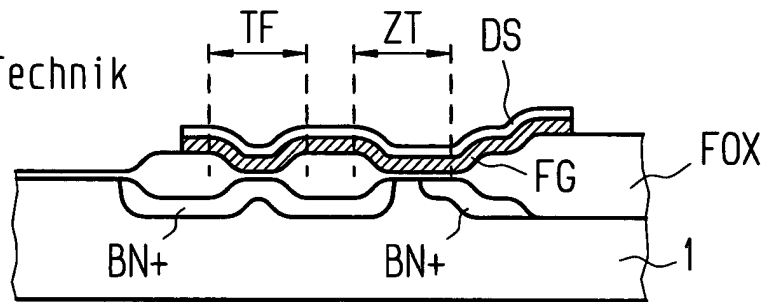


FIG 5D

Stand der Technik

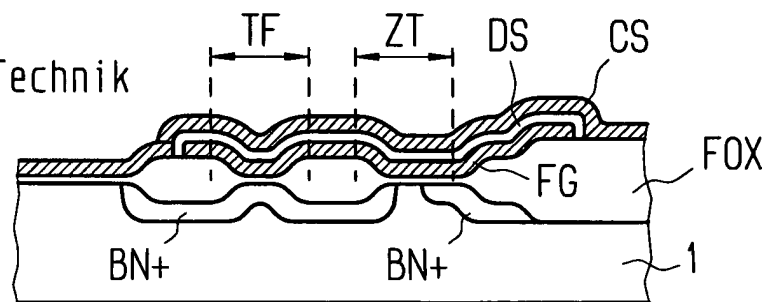


FIG 6

Stand der Technik

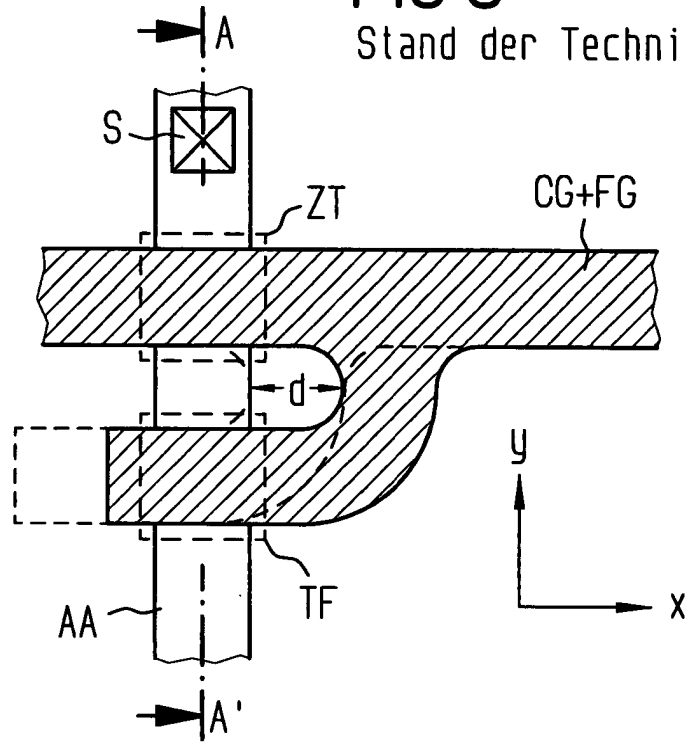


FIG 7

Stand der Technik

