

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-132155

(P2013-132155A)

(43) 公開日 平成25年7月4日(2013.7.4)

(51) Int.Cl.	F I	テーマコード (参考)
H O 2 M 7/48 (2007.01)	H O 2 M 7/48 Z	5 F 0 3 8
H O 1 L 21/822 (2006.01)	H O 1 L 27/04 H	5 F 0 4 8
H O 1 L 27/04 (2006.01)	H O 1 L 29/91 L	5 H 0 0 7
H O 1 L 29/861 (2006.01)	H O 1 L 27/06 1 O 2 A	
H O 1 L 29/868 (2006.01)		

審査請求 未請求 請求項の数 4 O L (全 7 頁) 最終頁に続く

(21) 出願番号	特願2011-280836 (P2011-280836)	(71) 出願人	000006013
(22) 出願日	平成23年12月22日 (2011.12.22)		三菱電機株式会社
			東京都千代田区丸の内二丁目7番3号
		(74) 代理人	100088672
			弁理士 吉竹 英俊
		(74) 代理人	100088845
			弁理士 有田 貴弘
		(72) 発明者	米山 玲
			東京都千代田区丸の内二丁目7番3号 三
			菱電機株式会社内
		(72) 発明者	岡部 浩之
			東京都千代田区丸の内二丁目7番3号 三
			菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 半導体モジュール

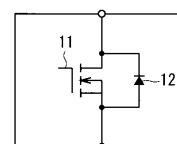
(57) 【要約】

【課題】 高い突入電流耐量を有する半導体モジュールの提供を目的とする。

【解決手段】 本発明に係る半導体モジュール10は、ワイドバンドギャップ半導体で構成されたスイッチング素子11と、スイッチング素子11に逆並列接続された還流ダイオード12とを備え、還流ダイオード12はシリコンで構成されかつ負の温度特性を有する。

【選択図】 図1

10



【特許請求の範囲】

【請求項 1】

ワイドバンドギャップ半導体で構成されたスイッチング素子と、
前記スイッチング素子に逆並列接続された還流ダイオードと、
を備え、
前記還流ダイオードはシリコンで構成されかつ負の温度特性を有する、
半導体モジュール。

【請求項 2】

前記還流ダイオードは P N ダイオード又は P i N ダイオードである、
請求項 1 に記載の半導体モジュール。

10

【請求項 3】

前記ワイドバンドギャップ半導体は、炭化珪素、窒化ガリウム系材料又はダイヤモンド
を含むことを特徴とする、
請求項 1 又は 2 に記載の半導体モジュール。

【請求項 4】

前記スイッチング素子と前記還流ダイオードの対を一つのパッケージ内に複数備える、
請求項 1 ～ 3 のいずれかに記載の半導体モジュール。

【発明の詳細な説明】

【技術分野】

【0001】

20

この発明は、ワイドバンドギャップ半導体によって構成されたスイッチング素子を含む
半導体モジュールに関する。

【背景技術】

【0002】

高耐圧、低損失および高耐熱を実現できる次世代のスイッチング素子として、炭化珪素
(S i C) を用いた半導体素子が有望視されており、インバータなどのパワー半導体モジ
ュールへの適用が期待されている。

【0003】

S i C などのワイドバンドギャップ半導体によって構成されたスイッチング素子を用い
た電流変換装置が、例えば特許文献 1 に提案されている。

30

【0004】

各スイッチング素子には、サージ電流による破壊を防ぐため、還流ダイオードが逆並列
に接続される。特許文献 2 には、還流ダイオードのショットキーバリアダイオードを S i
C 等のワイドバンドギャップ半導体で形成することによって、還流ダイオードのリカバリ
電流を小さくし、スイッチング損失の低減を図っている。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2 0 0 8 - 6 1 4 0 4 号公報

【特許文献 2】特開 2 0 1 0 - 2 5 2 5 6 8 号公報

40

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、特許文献 2 のように S i C 製のスイッチング素子の還流ダイオードとし
て S i C 製のショットキーバリアダイオード (S i C - S B D) を用いると、突入電流に
対する発生損失が大きくなるという問題があった。S i C - S B D は温度特性が正である
ため、大電流が流れて高温になると順方向電圧 V F が大きくなる。そのため、突入電流に
対する発生損失 (I F × V F) が大きくなる。発生損失の増大によってデバイスの温度が
上昇すると、電圧 V F が上昇し、V F の上昇によってさらに発生損失が上昇するという、
正帰還に陥ってしまう。

50

【0007】

このため、SiC製のスイッチング素子にSiC-SBDの還流ダイオードを用いたフルSiC構成の半導体モジュールでは、実際には許容損失以下で使用する必要があり、実使用上、動作温度範囲や突入電流値が制限されるという問題点があった。

【0008】

本発明は上述の問題点に鑑み、高い突入電流耐量を有する半導体モジュールの提供を目的とする。

【課題を解決するための手段】

【0009】

本発明に係る半導体モジュールは、ワイドバンドギャップ半導体で構成されたスイッチング素子と、スイッチング素子に逆並列接続された還流ダイオードとを備え、還流ダイオードはシリコンで構成されかつ負の温度特性を有する。

【発明の効果】

【0010】

本発明に係る半導体モジュールは、ワイドバンドギャップ半導体で構成されたスイッチング素子と、スイッチング素子に逆並列接続された還流ダイオードとを備え、還流ダイオードはシリコンで構成されかつ負の温度特性を有するので、突入電流に対して正帰還に至ることがなく、高い耐性を有する。

【図面の簡単な説明】

【0011】

【図1】実施の形態1に係る半導体モジュールの回路図である。

【図2】実施の形態1に係る半導体モジュールにおける還流ダイオードの温度特性を示す図である。

【図3】実施の形態2に係る半導体モジュールの回路図である。

【図4】前提技術に係る半導体モジュールの回路図である。

【図5】SiC製ショットキーバリアダイオードの温度特性を示す図である。

【図6】前提技術に係る半導体モジュールの回路図である。

【発明を実施するための形態】

【0012】

(A. 前提技術)

図4は、前提技術に係る半導体モジュール100の回路図である。半導体モジュール100は、SiC製のMOSFET101と、還流ダイオードとしてMOSFET101に逆並列接続された、SiC製のショットキーバリアダイオード(SiC-SBD)102とを備えている。

【0013】

SiC-SBD102のV-I特性の温度による変化を図5に示す。図5は、低温時のV-I特性と、高温時のV-I特性を示している。突入電流IFに対する順方向電圧VFは、低温時のVF1に対して高温時にはVF2まで増加する($V_{F1} < V_{F2}$)。このように、SiC-SBD102は正の温度特性を有している。

【0014】

図6は、複数の半導体モジュール100を用いたコンバーターの回路を示す。複数の半導体モジュール100がコンデンサ103に並列接続されている。電源投入時にコンデンサ103が充電される過渡状態において、突入電流が例えば図6に矢印で示す方向に流れる。コンデンサ103が大容量であるほど突入電流の値は大きい。大きい突入電流が流れることによってSiC-SBD102の温度が上昇すると、図5に示したようにVFが上昇するので発生損失 $I_F \times V_F$ が増大する。発生損失が増大すると、さらに温度が上昇してVFが大きくなり、VFが大きくなるとまた発生損失が増大するという、正帰還に至る。

【0015】

本発明の半導体モジュールでは上記の問題点を解決するため、還流ダイオードに正の温

10

20

30

40

50

度特性を有するデバイスを用いる構成を有する。

【0016】

(B. 実施の形態1)

< B-1. 構成、動作 >

図1は、実施の形態1の半導体モジュール10の回路図である。半導体モジュール10は、SiC製のMOSFET11と、MOSFET11に還流ダイオードとして逆並列接続されたSi製のPNダイオード12とを備える。

【0017】

PNダイオード12のV-I特性の温度による変化を図2に示す。図2は、低温時のV-I特性と、高温時のV-I特性を示している。所定の電流IFに対する順方向電圧VFは、低温時にVF1であったのが高温時にはVF2まで減少する($VF1 > VF2$)。このようにSi製のPNダイオード12は負の温度特性を有しているため、温度上昇と共にVFが低下する特性を有する。そのため、突入電流などの大電流が流れた場合には、PNダイオード12の温度が上昇すると共にVFが低下するため、発生損失($IF \times VF$)が抑制される。

10

【0018】

したがって、SiC製のMOSFET11の還流ダイオードに正の温度特性を有するSiC製のダイオードを用いた場合に比べて、半導体モジュール10の突入電流耐量を向上させることが出来る。

【0019】

20

< B-2. 変形例 >

なお、還流ダイオードとしてSi製のPNダイオード12を用いたが、還流ダイオードは負の温度特性を有していれば他のダイオードであっても良く、例えばSi製のPiNダイオードでも良い。PiNダイオードでは、PN接合の間にキャリア蓄積層を設けることによって、伝導度変調が発生し、PNダイオードよりもさらにVFを下げる事が可能である。そのため、PNダイオードを用いる場合よりもさらに半導体モジュールの突入電流耐量を向上することが可能である。また、動作時の発生損失を抑制し、低損失を実現できる。

【0020】

また、スイッチング素子としてのMOSFET11の材料はSiCに限らず、窒化ガリウム系材料やダイヤモンドなどの他のワイドバンドギャップ半導体であっても良い。

30

【0021】

< B-3. 効果 >

本発明に係る半導体モジュールによれば、以下の効果を奏する。すなわち、本発明に係る半導体モジュール10は、ワイドバンドギャップ半導体で構成されたMOSFET11(スイッチング素子)と、スイッチング素子に逆並列接続されたPNダイオード12(還流ダイオード)とを備え、還流ダイオードはシリコンで構成されかつ負の温度特性を有するので、突入電流に対して正帰還に至ることがなく、高い耐性を有する。

【0022】

また、還流ダイオードとして、負の温度特性を有するシリコンで構成されたPNダイオードやPiNダイオードを用いることにより、突入電流に対して正帰還に至ることがなく、高い耐性を有する。

40

【0023】

また、MOSFET11を構成するワイドバンドギャップ半導体は、SiCの他、窒化ガリウム系材料やダイヤモンドを含むので、これらワイドバンドギャップ半導体で構成されたスイッチング素子の半導体モジュールにおいて、突入電流に対する耐性を高めることが出来る。

【0024】

(C. 実施の形態2)

< C-1. 構成、動作 >

50

図 3 は、実施の形態 2 に係る半導体モジュール 20 の回路図である。半導体モジュール 20 では、電源接続端子間に 2 つの半導体モジュール 10 が直列接続され、さらにそれらが 3 相負荷に対応して 3 並列接続されている。このように 1 つのパッケージ内に、実施の形態 1 の半導体モジュール 10 を複数集約することにより、半導体モジュールの小型化が可能となる。

【0025】

< C - 2 . 効果 >

本実施の形態の半導体モジュールは、実施の形態 1 のスイッチング素子 11 と還流ダイオード 12 の対を一つのパッケージ内に複数備えるので、半導体モジュールの小型化が可能となる。

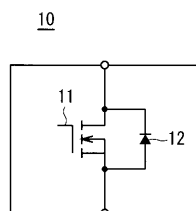
【符号の説明】

【0026】

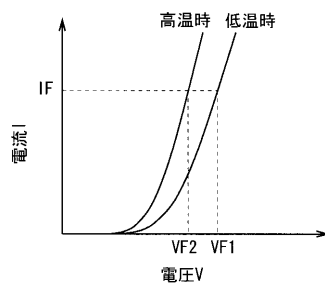
10, 20, 100 半導体モジュール、11, 101 MOSFET、12, 102 PN ダイオード。

10

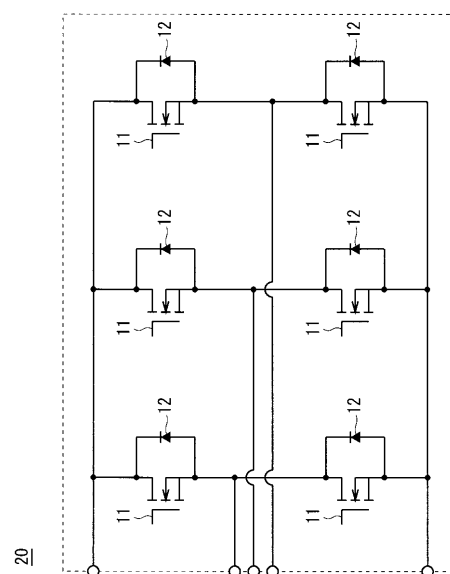
【図 1】



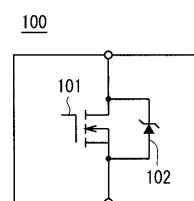
【図 2】



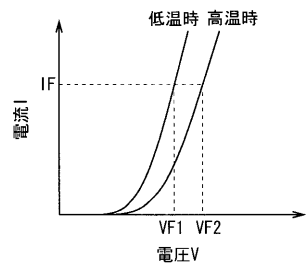
【図 3】



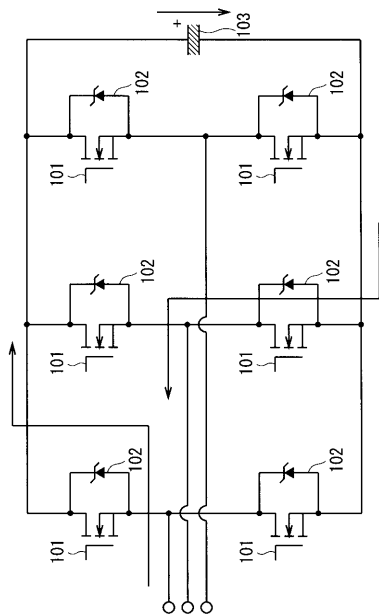
【図 4】



【図 5】



【図 6】



フロントページの続き

(51)Int.Cl. F I テーマコード (参考)
H 0 1 L 21/8234 (2006.01)
H 0 1 L 27/06 (2006.01)

(72)発明者 井上 貴公
東京都千代田区丸の内二丁目 7 番 3 号 三菱電機株式会社内
(72)発明者 酒井 伸次
東京都千代田区丸の内二丁目 7 番 3 号 三菱電機株式会社内

F ターム (参考) 5F038 BH04 BH16 EZ02 EZ07 EZ20
5F048 AB07 AB10 AC10 BA14
5H007 CA02 CB05 CC23 HA03 HA04