

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6211971号  
(P6211971)

(45) 発行日 平成29年10月11日 (2017.10.11)

(24) 登録日 平成29年9月22日 (2017.9.22)

(51) Int.Cl.

F I

G O 1 R 31/28 (2006.01)

G O 1 R 31/28 V

H O 1 L 21/822 (2006.01)

H O 1 L 27/04 T

H O 1 L 27/04 (2006.01)

請求項の数 12 (全 17 頁)

(21) 出願番号 特願2014-63880 (P2014-63880)  
 (22) 出願日 平成26年3月26日 (2014.3.26)  
 (65) 公開番号 特開2015-184265 (P2015-184265A)  
 (43) 公開日 平成27年10月22日 (2015.10.22)  
 審査請求日 平成28年12月8日 (2016.12.8)

(73) 特許権者 303046277  
 旭化成エレクトロニクス株式会社  
 東京都千代田区神田神保町一丁目105番地  
 (74) 代理人 100066980  
 弁理士 森 哲也  
 (74) 代理人 100103850  
 弁理士 田中 秀▲てつ▼  
 (72) 発明者 深瀬 智史  
 神奈川県厚木市岡田3050番地 旭化成  
 エレクトロニクス株式会社内

審査官 續山 浩二

最終頁に続く

(54) 【発明の名称】 半導体テスト回路及びICチップ

(57) 【特許請求の範囲】

【請求項1】

デジタル回路の故障検知を行うテストモードを有する半導体テスト回路において、  
 スキャンイネーブル信号に基づいて、通常動作とスキャンデータ信号が入力されるシフトレジスタを構成するスキャン動作とを選択する選択回路を有する複数のフリップフロップ(12a~12c)と、

前記スキャンデータ信号が入力されて前記複数のフリップフロップへ出力する組み合わせ回路(11)と、

前記スキャンデータ信号が入力されて前記スキャンイネーブル信号を出力するカウンタ(13)と、

を備える半導体テスト回路。

【請求項2】

前記スキャンデータ信号は、前記複数のフリップフロップがスキャンクロックに同期して取り込むデータ信号と、前記複数のフリップフロップに入力されるスキャンクロックが配されない区間に配されるカウンタ制御信号と、を有し、

前記カウンタにおいて、前記カウンタ制御信号により、前記スキャンイネーブル信号が制御される請求項1に記載の半導体テスト回路。

【請求項3】

前記スキャンデータ信号は、前記複数のフリップフロップがスキャンクロックに同期して取り込むデータ信号と、前記複数のフリップフロップに入力されるスキャンクロックが

配されない区間に配されるカウンタ制御信号と、を有し、

前記カウンタにおいて、前記カウンタ制御信号により、前記スキャンイネーブル信号が立ち上がる又は立ち下がる請求項 1 又は 2 に記載の半導体テスト回路。

【請求項 4】

前記カウンタは、前記スキャンデータ信号と前記スキャンクロック信号が入力され、状態遷移するカウンタである請求項 2 又は 3 に記載の半導体テスト回路。

【請求項 5】

前記カウンタは、少なくとも 4 つの状態を遷移し、

前記データ信号と前記スキャンクロック信号により、第 1 の状態と第 2 の状態の遷移を繰り返し、また、第 3 の状態と第 4 の状態の遷移を繰り返し、

前記カウンタ制御信号により、前記第 1 の状態又は前記第 2 の状態から、前記第 3 の状態又は第 4 の状態への遷移、または、前記第 3 の状態又は前記第 4 の状態から、前記第 1 の状態又は第 2 の状態への遷移を行い、

前記第 1 の状態又は前記第 2 の状態に対応するカウント値が通常動作に対応する前記イネーブル信号であり、前記第 3 の状態又は前記第 4 の状態に対応するカウント値がスキャン動作に対応する前記イネーブル信号である請求項 4 に記載の半導体テスト回路。

【請求項 6】

前記カウンタは、前記スキャンクロック信号により、第 1 の状態又は第 2 の状態から第 1 の状態へリセットする遷移を行い、及び、第 3 の状態又は第 4 の状態から第 3 の状態へリセットする遷移を行う請求項 5 に記載の半導体テスト回路。

【請求項 7】

前記カウンタは、2 b i t バイナリカウンタであり、

前記スキャンイネーブル信号は、前記カウンタのカウント値の M S B 又は L S B である請求項 1 ~ 6 のいずれか一項に記載の半導体テスト回路。

【請求項 8】

複数のフリップフロップと組み合わせ回路とを有するデジタルブロックを、スキャンクロックと、スキャンデータ信号と、スキャンイネーブル信号と、によりスキャンテストを行う I C チップであって、

スキャンクロックが入力される第 1 の P A D ( S C A N C L K ) と、

スキャンデータ信号が入力される第 2 の P A D ( S C A N I N ) と、

前記第 2 の P A D に接続され、前記スキャンデータ信号から前記スキャンイネーブル信号を出力するカウンタと、  
を備える I C チップ。

【請求項 9】

前記カウンタのクロックラインに、前記第 2 の P A D が接続され、

前記カウンタの第 1 のリセットラインに、前記第 1 の P A D が論理素子を介して接続される請求項 8 に記載の I C チップ。

【請求項 10】

前記スキャンデータ信号は、前記複数のフリップフロップがスキャンクロックに同期して取り込むデータ信号と、前記複数のフリップフロップに入力されるスキャンクロックが配されない区間に配されるパルス信号と、を有する請求項 8 又は 9 に記載の I C チップ。

【請求項 11】

前記データ信号を前記複数のフリップフロップに、前記スキャンクロックに同期して設定するために順次データが入力された後、次にスキャンクロックが配されるまでの間に、前記パルス信号が配される請求項 10 に記載の I C チップ。

【請求項 12】

前記次のスキャンクロックが配された後、別のデータ信号を前記複数のフリップフロップに、前記スキャンクロックに同期して設定するために順次データが入力されるまでの間に、前記パルス信号が配される請求項 11 に記載の I C チップ。

【発明の詳細な説明】

10

20

30

40

50

## 【技術分野】

## 【0001】

本発明は、半導体テスト回路及びＩＣチップに関し、より詳細には、スキャンデータが入力されるＳＣＡＮＩＮとスキャンイネーブル信号が入力されるＳＣＡＮＥＮＢを、同一ピンとした半導体テスト回路及びＩＣチップに関する。

## 【背景技術】

## 【0002】

ＬＳＩ（Ｌａｒｇｅ Ｓｃａｌｅ Ｉｎｔｅｇｒａｔｉｏｎ；大規模集積回路）のデジタルブロックは、一般に組み合わせ回路とＦｌｉｐ Ｆｌｏｐ（ＦＦ）による順序回路から構成されている。

10

図１は、一般的なＬＳＩ回路の例を示す回路構成図である。入力ピンＤＡＴＡＩＮと、出力ピンＤＡＴＡＯＵＴと、ＦＦのリセット用ピンＲＳＴと、ＦＦのＣＬＫ用ピンＳｙｓｔｅｍＣＬＫをピンとして有している。ＦＦ<sub>A</sub> 2 a、ＦＦ<sub>B</sub> 2 b、ＦＦ<sub>C</sub> 2 cは、ＳｙｓｔｅｍＣＬＫで動作するＦＦである。それぞれのＦＦの入力Ｄ<sub>A</sub>、Ｄ<sub>B</sub>、Ｄ<sub>C</sub>は、組み合わせ回路１の出力Ｏ<sub>A</sub>、Ｏ<sub>B</sub>、Ｏ<sub>C</sub>と接続し、ＦＦの出力Ｑ<sub>A</sub>、Ｑ<sub>B</sub>、Ｑ<sub>C</sub>とＤＡＴＡＩＮピンは組み合わせ回路の入力ＩＮ<sub>A</sub>、ＩＮ<sub>B</sub>、ＩＮ<sub>C</sub>、ＩＮ<sub>D</sub>に接続されるように構成された回路である。

## 【0003】

一般に、ＬＳＩのテストは、回路中の全ＦＦをＭＵＸ付きのＦＦに置き換え、そのＭＵＸのセレクト信号により全ＦＦをシフトレジスタ回路にする「ＳＣＡＮ動作」を出来るようにしている。これをＳＡＣＮ化という。

20

ＳＣＡＮ化された回路は、ＳＣＡＮ動作により、回路中の任意のノードに任意の値を設定できる制御と（ｃｏｎｔｒｏｌ）、回路中の任意のノードの値を出力できる（ｏｂｓｅｒｖｅ）観測が自由となる。つまり、回路中の組み合わせ回路等に自由な値を設定し、その出力をモニタすることによって、故障検出率の高いテストを行うことができる。

## 【0004】

このＳＣＡＮテストを行うためには、例えば、以下の外部入力ピンを必要とする。

ＳＣＡＮＩＮ：ＳＣＡＮデータの入力ピン

ＳＣＡＮＥＮＢ：ＳＣＡＮパスと通常パスを切り替える入力ピン

ＳＣＡＮＣＬＫ：ＳＣＡＮ回路のＣＬＫ

30

ＳＣＡＮＯＵＴ：ＳＣＡＮ回路の出力ピン

ＳＣＡＮＲＳＴ：ＳＣＡＮ回路のリセットピン

ＴＥＳＴＭＯＤＥ：ＳＣＡＮテストの許可ピン

## 【0005】

図２は、図１に示したＳＣＡＮ化した回路構成図で、ＳＣＡＮテストを可能にした回路構成図である。入力ピンＳＣＡＮＩＮと、出力ピンＳＣＡＮＯＵＴと、ＦＦのリセット用ピンＳＣＡＮＲＳＴと、ＦＦの通常ＣＬＫ用ピンＳｙｓｔｅｍＣＬＫと、ＦＦのＳＣＡＮテストＣＬＫ用ピンＳＣＡＮＣＬＫと、ＳＣＡＮパスと通常パスの切り替えピンＳＣＡＮＥＮＢと、ＳＣＡＮテストの許可ピンＴＥＴＳＭＯＤＥをピンとして有している。組み合わせ回路１は、図１と同様である。

40

## 【0006】

全ＦＦは、図１からＭＵＸ付のＦＦに変わり、そのセレクト信号はＳＣＡＮＥＮＢとＴＥＴＳＭＯＤＥのＡＮＤ出力となる。このＡＮＤ１はＴＥＴＳＭＯＤＥが０のとき、つまり、ＳＣＡＮテストモードではないときに、ＦＦの入力が誤選択されないように保護するためである。以下、ＴＥＴＳＭＯＤＥが１のときを考えると、ＦＦのセレクトは、ＳＣＡＮＥＮＢが０のときは、図１と同様のパスとなり、ＳＣＡＮＥＮＢが１のときは、全ＦＦがＳＣＡＮＩＮからＳＣＡＮＯＵＴまでのシフトレジスタとして動作する。

## 【0007】

図３は、図２に示した回路における一般的なＳＣＡＮテスト動作について説明するためのタイミングチャートを示す図である。前提としてＴＥＴＳＭＯＤＥは１とする。

50

- ( 1 ) ; S C A N E N B を 1 にして全 F F を S C A N 動作可能にする。  
 ( 2 ) ; 全 F F に所望の値を S C A N 動作によりセットする ( 図 3 では F F <sub>A</sub>、 ; F F <sub>B</sub>、 F F <sub>B</sub> にそれぞれ D <sub>A 1</sub>、 D <sub>B 1</sub>、 D <sub>C 1</sub> をセットしている )。  
 ( 3 ) ; S C A N E N B を 0 にして通常パスに戻す。  
 ( 4 ) ; S C A N C L K から 1 C L K 入力し、通常パスの出力 ( = 組み合わせ回路の出力 ) を各 F F に取り込む ( 図 3 では F F <sub>A</sub>、 F F <sub>B</sub>、 F F <sub>B</sub> にそれぞれ組み合わせ回路出力の O <sub>A 1</sub>、 O <sub>B 1</sub>、 O <sub>C 1</sub> が取り込まれる )。  
 ( 5 ) ; S C A N E N B を 1 にして全 F F を S C A N 動作可能にする。  
 ( 6 ) ; S C A N C L K を入力して全 F F の値 ( O <sub>A 1</sub>、 O <sub>B 1</sub>、 O <sub>C 1</sub> ) を S C A N O U T から出力しモニタする ( この際同時に全 F F に次の所望の値 D <sub>A 2</sub>、 D <sub>B 2</sub>、 D <sub>C 2</sub> をセットする )。  
 ( 7 ) ; 上記 ( 3 ) ~ ( 6 ) を繰り返す。

以上が一般的なスキャン化した回路のテスト動作である。

#### 【 0 0 0 8 】

例えば、特許文献 1 では、ピン数の少ない L S I でも S C A N テストを可能にするために、 S C A N I N と S C A N E N B を共通化する方法を提案している。

図 4 は、特許文献 1 に記載されている S C A N テストを可能にした回路構成図である。以下のような特徴を有している。

S C A N 回路は S C A N C L K の正転信号を C L K とする。

S C A N I N をデータ、 S C A N C L K の反転信号を C L K 入力とした F F である F F <sub>E N B</sub> 3 の出力を S C A N E N B とする。

#### 【 0 0 0 9 】

図 5 は、図 4 に示した S C A N テスト動作を説明するためのタイミングチャートを示す図である。前提として T E S T M O D E は 1 とする。

- ( 1 ) ; S C A N C L K が 1 のときに S C A N I N を 1 にする。  
 ( 2 ) ; S C A N C L K の立ち下がり E d g e で S C A N I N から S C A N E N B 用 F F である F F <sub>E N B</sub> に 1 を取り込むことで S C A N 動作を可能にする。  
 ( 3 ) ; S C A N C L K が 0 のときに S C A N I N を所望の値にする。  
 ( 4 ) ; S C A N C L K の立ち上がり E d g e で S C A N I N から S C A N 化された F F <sub>A</sub> に所望の値を取り込む ( 図 5 では F F <sub>A</sub> に D <sub>C 1</sub> をセットしている )。  
 ( 5 ) ; S C A N C L K が 1 のときに S C A N I N を 1 にする。

#### 【 0 0 1 0 】

- ( 6 ) ; S C A N C L K の立ち下がり E d g e で S C A N I N から S C A N E N B 用 F F である F F <sub>E N B</sub> に 1 を取り込むことで引き続き S C A N 動作を可能にする。  
 ( 7 ) ; 上記 ( 3 ) ~ ( 6 ) を繰り返し全 F F に所望の値をセットする ( 図 5 では F F <sub>A</sub>、 F F <sub>B</sub>、 F F <sub>B</sub> にそれぞれ D <sub>A 1</sub>、 D <sub>B 1</sub>、 D <sub>C 1</sub> をセットしている )。  
 ( 8 ) ; S C A N C L K が 1 のときに S C A N I N を 0 にする。  
 ( 9 ) ; S C A N C L K の立ち下がり E d g e で S C A N I N から S C A N E N B 用 F F である F F <sub>E N B</sub> に 0 を取り込むことで通常パスに戻す。  
 ( 1 0 ) S C A N C L K の立ち上がり E d g e で、通常パスの出力 ( = 組み合わせ回路の出力 ) を各 F F に取り込む ( 図 5 では F F <sub>A</sub>、 F F <sub>B</sub>、 F F <sub>B</sub> にそれぞれ組み合わせ回路出力の O <sub>A 1</sub>、 O <sub>B 1</sub>、 O <sub>C 1</sub> が取り込まれる )。

#### 【 0 0 1 1 】

- ( 1 1 ) ; S C A N C L K が 1 のときに S C A N I N を 1 にする。  
 ( 1 2 ) ; S C A N C L K の立ち下がり E d g e で S C A N I N から S C A N E N B 用 F F である F F <sub>E N B</sub> に 1 を取り込むことで S C A N 動作を可能にする。  
 ( 1 3 ) ; S C A N C L K を入力して全 F F の値 ( O <sub>A 1</sub>、 O <sub>B 1</sub>、 O <sub>C 1</sub> ) を S C A N O U T から出力しモニタする ( この際同時に全 F F に次の所望の値 D <sub>A 2</sub>、 D <sub>B 2</sub>、 D <sub>C 2</sub> をセットする。 S C A N E N B は 1 のままになるようにしておく )。  
 ( 1 4 ) ; 上記 ( 8 ) ~ ( 1 2 ) を繰り返す。

10

20

30

40

50

## 【先行技術文献】

## 【特許文献】

## 【0012】

【特許文献1】米国特許第7380185号明細書

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0013】

上述した特許文献1により、SCANINとSCANENBを共用してSCANテストが可能になる。しかし、通常のSCANテストでは、SCAN回路は、SCANCLKの立ち上がりと立下りEdgeで動作するFFが混在してもよいが、上述した従来の手法では、SCANENBは、SCANCLKの立下りEdgeで生成するため、SCAN回路は、必ずSCANCLKの立ち上がりEdgeで動作する必要がある、設計の自由度がない。また、立ち上がりEdge(SCAN用)と立下りEdge(SCANENB用)のFFが混在しているため、それぞれのFFのセットアップタイムとホールドタイムを確保する必要があり、SCANCLK周波数を上げることができず、テスト時間の短縮ができない。

10

本発明は、このような問題に鑑みてなされたもので、その目的とするところは、設計の自由度が高く、また、テスト時間が短い半導体テスト回路及びICチップを提供することにある。

## 【課題を解決するための手段】

20

## 【0014】

本発明は、このような目的を達成するためになされたもので、請求項1に記載の発明は、デジタル回路の故障検知を行うテストモードを有する半導体テスト回路において、スキャンイネーブル信号に基づいて、通常動作とスキャンデータ信号が入力されるシフトレジスタを構成するスキャン動作とを選択する選択回路を有する複数のフリップフロップ(12a~12c)と、前記スキャンデータ信号が入力されて前記複数のフリップフロップへ出力する組み合わせ回路(11)と、前記スキャンデータ信号が入力されて前記スキャンイネーブル信号を出力するカウンタ(13)と、を備えることを特徴とする。

## 【0015】

また、請求項2に記載の発明は、請求項1に記載の発明において、前記スキャンデータ信号は、前記複数のフリップフロップがスキャンクロックに同期して取り込むデータ信号と、前記複数のフリップフロップに入力されるスキャンクロックが配されない区間に配されるカウンタ制御信号と、を有し、前記カウンタにおいて、前記カウンタ制御信号により、前記スキャンイネーブル信号が制御されることを特徴とする。

30

また、請求項3に記載の発明は、請求項1又は2に記載の発明において、前記スキャンデータ信号は、前記複数のフリップフロップがスキャンクロックに同期して取り込むデータ信号と、前記複数のフリップフロップに入力されるスキャンクロックが配されない区間に配されるカウンタ制御信号と、を有し、前記カウンタにおいて、前記カウンタ制御信号により、前記スキャンイネーブル信号が立ち上がる又は立ち下がることを特徴とする。

## 【0016】

40

また、請求項4に記載の発明は、請求項2又は3に記載の発明において、前記カウンタは、前記スキャンデータ信号と前記スキャンクロック信号が入力され、状態遷移するカウンタであることを特徴とする。

また、請求項5に記載の発明は、請求項4に記載の発明において、前記カウンタは、少なくとも4つの状態を遷移し、前記データ信号と前記スキャンクロック信号により、第1の状態と第2の状態の遷移を繰り返し、また、第3の状態と第4の状態の遷移を繰り返し、前記カウンタ制御信号により、前記第1の状態又は前記第2の状態から、前記第3の状態又は第4の状態への遷移、または、前記第3の状態又は前記第4の状態から、前記第1の状態又は第2の状態への遷移を行い、前記第1の状態又は前記第2の状態に対応するカウント値が通常動作に対応する前記イネーブル信号であり、前記第3の状態又は前記第4

50

の状態に対応するカウント値がスキャン動作に対応する前記イネーブル信号であることを特徴とする。

【 0 0 1 7 】

また、請求項 6 に記載の発明は、請求項 5 に記載の発明において、前記カウンタは、前記スキャンクロック信号により、第 1 の状態又は第 2 の状態から第 1 の状態へリセットする遷移を行い、及び、第 3 の状態又は第 4 の状態から第 3 の状態へリセットする遷移を行うことを特徴とする。

また、請求項 7 に記載の発明は、請求項 1 ～ 6 のいずれか一項に記載の発明において、前記カウンタは、2 b i t バイナリカウンタであり、前記スキャンイネーブル信号は、前記カウンタのカウント値の M S B 又は L S B であることを特徴とする。

10

【 0 0 1 8 】

また、請求項 8 に記載の発明は、複数のフリップフロップと組み合わせ回路とを有するデジタルブロックを、スキャンクロックと、スキャンデータ信号と、スキャンイネーブル信号と、によりスキャンテストを行う I C チップであって、スキャンクロックが入力される第 1 の P A D ( S C A N C L K ) と、スキャンデータ信号が入力される第 2 の P A D ( S C A N I N ) と、前記第 2 の P A D に接続され、前記スキャンデータ信号から前記スキャンイネーブル信号を出力するカウンタと、を備えることを特徴とする。

【 0 0 1 9 】

また、請求項 9 に記載の発明は、請求項 8 に記載の発明において、前記カウンタのクロックラインに、前記第 2 の P A D が接続され、前記カウンタの第 1 のリセットラインに、前記第 1 の P A D が論理素子を介して接続されることを特徴とする。

20

また、請求項 1 0 に記載の発明は、請求項 8 又は 9 に記載の発明において、前記スキャンデータ信号は、前記複数のフリップフロップがスキャンクロックに同期して取り込むデータ信号と、前記複数のフリップフロップに入力されるスキャンクロックが配されない区間に配されるパルス信号と、を有することを特徴とする。

【 0 0 2 0 】

また、請求項 1 1 に記載の発明は、請求項 1 0 に記載の発明において、前記データ信号を前記複数のフリップフロップに、前記スキャンクロックに同期して設定するために順次データが入力された後、次にスキャンクロックが配されるまでの間に、前記パルス信号が配されることを特徴とする。

30

また、請求項 1 2 に記載の発明は、請求項 1 1 に記載の発明において、前記次のスキャンクロックが配された後、別のデータ信号を前記複数のフリップフロップに、前記スキャンクロックに同期して設定するために順次データが入力されるまでの間に、前記パルス信号が配されることを特徴とする。

【発明の効果】

【 0 0 2 1 】

本発明によれば、ピン数を削減したうえで、設計の自由度が高く、また、テスト時間が短い半導体テスト回路及び I C チップを実現することができる。

【図面の簡単な説明】

【 0 0 2 2 】

40

【図 1】一般的な L S I 回路の例を示す回路構成図である。

【図 2】図 1 に示した S C A N 化した回路構成図である。

【図 3】図 2 に示した回路における一般的な S C A N テスト動作について説明するためのタイミングチャートを示す図である。

【図 4】特許文献 1 に記載されている S C A N テストを可能にした回路構成図である。

【図 5】図 4 に示した S C A N テスト動作を説明するためのタイミングチャートを示す図である。

【図 6】本発明に係るシフトレジスタ回路の回路構成図である。

【図 7】図 6 に示したシフトレジスタ回路の動作を説明するためのタイミングチャートを示す図である。

50

【図 8】本発明に係る半導体テスト回路の実施例 1 を説明するための回路構成図である。

【図 9】図 8 に示したカウンタの状態遷移図である。

【図 10】図 8 に示した S C A N テスト動作を説明するためのタイミングチャートを示す図である。

【図 11】本発明に係る半導体テスト回路の実施例 2 を説明するための回路構成図である。

【図 12】図 11 に示したカウンタの状態遷移図である。

【図 13】図 11 に示した S C A N テスト動作を説明するためのタイミングチャートを示す図である。

【図 14】本発明に係る半導体テスト回路の実施例 3 を説明するための回路構成図である。

【図 15】図 14 に示したカウンタの状態遷移図である。

【図 16】図 14 に示した S C A N テスト動作を説明するためのタイミングチャートを示す図である。

【発明を実施するための形態】

【0023】

以下、図面を参照して本発明の実施の形態について説明する。

図 6 は、本発明に係るシフトレジスタ回路の回路構成図で、図 7 は、図 6 に示したシフトレジスタ回路の動作を説明するためのタイミングチャートを示す図である。図中符号 12 a , 12 b , 12 c は第 1 乃至第 3 のフリップフロップ ( F F <sub>A</sub>、F F <sub>B</sub>、F F <sub>C</sub> ) を示している。

本実施形態の半導体テスト回路は、S C A N I N を C L K とするカウンタを用いて、そのカウンタ値を S C A N E N B とすることにより、S C A N I N と S C A N E N B を同一ピンで制御できるため、ピン数の削減ができることを特徴とする。また、カウンタを用いることで、設計の自由度が高く、また、テスト時間が短いテストが可能となる。

【0024】

[実施形態]

本実施形態は、S C A N I N と S C A N E N B を共用するために、S C A N E N B を S C A N C L K ではなく S C A N I N を C L K としたカウンタの値とすることの特徴とする。

以下に、基本原理について説明する。

S C A N 動作は、S C A N C L K の E d g e で S C A N I N を取り込みシフトレジスタ動作する。図 6 及び図 7 に示すように、S C A N C L K の E d g e 以外では、S C A N I N は、どのように変化しても F F に取り込む値は変わらない。よって、S C A N C L K の E d g e の前に S C A N I N にパルスが発生させ、その S C A N I N を C L K とするカウンタを用意し、そのカウンタ値をもって S C A N E N B を生成する。

【実施例 1】

【0025】

図 8 は、本発明に係る半導体テスト回路の実施例 1 を説明するための回路構成図で、S C A N I N と S C A N E N B とを共通化した S C A N テストを可能にした回路構成図である。図中符号 11 は組み合わせ回路、13 はカウンタを示している。なお、図 6 と同じ機能を有する構成要素には同一に符号を付してある。

本発明の半導体テスト回路は、デジタル回路の故障検知を行うテストモードを有する半導体テスト回路である。

複数のフリップフロップ 12 a ~ 12 c は、スキャンイネーブル信号に基づいて、通常動作とスキャンデータ信号が入力されるシフトレジスタを構成するスキャン動作とを選択する選択回路を有する。

【0026】

組み合わせ回路 11 は、スキャンデータ信号が入力されて複数のフリップフロップへ出力する。カウンタ 13 は、スキャンデータ信号が入力されてスキャンイネーブル信号を出

10

20

30

40

50

力する。

また、スキャンデータ信号は、複数のフリップフロップがスキャンクロックに同期して取り込むデータ信号と、複数のフリップフロップに入力されるスキャンクロックが配されない区間に配されるカウンタ制御信号と、を有し、カウンタにおいて、カウンタ制御信号により、スキャンイネーブル信号が制御される。

【 0 0 2 7 】

また、スキャンデータ信号は、複数のフリップフロップがスキャンクロックに同期して取り込むデータ信号と、複数のフリップフロップに入力されるスキャンクロックが配されない区間に配されるカウンタ制御信号と、を有し、カウンタにおいて、カウンタ制御信号により、スキャンイネーブル信号が立ち上がる又は立ち下がる。

10

また、カウンタ 1 3 は、スキャンデータ信号とスキャンクロック信号が入力され、状態遷移するカウンタである。

また、カウンタ 1 3 は、少なくとも 4 つの状態を遷移し、データ信号とスキャンクロック信号により、第 1 の状態と第 2 の状態の遷移を繰り返し、また、第 3 の状態と第 4 の状態の遷移を繰り返し、カウンタ制御信号により、第 1 の状態又は第 2 の状態から、第 3 の状態又は第 4 の状態への遷移、または、第 3 の状態又は第 4 の状態から、第 1 の状態又は第 2 の状態への遷移を行い、第 1 の状態又は第 2 の状態に対応するカウント値が通常動作に対応するイネーブル信号であり、第 3 の状態又は第 4 の状態に対応するカウント値がスキャン動作に対応するイネーブル信号である。

【 0 0 2 8 】

20

また、カウンタ 1 3 は、スキャンクロック信号により、第 1 の状態又は第 2 の状態から第 1 の状態へリセットする遷移を行い、及び、第 3 の状態又は第 4 の状態から第 3 の状態へリセットする遷移を行う。

また、カウンタ 1 3 は、2 b i t バイナリカウンタであり、スキャンイネーブル信号は、カウンタのカウント値の M S B ( 最上位ビット ) である。なお、L S B ( 最下位ビット ) をスキャンイネーブル信号とする構成であってもよい。

S C A N 回路が、S C A N C L K の立ち上がり E d g e で動作するときの新回路の例を図 8 に示している。S C A N E N B を、S C A N I N を C L K としたカウンタの出力とするように構成する。

【 0 0 2 9 】

30

図 9 は、図 8 に示したカウンタの状態遷移図である。S C A N C L K が 0 のとき、S C A N I N の立ち上がり E d g e で 2 進数表記で 0 0 0 1 1 0 1 1 0 0 ... と動作する 2 b i t バイナリカウンタであり、その M S B を S C A N E N B として構成する。つまり、カウンタが 2 進数表記で 0 0 , 0 1 の時は、S C A N E N B が 0 に、カウンタが 2 進数表記で 1 0 , 1 1 のときは、S C A N E N B が 1 となる。また、S C A N C L K が 1 のときは、カウンタの L S B が 0 になるようにリセットさせる。

図 1 0 は、図 8 に示した S C A N テスト動作を説明するためのタイミングチャートを示す図である。

【 0 0 3 0 】

( 1 ) ; S C A N C L K が 0 のときに S C A N I N から 2 発パルスを入れることでカウンタを 2 進数表記で 0 0 0 1 1 0 とし、S C A N E N B を 1 にして全 F F を S C A N 動作可能にする。

40

( 2 ) ; S C A N C L K が 0 のときに S C A N I N を所望の 0 または 1 にする ( 図 9 では 1 にセットしている。この際カウンタは 2 進数表記で 1 1 となる ) 。

( 3 ) ; S C A N C L K を入れて F F<sub>A</sub> に所望の値を取り込む ( 図 9 では 1 をとりこむ。このときカウンタは S C A N C L K が 1 のため L S B がリセットされ必ず 2 進数表記で 1 0 になる ) 。

【 0 0 3 1 】

( 4 ) ; ( 2 ) , ( 3 ) を繰り返し全 F F に所望の値をセットする ( 図 9 では F F<sub>A</sub> 、 F F<sub>B</sub> 、 F F<sub>B</sub> にそれぞれ 1 、 0 、 1 をセットしている ) 。

50



(5); SCANCLKが0のときにSCANINから2発パルスを入れることでカウンタを2進数表記で10 11 00とし、SCANENBを0 (= 通常パス) にする。

(6); SCANCLKから1CLK入力し、通常パスの出力 (= 組み合わせ回路の出力) を各FFに取り込む (図10ではFF<sub>A</sub>、FF<sub>B</sub>、FF<sub>C</sub>にそれぞれ組み合わせ回路出力のQ<sub>A1</sub>、Q<sub>B1</sub>、Q<sub>C1</sub>が取り込まれる。このときカウンタはSCANCLKが1のためLSBがリセットされ必ず2進数表記で00になる)。

【0032】

(7); SCANCLKが0のときにSCANINから2発パルスを入れることでカウンタを2進数表記で00 01 10とし、SCANENBを1にして全FFをSCAN動作可能にする。

(8); SCANCLKを入力して全FFの値 (Q<sub>A1</sub>、Q<sub>B1</sub>、Q<sub>C1</sub>) をSCANOUTから出力しモニタする (この際同時に全FFに次の所望の値をセットする。図10では0、1、0をそれぞれセットしている)。

(9); 上記(5) ~ (8)を繰り返す。

【0033】

本実施例1におけるカウンタは、2bitのバイナリカウンタとしたが、カウンタは、2bit以上であればbit数は問わない。また、本実施例1は、バイナリカウンタとしたがカウンタの種類は問わない。また、本実施例1は、カウンタの動作は、SCANINのEdgeは立ち上がりとしたがEdgeの向きは問わない。また、SCANENBが0又は1となるカウンタ値もSCAN動作と通常パスが切り替えることができるように自由に決めてよい。カウンタのリセット信号は、本実施例1では、SCANテストを行う際に1とするTESTMODE信号の反転信号をリセットとしたが、通常動作時にSCANENBが1にならないようにすれば構成は問わない。

更に、本実施例1は、カウンタのLSBのリセット信号にSCANCLKの1を入力しているが、これはSCANCLKが1となるとカウンタが2進数表記で00又は10となり、カウンタの値を把握しやすくするためのものであり、取り除いても構わない。その場合の構成例を以下の実施例2に示す。

【実施例2】

【0034】

図11は、本発明に係る半導体テスト回路の実施例2を説明するための回路構成図で、SCANINとSCANENBとを共通化したSCANテストを可能にした回路構成図である。なお、図8と同じ機能を有する構成要素には同一に符号を付してある。

SCAN回路がSCANCLKの立ち上がりEdgeで動作するときの新回路の例を図11に示してある。SCANENBを、SCANINをCLKとしたカウンタ13の出力とするように構成する。カウンタ13は、SCANテストを行うTESTMODE = 1以外はリセットされる。

【0035】

図12は、図11に示したカウンタの状態遷移図である。SCANCLKが0のとき、SCANINの立ち上がりEdgeで2進数表記で00 01 10 11 00 ...と動作する2bitバイナリカウンタであり、そのMSBをSCANENBとして構成する。つまり、カウンタが2進数表記で00, 01の時は、SCANENBが0に、カウンタが2進数表記で10, 11のときは、SCANENBが1となる。

図13は、図11に示したSCANテスト動作を説明するためのタイミングチャートを示す図である。

【0036】

(1); SCANINからパルスを入れることでカウンタを2進数表記で10とし、SCANENBを1にして全FFをSCAN動作可能にする (図13ではSCANINからパルス2発を入れることでカウンタを2進数表記で00 01 10とし、SCANENBを1にして全FFをSCAN動作可能にしている)。

(2); SCANENBが1かつSCANINを所望の0または1にする (図13では1

10

20

30

40

50

にセットしている。この際カウンタは2進数表記で10 11となる)。

(3); SCANENBが1のままでSCANCLKを入れてFF<sub>A</sub>に所望の値を取り込む(図13では1をとりこむ。このときカウンタは2進数表記で11のまま)。

#### 【0037】

(4); SCANENBが1のままでSCANCLKを入れてFF<sub>A</sub>、FF<sub>B</sub>、に所望の値を取り込む(図13ではFF<sub>A</sub>、FF<sub>B</sub>にそれぞれ0、1をセットしている。このときカウンタは2進数表記で11のまま)。

(5); SCANENBが1かつSCANINを所望の0または1にする。(図13では次にSCANINを1にしてFF<sub>A</sub>、FF<sub>B</sub>、FF<sub>B</sub>にそれぞれ1、0、1を取り込ませるが、その際カウンタが1周して00になりSCANENBが0になってしまうため、その前にSCANINにパルス3発入れ、カウンタを2進数表記で11 00 01 10とし、SCANENBを1にして全FFをSCAN動作可能にしている。その後SCANINを1にしている。この際カウンタは2進数表記で10 11となる)。

(6); SCANENBが1のままでSCANCLKを入れて全FFに所望の値をセットする(図13ではFF<sub>A</sub>、FF<sub>B</sub>、FF<sub>B</sub>にそれぞれ1、0、1をセットしている。この際カウンタは2進数表記で11のまま)。

#### 【0038】

(7); SCANINからパルスを入れることでカウンタを2進数表記で00とし、SCANENBを0(=通常パス)にする(図13ではSCANINから1発パルスを入れることでカウンタを2進数表記で11 00とし、SCANENBを0(=通常パス)にする)。

(8); SCANENBが0のままでSCANCLKから1CLK入力し、通常パスの出力(=組み合わせ回路の出力)を各FFに取り込む(図13ではFF<sub>A</sub>、FF<sub>B</sub>、FF<sub>B</sub>にそれぞれ組み合わせ回路出力のQ<sub>A1</sub>、Q<sub>B1</sub>、Q<sub>C1</sub>が取り込まれる。このときカウンタはSCANINを1にしたため2進数表記で01になっている)。

#### 【0039】

(9); SCANINからパルスを入れることでカウンタを2進数表記で10とし、SCANENBを1にして全FFをSCAN動作可能にする(図13ではSCANINからパルス1発を入れることでカウンタを2進数表記で01 10とし、SCANENBを1にして全FFをSCAN動作可能にしている)。

(10); SCANENBが1でSCANCLKを入力して全FFの値(Q<sub>A1</sub>、Q<sub>B1</sub>、Q<sub>C1</sub>)をSCANOUTから出力しモニタする(この際同時に全FFに次の所望の値をセットする。図13では0、1、0をそれぞれセットしている)。

(11); 上記(8)~(10)を繰り返す。

#### 【0040】

本実施例2におけるカウンタは、2bitのカウンタとしたが、カウンタは、1bit以上であればbit数は問わない。また、カウンタの種類は問わない。また、本実施例2は、カウンタの動作は、SCANINのEdgeは立ち上がりとしたがEdgeの向きは問わない。また、SCANENBが0又は1となるカウンタ値もSCAN動作と通常パスが切り替えることができるように自由に決めてよい。カウンタのリセット信号は、本実施例2では、SCANテストを行う際に1とするTESTMODE信号の反転信号をリセットとしたが、通常動作時にSCANENBが1にならないようにすれば構成は問わない。

#### 【実施例3】

#### 【0041】

実施例3は、上述した実施例2において1bitカウンタでカウンタを構成した例を示す。

図14は、本発明に係る半導体テスト回路の実施例3を説明するための回路構成図で、SCANINとSCANENBとを共通化したSCANテストを可能にした回路構成図である。なお、図11と同じ機能を有する構成要素には同一に符号を付してある。

SCAN回路がSCANCLKの立ち上がりEdgeで動作するときの新回路の例を図

10

20

30

40

50

14に示してある。SCANENBを、SCANINをCLKとしたカウンタ23の出力とするように構成する。カウンタ23は、SCANテストを行うTESTMODE = 1以外はリセットされる。

#### 【0042】

図15は、図14に示したカウンタの状態遷移図である。SCANCLKが0のとき、SCANINの立ち上がりEdgeで2進数表記で0 1 ...と動作する1bitカウンタであり、その値をSCANENBとして構成する。つまり、カウンタが2進数表記で0の時は、SCANENBが0に、カウンタが2進数表記で1のときは、SCANENBが1となる。

図16は、図14に示したSCANテスト動作を説明するためのタイミングチャートを示す図である。

#### 【0043】

(1); SCANINから立ち上がりEdgeを1回いれることでカウンタを2進数表記で1とし、SCANENBを1にして全FFをSCAN動作可能にする(図16ではSCANINから立ち上がりEdgeを1回いれることでカウンタを2進数表記で0 1とし、SCANENBを1にして全FFをSCAN動作可能にしている)。

(2); SCANENBが1かつSCANINを所望の0または1にする(図16では1にセットしている。この際カウンタは2進数表記で1のまま)。

(3); SCANENBが1のままでSCANCLKを入れてFF<sub>A</sub>に所望の値を取り込む(図16では1をとりこむ。このときカウンタは2進数表記で1のまま)。

#### 【0044】

(4); SCANENBが1のままでSCANCLKを入れてFF<sub>A</sub>、FF<sub>B</sub>、に所望の値を取り込む(図13ではFF<sub>A</sub>、FF<sub>B</sub>にそれぞれ0、1をセットしている。このときカウンタは2進数表記で1のまま)。

(5); SCANENBが1かつSCANINを所望の0または1にする。(図16では次にSCANINを1にしてFF<sub>A</sub>、FF<sub>B</sub>、FF<sub>B</sub>にそれぞれ1、0、1を取り込ませるが、その際カウンタが1周して0になりSCANENBが0になってしまうため、その前にSCANINにパルスを1発いれ、カウンタを2進数表記で1 0とする。その後SCANINを1にしている。この際カウンタは2進数表記で0 1となり、SCANENBを1にして全FFをSCAN動作可能にする)。

(6); SCANENBが1のままでSCANCLKを入れて全FFに所望の値をセットする(図13ではFF<sub>A</sub>、FF<sub>B</sub>、FF<sub>B</sub>にそれぞれ1、0、1をセットしている。この際カウンタは2進数表記で1のまま)。

#### 【0045】

(7); SCANINから立ち上がりEdgeを1回いれることでカウンタを2進数表記で0とし、SCANENBを0(=通常パス)にする(図16ではSCANINから立ち上がりEdgeを1回いれることでカウンタを2進数表記で1 0とし、SCANENBを0(=通常パス)にする)。

(8); SCANENBが0のままでSCANCLKから1CLK入力し、通常パスの出力(=組み合わせ回路の出力)を各FFに取り込む(図16ではFF<sub>A</sub>、FF<sub>B</sub>、FF<sub>B</sub>にそれぞれ組み合わせ回路出力のQ<sub>A1</sub>、Q<sub>B1</sub>、Q<sub>C1</sub>が取り込まれる。このときカウンタはSCANINを1にしたため2進数表記で0のまま)。

#### 【0046】

(9); SCANINから立ち上がりEdgeを1回いれることでカウンタを2進数表記で1とし、SCANENBを1にして全FFをSCAN動作可能にする(図16ではSCANINから立ち上がりEdgeを1回いれることでカウンタを2進数表記で0 1とし、SCANENBを1にして全FFをSCAN動作可能にしている)。

(10); SCANENBが1でSCANCLKを入力して全FFの値(Q<sub>A1</sub>、Q<sub>B1</sub>、Q<sub>C1</sub>)をSCANOUTから出力しモニタする(この際同時に全FFに次の所望の値をセットする。図16では0、1、0をそれぞれセットしている)。

10

20

30

40

50

( 1 1 ) ; 上記 ( 8 ) ~ ( 1 0 ) を繰り返す。

【 0 0 4 7 】

このような上記構成例 1 ~ 3 により、SCANIN と SCANNENB を共通化することでピン数の削減ができる。また、従来技術とは異なり、SCANNENB 用 FF は、SCANCLK で動作しないため、SCAN 回路は、一般の SCAN 回路と同様に SCANCLK の立ち上がりで動作する FF が混在してもよく、設計に自由度が増す。例えば、SCAN 回路を全て SCANCLK の立ち上がり Edge のみで動作させる場合、従来技術とは異なり、SCANCLK の立ち下り Edge を SCANNENB 用の FF に使用しないため、この FF 用のセットアップタイムが不要となり、SCANCLK の Hi の幅を短くできるため、テスト時間の削減ができる。

10

同様に、SCAN 回路を全て SCANCLK の立ち下り Edge のみで動作させる場合、従来技術とは異なり、SCANCLK の立ち上がり Edge を SCANNENB 用に使用しないため、FF のセットアップタイムが不要となり、SCANCLK の Low の幅を短くできるため、テスト時間の削減ができる。

【 0 0 4 8 】

次に、本発明の半導体テスト回路を組み入れた IC チップについて説明する。

本発明の IC チップは、複数のフリップフロップと組み合わせ回路とを有するデジタルブロックを、スキャンクロックと、スキャンデータ信号と、スキャンイネーブル信号と、によりスキャンテストを行う IC チップである。

スキャンクロックが入力される第 1 の PAD ( SCANCLK ) と、スキャンデータ信号が入力される第 2 の PAD ( SCANIN ) と、第 2 の PAD に接続され、スキャンデータ信号からスキャンイネーブル信号を出力するカウンタと、を備えている。

20

また、カウンタのクロックラインに、第 2 の PAD が接続され、カウンタの第 1 のリセットラインに、第 1 の PAD が論理素子を介して接続されている。

また、スキャンデータ信号は、複数のフリップフロップがスキャンクロックに同期して取り込むデータ信号と、複数のフリップフロップに入力されるスキャンクロックが配されない区間に配されるパルス信号と、を有している。

【 0 0 4 9 】

また、データ信号を複数のフリップフロップに、スキャンクロックに同期して設定するために順次データが入力された後、次にスキャンクロックが配されるまでの間に、パルス信号が配される。

30

また、次のスキャンクロックが配された後、別のデータ信号を複数のフリップフロップに、スキャンクロックに同期して設定するために順次データが入力されるまでの間に、パルス信号が配される。

このような構成により、設計の自由度が高く、また、テスト時間が短い半導体テスト回路を組み入れた IC チップを実現することができる。

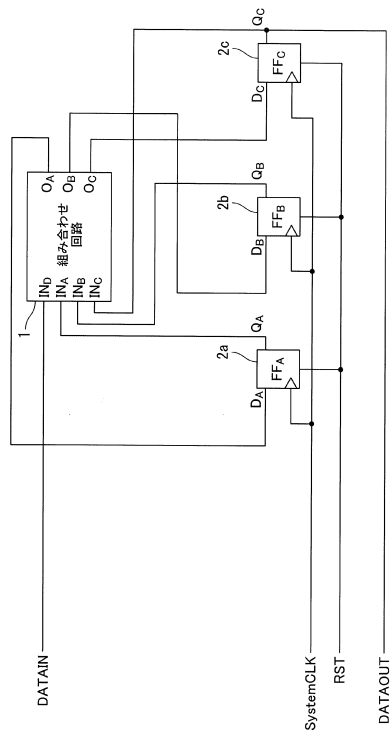
【 符号の説明 】

【 0 0 5 0 】

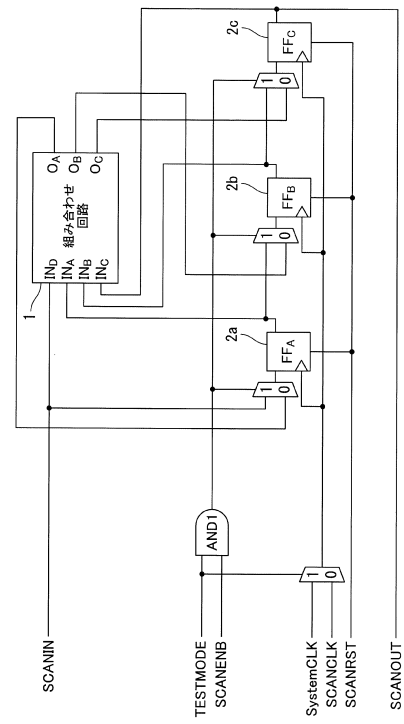
- 1 組み合わせ回路
- 2 a , 2 b , 2 c , 1 2 a , 1 2 b , 1 2 c 第 1 乃至第 3 のフリップフロップ ( FF<sub>A</sub> , FF<sub>B</sub> , FF<sub>C</sub> )
- 3 フリップフロップ ( FF<sub>ENB</sub> )
- 1 1 組み合わせ回路
- 1 3 , 2 3 カウンタ

40

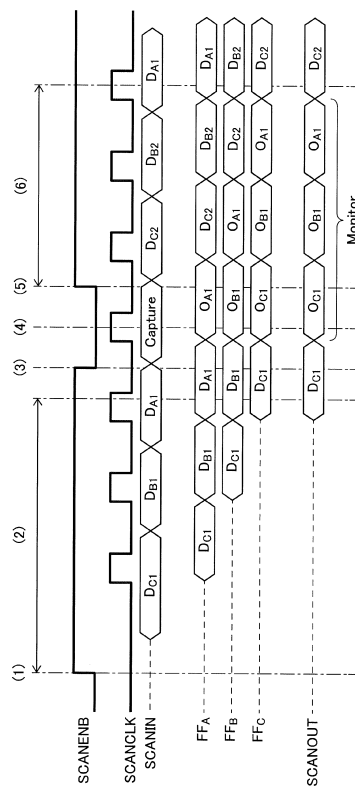
【図 1】



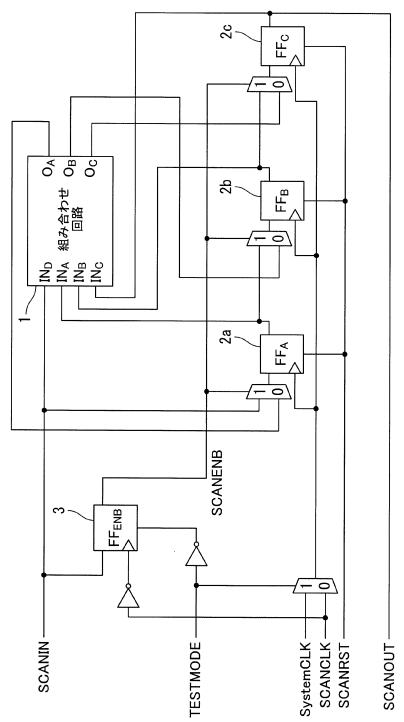
【図 2】



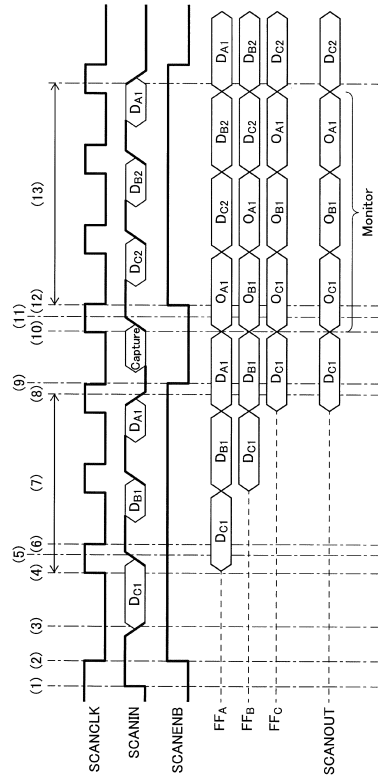
【図 3】



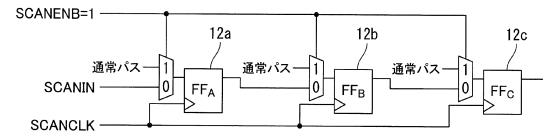
【図 4】



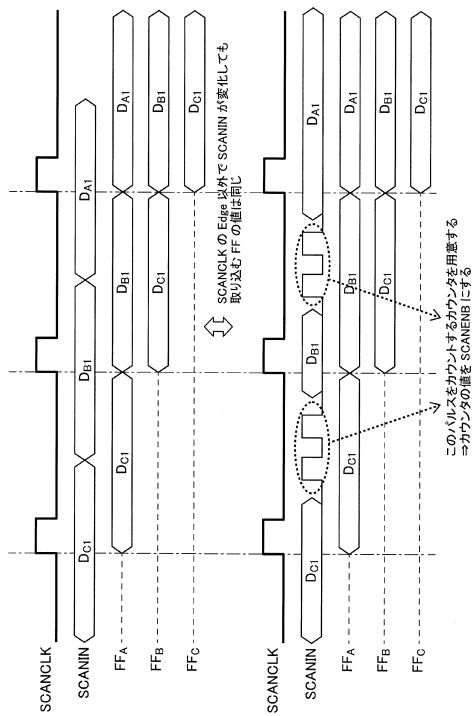
【図 5】



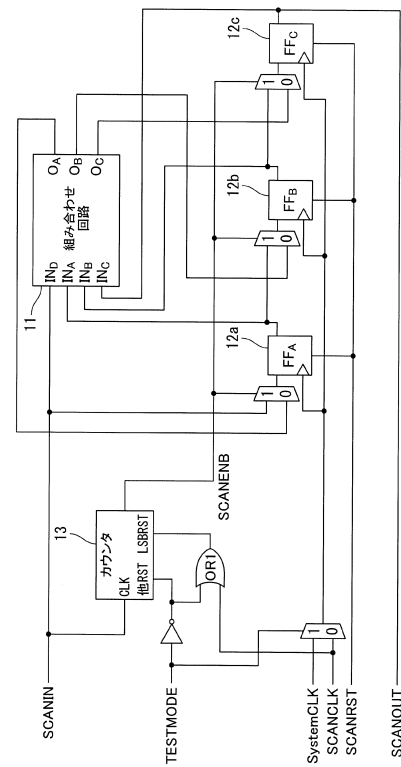
【図 6】



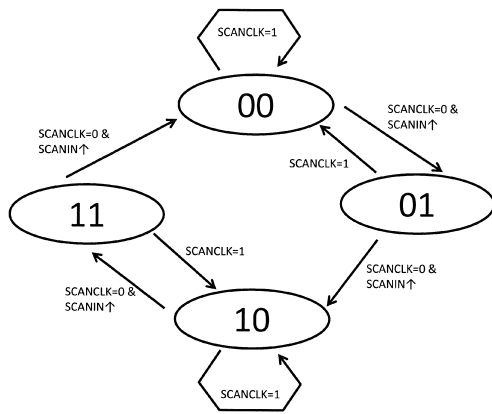
【図 7】



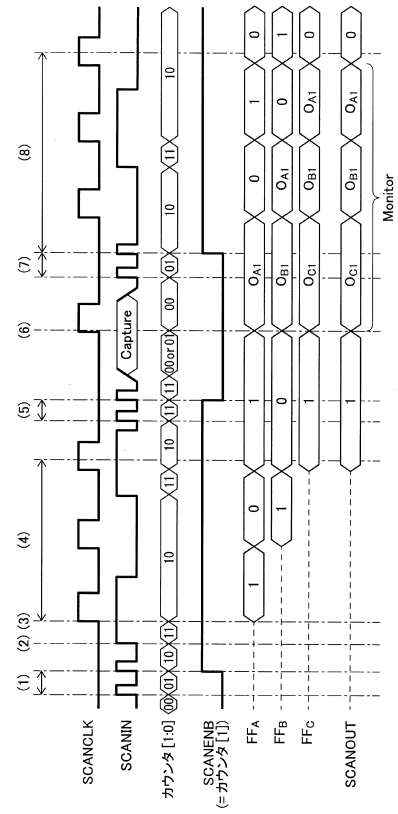
【図 8】



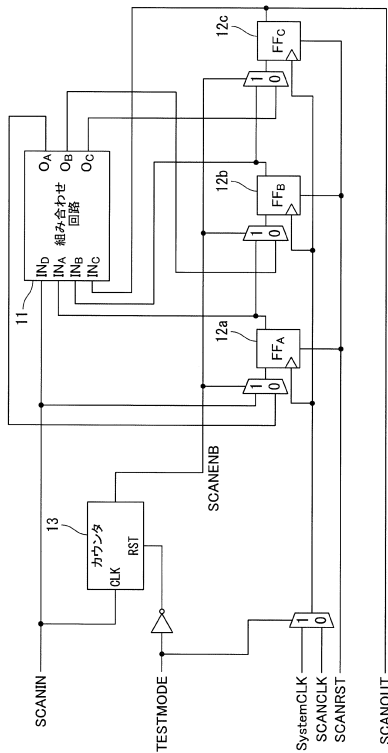
【図 9】



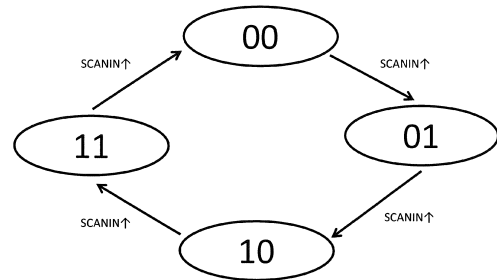
【図 10】



【図 11】



【図 12】







---

フロントページの続き

(56)参考文献 特開2013-036960(JP,A)  
特開2008-021359(JP,A)  
特開2004-347537(JP,A)  
特開2003-121499(JP,A)  
米国特許出願公開第2013/0305106(US,A1)  
特開平09-089993(JP,A)  
特開平07-287052(JP,A)

(58)調査した分野(Int.Cl., DB名)

G01R	31/28
H01L	21/822
H01L	27/04