



(12) 发明专利

(10) 授权公告号 CN 1630032 B

(45) 授权公告日 2010.05.12

(21) 申请号 200410101357.5

[0061]/ 附图 2-3.

(22) 申请日 2004.12.17

JP 特开 2002-23126 A, 2002.01.23, 全文.

(30) 优先权数据

审查员 夏瑞临

419600/2003 2003.12.17 JP

(73) 专利权人 株式会社东芝

地址 日本东京都

(72) 发明人 小谷敏也 姜帅现 市川裕隆

(74) 专利代理机构 北京市中咨律师事务所

11247

代理人 陈海红 段承恩

(51) Int. Cl.

H01L 21/00 (2006.01)

(56) 对比文件

JP 特开 2003-303742 A, 2003.10.24, 全文.

JP 特开 2000-314954 A, 2000.11.14, 全文.

JP 特开 2003-43666 A, 2003.02.13, [0052]-

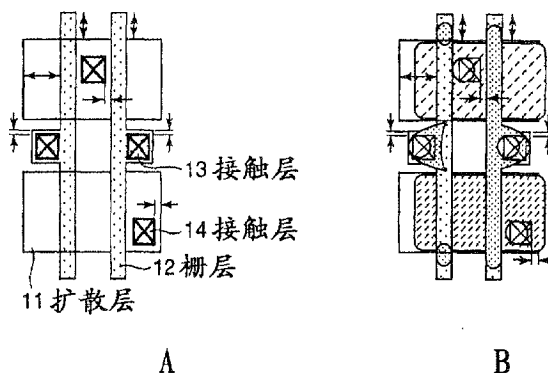
权利要求书 1 页 说明书 7 页 附图 8 页

(54) 发明名称

设计图形校正方法、掩模制造方法及半导体器件制造方法

(57) 摘要

一种设计图形的校正方法,它是考虑了在半导体集成电路各层之间加工余量的校正设计图形的方法,此方法包括下述步骤:基于第一层设计图形计算对应于第一层加工图形形状的第一图形形状;基于第二层设计图形计算对应于第二层加工图形形状的第二图形形状;通过对上述第一图形形状与第二图形形状进行布尔运算处理,计算第三图形形状;判定根据上述第三图形形状求得的评价值是否满足预定值;在判定上述评价值不满足预定值时,校正上述第一与第二设计图形两者中至少一方。



1. 一种设计图形校正方法,其是考虑了半导体集成电路层间加工余量的校正设计图形的方法,此方法包括下述步骤:

基于第一设计图形生成对应于第一层加工图形形状的第一图形形状;

基于第二设计图形生成对应于第二层加工图形形状的第二图形形状;

生成作为上述第一图形形状与第二图形形状重叠的区域的第三图形形状;

判定根据上述第三图形形状得到的重叠区域的面积是否满足预定值;

在判定上述重叠区域的面积不满足预定值时,校正上述第一与第二设计图形两者中至少一方,以使得满足上述预定值。

2. 如权利要求 1 的方法,其中上述第一图形形状是由通过相对于上述第一设计图形实施包含光邻近效应校正的重定尺寸处理得到的掩模图形进行计算的。

3. 如权利要求 1 的方法,其中上述第二图形形状是由通过相对于上述第二设计图形实施包含光邻近效应校正的重定尺寸处理得到的掩模图形进行计算的。

4. 如权利要求 1 的方法,其中上述第三图形形状的生成是在上述第一与第二图形形状至少一方移动或重定尺寸后进行的。

5. 如权利要求 1 的方法,其中上述第三图形形状的生成是考虑到上述第一层与上述第二层之间的对准偏差进行的。

6. 如权利要求 1 的方法,其中上述第三图形形状的生成是考虑到上述第一层与上述第二层之间的对准偏差量的概率分布进行的。

7. 如权利要求 1 的方法,其中上述第三图形形状的生成包含 AND 运算处理与 NOT 运算处理中的至少一方。

8. 如权利要求 1 的方法,其中上述重叠区域的面积的值包括上述第三图形形状的面积、外周线长度与图形宽度中至少之一。

9. 如权利要求 1 的方法,其中上述第一与第二图形形状中至少之一是在考虑到预定的加工条件下计算的;

这里所预定的加工条件包括:曝光装置的照明光波长、曝光装置的透镜数值孔径、曝光装置的照明形状、曝光装置的焦点位置、曝光装置的透镜的像差、曝光装置在晶片上的曝光量、对准偏差、掩模尺寸以及光刻胶中所含氧的扩散长度中至少之一。

10. 如权利要求 1 的方法,其中上述第一层与第二层分别对应于栅层、布线层、接触层、扩散层、离子注入层与阱层中之一。

11. 如权利要求 1 的方法,其中反复地进行从计算上述第一图形形状到校正上述第一与第二设计图形中至少之一,直至上述重叠区域的面积的值满足预定值。

12. 一种掩模制造方法,包括将基于由权利要求 1 的方法校正的设计图形的掩模图形形成于掩模基片上。

13. 一种半导体器件的制造方法,包括将由权利要求 12 的方法得到的上述掩模图形投影到晶片上的光刻胶上的步骤。

设计图形校正方法、掩模制造方法及半导体器件制造方法

发明领域

[0001] 本发明涉及用于修正半导体集成电路设计图形的的设计图形校正方法以及用于制作半导体集成电路的掩模图形的掩模图形的制作方法。

背景技术

[0002] 近年来半导体器件的制造技术的进步异常惊人。最小加工尺寸为 $0.13\mu\text{m}$ 的半导体器件已开始工业化生产。这样的微细化是通过掩模加工技术,光刻技术以及蚀刻技术等微细图形形成技术飞跃的进步而实现。

[0003] 在图形尺寸充分大的时代,是把拟于晶片上形成的 LSI 图形原样地作为设计图形,制成忠实于此设计图形的掩模图形,通过投影光学系统将此掩模图形复制到晶片上,而能于晶片上形成基本上如设计图形的图形。

[0004] 但是随着图形的微细化的进步,在各个加工过程中已难于忠实地形成图形,因为产生了最终加工图形形状不像设计图形的问题。

[0005] 为了解决上述问题,要想使最终的加工图形的尺寸等于设计图形的尺寸,制成与设计图形不同的掩模图形的所谓掩模数据处理至关重要。

[0006] 掩模数据处理中存在有图形运算处理与应用设计规则检查(D、R、C)等以变更掩模图形的MDP处理,以及用于校正光邻近效应(OPE)的光邻近效应校正(OPC)的处理等,通过进行这类处理使最终的加工图形尺寸如所期望的尺寸,能够恰当地校正掩模图形。

[0007] 近年来,伴随着设计图形的微细化,光刻加工中的K1值($K1 = W/(NA/\lambda)$),W:设计图形尺寸、 λ :曝光装置的曝光波长、NA:曝光装置中所用透镜的数值孔径)愈益减小。结果使OPE趋向于进一步增大,因而OPC处理的负担非常之大。

[0008] 为了达到OPC处理的高精度化,采用了可正确预测OPE的光强模拟装置,能够对各种掩模图形计算恰当校正值的模型基OPC方法已成为主流。此外,为了验证进行过复杂的模型基OPC的掩模,使用光刻模拟的模型基OPC验证技术已变得非常重要。

[0009] 但是虽已提出了将模型基OPC验证技术应用于单层情形检测光刻余量小的危险图形的技术(例如参看美国专利NOS. 6470489与6415421),但这种技术不能获得充分的检测精度。再者,至今尚未开发出能判定在多层之间是否确保有充分的光刻余量的技术。

[0010] 因此,迄今难以保证充分的加工形状。而要是想保证充分的加工形状,则会有增大布局面积、加大芯片尺寸的问题。

发明内容

[0011] 根据本发明的一种观点的设计图形校正方法,乃是考虑了在半导体集成电路层间加工余量的校正设计图形的方法,此方法包括下述步骤:基于第一设计图形计算对应于第一层加工图形形状的第一图形形状;基于第二设计图形计算对应于第二层加工图形形状的第二图形形状;通过对此第一图形形状与第二图形形状进行布尔运算处理,计算第三图形形状;判定根据上述第三图形形状求得的评价值是否满足预定值,而在判定上述评价值不

满足预定值时校正上述第一与第二设计图形中至少一方。

附图说明

- [0012] 图 1 示明单层时加工图形形状。
- [0013] 图 2 示明多层时加工图形形状。
- [0014] 图 3 示明考虑了多层间对准偏差下的加工图形形状。
- [0015] 图 4A 与 4B 说明接触层、栅层与扩散层。
- [0016] 图 5A、5B 与 5C 例示金属布线与通路的布置。
- [0017] 图 6 例示 P 与 R 工具、OPC 工具、光刻验证工具与压缩工具相组合成的设计布局系统。
- [0018] 图 7 示明相对于多层的验证处理流程。
- [0019] 图 8 具体例示相对于多层验证处理的流程。
- [0020] 图 9 示明对实际布局的应用结果。
- [0021] 图 10 说明在考虑了对准偏差的概率分布情形下对设计图形的反馈方法。
- [0022] 图 11A 与 11B 示明栅层、扩散层与接触层的关系。
- [0023] 图 12 示明栅前端部与扩散层加工图形形状的关系。
- [0024] 图 13 示明掩模的制造方法与半导体器件制造方法的流程。
- [0025] 具体实施形式
- [0026] 下面参考附图说明本发明的实施形式
- [0027] (第一实施形式)
- [0028] 图 1 示明相对于单层进行 OPC 的结果。在此设定金属布线 (M1) 层。OPC 后的图形与设计图形 (目标图形) 的偏差则以涂黑表示。
- [0029] 图 2 示明考虑到多数层时进行 OPC 的结果。将金属布线 (M1) 设定为基于第一设计图形的第一层, 而将接触孔 (CS) 设定为基于第二设计图形的第二层。曝光量与焦点位置都设定为最佳条件。此外, 在图 2 中没有考虑 M1 与 CS 间的覆盖偏差。
- [0030] M1 的加工图形形状与 CS 的加工图形形状的 AND (与) 区域需要一定面积以上。例如以 M1 的设计图形与 CS 的设计图形的 AND 区域的面积为 A_1 , 以 M1 的加工图形形状与 CS 的加工图形形状的 AND 区域的面积为 A_2 , 则 A_2 对 A_1 之面积比 (A_2/A_1) 需在预定值以上。在后面的说明中, 此面积比有时也简称为面积。
- [0031] M1 与 CS 之间实际上在曝光时会发生覆盖偏差。因此如图 3 所示, M1 的加工图形形状 (第一图形形状) 与 CS 的加工图形形状 (第二图形形状) 间的位置关系偏移。即使是在这种情形, AND 区域的面积也需在预定值以上, 对于不能确保预定值以上面积的情形, 则需进行设计图形 (设计规则) 或掩模图形的修正。也即需进行使 AND 区域面积增大的修正。
- [0032] 具体的修正方法有:
- [0033] (1) 扩大金属布线的宽度;
- [0034] (2) 加大接触孔的直径, 等等。
- [0035] 但在方法 (2) 中需要考虑此接触孔所连接的层。对此用图 4A 与图 4B 说明。图 4A 是设计布局, 图 4B 是于晶片上的加工形状。图中, 11 为扩散层、12 为栅层、13 为与栅层 12

连接的接触层、14 为与扩散层 11 连接的接触层。

[0036] 例如,在用于将金属层(金属布线层)与栅层连接的接触孔或是将金属层与扩散层(源漏扩散层)连接的接触孔情形,能够形成比所需尺寸为大的接触孔。因此,接触孔的图形有时会从栅层与扩散层的图形中露出。

[0037] 这样,在采用方法(2)时需要考虑接触孔图形与栅图形的间隔(设计图形的间隔或是加工图形形状的间隔)。再有,考虑覆盖层偏差的程度,还需估计接触孔直径的校正量。

[0038] 再有,当接触孔也是用于连接金属布线 M1(第一层金属布线)与金属布线 M2(第二层金属布线)的接触孔时(在以后,有时会将这种金属孔称为通路(Via)),有必要作与上述相同的注意。例如为了充分地确保金属布线 M1 与通路 1 的 AND 区域。当增大通路 V1 时,通路 V1 与金属布线 M2 之间的接触面积也增大。假定金属布线层 M2 附近配置有另外的通路 V2,通过增大通路 V1 后,通路 V1 与通路 V2 的间隔将变窄,结果,通路 V1 与通路 V2 就可能接触。

[0039] 因此在加大通路 V1 时要判断:

[0040] (1) 通路 V1 附近存在有另外的通路 V2 否?

[0041] (2) 通路 V2 相对于通路 V1 存在于哪个方向中?

[0042] (3) 通路 V2 与通路 V1 即使接触有无问题呢?(若为同电位的通路,即便接触也无问题)。要根据此判断结果来决定通路 V1 的大小和通路 V1 的扩大方向。

[0043] 图 5A、5B 与 5C 示明了有关的例子,图 5A 示明在通路 V1 附近不存在通路 V2 的情形,图 5B 示明在通路 V1 一侧存在通路 V2 的情形,图 5C 则示明包括在通路 V1 附近通路 V2 存在与不存在这两种情形的情形。图中,21 为第一金属布线(M1)、22 为第二金属布线(M2)、31 为第一通路(V1)、32 为第二通路(V2)。

[0044] 在图 5A 的情形,通路 V1(通路 31)能简单地扩大。图 5B 的情形中,为避免通路 V1(通路 31)与通路 V2(通路 32)的接触,能沿与通路 32 的存在方向相反方向扩大通路 31。此外,在图 5C 的情形,可将能扩大的通路扩大,而对于不能扩大的通路则可加大金属布线 M1 与 M2 的宽度。在图 5C 中,中央的两个通路由于附近另有通路,便将金属布线 22 的前端加粗。再有,周边的 10 个通路则沿附近没有其他通路的方向将通路扩大。

[0045] 一般,金属布线与通路的布置用布置与布线(P 与 R)工具进行。在本实施形式中,应用具有这种 P 与 R 工具的系统,计算出通路与金属布线的晶片上的加工图形形状,根据计算结果对上述(1)~(3)进行判定,基于判定结果进行扩大金属布线或通路的至少一方的处理。由此可以充分地确保金属布线图形与通路图形的 AND 区域。

[0046] 已有的 P 与 R 工具根据标准单元或宏单元的布局信息以及所谓布局的连接信息的布置与布线信息,进行使布线长度尽可能短的处理。在本实施形式的系统中,除上述功能外,为了充分地确保金属布线与通路的加工图形形状的 AND 区域,标准单元以及单元的布局等等具有修正配置后的布局形状的功能。在校正布局形状时,可采用能根据预先给定的布局制作规则进行布局的制作与修正的压缩工具。

[0047] 图 6 例示上述系统的功能结构。通过采用这种系统,能够保证已有的布置与布线步骤中保证了的金属布线和通路的连接,得以自动地制成考虑到了设计布局与 OPC 等的掩模图形。这就是说,能以比过去小的布局尺寸获得保证了加工图形形状的设计图形。

[0048] 利用上述的 P 与 R 工具与压缩工具等的设计布局制作系统只是一个例子,但即便

不利用上述工具,只要有能根据金属布线与通路的加工图形形状自动地修正设计布局的系统也可。

[0049] 当加工图形形状为 NG(不合格)的情形,要考虑几个因素。而有时需要根据要素进行设计图形的修正或是进行掩模图形的校正。下面用图 7 的流程图进行说明。

[0050] 首先分别评价金属层(M1)与接触孔(CS)(S11、S13、S21、S23)。据此判定在各金属层与接触孔之中是否确保了预定的加工余量。在不满足预定的条件时,变更掩模图形与设计图形(S12、S14、S22、S24)。这方面的具体处理流程已记载于特开 2002-26126 与 2003-303742 号公报中。

[0051] 然后将各 M1 与 CS 只移动对准偏差量的一半。随即进行移动后的 M1 与 CS 的 AND 处理(S31),再计算出 AND 处理部分的面积(S32)。当 AND 处理部分的面积比预定值小时,给 M1 图形与 CS 图形附加边缘(S33),返回到 S11 与 S21 的步骤。当 AND 处理部分的面积比预定值大时,即完成了 M1 与 CS 的布局(S34)。

[0052] 通过以上处理,能保证金属层与接触层各个的加工图形形状,同时能保证考虑了金属层与接触层相互关系的加工图形形状。

[0053] 下面参考图 8 说明由图 7 流程图所示的处理的具体例子。

[0054] 首先给出金属层与接触层的设计图形(1)。相对于设计图形进行包括 OPC 的重定尺寸处理与布尔运算处理等,制成金属层与接触层的掩模图形(2)。再据掩模图形预测金属层与接触层的晶片上的加工图形形状(3)。设接触层与金属层的对准偏差量为 a 、所考虑的接触层加工图形尺寸为 w ,则接触层能形成于只从(3)预测出的位置处偏离 a (4,5)。

[0055] (5)的环形图形示明相对于对准偏差量 a 的接触层存在的区域,这种环形图形区域与金属层加工图形形状重叠的区域(第三图形形状)颇为重要。

[0056] 重叠区域小时,难以充分保证接触层与金属层的连接,降低了成品率。相反,在有了充分的重叠区域后,则能确保可靠的连接。重叠区域可通过环形图形区域与金属层的加工图形形状的 AND 处理求得(6)。重叠区域的面积可由一般的设计规则检查(DRC)工具计算(7)。

[0057] 然后评价由(7)求得的面积。具体地说,将由(7)求得的面积与预定的面积公差比较(8)。当由(7)求得的面积比预定的面积公差小时,需变更设计图形。为此生成相对于设计图形变更(修正)的修正指针,根据此修正指针,变更设计规则与设计图形(S9)。由此制成新设计布局(10)。反复进行上述处理,直到满足(8)的条件。若最后由(7)求得的面积在预定的面积公差以上,便完成了布局(11)。

[0058] 图 9 示明相对于实际布局所进行的图 8 所示的处理例。图 9 的(a1)、(b1)、及(c1)是在最佳聚焦和最佳曝光量的条件下形成接触孔的例子。图 9 的(a2)、(b2)与(c2)则是在与此最佳聚焦和最佳曝光量稍有偏离的条件下形成接触层图形时的例子。对于金属层图形而言这是最佳聚焦与最佳曝光量的条件。

[0059] 在图 9 所示例子中,为简单起见只是变动了曝光量与聚焦状态,但是能够变动相对于加工图形形状有影响的至少一个以上的加工参数。作为加工参数,除聚焦状态与曝光量之外例如尚有曝光装置的曝光波长、曝光装置透镜的数值孔径、透镜的像差、透镜的光透过率、曝光装置的照明形状、照明光强的分布、蚀刻的变换差等。

[0060] 图 9 的(a1)、(b1)与(c1)分别对应于图 8 的(3)、(5)与(7)。由 DRC 工具求据

图 8 的 (7) 计算的面积,其面积不满足公差图形以黑圆围住。修正以这种黑圆围成的图形的设计图形,再次用同样的流程评价,结果可不增大芯片尺寸,避开危险图形。

[0061] 这样,根据本实施形式,基于第一设计图形计算出对应于第一层的加工图形形状的第一图形形状,基于第二设计图形计算对应于第二层的加工图形形状的第二图形,通过此第一与第二图形形状的布尔运算计算第三图形形状。然后判定据第三图形形状求得的评价值是否满足预定值,当判定此评价值不满足预定值时,校正第一与第二设计图形的至少一方。由此与已有情形相比,可获得减小了芯片尺寸且能保证加工图形形状的设计图形,这就是说,可基于多层之间加工图形形状的关系,验证加工余量是否充分,由此能够解决过去难以使个别图形每一布局最优化的问题,减小芯片的面积,从而也可充分地适应今后半导体集成电路的微细加工。

[0062] (第二实施形式)

[0063] 现来说明本发明的第二实施形式。

[0064] 图 8 中假定对准偏差量 a 为均匀分布,但实际上的对准偏差则服从某种概率分布。对准偏差的概率分布属正态分布,图 10 所示例子中假定 3σ 为 b 。

[0065] 对准偏差的概率分布却由于是 $3\sigma = b$ 的正态分布,故如图 10 的 (2) 所示。此外,在各对准偏差位置的环形图形与金属层图形的 AND 区域的面积能通过图 8 与 9 所示方法计算,在将各对准偏差位置求得的面积设为纵轴时,即如图 10 的 (3) 所示。对 (2) 的概率分布与 (3) 的面积进行卷积积分。据此可由 (2) 的概率分布计算对准偏差产生时的环形图形与金属层图形的 AND 区域的有效面积分布 (4)。

[0066] 另一方面,作为有效面积分布的必要值(面积公差)则是根据器件技术条件以及试验等确定的值。计算能确保此面积公差允许的对准偏差量 C ,判定此允许对准偏差量 C 是否大于预定的对准偏差量 b 。若是 $c < b$,实际上虽然有可能只有偏差 b ,但仍有必要将对准偏差量抑制到 c ,因而为了使 $b < c$,需考虑以下三点:

[0067] (A) 提高对准精度,进一步减小 $3\sigma = b$ 的值;

[0068] (B) 重新评价面积公差;

[0069] (C) 加大有效面积。

[0070] 在上面的 (A) 中需重新评价作为目标的对准精度的目标值。在上面的 (B) 中,根据器件技术规格预定的面积公差需要再次评价是否真正地正确。为此,在这些重评中需要时间。最简单的方法是 (C)。即整体地增大环形图形与金属层图形的 AND 区域的有效面积分布,为此可采用增大金属层边缘量的方值或是增大接触层面积的方法。改变接触层大小时需要考虑对于其他层(例如栅层)的位置关系。因此,现实的方法是增大金属层边缘量的方法。

[0071] 例如取所需的对准偏差量 ($b-c$ 的绝对值) 为横轴,取所需的边缘量 (x) 为纵轴,预先绘制成表明它们关系的曲线图 (6),基于此曲线图,制成附加有边缘量的新设计布局 (7)。将新设计的布局置换 (1) 的设计布局,进行上述相同的评价,而且反复评价,直到对准偏差量 c 与 b 一致或 c 大于 b ,通过将这种处理相对于所有的接触孔进行,就能够给各个接触孔适当的加工余量而可以使芯片尺寸比过去的小。

[0072] 如上所述,对准偏差的发生服从某种概率分布,因而在考虑这种概率分布下采用图 8 与 9 所示的方法,就能进行更高精度的布局修正。

[0073] (第三实施形式)

[0074] 图 11A、11B、12A 与 12B 是用于说明本发明第三实施形式的图。图 11A 与 12A 示明设计布局,图 11B 与 12B 示明于晶片上的加工图形形状。图中的 11 指扩散层,12 指栅层,13 与 14 指接触层。此外,在图 12A 与 12B 中,上图表明距离 a 短的情形,下图表明距离 a 长的情形。

[0075] 此实施形式的方法也可用于基于栅层、扩散层与接触层的加工形状的评价。对于金属层与接触层,将 AND 区域的面积为指标。以此面积是否为某个常值之上作为布局的修正判定标准。这对栅层与扩散层特别易成为问题的是图 11A 的以圆圈围成的栅线端部。为了保持栅的特性,重要的是在栅线与扩散层的边界部确保所希望的栅的宽度。

[0076] 在现在的情形下,如图 12A 的上图所示,根据至扩散层端的距离 a 与从扩散层端的栅突出的距离 b,确定栅线端部处的布局形状。b 的大小由扩散层的角部分的加工舍入量以及栅前端部的收缩量决定。由于扩散层的舍入量根据距离 a 而变化,故 b 的值依赖于 a 的值、通过 b 的减小可以减小芯片面积,因而希望 b 取所需的最小限度的值。

[0077] 为了确定上述这样的最小的 b 值,执行以下所述流程。

[0078] (1) 计算栅层的加工图形形状。

[0079] (2) 计算扩散层的加工图形形状。

[0080] (3) 在栅层的加工图形形状中进行减去与扩散层重叠部分的处理(对应于布尔运算中的 NOT(非)处理)。

[0081] (4) 测定 NOT 处理的边界部的长度。

[0082] (5) 判定于(4)中求得的边界部长度是否在预定的范围内。

[0083] (6) 若在预定的范围内时,测定芯片面积。

[0084] (7) 若于当前的 b 值下,芯片面积满足预定值则结束。

[0085] (8) 若在当前的 b 值下,芯片面积不满足预定值,则进一步减小 b 值(使芯片面积减小),根据步骤(1)再次进行探讨。

[0086] (9) 当于(5)中边界部的长度未进入预定的范围内时,进行使图 12 的 a 值或 b 值增大的布局的制作与修正。

[0087] (10) 根据步骤(1)再次验证由(9)求得的布局。

[0088] 为了满足芯片的需求面积,通过上述步骤决定 b 值是重要的。根据上述步骤决定 b 值时,能使芯片面积比预定值显著减小。

[0089] 以上方法也可应用于这里所示例子以外的情形,例如能应用于接触层与扩散层的关系、接触层与栅层的关系、接触层与离子注入层的关系。结果,与由过去的设计规则的布局指针制成的设计布局图形相比,可以制成较小的布局图形而减小芯片面积。

[0090] 此外,通过将基于上述第一~第三实施形式方法求得的设计图形的掩模图形形成于掩模基片上,制成光掩模。而应用形成于掩模基片上的掩模图形则可制造半导体器件(半导体集成电路),图 13 示明有关这些方法的流程。

[0091] 首先根据第一~第三实施形式的方法确定图形布局(设计布局)(S161),然后基于此确定的图形布局于掩模基片上形成掩模图形而由此制成光掩模(S102)。将光掩模上的掩模图形投影到晶片(半导体基片)上的光刻胶上(S103),再通过使光刻胶显像而形成光刻胶图形(S104)。再把所形成的光刻胶图形作为掩模对基片上的导电膜与绝缘膜等进行蚀

刻,形成所希望的图形(S105)。

[0092] 这样,基于上述第一~第三实施形式的方法求得的设计布局来制造掩模图形或半导体器件时,与以往相比能制成布局缩小了的掩模与半导体器件。

[0093] 上述第一~第三实施形式的方法也能应用于单元库等的设计。

[0094] 上述第一~第三实施形式中是在考虑到两层之间加工余量下进行了设计图形的校正,但也可以考虑到三层以上之间的加工余量进行设计图形的校正。

[0095] 上述第一~第三实施形式是以光刻加工为例进行说明,但对于X射线曝光或电子束(EB)曝光,可同样采用上述方法。

[0096] 此外,上述第一~第三实施形式方法中的步骤可通过描述相应方法步骤的程序,由控制操作的计算机实现。上述程序则可由磁盘等记录媒体或因特网等通信线路(有线或无线)提供。

[0097] 再者,上述第一~第三实施形式一般可采用以下方法。

[0098] 第一图形形状可相对于第一设计图形通过实施包含光邻近效应校正的重定尺寸处理求得的掩模图形计算。

[0099] 第二图形形状可相对于第二设计图形通过实施包含光邻近效应校正的重定尺寸处理求得的掩模图形计算。

[0100] 布尔运算处理是在移动第一与第二图形形状的至少一方或进行重定尺寸后进行。

[0101] 布尔运算处理是在考虑了第一层与第二层之间的对准偏差下进行。

[0102] 布尔运算处理是在考虑了第一层与第二层之间的对准偏差量的概率分布下进行。

[0103] 布尔运算处理包含AND运算处理与NOT运算处理两者的至少一方。

[0104] 评价值包括第三图形形状的面积、外周线长度与图形宽度之三者中的至少一个。对于面积、外周线长度与图形宽度,其中也可包括它们各自的平均值或偏差量。

[0105] 第一与第二图形形状中至少之一是在考虑了预定的工艺条件下计算出的,所预定的工艺条件则包括曝光装置的照明光波长、曝光装置的透镜的数值孔径、曝光装置的照明形状、曝光装置的焦点位置、曝光装置的透镜的像差,曝光装置在晶片上的曝光量、对准偏差量、掩模尺寸以及光刻胶中所含氧的扩散长度中至少之一。

[0106] 第一层与第二层分别对应于栅层、布线层、接触层、扩散层、离子注入层与阱层等其中之一。

[0107] 反复地进行着从计算第一图形形状到校正第一与第二设计图形两者中至少之一,直至评价值满足预定值。

[0108] 熟悉本工艺的人将能迅速获知本发明的其他优点与改进型式。于是,本发明在其更广的意义下将不限于这里所述的具体细节与代表性的实施形式。因此在不脱离后附技术方案及其等效内容所确定的普遍性发明原理的精神与范围时,是可以作出种种变更型式的。

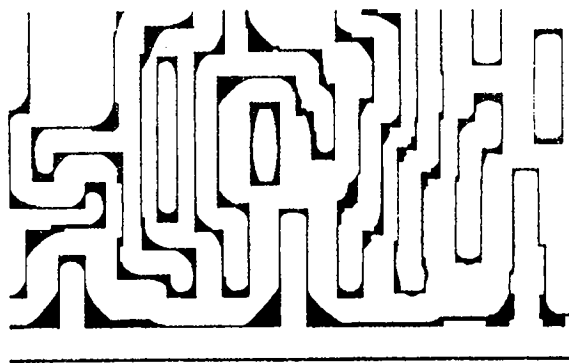


图 1

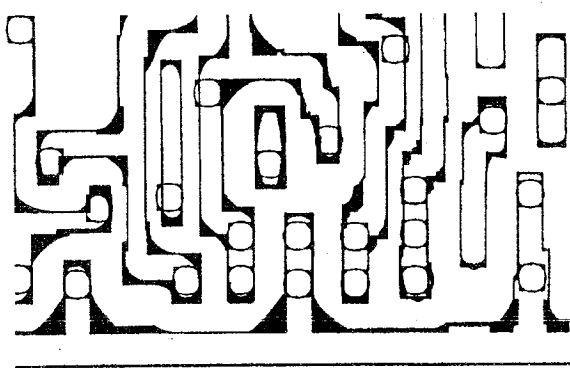


图 2

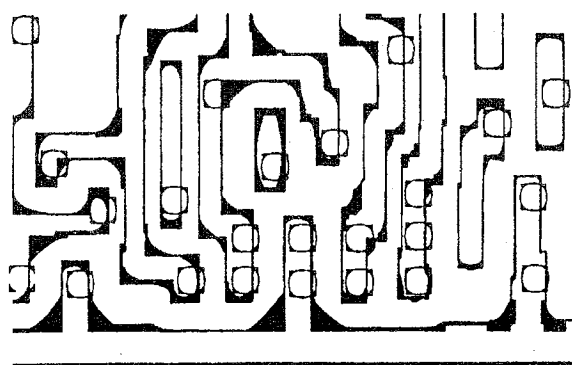


图 3

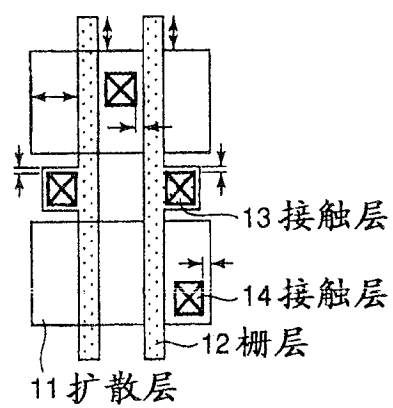


图 4A

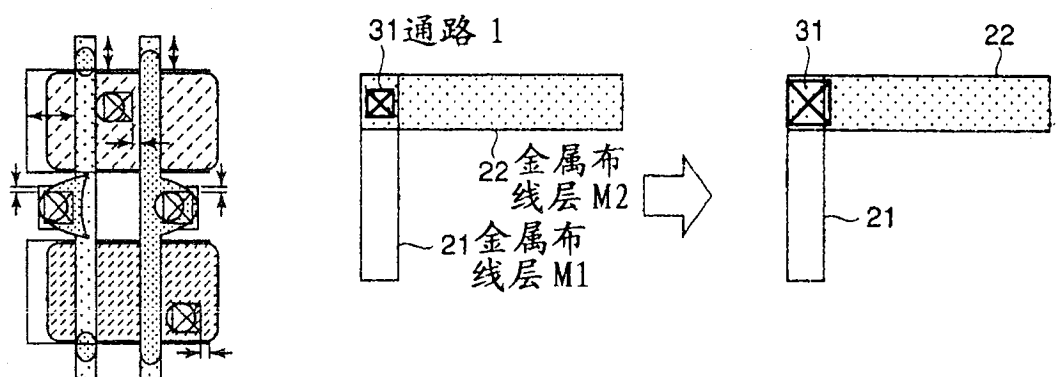


图 5A

图 4B

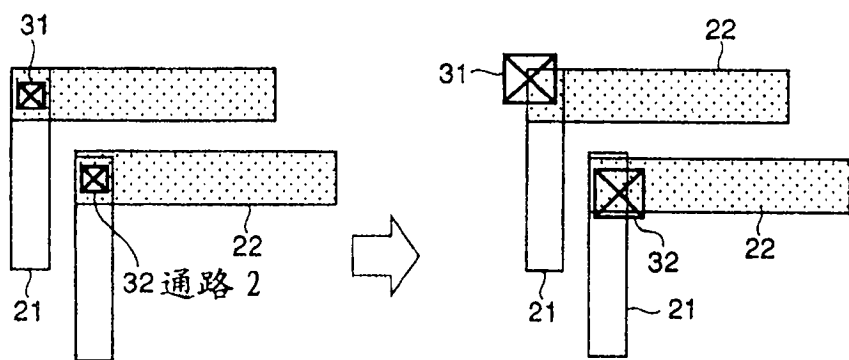


图 5B

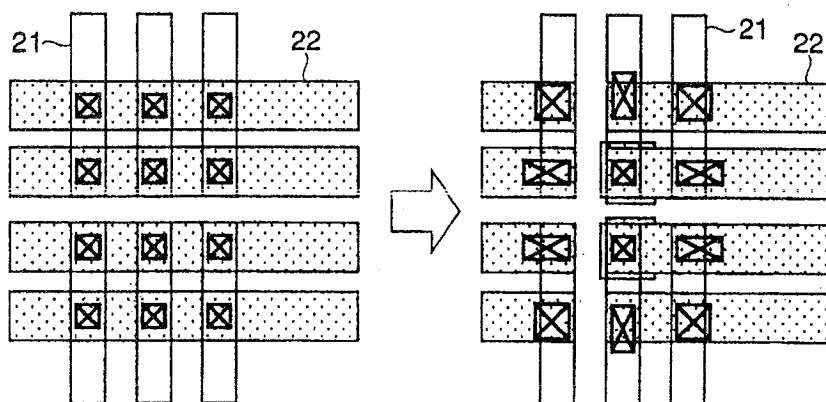


图 5C

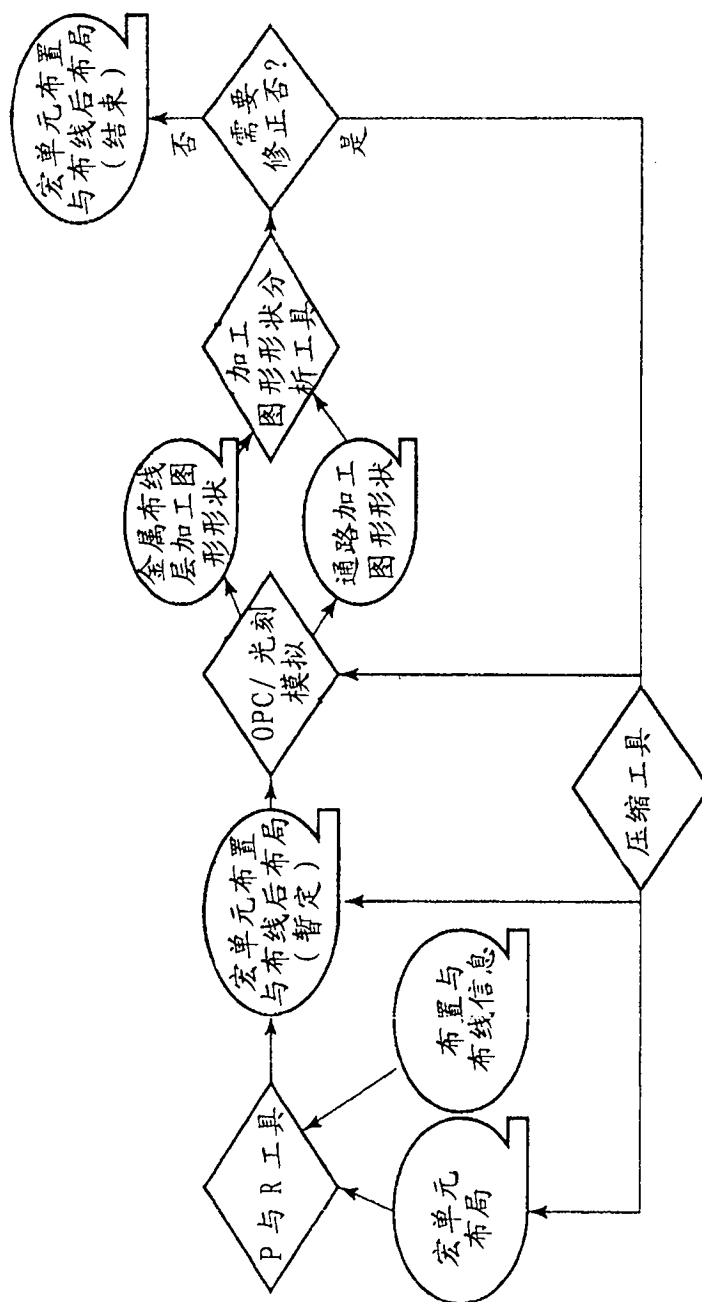


图 6

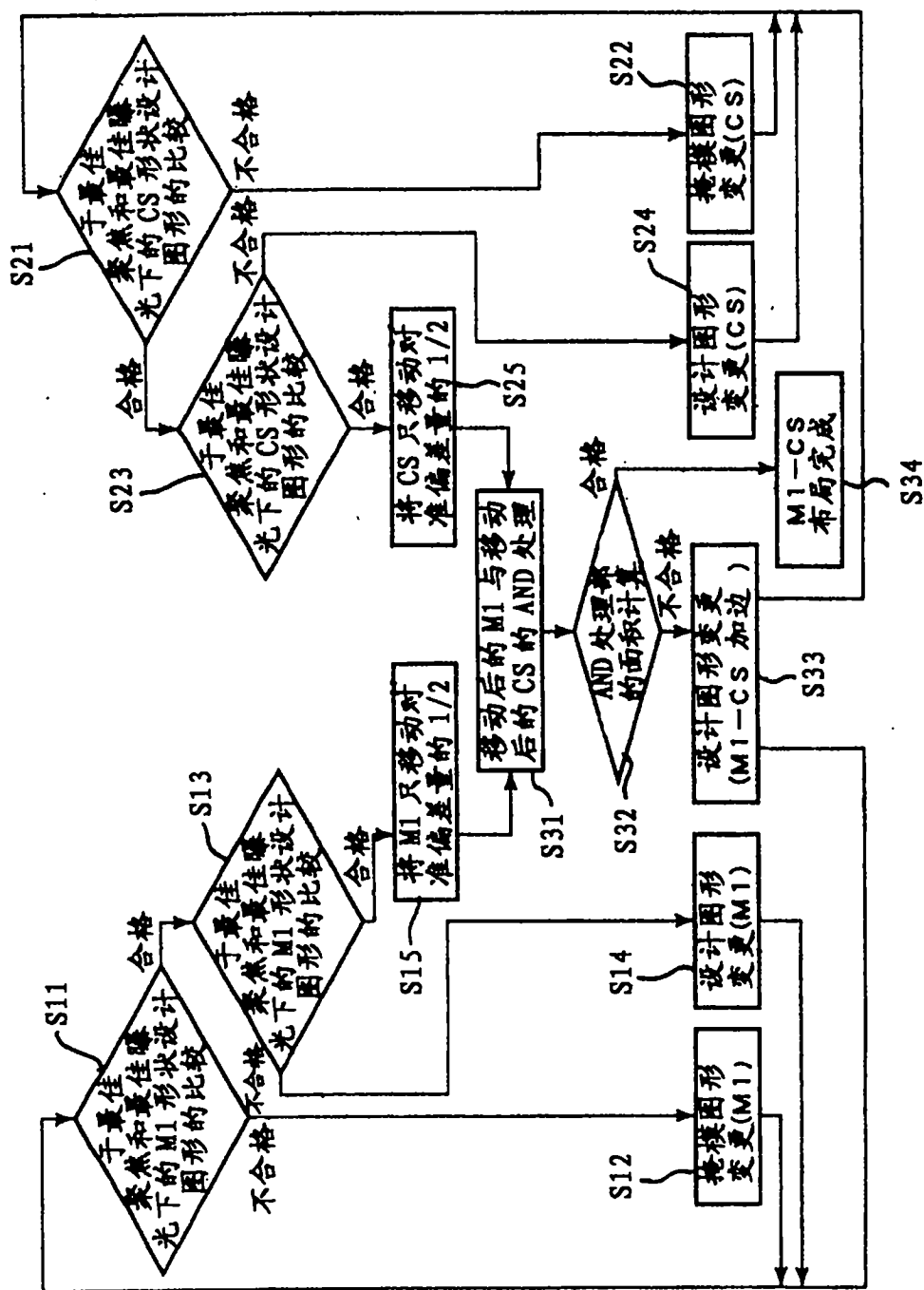


图 7

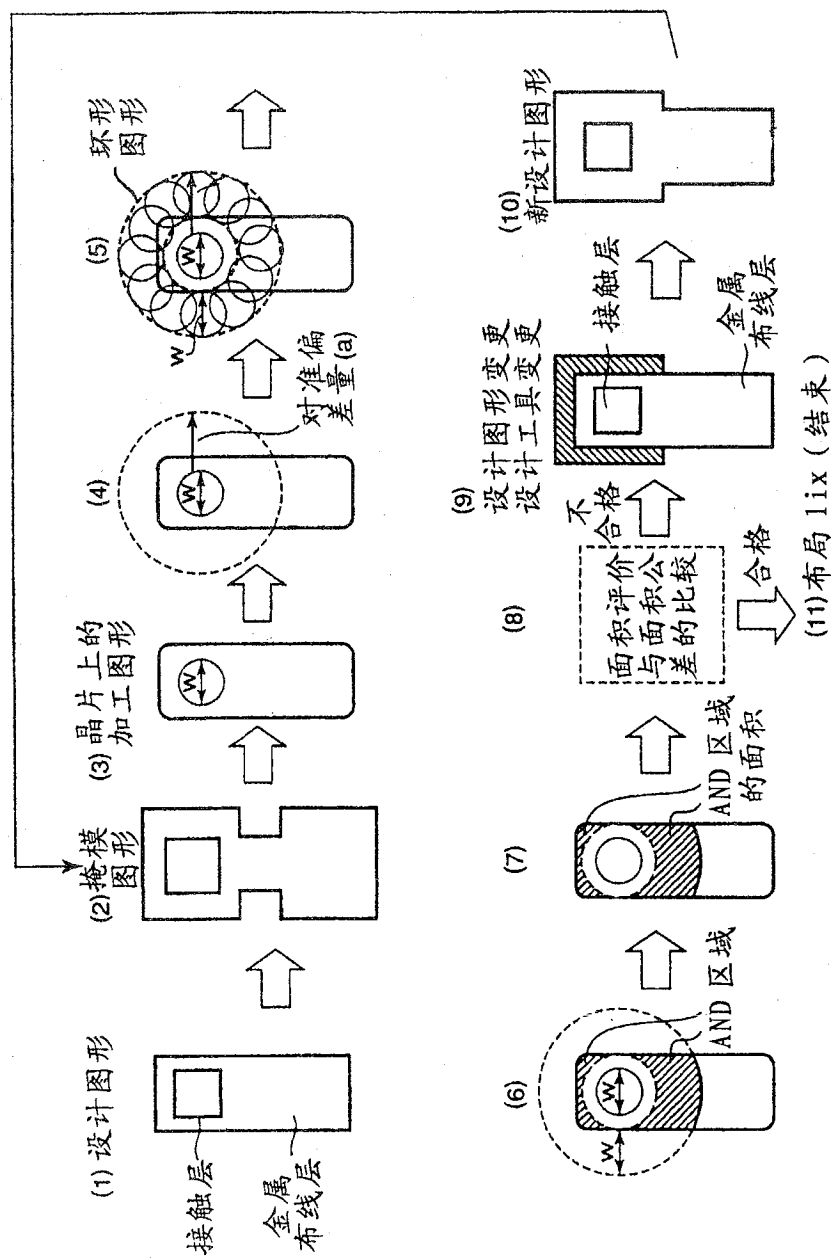


图 8

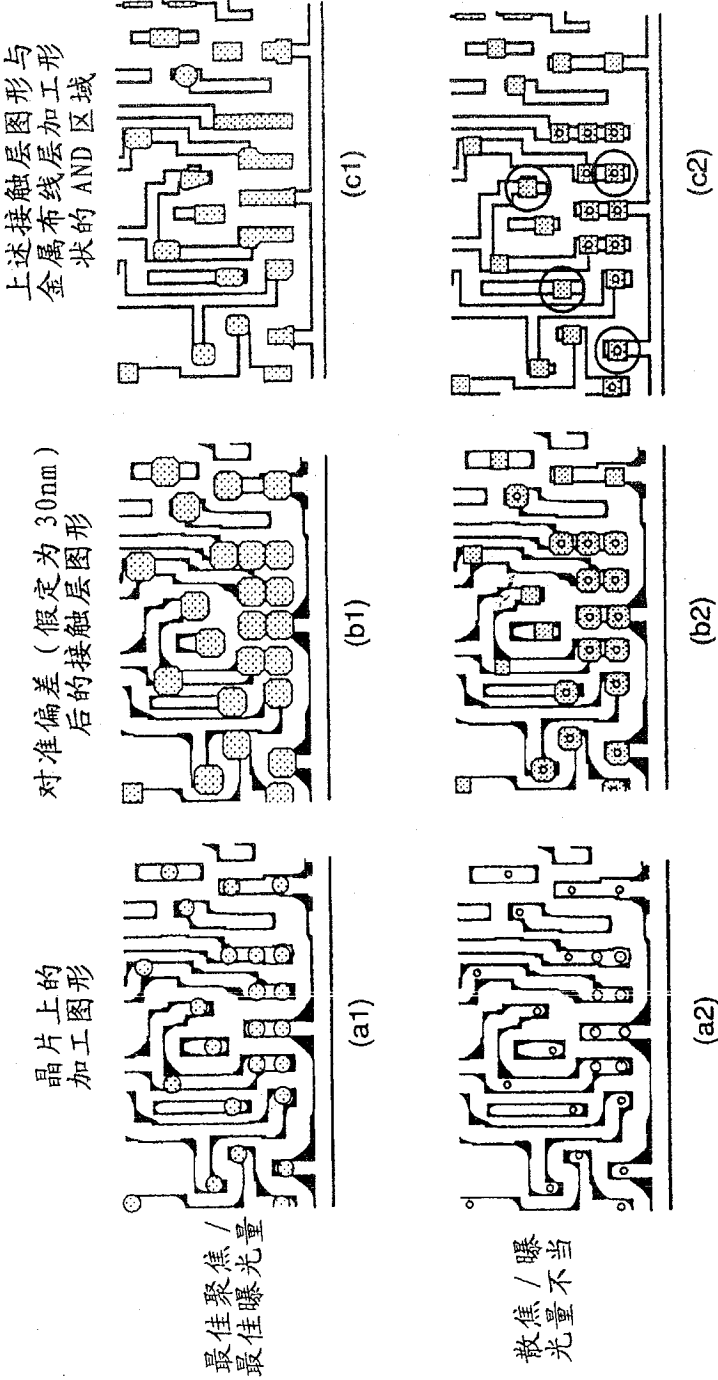


图 9

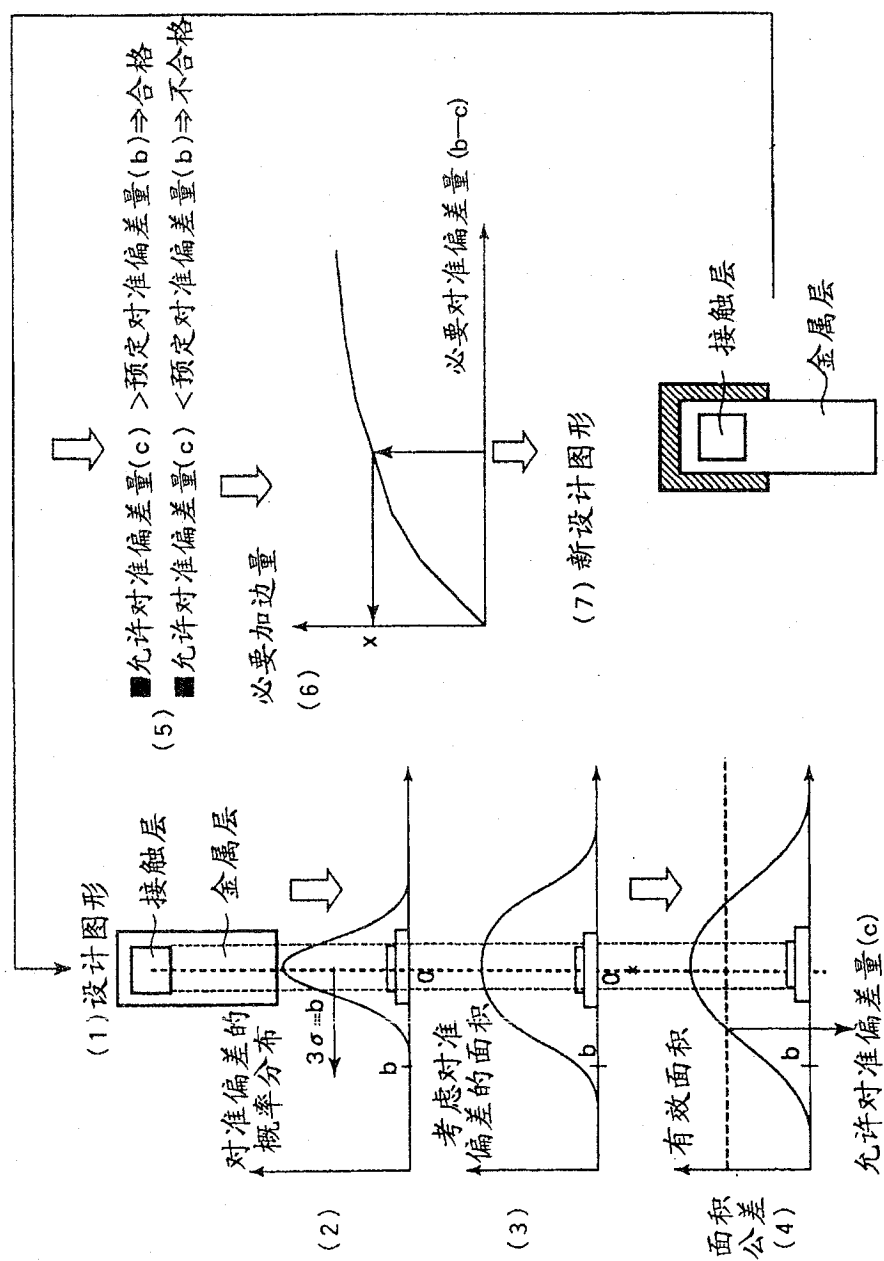


图 10

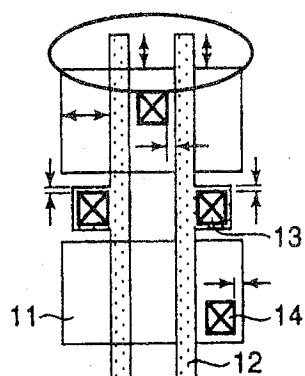


图 11A

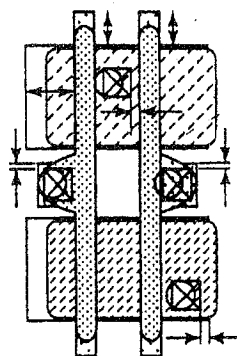


图 11B

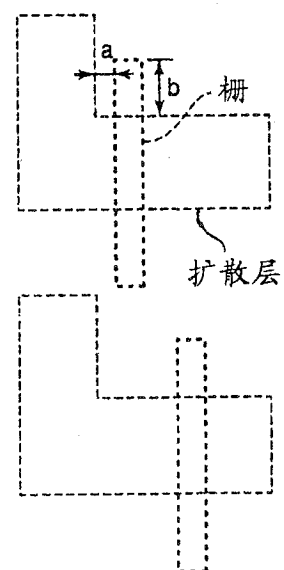


图 12A

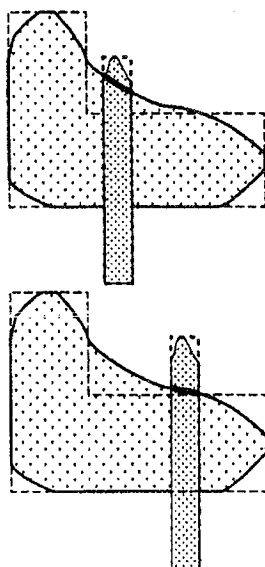


图 12B

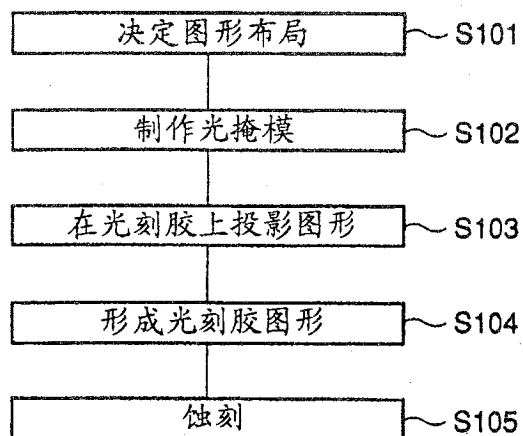


图 13