



# (12)发明专利

(10)授权公告号 CN 105304660 B

(45)授权公告日 2018.06.15

(21)申请号 201510441094.0

(22)申请日 2015.07.24

(65)同一申请的已公布的文献号  
申请公布号 CN 105304660 A

(43)申请公布日 2016.02.03

(30)优先权数据  
2014-151123 2014.07.24 JP

(73)专利权人 佳能株式会社  
地址 日本东京

(72)发明人 小林昌弘

(74)专利代理机构 中国国际贸易促进委员会专  
利商标事务所 11038  
代理人 欧阳帆

(51)Int.Cl.

H01L 27/146(2006.01)

H01L 27/14(2006.01)

(56)对比文件

US 2012/0049254 A1,2012.03.01,

CN 1877847 A,2006.12.13,

US 2014/0103189 A1,2014.04.17,

审查员 金政

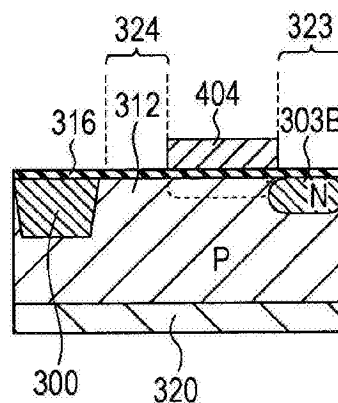
权利要求书2页 说明书12页 附图13页

(54)发明名称

成像装置及其驱动方法

(57)摘要

本发明涉及成像装置及其驱动方法。根据本发明实施例的成像装置包括多个像素。每个像素具有活性区域,该活性区域在平面图中包括第一区域和第二区域,在第一区域和第二区域之间具有电极。作为活性区域的一部分且位于电极下方的部分形成电容器的至少一部分。第一区域包括第一导电类型的第一半导体区域,第一半导体区域形成浮置扩散区的至少一部分,并且第二区域包括与第一导电类型相反的第二导电类型的第二半导体区域。在第二半导体区域上设置有绝缘膜。



1. 一种成像装置,其特征在于,包括:  
多个像素,所述多个像素中的每一个包括  
光电转换单元,  
浮置扩散区,被配置为保持在光电转换单元中生成的电荷,  
放大器晶体管,其与浮置扩散区电连接,以及  
电容器,包括电极,该电容器被设置为使得该电容器与浮置扩散区的电连接能根据提供电极的信号进行切换,  
其中电容器与浮置扩散区的电连接被切换以改变放大器晶体管的输入节点的电容值,  
其中,所述多个像素中的每一个具有活性区域,该活性区域包括第一区域和第二区域,在平面图中第一区域和第二区域被布置为在这两者之间具有所述电极,第二区域的至少一部分不与所述电极重叠,  
其中,在平面图中,第二区域被设置在绝缘体隔离部和所述电极之间,  
其中,作为活性区域的一部分且位于所述电极下方的部分形成所述电容器的至少一部分,  
其中,第一区域包括第一导电类型的第一半导体区域,第一半导体区域形成浮置扩散区的至少一部分,  
其中,第二区域包括具有与第一导电类型相反的第二导电类型的第二半导体区域,  
其中,在第二半导体区域上设置有绝缘膜,并且  
其中,第二半导体区域形成与绝缘体隔离部的交界面。
2. 根据权利要求1所述的成像装置,其中,所述绝缘膜形成与第二半导体区域的交界面。
3. 根据权利要求1或2所述的成像装置,其中,所述活性区域由所述绝缘体隔离部限定,并且  
其中,第二半导体区域位于第二区域的至少一部分中直到等于绝缘体隔离部的底部的深度的深度。
4. 根据权利要求1或2所述的成像装置,其中,在第二半导体区域下方设置有第二导电类型的半导体区域,该半导体区域具有比第二半导体区域低的杂质浓度。
5. 根据权利要求3所述的成像装置,其中,所述绝缘体隔离部形成与沟道停止区域的交界面。
6. 根据权利要求1或2所述的成像装置,其中,接触插塞延伸通过绝缘膜并与第二半导体区域连接。
7. 根据权利要求1或2所述的成像装置,其中,在平面图中,在第二半导体区域与所述电极之间设置有具有与第二半导体区域的导电类型相同的导电类型的半导体区域,该半导体区域具有比第二半导体区域低的杂质浓度。
8. 根据权利要求1或2所述的成像装置,其中,活性区域包括第一活性区域和第二活性区域,光电转换单元和第二导电类型的第三半导体区域位于所述第一活性区域中,第一半导体区域和第二半导体区域位于所述第二活性区域中,并且  
其中,浮置扩散区包括第一半导体区域和第三半导体区域。
9. 根据权利要求8所述的成像装置,其中

所述多个像素中的每一个还包括转移晶体管,该转移晶体管被配置为将光电转换单元的信号转移到第三半导体区域,

其中,在平面图中,第一活性区域和第二活性区域在第一方向上并排地布置,

其中,在平面图中,第一半导体区域和第二半导体区域位于第二活性区域中以便被布置在垂直于第一方向的第二方向上,并且在平面图中,所述电极被设置在第二活性区域中以便位于第一半导体区域与第二半导体区域之间,并且

其中,在平面图中,光电转换单元和第三半导体区域位于第一活性区域中以便被布置在第二方向上,并且在平面图中,转移晶体管的栅电极被设置在第一活性区域中以便位于光电转换单元与第三半导体区域之间。

10. 根据权利要求1或2所述的成像装置,其中,所述电容器包括表面型MOS电容器或掩埋型MOS电容器。

11. 根据权利要求1或2所述的成像装置,其中,所述电容器包括PN结电容器。

12. 一种成像装置,其特征在于,包括:

多个像素,所述多个像素中的每一个包括

光电转换单元,

浮置扩散区,被配置为保持在光电转换单元中生成的电荷,

放大器晶体管,与浮置扩散区电连接,以及

电容器,包括电极,该电容器被设置为使得该电容器与浮置扩散区的电连接能根据提供给所述电极的信号进行切换,

其中,所述多个像素中的每一个具有活性区域,该活性区域包括第一区域和第二区域,在平面图中第一区域和第二区域被布置为在这两者之间具有所述电极,第二区域的至少一部分不与所述电极重叠,

其中,在平面图中,第二区域被设置在绝缘体隔离部和所述电极之间,

其中,所述活性区域由绝缘体隔离部限定,

其中,作为活性区域的一部分且位于所述电极下方的部分形成所述电容器,

其中,第一区域包括第一导电类型的第一半导体区域,所述第一半导体区域形成浮置扩散区的至少一部分,

其中,第二区域包括与第一导电类型相反的第二导电类型的半导体区域,该半导体区域在第二区域中直到等于绝缘体隔离部的底部的深度的深度,

其中,该半导体区域的一部分被设置在第二半导体区域上,第二半导体区域具有比该半导体区域的其它部分高的浓度,

其中,接触插塞与第二半导体区域连接;并且

其中,第二半导体区域形成与绝缘体隔离部的交界面。

## 成像装置及其驱动方法

### 技术领域

[0001] 本发明涉及成像装置及其驱动方法,更具体地,涉及一种能够改变像素中的放大器晶体管的输入节点的电容值的电容器的结构。

### 背景技术

[0002] 在本领域中,通常使用电容器来扩大即将从像素输出的信号的动态范围。电容器被设置为使得电容器到浮置扩散区(floating diffusion,FD)的电连接可以切换。

[0003] 日本专利特开No.2008-205639描述了这样的配置:在该配置中,FD设置在第一区域中,并且导电类型与信号电荷相同的半导体区域设置在第二区域中,方式为使得被配置为切换电容器与FD的电连接的栅电极被放置在第一区域和第二区域之间。

### 发明内容

[0004] 根据本发明的一个方面的成像装置包括多个像素。所述多个像素中的每一个包括:光电转换单元、被配置为保持在光电转换单元中生成的电荷的浮置扩散区、与浮置扩散区电连接的放大器晶体管、以及包括电极的电容器。电容器被设置为使得电容器与浮置扩散区的电连接能根据提供给电极的信号来切换。电容器与浮置扩散区的电连接被切换以改变放大器晶体管的输入节点的电容值。所述多个像素中的每个均具有活性区域,该活性区域包括第一区域和第二区域,并且第一区域和第二区域被布置为在平面图中在它们之间具有所述电极。作为活性区域的一部分且位于电极下方的部分形成电容器的至少一部分。第一区域包括第一导电类型的第一半导体区域,第一半导体区域形成浮置扩散区的至少一部分。第二区域包括与第一导电类型相反的第二导电类型的第二半导体区域。在第二半导体区域上设置有绝缘膜。

[0005] 参照附图阅读示例性实施例的以下描述,本发明的其它特征将变得清楚。

### 附图说明

[0006] 图1为成像装置的框图。

[0007] 图2为像素的电路图。

[0008] 图3为驱动时序图。

[0009] 图4A和4B为像素的示意性平面图。

[0010] 图5A和5B为像素的沿着图4中的线V-V所取的示意性截面图。

[0011] 图6A为根据第一示例的像素的示意性平面图,图6B和6C为图6A中所示的像素的示意性截面图。

[0012] 图7A为根据第二示例的像素的示意性平面图,图7B为图7A中所示的像素的示意性截面图。

[0013] 图8A为根据第三示例的像素的示意性平面图,图8B为图8A中所示的像素的示意性截面图。

[0014] 图9A为根据第四示例的像素的示意性平面图,图9B为图9A中所示的像素的示意性截面图。

[0015] 图10A和10C为根据第五示例的像素的示意性平面图,图10B为图10A中所示的像素的示意性截面图。

[0016] 图11A为根据第六示例的像素的示意性平面图,图11B为图11A中所示的像素的示意性截面图。

[0017] 图12为驱动时序图。

## 具体实施方式

[0018] 将参照图1到图5B来描述根据本发明的实施例的成像装置。在附图中,相同的附图标记表示相同或基本相同的要素或者相同或基本相同的区域。

[0019] 图1是根据本发明实施例的成像装置101的框图。成像装置101包括像素单元102、驱动脉冲生成单元103、垂直扫描电路104、信号处理单元105以及输出单元106。

[0020] 像素单元102包括以矩阵形式布置的多个像素。每个像素均将光转换为电信号,并输出所得到的电信号。驱动脉冲生成单元103生成驱动脉冲。垂直扫描电路104接收来自驱动脉冲生成单元103的驱动脉冲,并将控制信号提供给每个像素。信号处理单元105至少使从多个像素列并行输出的信号串行化(serialize),并将所得到的信号发送到输出单元106。信号处理单元105可以包括列电路,每个列电路与一个像素列对应,并执行诸如信号放大和模数(AD)转换之类的操作。

[0021] 图2示出了根据本实施例的像素单元102中的每个像素的等效电路的示例。在本实施例中,将在信号电荷由电子携带并且每个晶体管是n型金属氧化物半导体(MOS)晶体管的背景下进行描述。在本实施例中,第一导电类型是n型,第二导电类型是与第一导电类型相反的导电类型p型。注意,信号电荷可以由空穴携带,并且每个晶体管可以是p型MOS晶体管。

[0022] 另外,等效电路不限于图2中所示的等效电路,并且该配置的一部分可以由多个像素共享。本发明的实施例能应用于其中光从成像装置的正面进入的正面照射成像装置或其中光从成像装置的背面进入的背面照明成像装置。

[0023] 根据本实施例的每个像素包括电容器208,电容器208被配置为能够改变放大器晶体管205的输入节点的电容值。放大器晶体管205的输入节点至少包括FD 203、放大器晶体管205的栅电极、以及与FD 203和放大器晶体管205的栅电极电连接的导体。

[0024] 转换开关207使得能够切换电容器208与FD 203之间的电连接状态和非连接状态。电容器208在经由转换开关207电连接到FD203时形成放大器晶体管205的输入节点的一部分。

[0025] 相比于使电容器208与FD 203进入非连接状态的情况,使电容器208与FD 203进入电连接状态以增大放大器晶体管205的输入节点的电容值使得能够减小放大器晶体管205的输入节点处的电荷-电压转换效率。相反,使电容器208与FD 203进入非连接状态以减小放大器晶体管205的输入节点的电容值使得能够提高放大器晶体管205的输入节点处的电荷-电压转换效率。

[0026] 在放大器晶体管205的输入节点处,相对较低的电荷-电压转换效率减小由于电荷-电压转换而获得的电压的幅度。这使得即使大量电荷已转移到FD 203,也能够提高放大

器晶体管205的输出信号的线性度(linearity)。

[0027] 相反,在放大器晶体管205的输入节点处,相对较高的电荷-电压转换效率增大由于电荷-电压转换而获得的电压的幅度。这使得即使少量电荷已转移到FD 203,也能够提高放大器晶体管205的输出信号的线性度。

[0028] 因此,FD 203与电容器208之间的电连接状态和非连接状态被切换以使动态范围可变。

[0029] 现在将参照图2来详细描述根据本实施例的每个像素。

[0030] 光电转换单元201执行光电转换以生成电荷对,并积聚电子,其中所述电荷对的量对应于入射光的量。转移晶体管202把在光电转换单元201中积聚的电子转移到FD 203。控制信号pTX被提供给转移晶体管202的栅电极。FD 203保持由转移晶体管202转移的信号电荷。

[0031] 放大器晶体管205具有与FD 203电连接的栅电极,并被配置为对基于由转移晶体管202转移到FD 203的电子的信号进行放大并输出经放大的信号。更具体地,转移到FD 203的电子被转换为根据它们的量的电压,并且与该电压对应的电信号经由放大器晶体管205输出到像素外部。放大器晶体管205和电流源209形成源极跟随器电路。

[0032] 重置晶体管204重置放大器晶体管205的输入节点的电位。重置晶体管204还可以通过重置晶体管204的接通时段与转移晶体管202的接通时段的重合来重置光电转换单元201的电位。控制信号pRES被提供给重置晶体管204的栅电极。

[0033] 选择晶体管206允许逐像素地或者按多个像素的组输出为每个信号线211提供的多个像素的信号。选择晶体管206具有与放大器晶体管205的源极电连接的漏极以及与信号线211电连接的源极。选择晶体管206可以设置在放大器晶体管205的漏极与被提供电源电压的电源线之间的电通路中,以替代根据本实施例的配置。

[0034] 也就是说,选择晶体管206被配置为能够控制放大器晶体管205与信号线211之间的电传导就足够了。控制信号pSEL被提供给选择晶体管206的栅电极。

[0035] 选择晶体管206可能不一定用来把放大器晶体管205的源极连接到信号线211。在这种情况下,通过切换放大器晶体管205的漏极或栅电极的电位来切换对像素的选择和不选择。

[0036] 图3示出了用于图2中所示的成像装置101的驱动脉冲的示例。参照图3,仅描述了与本实施例的特征直接相关的驱动时序。图3的部分(a)示出了第n行的驱动时序。图3的部分(b)示出了第n+1行的驱动时序。

[0037] 在图3中,实线表示用于其中电容器208与FD 203处于连接状态的像素的控制信号或者其中电容器208与FD 203连接的模式下的控制信号。

[0038] 在图3中,虚线表示用于其中电容器208与FD 203处于非连接状态的像素的控制信号或者其中电容器208与FD 203不连接的模式下的控制信号。在其间每个控制信号处于高电平(下文称为“H电平”)的时段中,对应的晶体管接通;在其间每个控制信号处于低电平(下文称为“L电平”)的时段中,对应的晶体管断开。

[0039] 在图3中,pSEL表示输入到选择晶体管206的栅极的控制信号。对于被选择的行,控制信号pSEL在从时刻t1到时刻t8的时段中处于H电平。对于未被选择的行,如虚线所示,控制信号pSEL在从时刻t1到时刻t8的时段中处于L电平。

[0040] pRES表示输入到重置晶体管204的栅极的控制信号。当控制信号pRES处于H电平时,FD 203的电位被重置。

[0041] pTX表示输入到转移晶体管202的栅极的控制信号。当控制信号pTX处于H电平时,光电转换单元201与FD 203处于连接状态。当控制信号pTX处于L电平时,光电转换单元201与FD 203处于非连接状态。

[0042] pAPP表示输入到转换开关207的控制信号。控制信号pAPP引起电容器208与FD 203之间的连接状态的切换。当控制信号pAPP处于H电平时,电容器208与FD 203处于连接状态。当控制信号pAPP处于L电平时,电容器208与FD 203处于非连接状态。

[0043] 首先,在时刻 $t_{1n}$ ,控制信号pSEL开始从L电平转变,并在经过一定时间段后上升到H电平。在该时段期间,控制信号pRES处于H电平。然后,FD 203的电位变为等于VDD。

[0044] 然后,在时刻 $t_{2n}$ ,控制信号pAPP开始从L电平转变,并在经过一定时间段后上升到H电平。在该时段期间,控制信号pSEL和控制信号pRES处于H电平。因此,电容器208与FD 203进入电连接状态。然后,FD 203和电容器208的电位变为等于VDD。为了使电容器208与FD 203一直处于非连接状态,将控制信号pAPP(n)维持在L电平。

[0045] 然后,在时刻 $t_{3n}$ ,控制信号pRES开始从H电平转变,并在经过一定时间段后下降到L电平。然后,重置FD 203和电容器208的电位的操作完成。

[0046] 在时刻 $t_{4n}$ ,控制信号pTX开始从L电平转变,并在经过一定时间段后上升到H电平。此时,光电转换单元201与FD 203进入电连接状态。然后,光电转换单元201中的电子转移到FD 203。控制信号pAPP处于H电平,在此期间,电容器208与FD 203处于连接状态。因此,经转移的电子被保持在FD 203和电容器208中。

[0047] 在时刻 $t_{5n}$ ,控制信号pTX开始从H电平转变,并在经过一定时间段后下降到L电平。因此,光电转换单元201与FD 203进入非连接状态。

[0048] 在时刻 $t_{6n}$ ,控制信号pRES开始从L电平转变,并在经过一定时间段后上升到H电平。因此,FD 203和电容器208的电位变为等于VDD。

[0049] 在时刻 $t_{7n}$ ,控制信号pAPP开始从H电平转变,并在经过一定时间段后下降到L电平。因此,电容器208与FD 203进入非连接状态。

[0050] 在时刻 $t_{8n}$ ,控制信号pSEL开始从H电平转变,并在经过一定时间段后下降到L电平。因此,对第n行的读取完成。对第(n+1)行(图3的部分(b))和后续行重复执行类似的操作,并从像素单元102读出信号。

[0051] 使用信号线211上的在从时刻 $t_{5n}$ 到时刻 $t_{8n}$ 的时段期间的电压作为信号,使得其中电容器208被连接的像素的信号将能够用作图像信号。

[0052] 另外,如果需要,使用信号线211上的在从时刻 $t_{3n}$ 到时刻 $t_{4n}$ 的时段期间的电压作为信号,使得能够获得像素的噪声信号。获取上述噪声信号与信号电荷之间的差异可以降低噪声。

[0053] 在从时刻 $t_{1n}$ 到时刻 $t_{8n}$ 的时段中,控制信号pSEL被维持在H电平。可替代地,可以仅在以下时段中将控制信号pSEL设置为H电平:在该时段内,在电容器208与FD 203处于连接状态时保持在放大器晶体管205的输入节点中的信号被读出到信号处理单元105中。

[0054] FD 203与电容器208之间的电连接状态和非连接状态可以针对全部像素批量地切换、或者可以逐像素地或按预定像素数的组进行切换。例如,电容器208的电连接状态和非

连接状态可以针对滤色器的每个颜色逐一切换。

[0055] 脉冲的从H(或L)电平到L(或H)电平的转变需要一定时间段。可以对脉冲特意提供时间段以达到目标电平。在图3中,将脉冲从某电平达到目标电平所花费的时间段称为一定时间段,而不管它是特意提供以使脉冲达到目标电平的时间段还是固有时间段。

[0056] 接下来,将描述根据本实施例的像素的特征。图4A、4B和图5A、5B示出了根据本实施例的成像装置101中的每个像素的示意性平面图和示意性截面图,以显示出像素的特征。

[0057] 图4A示出了绝缘体隔离部300以及由绝缘体隔离部300限定的活性区域(313A至313C),以便于示出活性区域。如图4B中所示,每个像素包括图4A所示的活性区域中的半导体区域以及活性区域中的栅电极。在图4B中,省略了被分配给图4A中的活性区域的附图标记(313A至313C)。

[0058] 图5A和图5B为沿着图4B中的线V-V所取的示意性截面图,并示出了电容器208的示例配置。

[0059] 图4A和图4B为如在平面中所看到的每个像素的图。从以下所述的示意性截面图(诸如图5A)可以看出,绝缘体隔离部300设置在半导体衬底320的正面,并且活性区域由绝缘体隔离部300限定。换句话说,每个活性区域被绝缘体隔离部300包围。

[0060] 在本实施例中,以举例的方式设置了限定活性区域的绝缘体隔离部300。可以设置PN结隔离部来代替绝缘体隔离部300。

[0061] 在这里所述的实施例中,活性区域包括由绝缘体隔离部300限定的活性区域313A(第一活性区域)、313B(第二活性区域)以及313C(第三活性区域)。第一活性区域313A和第二活性区域313B在第一方向上并排地设置。

[0062] 第二活性区域313B在平面图中具有这样的形状:该形状在垂直于第一方向的第二方向(典型地为垂直于第一方向的方向)上比在第一方向长。第二活性区域313B和第三活性区域313C在第二方向上并排地设置。在本实施例中,第三活性区域313C用作被提供基准电位的区域。可以不一定使用第三活性区域313C。

[0063] 用绝缘膜316覆盖活性区域(313A、313B和313C)的表面。从而,在各活性区域的顶部设置电极404和栅电极(下文称为“电极等”),并在电极404和栅电极之间插有绝缘膜316的一部分。绝缘膜316例如由二氧化硅构成。如果使用化学气相沉积(CVD)技术来沉积绝缘膜316,则绝缘膜316还在绝缘体隔离部300的表面上形成。而如果使用热氧化方法来形成绝缘膜316,则绝缘膜316基本上不在绝缘体隔离部300的表面上形成。在活性区域由PN结隔离部限定的情况中,无论使用哪种方法形成绝缘膜316,在PN结隔离部的顶部均形成绝缘膜316。

[0064] 另外,不位于电极等下方的活性区域可以被配置为使得与位于电极等下方的绝缘膜不同的绝缘膜在活性区域的表面的至少一部分上形成。不同的绝缘膜例如是在已经形成位于电极等下方的绝缘膜并且已经除去绝缘膜的不位于电极等下方的一部分之后形成的另一个绝缘膜。

[0065] 在下文中,将对这样的情况进行描述:设置在活性区域的表面上的位于电极等下方的绝缘膜与不位于电极等下方的绝缘膜相同。

[0066] 如图4B中所示,光电转换单元201、栅电极402和n型半导体区域(第三半导体区域)303A被设置在第一活性区域313A中,以便布置在第二方向上。在栅电极402与第一活性区域



313A之间插有绝缘膜316的情况下,栅电极402被设置在第一活性区域313A中。在电极404与第二活性区域313B之间插有绝缘膜316的情况下,电极404被设置在第二活性区域313B中。

[0067] 另外,如图4B中所示,第二活性区域313B具有第一区域323和第二区域324,使得在平面图中,电极404位于第一区域323与第二区域324之间。

[0068] 第一区域323包括n型半导体区域(第一半导体区域)303B。第一半导体区域303B形成FD 203的至少一部分。

[0069] 第二区域324包括p型半导体区域(第二半导体区域)312。第二半导体区域312形成与绝缘膜316的交界面。

[0070] FD 203包括第一半导体区域303B、和位于第一活性区域313A中的第三半导体区域303A。

[0071] 图5A为沿着图4B中的V-V线所取的示意性截面图。在图5A中,第一区域323和第二区域324被布置为两者之间具有电极404。n型半导体区域303B位于第一区域323中。形成与绝缘膜316的交界面的p型半导体区域312位于第二区域324中。在图5A所示的示例中,在电极404下方的半导体区域中形成表面型MOS电容器。表面型MOS电容器用作电荷积聚区域,该电荷积聚区域通过由于经由绝缘膜316施加的电场导致设置在电极404下方的活性区域的表面上的p型半导体区域312反转而形成。因此,形成如图2中所示的电容器208。下面使用示例来描述其它实施例。

[0072] 电极404被包括在图2示出的转换开关207中。施加到电极404的控制信号pAPP使得下述电容器208与FD 203的电连接能够在电连接状态和非连接状态之间切换。

[0073] 在电容器208中,在电极404下方的活性区域的表面中形成势阱,并且电子在该势阱中积聚。当电容器208与FD 203连接时,电子从上述第二区域324的表面进入势阱中可能在FD 203中引起噪声。

[0074] 其上设置有绝缘膜316的p型半导体区域312位于第二区域324中,以允许如上所述可能引起噪声的电子与作为p型半导体区域312中的多数载流子的空穴再结合。因此,可以减少进入n型半导体区域303B中的电子的量,从而降低噪声。在一个实施例中,p型半导体区域312形成与绝缘膜316的交界面。

[0075] 另外,在活性区域和绝缘体隔离部300之间的交界面处由于主要由二氧化硅构成的绝缘体隔离部300与主要由硅构成的半导体衬底320之间的膨胀系数的差异而导致的缺陷可能造成不想要的电荷。

[0076] 因此,p型半导体区域312可以位于第二区域324中,至少直到这样的深度:从活性区域与绝缘膜316之间的交界面起,该深度等于绝缘体隔离部300的底部的深度。这使得电容器208和绝缘体隔离部300能够偏移,并且可以减少由绝缘体隔离部300造成的噪声。

[0077] 在本实施例中,已经使用表面型MOS电容器进行描述。如图5B所示,可以使用其中n型半导体区域设置在电极404下方的活性区域的表面上的掩埋型MOS电容器。

[0078] 另外,在本实施例中,以举例的方式,在第二区域324中设置其中P阱(P-well)被形成作为p型半导体区域的p型半导体区域312。第二区域324中的p型半导体区域的深度不受特别限制。第二区域324中除形成与绝缘膜316的交界面之外的区域可以是n型半导体区域。也就是说,可以在形成于第二区域324中的p型半导体区域下方设置n型半导体区域。

[0079] 另外,在本实施例中,已经在假设设置在p型半导体区域312顶部的绝缘膜316与位

于电极404下方的绝缘膜316相同的情况下进行了描述。可替代地,例如,如同层间绝缘膜,可以在p型半导体区域312的顶部设置与位于电极404下方的绝缘膜316不同的绝缘膜。

[0080] 另外,在本实施例中,光电转换单元201所在的活性区域312A与电容器208所在的活性区域313B是单独的活性区域。活性区域313A与313B可以不一定是单独的活性区域,而可以是同一个活性区域。

[0081] 现在将描述在本实施例中所述的成像装置的具体示例。

[0082] 第一示例

[0083] 图6A示出了根据本示例的成像装置的每个像素的示意性平面图,图6B和6C示出了图6A中所示的像素的示意性截面图。具有与图1至图5B中的部分类似功能的部分被分配相同的附图标记,并且不再详细描述。在本示例中,p型半导体区域405对应于第二半导体区域。p型半导体区域405位于形成p型阱的p型半导体区域412中。

[0084] 图6A为根据本示例的成像装置的每个像素的示意性平面图。与根据图4A中所示的实施例的活性区域(313A、313B和313C)类似,根据本示例的活性区域由绝缘体隔离部300限定。

[0085] 另外,在本示例中,如在根据图4B所示的实施例的配置那样,第二活性区域313B包括第一区域323和第二区域324,其中第一区域323和第二区域324被布置为在平面图中在两者之间布置有电极404。n型半导体区域303B位于第一区域323中,p型半导体区域405位于第二区域324中。p型半导体区域405的杂质浓度比位于p型半导体区域405下方的p型半导体区域412高。

[0086] 活性区域313A包括光电转换单元201、栅电极402以及n型半导体区域303A,使得光电转换单元201、栅电极402以及n型半导体区域303A被布置在垂直于第一方向的第二方向上。活性区域313B包括n型半导体区域406、栅电极407、n型半导体区域408、栅电极409、n型半导体区域410、栅电极411、n型半导体区域303B、电极404以及p型半导体区域405,使得n型半导体区域406、栅电极407、n型半导体区域408、栅电极409、n型半导体区域410、栅电极411、n型半导体区域303B、电极404以及p型半导体区域405被布置在第二方向上。

[0087] 位于活性区域313A中的n型半导体区域303A经由导体与位于活性区域313B中的n型半导体区域303B、电连接到n型半导体区域303B的电容器208以及栅电极409连接。FD 203包括n型半导体区域303A和303B。

[0088] 图6B为沿着图6A中的线VIB-VIB所取的示意性截面图。图6C为沿着图6A中的线VIC-VIC所取的示意性截面图。首先将参照图6B进行描述。

[0089] 光电转换单元201具有由n型半导体区域401和p型半导体区域412形成的PN结。在本示例中,光电转换单元201为光电二极管。另外,p型半导体区域415在n型半导体区域401的表面上形成,由此实现掩埋型光电二极管。n型半导体区域401位于距离绝缘膜316比形成晶体管的源极和漏极的半导体区域的位置更深的位置。

[0090] 图2中所示的转移晶体管202包括:用作转移晶体管202的漏极区域的n型半导体区域401、栅电极402以及用作转移晶体管202的源极区域的n型半导体区域303A。

[0091] 现在将描述图6C中所示的活性区域313B。

[0092] 图2中所示的重置晶体管204包括:用作重置晶体管204的源极区域的n型半导体区域303B、栅电极411以及用作重置晶体管204的漏极区域的n型半导体区域410。图2中所示的

放大器晶体管205包括：用作放大器晶体管205的漏极区域的n型半导体区域410、栅电极409以及用作放大器晶体管205的源极区域的n型半导体区域408。图2中所示的选择晶体管206包括：用作选择晶体管206的漏极区域的n型半导体区域408、栅电极407以及用作选择晶体管206的源极区域的n型半导体区域406。

[0093] 第三活性区域313C包括p型半导体区域414。接触插塞与p型半导体区域414连接以向形成阱的p型半导体区域412提供预定电压。这种配置可以抑制或减小p型半导体区域412的电位变化。预定电压例如为接地电位。

[0094] 图2中所示的转换开关207包括电极404，并且提供给电极404的电压提供电容器208与FD 203的电连接在电连接状态与非连接状态之间的切换。

[0095] 在本示例中，第二区域324包括p型半导体区域405，该p型半导体区域405形成与绝缘膜316的交界面。

[0096] 另外，p型半导体区域412位于p型半导体区域405下方的第二区域324中，至少直到等于绝缘体隔离部300的底部的深度的深度。p型半导体区域412可以由P阱形成。p型半导体区域412可以位于N阱上方。

[0097] 这里使用的术语“绝缘体隔离部300的底部”是指具有在其处绝缘体隔离部300形成与p型半导体区域412的交界面的深度的、最深的位置。

[0098] 如上所述，p型半导体区域405的杂质浓度比p型半导体区域412高。采用上述配置，与电容器208很靠近的部分（即，在第二区域324的表面附近的部分）相比于图5A或图5B中所示的配置具有更高的p型杂质浓度。因此，相比于其中p型半导体区域412在不使用p型半导体区域405的情况下形成与绝缘膜316的交界面的情况，可以减少由半导体区域的表面上的晶体缺陷引起的噪声。

[0099] 例如，可以通过使用电极404作为掩模并将离子注入到预先提供的作为p型半导体区域的一部分的区域中，来形成p型半导体区域405。

[0100] 如上所述，本示例可以减少由与绝缘膜316的交界面上的晶体缺陷引起的噪声，并可以减少由绝缘体隔离部300引起的噪声。

[0101] 第二示例

[0102] 图7A和7B分别为根据本示例的成像装置的每个像素的示意性平面图和示意性截面图，以示出像素的特征。具有与图1至图6C中的部分类似功能的部分被分配相同的附图标记，并且不再详细描述。

[0103] 图7A为根据本示例的成像装置的每个像素的示意性平面图。在本示例中，在平面图中p型半导体区域412在第二区域324中形成，并且p型半导体区域505设置在p型半导体区域412的表面上以与电极404偏离。与第一示例不同，假设p型半导体区域505与电极404偏离的区域由偏离区域518表示，则p型半导体区域505被设置为在p型半导体区域505与电极404之间放置有偏离区域518。

[0104] 在本示例中，偏离区域518和p型半导体区域505位于第二区域324中。

[0105] 图7B为沿着图7A中的线VII B-VII B所取的示意性截面图。偏离区域518由杂质浓度比p型半导体区域505低的p型半导体区域412形成。

[0106] 将参照图3来描述提供偏离区域518的原因。

[0107] 在图3中，在从时刻 $t_{2n}$ 到时刻 $t_{7n}$ 的时段中，控制信号pAPP处于高电平。因此，转换

开关207的电极404的电位具有高电平。

[0108] 相反,p型半导体区域412的电位被配置为具有接地电平。因此,p型半导体区域505也具有接近接地电位的电位。因此,在转换开关207的电极404与p型半导体区域505之间生成高电场。然而,实际上,表面型MOS电容器可以通过例如位于电极404下方的p型半导体区域412的反转来形成,并且并非整个p型半导体区域412可以具有相同的接地电位。

[0109] 在该情况中,在施加高电场的区域中造成噪声的电荷的存在可能导致被称为热载流子放大(hot carrier amplification)的现象。热载流子放大使电荷进入n型半导体区域303B,这导致噪声。为了抑制或减少热载流子放大,在一个实施例中,可以缓和转换开关207的电极404与p型半导体区域505之间的电场。

[0110] 因此,在本示例中,在电极404与p型半导体区域505之间提供杂质浓度比p型半导体区域505低的p型半导体区域412(即,偏离区域518)。相比于在电极404与p型半导体区域505之间不提供p型半导体区域412(即偏离区域518)的情况,这种配置允许在电极404与p型半导体区域505之间扩展更大的耗尽层。因此,可以缓和电极404与p型半导体区域505之间的电场。

[0111] 可以通过例如在电极404的侧壁上使用由绝缘体构成的侧面隔离体来形成p型半导体区域505,其中在p型半导体区域505与电极404之间放置有偏离区域518。具体地,该侧壁隔离体用作掩模,并且离子被注入到预先提供的p型半导体区域412中。因此,p型半导体区域505可以被设置为在p型半导体区域505与电极404之间具有p型半导体区域412。

[0112] 因此,本示例可以抑制或减少热载流子放大的发生,并且可以进一步降低噪声。

[0113] 第三示例

[0114] 图8A和8B分别为根据本示例的成像装置的每个像素的示意性平面图和示意性截面图,以示出像素的特征。具有与图1至图7B中的部分类似功能的部分被分配相同的附图标记,并且不再详细描述。

[0115] 图8A为根据本示例的成像装置的每个像素的示意性平面图。在本示例中,与第二示例不同,设置p型半导体区域619来代替根据第二示例的偏离区域518。即,在本示例中,与第二示例不同,在平面图中第二区域324在p型半导体区域605与电极404之间包括p型半导体区域619,该p型半导体区域619的杂质浓度比p型半导体区域412高。

[0116] 图8B为沿着图8A的线VIII B-VIII B所取的示意性截面图。

[0117] p型半导体区域619为杂质浓度比p型半导体区域412高且比p型半导体区域605低的区域。

[0118] 以上述方式,第二区域324包括在p型半导体区域605与电极404之间的p型半导体区域619,使得p型半导体区域619能够用作低浓度的电场缓和区域。因此,可以缓和p型半导体区域605与栅电极之间的电场。该结构被称为轻掺杂漏极(lightly doped drain,LDD)结构。因此,可以抑制或减少热载流子放大。另外,可以改善承受电压波动的可靠性和能力。

[0119] 在具有LDD结构的PMOS晶体管用于外围电路区域的情况中,用于形成根据本示例的p型半导体区域605和p型半导体区域619的杂质离子注入处理可以与用于形成外围电路区域中的PMOS晶体管的源极和漏极的杂质离子注入处理相同。

[0120] 在根据本示例的像素各自具有上述结构的情况中,可以在用于制造具有根据本示例的配置的像素的处理中不使用任何附加制造处理步骤的情况下与外围电路区域一起形

成这种像素。

[0121] 外围电路区域是其中在半导体衬底320上布置多个像素的区域的周围部分中的区域。在外围电路区域中设置有输出上述控制信号pSEL、pRES、pTX和pAPP的控制电路。在外围电路区域中还设置有这样的电路：该电路对通过图2中所示的信号线211从多个像素输出的信号进行采样或者输出信号。这同样适用于以下示例。

[0122] 在本示例中，在p型半导体区域605与电极404之间设置p型半导体区域619，该p型半导体区域619的杂质浓度比p型半导体区域605低且比p型半导体区域412高。如上述第二示例中那样，可以缓和电极404与p型半导体区域605之间的电场，并且可以抑制或减少热载流子放大，从而导致降低噪声。

[0123] 第四示例

[0124] 图9A和9B分别为根据本示例的成像装置的每个像素的示意性平面图和示意性截面图，以示出像素的特征。具有与图1至图8B中的部分类似功能的部分被分配相同的附图标记，并且不再详细描述。

[0125] 图9A为根据本示例的成像装置的每个像素的示意性平面图。在本示例中，如同第一示例，在平面图中，在第一区域323中设置n型半导体区域303B，并且在第二区域324设置杂质浓度比p型半导体区域412高的p型半导体区域705。然而，与第一示例不同，n型半导体区域717设置在p型半导体区域705下方。图9B为沿着图9A中的线IXB-IXB所取的示意性截面图。

[0126] 在本示例中，如图9B中所示，形成与p型半导体区域705的交界面的n型半导体区域717设置在p型半导体区域705下方。n型半导体区域717与上述表面型MOS电容器或掩埋型MOS电容器电连接。由n型半导体区域717形成的PN结电容器形成电容器208的一部分。

[0127] 通过把离子注入到第二区域324中，p型半导体区域705和n型半导体区域717按该顺序在深度方向上形成。

[0128] 在本示例中，第二区域324中的p型半导体区域705可以不一定具有比p型半导体区域412高的杂质浓度。在p型半导体区域705不具有比p型半导体区域412高的杂质浓度的情况下，p型半导体区域705可以用作为P阱的p型半导体区域412替换。

[0129] 第五示例

[0130] 图10A至10C示出了根据本示例的成像装置的每个像素的示意性平面图和示意性截面图，以示出像素的特征。具有与图1至图9B中的部分类似功能的部分被分配相同的附图标记，并且不再详细描述。

[0131] 图10A为根据本示例的成像装置的每个像素的示意性平面图。图10B为沿着图10A中的线XB-XB所取的示意性截面图。如图10C中所示，在根据本示例的活性区域313A至313C中，第一活性区域313A具有与根据第一至第四示例的第一活性区域313A不同的形状。另外，与第一至第四示例不同，电极404和第二区域324位于第一活性区域313A中。在本示例中，n型半导体区域303A和p型半导体区域805设置在第一活性区域313A中，使得n型半导体区域303A和p型半导体区域805被布置为在它们之间具有电极404。n型半导体区域303A所在的区域对应于第一区域323，p型半导体区域805所在的区域对应于第二区域324。

[0132] 在本示例中，第一活性区域313A包括光电转换单元201、n型半导体区域303A、电极404以及p型半导体区域805。第二活性区域313B包括n型半导体区域406、栅电极407、n型半

导体区域408、栅电极409、n型半导体区域410、栅电极411以及n型半导体区域303B。第三活性区域313C包括p型半导体区域414。接触插塞与p型半导体区域414连接以向p型半导体区域412提供电位。

[0133] 在本示例中,FD 203包括n型半导体区域303A和n型半导体区域303B。

[0134] 尽管已经参考一些具体示例描述了本发明的实施例,但是本发明不限于上述实施例,并且可以在不偏离本发明的精神和范围的情况下做出各种变化和变型。

[0135] 例如,可以在绝缘体隔离部300与活性区域之间的交界面处设置被称为沟道停止区域的高浓度半导体区域。沟道停止区域被实现为p型高浓度半导体区域,以抑制在n型器件之间形成沟道,以及被实现为n型高浓度半导体区域,以抑制在p型器件之间形成沟道。在上述示例中,每个像素的光电转换单元201、电容器208和晶体管是n型器件。因此,使用p型半导体区域作为沟道停止区域。

[0136] 上述沟道停止区域可以设置在上述每个示例中。在这种情况下,可以在p型半导体区域312、p型半导体区域405、p型半导体区域412、p型半导体区域505、p型半导体区域605、p型半导体区域705和p型半导体区域805中的每一个与绝缘体隔离部300之间的交界面处设置p型沟道停止区域。这种配置可以减少由绝缘体隔离部300引起的噪声。这同样适用于其它示例。

[0137] 第六示例

[0138] 图11A和11B分别为根据本示例的成像装置的每个像素的示意性平面图和示意性截面图,以示出像素的特征。图12示出了驱动时序图。具有与图1至图10C中的部分类似功能的部分被分配相同的附图标记,并且不再详细描述。

[0139] 图11A为每个像素的示意性平面图。在本示例中,与第一至第五示例不同,未设置第三活性区域313C。

[0140] 图11B为沿着图11A中的线XIB-XIB所取的示意性截面图。

[0141] 在本示例中,被提供基准电位的接触插塞延伸通过绝缘膜316并与p型半导体区域905连接。这种配置使得用于向第一至第五示例中的p型阱区域412提供基准电位的p型半导体区域414与第二区域324中的p型半导体区域(405、505、605、705和805)共同成为p型半导体区域905。

[0142] 上述配置可适用于上述示例中的任一个。没有第三活性区域313C可以减小平面布局面积,从而导致在平面图中电容器208或光电转换单元201的面积增大。

[0143] 在本示例中,例如,增大电极404的面积可以增大电容器208的电容值。因此,当电容器208与FD 203电连接时可以增大放大器晶体管205的输入节点的电容值,并实现动态范围的进一步扩大。

[0144] 另外,光电转换单元201的尺寸的增大使得可以增大饱和信号量。放大器晶体管205的尺寸的增大使得可以减小 $1/f$ 噪声并提高图像质量。

[0145] 根据变型的驱动方法

[0146] 现在将描述根据图12中所示的变型的驱动方法。在图12的部分(a)和(b)中,示出了当电容器208处于非连接状态时第k行中的像素的驱动时序和第(k+1)行中的像素的驱动时序的示例。与图3中所示的驱动时序图不同,增加了其间光电转换单元201中的电荷被重置的从时刻 $t_{1k}$ 到时刻 $t_{2k}$ 的时段,以获得针对希望的积聚时段的信号。

[0147] 在图12的部分(a)中,在从时刻 $t_{2k}$ 到时刻 $t_{6k}$ 的时段期间,信号积聚在光电转换单元201中。在该时段中,引起噪声的电荷可能进入光电转换单元201。为了抑制电荷的进入,在本示例中,控制信号 $pAPP(k)$ 在从时刻 $t_{2k}$ 到时刻 $t_{4k}$ 的时段中被设置为高电平以对电容器208进行重置。

[0148] 通过上述驱动控制,如果在p型半导体区域905中生成引起噪声的电子,则电子被导向n型半导体区域303B,该n型半导体区域303B比光电转换单元201更接近p型半导体区域905并且被重置为高电位。这可以防止暗电流流到光电转换单元201中。

[0149] 如果在电容器208进入操作状态时读出信号并且通过n型半导体区域303B的电容值的增大来扩大动态范围,则可以不一定要在时刻 $t_{4k}$ 将控制信号 $pAPP(k)$ 设置为低电平。

[0150] 根据上述变型的驱动方法共同地可适用于上述示例中的任一个。特别是,由于以下原因,根据变型的驱动方法适用于第六示例。在第六示例中,接触插塞与可能生成引起噪声的电子的p型半导体区域905连接。应用根据变型的驱动方法可以进一步降低噪声。

[0151] 尽管已参考示例性实施例描述了本发明,但应理解,本发明不限于所公开的示例性实施例。所附权利要求的范围应被赋予最宽泛的解释,以涵盖所有这种变型和等同的结构及功能。

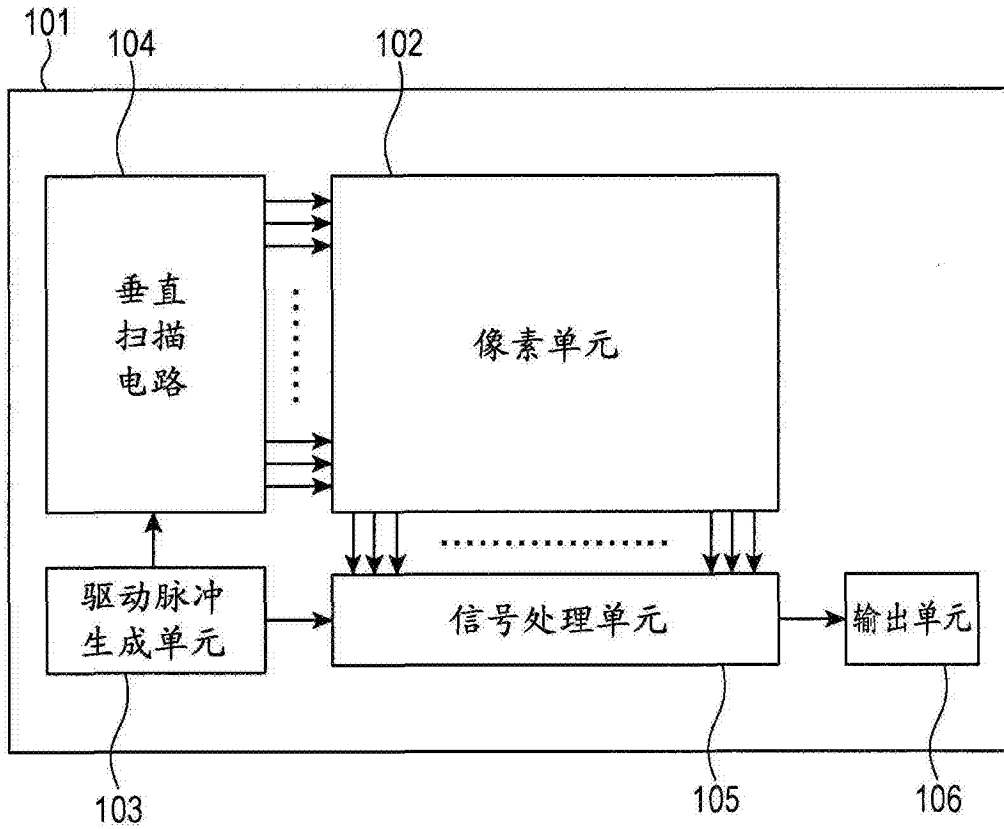


图1

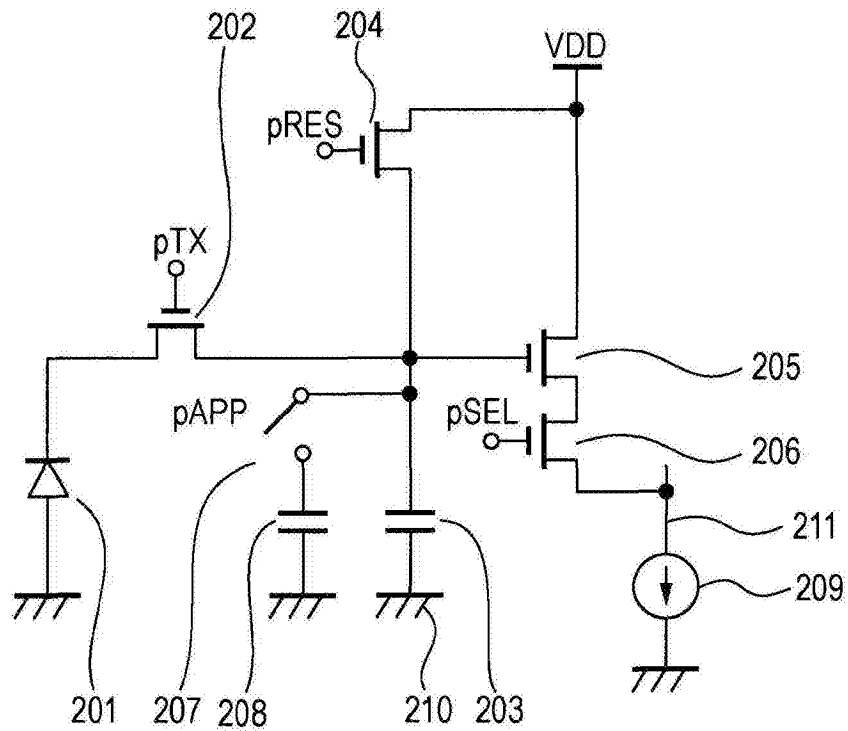


图2



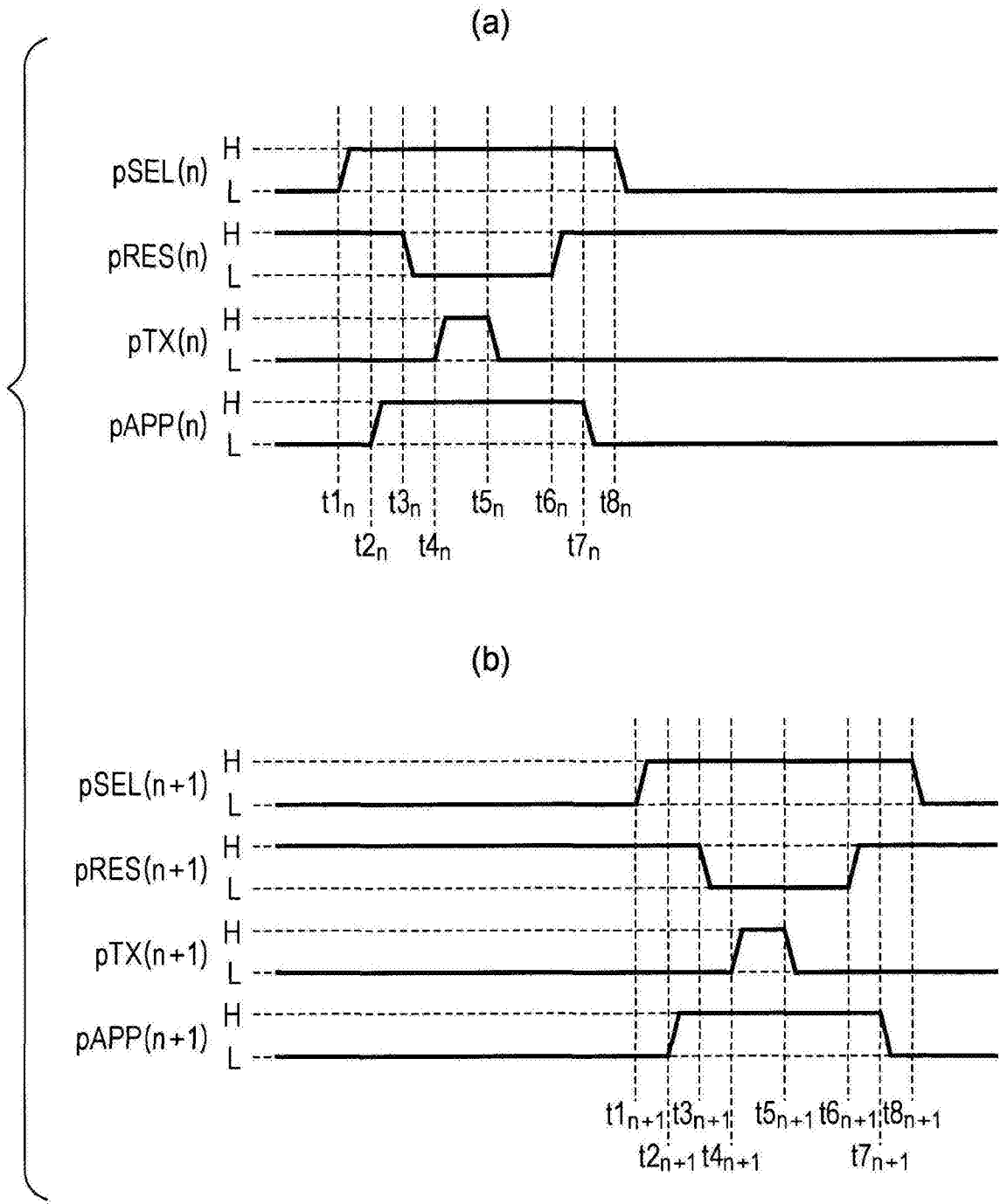


图3

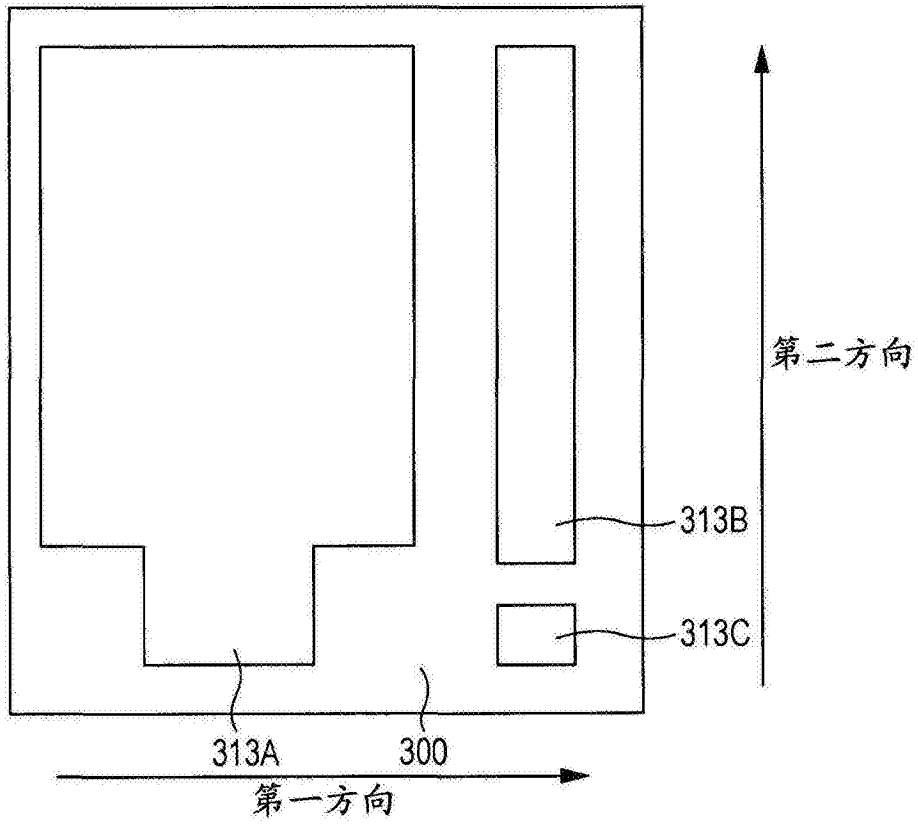


图4A

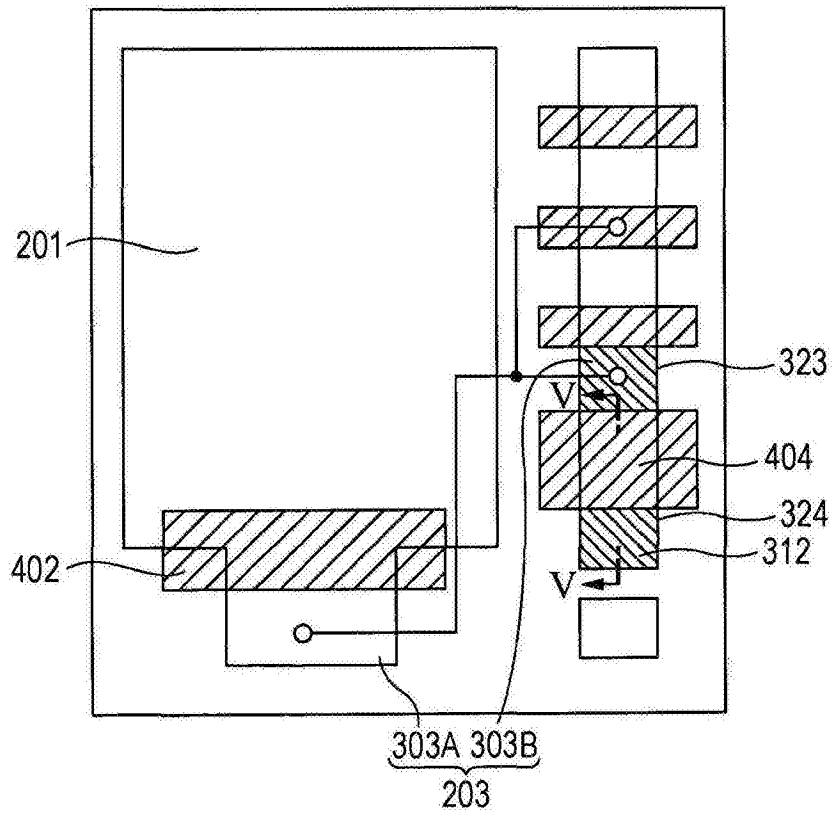


图4B

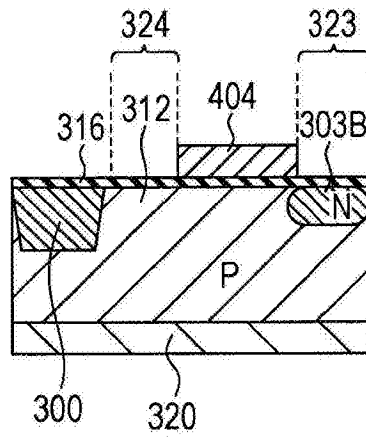


图5A

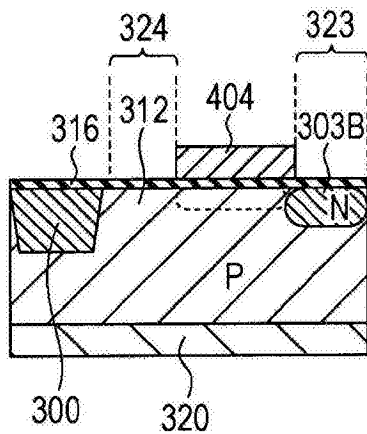


图5B

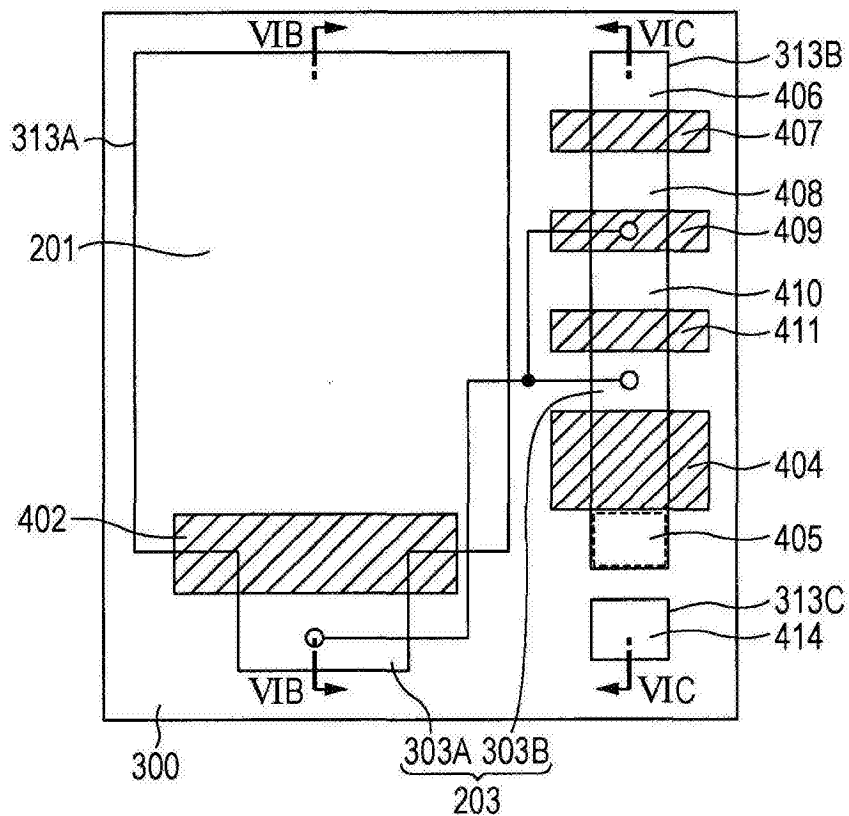


图6A



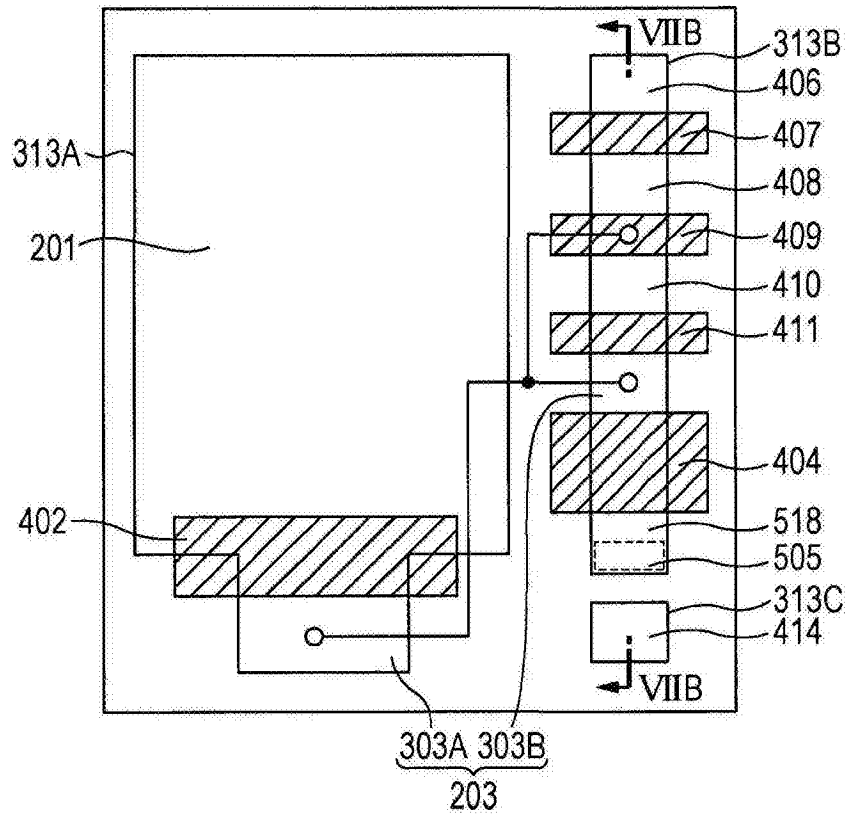


图7A

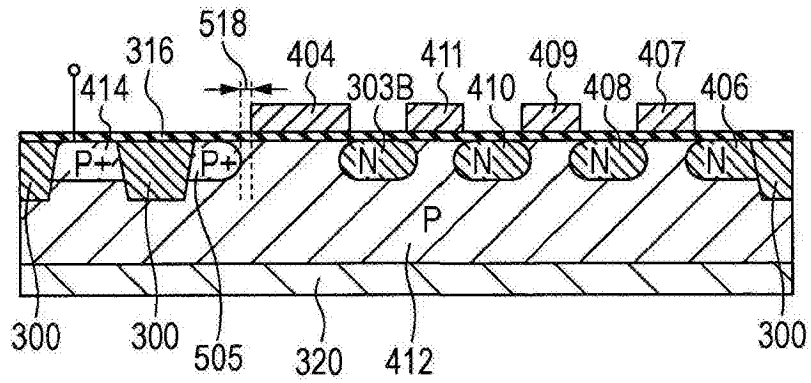


图7B

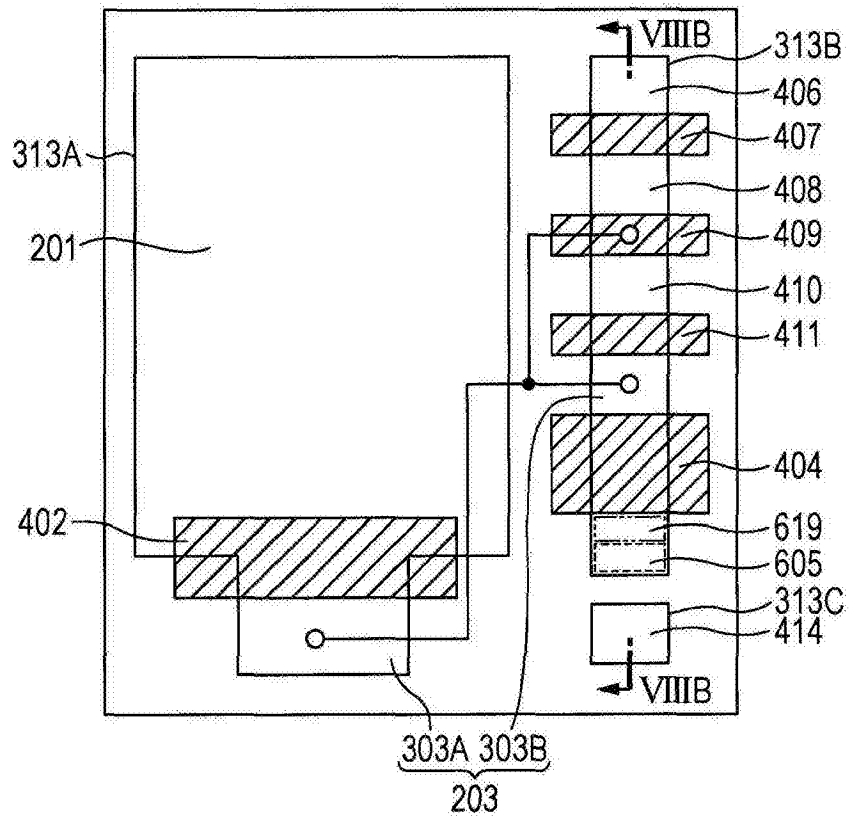


图8A

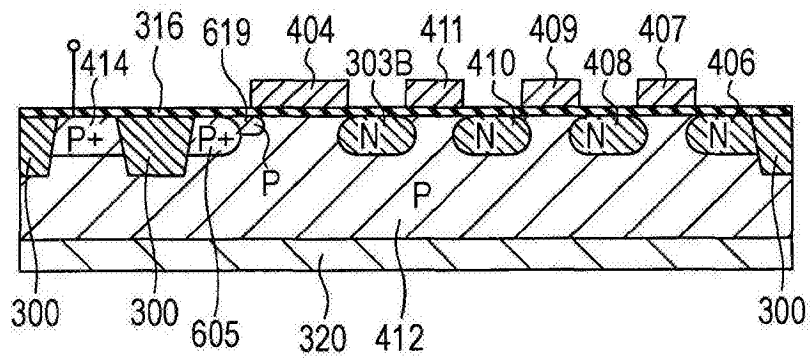


图8B

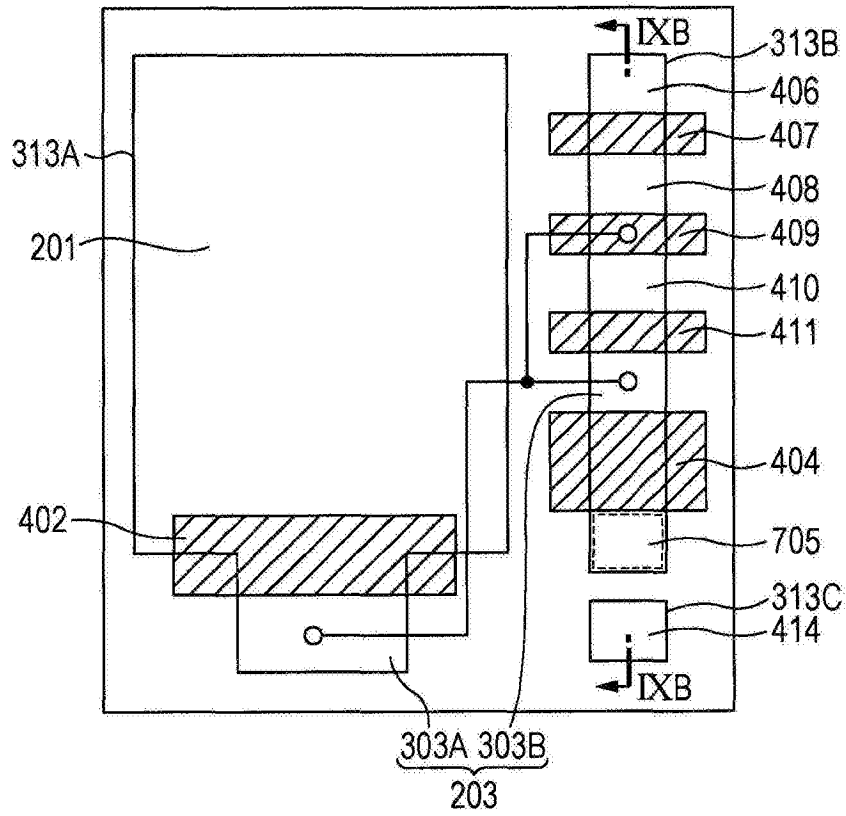


图9A

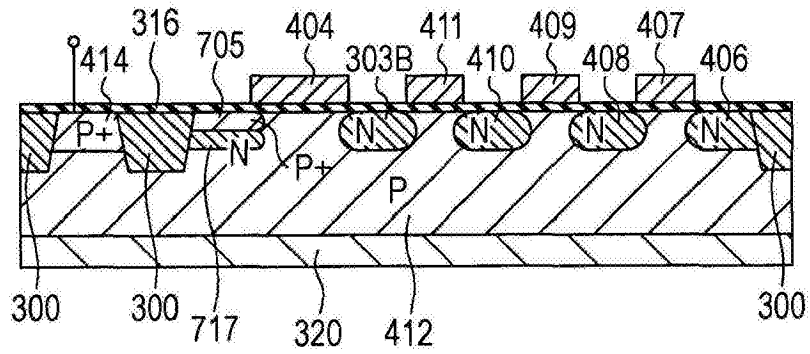


图9B



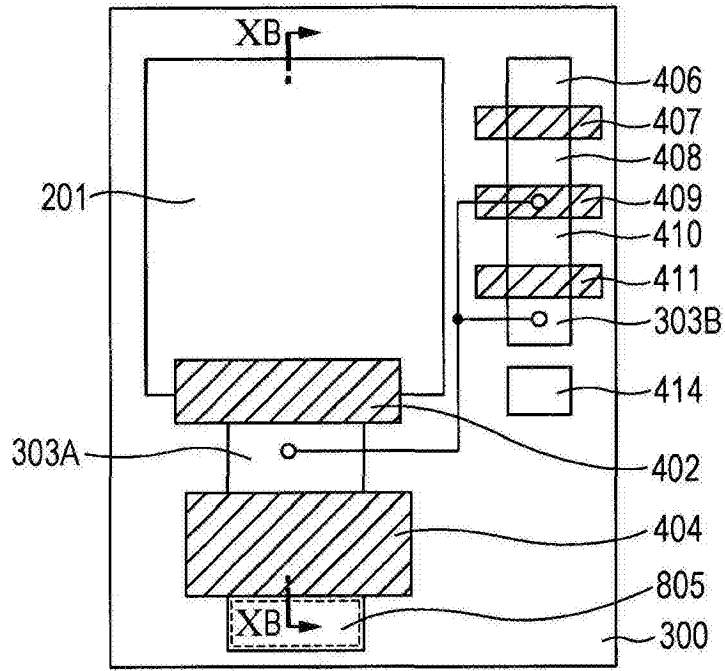


图10A

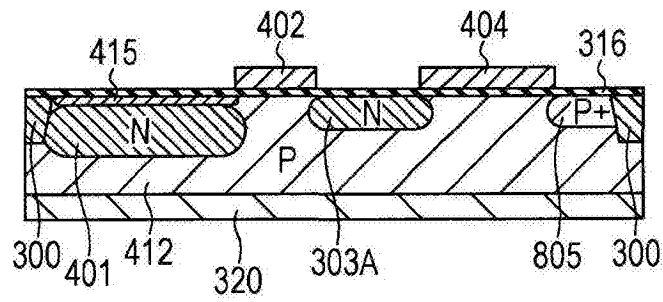


图10B

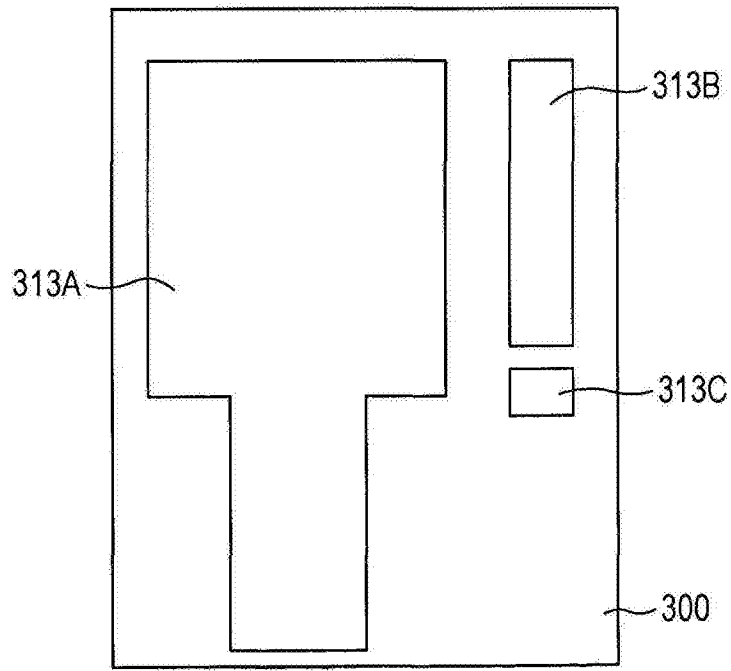


图10C

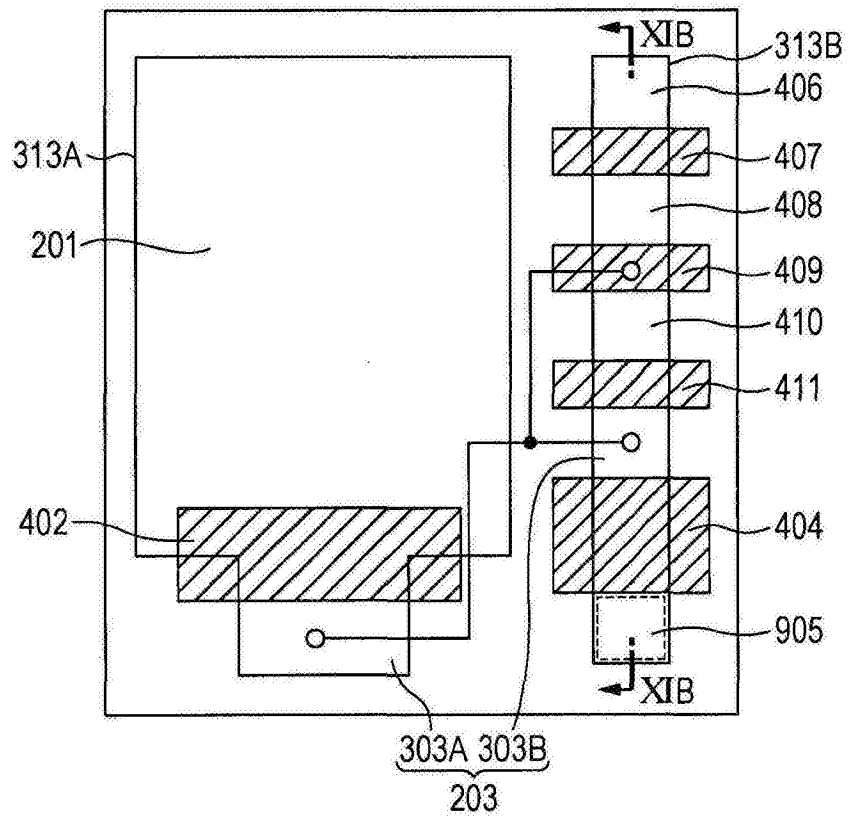


图11A

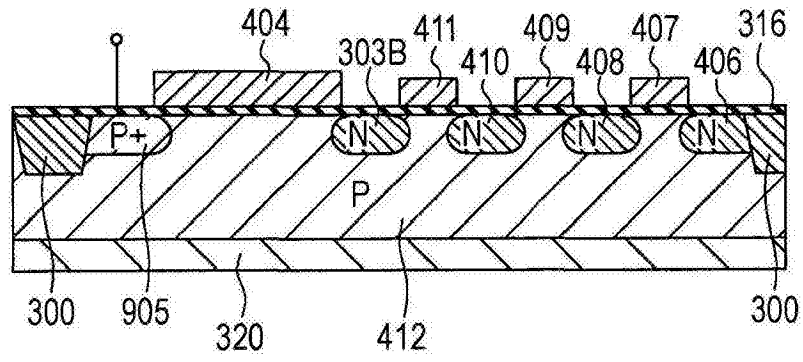


图11B

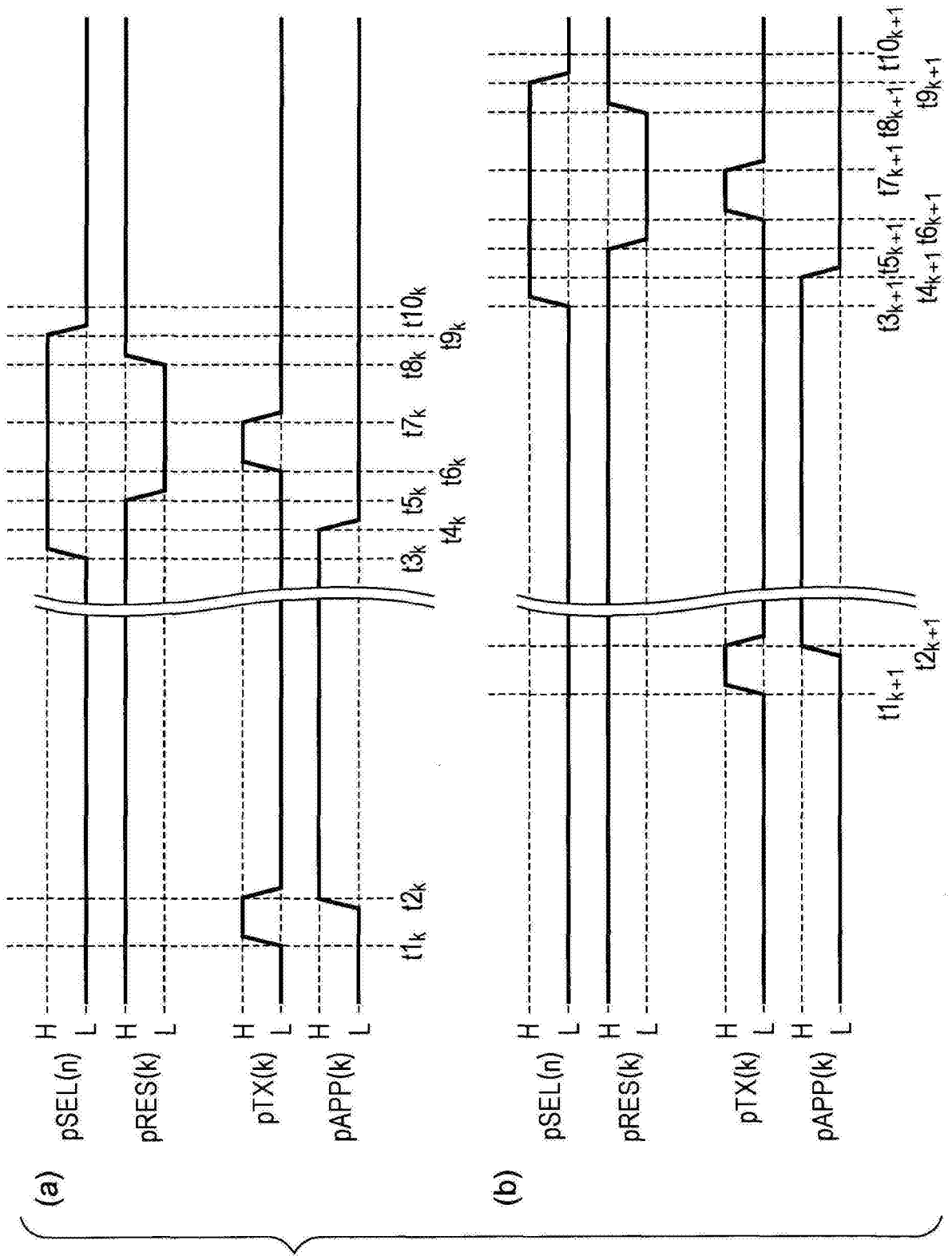


图12