

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4126338号
(P4126338)

(45) 発行日 平成20年7月30日 (2008. 7. 30)

(24) 登録日 平成20年5月23日 (2008. 5. 23)

(51) Int. Cl.

F I

H O 1 L 29/74 (2006.01)

H O 1 L 29/74

F

H O 1 L 29/74

A

請求項の数 27 (全 17 頁)

(21) 出願番号 特願2004-38990 (P2004-38990)
 (22) 出願日 平成16年1月16日 (2004. 1. 16)
 (65) 公開番号 特開2005-203718 (P2005-203718A)
 (43) 公開日 平成17年7月28日 (2005. 7. 28)
 審査請求日 平成16年1月16日 (2004. 1. 16)

(73) 特許権者 000130835
 株式会社サンコーシャ
 東京都品川区大崎4丁目3番8号
 (73) 特許権者 500304660
 林 豊
 茨城県つくば市梅園2-3-10
 (72) 発明者 林 豊
 茨城県つくば市梅園2丁目3番地10
 (72) 発明者 佐藤 正明
 東京都品川区大崎4丁目3番8号 株式会
 社サンコーシャ内
 (72) 発明者 宮田 純平
 東京都品川区大崎4丁目3番8号 株式会
 社サンコーシャ内

最終頁に続く

(54) 【発明の名称】 サージ防護素子

(57) 【特許請求の範囲】

【請求項 1】

第1の主面と該第1の主面と対向する第2の主面とを有する第1導電形の半導体基板と、

該第1の主面に設けられた第1導電形とは逆導電形の第1半導体領域と、
 第1半導体領域の表面に設けられた第1導電形の第2半導体領域と、
 前記第1半導体領域と離間して前記第1の主面に設けられた逆導電形の第3半導体領域と、

該第1の主面の前記第1半導体領域と前記第3半導体領域の間に設けられた逆導電形の第5半導体領域と、

該第5半導体領域を該半導体基板と電氣的に接続する電気接続手段と、

前記第1及び第2半導体領域と接する第1導電電極と、前記第3半導体領域と接する第2導電電極と、

から少なくとも構成され、該第1導電電極と該第2導電電極間の電圧が規定の電圧以上になると、該第1半導体領域と該半導体基板との間に形成された第1空間電荷領域から第1導電形のキャリアを該半導体基板に供給することにより該第1導電電極と第2導電電極間が導通を開始し、更にオン状態となり、その後前記第1導電電極と第2導電電極との間に流れる電流が規定の電流値以下となるとオフ状態となることを特徴とするサージ防護素子。

【請求項 2】

10

20

前記第 3 の半導体領域の表面に第 1 導電形の第 4 半導体領域を設け、前記第 2 導電電極は前記第 3 半導体領域と、該第 4 半導体領域とに接触したことを特徴とする請求項 1 記載のサージ防護素子。

【請求項 3】

前記第 1 の主面に、前記第 1、第 3、第 5 半導体領域と離間して逆導電形の第 9 半導体領域を設け、該第 9 半導体領域表面に第 1 導電形の第 10 半導体領域を設け、該第 9、第 10 半導体領域に接する第 5 導電電極を設け、前記第 5 半導体領域は、該第 9 半導体領域と前記第 1 半導体領域間および該第 9 半導体領域と第 3 半導体領域間にも配置されたことを特徴とする請求項 1 ないし 2 記載のサージ防護素子。

【請求項 4】

前記第 1 導電形のキャリアは前記第 1 半導体領域と前記半導体基板との間の第 1 空間電荷領域で発生した雪崩降服により供給されることを特徴とする請求項 1 記載のサージ防護素子。

【請求項 5】

前記第 1 導電形のキャリアは、前記第 2 半導体領域と該半導体基板とで挟まれた該第 1 半導体領域部分に形成された第 2 空間電荷領域を通して、第 2 半導体領域から該第 1 の空間電荷領域へ供給されることを特徴とする請求項 1 記載のサージ防護素子。

【請求項 6】

前記第 5 半導体領域上に第 3 導電膜をもうけて該第 3 導電膜を前記半導体基板へ接触して前記電気接続手段としたことを特徴とする請求項 1、2 ないし 3 記載のサージ防護素子。

【請求項 7】

前記第 1 の主面に第 1 導電形で前記半導体基板より高不純物濃度を有する第 6 半導体領域を第 5 半導体領域と接触する位置に設けて、前記第 5 半導体領域と前記半導体基板への前記電気接続手段としたことを特徴とする請求項 1、2 ないし 3 記載のサージ防護素子。

【請求項 8】

前記第 5 半導体領域と前記半導体基板との前記電気接続手段は前記第 3 導電膜を前記半導体基板より高不純物濃度を有する第 6 半導体領域へ延在接触させて行ったことを特徴とする請求項 6 記載のサージ防護素子。

【請求項 9】

前記第 1 の主面に第 1 導電形で前記半導体基板より高不純物濃度を有する第 6 半導体領域を前記第 5 半導体領域と第 1 半導体領域間および前記第 5 半導体領域と前記第 3 半導体領域間にそれぞれ設けたことを特徴とする請求項 1 ないし 2 記載のサージ防護素子。

【請求項 10】

前記第 1 の主面に第 1 導電形で前記半導体基板より高不純物濃度を有する第 6 半導体領域を前記第 5 半導体領域と第 1 半導体領域間および前記第 5 半導体領域と前記第 3 半導体領域間および前記第 5 半導体領域と前記第 9 半導体領域間にそれぞれ設けたことを特徴とする請求項 3 記載のサージ防護素子。

【請求項 11】

前記第 9 半導体領域と前記第 5 半導体領域間、前記第 1 および第 3 半導体領域と前記第 5 半導体領域間に設けられた前記第 6 半導体領域と、前記第 5 半導体領域とに接して第 3 の導電膜を設けた、

ことを特徴とする請求項 10 記載のサージ防護素子。

【請求項 12】

前記第 2 の主面に逆導電形で前記半導体基板より高不純物濃度の第 7 半導体領域を設けたことを特徴とする請求項 1、2 ないし 3 記載のサージ防護素子。

【請求項 13】

前記第 2 の主面に第 1 導電形で前記半導体基板より不純物濃度の高い第 8 半導体領域を設けたことを特徴とする請求項 1、2 ないし 3 記載のサージ防護素子。

【請求項 14】

前記第 2 の主面側に前記第 7 半導体領域に接して第 4 導電膜を設けたことを特徴とする請求項 1 2 記載のサージ防護素子。

【請求項 1 5】

前記第 4 導電膜は前記半導体基板の第 2 の主面にも接していることを特徴とする請求項 1 4 記載のサージ防護素子。

【請求項 1 6】

前記第 2 の主面側に前記第 8 半導体領域に接して第 4 導電膜を設けたことを特徴とする請求項 1 3 記載のサージ防護素子。

【請求項 1 7】

前記半導体基板の第 2 の主面には前記第 7 半導体領域、第 8 半導体領域が並置されており、前記第 4 導電膜は前記第 7 および第 8 半導体領域に接していることを特徴とする請求項 1 4 ないし 1 6 記載のサージ防護素子。

10

【請求項 1 8】

前記半導体基板の第 2 の主面に逆導電形の第 7 半導体領域、第 1 導電形の第 8 半導体領域を並置して設け、前記第 4 導電膜は前記第 7 および第 8 半導体領域に接して設け、該第 7 半導体領域および該第 8 半導体領域は、前記第 1 半導体領域下から前記第 3 半導体領域下に延在していることを特徴とする請求項 3 記載のサージ防護素子。

【請求項 1 9】

前記半導体基板の第 2 の主面に逆導電形の第 7 半導体領域、第 1 導電形の第 8 半導体領域を並置して設け、前記第 4 導電膜は該第 7 および該第 8 半導体領域に接して設け、該第 7 半導体領域および該第 8 半導体領域は、少なくとも前記第 1 半導体領域と前記第 9 半導体領域の離間対向している部分下の第 2 の主面では、前記第 1 半導体領域と前記第 9 半導体領域を結ぶ方向に、および少なくとも前記第 3 半導体領域と前記第 9 半導体領域の離間対向している部分下の第 2 の主面では、前記第 3 半導体領域と前記第 9 半導体領域を結ぶ方向と交叉する方向に、延在していることを特徴とする請求項 3 記載のサージ防護素子。

20

【請求項 2 0】

前記半導体基板の第 2 の主面に逆導電形の第 7 半導体領域、第 1 導電形の第 8 半導体領域を並置して設け、前記第 4 導電膜は該第 7 および該第 8 半導体領域に接して設け、該第 7 半導体領域は、少なくとも前記第 1 半導体領域と前記第 3 半導体領域の離間対向している部分下の第 2 の主面では、前記第 1 半導体領域と前記第 3 半導体領域を結ぶ方向と交叉する方向に延在していることを特徴とする請求項 2 記載のサージ防護素子。

30

【請求項 2 1】

前記第 6 半導体領域は更に前記第 1 半導体領域を平面的に囲むがごとく配置されていることを特徴とする請求項 9 記載のサージ防護素子。

【請求項 2 2】

前記第 6 半導体領域は更に前記第 3 半導体領域を平面的に囲むがごとく配置されていることを特徴とする請求項 9 記載のサージ防護素子。

【請求項 2 3】

前記第 6 半導体領域は更に前記第 9 半導体領域を平面的に囲むがごとく配置されていることを特徴とする請求項 1 0 ないし 1 1 記載のサージ防護素子。

40

【請求項 2 4】

前記第 1 の主面に前記第 1 半導体領域と離間して平面的に囲むがごとく配置され、かつ前記規定の電圧で前記第 1 の半導体領域との間が少なくとも一部空間電荷領域で橋渡しされる距離に逆導電形の第 1 1 半導体領域を形成したことを特徴とする請求項 1、2 ないし 3 記載のサージ防護素子。

【請求項 2 5】

前記第 1 の主面に第 3 半導体領域と離間して平面的に囲むがごとく配置され、かつ前記規定の電圧で第 3 の半導体領域との間が少なくとも一部空間電荷領域で橋渡しされる距離に逆導電形の第 1 2 半導体領域を形成したことを特徴とする請求項 1、2 ないし 3 記載のサージ防護素子。

50

【請求項 26】

前記第 1 の主面に第 9 半導体領域と離間して平面的に囲むごとく配置され、かつ前記規定の電圧で第 9 半導体領域との間が少なくとも一部空間電荷領域で橋渡しされる距離に逆導電形の第 13 半導体領域を形成したことを特徴とする請求項 3 記載のサージ防護素子。

【請求項 27】

前記第 4 導電膜に放熱板が接着されていることを特徴とする請求項 14、15、16 ないし 17 記載のサージ防護素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体素子の分野で用いられ、規定の電圧を超えた電圧印加により導通状態を経由してオン状態となることにより誘導雷、スイッチングサージ等各種サージにより発生した高電圧ないしは大電流から電気・電子回路ないしは電子部品等を保護するサージ防護素子に関する。

【背景技術】

【0002】

従来の雪崩現象を利用したサージ防護素子は、例えば、図 1 に示す様に、半導体基板 11 の表面に第 1 のベース 21、第 1 のベースの表面に第 1 のエミッタ 31、該第 1 のベース 21 および該第 1 のエミッタ 31 とに接続された第 1 の導電電極 41 を設け、該半導体基板 11 の裏面に第 2 のベース 22、該第 2 のベース 22 の表面に第 2 のエミッタ 32、該第 2 のベース 22 と該第 2 のエミッタ 32 とに接続された第 2 の導電電極 42 を設けている（非特許文献 1 参照）。更に、基板 11 に垂直に延びる外部接続端子 61 と 62 とが電極 41 と 42 とにそれぞれ接着されている。

【0003】

この素子の規定電圧（これをブレイクオーバー電圧 V_{BO} と呼ぶ）はこの従来例では逆方向バイアスされているベース領域 21 または 22 と基板 11 との接合の雪崩降服電圧で決められる。従って、基板の不純物濃度が決まると大幅な変更は難しい。また、通常、半導体 $p-n$ 接合の雪崩降服現象は負性抵抗現象が現れ、これにより、素子の初期導通が開始され、この時の電流値が素子のブレイクオーバー電流 I_{BO} となる。この場合、 I_{BO} の値は小さく、 I_{BO} を任意の値に予め設計することは難しい。このため、電圧が V_{BO} よりも小さくても立ち上がりの急峻な雑音によりターンオンしてしまう。

【0004】

さらに、このタイプの素子は電流分布が一様でなく、かつ放熱も外部接続端子からが主体であるために、1 素子当たりの電流容量に限界があった。

【0005】

一方、この従来素子では半導体基板の表面と裏面とに高耐圧で漏洩電流の少ない接合の形成が必要であり、表面裏面とも無欠陥のリソグラフィとウエファ加工技術を必要とした。リソグラフィ技術に対しても、表面と裏面の両面パターン位置あわせが可能な特殊な装置を必要とした。

【0006】

通常のウエファ加工装置およびリソグラフィ装置のウエファ搬送およびウエファ保持機構は片方の表面の無欠陥を目指して設計され、裏面の無欠陥処理に対する配慮が欠けていることを考慮すると、この従来素子は一般の製造ラインで歩留まり良く作成するのは難しい。また一般の製造ラインには両面パターン位置合わせが可能なリソグラフィ装置がないので、この素子のための専用投資を必要とした。

【0007】

この問題を避けるために、図 2 に例示するように、片方の表面にリソグラフィ、結晶表面の欠陥に対して厳しい要求をする構造を集めた、片面形構造が考えられる。この構造は素子面積は増加するが、一般の製造ラインで製造できるという利点を有する。

【0008】

10

20

30

40

50

図2において、第1導電形の半導体基板10の第1の主面1に逆導電形の第1半導体領域100を設け、該第1半導体領域100の表面に第1導電形の第2半導体領域200を設けている。該第1半導体領域100から離間して、逆導電形の第3半導体領域300を該第1の主面に設けている。該第1および第2半導体領域に接触する第1導電電極と該第3半導体領域300へ接触する第2導電電極を設けている。

【0009】

この構造によれば正負両極性の電圧に対して必要な耐圧を設定した素子を一般の製造ラインで高歩留まりに製造可能である。すなわち、前記裏面ベース領域22と前記半導体基板11間の接合に対応する前記第3半導体領域300と前記半導体基板10間の接合形成には前記第1半導体領域100と前記半導体基板10間の接合形成と同程度の欠陥制御が保証される。

10

【0010】

一方、ブレークオーバー電流IBOの設計が半導体基板裏面の逆導電形半導体領域の形状等で可能であるサージ防護素子が開示されている(特許文献1参照)。この素子ではオン状態からオフ状態へ遷移する規定の素子電流、即ち保持電流IHないしはホールドオーバー電流IHO(規定の抵抗値の抵抗を介して電圧源を素子に印加して測定)とIBOとがほぼ同程度の値をもち、IHないしIHOの設計も可能である。この場合、該半導体基板裏面の逆導電形半導体領域と該半導体基板との間の接合は耐圧を必要としない使用方法が可能である。また該逆導電形半導体領域と第1の主面の厳密なアライメントは要求されない。

20

【0011】

しかし、前記半導体基板の第2の主面2へ逆導電形の半導体領域700を設け、さらにそれに接して第4の導電膜178を設けて厚み方向への電流通路を確保しても、図2の矢印331で例示されるように、素子がオン状態で前記第3半導体領域300から供給される逆導電形のキャリアが半導体基板の厚み方向では無く主面に沿った方向へも流れ、第1半導体領域100の端部103に到達する。このため部分的に多くの逆導電形キャリアが供給され、IHないしIHOの低下をもたらす。

【0012】

なお、このIHないしIHOの低下は前記第1導電電極が前記第1半導体領域端部103上部表面まで延在して接している形状112より、端部103上部に至らず、第2半導体領域上部で終端している形状121を取る時の方が大きい。したがって、前記第1導電電極は前記第1半導体領域端部103上部表面まで延在して接している形状112が望ましい。

30

【0013】

更に、この逆導電形キャリアの流れ331はブレークオーバーの過渡状態でも発生し、このために流れる電流が前記第1半導体端部103近傍の基板部分へ集中する。この部分では電界が大きく電圧降下も大きいため、上記電流の集中と相俟って熱発生も局所的に大きくなる。このため破壊し易くなり、過渡電流容量も減少する。

【0014】

この問題を解決するために、前記第1半導体領域と前記第3半導体領域の間に分離溝を設ける構造が開示されている(特許文献2参照)。この構造により所望の特性を実現することができるが、チップの組み立て過程でこの分離溝作成工程を導入する必要がある場合が多いので、人件費の増加を招きコスト増の結果となる。

40

【0015】

【非特許文献1】下田義雄、佐藤秀隆著、「双方向性2端子サイリスタの動作解析」(Analysis of Switching Operation for Two-terminal Bi-directional Thyristors)、電気学会論文誌C115巻3号303-311頁、平成8年3月。

【特許文献1】特開平9-307098号公報「サージ防護デバイスにおけるブレークオーバー電流ないし保持電流の設定方法」

50

【特許文献2】特許第3131823号公報「サージ防護デバイス」 図1

【発明の開示】

【発明が解決しようとする課題】

【0016】

本発明では、保持電流、ホールドオーバー電流など保持特性を改善したサージ防護素子を提供する、要すれば過渡電流容量を改善したサージ防護素子を提供することが課題である。

【課題を解決する為の手段】

【0017】

上記課題を解決する為に、本発明では、次の構成をとる。すなわち、図3に例示する様に、第1の主面1と該第1の主面1と対向する第2の主面2とを有する第1の導電形の半導体基板10と、該第1の主面1に設けられた該第1の導電形とは逆導電形の第1半導体領域100と、該第1半導体領域100の表面に設けられた第1導電形の第2半導体領域200と、該第1半導体領域100と該第2半導体領域200とに接触する第1導電電極112と、該第1半導体領域100と離間して前記第1の主面に設けられた逆導電形の第3半導体領域300と、該第3の半導体領域300に接して設けられた第2導電電極134と、該第1の主面1に該第1半導体領域100と該第3半導体領域300との間に設けられた逆導電形の第5半導体領域500と、該第5半導体領域500を該半導体基板10と電気的に接続する電気接続手段と、で少なくとも構成されるサージ防護素子。

【0018】

前記構成では、構成を簡単とするために、前記第5半導体領域500へ該半導体基板10に対して著しい順方向にならない電位からほぼ同電位となるように前記半導体基板10との前記電気接続手段を設けているが、前記接続手段の基板への接続を解除して前記半導体基板10に対する逆方向電位を第5半導体領域500へ供給する構成も解決手段とすることができる。

【0019】

本発明のサージ防護素子では、該第1導電電極と該第2導電電極間の電圧が規定の電圧以上になると、該第1半導体領域と該半導体基板との間に形成された第1空間電荷領域から第1導電形のキャリアを該半導体基板に供給することにより該第1導電電極と第2導電電極間が導通を開始し、更にオン状態となり、その後前記第1導電電極と第2導電電極との間に流れる電流が規定の電流値以下となるとオフ状態となる。

【0020】

前記第5半導体領域の役割は、前記第3半導体領域端部から第1の主面に沿った方向へ注入された逆導電形キャリアを図3の矢印335で示されるように吸収して、

(1) 前記オフ状態となる規定の電流値である保持電流ないしはホールドオーバー電流が減少するのを押さえる、

(2) 前記オン状態となるまでのブレークオーバー時に過渡的に第1の主面に沿って第1半導体領域と第3半導体領域間に流れる逆導電形キャリア電流の一部を前記第3半導体領域から前記第5半導体領域へ分流して、前記第1半導体領域の端部(例えば図2ないし図3の103)付近の高電界部分で生じていた電流集中を回避することによって局所的な熱発生を避け、過渡電流容量の低下を防ぐ、
ことのいずれかまたはその両方にある。

【0021】

前記構成に更に、前記第3の半導体領域の表面に第1導電形の第4半導体領域(例えば図6の400)を設け、前記第2導電電極は前記第3半導体領域と、該第4半導体領域とに接触した、構成を追加することにより、前記第1導電電極と前記第2導電電極とのあいだに加わった正極性、負極性いずれのサージの吸収も可能となる。すなわち、上記のサージ吸収動作が第3半導体領域と第1半導体領域とを入れ換えた時も可能となる。

【0022】

前記第1の主面に、前記第1、第3、第5半導体領域と離間して逆導電形の第9半導体

10

20

30

40

50

領域（例えば図8の900）を設け、該第9半導体領域表面に第1導電形の第10半導体領域（例えば図8の1000）を設け、該第9、第10半導体領域に接する第5導電電極を設け、前記第5半導体領域は、該第9半導体領域と前記第1半導体領域間および該第9半導体領域と第3半導体領域間にも配置する、ことにより、前記第1導電電極と前記第2導電電極間、ないし前記第1導電電極と前記第5導電電極間、ないし前記第2導電電極と前記第5導電電極間に加わったいずれのサージを吸収することも可能となる。

【0023】

本発明の素子では、前記第1導電形のキャリアは前記第1半導体領域と前記半導体基板との間の第1空間電荷領域で発生した雪崩降服により供給することができる。

【0024】

一方、本発明の素子では、前記第1導電形のキャリアは、前記第2半導体領域と該半導体基板とで挟まれた該第1半導体領域部分（たとえば図3の1210）に形成された第2空間電荷領域を通して、第2半導体領域から該第1の空間電荷領域へ供給することができる。

【0025】

この前記第1導電形キャリアの供給方法によると、前記半導体基板の不純物濃度と前記第1半導体領域の接合深さで定まる雪崩降服電圧で、前記規定電圧（ブレイクオーバー電圧VBO）が固定されることなく、VBOは前記第2半導体領域と該半導体基板とで挟まれた該第1半導体領域部分の不純物濃度と厚さにより基板不純物濃度で決まる平面雪崩降服電圧から10V以下まで設計することができる。

【0026】

上記矢印335で示される逆導電形キャリア電流が小さい場合は、第1の主面に形成した第1導電形で高不純物濃度の第6半導体領域を前記第5半導体領域に接触させ、その接合の抵抗成分を利用することで、前記第5半導体領域の前記基板との電気接続が行われる。前記第5半導体領域に接したこの第6半導体領域を電気接続手段として用いることができる。この場合、該第6半導体領域と前記第5半導体領域が第1の表面で接触する部分で不純物濃度は 10^{19} 原子/cc以上であることが望ましい。

【0027】

上記矢印335で示される逆導電形キャリア電流が大きく、上記高濃度pn接合の電流・電圧特性では第5半導体領域に必要な電位を確保できない場合は、第5半導体領域上にオーム性接触を形成する第3導電膜156を形成し、前記半導体基板と低抵抗電気接続する。該基板との電気接続は、該第3導電膜156を前記半導体基板がp形である場合はそれに接触させて得られるが、さらに低抵抗とするためには、前記半導体基板の第2の主面に接続された第4導電膜178と接続しても達成される。

【0028】

または図4に例示するように、前記第1の主面に設けられた第1導電形高不純物濃度の第6半導体領域600へ前記第3導電膜156を延在接触しても達成される。この場合の第6半導体領域の表面濃度はp形であれば 10^{18} 原子/cc程度でも低抵抗接触が得られる。

【0029】

一方、第1の主面の表面反転ないしは空乏により、第1半導体領域と第5半導体領域間に漏洩電流が流れることがある。これを防止するためには、第1半導体領域と第5半導体領域間の第1の主面に第1導電形で高不純物濃度の第6半導体領域を設けることが有効である。

【0030】

同様な理由で、第3半導体領域と第5半導体領域間に漏洩電流が流れることがある。これを防止するためには、第3半導体領域と第5半導体領域間の第1の主面に第1導電形で高不純物濃度の第6半導体領域を設けることが有効である。

【0031】

同様な理由で、第9半導体領域と第5半導体領域間に漏洩電流が流れることがある。こ

10

20

30

40

50

れを防止するためには、第 9 半導体領域と第 5 半導体領域間の第 1 の主面に第 1 導電形で高不純物濃度の第 6 半導体領域を設けることが有効である。

【 0 0 3 2 】

漏洩電流防止のためだけならば、第 6 半導体領域の表面不純物濃度は 10^{16} 原子 / cm^3 程度以上であれば機能する。図 4 では第 5 半導体領域の第 1 半導体領域側と第 3 半導体領域側との両方に第 6 半導体領域 6 0 0 を設けてこれを実現している。

【 0 0 3 3 】

前記第 9 半導体領域と前記第 5 半導体領域間、前記第 1 および第 3 半導体領域と前記第 5 半導体領域間に設けられた前記第 6 半導体領域と、前記第 5 半導体領域とに接して第 3 導電膜を設け、前記第 5 半導体領域と前記半導体基板との電気接続の低抵抗化を図ると同時に前記漏洩電流通路の遮断を行うことができる。

10

【 0 0 3 4 】

本発明のサージ防護素子の動作電圧を拡張するためには、前記第 1 半導体領域ないしは前記第 3 半導体領域ないしは前記第 9 半導体領域と前記半導体基板との降服電圧を改善することが望ましい。前記第 1 半導体領域と前記半導体基板との降服電圧を改善するためには、図 5 から図 8 に例示されるように、前記第 1 半導体領域を平面的に囲むがごとく離間して、逆導電形の第 1 1 半導体領域 1 1 0 0 を前記第 1 の主面に形成し、前記第 1 半導体領域が前記第 3 半導体領域ないし前記第 9 半導体領域に対して前記規定電圧となったとき、前記第 1 半導体領域とのあいだが少なくとも一部で空間電荷領域により橋渡しされる距離に配置する。

20

【 0 0 3 5 】

前記第 3 半導体領域と前記半導体基板との降服電圧を改善するためには、図 5 から図 8 に例示されるように、前記第 3 半導体領域を平面的に囲むがごとく離間して、逆導電形の第 1 2 半導体領域 1 2 0 0 を前記第 1 の主面に形成し、前記第 3 半導体領域が前記第 1 半導体領域ないし前記第 9 半導体領域に対して前記規定電圧となったとき、前記第 3 半導体領域とのあいだが少なくとも一部で空間電荷領域により橋渡しされる距離に配置する。

【 0 0 3 6 】

前記第 9 半導体領域と前記半導体基板との降服電圧を改善するためには、図 8 に例示されるように、前記第 9 半導体領域を平面的に囲むがごとく離間して、逆導電形の第 1 3 半導体領域 1 3 0 0 を前記第 1 の主面に形成し、前記第 9 半導体領域が前記第 1 半導体領域ないし前記第 3 半導体領域に対して前記規定電圧となったとき、前記第 9 半導体領域とのあいだが少なくとも一部で空間電荷領域により橋渡しされる距離に配置する。

30

【 0 0 3 7 】

前記第 1 半導体領域ないし、前記第 3 半導体領域ないし、前記第 9 半導体領域、からの前記漏洩電流通路をより完全に遮断するためには、各第 1 ないし、第 3 ないし、第 9 半導体領域を取り囲む様に前記第 6 半導体領域を配置することが望ましい。すなわち、前記第 1 半導体領域を、要すれば第 1 1 半導体領域も含めて、平面的に囲むがごとく第 6 半導体領域を配置する。

【 0 0 3 8 】

前記第 3 半導体領域を、要すれば第 1 2 半導体領域も含めて、平面的に囲むがごとく第 6 半導体領域を配置する。

40

【 0 0 3 9 】

前記第 9 半導体領域を、要すれば第 1 3 半導体領域も含めて、平面的に囲むがごとく第 6 半導体領域を配置する。

【 0 0 4 0 】

一方、本発明の前記規定の電流値を制御するために、前記第 2 の主面の少なくとも一部に逆導電形で前記半導体基板より高不純物濃度の第 7 半導体領域を設けることができる。

【 0 0 4 1 】

さらに、前記第 2 の主面少なくとも一部に第 1 導電形で前記半導体基板より不純物濃度の高い第 8 半導体領域を設けることができる。

50

【 0 0 4 2 】

本発明の素子の基板主面方向の電流分布の均一化を図るために、前記第 2 の主面側に前記第 7 半導体領域に接して第 4 導電膜 1 7 8 を設けることができる。

【 0 0 4 3 】

前記規定の電流値の設計を可能とするために、前記第 4 導電膜は前記第 7 の半導体領域と前記半導体基板の第 2 の主面とに接して設けることができる。

【 0 0 4 4 】

前記電流分布の均一化を図るために、前記第 2 の主面側に前記第 8 半導体領域に接して第 4 導電膜を設けることができる。

【 0 0 4 5 】

前記電流分布の均一化と前記規定の電流値の設計を可能とするために、前記半導体基板の第 2 の主面に前記第 7 半導体領域、前記第 8 半導体領域を並置し、前記第 4 導電膜を前記第 7 および第 8 半導体領域に接して設けることができる。

【 0 0 4 6 】

前記第 1 導電電極と前記第 5 導電電極間と前記第 2 導電電極と前記第 5 導電電極間のうち 1 つにサージ電圧が加わった場合、他方の導電電極間もブレイクオーバーし易いように設計するためには、前記半導体基板の第 2 の主面に逆導電形の第 7 半導体領域、第 1 導電形の第 8 半導体領域を並置して設け、前記第 4 導電膜は前記第 7 および第 8 半導体領域に接して設け、該第 7 半導体領域および該第 8 半導体領域は、前記第 1 半導体領域下から前記第 3 半導体領域下に延在させる。

【 0 0 4 7 】

一方、前記第 1 導電電極と前記第 2 導電電極間の保持電流、ホールドオーバー電流の減少を更に改善するために、前記第 5 半導体領域の役割を前記第 7 半導体領域にも支援させることができる。即ち、前記並置された該第 7 半導体領域の延在方向を、少なくとも前記第 1 半導体領域と前記第 3 半導体領域の離間対向している部分下の第 2 の主面では、前記第 1 半導体領域と前記第 3 半導体領域を結ぶ方向と交叉する方向へ設定することができる。

【 0 0 4 8 】

同様に、前記第 1 導電電極と前記第 5 導電電極間および前記第 2 導電電極と前記第 5 導電電極間の保持電流、ホールドオーバー電流の減少を更に改善するために、並置された該第 7 半導体領域と該第 8 半導体領域の延在方向を、少なくとも前記第 1 半導体領域と前記第 9 半導体領域の離間対向している部分下の第 2 の主面では、前記第 1 半導体領域と前記第 9 半導体領域を結ぶ方向へ、少なくとも前記第 3 半導体領域と前記第 9 半導体領域の離間対向している部分下の第 2 の主面では、前記第 3 半導体領域と前記第 9 半導体領域を結ぶ方向と交叉する方向へ設定することができる。

【 0 0 4 9 】

前記電流分布の一層の均一化と電流容量の改善のため、前記第 4 導電膜に放熱板を接着することができる。

【 発明の効果 】

【 0 0 5 0 】

本発明の効果は、

(1) 前記オフ状態となる規定の電流値である保持電流ないしはホールドオーバー電流が減少するのを押さえる、

(2) 過渡電流容量の低下を防ぐ、
ことのいずれかまたはその両方にある。

【 0 0 5 1 】

このために設ける第 5 半導体領域は他の半導体領域と同じ製造ラインでウエファ仕上がりに時に作成を終了することができるので、素子組立時のコスト増を押さえられる。

【 0 0 5 2 】

前記第 5 半導体領域の第 1 の主面からの深さは深いほど、主面に沿った前記第 1 第 2 半

10

20

30

40

50

導体領域方向の長さは長いほど、上記分流効果に優れるが、前記半導体基板の厚み程度またはそれ以下に前記第 5 半導体領域が前記第 3 半導体領域と近接している場合は、前記第 5 半導体領域の深さは第 3 領域の深さ程度で、前記第 5 半導体領域の長さは前記半導体基板の厚みの $1/10$ 程度で、上記分流効果は I H、I H O に対して、深さが充分深い場合の改善分の少なくとも数十%は発現する。

【発明を実施するための最良の形態】

【0053】

図 5、6、7 は本発明の実施形態例 1 を示す。図 6 は図 5 の X 1 - X 2 部分の断面図、図 7 は図 5 の Y 1 - Y 2 部分の断面図である。

【0054】

10

図において、10 は前記半導体基板、100 は前記半導体基板 10 の第 1 の主面に設けられた第 1 半導体領域、200 は前記第 1 半導体領域表面に設けられた第 2 半導体領域、300 は前記半導体基板 10 の第 1 の主面に設けられた第 3 半導体領域、400 は前記第 3 半導体領域の表面に設けられた第 4 半導体領域である。第 1 半導体領域 100 と第 3 半導体領域 300 は離間して設けられている。

【0055】

前記第 2 半導体領域は複数個設けられ、前記第 1 導電電極 112 は該複数個の前記第 2 半導体領域に接し、更に延在して前記第 1 半導体領域に接している。前記第 4 半導体領域は複数個設けられ、前記第 2 導電電極 134 は該複数個の前記第 4 半導体領域に接し、更に延在して前記第 3 半導体領域に接している。

20

【0056】

この実施形態では前記第 3 半導体領域 300 の表面に第 1 導電形の第 4 半導体領域 400 が形成されている。前記第 2 導電電極 134 は前記第 3 半導体領域 300 と該第 4 半導体領域 400 との両方に接している。この第 4 半導体領域 400 を加えた構造では、電気特性は第 1 導電電極 112 が正の規定電圧でも負の規定電圧でもブレイクオーバーする素子を実現することができる。

【0057】

前記第 2 半導体領域 200 および前記第 4 半導体領域 400 を複数個としたのは、電流分布を分散させてサージ電流分布を大きくするためである。

【0058】

30

前記第 1 半導体領域 100 を囲んで離間する位置に前記第 1 1 半導体領域 1100 が設けられている。該離間する距離は、前記第 1 1 半導体領域 1100 の前記半導体基板 10 との接合の雪崩降服電圧より小さい、ある接合電圧下で第 1 半導体領域 100 と第 1 1 半導体領域 1100 との間が空間電荷領域で橋渡しされる距離をとる。

前記第 3 半導体領域 300 を囲んで離間する位置に前記第 1 2 半導体領域 1200 が設けられている。該離間する距離は、前記第 1 2 半導体領域 1200 の前記半導体基板 10 との接合の雪崩降服電圧より小さい、ある接合電圧下で第 3 半導体領域 300 と第 1 2 半導体領域 1200 との間が空間電荷領域で橋渡しされる距離をとる。

【0059】

これら第 1 1 および第 1 2 半導体領域は、前記第 1 半導体領域と前記第 3 半導体領域の接合耐圧を改善して、ブレイクオーバー電圧 V B O の設計可能範囲を拡大するためである。該接合耐圧以下の V B O でよければ、これらの第 1 1 および第 1 2 半導体領域は不要である。

40

【0060】

前記第 1 半導体領域 100 と前記第 1 1 半導体領域 1100 を囲んで前記第 6 半導体領域 600 の一部が形成されている。前記第 1 半導体領域 100 が V B O となった時、前記第 1 1 ないし第 1 半導体領域から延在する空間電荷層の厚み以上の離間距離を前記第 1 1 ないし第 1 半導体領域と前記第 6 半導体領域との間でとることが望ましい。

【0061】

前記第 3 半導体領域 300 と前記第 1 2 半導体領域 1200 を囲んで前記第 6 半導体領

50

域 6 0 0 の一部が形成されている。前記第 3 半導体領域 3 0 0 が V B O となった時、前記第 1 2 ないし第 3 半導体領域から延在する空間電荷層の厚み以上の離間距離を前記第 1 2 ないし第 3 半導体領域と前記第 6 半導体領域との間でとることが望ましい。

【 0 0 6 2 】

前記第 1 半導体領域 1 0 0 と前記第 1 1 半導体領域 1 1 0 0 と前記第 6 半導体領域 6 0 0 を囲んで前記第 5 半導体領域 5 0 0 の一部が形成されている。また、前記第 3 半導体領域 3 0 0 と前記第 1 2 半導体領域 1 2 0 0 と前記第 6 半導体領域 6 0 0 を囲んで前記第 5 半導体領域 5 0 0 の一部が形成されている。

【 0 0 6 3 】

ただし、前記第 5 半導体領域 5 0 0 は第 1 半導体領域 1 0 0 と第 3 半導体領域 3 0 0 が平面状に対向する部分に設けられていれば、その本質的な機能は果たすが、保持電流及びホールドオーバー電流の再現性のため、ないしは、下記に記すようななどの位置でのきりだしも可能なウエファ上でのパターン展開の都合上、上記囲んだ配置としている。

【 0 0 6 4 】

なお、前記第 3 導電膜 1 5 6 は第 5 半導体領域 5 0 0 上を連続して覆い接触し、さらに両側に延在して第 6 半導体領域 6 0 0 に接触する図 4 のような形態だけで無く、図 5、6 に示されるように、第 5 半導体領域 5 0 0 の両側上に分かれて配置し、分かれたそれぞれの第 3 導電膜がそれぞれの側の第 6 半導体領域 6 0 0 と接する形態もとれる。このようにすることにより、図中央の第 5 半導体領域 5 0 0 の第 3 導電膜間中央部分はダイシングによりチップとして切り分けることができる。この設計の場合は図 6 での第 5 半導体領域 5 0 0 の主面に沿った幅はダイシングブレードの厚みより大きいことが必要である。

【 0 0 6 5 】

このようにして図 6 の左ないし右半分を 1 単位として紙面左右方向へ繰り返した素子構造を半導体ウエファの一方向へに展開し、それをさらに該一方向と直交する方向へ繰り返すことによってウエファ全面に対応するホトマスクをレイアウトすることができる。このレイアウトには 2 つの単位を選ぶ時に隣接するどの対を選ぶことも自由にできるという利点がある。

【 0 0 6 6 】

図 6 と図 7 に示されるように、前記半導体基板 1 0 の第 2 の主面 2 には逆導電形で高不純物濃度の前記第 7 半導体領域 7 0 0 と要すれば第 1 導電形で高不純物濃度の前記第 8 半導体領域 8 0 0 が並置されている。前記第 4 導電膜 1 7 8 が前記第 7 半導体領域と前記第 8 半導体領域とに接して設けられている。前記第 1 導電電極ないしは前記第 2 導電電極からみた I B O、I H はそれぞれ前記第 1 半導体領域ないしは前記第 3 半導体領域に対向する前記第 7 半導体領域と前記第 8 半導体領域の短辺幅比で決められる。前記第 8 半導体領域が省略された時は、前記第 7 半導体領域の短辺と前記第 4 導電膜の接している前記半導体基板第 2 の主面部分の短辺比で I B O、I H が決められる。

【 0 0 6 7 】

図 6 と図 7 の組み合わせでに判るように、少なくとも前記第 1 半導体領域と前記第 3 半導体領域の離間対向している部分下の第 2 の主面では、前記第 7 半導体領域 7 0 0 の長辺は、前記第 1 半導体領域と前記第 3 半導体領域とを結ぶ方向と交叉する方向へ延在している。この配置により、前記第 7 半導体領域もまた前記第 5 半導体領域と同様な分流機能を発揮するので、表裏面両面で分流機能を期待でき、前記第 5 半導体領域の深さが前記第 1 半導体領域および前記第 3 の半導体領域と同じでも、I H、ホルードオーバー電流は分離溝を第 2 の主面まで到達させたときとほぼ同レベルまで増加・改善された。

【 0 0 6 8 】

なお、第 1 の主面のパターンと第 2 の主面のパターンのアライメント精度を軽減するために、図 6 のような前記第 1 半導体領域と前記第 3 半導体領域の離間対向している部分下だけで無く、第 2 の主面全面で前記第 7 半導体領域 7 0 0 の長辺を前記第 1 半導体領域と前記第 3 半導体領域とを結ぶ方向と交叉する方向へ延在させる配置とすることができる。

【 0 0 6 9 】

図 8、9、10 は本発明の実施形態例 2 を示す。図 9 は図 8 の X 1 - X 2 部分の断面図、図 10 は図 8 の Y 1 - Y 2 部分の断面図である。

【0070】

図において、10 は半導体基板、100 は前記半導体基板 10 の第 1 の主面に設けられた第 1 半導体領域、200 は前記第 1 半導体領域表面に設けられた第 2 半導体領域、300 は前記半導体基板 10 の第 1 の主面に設けられた第 3 半導体領域、400 は前記第 3 半導体領域の表面に設けられた第 4 半導体領域である。900 は前記第 1 半導体基板 10 の第 1 の主面に設けられた第 9 半導体領域、1000 は前記第 9 半導体領域の表面に設けられた第 10 半導体領域である。前記第 1 半導体領域 100、前記第 3 半導体領域 300、前記第 9 半導体領域 900 はそれぞれ互いに離間されている。

10

【0071】

前記第 2 半導体領域は複数個設けられ、前記第 1 導電電極 112 は該複数個の前記第 2 半導体領域に接し、更に延在して前記第 1 半導体領域に接している。前記第 4 半導体領域は複数個設けられ、前記第 2 導電電極 134 は該複数個の前記第 4 半導体領域 400 に接し、更に延在して前記第 3 半導体領域 300 に接している。前記第 10 半導体領域 1000 は複数個設けられ、前記第 5 導電電極 191 は該複数個の前記第 10 半導体領域 1000 に接し、更に延在して前記第 9 半導体領域 900 に接している。

【0072】

前記第 2、4、10 半導体領域がそれぞれ複数個設けられている理由は、上記実施形態例 1 の場合と同様、サージ電流分布を分散して電流容量を改善するためである。

20

【0073】

前記第 1 半導体領域 100 を囲んで前記第 11 半導体領域 1100 が、前記第 1 半導体領域と前記半導体基板 10 との接合の雪崩降服電圧以下の電圧下で、空間電荷領域で橋渡しされる距離に離間して前記第 1 の主面に設けられている。

前記第 3 半導体領域 300 を囲んで前記第 12 半導体領域 1200 が、前記第 3 半導体領域と前記半導体基板 10 との接合の雪崩降服電圧以下の電圧下で、空間電荷領域で橋渡しされる距離に離間して前記第 1 の主面に設けられている。

前記第 9 半導体領域 900 を囲んで前記第 13 半導体領域 1300 が、前記第 9 半導体領域と前記半導体基板 10 との接合の雪崩降服電圧以下の電圧下で、空間電荷領域で橋渡しされる距離に離間して前記第 1 の主面に設けられている。

30

【0074】

前記第 1 半導体領域 100 と前記第 11 半導体領域 1100 を囲み、前記第 3 半導体領域 300 と前記第 12 半導体領域 1200 を囲み、前記第 9 半導体領域 900 と前記第 13 半導体領域 1300 を囲む、前記第 1 導電形で高不純物濃度の第 6 半導体領域 600 が前記第 1 の主面に前記各領域と離間して設けられている。

【0075】

前記第 1 半導体領域 100 と前記第 11 半導体領域 1100 と前記第 6 半導体領域 600 の一部を囲み、前記第 3 半導体領域 300 と前記第 12 半導体領域 1200 と前記第 6 半導体領域 600 の一部を囲み、前記第 9 半導体領域 900 と前記第 13 半導体領域 1300 と前記第 6 半導体領域 600 の一部を囲む、逆導電形の前記第 5 半導体領域が第 1 の主面に設けられている。ただし、この第 5 半導体領域は前記第 1 半導体領域と前記第 3 半導体領域との間と前記第 9 半導体領域と前記第 1 および第 3 半導体領域との間に設けられていれば本発明の第 1 の課題は解決される。

40

【0076】

第 3 導電膜 156 は前記第 5 半導体領域 500 と前記第 6 半導体領域 600 とに接して設けられている。前記第 1、3、9 半導体領域が平面状に対向しない部分で前記第 5 半導体領域が設けられない設計の場合は、前記第 5 半導体領域が設けられない場所までは、第 3 導電膜は延在する必要が無い。また、前記第 1、2、5 導電電極へ接続される外部端子が通る場所の下方の部分へは前記第 5 導電膜の配置を行わない設計により、外部端子と前記第 5 導電電極との短絡を防ぐことができる。前記第 5 導電膜は第 1、3、9 半導体領域

50

を図 8 のようには完全に取り囲む必要は無い。前記第 1、3、9 半導体領域が平面状に対向して該各領域に挟まれる部分では、図 5、6 のように 2 つに分かれている必要が無く、図 8、9 に示すように、第 5 半導体領域上を連続して接しかつその左右の第 6 半導体領域に接することでチップ面積の削減をすることが出来る。

【0077】

本実施形態例 2 の素子を、第 1 導電電極が信号線 L1、第 2 導電電極が信号線 L2、第 5 導電電極が接地 E へ外部端子を介して接続して使用する場合、L1 - E 間ないしは L2 - E 間のいずれかにサージが入った場合、他方もブレイクオーバーし易くなることが望ましい。

【0078】

10

このためには、前記第 2 の主面に設ける逆導電形の前記第 7 半導体領域 700 を、図 9 の如く前記第 1 半導体領域と前記第 3 半導体領域とが平面状に対向離間する部分下をとおして前記第 1 半導体領域と前記第 3 半導体領域を結ぶ方向へ延在させる。このパターン配置を第 9 半導体領域下の第 2 の主面まで展開すれば、前記第 9 半導体領域と前記第 1 ないしは第 3 半導体領域とを結ぶ方向とは交叉する方向に前記第 7 半導体領域 700 の長辺が延在するので、前記第 5 半導体領域との間に相乗効果を生じ、第 5 導電電極と第 1 ないしは第 2 導電電極との間の IH、IHO は、第 9 半導体領域と第 1 ないしは第 3 半導体領域との間の分離溝を深く設けたときと同様な値となる。

【0079】

前記第 4 導電膜 178 は、前記第 7 半導体領域と第 1 導電形の前記第 8 半導体領域に接して設けることができる。更に、前記第 4 導電膜に放熱板を接着して、サージ電流容量を改善することができる。この放熱板は繰り返しサージ印加耐性を改善する効果が大きい。

20

【実施例】

【0080】

図 8 ~ 10 の構造を p 形 $10\Omega \cdot \text{cm}$ 、厚さ $300\mu\text{m}$ のシリコン基板で試作した。第 1、第 3、第 9 半導体領域の接合深さは第 2、第 4、第 10 半導体領域の下では $6\mu\text{m}$ 、それ以外では $13\mu\text{m}$ である。第 5、第 11、第 12、第 13 半導体領域の接合深さは $13\mu\text{m}$ である。第 2、第 4、第 10 半導体領域は複数個設けられ、平面短辺幅は約 $75\mu\text{m}$ 、深さは約 $2 \sim 4\mu\text{m}$ でブレイクオーバー電圧により可変とした。

【0081】

30

ブレイクオーバー電圧は 200V から 30V まで第 2、第 4、第 10 半導体領域の深さと第 1、第 3、第 9 半導体領域の不純物濃度で任意の値とすることが出来た。

【0082】

保持電流は第 2 主面に形成された第 7 半導体領域の不純物濃度および面積、第 7 半導体領域が複数個の場合はその短辺長と逆の相関を示し、第 7 半導体領域と並置された第 1 導電形の第 8 半導体領域の面積ないしは短辺長ないしは不純物濃度と正の相関を示した。保持電流は第 2、第 4 半導体領域の短辺長と逆の相関を示した。

【0083】

第 5 半導体領域の幅（第 1 半導体領域と第 3 半導体領域を結ぶ方向の）を $50\mu\text{m}$ とした時、第 1、第 2 導電電極間の IH は 290mA 、IHO は 250mA であり、第 5 導電電極と第 1 ないしは第 2 導電電極間の IH は 600mA 、IHO は 400mA となった。第 5 半導体領域を設けない時の第 1、第 2 導電電極間の IH は 190mA 、IHO は 140mA であり、約 100mA の改善が得られた。第 5 導電電極と第 1 ないしは第 2 導電電極間の IH、IHO は分離溝を第 2 の主面近くの深さまで設けた場合の値とほぼ同等であった。

40

【0084】

第 5 半導体領域を設け、厚み 0.25mm の銅製放熱板を設けた場合は、サージ電流容量が $20 \sim 30\%$ 改善された。

【0085】

上記の本発明では上記効果全てが具現される必要はない。上記開示内容に当業者が通常

50

の技術力で変形を加えた範囲のサージ防護素子は本発明の範囲に含まれる。なお、本発明の図面には半導体基板表面のシリコン酸化膜ないしは窒化膜等の保護膜は省略されているが、保護膜は実際は適用されているとする。

【図面の簡単な説明】

【 0 0 8 6 】

【図 1】雪崩降服をブレイクオーバーに利用した従来のサージ防護素子の断面図。

【図 2】第 3 の半導体領域が第 1 の主面に設けられたサージ防護素子の 1 例の断面図。

【図 3】本発明の原理を説明するサージ防護素子の断面図。

【図 4】本発明の 1 実施様態を説明するサージ防護素子の断面図。

【図 5】本発明の実施様態例 1 を示すサージ防護素子の平面図。

10

【図 6】図 5 の X 1 - X 2 線で切断された本発明の実施様態例 1 の断面図。

【図 7】図 5 の Y 1 - Y 2 線で切断された本発明の実施様態例 1 の断面図。

【図 8】本発明の実施様態例 2 を示すサージ防護素子の平面図。

【図 9】図 8 の X 1 - X 2 線で切断された本発明の実施様態例 2 の断面図。

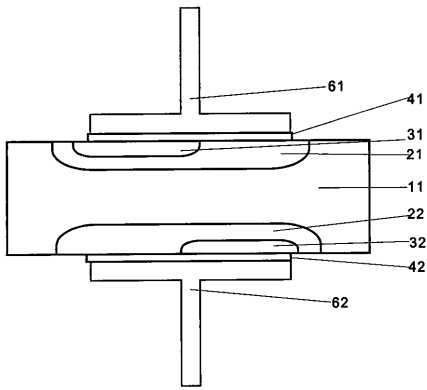
【図 10】図 8 の Y 1 - Y 2 線で切断された本発明の実施様態例 2 の断面図。

【符号の説明】

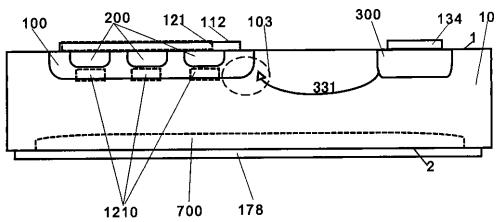
【 0 0 8 7 】

1	: 半導体基板の第 1 の主面	
2	: 半導体基板の第 2 の主面	
1 0	: 半導体基板	20
1 1	: 従来素子の半導体基板	
2 1	: 従来素子の表面のベース領域	
2 2	: 従来素子の裏面のベース領域	
3 1	: 従来素子の表面のエミッタ領域	
3 2	: 従来素子の裏面のエミッタ領域	
4 1	: 従来素子の第 1 の導電電極	
4 2	: 従来素子の第 2 の導電電極	
6 1	: 外部接続端子	
6 2	: 外部接続端子	
1 0 0	: 逆導電形の第 1 の半導体領域	30
1 0 3	: 第 1 半導体領域の第 3 半導体領域に対向する端部	
1 1 2	: 第 1 導電電極	
1 2 1	: 1 0 3 上部で第 1 半導体領域に接触しない配置の第 1 導電電極	
1 3 4	: 第 2 導電電極	
1 5 6	: 第 3 導電膜	
1 7 8	: 第 4 導電膜	
1 9 1	: 第 5 導電電極	
2 0 0	: 第 1 導電形の第 2 半導体領域	
3 0 0	: 逆導電形の第 3 半導体領域	
4 0 0	: 第 1 導電形の第 4 半導体領域	40
5 0 0	: 逆導電形の第 5 半導体領域	
6 0 0	: 第 1 導電形の高不純物濃度第 6 半導体領域	
7 0 0	: 第 2 の主面に設けられた逆導電形の第 7 半導体領域	
8 0 0	: 第 2 の主面に設けられた第 1 導電形の第 8 半導体領域	
9 0 0	: 逆導電形の第 9 半導体領域	
1 0 0 0	: 第 1 導電形の第 1 0 半導体領域	
1 1 0 0	: 逆導電形の第 1 1 半導体領域	
1 2 0 0	: 逆導電形の第 1 2 半導体領域	
1 3 0 0	: 逆導電形の第 1 3 半導体領域	
1 2 1 0	: 第 2 半導体領域と半導体基板に挟まれた第 1 半導体領域の空間電荷領域部分	50

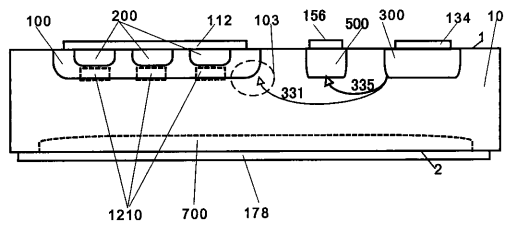
【図 1】



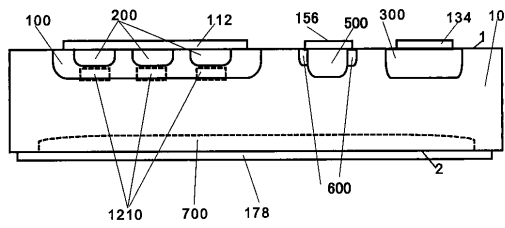
【図 2】



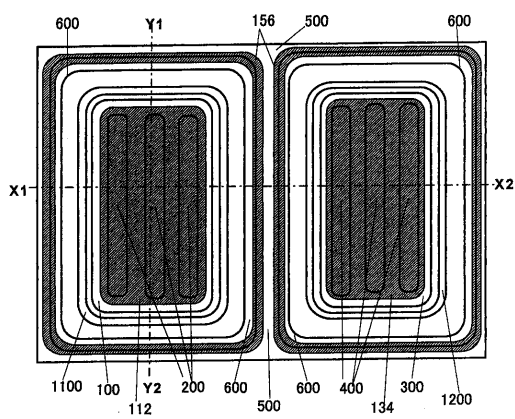
【図 3】



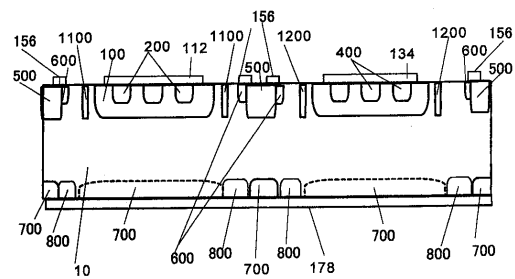
【図 4】



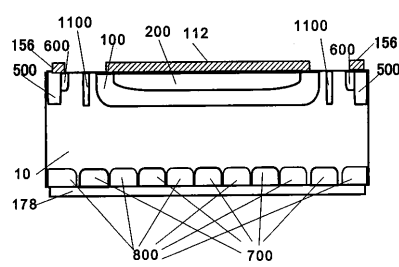
【図 5】



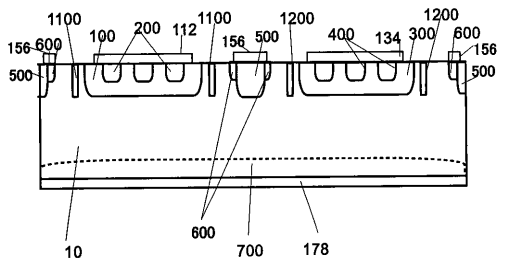
【図 6】



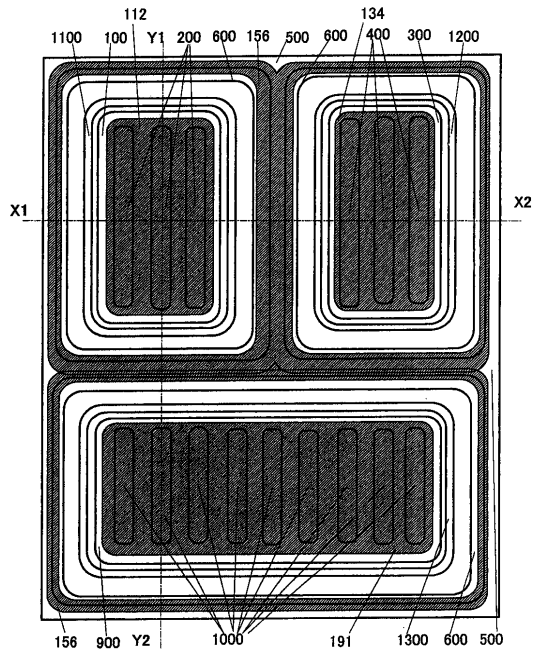
【図 7】



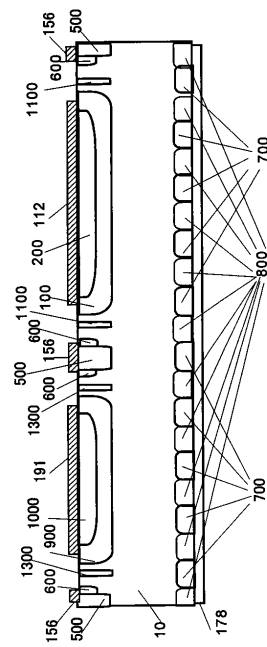
【図 9】



【図 8】



【図 10】



フロントページの続き

審査官 小野田 誠

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 9 / 7 4