

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H04L 7/02 (2006.01)

H03L 7/14 (2006.01)



[12] 发明专利说明书

专利号 ZL 99110304.1

[45] 授权公告日 2006 年 3 月 22 日

[11] 授权公告号 CN 1246992C

[22] 申请日 1999.7.8 [21] 申请号 99110304.1

[30] 优先权

[32] 1998.12.4 [33] JP [31] 345970/98

[71] 专利权人 富士通株式会社

地址 日本神奈川

[72] 发明人 濑川裕司 后藤邦彦

审查员 王志伟

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 付建军

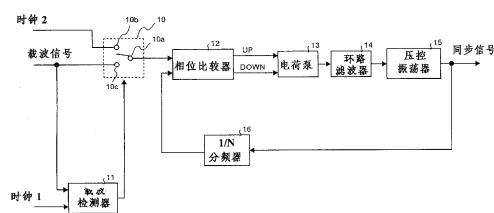
权利要求书 4 页 说明书 22 页 附图 15 页

[54] 发明名称

半导体集成电路

[57] 摘要

本申请公开了一种半导体集成电路，其中载波检测器检测载波信号的关断状态或载波信号的频率位于有效范围之外，信号开关电路从外部设备输入时钟 2 到相位比较器，以取代载波信号，锁相状态借此维持在由相位比较器、电荷泵、环路滤波器、压控振荡器及 1/N 分频器组成的 PLL 中，由此实现高速的锁定工作，直到另一个适当的载波信号到来。



1. 一种半导体集成电路，包括：

用于根据指定信号输出同步信号的压控振荡器；

相位比较单元，用于接收指定信号及所述压控振荡器输出的反馈信号，比较指定信号与反馈信号的相位，并输出表示比较结果的比较信号给所述压控振荡器；

用于检测指定信号的振荡状态的振荡状态检测器；及

信号开关，用于把指定信号或比较信号切换到一个信号，该信号用于根据所述振荡状态检测器检测到的振荡状态而维持振荡及维持从所述压控振荡器输出的同步信号，其中

所述的振荡状态检测器检查指定信号的频率，并且，当指定信号的频率在预先规定的范围之外时输出检测信号，该检测信号用来表示指定信号的振荡状态不满足预先规定的要求；及

所述的信号开关根据从所述的振荡状态检测器输出的检测信号切换指定信号或比较信号。

2. 根据权利要求1的半导体集成电路，其中所述的振荡状态检测器包括：

计数器，用于在规定的时间内根据外部时钟计算指定信号的脉冲数量或在规定的时间内根据指定信号计算外部时钟的数量；及

条件比较单元，用于将由所述的计数器计算的脉冲数量或外部时钟数量与表示指定信号频率的预先规定范围的比较目标值相比较，并输出条件比较信号；

其中所述的振荡状态检测器根据条件比较信号输出检测信号。

3. 根据权利要求1的半导体集成电路，其中所述的压控振荡器是在内部提供的，以形成锁相环。

4. 一种半导体集成电路，包括：

用于根据指定信号输出同步信号的压控振荡器；

相位比较单元，用于接收指定信号和所述压控振荡器输出的反

馈信号，比较指定信号与反馈信号的相位，并输出表示比较结果的比较信号给所述压控振荡器；

用于检测所述指定信号的振荡状态的振荡状态检测器；及

信号开关，用于根据所述的振荡状态检测器检测到的振荡状态而把指定信号切换成具有规定的频率的预先准备的信号，其中

所述的振荡状态检测器检查指定信号的频率，并且，当指定信号的频率在预先规定的范围之外时输出检测信号，该检测信号用来表示指定信号的振荡状态不满足预先规定的要求；及

所述的信号开关根据从所述的振荡状态检测器输出的检测信号切换指定信号或比较信号。

5. 根据权利要求4的半导体集成电路，其中所述的振荡状态检测器包括：

计数器，用于在规定的时间内根据外部时钟计算指定信号的脉冲数量或在规定的时间内根据指定信号计算外部时钟的数量；及

条件比较单元，用于将由所述的计数器计算的脉冲数量或外部时钟数量与表示指定信号的频率的预先规定范围的比较目标值相比较，并输出条件比较信号；

其中所述的振荡状态检测器根据条件比较信号输出检测信号。

6. 根据权利要求4的半导体集成电路，其中所述的压控振荡器是内部提供的，以形成锁相环。

7. 一种半导体集成电路，包括：

用于根据指定信号输出同步信号的压控振荡器；

相位比较单元，用于接收指定信号和所述压控振荡器输出的反馈信号，比较指定信号与反馈信号的相位，并输出表示比较结果的比较信号给所述压控振荡器；

用于检测指定信号的振荡状态的振荡状态检测器；及

信号开关，用于把比较信号切换成根据由所述振荡状态检测器检测到的振荡状态、依靠恒压源或恒流源产生的信号，其中

所述的振荡状态检测器检查指定信号的频率，当没有输入指定

信号时，或当指定信号的频率在预先规定的范围之外时输出表示指定信号的振荡状态不满足预先规定的要求的检测信号；及

所述的信号开关根据从所述的振荡状态检测器输出的检测信号切换指定信号或比较信号。

8. 根据权利要求7的半导体集成电路，其中所述的振荡状态检测器包括：

计数器，用于在规定的时间内根据外部时钟计算指定信号的脉冲数量或在规定的时间内根据指定信号计算外部时钟的数量；及

条件比较单元，用于将由所述的计数器计算的脉冲数量或外部时钟数量与表示指定信号的频率的预定范围的比较目标值相比较，并输出条件比较信号；

其中所述的振荡状态检测器根据条件比较信号输出检测信号。

9. 根据权利要求7的半导体集成电路，其中所述的压控振荡器是内部提供的，以形成锁相环。

10. 一种半导体集成电路，包括：

用于根据指定信号输出同步信号的压控振荡器；

相位比较单元，用于接收指定信号及所述压控振荡器输出的反馈信号，比较指定信号与反馈信号的相位，并输出表示比较结果的比较信号给所述压控振荡器；

用于将比较信号保存于其中的保存单元；

用于检测指定信号的振荡状态的振荡状态检测器；及

信号开关，用于根据由所述振荡状态检测器检测到的振荡状态把比较信号切换成保存在保存单元中的比较信号，其中

所述的振荡状态检测器检查指定信号的频率，并且，当指定信号的频率在预先规定的范围之外时输出表示指定信号的振荡状态不满足预先规定的要求的检测信号；及

所述的信号开关根据从所述的振荡状态检测器输出的检测信号切换指定信号或比较信号。

11. 根据权利要求10的半导体集成电路，其中所述的振荡状态检

测器包括:

计数器, 用于在规定的时间内根据外部时钟计算指定信号的脉冲数量或在规定的时间内根据指定信号计算外部时钟的数量; 及

条件比较单元, 用于将由所述的计数器计算的脉冲数量或外部时钟数量与表示指定信号的频率的预先规定范围的比较目标值相比较, 并输出条件比较信号;

其中所述的振荡状态检测器根据条件比较信号输出检测信号。

12. 根据权利要求10的半导体集成电路, 其中所述的压控振荡器是内部提供的, 以形成锁相环。

半导体集成电路

技术领域

本发明涉及用于接收指定信号（例如载波信号）及反馈信号的半导体集成电路，反馈信号来自为了根据指定信号输出同步信号的压控振荡器，本发明涉及的半导体集成电路比较指定信号的相位与反馈信号的相位，把表示比较结果的比较信号输出到压控振荡器，更具体地说，本发明涉及构成执行锁相工作的PLL(锁相环)的半导体集成电路。

背景技术

图1表示基于常规技术的PLL电路的简要结构框图。图1中，常规类型的PLL电路由相位比较器102、电荷泵103、环路滤波器104，压控振荡器105及1/N分频器组成。

这里描述的PLL电路用于接收作为输入信号的FM输入信号的载波信号。在图1中，相位比较器102将接收到的载波信号上升沿的时间与通过1/N分频器106从压控振荡器105接收的振荡信号(这里将通过分频器106从压控振荡器105接收的振荡信号称为内部振荡信号)的上升沿的时间相比较，在与载波信号比较时，当内部振荡信号的上升沿滞后时，即当内部振荡信号的频率低于载波信号的频率时，在此期间，低电平信号UP输入到电荷泵103中的P沟MOS晶体管112的栅上。

相反，当内部振荡信号的上升沿比载波信号超前时，即当内部振荡信号的频率高于载波信号的频率时，在此期间，高电平信号DOWN输入到电荷泵103中的N沟MOS晶体管113的栅上。

电荷泵的构成为：电流源111、P沟MOS晶体管112、N沟MOS晶体管113与电流源114相互串联接在电源和地之间，MOS晶体管112和MOS晶体管113的节点(节点N)通过环路滤波器104连接到压控振荡器105。

当低电平的信号UP输入到MOS晶体管112的栅上时，MOS晶体管112导通，电流源111向节点N提供正电荷。即向下一级的环路滤波

器104提供正电荷。通过对信号UP维持低电平的期间内电流源111的电流值的积分可以得到该正电荷的数量。

相反，当高电平的信号DOWN输入到MOS晶体管113的栅上时，MOS晶体管113导通，电流源114向节点N提供负电荷。即向下一级的环路滤波器104提供负电荷。通过对信号DOWN维持高电平的期间内电流源114的电流值的积分可以得到该负电荷的数量。

晶体管115和电容116相互串联连接在节点N和地之间构成环路滤波器104，它通过电阻115把电荷泵103提供的电荷积累在电容116上，产生用于控制下一级中压控振荡器105的控制电压。

压控振荡器105是一个用于输出频率由控制电压确定的信号的振荡器，并能获得该振荡信号作为同步信号。该振荡信号还输入到1/N分频器106。1/N分频器106对来自压控振荡器105的振荡信号进行1/N分频，因此来自压控振荡器105的振荡信号的频率与载波信号的频率一致，并输出如上所述的内部振荡信号。该内部振荡信号再次输入到相位比较器102，形成用于再一次把输出信号作为输入信号接收的负反馈环路。

这样当内部振荡信号的相位比载波信号滞后时，PLL电路通过将相应于相位差的正电压作为控制信号反馈给压控振荡器105来提高内部振荡信号的频率。即一个较高的频率可以使相位提前。当内部振荡信号的相位比载波信号超前时，通过将相应于相位差的负电压作为控制信号反馈压控振荡器105来降低内部振荡信号的频率。即一个较低的频率可以使相位滞后。

由于上述负反馈的作用使得内部振荡信号的频率及相位与载波信号一致，因此可以输出准确表示载波信号频率的同步信号。载波信号与内部振荡信号频率一致的这种状态称为锁相状态，达到锁相状态需要的时间称为锁定时间(lock-up)时间。

在图1的PLL电路中，电荷泵103及环路滤波器104的工作可以用数字电路实现，已经存在有通过把上述部件(相位比较器102，压控振荡器105及1/N分频器106)的结构改变为数字化形式得到的数字化PLL。

数字化PLL，尤其是通过把数字化PLL作成集成电路得到的PLL-IC用于例如将A/D转换的载波信号解调的FSK调制解调器及收

发信机的频率综合器的数字系统中。

然而，在常规类型的PLL电路中，当由于外部因素等使载波信号关闭而没有输入时，或当输入的载波信号在工作频率范围之外时，锁相状态解锁，而当再次输入适当的载波信号时，需要再次执行达到锁相状态的一系列工作(下面将描述锁相工作)。如上所述，需要很长的时间进行锁定工作，因此不能很快得到同步信号。

发明内容

本发明用来解决上述问题，本发明目的是当载波信号的输入关闭或输入的载波信号在工作频率范围之外后再次输入适当的载波信号时执行高速锁相工作及实现高速并稳定的反馈环路工作。

在本发明中，为了解决上述问题并达到上述目的，一种半导体集成电路，包括：用于根据指定信号输出同步信号的压控振荡器；相位比较单元，用于接收指定信号及所述压控振荡器输出的反馈信号，比较指定信号与反馈信号的相位，并输出表示比较结果的比较信号给所述压控振荡器；用于检测指定信号的振荡状态的振荡状态检测器；及信号开关，用于把指定信号或比较信号切换到一个信号，该信号用于根据所述振荡状态检测器检测到的振荡状态而维持振荡及维持从所述压控振荡器输出的同步信号，其中所述的振荡状态检测器检查指定信号的频率，并且，当指定信号的频率在预先规定的范围之外时输出检测信号，该检测信号用来表示指定信号的振荡状态不满足预先规定的要求；及所述的信号开关根据从所述的振荡状态检测器输出的检测信号切换指定信号或比较信号。

根据上述发明，载波检测器检测指定信号的振荡状态，根据检测到的振荡状态将指定信号或比较信号切换到用于维持振荡及维持压控振荡器输出的内部振荡信号的输出的信号。因此例如，当未检测到指定信号时，或当输入的信号频率在规定范围之外时，通过输入信号使内部振荡信号不关闭，使压控振荡器在从压控振荡器切换之前继续输出一一直输出的内部振荡信号。因此当再次输入正常的指定信号时，与从压控振荡器中没有输出内部振荡信号的状态(即从没有反馈信号的状态)启动反馈环路工作相比加速了锁相工作。

根据本发明的一个特点，一种半导体集成电路，包括：用于根据指定信号输出同步信号的压控振荡器；相位比较单元，用于接收

指定信号和所述压控振荡器输出的反馈信号，比较指定信号与反馈信号的相位，并输出表示比较结果的比较信号给所述压控振荡器；用于检测所述指定信号的振荡状态的振荡状态检测器；及信号开关，用于根据所述的振荡状态检测器检测到的振荡状态而把指定信号切换成具有规定的频率的预先准备的信号，其中所述的振荡状态检测器检查指定信号的频率，并且，当指定信号的频率在预先规定的范围之外时输出检测信号，该检测信号用来表示指定信号的振荡状态不满足预先规定的要求；及所述的信号开关根据从所述的振荡状态检测器输出的检测信号切换指定信号或比较信号。

根据上述发明振荡状态检测器检测指定信号的振荡状态，根据检测到的振荡状态，该指定信号被切换到时钟2，以输入到相位比较单元；因此，例如当未检测到指定信号时，或当输入的信号频率在规定范围之外时，该锁相状态不被解锁，因此当再次检测到工作信号时需要的锁定时间减少，实现高速及稳定的反馈环路工作。

根据本发明的一个特点，一种半导体集成电路，包括：用于根据指定信号输出同步信号的压控振荡器；相位比较单元，用于接收指定信号和所述压控振荡器输出的反馈信号，比较指定信号与反馈信号的相位，并输出表示比较结果的比较信号给所述压控振荡器；用于检测指定信号的振荡状态的振荡状态检测器；及信号开关，用于把比较信号切换成根据由所述振荡状态检测器检测到的振荡状态、依靠恒压源或恒流源产生的信号，其中所述的振荡状态检测器检查指定信号的频率，当没有输入指定信号时，或当指定信号的频率在预先规定的范围之外时输出表示指定信号的振荡状态不满足预先规定的要求的检测信号；及所述的信号开关根据从所述的振荡状态检测器输出的检测信号切换指定信号或比较信号。

根据上述发明，检测指定信号的振荡状态，根据检测到的振荡状态把比较信号切换到根据提供规定电压的恒压源或提供规定电荷的恒流源产生的信号，因此，例如当未检测到指定信号时，或当输入的信号频率在规定范围之外时，该锁相状态不被解锁，因此当再次检测到工作信号时可以减少需要的锁定时间，实现高速及稳定的反馈环路工作。

根据本发明的一个特点，一种半导体集成电路，包括：用于根

据指定信号输出同步信号的压控振荡器；相位比较单元，用于接收指定信号及所述压控振荡器输出的反馈信号，比较指定信号与反馈信号的相位，并输出表示比较结果的比较信号给所述压控振荡器；用于将比较信号保存于其中的保存单元；用于检测指定信号的振荡状态的振荡状态检测器；及信号开关，用于根据由所述振荡状态检测器检测到的振荡状态把比较信号切换成保存在保存单元中的比较信号，其中所述的振荡状态检测器检查指定信号的频率，并且，当指定信号的频率在预先规定的范围之外时输出表示指定信号的振荡状态不满足预先规定的要求的检测信号；及所述的信号开关根据从所述的振荡状态检测器输出的检测信号切换指定信号或比较信号。

根据上述发明，相位比较单元输出的比较信号保存在保存单元中，信号开关根据振荡状态检测器检测到的指定信号的振荡状态把到环路滤波器或压控振荡器的输入从比较信号切换到保存单元中保存的电压，因此，例如，即使当未检测到指定信号时，或当输入的信号频率在规定范围之外时，锁相状态也不解锁，输入根据前面的锁定状态中比较信号产生的反馈信号，因此当再次检测到工作信号时需要的锁定时间可以进一步减少，实现高速及稳定的反馈环路工作。

根据本发明的一个特点，一种半导体集成电路，具有振荡状态检测器，它检查指定信号是否存在和/或指定信号的频率，当确定没有指定信号输入或指定信号的频率在预定范围之外时，输出表示指定信号的振荡状态不满足预定要求的检测信号；该半导体集成电路还具有信号开关，将指定信号或从相位比较单元输出的比较信号切换到用于根据该检测信号维持内部振荡信号的一种信号。

根据本发明的一个特点，一种半导体集成电路，它具有由计数器组成的振荡状态检测器，该计数器根据外部时钟(时钟1)在规定的时间内计算指定信号的脉冲数量、或根据指定信号在规定的时间内计算外部时钟的数量，该半导体集成电路还具有条件比较单元，用于将计数器计算的脉冲数量或时钟1的脉冲数量与表示指定信号频率的预定范围的比较目标值相比较，并输出条件比较信号，该专用检测器还根据条件比较信号输出检测信号。

根据本发明的一个特点，一种半导体集成电路还具有在其内部

提供的压控振荡器作为构成PLL(锁相环)的一个部分。

根据上述发明，在内部提供压控振荡器，通过根据相位比较单元输出的比较信号产生的控制电压使PLL电路具有控制压控振荡器的功能，因此使实现PLL电路功能的外部电路减少，可以实现单片PLL工作并使PLL电路最小化。

参考附图，通过下列描述将使本发明的其他目的及特点更加清楚。

附图说明

图1表示基于常规技术的PLL电路基本结构的框图。

图2表示根据本发明的实施方式1的半导体集成电路的基本结构的框图。

图3表示根据实施方式1的半导体集成电路中的载波检测器的内部结构的框图。

图4表示根据实施方式1的半导体集成电路中的比较器电路结构的说明图。

图5是真值表，表示在根据实施方式1的半导体集成电路中(A1, A0), (B1, B0)与OS、OE及OG端的每一个输出信号之间的关系。

图6的时序图用来说明根据实施方式1的半导体集成电路中的载波检测器的工作过程。

图7表示根据实施方式1的半导体集成电路中的另一种载波检测器的基本结构的框图。

图8的时序图说明根据实施方式1的半导体集成电路中的另一种载波检测器的工作过程。

图9表示根据本发明的实施方式2的半导体集成电路的基本结构的框图。

图10表示根据实施方式2的半导体集成电路的另一种基本结构的框图。

图11表示根据本发明的实施方式3的半导体集成电路的基本结构的框图。

图12表示根据实施方式3的半导体集成电路的另一种基本结构的框图。

图13表示根据实施方式1的半导体集成电路的另一种基本结构的

框图。

图14表示根据实施方式2的半导体集成电路的另一种基本结构的框图。

图15表示根据实施方式3的半导体集成电路的另一种基本结构的框图。

具体实施方式

下面进行根据本发明的运算放大器的优选实施方式的详细描述。应该注意到本发明并不仅限于这些实施方式。

下面参考有关的附图详细描述根据本发明的半导体集成电路的优选实施方式。应该注意到本发明并不仅限于这些实施方式。

图2的框图表示根据实施方式1的半导体集成电路的基本结构。在图2中，根据实施方式1的半导体集成电路的组成包括：信号开关电路10，载波检测器11，相位比较器12，电荷泵13，环路滤波器14，压控振荡器15及1/N分频器16。

其中特别描述信号开关电路10、载波检测器11、相位比较器12、电荷泵13、环路滤波器14、压控振荡器15及1/N分频器16都由数字电路构成的情况，该半导体集成电路起PLL电路的作用，用于通过给其输入信号(载波信号)，以通过A/D转换把例如FSK信号的载波转换成方波作为输入信号而得到与载波信号同步的信号。

在图2中，信号开关电路10由开关组成，它能使与公共触点10a的连接切换到转换触点10b或转换触点10c。在该信号开关电路10中，公共触点10a作为输入信号与相位比较器12的一端连接，转换触点10b连接到外部振荡器(未表示出)以接收时钟2，转换触点10c接收载波信号。时钟2是时钟信号，以与载波信号相同的频率振荡。

如上所述，信号开关电路10可以选择时钟2或载波信号作为输入相位比较器12的信号。例如当载波检测器11输出的检测信号为高电平时，公共触点10a连接到载波信号输入的转换触点10c，而当载波检测器11输出的检测信号为低电平时，公共触点10a连接到时钟2输入的转换触点10b。

相位比较器12由异或电路或R-S触发器电路组成，它将信号开关电路10(以下称为选择输入信号)输出的信号的上升点的时间与作为对压控振荡器15的反馈信号通过1/N分频器输入的的振荡信号(以下称为内部振荡信号)的相比较，当内部振荡信号的上升沿相对于选择输入信号滞后时，即当选择输入信号的频率低于内部振荡信号的频率时，在此期间，低电平的信号UP输入到电荷泵13。

相反，当内部振荡信号的上升沿相对于选择输入信号超前时，即当选择输入信号的频率高于内部振荡信号的频率时，在此期间，高电平的信号DOWN输入到电荷泵13。

电荷泵13用于馈送驱动下一级的环路滤波器14的电流，当从相位比较器12接收的是低电平的信号UP时，馈送正电流给下一级的环路滤波器14，当从相位比较器12接收的是高平的信号DOWN时，馈送负电流给下一级的环路滤波器14。

环路滤波器14是低通滤波器，它除掉不必要的高次谐波和噪声，用电荷泵13提供的电流产生正的或负的控制电压，用来控制下一级的压控振荡器15。压控振荡器15用于输出频率由电荷泵13输出的控制电压确定的信号，可以获得这个振荡信号作为同步信号。该振荡信号还输入到1/N分频器16。

1/N分频器16对来自压控振荡器15的振荡信号进行1/N分频，使得来自压控振荡器15的振荡信号的频率与选择输入信号的频率一致，并作为内部振荡信号输出。通过在相位比较器12再次输入该内部振荡信号形成接收输出信号作为输入信号的负反馈环路。

如上所述，当内部振荡信号的相位滞后于选择输入信号时，根据实施方式1的半导体集成电路通过馈送相应于相位差的正电压作为控制信号给压控振荡器15来提高内部振荡信号的频率。即较高频率使相位超前。另一方面，当内部振荡信号的相位超前于选择输入信号时，通过馈送相应于相位差的负电压作为控制信号给压控振荡器15来降低内部振荡信号的频率。即较低频率使相位滞后。

通过上述负反馈的作用使得进入锁定状态，在此状态中内部振荡

信号与选择输入信号的频率及相位一致，使准确表示选择输入信号频率的同步信号输出。

下面描述载波检测器11。载波检测器11的电路用于接收载波信号和外部振荡器(图中未示出)产生的时钟1，检测载波信号是否关断或输入的载波信号频率是否在有效范围之外，并输出例如低电平的检测信号。

图3的框图表示载波检测器11的内部结构。图3中，载波检测器11的组成包括脉冲发生器21，计数器22，寄存器23，比较器24及25，与门26，D触发器27及反相器28。

脉冲发生器21用来接收时钟1，并在时钟1的上升沿输出脉冲宽度小于时钟1的脉冲。脉冲发生器21用例如单稳多谐振荡器(one-shot multi-vibrator)的器件实现。

计数器22用于接收载波信号，并计算该载波信号的脉冲数量(D_n)。用脉冲发生器21输出的脉冲作为输入来复位计数器22。寄存器用于接收时钟1，在时钟1的上升沿通过计数器22得到表示计数结果的存储于其中的值(D_n')。

比较器24将存储在寄存器23中的值(D_n')与作为正常载波信号认定的频率范围的上限(即表示最高工作频率的值(D_H))相比较，当 D_n' 小于 D_H 时，输出作为比较结果的高电平信号(条件比较信号)。

另一方面，比较器25将储存在寄存器23中的值(D_n')与作为正常载波信号认定的范围的最低限(即表示最低工作频率的值 D_L)相比较，当 D_n' 大于 D_L 时，输出作为比较结果的高电平信号(条件比较信号)。

与门26分别接收比较器24和比较器25输出的比较结果，输出信号送入下一级D触发器27的D端，反相器28将由脉冲发生器21输出的脉冲反向后送到D触发器27的时钟输入端。

当反相器28输出的信号上升时，D触发器27存储与门26的输出信号，并输出该存储信号作为检测信号。

下面描述比较器24的电路结构。图4说明比较器24的电路结构。应该注意，作为例子，图4的比较器24表示的是当输出的是以2位

(A1, A0)表示的输入值(Dn')与以2位(B1, B0)表示的值(DH)比较的结果时所用的电路。即使Dn'与DH以2位或高于2位表示,比较器也可通过构成与图4结构相同的电路进行比较。

图4中,比较器24由以下组成:两个异或门L11和L12,四个反相器L13-L16,一个与非门L17,六个或门L18-L23,和两个三输入与非门L24-L25;这些门中,或门L19, L20, L22和L23分别是三输入或门。

图4中的比较器有三个输出端:OS, OE和OG,每一个都输出比较结果,当比较结果为由(A1, A0)表示的值(Dn')大于由(B1, B0)表示的值(DH)时,输出端OG输出高电平;当Dn'小于DH时,输出端OS输出高电平;当Dn'等于DH时,OE输出高电平。该比较器24把从输出端OS输出的信号作为检测信号。

图4中, A0位分别输入到异或门L11的一个输入端、反相器L13的输入端, 或门L18的一个输入端, 以及或门L19的第一输入端;同时A1位分别输入到异或门L12的一个输入端、反相器L15的输入端, 或门L19的第二输入端, 以及或门L20的第一输入端。

B0位分别输入到异或门L11的另一个输入端、反相器L14的输入端, 或门L21的一个输入端, 以及或门L23的第一输入端, 同时B1位分别输入到异或门L12的另一个输入端、反相器L16的输入端, 或门L22的第一输入端, 以及或门L23的第二输入端。

异或门L11的输出输入到与非门L17的一个输入端, 异或门L12的输出输入到与非门L17的另一输入端。与非门L17的输出端连接到OE端。

反相器L13的输出输入到或门L21的另一个输入端以及或门L22的第二输入端, 同时反相器L14的输出分别输入到或门L18的另一输入端以及或门L20的第二输入端。反相器L15的输出输入到或门L22的第三输入端以及或门L23的第三输入端, 同时反相器L16的输出分别输入到或门L19的第三输入端以及或门L20的第三输入端。

或门L18-L20的每一个输出都输入到与非门L24, 或门L21-L23

的每个输出都输入到与非门L25。与非门L24的输出端连接到OG端，与非门L25的输出端连接到OS端。

下面描述比较器24的工作。图5是真值表，表示代表 D_n' 的(A1, A0)、代表DH的(B1, B0)与在OS、OE与OG端的每个输出信号之间的关系。应该注意，对于从OS端输出的信号，这里讨论OS端输出高电平信号的情况及其输出低电平信号的情况。

作为(A1, A0)与(B1, B0)的组合，当代表 D_n' 的(A1, A0)小于代表DH的(B1, B0)时，即当OS端输出高电平信号时，有六种类型的组合，如 $\{(A1, A0), (B1, B0)\} = \{(0, 0), (0, 1)\}, \{(0, 0), (1, 0)\}, \{(0, 1), (1, 0)\}, \{(0, 0), (1, 1)\}, \{(0, 1), (1, 1)\}$ 以及 $\{(1, 0), (1, 1)\}$ 。

参考电路图4中的电路结构，描述在上述组合中在 $\{(A1, A0), (B1, B0)\} = \{(0, 0), (0, 1)\}$ 的情况下比较器24的工作。

首先，例如当(A0, B0) = (1, 0)时，异或门L11的输出为低电平，即逻辑0。当(A1, B1) = (0, 1)时，异或门L12的输出也为低电平，即逻辑0。这样，与非门L17输出逻辑0，因此低电平信号输出到OE端。反相器L13 - L16的输出分别为逻辑0, 1, 1及0。因此逻辑值1, 1输入到或门L18，使其输出逻辑1；逻辑值1, 0, 0输入到或门L19，使其输出逻辑1；逻辑值0, 1, 0输入到或门L20，使其输出逻辑1。

因此，与非门L24的输出为逻辑0，低电平信号输出到OG端。同样处理(A1, A0)与(B1, B0)的其它五种组合，低电平信号输出到OG端。

逻辑0, 0输入到或门L21，使其输出逻辑0；逻辑0, 1, 1输入到或门L22，使其输出逻辑1，逻辑1, 0, 1输入到或门L23，使其输出逻辑1。因此与非门L25输出逻辑1，高电平信号输出到OS端，即代表用(A1, A0)表示的值 D_n' 小于用B1, B0表示的值DH。

与以上(A1, A0)与(B1, B0)的六种组合不同，即当用(A1, A0)表示的值 D_n' 大于用(B1, B0)表示的值DH时，低电平信号输出到OS端。

比较器25的结构与上述比较器24的结构与工作过程相同。应该注

意的是，这里当 Dn' 大于DL时比较器25输出高电平检测信号，该检测信号应该输出到OG端。

下面描述载波检测器11的工作过程。图6是说明载波检测器11工作过程的时序图。图6中，标号a-i相应于图3中的a-i的位置，分别表示这些位置上的信号状态。

图6中，首先脉冲发生器21在时钟1的上升沿输出脉冲T21。寄存器23得到作为计数器22计数结果的代表值($Dn-1$)的输出信号T31，并在时钟1的上升沿T11存储该信号。脉冲发生器21输出的脉冲T21使计数器22复位，开始对载波信号进行新的时钟计数。

存储在寄存器23中代表值 $Dn-1'$ 的信号T41输入到比较器24，25，确定该信号是否在有效的频率范围内。当确定 $Dn-1'$ 小于表示最高频率的值DH时，比较器24输出高电平的信号T51；相反，当确定 $Dn-1'$ 大于表示最低频率的值DL时，比较器25输出高电平的信号T61。

因此与门26接收两个高电平信号，输出高电平的信号T71。这里，脉冲发生器21输出的脉冲T21被反相器28反相，输入到D触发器27的时钟输入端，因此D触发器27在等于脉冲T21的脉冲宽度的时间之后，接收与门26输出的高电平信号T71，并存储该信号。将该高电平存储信号作为检测信号T81输出。

然后，脉冲发生器21在时钟1的上升沿T12再次输出脉冲T22。寄存器23在时钟12的上升沿T12得到作为计数器22计数结果的代表值(Dn)的输出信号T32，并存储该信号。

存储在寄存器23中代表值 Dn' 的信号T42输入到比较器24，25，确定该信号是否在有效的频率范围内。当在比较器24中确定 Dn' 小于表示最高频率的值DH及当比较器25中 Dn' 大于表示最低频率的值DL时，比较器24和25都分别输出高电平的信号T51和T61。

因此，与门26接收两个高电平的信号，输出高电平的信号T71。其中如上所述，D触发器27在等于脉冲T22的脉冲宽度的时间之后接收与门26输出的高电平的信号T71，并存储该信号，将该高电平存储信

号作为检测信号T81输出。

然后，当用脉冲T22作为触发信号计数的载波信号用最后一个脉冲T2关断时，即在时钟1的T12上升沿之后，计数器的计数结果维持“1”的状态下，及当时钟1出现新的上升沿T13，脉冲振荡器21输出脉冲23时，“1”存储在寄存器23中，表示这个“1”的信号T43也输入到比较器24及25。

由于输入比较器24的值“1”小于表示最高频率的值DH，因此比较器24输出高电平的信号T51，但由于输入比较器25的值“1”小于表示最低频率的值DL，因此比较器25输出低电平的信号T62。相应于该输出，从与门26输出低电平的信号T72。

然后，从与门26输出的低电平信号T72输入并存储在D触发器中，如上所述在等于脉冲T22的脉冲宽度的时间之后，表示存储的低电平的信号T82作为检测信号输出。

这里比较器24与比较器25异步工作，因此当从比较器来的每一个输出信号以及后面的与门26输出的信号从高电平到低电平跳变时，可能发生冒险（hazard）HZ1和HZ2。D触发器27根据脉冲振荡器21输出的脉冲与时钟信号同步工作。因此阻止了冒险信号的输出。

时序图6表示当载波信号关断的情况下，如果载波信号的频率小于输入比较器25的表示最低频率的值时，工作过程相同。即使载波信号的频率高于表示输入比较器24的最高频率的值，比较器24输出的信号也是低电平，与门26也输出低电平信号，因此最后的工作过程与上述相同。

如上所述，当没有载波信号输入或当输入的载波信号的频率在有效范围之外时，上面说明的载波检测器11输出的检测信号为低电平。接收到低电平的检测信号后，信号开关电路10把公共触点10a连接到输入时钟2的转换触点10b，选择时钟2作为相位比较器12的输入信号。

为了维持锁存的状态为输入时钟2，即使当没有载波信号输入或当输入的载波信号的频率在有效范围之外时，相位比较器12都维持锁存

状态，当载波检测器11再一次检测到有效的载波信号时，即当高电平的检测信号输入到信号开关电路时，该载波信号输入到相位比较器12，能迅速接收到同步信号，几乎不产生锁定时间。

下面描述载波检测器11的另一个例子。图7是另一个载波发生器11的简要结构框图。图7的载波发生器11与图3的载波发生器11的不同之处在于时钟1输入到计数器22，载波信号输入到脉冲发生器21，表示计数器22溢出的信号输入到D触发器27的复位端R。

然而，要求时钟1的振荡频率比载波信号高出足够。应该注意到，和图3中相同的部分的标号相同，并省略了对相同部分的描述。

图8的时序图用于说明图7中载波检测器11的工作过程。在时序图8中，标号a-j相应于图7中的位置a-j，表明在各个位置信号的状态。

图8中，首先，在载波信号的上升沿T1脉冲发生器21输出脉冲T21。寄存器23得到作为计数器22计数结果的代表值($D_n - 1$)的输出信号T31，并在载波信号的上升沿T1存储该信号。脉冲发生器21输出的脉冲T21使计数器22复位，开始对时钟进行新的计数。

存储在寄存器23中代表值($D_n - 1'$)的信号T51输入到比较器24，25，确定该信号是否在有效的频率范围内。当确定 $D_n - 1'$ 小于表示最高频率的值(DH)时，比较器24输出高电平的信号T61；相反，当确定 $D_n - 1'$ 大于表示最低频率的值(DL)时，比较器25输出高电平的信号T71。

因此与门26接收两个高电平信号，输出高电平的信号T81。这里，脉冲发生器21输出的脉冲T21在反相器28中反相，输入到D触发器27的时钟输入端，因此D触发器27在等于脉冲T21的脉冲宽度的时间之后接收从与门26输出的高电平信号T71，并存储该信号。该存储信号作为检测信号T91输出高电平。

然后，脉冲发生器21在载波信号的上升沿T2再次输出脉冲T22。寄存器23在载波信号的上升沿T2得到作为计数器22计数结果的代表值(D_n)的输出信号T32，并存储该信号。

存储在寄存器23中代表值(D_n')的信号T52输入到比较器24, 25, 确定该信号是否在有效的频率范围内。当在比较器24中确定 $D_n - 1'$ 小于代表最高频率的值(DH)及在比较器25中当 $D_n - 1'$ 大于代表最低频率的值(DL)时, 比较器24和25分别输出高电平的信号T61和T71。

因此, 与门26接收两个高电平的信号, 输出高电平的信号T81。其中如上所述, D触发器27在等于脉冲T22的脉冲宽度的时间之后接收与门26输出的高电平信号, 存储该信号, 作为检测信号T91输出存储的高电平的该信号。

然后当载波信号由最后一个脉冲T22的上升沿T2关断时, 即在载波信号上升沿T2及以后时钟1继续计数的状态下, 脉冲振荡器21不根据载波信号输出脉冲, 因此计数器22不被复位。

在这种状态下, 脉冲振荡器21输出的脉冲不作为时钟输入到D触发器27, 因此D触发器保存最后一次存储在其中的高电平信号, 因此不能检测到载波信号的关断。

然而计数器22的计数结果不可避免会产生溢出, 这时计数器22输出高电平的溢出信号(OVF)T41, D触发器在其复位端接收到该溢出信号, 因此在溢出信号T41的上升沿存储的数据(在这种情况下是高电平信号)可以被复位到低电平。由于该特点, D触发器27输出低电平的检测信号T92, 使得载波信号的关断被检测到。

虽然图8的时序图表示的是载波信号关断的情况, 然而, 比较器24或比较器25也能检测到载波频率在有效范围之外的情况。应该注意的是, 时钟1的目的是用于计数器22计数, 在载波信号脉冲的第一个过渡期间, 时钟1的脉冲数量是存储在寄存器23中的计数器22计数的结果。

即, 载波信号的频率越高, 载波信号脉冲的上升间隔越窄, 在这个间隔期间被计数的时钟1的脉冲数量越少。载波信号的频率越低, 载波信号脉冲的上升间隔越宽, 在这个间隔期间被计数的时钟1的脉冲数量越多。

因此, 当寄存器23中存储的计数结果小于表示最高频率的值, 即

小于最高频率的载波信号脉冲间的时钟1的脉冲数量(DH)时, 比较器24输出低电平信号。相反, 当寄存器23中存储的计数结果大于表示最低频率的值, 即大于最低频率的载波信号脉冲间的时钟1的脉冲数量(DH)时, 比较器24输出低电平信号。由于这些低电平信号, 与门26也输出低电平信号, 因此其工作过程与上述图3中的载波检测器11中的工作过程相同。

在上述实施方式1中, 当没有载波信号输入时或输入的载波信号频率在有效范围之外时, 载波检测器输出低电平的检测信号, 信号开关电路10通过接收该低电平的检测信号给相位比较器输入频率等于正常载波信号的时钟2, 当检测信号为高电平时, 把载波信号输入到相位比较器23, 因此即使没有载波信号输入或输入的载波信号频率在有效范围之外, 该锁相状态也不解锁, 当再一次检测到有效载波信号时要求的锁定时间降低, 获得高速并稳定的相位锁定。

下面描述根据实施方式2的半导体集成电路。图9是表示根据实施方式2的半导体集成电路简要结构的框图。在图9中, 根据实施方式2的半导体集成电路的组成如下: 载波检测器11, 相位比较器12, 电荷泵13, 环路滤波器14, 压控振荡器15, 1/N分频器, 及信号开关电路30。与根据实施方式1的图2中共同的部分被分配了相同的标号, 并省略了对相同部分的描述。

在图9中, 信号开关电路30由开关组成, 它能使与公共触点10a的连接根据载波检测器11输出的检测信号切换到转换触点30b或转换触点30c。在该信号开关电路30中, 公共触点30a连接到压控振荡器15的一端, 使控制信号输入其中, 转换触点30b连接到电压源31, 转换触点30b连接到环路滤波器14的输出端。

当正常的载波信号输入到相位比较器12中时, 电压源用于提供与环路滤波器14中产生的控制电压相等的电压。

至于信号开关电路30的具体工作, 当没有载波信号输入时或输入的载波信号频率在有效范围之外时, 从载波检测器11输出的低电平检测信号输入到信号开关电路30, 由于公共触点连接到转换触点30b,

因此电压源31提供的控制电压输入到压控振荡器15。

作为同步检测的结果，压控振荡器15输出频率与电压源31提供的控制电压相关的振荡信号，并给1/N分频器输入信号。在这种状态下，环路滤波器14的输出不输入到压控振荡器15，而是根据电压源31提供的电压的振荡信号从压控振荡器通过1/N分频器输入到相位比较器12。

当有效的载波信号再次输入到相位比较器12时，从载波检测器11输出高电平检测信号，该检测信号输入到信号开关电路30，由于公共触点30a连接到转换触点30c，因此环路滤波器14的输出作为控制信号输入到压控振荡器15。

直到在该信号开关电路30中触点转换到转换触点30c之前，根据电压源31提供的振荡信号一直通过1/N分频器从压控振荡器15输入到相位比较器12，因此，不同于载波信号的相位与不从1/N分频器振荡的信号、或与频率相差很多的信号的相位相互比较的情况，一直输入到相位比较电路12的信号的频率非常接近载波信号的频率，使得实现高速相位锁定，快速得到同步信号。

对于上述实施方式2，当没有载波信号输入时或输入的载波信号频率在有效范围之外时，载波检测器11输出低电平的检测信号，通过接收低电平的检测信号，信号开关电路30输入控制信号，使振荡器在压控振荡器中从电压源31输出等于正常载波信号的频率，及当检测信号为高电平时，在压控振荡器中输入来自环路滤波器14的输出；因此，即使没有载波信号输入时或输入的载波信号频率在有效范围之外时，内部振荡信号也能输入到相位比较器12，因而当再次检测到有效的载波信号时，需要的锁定时间可以减少，使高速及稳定的相位锁存得以实现。

图10是根据实施方式2的另一种半导体集成电路基本结构的框图。在图9的半导体集成电路中，信号开关电路30接在环路滤波器14和压控振荡器15之间，因此在环路滤波器14的输出与电压源31的输出之间转换，转换输出输入到压控振荡器1；，但是对于如图10所示的

半导体集成电路，信号开关电路30可以在电荷泵13和环路滤波器14之间提供，因此当输入正常的载波信号时，电荷泵13给环路滤波器14提供的电荷可以通过电流源32提供给滤波器。

在这种情况下下的信号开关电路30中，公共触点30a连接到环路滤波器14的输入端，转换触点30c连接到电荷泵13的输出端。因此，当从载波检测器11接收到低电平的检测信号时，信号开关电路30从电流源32给环路滤波器14电流；当接收到的检测信号为高电平时，信号开关电路30从电荷泵13的输出给环路滤波器14提供电流，这使得和图9中所示的半导体集成电路类似，降低了锁定时间，实现高速及稳定的相位锁定。

下面描述根据实施方式3的半导体集成电路。图11是表示根据实施方式3的半导体集成电路简要结构的框图。在图11中，根据实施方式3的半导体集成电路的组成如下：载波检测器11，相位比较器12，电荷泵13，环路滤波器14，压控振荡器15，1/N分频器，及信号开关电路40。应该注意到，与图2中共同部分被分配了相同的标号，并省略了对相同部分的描述。

在图11中，信号开关电路40由根据从载波检测器11和电容CH输出的检测信号使公共触点40a和转换触点40b间的连接接通/打开的开关组成。在信号开关电路40中，公共触点40a连接到压控振荡器15的控制信号输入端，转换触点40b连接到环路滤波器14的输出端。

电容CH连接在连接公共触点40a与压控振荡器15的控制信号输入端的信号线与地之间，电容CH积累从环路滤波器14输出的电压作为控制信号，并在公共触点与转换触点40b相互连接时，即当开关接通时，将该电压存储于其中。

至于信号开关电路40的具体工作，当没有载波信号输入时或输入的载波信号频率在有效范围之外时，从载波检测器11输出的低电平检测信号输入到信号开关电路40，因此公共触点40a与转换触点40b没有连接上，即开关关断，保存在电容CH上的电压作为控制电压输入到压控振荡器15。

压控振荡器15输出作为同步检测结果的频率与由电容CH提供的控制电压相关的振荡信号，还给1/N分频器16提供输入信号。在这种状态下，环路滤波器14的输出并不输入到压控振荡器15，而是振荡信号根据由电容CH提供的控制电压通过1/N分频器从压控振荡器输入到相位比较器12。

其中，当有效的载波信号再次输入到相位比较器12时，从载波检测器11输出高电平检测信号，该检测信号输入到信号开关电路40，共触点40a通过它公连接到转换触点40b。即开关接通，环路滤波器14的输出作为控制信号输入到压控振荡器15。

直到在该信号开关电路40中开关接通之前，振荡信号根据电容CH提供的电压从压控振荡器15通过1/N分频器输入到相位比较器12，因此，与把载波信号的相位与和载波信号的频率差别很大的信号的相位相比的情况不同，能更快实现相位锁定，快速得到同步信号。

另外，就在信号开关电路40的开关成为接通状态之前，环路滤波器14的输出电压保存在电容CH中，并作为控制电压输入到压控振荡器15，因此可以从压控振荡器15再次得到频率和输入的有效载波信号接近的振荡信号，因此即使当载波信号的频率变化时，也能把基于最小相位差的相位锁定设定为锁相过程的起始点，更进一步降低了锁定时间。

对于上述实施方式3，当没有载波信号输入时或输入的载波信号频率在有效范围之外时，载波检测器11输出低电平的检测信号；当接收到该低电平检测信号时，信号开关电路40存储控制电压，使压控振荡器15在电容CH上输出频率等于正常载波信号的电压，在压控振荡器15中输入存储的控制电压；当检测信号为高电平时，环路滤波器14的输出输入到压控振荡器；即使没有载波信号输入时或输入的载波信号频率在有效范围之外时，内部振荡信号也能输入到相位比较器12，因而当再次检测到有效的载波信号时，需要的锁定时间可以减少，使高速及稳定的相位锁定得以实现。

图12是根据实施方式3半导体集成电路的另一种基本结构的框

图。在图11的半导体集成电路中，信号开关电路40接在环路滤波器14和压控振荡器15之间，因此在环路滤波器14的输出与保存在电容CH上的电压之间转换，转换输出输入到压控振荡器15。但是对于如图12所示的半导体集成电路，信号开关电路40可以在电荷泵13和环路滤波器14之间提供；因此当输入正常的载波信号时，电荷泵13向环路滤波器14提供的电荷在电容CH上积累并保存，保存的该电荷可以提供给环路滤波器14。

在这种情况下信号开关电路40中，公共触点40a连接到环路滤波器14的输入端，转换触点40b连接到电荷泵13的输出端。因此，当从载波检测器11接收到低电平的检测信号时，信号开关电路40从电容CH向环路滤波器14提供电流；当接收到的检测信号为高电平时，向环路滤波器14提供从电荷泵13输出的电流，这使得和图11中所示的半导体集成电路类似，降低了锁定时间，实现高速及稳定的相位锁存。

根据上述实施方式1-3的半导体集成电路具有信号开关电路10，30，40，载波检测器11，相位比较器12，电荷泵13，环路滤波器14，压控振荡器15及1/N分频器16，但压控振荡器15和/或环路滤波器14也可以作为外部电路提供，为了给该半导体集成电路提供反馈，也可以通过输入从外部提供的压控振荡器15输出的振荡信号形成负反馈环路。

具体到根据本发明的半导体集成电路中，信号开关电路10，30，40，载波检测器11，相位比较器12，电荷泵13，或具有环路滤波器14和压控振荡器15的结构都可以与上述结构一起集成到一个芯片上(形成IC)。

图13是根据实施方式1的半导体集成电路的另一种基本结构的框图。图13表示的状态是集成包括信号开关电路10，载波检测器11，相位比较器12，电荷泵13和1/N分频器的结构在一个芯片上得到的半导体集成电路，环路滤波器14和压控振荡器15作为外部电路连接到半导体集成电路50上，除了上述以外的结构都与图2的结构相同。

如上所述，可以根据要求改变设计，取决于除了包括信号开关电

路10, 载波检测器11, 相位比较器12和电荷泵13的结构以外的结构是否根据本发明包括在集成电路中集成在一个芯片中, 例如环路滤波器14包括在半导体集成电路50中的结构, 及1/N分频器16作为外部电路提供的结构。

图14的框图表示根据实施方式2的半导体集成电路的另一种基本结构。图14表示的情况是把图10结构中的信号开关电路30, 载波检测器11, 相位比较器12, 电荷泵13, 1/N分频器16以及电压源31集成在一个芯片上得到集成电路, 而环路滤波器14和压控振荡器15作为外部电路连接到半导体集成电路60。

如上所述, 可以根据要求改变设计, 取决于除了包括信号开关电路30, 载波检测器11, 相位比较器12电荷泵13和电压源31的结构以外的结构是否根据本发明包括在集成电路中集成在一个芯片中, 例如环路滤波器14包括在半导体集成电路50中的结构, 及1/N分频器16作为外部电路提供的结构。

图15的框图表示根据实施方式3的半导体集成电路的另一种基本结构。图15表示的情况是把信号开关电路40, 载波检测器11, 相位比较器12, 电荷泵13, 和1/N分频器16集成在一个芯片上得到集成电路70, 而环路滤波器14和压控振荡器15作为外部电路连接到半导体集成电路70, 上述以外的结构与图12所示的结构相同。

如上所述, 可以根据要求改变设计, 取决于除了包括信号开关电路40, 载波检测器11, 相位比较器12, 及电荷泵13的结构以外的结构是否根据本发明包括在集成电路中集成在一个芯片中, 例如环路滤波器14包括在半导体集成电路70中的结构, 及1/N分频器16作为外部电路提供的结构。

根据实施方式1-3中任一个的半导体集成电路都能作为PLL电路应用于例如手提电话, 汽车电话及无绳电话的无线电设备中; 用于有线或无线调制解调器的调制解调器中调谐频率, 检波器, 数据再生, 及时钟再生; 或频率综合器和马达速度控制器等, 相位比较器12也可以选择为混合类型的相位比较器, 相位比较器的数字系统, 或根据要

求设计的相位频率比较器；作为有源环路滤波器的环路滤波器14；以及作为发射极链接多谐振荡器(emitter-linked multi-vibrator)的压控振荡器，CMOS结构的压控振荡器，或利用运算放大器的压控振荡器，每一个都依照这些目标器件中的任何一个。

如上所述，根据本发明，即使当规定的信号未被检测到，或当输入的信号频率在规定的范围之外时，也存在用于维持振荡及维持同步信号(内部振荡信号)输出的信号的替代信号，它能输入到压控振荡器，当再次输入有效的信号时，能实现高速锁定工作，与反馈环路从没有从压控振荡器输出内部振荡信号的情况(即从其中没有反馈信号的情况)开始工作相比，能更快地得到同步信号。

本申请基于1998年12月4日在日本特许厅申请的日本专利申请No.HEI 10-345970，其全部内容都合并于此作为参考。

虽然为了完整及清楚地揭示本发明而就具体的实施方式描述了本发明，但附加的权利要求书并不受此限制，而是涵盖了包括对于熟练的技术人员可能作出的完全符合这里提出的基本描述的所有修改和变化的结构。

图1

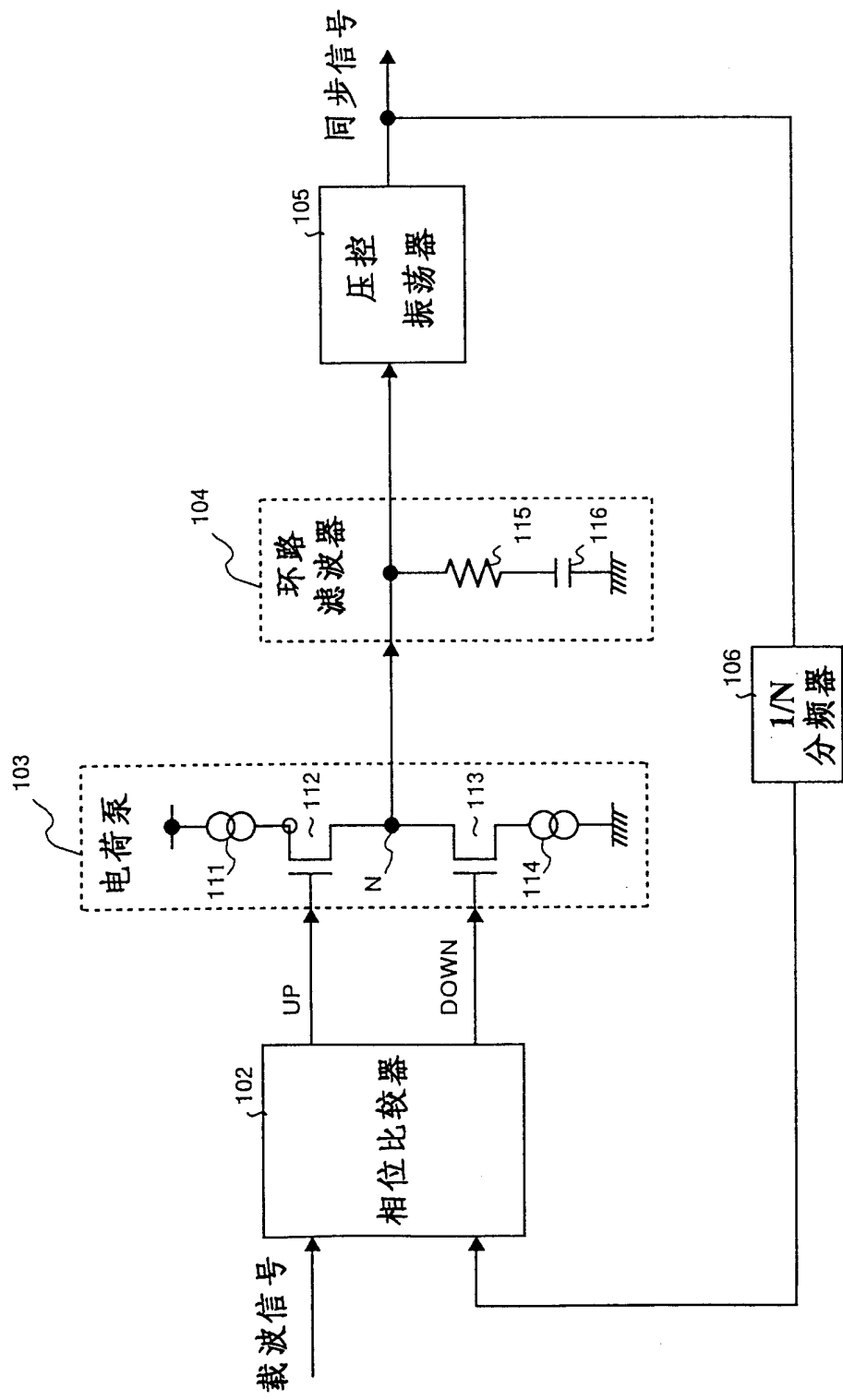


图2

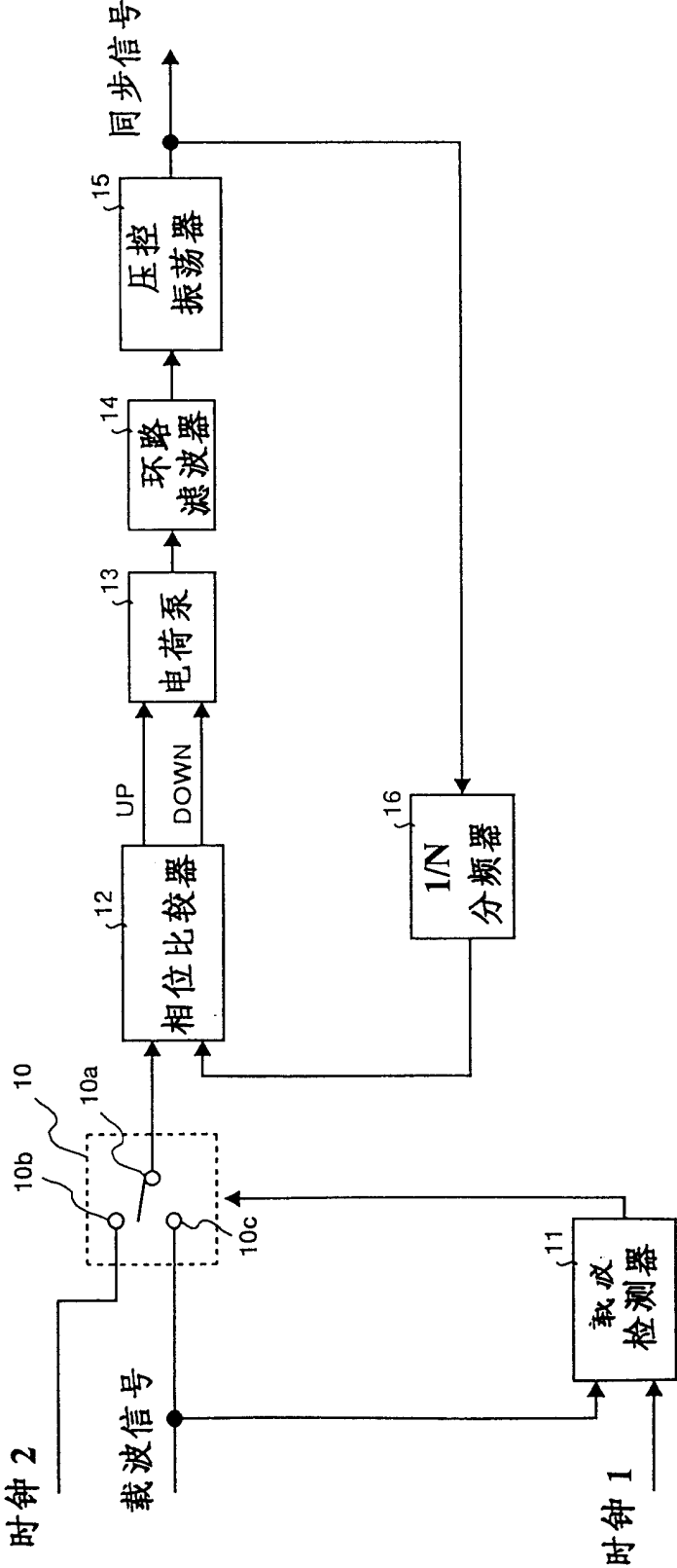


图3

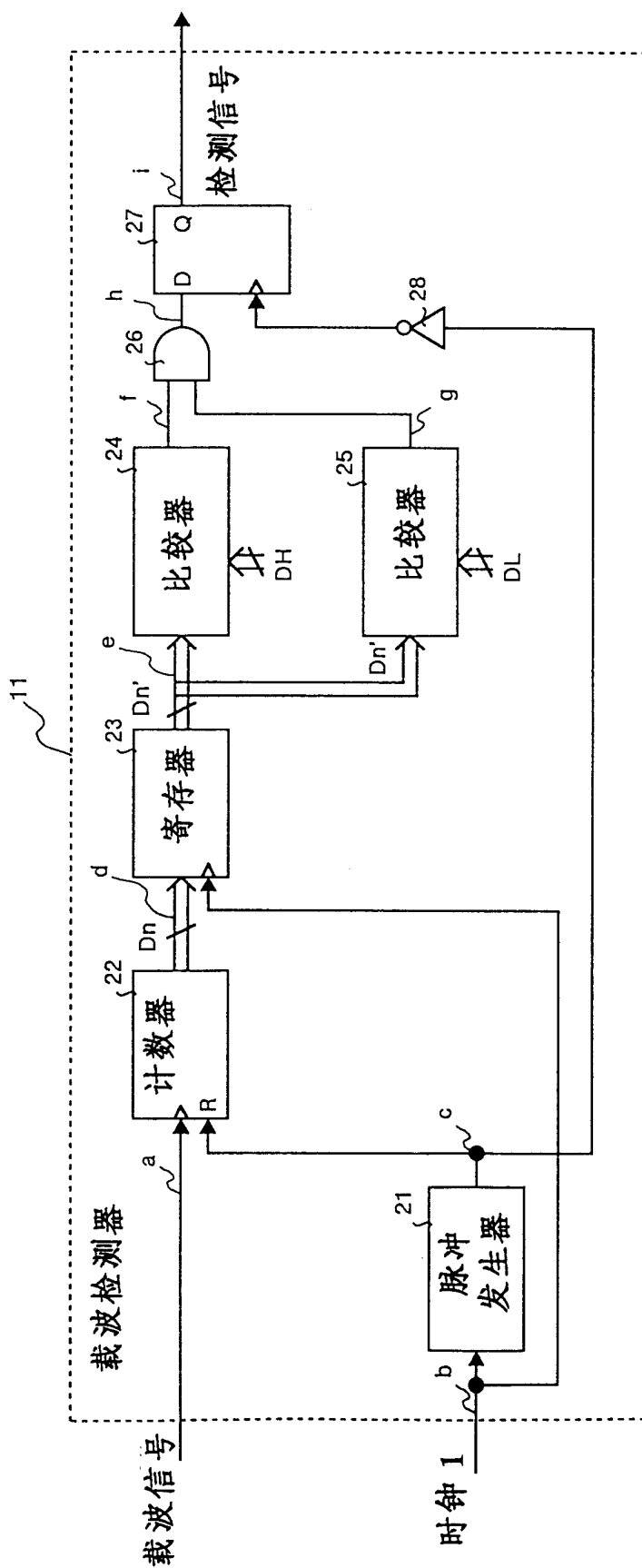


图4

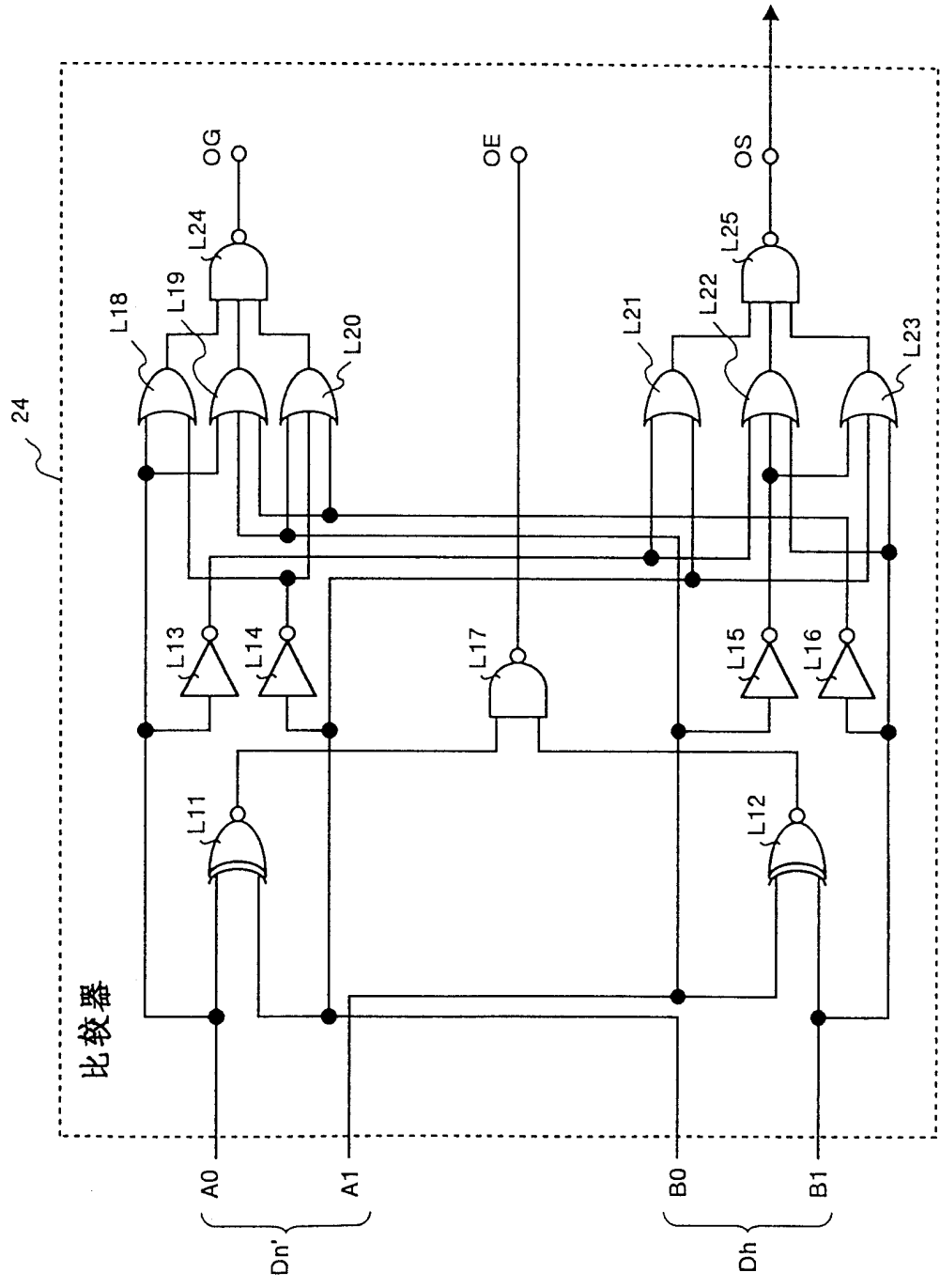


图5

	A1	A0	B1	B0	OG	OE	OS
0	0	0	0	0	0	1	0
1	0	1	0	0	1	0	0
2	1	0	0	0	1	0	0
3	1	1	0	0	1	0	0
0	0	0	0	1	0	0	1
1	0	1	0	1	0	1	0
2	1	0	0	1	1	0	0
3	1	1	0	1	1	0	0
0	0	0	1	0	0	0	1
1	0	1	1	0	0	0	1
2	1	0	1	0	0	1	0
3	1	1	1	0	1	0	0
0	0	0	1	1	0	0	1
1	0	1	1	1	0	0	1
2	1	0	1	1	0	0	1
3	1	1	1	1	0	1	0

图6

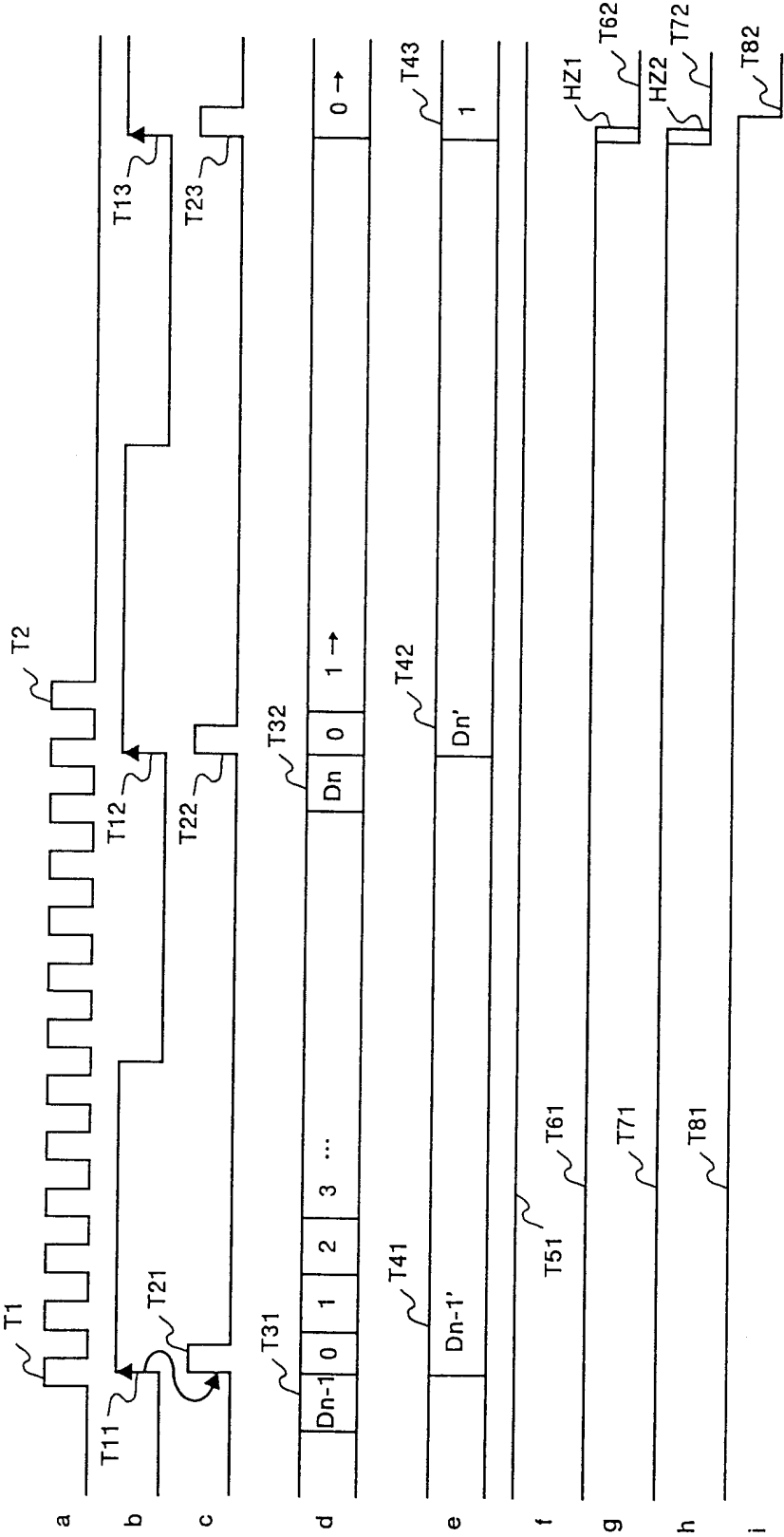


图7

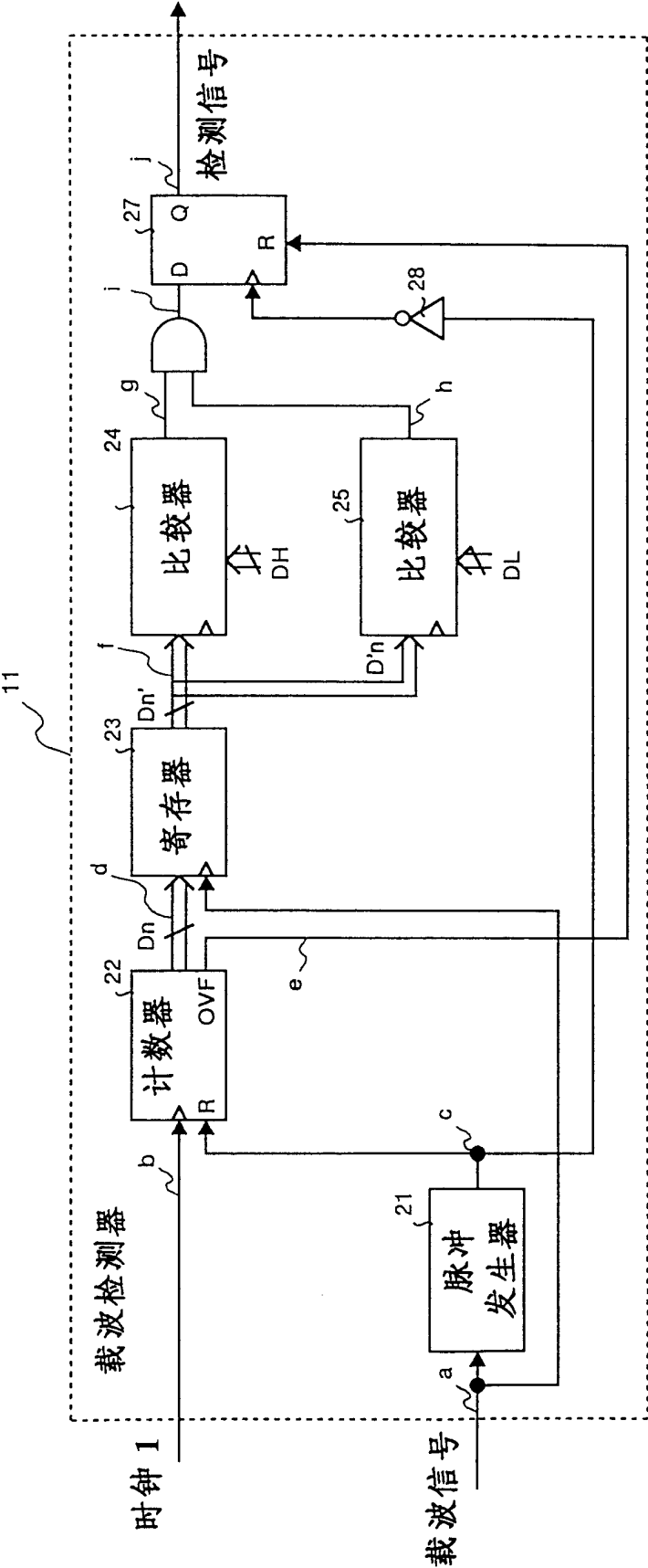


图8

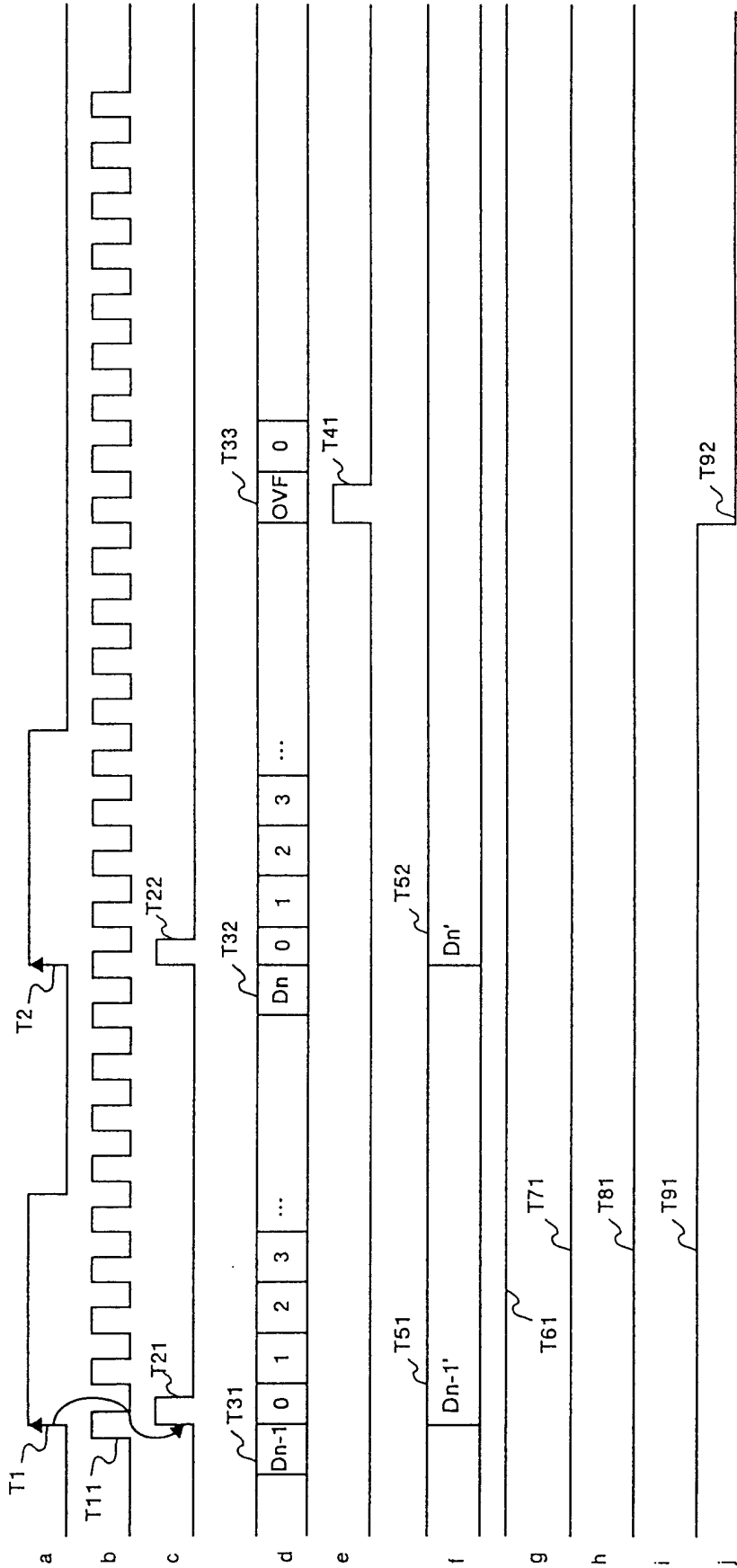


图9

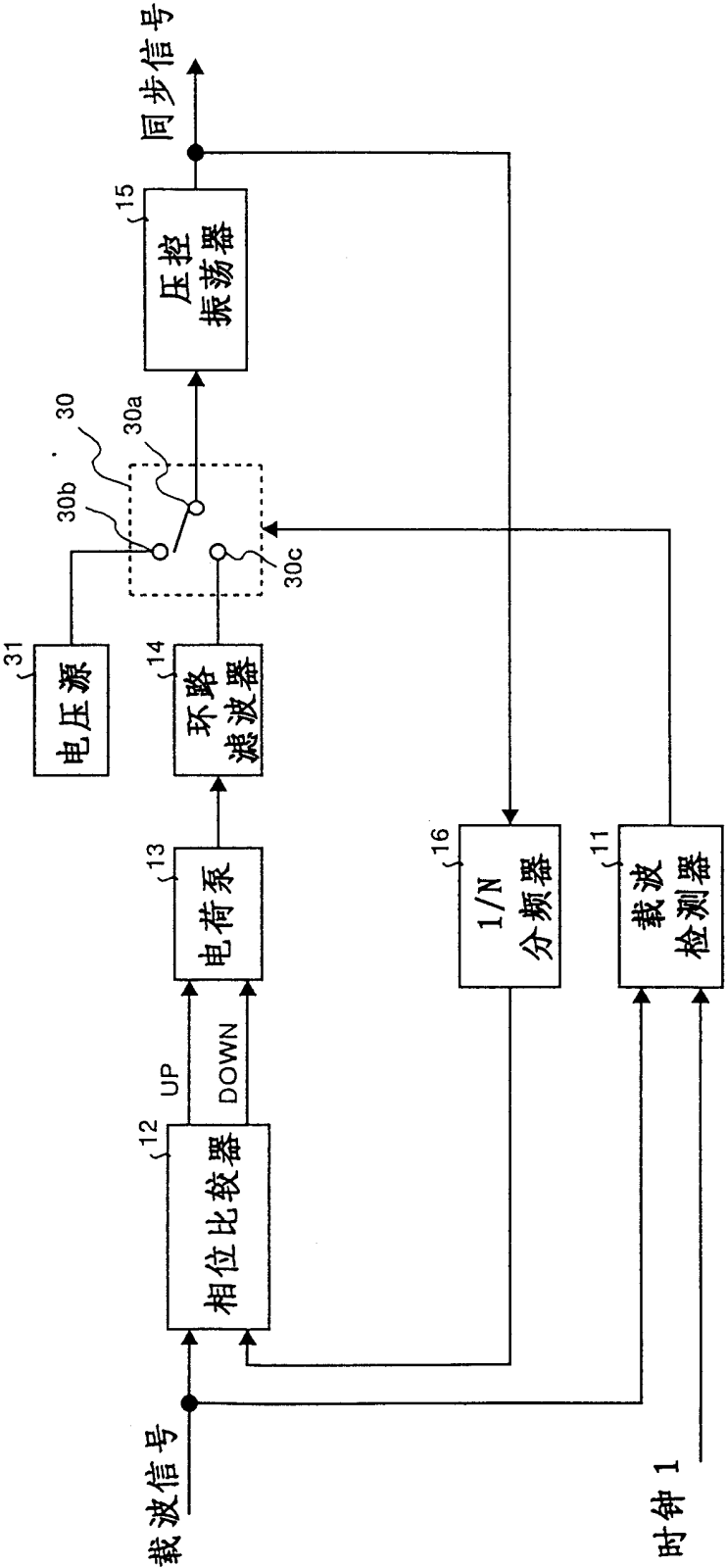


图10

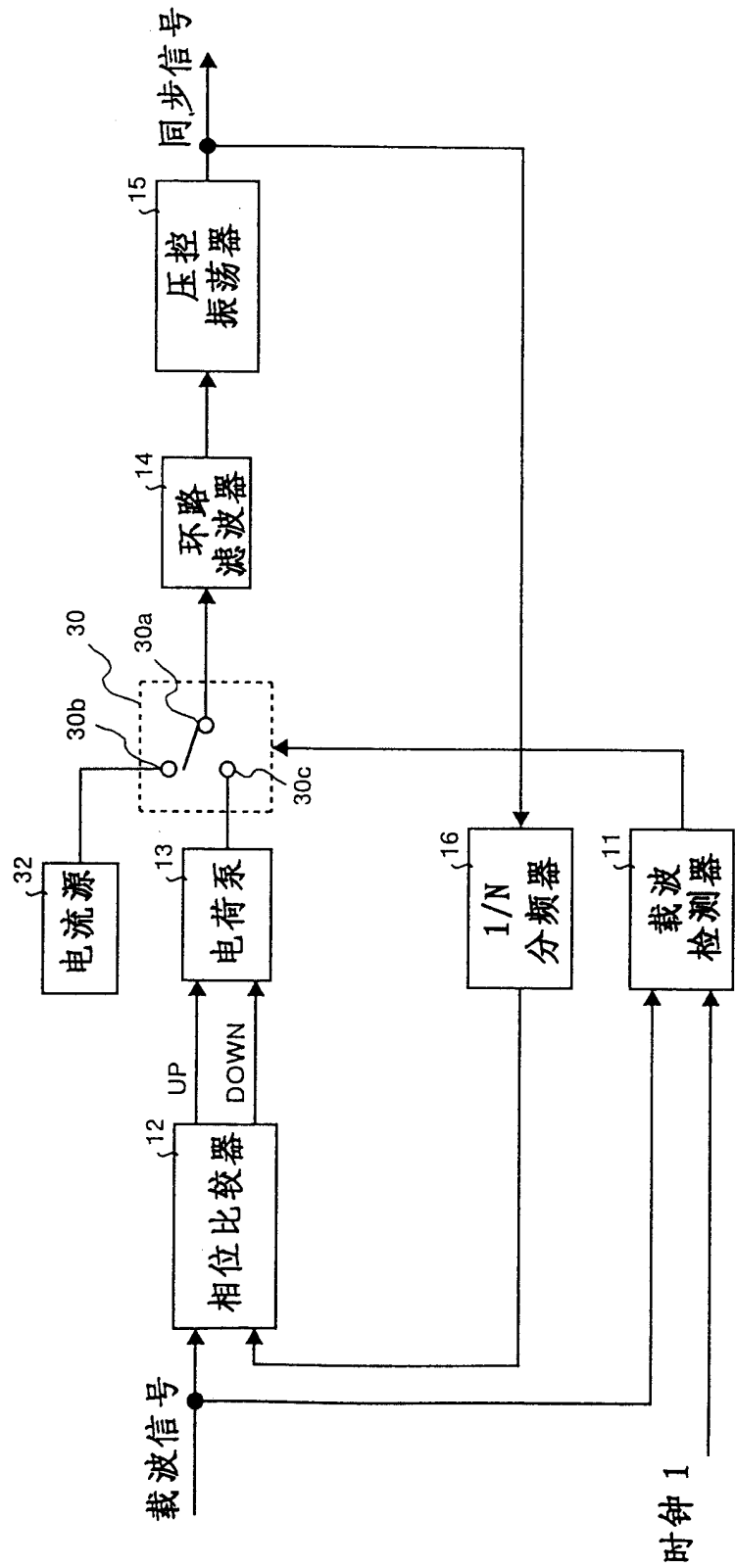


图 11

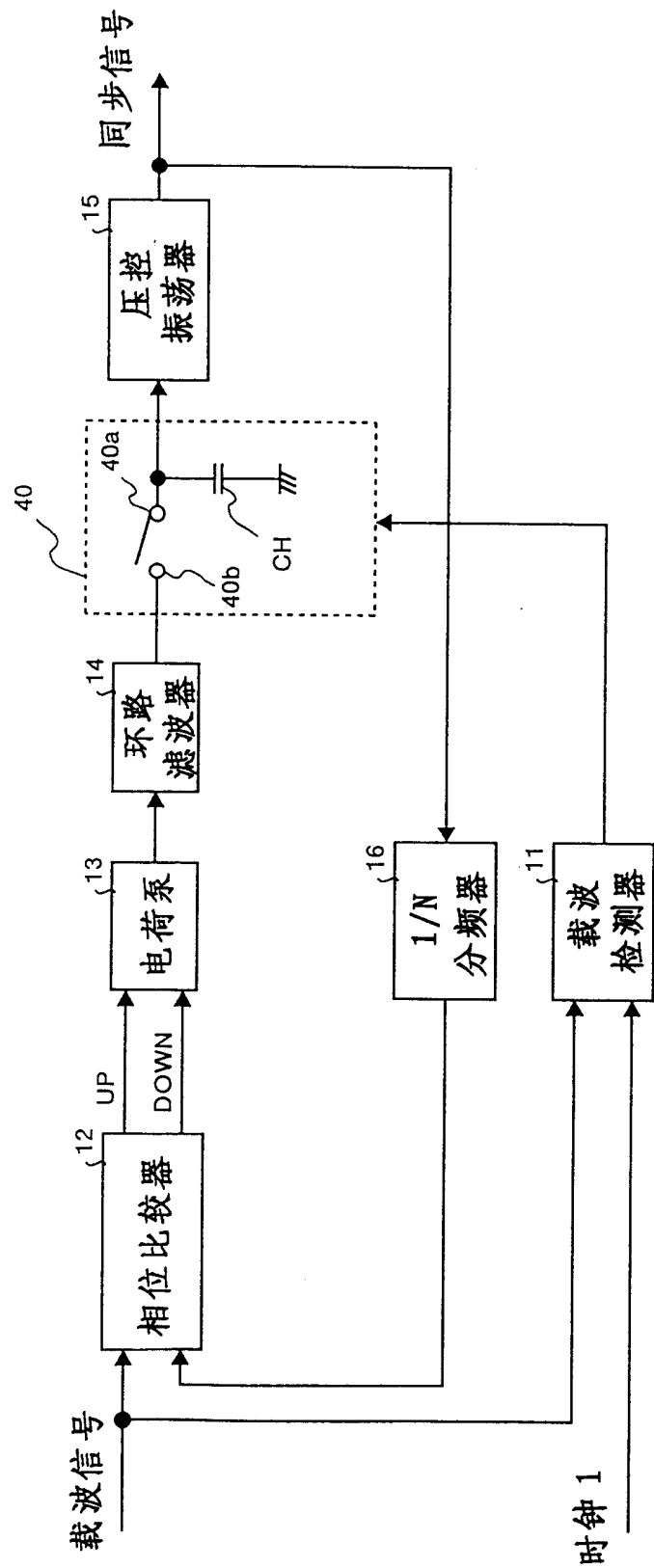


图12

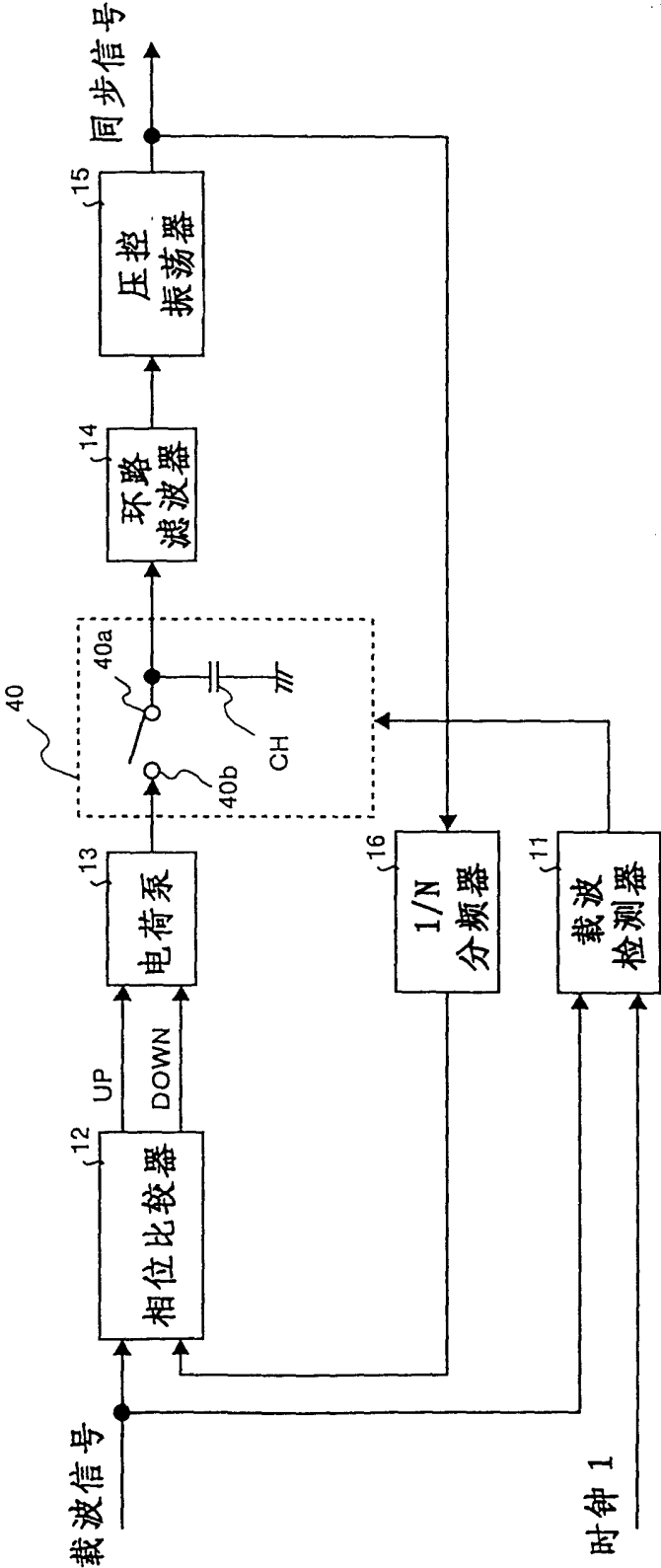


图13

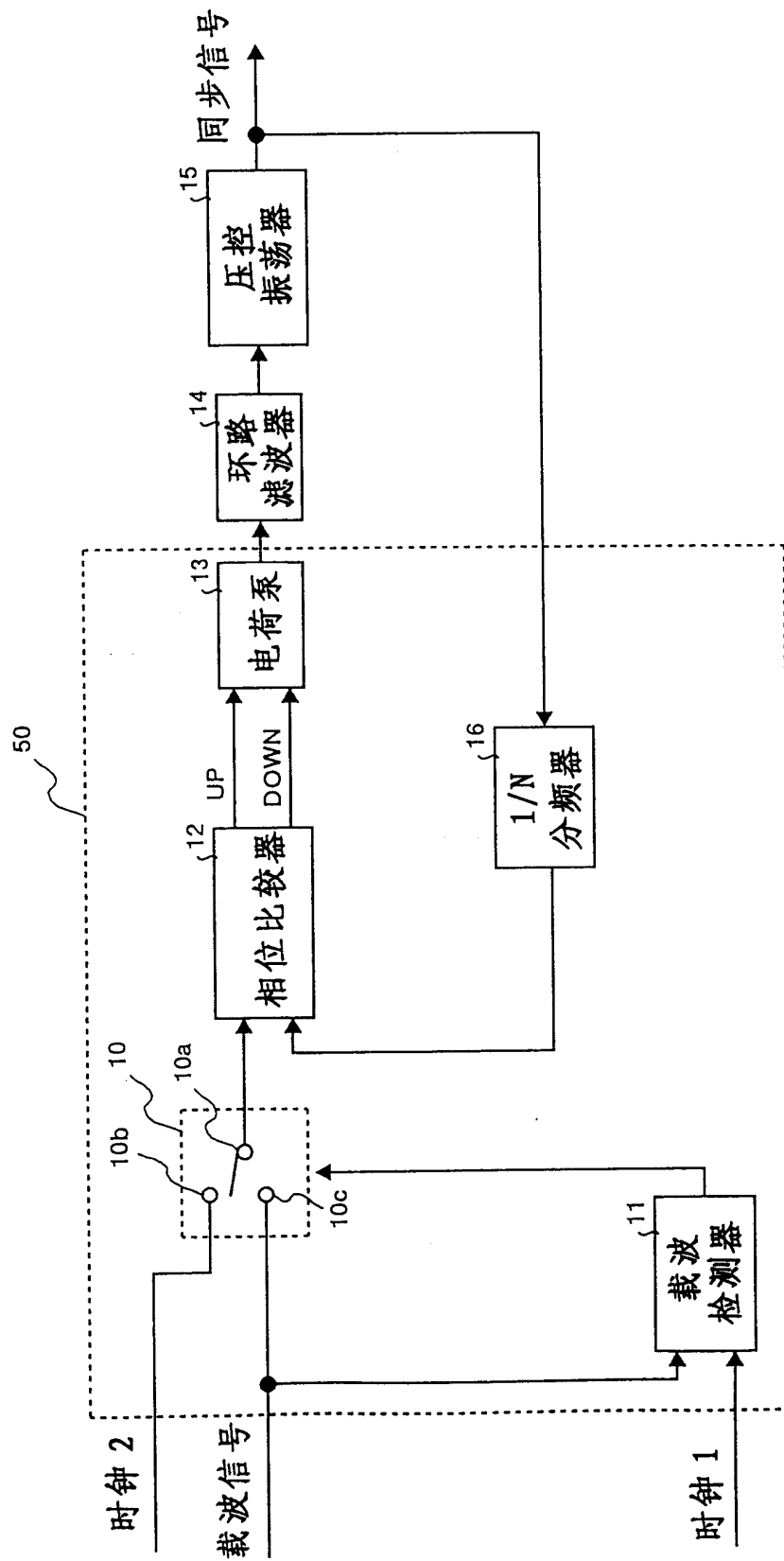


图14

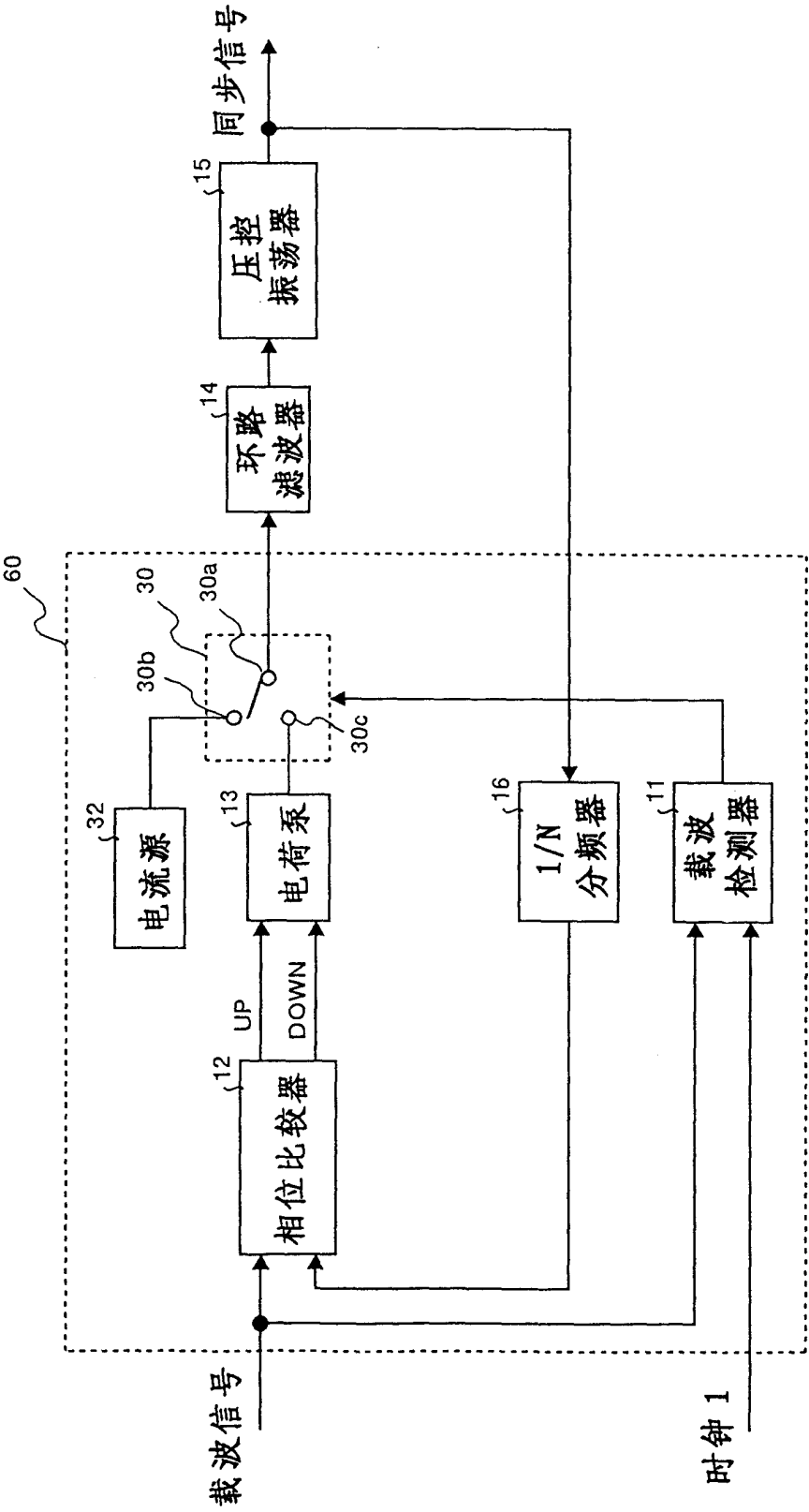


图15

