



(12) 发明专利申请

(10) 申请公布号 CN 104157611 A

(43) 申请公布日 2014. 11. 19

(21) 申请号 201410415944. 5

(22) 申请日 2014. 08. 21

(71) 申请人 深圳市华星光电技术有限公司

地址 518132 广东省深圳市光明新区塘明大道 9—2 号

(72) 发明人 王俊

(74) 专利代理机构 深圳市德力知识产权代理事

务所 44265

代理人 林才桂

(51) Int. Cl.

H01L 21/77(2006. 01)

H01L 27/12(2006. 01)

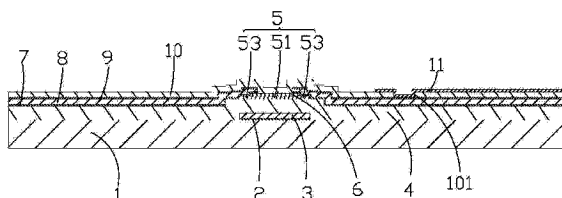
权利要求书2页 说明书6页 附图3页

(54) 发明名称

氧化物半导体 TFT 基板的制作方法及其结构

(57) 摘要

本发明提供一种氧化物半导体 TFT 基板的制作方法及其结构。该方法包括如下步骤:1、在基板(1)上形成栅极(3)及第一重度掺杂透明导电薄膜层(2);2、沉积栅极绝缘层(4);3、形成岛状氧化物半导体层(5);4、形成岛状蚀刻阻挡层(6);5、形成源/漏极(8)、第二、第三重度掺杂透明导电薄膜层(7、9),所述源/漏极(8)借由第二重度掺杂透明导电薄膜层(7)与氧化物半导体层(5)的两侧部(53)接触,形成电性连接;6、沉积并图案化保护层(10);7、沉积并图案化像素电极层(11),其借由所述第三重度掺杂透明导电薄膜层(9)与源/漏极(8)接触,形成电性连接;8、退火处理。



1. 一种氧化物半导体 TFT 基板的制作方法,其特征在于,包括如下步骤:

步骤 1、提供一基板 (1),在该基板 (1) 上依次沉积并图案化第一重度掺杂透明导电薄膜层与第一金属层,形成栅极 (3)、及位于该栅极 (3) 下表面并与该栅极 (3) 同样形状的第一重度掺杂透明导电薄膜层 (2);

步骤 2、在所述栅极 (3) 与基板 (1) 上沉积栅极绝缘层 (4);

步骤 3、在所述栅极绝缘层 (4) 上沉积并图案化氧化物半导体层,形成位于所述栅极 (3) 正上方的岛状氧化物半导体层 (5);

步骤 4、在所述岛状氧化物半导体层 (5) 与栅极绝缘层 (4) 上沉积并图案化蚀刻阻挡层,形成位于所述岛状氧化物半导体层 (5) 上的岛状蚀刻阻挡层 (6);

所述岛状蚀刻阻挡层 (6) 的宽度小于所述岛状氧化物半导体层 (5) 的宽度;所述岛状蚀刻阻挡层 (6) 覆盖岛状氧化物半导体层 (5) 的中间部 (51) 而暴露出岛状氧化物半导体层 (5) 的两侧部 (53);

步骤 5、在所述岛状蚀刻阻挡层 (6) 与栅极绝缘层 (3) 上依次沉积并图案化第二重度掺杂透明导电薄膜层、第二金属层、与第三重度掺杂透明导电薄膜层,形成源 / 漏极 (8)、位于该源 / 漏极 (8) 下表面并与该源 / 漏极 (8) 同样形状的第二重度掺杂透明导电薄膜层 (7)、及位于该源 / 漏极 (8) 上表面并与该源 / 漏极 (8) 同样形状的第三重度掺杂透明导电薄膜层 (9);

所述源 / 漏极 (8) 借由第二重度掺杂透明导电薄膜层 (7) 与所述氧化物半导体层 (5) 的两侧部 (53) 接触,形成电性连接;

步骤 6、在所述第三重度掺杂透明导电薄膜层 (9) 与蚀刻阻挡层 (6) 上沉积并图案化保护层 (10),形成位于所述岛状氧化物半导体层 (5) 一侧的通孔 (101);

步骤 7、在所述保护层 (10) 上沉积并图案化像素电极层 (11);

所述像素电极层 (11) 填充所述通孔 (101),并借由所述第三重度掺杂透明导电薄膜层 (9) 与源 / 漏极 (8) 接触,形成电性连接;

步骤 8、对步骤 7 得到的基板 (1) 进行退火处理。

2. 如权利要求 1 所述的氧化物半导体 TFT 基板的制作方法,其特征在于,所述栅极 (3) 与源 / 漏极 (8) 的材料为铜,所述像素电极层 (11) 的材料为 ITO 或 IZO。

3. 如权利要求 1 所述的氧化物半导体 TFT 基板的制作方法,其特征在于,所述第一重度掺杂透明导电薄膜层 (2)、第二重度掺杂透明导电薄膜层 (7)、与第三重度掺杂透明导电薄膜层 (9) 的材料为重度掺杂的 ITO 或重度掺杂的 IZO。

4. 如权利要求 3 所述的氧化物半导体 TFT 基板的制作方法,其特征在于,所述第一重度掺杂透明导电薄膜层 (2)、第二重度掺杂透明导电薄膜层 (7)、与第三重度掺杂透明导电薄膜层 (9) 的厚度分别在 5 ~ 200nm 之间。

5. 如权利要求 4 所述的氧化物半导体 TFT 基板的制作方法,其特征在于,所述第一重度掺杂透明导电薄膜层 (2) 的厚度为 10nm,所述第二重度掺杂透明导电薄膜层 (7) 的厚度为 15nm,所述第三重度掺杂透明导电薄膜层 (9) 的厚度为 10nm。

6. 如权利要求 1 所述的氧化物半导体 TFT 基板的制作方法,其特征在于,所述岛状氧化物半导体层 (5) 为 IGZO 半导体层。

7. 如权利要求 1 所述的氧化物半导体 TFT 基板的制作方法,其特征在于,所述保护层

(10) 的材料为 SiO_2 或 SiON 。

8. 如权利要求 1 所述的氧化物半导体 TFT 基板的制作方法,其特征在於,所述图案化通过黄光与蚀刻制程实现。

9. 一种氧化物半导体 TFT 基板结构,其特征在於,包括一基板 (1)、位于基板 (1) 上的栅极 (3)、位于栅极 (3) 下表面并与栅极 (3) 同样形状的第一重度掺杂透明导电薄膜层 (2)、位于栅极 (3) 与基板 (1) 上的栅极绝缘层 (4)、于栅极 (3) 正上方位于栅极绝缘层 (4) 上的岛状氧化物半导体层 (5)、位于岛状氧化物半导体层 (5) 上的岛状蚀刻阻挡层 (6)、位于岛状蚀刻阻挡层 (6) 与栅极绝缘层 (4) 上的源 / 漏极 (8)、位于源 / 漏极 (8) 下表面并与源 / 漏极 (8) 同样形状的第二重度掺杂透明导电薄膜层 (7)、位于源 / 漏极 (8) 上表面并与源 / 漏极 (8) 同样形状第三重度掺杂透明导电薄膜层 (9)、位于第三重度掺杂透明导电薄膜层 (9) 与蚀刻阻挡层 (6) 上的保护层 (10)、及位于保护层 (10) 上的像素电极层 (11);所述岛状氧化物半导体层 (5) 包括中间部 (51) 与两侧部 (53);所述岛状蚀刻阻挡层 (6) 的宽度小于所述氧化物半导体层 (5) 的宽度,仅覆盖所述中间部 (51);所述源 / 漏极 (8) 借由第二重度掺杂透明导电薄膜层 (7) 与所述氧化物半导体层 (5) 的两侧部 (53) 接触,形成电性连接;所述保护层 (10) 具有位于所述岛状氧化物半导体层 (5) 一侧的通孔 (101),所述像素电极层 (11) 填充所述通孔 (101),并借由所述第三重度掺杂透明导电薄膜层 (9) 与源 / 漏极 (8) 接触,形成电性连接。

10. 如权利要求 9 所述的氧化物半导体 TFT 基板结构,其特征在於,所述栅极 (3) 与源 / 漏极 (8) 的材料为铜,所述第一重度掺杂透明导电薄膜层 (2)、第二重度掺杂透明导电薄膜层 (7)、与第三重度掺杂透明导电薄膜层 (9) 的材料为重度掺杂的 ITO 或重度掺杂的 IZO,所述岛状氧化物半导体层 (5) 为 IGZO 半导体层,所述保护层 (10) 的材料为 SiO_2 或 SiON ,所述像素电极层 (11) 的材料为 ITO 或 IZO;所述第一重度掺杂透明导电薄膜层 (2)、第二重度掺杂透明导电薄膜层 (7)、与第三重度掺杂透明导电薄膜层 (9) 的厚度分别在 5 ~ 200nm 之间。

氧化物半导体 TFT 基板的制作方法及其结构

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种氧化物半导体 TFT 基板的制作方法及其结构。

背景技术

[0002] 平板显示装置具有机身薄、省电、无辐射等众多优点,得到了广泛的应用。现有的平板显示装置主要包括液晶显示装置(Liquid Crystal Display, LCD)及有机电致发光显示装置(Organic Light Emitting Display, OLED)。

[0003] 基于有机发光二极管的 OLED 显示技术同成熟的 LCD 相比, OLED 是主动发光的显示器,具有自发光、高对比度、宽视角(达 170°)、快速响应、高发光效率、低操作电压(3~10V)、超轻薄(厚度小于 2mm)等优势,具有更优异的彩色显示画质、更宽广的观看范围和更大的设计灵活性。

[0004] 薄膜晶体管(Thin Film Transistor, TFT)是平板显示装置的重要组成部分,可形成在玻璃基板或塑料基板上,通常作为开光装置和驱动装置用在诸如 LCD、OLED、电泳显示装置(EPD)上。

[0005] 氧化物半导体 TFT 技术是当前的热门技术。由于氧化物半导体的载流子迁移率是非晶硅半导体的 20-30 倍,具有较高的电子迁移率,可以大大提高 TFT 对像素电极的充放电速率,提高像素的响应速度,实现更快的刷新率,并能够提高像素的行扫描速率,使得制作超高分辨率的平板显示装置成为可能。相比低温多晶硅(LTPS),氧化物半导体制程简单,与非晶硅制程相容性较高,可以应用于 LCD、OLED、柔性显示(Flexible)等领域,且与高世代生产线兼容,可应用于大中小尺寸显示,具有良好的应用发展前景。

[0006] 现有的氧化物半导体 TFT 基板结构中,氧化物半导体层直接与源/漏极接触,二者之间形成电性连接;像素电极层直接与源/漏极接触,二者之间形成电性连接;但氧化物半导体层与源/漏极之间、及像素电极层与源/漏极之间的欧姆接触电阻较大,导致平板显示装置的驱动电压较高、功耗较高、响应速度较低。

[0007] 节能降耗是当今社会发展的需要,努力开发低功耗的显示装置成为了各个显示装置生产厂家的重要目标。

发明内容

[0008] 本发明的目的在于提供一种氧化物半导体 TFT 基板的制作方法,能够改善氧化物半导体层与源/漏极、及像素电极层与源/漏极之间的欧姆接触,减小欧姆接触电阻,降低平板显示装置的阈值电压,从而有效降低平板显示装置的功耗,提高其响应速度。

[0009] 本发明的目的还在于提供一种氧化物半导体 TFT 基板结构,其氧化物半导体层与源/漏极之间、及像素电极层与源/漏极之间的欧姆接触电阻较小,使得平板显示装置的阈值电压较低、功耗较低、响应速度较快。

[0010] 为实现上述目的,本发明首先提供一种氧化物半导体 TFT 基板的制作方法,包括

如下步骤：

[0011] 步骤 1、提供一基板，在该基板上依次沉积并图案化第一重度掺杂透明导电薄膜层与第一金属层，形成栅极、及位于该栅极下表面并与该栅极同样形状的第一重度掺杂透明导电薄膜层；

[0012] 步骤 2、在所述栅极与基板上沉积栅极绝缘层；

[0013] 步骤 3、在所述栅极绝缘层上沉积并图案化氧化物半导体层，形成位于所述栅极正上方的岛状氧化物半导体层；

[0014] 步骤 4、在所述岛状氧化物半导体层与栅极绝缘层上沉积并图案化蚀刻阻挡层，形成位于所述岛状氧化物半导体层上的岛状蚀刻阻挡层；

[0015] 所述岛状蚀刻阻挡层的宽度小于所述岛状氧化物半导体层的宽度；所述岛状蚀刻阻挡层覆盖岛状氧化物半导体层的中间部而暴露出岛状氧化物半导体层的两侧部；

[0016] 步骤 5、在所述岛状蚀刻阻挡层与栅极绝缘层上依次沉积并图案化第二重度掺杂透明导电薄膜层、第二金属层、与第三重度掺杂透明导电薄膜层，形成源 / 漏极、位于该源 / 漏极下表面并与该源 / 漏极同样形状的第二重度掺杂透明导电薄膜层、及位于该源 / 漏极上表面并与该源 / 漏极同样形状的第三重度掺杂透明导电薄膜层；

[0017] 所述源 / 漏极借由第二重度掺杂透明导电薄膜层与所述氧化物半导体层的两侧部接触，形成电性连接；

[0018] 步骤 6、在所述第三重度掺杂透明导电薄膜层与蚀刻阻挡层上沉积并图案化保护层，形成位于所述岛状氧化物半导体层一侧的通孔；

[0019] 步骤 7、在所述保护层上沉积并图案化像素电极层；

[0020] 所述像素电极层填充所述通孔，并借由所述第三重度掺杂透明导电薄膜层与源 / 漏极接触，形成电性连接；

[0021] 步骤 8、对步骤 7 得到的基板进行退火处理。

[0022] 所述栅极与源 / 漏极的材料为铜，所述像素电极层的材料为 ITO 或 IZO。

[0023] 所述第一重度掺杂透明导电薄膜层、第二重度掺杂透明导电薄膜层、与第三重度掺杂透明导电薄膜层的材料为重度掺杂的 ITO 或重度掺杂的 IZO。

[0024] 所述第一重度掺杂透明导电薄膜层、第二重度掺杂透明导电薄膜层、与第三重度掺杂透明导电薄膜层的厚度分别在 5 ~ 200nm 之间。

[0025] 所述第一重度掺杂透明导电薄膜层的厚度为 10nm，所述第二重度掺杂透明导电薄膜层的厚度为 15nm，所述第三重度掺杂透明导电薄膜层的厚度为 10nm。

[0026] 所述岛状氧化物半导体层为 IGZO 半导体层。

[0027] 所述保护层的材料为 SiO₂ 或 SiON。

[0028] 所述图案化通过黄光与蚀刻制程实现。

[0029] 本发明还提供一种氧化物半导体 TFT 基板结构，包括一基板、位于基板上的栅极、位于栅极下表面并与栅极同样形状的第一重度掺杂透明导电薄膜层、位于栅极与基板上的栅极绝缘层、于栅极正上方位于栅极绝缘层上的岛状氧化物半导体层、位于岛状氧化物半导体层上的岛状蚀刻阻挡层、位于岛状蚀刻阻挡层与栅极绝缘层上的源 / 漏极、位于源 / 漏极下表面并与源 / 漏极同样形状的第二重度掺杂透明导电薄膜层、位于源 / 漏极上表面并与源 / 漏极同样形状的第三重度掺杂透明导电薄膜层、位于第三重度掺杂透明导电薄膜层

与蚀刻阻挡层上的保护层、及位于保护层上的像素电极层；所述岛状氧化物半导体层包括中间部与两侧部；所述岛状蚀刻阻挡层的宽度小于所述氧化物半导体层的宽度，仅覆盖所述中间部；所述源/漏极借由第二重度掺杂透明导电薄膜层与所述氧化物半导体层的两侧部接触，形成电性连接；所述保护层具有位于所述岛状氧化物半导体层一侧的通孔，所述像素电极层填充所述通孔，并借由所述第三重度掺杂透明导电薄膜层与源/漏极接触，形成电性连接。

[0030] 所述栅极与源/漏极的材料为铜，所述第一重度掺杂透明导电薄膜层、第二重度掺杂透明导电薄膜层、与第三重度掺杂透明导电薄膜层的材料为重度掺杂的 ITO 或重度掺杂的 IZO，所述岛状氧化物半导体层为 IGZO 半导体层，所述保护层的材料为 SiO₂ 或 SiON，所述像素电极层的材料为 ITO 或 IZO；所述第一重度掺杂透明导电薄膜层、第二重度掺杂透明导电薄膜层、与第三重度掺杂透明导电薄膜层的厚度分别在 5 ~ 200nm 之间。

[0031] 本发明的有益效果：本发明的氧化物半导体 TFT 基板的制作方法，通过在源/漏极上、下表面分别设置第二重度掺杂透明导电薄膜层、第三重度掺杂透明导电薄膜层，能够改善氧化物半导体层与源/漏极、及像素电极层与源/漏极之间的欧姆接触，减小欧姆接触电阻，降低平板显示装置的阈值电压，从而有效降低平板显示装置的功耗，提高其响应速度；本发明的氧化物半导体 TFT 基板结构，具有分别位于源/漏极上、下表面的第二重度掺杂透明导电薄膜层、第三重度掺杂透明导电薄膜层，使得氧化物半导体层与源/漏极之间、

[0032] 及像素电极层与源/漏极之间的欧姆接触电阻较小，从而使得平板显示装置的阈值电压较低、功耗较低、响应速度较快。

附图说明

[0033] 下面结合附图，通过对本发明的具体实施方式详细描述，将使本发明的技术方案及其它有益效果显而易见。

[0034] 附图中，

[0035] 图 1 为本发明氧化物半导体 TFT 基板的制作方法的流程图；

[0036] 图 2 为本发明氧化物半导体 TFT 基板的制作方法的步骤 1 的示意图；

[0037] 图 3 为本发明氧化物半导体 TFT 基板的制作方法的步骤 2 的示意图；

[0038] 图 4 为本发明氧化物半导体 TFT 基板的制作方法的步骤 3 的示意图；

[0039] 图 5 为本发明氧化物半导体 TFT 基板的制作方法的步骤 4 的示意图；

[0040] 图 6 为本发明氧化物半导体 TFT 基板的制作方法的步骤 5 的示意图；

[0041] 图 7 为本发明氧化物半导体 TFT 基板的制作方法的步骤 6 的示意图；

[0042] 图 8 为本发明氧化物半导体 TFT 基板的制作方法的步骤 7 暨本发明氧化物半导体 TFT 基板结构的示意图。

具体实施方式

[0043] 为更进一步阐述本发明所采取的技术手段及其技术效果，以下结合本发明的优选实施例及其附图进行详细描述。

[0044] 请参阅图 1，为本发明氧化物半导体 TFT 基板的制作方法的流程图，该氧化物半导体 TFT 基板的制作方法包括如下步骤：

[0045] 步骤 1、请参阅图 2,提供一基板 1,在该基板 1 上依次沉积并图案化第一重度掺杂透明导电薄膜层与第一金属层,形成栅极 3、及位于该栅极 3 下表面并与该栅极 3 同样形状的第一重度掺杂透明导电薄膜层 2。

[0046] 所述基板 1 为透明基板,优选的,所述基板 1 为玻璃基板。

[0047] 在该步骤 1 中,通过一道普通光罩进行黄光制程、再经蚀刻制程图案化所述第一重度掺杂透明导电薄膜层与第一金属层,形成栅极 3、及位于该栅极 3 下表面并与该栅极 3 同样形状的第一重度掺杂透明导电薄膜层 2。

[0048] 所述栅极 3 的材料为铜 (Cu)。

[0049] 所述第一重度掺杂透明导电薄膜层 2 的材料为重度掺杂的氧化铟锡 (ITO) 或重度掺杂的氧化铟锌 (IZO),且该第一重度掺杂透明导电薄膜层 2 的厚度分别在 5 ~ 200nm 之间,优选的,该第一重度掺杂透明导电薄膜层 2 的厚度为 10nm。所述第一重度掺杂透明导电薄膜层 2 能够增加所述栅极 3 与基板 1 之间的附着力,改善二者之间的粘合强度。

[0050] 步骤 2、请参阅图 3,在所述栅极 3 与基板 1 上沉积栅极绝缘层 4。

[0051] 所述栅极绝缘 4 完全覆盖所述栅极 3 与基板 1。

[0052] 步骤 3、请参阅图 4,在所述栅极绝缘层 4 上沉积并通过黄光与蚀刻制程图案化氧化物半导体层,形成位于所述栅极 3 正上方的岛状氧化物半导体层 5。

[0053] 具体的,所述岛状氧化物半导体层 5 为铟镓锌氧化物 (IGZO) 半导体层。

[0054] 步骤 4、请参阅图 5,在所述岛状氧化物半导体层 5 与栅极绝缘层 4 上沉积并通过黄光与蚀刻制程图案化蚀刻阻挡层,形成位于所述岛状氧化物半导体层 5 上的岛状蚀刻阻挡层 6。

[0055] 进一步的,所述岛状蚀刻阻挡层 6 的宽度小于所述氧化物半导体层 5 的宽度;所述岛状蚀刻阻挡层 6 覆盖岛状氧化物半导体层 5 的中间部 51 而暴露出氧化物半导体层 5 的两侧部 53。

[0056] 步骤 5、请参阅图 6,在所述岛状蚀刻阻挡层 6 与栅极绝缘层 3 上依次沉积并通过黄光与蚀刻制程图案化第二重度掺杂透明导电薄膜层、第二金属层、与第三重度掺杂透明导电薄膜层,形成源 / 漏极 8、位于该源 / 漏极 8 下表面并与该源 / 漏极 8 同样形状的第二重度掺杂透明导电薄膜层 7、及位于该源 / 漏极 8 上表面并与该源 / 漏极 8 同样形状的第三重度掺杂透明导电薄膜层 9。

[0057] 具体的,所述第二与第三重度掺杂透明导电薄膜层 7、9 的材料为重度掺杂的 ITO 或重度掺杂的 IZO;且该第二与第三重度掺杂透明导电薄膜层 7、9 的厚度分别在 5 ~ 200nm 之间,优选的,所述第二重度掺杂透明导电薄膜层 7 的厚度为 15nm,所述第三重度掺杂透明导电薄膜层 9 的厚度为 10nm。

[0058] 所述源 / 漏极 8 的材料为 Cu。

[0059] 所述源 / 漏极 8 借由第二重度掺杂透明导电薄膜层 7 与所述氧化物半导体层 5 的两侧部 53 接触,形成电性连接。所述第二重度掺杂透明导电薄膜层 7 具有较强的导电能力,其作为源 / 漏极 8 与氧化物半导体层 5 之间的接触过渡层,能够有效降低源 / 漏极 8 与氧化物半导体层 5 之间的欧姆接触电阻,从而达到有效降低平板显示装置的阈值电压与功耗,提高响应速度的目的。

[0060] 步骤 6、请参阅图 7,在所述第三重度掺杂透明导电薄膜层 9 与蚀刻阻挡层 6 上沉

积并图案化保护层 10, 形成位于所述岛状氧化物半导体层 5 一侧的通孔 101。

[0061] 具体的, 所述保护层 10 的材料为二氧化硅 (SiO_2) 或氮氧化硅 (SiON)。

[0062] 步骤 7、请参阅图 8, 在所述保护层 10 上沉积并通过黄光与蚀刻制程图案化像素电极层 11。

[0063] 具体的, 所述像素电极层 11 的材料为 ITO 或 IZO。

[0064] 所述像素电极层 11 填充所述通孔 101, 并借由所述第三重度掺杂透明导电薄膜层 9 与源 / 漏极 8 接触, 形成电性连接。所述第三重度掺杂透明导电薄膜层 9 具有较强的导电能力, 其作为源 / 漏极 8 与像素电极层 11 之间的接触过渡层, 能够有效降低源 / 漏极 8 与像素电极层 11 之间的欧姆接触电阻, 从而达到有效降低平板显示装置的驱动电压与功耗, 提高响应速度的目的。

[0065] 步骤 8、对步骤 7 得到的基板 1 进行退火处理, 完成该氧化物半导体 TFT 基板的制作。

[0066] 请参阅图 8, 在上述氧化物半导体 TFT 基板的制作方法的基础上, 本发明还提供一种氧化物半导体 TFT 基板结构, 包括一基板 1、位于基板 1 上的栅极 3、位于栅极 3 下表面并与栅极 3 同样形状的第一重度掺杂透明导电薄膜层 2、位于栅极 3 与基板 1 上的栅极绝缘层 4、于栅极 3 正上方位于栅极绝缘层 4 上的岛状氧化物半导体层 5、位于岛状氧化物半导体层 5 上的岛状蚀刻阻挡层 6、位于岛状蚀刻阻挡层 6 与栅极绝缘层 4 上的源 / 漏极 8、位于源 / 漏极 8 下表面并与源 / 漏极 8 同样形状的第二重度掺杂透明导电薄膜层 7、位于源 / 漏极 8 上表面并与源 / 漏极 8 同样形状的第三重度掺杂透明导电薄膜层 9、位于第三重度掺杂透明导电薄膜层 9 与蚀刻阻挡层 6 上的保护层 10、及位于保护层 10 上的像素电极层 11。

[0067] 所述岛状氧化物半导体层 5 包括中间部 51 与两侧部 53; 所述岛状蚀刻阻挡层 6 的宽度小于所述氧化物半导体层 5 的宽度, 仅覆盖所述中间部 51。所述源 / 漏极 8 借由第二重度掺杂透明导电薄膜层 7 与所述氧化物半导体层 5 的两侧部 53 接触, 形成电性连接, 能够使得氧化物半导体层 5 与源 / 漏极 8 之间的欧姆接触电阻较小, 从而使得平板显示装置的阈值电压较低、功耗较低、响应速度较快。所述保护层 10 具有位于所述岛状氧化物半导体层 5 一侧的通孔 101, 所述像素电极层 11 填充所述通孔 101, 并借由所述第三重度掺杂透明导电薄膜层 9 与源 / 漏极 8 接触, 形成电性连接, 能够使得像素电极层 11 与源 / 漏极 8 之间的欧姆接触电阻较小, 从而使得平板显示装置的驱动电压较低、功耗较低、响应速度较快。

[0068] 具体的, 所述栅极 3 与源 / 漏极 8 的材料为铜; 所述第一重度掺杂透明导电薄膜层 2、第二重度掺杂透明导电薄膜层 7、与第三重度掺杂透明导电薄膜层 9 的材料为重度掺杂的 ITO 或重度掺杂的 IZO; 所述岛状氧化物半导体层 5 为 IGZO 半导体层; 所述保护层 10 的材料为 SiO_2 或 SiON ; 所述像素电极层 11 的材料为 ITO 或 IZO; 所述第一重度掺杂透明导电薄膜层 2、第二重度掺杂透明导电薄膜层 7、与第三重度掺杂透明导电薄膜层 9 的厚度分别在 5 ~ 200nm 之间, 优选的, 所述第一重度掺杂透明导电薄膜层 2 的厚度为 10nm, 所述第二重度掺杂透明导电薄膜层 7 的厚度为 15nm, 所述第三重度掺杂透明导电薄膜层 9 的厚度为 10nm。

[0069] 综上所述, 本发明的氧化物半导体 TFT 基板的制作方法, 通过在源 / 漏极上、下表面分别设置第二重度掺杂透明导电薄膜层、第三重度掺杂透明导电薄膜层, 能够改善氧化

物半导体层与源 / 漏极、及像素电极层与源 / 漏极之间的欧姆接触,减小欧姆接触电阻,降低平板显示装置的阈值电压,从而有效降低平板显示装置的功耗,提高其响应速度;本发明的氧化物半导体 TFT 基板结构,具有分别位于源 / 漏极上、下表面的第二重度掺杂透明导电薄膜层、第三重度掺杂透明导电薄膜层,使得氧化物半导体层与源 / 漏极之间、及像素电极层与源 / 漏极之间的欧姆接触电阻较小,从而使得平板显示装置的阈值电压较低、功耗较低、响应速度较快。

[0070] 以上所述,对于本领域的普通技术人员来说,可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形,而所有这些改变和变形都应属于本发明后附的权利要求的保护范围。

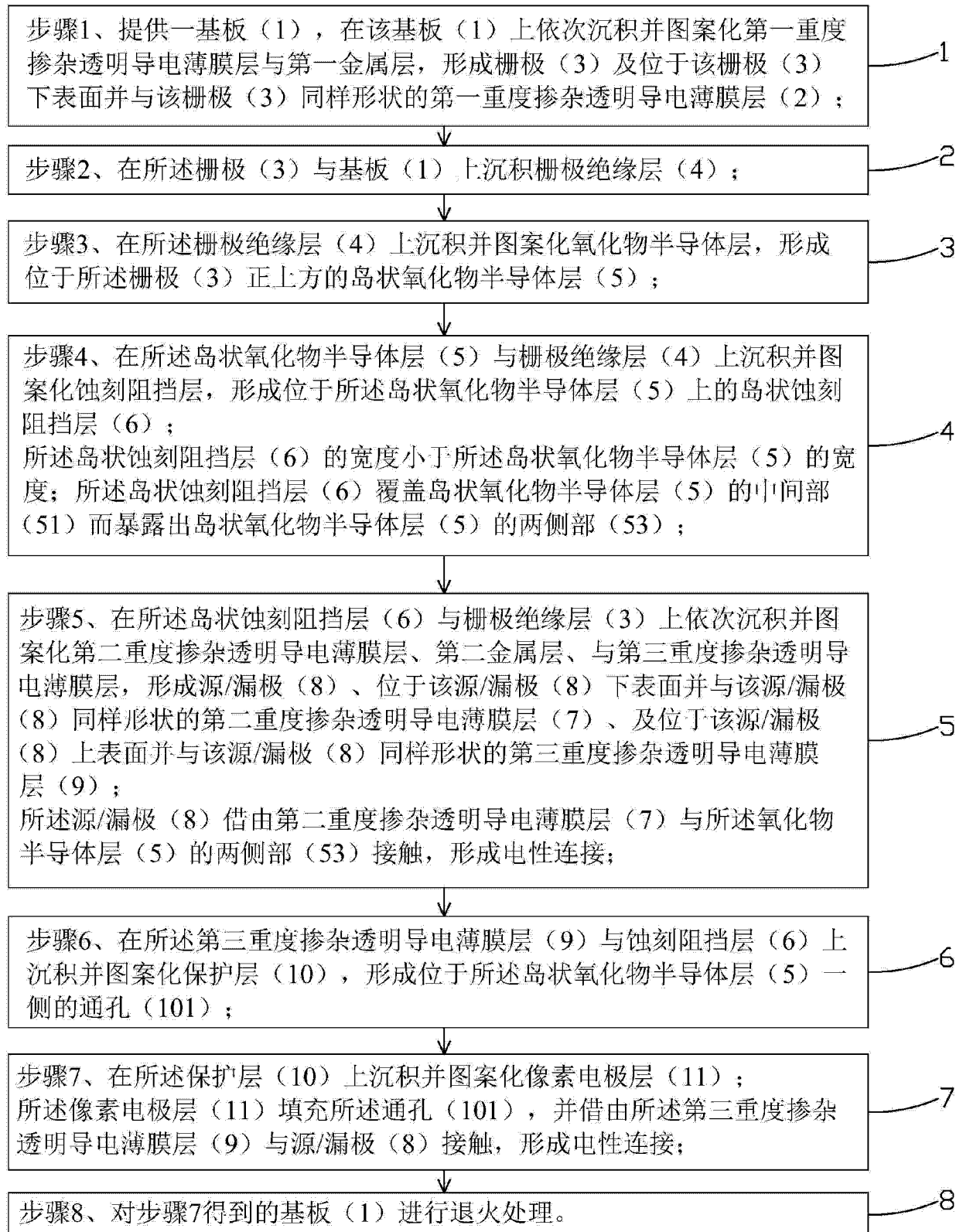


图 1

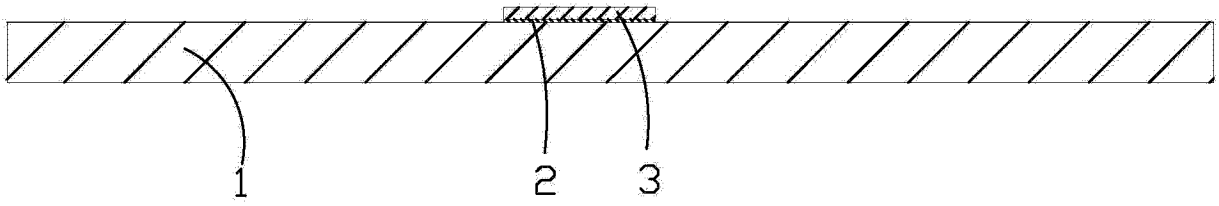


图 2

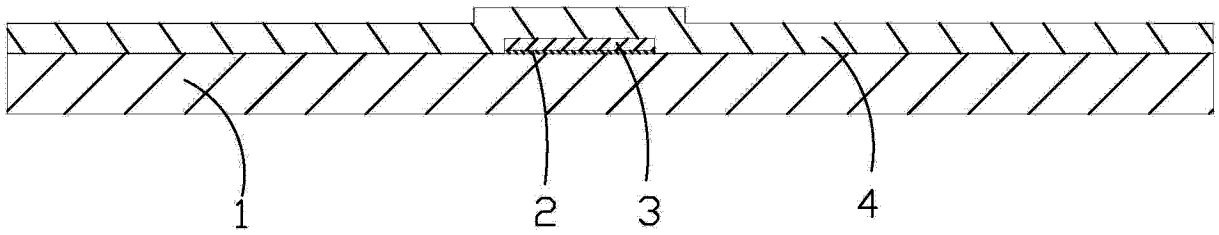


图 3

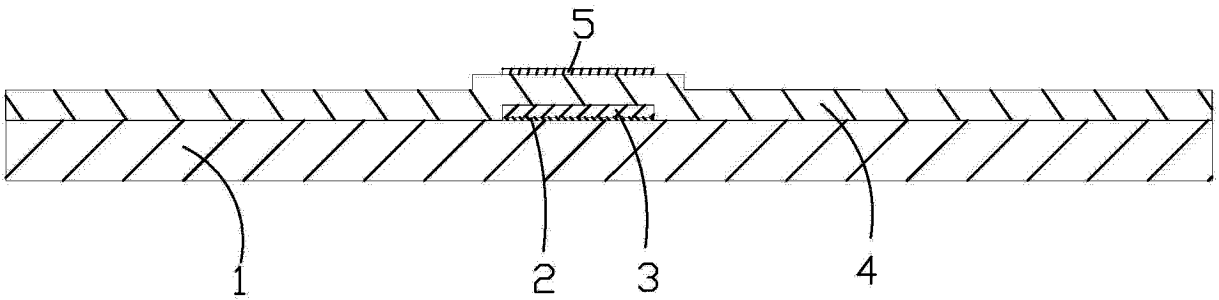


图 4

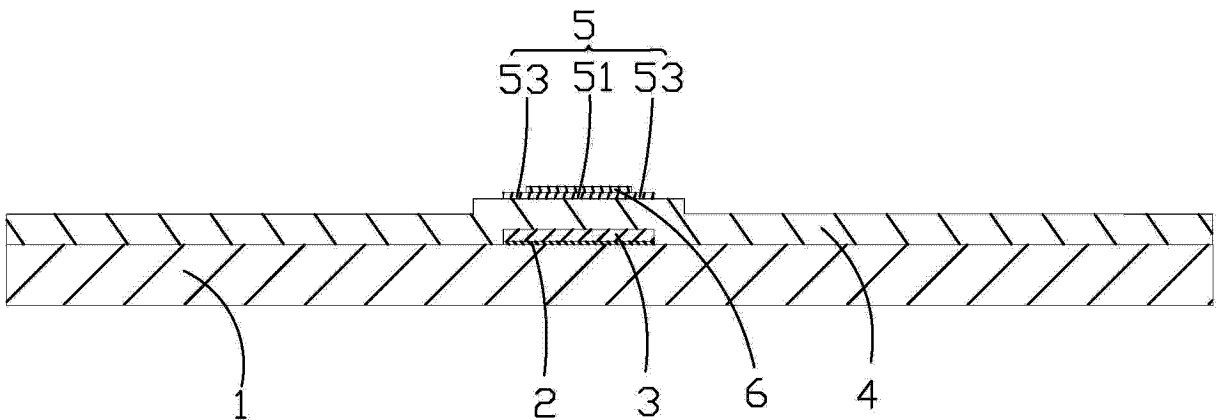


图 5

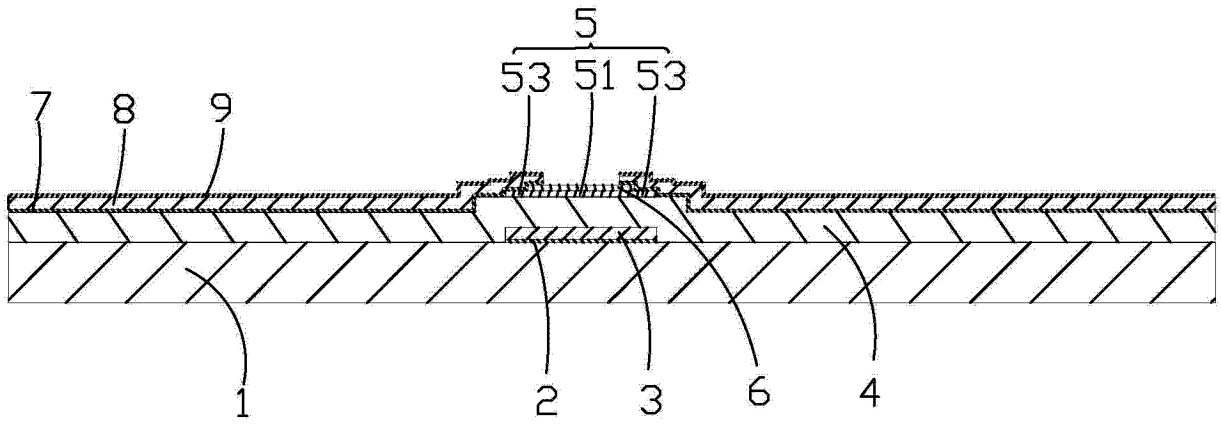


图 6

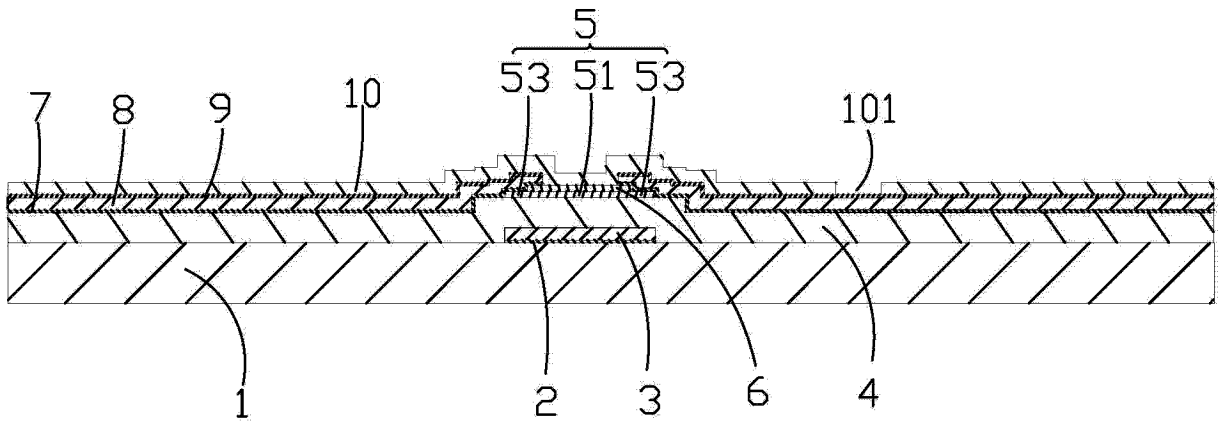


图 7

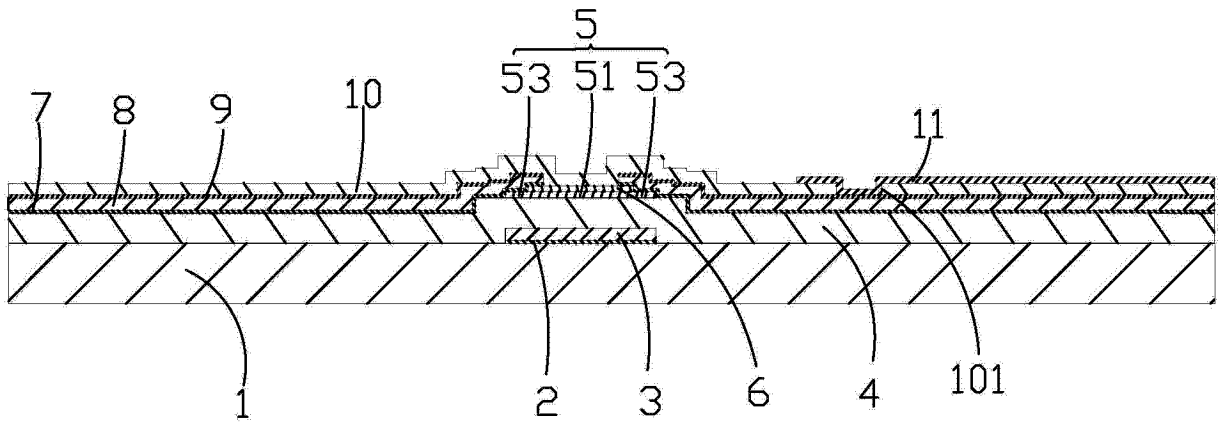


图 8