



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I673877 B

(45) 公告日：中華民國 108 (2019) 年 10 月 01 日

(21) 申請案號：104138783 (22) 申請日：中華民國 104 (2015) 年 11 月 23 日
 (51) Int. Cl. : *H01L29/78 (2006.01)* *H01L21/20 (2006.01)*
 (30) 優先權：2014/12/23 世界智慧財產權組織 PCT/US14/72143
 (71) 申請人：美商英特爾股份有限公司 (美國) INTEL CORPORATION (US)
 美國
 (72) 發明人：珈納 薩納斯 GARDNER, SANAZ K. (US)；瑞奇曼第 威利 RACHMADY, WILLY (ID)；梅茲 馬修 METZ, MATTHEW V. (US)；狄威 吉伯特 DEWEY, GILBERT (US)；卡瓦萊羅斯 傑克 KAVALIEROS, JACK T. (US)；莫哈帕拉 錢德拉 MOHAPATRA, CHANDRA (IN)；莫希 安拿 MURTHY, ANAND (US)；雷奧洛比 納迪亞 RAHHAL-ORABI, NADIA (US)；薛力格 南西 ZELICK, NANCY M. (US)；法藍奇 馬克 FRENCH, MARC C. (US)；甘尼 塔何 GHANI, TAHIR (US)
 (74) 代理人：林志剛
 (56) 參考文獻：
 TW 201312748A1 TW 201330067A1
 JP 2009-239167A US 2012/0241818A1
 審查人員：王安邦
 申請專利範圍項數：18 項 圖式數：5 共 29 頁

(54) 名稱

以深寬比溝槽為基的製程形成的均勻的層

(57) 摘要

實施例包括一種裝置，包含：第一及第二鰭彼此相鄰且各者包括通道及次鰭層，該等通道層具有直接接觸該等次鰭層之上表面的底表面；其中(a)該等底表面通常彼此共面且通常係平坦的；(b)該等上表面通常彼此共面且通常係平坦的；且(c)該等通道層包括上 III-V 材料且該等次鰭層包括與該上 III-V 材料不同的下 III-V 材料。本文描述其他實施例。

An embodiment includes a device comprising: first and second fins adjacent one another and each including channel and subfin layers, the channel layers having bottom surfaces directly contacting upper surfaces of the subfin layers; wherein (a) the bottom surfaces are generally coplanar with one another and are generally flat; (b) the upper surfaces are generally coplanar with one another and are generally flat; and (c) the channel layers include an upper III-V material and the subfin layers include a lower III-V material different from the upper III-V material. Other embodiments are described herein.

指定代表圖：

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

以深寬比溝槽為基的製程形成的均勻的層

Uniform layers formed with aspect ratio trench based processes

【技術領域】

本發明之實施例係在半導體裝置的領域中，且特別在使用深寬比溝槽(ART)技術形成電晶體的領域中。

【先前技術】

磊晶係指結晶覆層在結晶基板上的沈積。該覆層稱為磊晶(EPI)膜或 EPI 層。EPI 膜可從氣體或液體前驅物成長。因為該基板作用為種晶，該沈積膜可鎖定在相關於該基板晶體的一或多個結晶定向上。若覆層形成相關於該基板的隨機定向或不形成有序覆層，其稱為非 EPI 成長。若 EPI 膜沈積在相同組成物的基板上，該處理稱為同質磊晶；否則其稱為異質磊晶，其係一種使用彼此不同之材料實施的磊晶。在異質磊晶中，結晶膜在不同材料的結晶基板或膜上成長。異質磊晶技術常用於成長不能另外得到其晶體之材料的結晶膜或製造不同材料的積集結晶層。範例包括在砷化鎵(GaAs)上的磷化鋁銻鎵(AlGaInP)等。

磊晶使用在用於雙載子接面電晶體(BJT)及現代互補式金屬氧化物半導體(CMOS)之以矽為基的製程中。磊晶

可使用在非平面電晶體，諸如，FinFET 的形成中。FinFET 係建立在半導體材料之薄條(稱為「鰭」)周圍的電晶體。該電晶體包括標準場效電晶體(FET)節點/組件：閘極、閘極介電質、源極區域、及汲極區域。該裝置的導電通道放置在該閘極介電質下方之鰭的外側上。具體地說，電流沿著鰭之二「側壁」並沿著鰭的頂側流動。因為導電通道基本上沿著鰭之三個不同外平面區域放置，此種FinFET 典型稱為「三閘極」FinFET。存在其他種類的FinFET(諸如，「雙閘極」FinFET，其中該導電通道主要僅沿著鰭的二側壁放置且未沿著鰭的頂側放置)。

EPI 層成長的製造問題包括控制 EPI 層之電阻率及厚度的量及均勻度。

【圖式簡單說明】

本發明之實施例的特性及優點將從隨附申請專利範圍、一或多個範例實施例的以下詳細描述、及對應圖式而變得明顯。在適當的情形下，參考標籤已於該等圖式之中重複，以指示對應或類似元件。

圖 1 包括不均勻 EPI 層的影像。

圖 2 包括不均勻 EPI 層的影像。

圖 3(a)-(d)描畫在本發明之實施例中用於形成均勻 EPI 層的處理。

圖 4(a)-(d)描畫在本發明之實施例中用於形成均勻 EPI 層的處理。

圖 5(a)-(b)包括在本發明的實施例中之均勻 EPI 層的影像。

【發明內容與實施方式】

現在將參考該等圖式，其中相似結構可設有相似的字尾參考名稱。為更清楚地顯示各種實施例的結構，包括於本文中的該等圖式係半導體/電路結構的圖示表示。因此，該等已製造積體電路結構的實際外觀，例如，在顯微照片中，可顯現得不同，同時仍合併該等說明實施例的聲稱結構。此外，該等圖式可僅顯示對理解該等說明實施例有用的結構。可不包括本發明中之已為人所知的額外結構，以維持該等圖式的明確性。例如，不係半導體裝置的每一層均需要顯示。「實施例」、及「各種實施例」等指示所描述的實施例(等)可包括特定特性、結構、或特徵，但不係每個實施例均必需包括該等特性、結構、或特徵。部分實施例可具有部分、所有、或沒有針對其他實施例描述的特性。「第一」、「第二」、及「第三」等描述共同物件並指示正在引用的相似物件的不同實例。此種形容辭未暗示所描述物件必須採用給定順序，不論係在時間上、空間上、順序上、或任何其他方式上。「連接」可指示元件彼此直接實體或電接觸，且「耦接」可指示元件彼此合作或互動，但彼等可或可不直接實體或電接觸。

如上文所提及的，EPI 層成長的製造問題包括控制 EPI 層之電阻率及厚度的量及均勻度。圖 1 包括在基板

101 上成長之不均勻 EPI 層之影像。圖 1 包括形成在淺溝槽隔離 (STI) 130、131 內的 III-V 材料堆疊，諸如，氧化物。亦即，InGaAs 層 103、107、110 使用在 InGaAs 層下的 InP 部分 102、106、109 及在 InGaAs 層上的 InP 部分 120、121、122 原位成長。所有 InGaAs 及 InP 層均形成在使用深寬比溝槽 (ART) 處理形成的溝槽 123、124、125 內。在「InGaAs」常使用於此處的同時，「InGaAs」包括 $\text{In}_x\text{Ga}_{1-x}\text{As}$ ，其中 x 在 0 及 1 之間，從而在各種實施例中包括 InAs 且在其他實施例中包括 GaAs。

ART 係基於以特定角度向上傳播的貫穿差排。在 ART 中，溝槽以足夠高的深寬比製造，使得缺陷終止在溝槽的側壁上且在該等終止之上的任何層均係無缺陷的。更具體地說，ART 藉由使溝槽的高度 (H) 大於溝槽的寬度 (W)，使得 H/W 比率至少係 1.50 而包括沿著淺溝槽隔離 (STI) 部分之側壁捕獲缺陷。此比率給定 ART 的最小限制以阻擋緩衝層內的缺陷。

在圖 1 中所看見的問題係 InGaAs 層 103、107、110 的不均勻性。例如，各 InGaAs 層具有頂表面 104、108、111。然而，頂表面 108 (見水平線 141) 以垂直距離 142 不與頂表面 111 (見水平線 140) 垂直地對準。移位 142 能係有問題的並由在溝槽內具有不均勻成長的原位多層 III-V ART 鰭所導致。例如，位移 142 能導致其變為阻隔且不允許濕蝕刻環繞式閘極 (GAA) 釋放的側壁。更具體地說，GAA FET 在觀念上與 FinFET 相似，除了閘極材料在每一

側上圍繞通道區域。依據設計，GAA FET 能具有二或四個有效閘極。環繞式閘極 FET 可繞著奈米線建立。移位 142 能對 GAA 架構造成問題，因為可需要將 STI 130 蝕刻至低於 InGaAs 層底表面 143(見水平線 144)以沿著表面 143 形成閘極。然而，此蝕刻不可向下過深至也足以暴露 InGaAs 層底表面 145(見水平線 146)。額外問題可涉及靜電考量，諸如，藉由改變支撐通道材料 InGaAs 部分之下鰭 InP 部分的尺寸而帶來的效能，諸如，電阻及/或漏電流性質，改變。

圖 2 包括不均勻 EPI 層的影像，然而，在此圖中，該不均勻性不必然在不同鰭中之不同高度的層之間。取而代之的，圖 2 顯示單一層內的不均勻性。更具體地說，圖二顯示單一鰭的各種影像，每張影像「強調」特定組件。影像 200 包括具有形成在二 InP 層之間的 InGaAs 層之鰭的一般影像。影像 201 強調 In 的存在區域 207、208。影像 202 強調 P 的存在區域 209、210(其與區域 207、208 重合，將彼等視為係 InP 層)。影像 203 強調 Ga 的存在區域 206。影像 204 強調 As 的存在區域 205(其與區域 206 重合，將彼等視為係 InGaAs 層)。顯然地，Ga 及 As 部分 206、205 具有彎曲上表面 213、212 及下表面 211、210。例如，當試圖形成奈米帶 GAA 裝置等時，任何此等表面的不均勻性/曲率能再度成為問題。

因此，申請人已發現各種問題，諸如，上文提及之涉及下列各種形式之不均勻性的效能及製造問題：(1)當層

高度逐鰭改變時，及(2)當層高度在自身內改變時(例如，具有彎曲頂表面)。

然而，實施例將在 ART 溝槽中實現均勻層。例如，實施例提供選擇性濕蝕刻以均勻地使次鰭材料，諸如，InP 109，凹陷。與原位成長(在正在成長該層時)相反地，濕蝕刻可異位實施(在層成長後)。換言之，在次鰭形成後，則蝕刻其以使次鰭的頂表面平坦化或變平。

實施例也提供選擇性 EPI 沈積處理以將層的均勻層，諸如，III-V 材料(例如，InGaAs 層 110)保形地成長在凹陷的 III-V 材料上(例如，在溝槽內的 InP 部分(見圖 3(b))。

實施例更在窄 ART 溝槽內側提供橫跨單一鰭寬度及長度之具有均勻層厚度(例如，InGaAs)的雙層堆疊(例如，InGaAs/InP)。

圖 3(a)-(d)描畫在本發明之實施例中用於形成均勻 EPI 層的處理。圖 3(a)描繪 InP 鰭 302 的成長，其最終將使用為用於通道材料的次鰭支撐。鰭 302 在基板 301 上及在 ART 溝槽 322 及 STI 330 內成長。在圖 3(b)中，經由 InP 研磨移除過成長 350，並使 InP 更凹陷以形成凹陷 351 在次鰭部分 302 之上。在圖 3(c)中，然後將 InGaAs 303 成長在溝槽 322 內並研磨以在平坦上表面 354 頂部上形成平坦上表面 352 及平坦下表面 353。

在圖 3(d)中，使 STI 330 凹陷以暴露 InGaAs 層 303 及溝槽 322 內的次鰭 302。圖 3(d)更包括相鄰於其係圖

3(a)-(c)的焦點之該鰭的第二鰭。具體地說，圖 3 描畫包含下列各者的裝置：在包括第一下鰭部分 302 上之第一上鰭部分 303 的第一鰭結構及包括在第二下鰭部分 302' 上之第二上鰭部分 303' 的第二鰭結構。沒有其他鰭結構存在於第一及第二鰭結構之間(亦即，在區域 370 內)，且第一及第二鰭彼此相鄰。第一及第二上鰭部分 303、303' 具有直接接觸第一及第二下鰭部分 302、302' 之第一及第二上表面 354、354' 的第一及第二底表面 353、353'。第一及第二底表面 353、353' 通常彼此共面且通常係平坦的。例如，第一及第二底表面 353、353' 各者沿著平行於基板 301 之長軸(水平)361 的水平線 360 定位。第一及第二上表面 354、354' 通常彼此共面且通常係平坦的(第一及第二上表面 354、354' 各者定位於線 360 上)。第一及第二上鰭結構 303、303' 包括上 III-V 材料且第一及第二下鰭結構 302、302' 包括與上 III-V 材料不同的下 III-V 材料。例如，在本文的許多實施例描述 InGaAs/InP 之堆疊 303/302 的同時，其他實施例並未受如此限制，並可包括，例如，InGaAs/In_xAl_{1-x}As、InGaAs/In_xAl_{1-x}As/InP、或 InGaAs/InP/In_xAl_{1-x}As (例如，其中 InGaAs 包括 In_xGa_{1-x}As，其中 x 在 0 及 1 之間，且 InAlAs 包括 In_xAl_{1-x}As，其中 x 在 0 及 1 之間)。在實施例中，堆疊層 303/302 及 303'/302' 係磊晶層。

該第一及第二鰭結構至少部分地包括在第一及第二溝槽 322、322' 中。該第一及第二溝槽各者通常具有至少係 2 : 1 的等效深寬比(深度對寬度)。實施例可包括包括

1.4 : 1、2.5 : 1、3 : 1(150nm : 50nm)、及 4 : 1 等的比率。

在實施例中，第一及第二上鰭部分 303、303' 具有通常彼此共面且通常係平坦的第一及第二頂表面(頂表面 352、352' 各者位於線 362 上)，且通常平行於基板(見線 361)及第一及第二底表面 353、353'。頂表面 352、352' 可由於研磨而係平坦/平面的。

在相似於圖 4 的實施例中，鰭部分具有通常平坦的頂表面(位在線 462' 上的頂表面 452') 並通常平行於基板(見線 461') 及底表面 453' (沿著水平線 460' 定位)。

在實施例中，第一及第二底表面 353、353' 係平坦的，且各者延伸橫跨第一及第二鰭結構的整體寬度 371、371'。

圖 5(a)-(b) 包括在本發明的實施例中之均勻 EPI 層的影像。在將任何通道部分填充在凹陷 554、554' 中之前，圖 5(a) 包括形成包括次鰭部分 502、502' 之溝槽的 STI 部分 530。線 560 類似於圖 3(d) 中的線 360，並顯示次鰭 InP 部分 502、502' 的頂表面如何在彼等內及與另一者係平面的且通常平行於基板。線 561 類似於圖 3(d) 的線 362 並顯示頂表面 561 如何係平坦及均勻的。圖 5(b) 顯示在將通道材料 503 加在次鰭 502 上之後的圖 5(a) 之鰭的一者的側視圖。InGaAs 通道材料 503 的上及下表面 552、553 係均勻的、平坦的、並平行於次鰭 502 的上表面 570。

因此，圖 5(b) 顯示包括在第一鰭結構之左端的左端部

分 575 及在第一鰭結構之右端的右端部分 576 的第一鰭結構。底表面 553 從部分 575 至部分 576 係平坦且共面的，並通常平行於基板。

圖 4(a)-(d)描畫在本發明之實施例中用於形成均勻 EPI 層的處理。圖 4(a)顯示具有在基板 401 及 InGaAs 通道材料 403 之間的 InP 次鰭 402 之鰭的側視圖。閘極圖案化已使用覆蓋在介電質 409 上之多晶矽 460 的硬遮罩 461 開始。在圖 4(b)中，在層間介電質(ILD)462 形成後，移除多晶矽以形成凹陷 451。在圖 4(c)中，濕蝕刻釋放發生以移除次鰭以產生凹陷 452。在圖 4(d)中，以金屬閘極部分 463 及高介電常數(高 κ)閘極介電質 464 填充凹陷 451、452。藉由如此作，形成奈米帶 470 以產生 GAA 結構。

因此，實施例提供將 InP(或某些其他 III-V 材料)成長在 ART 溝槽內，然後均勻地濕蝕刻使該溝槽內之 InP 凹陷的情況。隨後，提供用於異位 InGaAs(或某些其他 III-V 材料)再成長及研磨的均勻平台。此導致其不僅具有更佳裝置效能的均勻 InGaAs 層，也提供用於 GAA 架構的下游濕蝕刻釋放選項。

在實施例中，多層 III-V FinFET 結構係使用，例如，圖 3(d)的暴露材料 303 形成(亦即，將閘極結構形成在通道材料 303 上方)。實施例具有嵌入在用於形成三閘極電晶體的鰭中之不同材料的均勻層。在實施例中，均勻 $\text{In}_x\text{Al}_{1-x}\text{As}$ (其中 x 在 0 及 1 之間)次鰭層可在 InGaAs(通道)及 InP(次鰭)層之間成長，且此層將係有用的關閉/減少

III-V 三閘極電晶體中的次鰭洩漏(因此允許進一步的閘極長度(Lg)縮放)。

在與圖 3(d)相像之圖顯示在 InP 頂部上的 InGaAs 時，此等圖係用於教學的目的且裝置可包括額外層，諸如，在 InGaAs 層頂部上的 InP 層。

各種實施例包括半導體基板。此種基板可係其係晶圓之一部分的塊狀半導體材料。在實施例中，該半導體基板係作為已從晶圓單切的晶片之一部分的塊狀半導體材料。在實施例中，該半導體基板係形成在絕緣體，諸如，絕緣層覆矽(SOI)基板之上的半導體材料。在實施例中，該半導體基板係突出結構，諸如，延伸在塊狀半導體材料之上的鰭片。

以下範例關於其他實施例。

範例 1 包括一種裝置，包含：第一鰭結構，包括在第一下鰭部分上的第一上鰭部分；第二鰭結構，包括在第二下鰭部分上的第二上鰭部分；其中(a)沒有其他鰭結構存在於該第一及第二鰭結構之間，且該第一及第二鰭結構彼此相鄰；(b)該第一及第二上鰭部分具有直接接觸該第一及第二下鰭部分之第一及第二上表面的第一及第二底表面；(c)該第一及第二底表面通常彼此共面且通常係平坦的；(d)該第一及第二上表面通常彼此共面且通常係平坦的；且(e)該第一及第二上鰭部分包括上 III-V 材料且該第一及第二下鰭部分包括與該上 III-V 材料不同的下 III-V 材料。

在範例 2 中，範例 1 的專利標的能選擇性地包括其中該第一及第二鰭結構至少部分地包括在第一及第二溝槽中。

在範例 3 中，範例 1-2 的專利標的能選擇性地包括其中該第一及第二溝槽各者通常具有至少係 2:1 的等效深寬比(深度對寬度)。

在範例 4 中，範例 1-3 的專利標的能選擇性地包括其中該上 III-V 材料包括 InGaAs。在實施例中，範例 1-3 的專利標的能選擇性地包括其中該上 III-V 材料包括 $\text{In}_x\text{Ga}_{1-x}\text{As}$ ，其中 x 在 0 及 1 之間，從而在各種實施例中包括 InAs 且在其他實施例中包括 GaAs。

在範例 5 中，範例 1-4 的專利標的能選擇性地包括其中該下 III-V 材料包括 InP。

在範例 6 中，範例 1-5 的專利標的能選擇性地包括其中該第一及第二上鰭結構及該第一及第二下鰭結構係磊晶層。

在範例 7 中，範例 1-6 的專利標的能選擇性地包括基板，其中該第一及第二底表面通常平行於該基板的長軸。

在範例 8 中，範例 1-7 的專利標的能選擇性地包括，其中 (a) 該第一鰭結構包括在該第一鰭結構之左端的左端部分及在該第一鰭結構之右端的右端部分；(b) 該左端部分包括該第一底表面的左底表面部分且該右端部分包括該第一底表面的右底表面部分；且 (c) 該左及右底表面部分彼此共面且通常平行於該基板。

在範例 9 中，範例 1-8 的專利標的能選擇性地包括，其中該第一及第二上鰭部分具有通常彼此共面、通常平坦的、及通常平行於該基板及平行於該第一及第二底表面的第一及第二頂表面。

在範例 10 中，範例 1-9 的專利標的能選擇性地包括其中該第一及第二底表面各者延伸橫跨該第一及第二鰭結構的全部寬度。

在範例 11 中，範例 1-10 的專利標的能選擇性地包括其中該第一及第二上鰭部分包括在第一及第二奈米帶中。

在範例 12 中，範例 1-11 的專利標的能選擇性地包括其中該第一及第二奈米帶包括在環繞式閘極裝置中。

範例 13 包括一種裝置，包含：第一鰭結構，包括在第一下鰭部分上的第一上鰭部分；第二鰭結構，包括在第二下鰭部分上的第二上鰭部分；其中 (a) 該第一及第二上鰭部分具有直接接觸該第一及第二下鰭部分之第一及第二上表面的第一及第二底表面；(b) 該第一及第二底表面通常彼此共面且通常係平坦的；(c) 該第一及第二上表面通常彼此共面且通常係平坦的；(d) 該第一及第二上鰭部分包括上 III-V 材料且該第一及第二下鰭部分包括與該上 III-V 材料不同的下 III-V 材料；且 (e) 第一垂直軸與該第一底表面及該第一上表面的第一部分相交、第二垂直軸與該第一底表面及該第一上表面的第二部分相交、且位於該第一及第二垂直軸之間的第三垂直軸與該第一底表面及閘極的第三部分相交，但不與該第一上表面的部分相交。

例如，在圖 4(d)中，軸 463'在位置 466 與奈米帶 470 的下表面及次鰭 402 的上表面相交。軸 465 在位置 467 與奈米帶 470 的下表面及次鰭 402 的上表面相交。軸 469 在位置 468 與奈米帶 470 的下表面及閘極材料 463、464 相交，但不與次鰭 402 的上表面相交。

在範例 14 中，範例 13 的專利標的能選擇性地包括其中該第一及第二鰭結構至少部分地包括在各者通常具有至少係 2：1 之等效深寬比(深度對寬度)的第一及第二溝槽中。

在範例 15 中，範例 13-14 的專利標的能選擇性地包括基板，其中該第一及第二底表面通常平行於該基板的長軸。

在範例 16 中，範例 13-15 的專利標的能選擇性地包括，其中(a)該第一鰭結構包括在該第一鰭結構之左端的左端部分及在該第一鰭結構之右端的右端部分；(b)該左端部分包括該第一底表面的左底表面部分且該右端部分包括該第一底表面的右底表面部分；且(c)該左及右底表面部分彼此共面且通常平行於該基板。

在範例 17 中，範例 13-16 的專利標的能選擇性地包括其中該第一及第二底表面各者延伸橫跨該第一及第二鰭結構的全部寬度。

在範例 18 中，範例 16-18 的專利標的能選擇性地包括其中該第一及第二上鰭部分包括在其包括在全繞式閘極裝置中的第一及第二奈米帶中。

範例 19 包括一種裝置，包含：第一及第二鰭彼此相鄰且各者包括通道及次鰭層，該等通道層具有直接接觸該等次鰭層之上表面的底表面；其中(a)該等底表面通常彼此共面且通常係平坦的；(b)該等上表面通常彼此共面且通常係平坦的；且(c)該等通道層包括上 III-V 材料且該等次鰭層包括與該上 III-V 材料不同的下 III-V 材料。

在範例 20 中，範例 19 的專利標的能選擇性地包括其中該第一及第二鰭至少部分地包括在通常具有至少係 2:1 之等效深寬比(深度對寬度)的溝槽中。

在範例 21 中，範例 19-20 的專利標的能選擇性地包括一種半導體處理方法，包含：其中(a)該第一鰭包括左及右端部分，彼等具有彼此共面且通常平行於包括在該裝置中之基板的左及右底表面。

在範例 22 中，範例 19-21 的專利標的能選擇性地包括其中該等底表面延伸橫跨該第一及第二鰭的全部寬度。

在範例 23 中，範例 19-22 的專利標的能選擇性地包括其中該等通道層包括在其包括在環繞式閘極裝置中的奈米帶中。

為說明及描述之目的，已於前文呈現本發明之實施例的描述。未企圖成為徹底揭示或將本發明限制在所揭示的精確形式。此描述及以下的申請專利範圍包括僅用於描述的目的且未構成限制的術語，諸如，左、右、頂、底、上方、下方、上、下、第一、第二等。例如，指定相對垂直位置的術語係指基板或積體電路的裝置側(或主動表面)係

該基板的「頂」表面的情形；該基板實際上可能在任何定向上，使得在參考的標準地圖框架中基板的「頂」側可能低於「底」側且仍落在術語「頂」的意義內。術語「上」，如本文(包括在申請專利範圍中)所使用的，除非具體陳述，未指示在第二層「上」的第一層係正在第二層上並與其緊密接觸；在第一層及第二層之間可能有第三層或其他結構在該第一層上。本文描述之裝置或物品的實施例可在許多位置及定向上製造、使用、及出貨。熟悉本技術的人士可理解根據以上教示許多修改及變化係可能的。熟悉本技術的人士將承認有用於圖中所示之各種組件的各種等效組合物及替代物。因此本發明的範圍未企圖由此詳細描述所限制，更確切地說係由隨附至其的申請專利範圍所限制。

【符號說明】

- 101、301、401：基板
- 102、106、109、120、121、122：InP 部分
- 103、107、110：InGaAs 層
- 104、108、111、352'、452'：頂表面
- 123、124、125：溝槽
- 130、131、330：淺溝槽隔離(STI)
- 140、141、144、146、360、460'：水平線
- 142：垂直距離
- 143、145：InGaAs 層底表面

- 200、201、202、203、204：影像
- 205：As 的存在區域
- 206：Ga 的存在區域
- 207、208：In 的存在區域
- 209、299：P 的存在區域
- 210、211：彎曲下表面
- 212、213：彎曲上表面
- 302：InP 鰭
- 302'：第二下鰭部分
- 303：InGaAs 層
- 303'：第二上鰭部分
- 322：ART 溝槽
- 322'：第二溝槽
- 350：過成長
- 351、451、452、554、554'：凹陷
- 352、354：平坦上表面
- 353：平坦下表面
- 353'：第二底表面
- 354'：第二上表面
- 361：長軸
- 362、461'、462'、560、561：線
- 370：區域
- 371、371'：整體寬度
- 402：InP 次鰭

- 403 : InGaAs 通道材料
- 409 : 介電質
- 453' : 底表面
- 460 : 多晶矽
- 461 : 硬遮罩
- 462 : 層間介電質 (ILD)
- 463 : 金屬閘極部分
- 463'、465、469 : 軸
- 464 : 閘極介電質
- 466、467、468 : 位置
- 470 : 奈米帶
- 502、502' : 次鰭部分
- 503 : 通道材料
- 530 : STI 部分
- 552、570 : 上表面
- 553 : 下表面
- 575 : 左端部分
- 576 : 右端部分

I673877

發明摘要

※申請案號：104138783

※申請日：104 年 11 月 23 日

※IPC 分類：H01L 29/78 (2006.01)

H01L 21/20 (2006.01)

【發明名稱】(中文/英文)

以深寬比溝槽為基的製程形成的均勻的層

Uniform layers formed with aspect ratio trench based processes

【中文】

實施例包括一種裝置，包含：第一及第二鰭彼此相鄰且各者包括通道及次鰭層，該等通道層具有直接接觸該等次鰭層之上表面的底表面；其中(a)該等底表面通常彼此共面且通常係平坦的；(b)該等上表面通常彼此共面且通常係平坦的；且(c)該等通道層包括上 III-V 材料且該等次鰭層包括與該上 III-V 材料不同的下 III-V 材料。本文描述其他實施例。

【英文】

An embodiment includes a device comprising: first and second fins adjacent one another and each including channel and subfin layers, the channel layers having bottom surfaces directly contacting upper surfaces of the subfin layers; wherein (a) the bottom surfaces are generally coplanar with one another and are generally flat; (b) the upper surfaces are generally coplanar with one another and are generally flat; and (c) the channel layers include an upper III-V material and the subfin layers include a lower III-V material different from the upper III-V material. Other embodiments are described herein.

【代表圖】

【本案指定代表圖】：第(3D)圖。

【本代表圖之符號簡單說明】：

- 301：基板
- 352'：頂表面
- 330：淺溝槽隔離(STI)
- 360：水平線
- 302：InP 鰭
- 302'：第二下鰭部分
- 303：InGaAs 層
- 303'：第二上鰭部分
- 322：ART 溝槽
- 322'：第二溝槽
- 352、354：平坦上表面
- 353：平坦下表面
- 353'：第二底表面
- 354'：第二上表面
- 361：長軸
- 362：線
- 370：區域
- 371、371'：整體寬度

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

申請專利範圍

1. 一種半導體的裝置，包含：

基板；

第一鰭結構，包括在第一下鰭部分上的第一上鰭部分；

第二鰭結構，包括在第二下鰭部分上的第二上鰭部分；

其中(a)沒有其他鰭結構存在於該第一及第二鰭結構之間，且該第一及第二鰭結構彼此相鄰；(b)該第一及第二上鰭部分具有直接接觸該第一及第二下鰭部分之第一及第二上表面的第一及第二底表面；(c)該第一及第二底表面實質上彼此共面且實質上係平坦的；(d)該第一及第二上表面實質上彼此共面且實質上係平坦的；且(e)該第一及第二上鰭部分包括上 III-V 材料且該第一及第二下鰭部分包括與該上 III-V 材料不同的下 III-V 材料；

其中該第一上鰭部分被包括在第一通道中且該第二上鰭部分被包括在第二通道中；

其中該第一上鰭部並非與該第一下鰭部分是一體的；

其中該基板並非與該第一或第二下鰭部之其一者是一體的；

其中該第一及第二通道之各者包括無缺陷部分且該第一及第二下鰭部分之各者包括無缺陷部分；

其中(a)該第一及第二鰭結構係至少部分且分別被包括在第一及第二溝槽中，該第一及第二溝槽具有至少 3:1 的

實質上等效深寬比(深度對寬度)，以及(b)在該第一通道或第一下鰭部分之至少一者內的缺陷終止在該第一溝槽的側壁上；

其中該第一通道層之側壁係與該第一下鰭部分之側壁共面。

2.如申請專利範圍第 1 項的裝置，其中該上 III-V 材料包括 $\text{In}_x\text{Ga}_{1-x}\text{As}$ ，其中 x 在 0 及 1 之間。

3.如申請專利範圍第 2 項的裝置，其中該下 III-V 材料包括 InP 。

4.如申請專利範圍第 2 項的裝置，其中該第一及第二上鰭部分及該第一及第二下鰭部分係磊晶層。

5.如申請專利範圍第 1 項的裝置，其中該第一及第二底表面實質上平行於該基板的長軸。

6.如申請專利範圍第 5 項的裝置，其中(a)該第一鰭結構包括在該第一鰭結構之左端的左端部分及在該第一鰭結構之右端的右端部分；(b)該左端部分包括該第一底表面的左底表面部分且該右端部分包括該第一底表面的右底表面部分；且(c)該左及右底表面部分彼此共面且實質上平行於該基板的長軸。

7.如申請專利範圍第 5 項的裝置，其中該第一及第二上鰭部分具有實質上彼此共面、實質上平坦的、及實質上平行於該基板的長軸及平行於該第一及第二底表面的第一及第二頂表面。

8.如申請專利範圍第 1 項的裝置，其中該第一及第二

底表面各者延伸橫跨該第一及第二鰭結構的全部寬度。

9.一種半導體的裝置，包含：

第一鰭結構，包括在第一下鰭部分上的第一上鰭部分；

第二鰭結構，包括在第二下鰭部分上的第二上鰭部分；

其中 (a) 該第一及第二上鰭部分具有直接接觸該第一及第二下鰭部分之第一及第二上表面的第一及第二底表面；
(b) 該第一及第二底表面通常彼此共面且通常係平坦的；
(c) 該第一及第二上表面通常彼此共面且通常係平坦的；
(d) 該第一及第二上鰭部分包括上 III-V 材料且該第一及第二下鰭部分包括與該上 III-V 材料不同的下 III-V 材料；
且 (e) 第一垂直軸與該第一底表面及該第一上表面的第一部分相交、第二垂直軸與該第一底表面及該第一上表面的第二部分相交、且位於該第一及第二垂直軸之間的第三垂直軸與該第一底表面及閘極的第三部分相交，但不與該第一上表面的部分相交。

10. 如申請專利範圍第 9 項的裝置，其中該第一及第二鰭結構至少部分地包括在各者通常具有至少係 4:1 之等效深寬比(深度對寬度)的第一及第二深寬比溝槽 (ART) 的溝槽中。

11. 如申請專利範圍第 9 項的裝置，包括基板，其中該第一及第二底表面通常平行於該基板的長軸。

12. 如申請專利範圍第 9 項的裝置，其中 (a) 該第一鰭

結構包括在該第一鰭結構之左端的左端部分及在該第一鰭結構之右端的右端部分；(b)該左端部分包括該第一底表面的左底表面部分且該右端部分包括該第一底表面的右底表面部分；且(c)該左及右底表面部分彼此共面且通常平行於該基板。

13.如申請專利範圍第 9 項的裝置，其中該第一及第二底表面各者延伸橫跨該第一及第二鰭結構的全部寬度。

14.如申請專利範圍第 9 項的裝置，其中該第一及第二上鰭部分包括在其包括在環繞式閘極裝置中的第一及第二奈米帶中。

15.一種半導體的裝置，包含：

基板；

第一及第二鰭彼此相鄰且各者包括通道層、次鰭層以及包括在該通道層中的通道，該等通道層具有直接接觸該等次鰭層之上表面的底表面；

其中(a)該等底表面實質上彼此共面且實質上係平坦的；(b)該等上表面實質上彼此共面且實質上係平坦的；且(c)該等通道各者包括上 III-V 材料且該等次鰭層各者包括與該上 III-V 材料不同的下 III-V 材料；

其中該基板並非與該次鰭層是一體的；

其中該通道之各者包括無缺陷部分且該次鰭層之各者包括無缺陷部分；

其中(a)該第一及第二鰭係至少部分且分別被包括在第一及第二溝槽中，該第一及第二溝槽具有至少 3:1 的實質

上等效深寬比(深度對寬度)，以及(b)在該第一鰭之通道或次鰭層之至少一者內的缺陷終止在該第一溝槽之側壁上；

其中該通道層其中一者的側壁係與該次鰭層其中一者的側壁共面。

16.如申請專利範圍第 15 項的裝置，其中該第一鰭包括左及右端部分，彼等具有彼此共面且實質上平行於包括該基板之上表面的平面的左及右底表面。

17.如申請專利範圍第 15 項的裝置，其中該等底表面延伸橫跨該第一及第二鰭的全部寬度。

18.如申請專利範圍第 15 項的裝置，其中該等通道層包括在其包括在環繞式閘極裝置中的奈米帶中。