



(12) 发明专利

(10) 授权公告号 CN 102089828 B

(45) 授权公告日 2015. 07. 01

(21) 申请号 200980126981. 1

(22) 申请日 2009. 06. 25

(30) 优先权数据

12/170, 612 2008. 07. 10 US

(85) PCT国际申请进入国家阶段日

2011. 01. 10

(86) PCT国际申请的申请数据

PCT/US2009/048567 2009. 06. 25

(87) PCT国际申请的公布数据

W02010/005791 EN 2010. 01. 14

(73) 专利权人 美光科技公司

地址 美国爱达荷州

(72) 发明人 迪安·克莱因

(74) 专利代理机构 北京律盟知识产权代理有限

责任公司 11287

代理人 宋献涛

(51) Int. Cl.

G11C 16/10(2006. 01)

G11C 16/02(2006. 01)

G11C 16/34(2006. 01)

G11C 29/42(2006. 01)

(56) 对比文件

US 5930167 A, 1999. 07. 27, 说明书第 2 栏第

55-58 行、第 4 栏第 50-56 行、第 5 栏第 60 行-第 6 栏第 28 行、第 7 栏第 50 行-第 8 栏第 58 行, 图 1-2、4B、4C、4D、7.

US 5930167 A, 1999. 07. 27, 说明书第 2 栏第 55-58 行、第 4 栏第 50-56 行、第 5 栏第 60 行-第 6 栏第 28 行、第 7 栏第 50 行-第 8 栏第 58 行, 图 1-2、4B、4C、4D、7.

US 2002116424 A1, 2002. 08. 22, 说明书第 0005 段.

CN 101002184 A, 2007. 07. 18, 全文.

CN 1139031 C, 2004. 02. 18, 全文.

Eran Gal, sivan Toledo*. Algorithms and Data Structures for Flash Memories. 《School of Computer Science Tel-Aviv University》. 2004, 说明书第 2 页第 2 段.

审查员 王璐

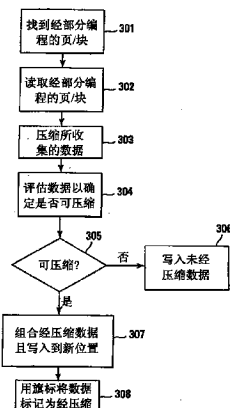
权利要求书2页 说明书5页 附图3页

(54) 发明名称

固态存储装置中的数据收集及压缩

(57) 摘要

本发明揭示用于将经压缩数据编程到存储器阵列、存储器装置及存储器系统的方法。在一个此种方法中, 找到用有效数据部分编程的存储器页或块。从这些经部分编程的页或块收集所述数据且对所述数据进行压缩。接着将所述经压缩数据编程回到所述存储器装置的所述存储器阵列中的不同位置。



CN 102089828 B

1. 一种用于固态存储装置中的数据收集及压缩的方法,所述方法包含:
读取每个存储器页的状态位,所述状态位指示各个存储器页是否仅被部分编程;
响应于存储器页各自的状态位,从用有效未被压缩数据部分编程的存储器页收集并暂时存储有效未被压缩数据并于此时压缩并暂时存储所收集的数据;
评估所述压缩以确定所收集的数据是否可被压缩;及
可选择地将所述未被压缩数据或所述经压缩数据编程到所述固态存储装置。
2. 根据权利要求1所述的方法,其中收集数据包含从经部分编程的存储器块收集数据。
3. 根据权利要求1所述的方法,其中编程所述经压缩数据包含将所述经压缩数据编程到所述固态存储装置的不同页。
4. 根据权利要求1所述的方法,且其进一步包含通过在存储器位置中设定与所述经压缩数据相关联的位来识别所述经压缩数据。
5. 根据权利要求1所述的方法,且其进一步包括:
从所述固态存储装置读取数据;及
解压缩所述数据。
6. 根据权利要求1所述的方法,其中编程所述经压缩数据包含进行编程以使得不发生对存储器页的部分编程。
7. 根据权利要求6所述的方法,其中压缩所述所收集的数据包含使用GZIP算法来压缩所收集的数据。
8. 根据权利要求7所述的方法,且其进一步包括从所述固态存储装置读取所述经压缩数据且使用Lempel-Ziv(LZ)压缩、DEFLATE、PKZIP及GZIP中的一者来解压缩所述经压缩数据。
9. 根据权利要求1所述的方法,且其进一步包括识别在压缩所述所收集的数据中使用的压缩算法的类型。
10. 根据权利要求1所述的方法,且其进一步包括在从所述经部分编程的存储器页读取所述数据之后擦除所述经部分编程的存储器页。
11. 根据权利要求1所述的方法,且其进一步包括当从第一存储器页移动数据时产生仅用有效数据部分编程所述第一存储器页的指示。
12. 根据权利要求1所述的方法,且其进一步包括在编程回到所述固态存储装置之前将所述经压缩数据与其它经压缩数据组合。
13. 一种存储器装置,其包含:
存储器阵列,其组织成多个存储器页及块;及
存储器控制电路,其耦合到所述存储器阵列,所述存储器控制电路用于控制所述存储器装置的操作,所述存储器控制电路经配置以读取包含状态位的寄存器,所述状态位指示了各个存储器页或存储器块是否仅被部分编程而使得各个存储器页或存储器块具有未编程区域、响应于存储器页或存储器块各自的状态位从经部分编程的页或块读取并暂时存储未被压缩数据并于此时压缩并暂时存储所读取的数据、评估所述压缩以确定所收集的数据是否可被压缩且可选择地将所述未被压缩数据或所述经压缩数据编程到所述存储器阵列的替代位置。

14. 根据权利要求 13 所述的存储器装置,其中所述存储器阵列为 NAND 架构快闪存储器阵列。

15. 根据权利要求 13 所述的存储器装置,其中每一存储器块由多个存储器页组成。

16. 根据权利要求 13 所述的存储器装置,其中所述存储器控制电路进一步经配置以产生所读取的数据已被压缩的指示且将所述指示编程于存储器中。

17. 根据权利要求 13 所述的存储器装置,其中所述存储器控制电路进一步经配置以通过响应于对一个逻辑地址的写入操作而将所述经压缩数据写入到多个物理地址来执行损耗均衡。

18. 根据权利要求 13 所述的存储器装置,其中所述存储器控制电路进一步经配置以擦除所述经部分编程的存储器块。

19. 根据权利要求 13 所述的存储器装置,其中所述存储器控制电路进一步经配置以读取压缩类型的指示且响应于所述压缩类型的所述指示而解压缩所述经压缩数据。

固态存储装置中的数据收集及压缩

技术领域

[0001] 本发明一般来说涉及存储器装置,且在特定实施例中本发明涉及非易失性存储器装置。

背景技术

[0002] 在计算机或其它电子装置中存储器装置可包括内部半导体集成电路。存在许多不同类型的存储器,其包括随机存取存储器 (RAM)、只读存储器 (ROM)、动态随机存取存储器 (DRAM)、静态 RAM (SRAM)、同步动态随机存取存储器 (SDRAM) 及快闪存储器。

[0003] 快闪存储器装置已发展为用于宽广范围的电子应用的非易失性存储器的普遍源。快闪存储器装置通常使用允许高存储器密度、高可靠性及低功率消耗的单一晶体管存储器单元。快闪存储器的常见用途包括个人计算机、个人数字助理 (PDA)、数码相机及蜂窝式电话。例如基本输入 / 输出系统 (BIOS) 等程序码及系统数据通常存储于快闪存储器装置中以供在个人计算机系统中使用。

[0004] 快闪存储器装置的一个缺点是,由于用于编程的物理过程,其通常仅正确操作有限数量的擦除 / 编程循环。大多数快闪存储器装置可操作 100k 擦除 / 编程循环。

[0005] 另一缺点是与其它存储器技术相比存储每一位的成本相对高。因此,需要改善对快闪存储器阵列中的存储器单元的管理以有效率地尽可能多的使用存储器阵列以使得存储器区域不会空着。

[0006] 出于上文陈述的原因,且出于下文陈述的所属领域的技术人员在阅读及理解本说明书之后将明了的其它原因,所属技术领域需要一种改善非易失性存储器管理的方法。

发明内容

[0007] 本应用的一方面涉及一种用于固态存储装置中的数据收集及压缩的方法,所述方法包含:从用有效数据部分编程的存储器页收集数据;压缩所述所收集的数据;及将所述经压缩数据编程到所述固态存储装置。

[0008] 本应用的另一方面涉及一种存储器装置,其包含:存储器阵列,其组织成多个存储器页及块;及存储器控制电路,其耦合到所述存储器阵列,所述存储器控制电路用于控制所述存储器装置的操作,所述存储器控制电路经配置以读取所述存储器阵列以找到经部分编程的页或块、从所述经部分编程的页或块读取数据、压缩所述所读取数据且将所述经压缩数据编程到所述存储器阵列的替代位置。

附图说明

[0009] 图 1 显示存储器系统的一个实施例的框图,其并入有数据收集及数据压缩方法的一个实施例。

[0010] 图 2 显示根据图 1 的存储器阵列的非易失性存储器阵列的一部分的一个实施例的示意图。

[0011] 图 3 显示用于执行数据收集及数据收缩的方法的一个实施例的流程图。

[0012] 图 4 显示用于读取经压缩数据的方法的一个实施例的流程图。

具体实施方式

[0013] 在本发明的以下详细描述中,参照形成本发明的一部分且其中以图解说明的方式显示可实施本发明的具体实施例的附图。在所述图式中,在全部若干视图中相同编号描述大致类似的组件。充分详细地描述这些实施例以使所属领域的技术人员能够实施本发明。可利用其它实施例并可在不背离本发明范围的情形下做出结构、逻辑及电方面的改变。因此,不应以限制意义考虑以下详细描述,且本发明的范围仅由所附权利要求书及其等效物界定。

[0014] 图 1 图解说明包括固态存储装置 100 的存储器系统 120 的功能性框图。固态存储装置 100 可以是非易失性存储器 100,例如快闪存储器。固态存储装置 100 已被简化以着重于存储器的有助于理解本编程实施例的特征。固态存储装置 100 耦合到外部系统控制器 110。控制器 110 可以是微处理器或某其它类型的控制电路。

[0015] 固态存储装置 100 包括非易失性存储器单元阵列 130,例如在图 2 中所图解说明且随后论述的浮动栅极存储器单元。存储器阵列 130 布置成成排的存取线(例如,字线行)及数据线(例如位线列)。在一个实施例中,存储器阵列 130 的列由存储器单元的串联轴组成。如所属技术领域中所众所周知,单元到位线的连接确定阵列是 NAND 架构、AND 架构还是 NOR 架构。

[0016] 可将存储器阵列 130 组织成存储器块。存储器块的数量通常由存储器装置的大小(即,512MB、1GB)确定。在一个实施例中,每一存储器块由 64 个存储器单元页形成。每一页通常由 2048 个数据字节组成。

[0017] 存储器控制电路 170 可包括压缩/解压缩块 190/ 与其协作以便可压缩正被写入到阵列 130 的未被压缩数据及可解压缩从阵列 130 读取的经压缩数据。压缩/解压缩 190 可通过执行这些任务的硬件电路来实现。替代实施例通过固件例行程序执行压缩/解压缩 190。

[0018] 提供易失性存储器区域(例如,DRAM) 191 以暂时存储数据。控制器 110 使用易失性存储器来暂时存储待写入到存储器阵列 130 的数据,暂时存储从存储器阵列读取的数据,及存储由存储器控制电路 170 使用的其它数据。举例来说,如随后所描述,压缩/解压缩块 190 可使用易失性存储器 191 来存储数据。

[0019] 提供地址缓冲器电路 140 以锁存经由 I/O 电路 160 提供的地址信号。由行解码器 144 及列解码器 146 接收并解码地址信号以存取存储器阵列 130。得益于本描述,所属领域的技术人员将了解,地址输入连接的数目取决于存储器阵列 130 的密度及架构。也就是说,所述地址的数目随着存储器单元计数的增加及库与块计数的增加而增加。

[0020] 固态存储装置 100 通过使用感测放大器电路 150 感测存储器阵列列中的电压或电流改变来读取存储器阵列 130 中的数据。在一个实施例中,感测放大器电路 150 经耦合以读取且锁存来自存储器阵列 130 的行数据。包含数据输入及输出缓冲器电路 160 以用于经由多个数据连接 162 与控制器 110 进行双向数据通信以及地址通信。提供写入电路 155 以将数据写入到存储器阵列。

[0021] 存储器控制电路 170 解码从控制器 110 提供的控制连接 172 上的信号。这些信号用于控制对存储器阵列 130 的操作,包括数据读取、数据写入(编程)及擦除操作。存储器控制电路 170 可以是产生存储器控制信号的状态机、定序器或某其它类型的控制器。控制电路 170 经配置以执行随后论述的数据收集操作。另外,如果压缩/解压缩操作 190 是固件例行程序,那么存储器控制电路 170 经配置以执行压缩/解压缩以及图 3 的方法的实施例。

[0022] 图 2 图解说明 NAND 架构存储器阵列 130 的一部分的示意图,其包含可对其操作随后论述的数据收集及压缩/解压缩的实施例的非易失性存储器单元的串联串。尽管随后论述参照 NAND 存储器装置,但本实施例并不限于此种架构,而是也可用于其它存储器装置架构中。

[0023] 存储器阵列由配置成列(例如,串联串 204、205)的非易失性存储器单元 130(例如,浮动栅极)阵列组成。在每一串联串 204、205 中,以漏极到源极的方式耦合单元 130 的每一者。横跨多个串联串 204、205 的字线 WL0 到 WL31 连接到行中的每一存储器单元的控制栅极以给所述行中的存储器单元的控制栅极加偏压。位线 BL1、BL2 最终连接到感测放大器(未显示),所述感测放大器通过感测特定位线上的电流来检测每一单元的状态。

[0024] 每一存储器单元串联串 204、205 通过源极选择栅极 216、217 耦合到源极线 206 且通过漏极选择栅极 212、213 耦合到个别位线 BL1、BL2。所述源极选择栅极 216、217 由耦合到其等控制栅极的源极选择栅极控制线 SG(S) 218 来控制。漏极选择栅极 212、213 由漏极选择栅极控制线 SG(D) 214 来控制。

[0025] 每一存储器单元可作为单电平单元(SLC)或多电平单元(MLC)进行编程。每一单元的阈值电压(V_t)指示存储于所述单元中的数据。举例来说,在 SLC 中,0.5V 的 V_t 可指示经编程单元而 -0.5V 的 V_t 可指示经擦除单元。MLC 可具有多个 V_t 范围,每一范围指示不同状态。多电平单元可通过将位图案指派给存储于单元上的特定电压范围来利用传统快闪单元的模拟性质。取决于被指派给单元的电压范围的数量,此技术准许每单元存储两个或更多个位。

[0026] 数据压缩(在所属技术领域中也称为源译码)是将原始数据串转变成新数据串的过程,所述新数据串包含与所述原始串相同或大致相同的信息,但其长度是减小的。数据压缩可以是有损的或者无损的。

[0027] 无损数据压缩在使用较少位的同时保留相同原始信息。此类型的数据压缩通常不能实现与有损压缩等量的压缩,但用于如在程序源码中那样不能容忍数据损耗的情形中。典型无损数据压缩算法的实例包括 Lempel-Ziv (LZ) 压缩、DEFLATE、PKZIP 及 GZIP。本发明的实施例不受限于任一类型的压缩/解压缩。

[0028] 图 3 图解说明用于数据收集及压缩的方法的一个实施例的流程图。数据收集操作确定哪些存储器页及/或存储器块仅部分编程 301 有有效数据(有效数据可以是实际上应编程于所述特定页中且还未移动到另一位置的经编程信息)。此可通过读取页/块以确定哪些仅部分地被编程来实现。在另一实施例中,所述经部分编程的页/块可在来自所述页/块的数据的部分被移动时被识别(例如,被用旗标标记)。在此实施例中,可在页或块状态寄存器中设定位,其指示所述页/块的仅一部分保留有效数据。稍后,读取操作仅必须读取所述状态位以找到经部分编程的页/块。

[0029] 通常三种情况可导致存储器页及存储器块部分地被编程。导致经部分编程的存储器页的一个原因是未发生足够写入业务来填充存储器页且控制器写入其具有的数据以使得存储装置可向系统发信号通知操作完成。导致经部分编程的存储器页的另一原因是将一片数据写入到装置上的逻辑块,而相同逻辑块已包含于先前经写入页中。尽管先前经写入块现在是标记为“无效”,但由于所述页现在在其内具有可利用的空点且因此仍为数据收集候选者。最后,较不常见情况是系统将命令发送到装置,指令所述装置使逻辑块无效。如果所述逻辑块是先前填充页的一部分,那么此页现在是数据收集候选者。

[0030] 这些操作可留下仅用未被移动的有效数据部分编程的页或块。数据收集提供读取存储器内容的机会且使压缩成为后台任务。

[0031] 读出这些经部分编程的存储器页/块中的有效数据 302。将所读取数据 302 输入到压缩块且同时输入到固态存储装置的 DRAM。压缩数据所述 303 且将其暂时存储于 DRAM 的不同区中。可使用上文所描述的压缩例行程序的一者或可使用某其它压缩例行程序。可在硬件或者软件中实现所述压缩。

[0032] 在传送完成时,评估所述压缩以确定数据是否可压缩 304。如果数据是不可压缩的 305,那么将未经压缩数据写入到存储器页 306。

[0033] 如果数据是可压缩的 305,那么将经压缩数据与其它经压缩数据组合以填充存储器页 307。在一个实施例中,一个存储器页可包含相当于两页的数据。

[0034] 将经压缩数据用旗标标记为经压缩 308 以便当对其进行读取时,可将其识别为经压缩数据以进行解压缩。此种旗标可包括存储器阵列的单独存储器位置(例如,DRAM 翻译表)或是存储器控制电路的部分的寄存器中的位指示。与经压缩数据相关联的压缩类型也可由在存储器位置/寄存器中的类似位或多位指示来指示。在另一实施例中,压缩写入到存储器阵列的所有数据以使得读取操作解压缩所有所读取数据。

[0035] 图 4 图解说明用于从固态存储装置读取数据的方法的一个实施例。首先从存储器单元读取数据 401。此可通过在以数字方式操作的存储器阵列中从每一单元读取数字图案或是在以模拟方式操作的存储器阵列中确定每一被读取存储器单元的阈值电压来实现。

[0036] 接着确定所读取数据在写入时已被压缩 403 还是所述数据已经处于未经压缩格式。如先前所论述,可假设所有所读取数据处于压缩格式,因此要求针对所有所读取数据解压缩,或需要针对相关联数据读取压缩指示位。在一个实施例中,也可确定所使用的压缩算法的类型,以便在解压缩期间可使用相同解压缩算法。

[0037] 如果数据已被压缩 405,那么接着根据用于压缩其的压缩算法解压缩 407,且将经解压缩数据传送到请求例行程序 411。如果所述数据以未经压缩状态存储 405,那么以与读取相同的形式传送所读取数据 411。

[0038] 结论

[0039] 总的来说,一个或一个以上实施例通过读取残留于经部分编程的存储器块中的有效数据且将所述有效数据分组在一起来执行数据收集,压缩所述有效数据,且将其存储于新存储器块中以使得所述新存储器块被填充。接着擦除所述经部分编程块且将其返回以供将来使用。此有效数据的覆写通常称为写入放大,因为与写入到存储器装置中的原始数据的量相比实际发生的写入量被放大。所得增加的存储器容量通过扩展由存储器控制电路执行的耗损均衡来减小写入放大。

[0040] 尽管本文已图解说明及描述具体实施例,但所属领域的技术人员将了解,任何经计算以达成相同目的的配置均可替代所示具体实施例。所属领域的技术人员将明了本发明的许多修改。因此,此申请案打算涵盖本发明的任何修改或变化形式。本发明明确地打算仅由以上权利要求书及其等效物限定。

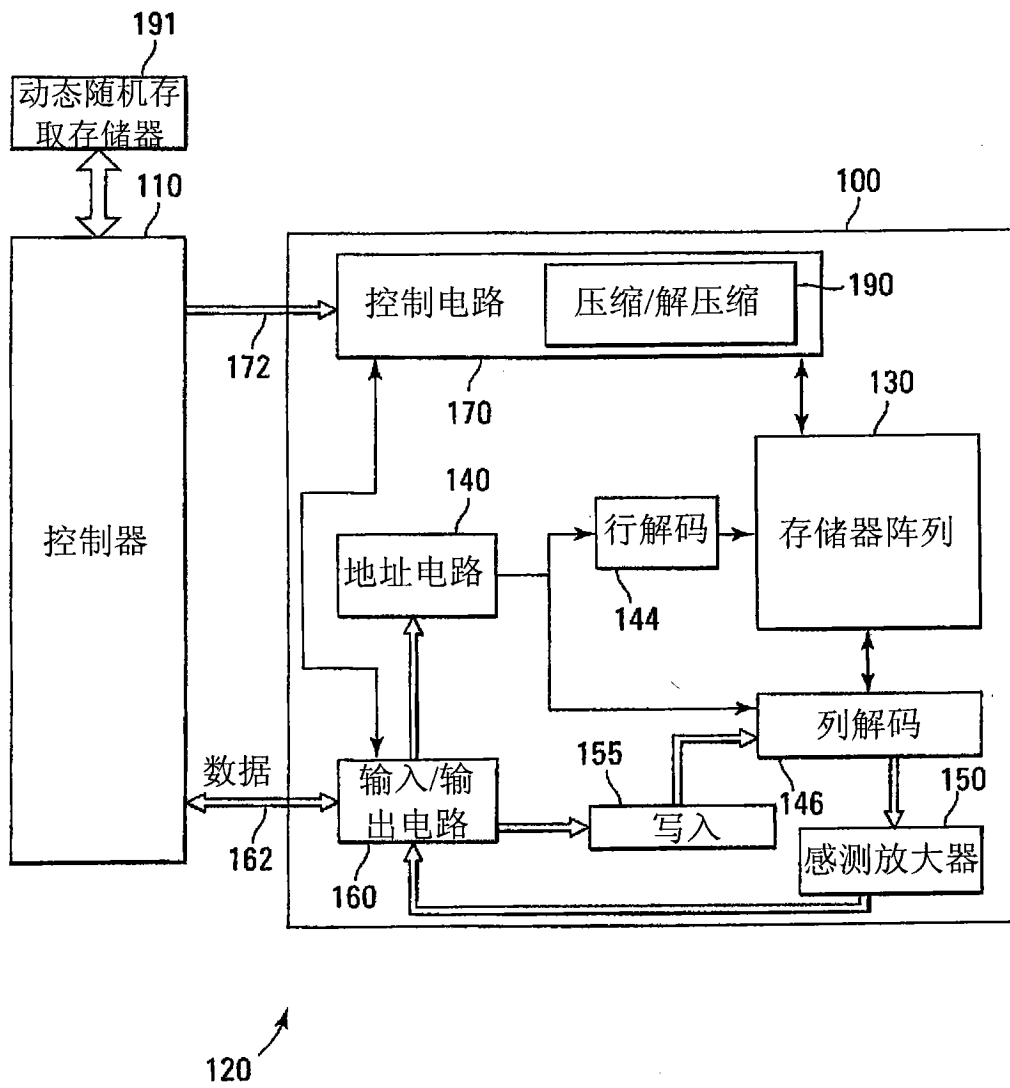


图 1

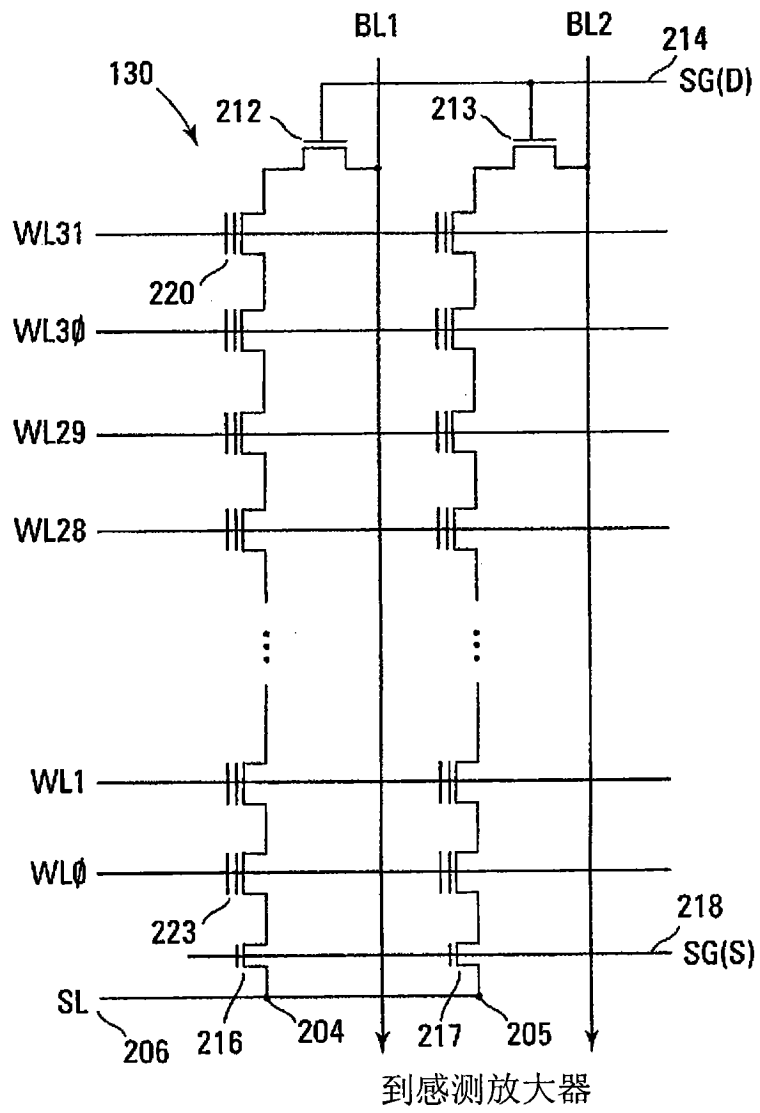


图 2

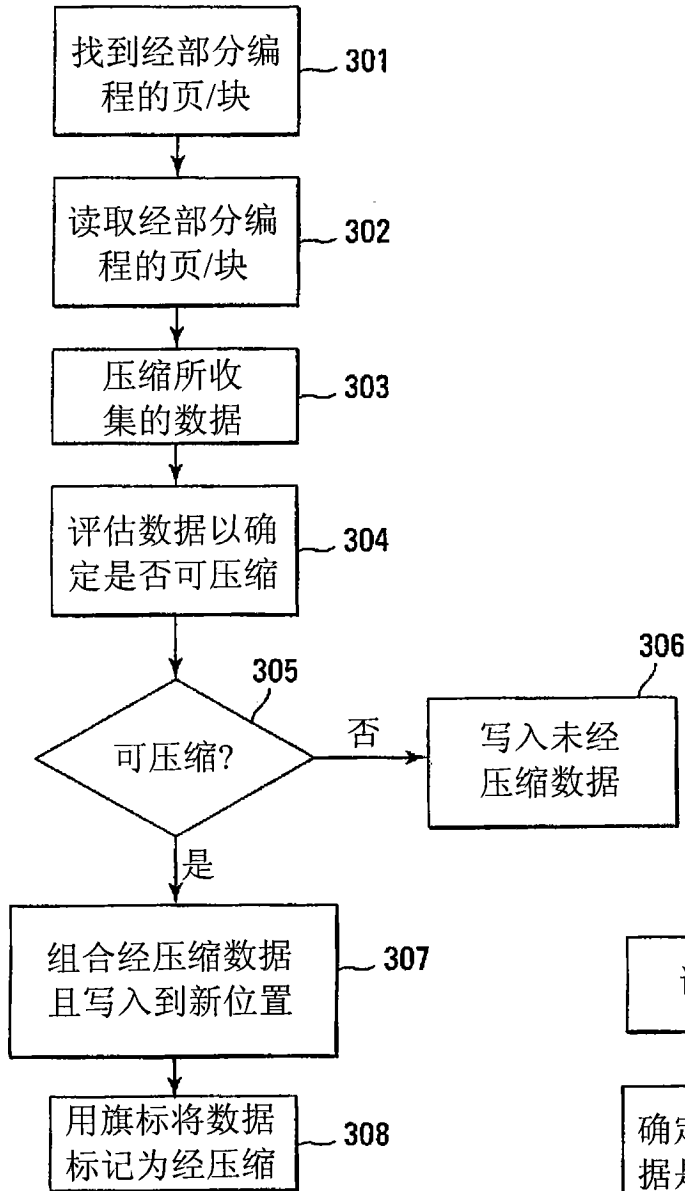


图 3

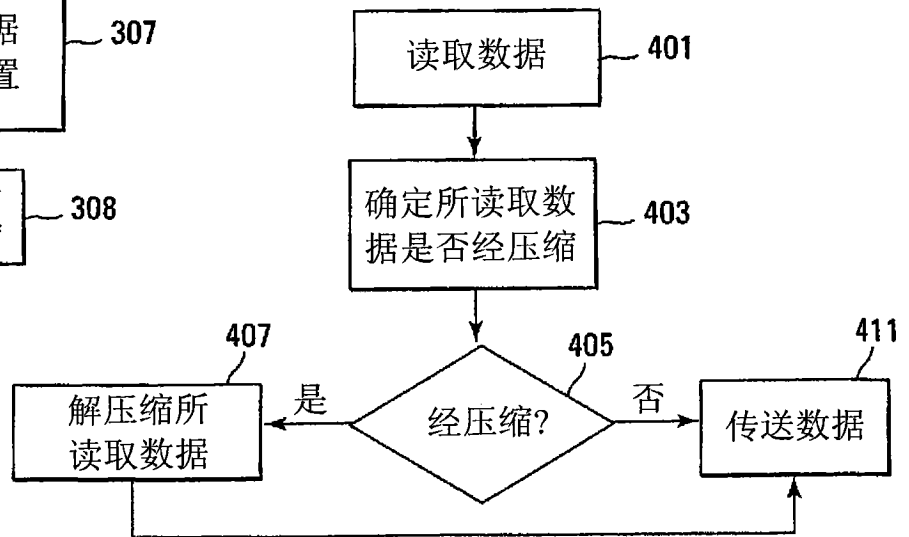


图 4