

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-57739

(P2005-57739A)

(43) 公開日 平成17年3月3日(2005.3.3)

(51) Int. Cl.<sup>7</sup>

H03K 19/0185

H03K 17/567

H03K 17/687

H03M 3/04

F I

H03K 19/00

1 O 1 B

H03M 3/04

H03K 17/56

D

H03K 17/687

F

テーマコード (参考)

5 J O 5 5

5 J O 5 6

5 J O 6 4

審査請求 未請求 請求項の数 20 O L (全 14 頁)

(21) 出願番号 特願2004-204861 (P2004-204861)

(22) 出願日 平成16年7月12日 (2004.7.12)

(31) 優先権主張番号 631703

(32) 優先日 平成15年7月31日 (2003.7.31)

(33) 優先権主張国 米国 (US)

(71) 出願人 399117121

アジレント・テクノロジーズ・インク

AGILENT TECHNOLOGIES,

INC.

アメリカ合衆国カリフォルニア州パロアル

ト ページ・ミル・ロード 395

395 Page Mill Road

Palo Alto, California

U. S. A.

(74) 代理人 100105913

弁理士 加藤 公久

(72) 発明者 ウィリアム・エイチ・コレイ

アメリカ合衆国コロラド州 ロングモント

・フロレンティン・サークル3843

最終頁に続く

(54) 【発明の名称】 精密な振幅と長さを有する高電圧パルスを低電圧エッジから生成するための回路および方法

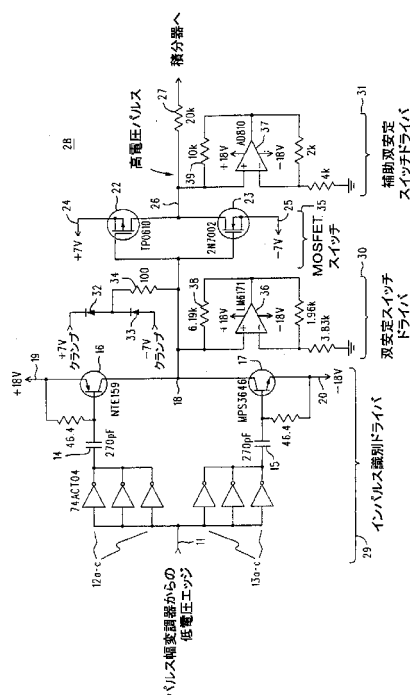
(57) 【要約】

【課題】 精密な振幅と長さを有する高電圧パルスを低電圧エッジから生成する。

【解決手段】

入力極性が交互に変わる入力信号エッジのシーケンスを受信するための入力信号を有するインパルスドライバであって、入力信号エッジを正の過渡インパルスと負の過渡インパルスとに区別し、前記正の過渡インパルスと前記負の過渡インパルスとを別々に増幅し、前記増幅を前記インパルスドライバの共通出力に提供するインパルスドライバと、前記インパルスドライバの共通出力と、ACアースの間に結合されるキャパシタンスと、互いに直列で相補的なFETスイッチの対であって、前記相補的な対は供給電圧に対して並列であり、前記相補的なFETスイッチの対のゲートは各々、前記インパルスドライバの共通出力に接続される相補的なFETスイッチの対と、出力パルスを供給するように結合されたパルス出力である、前記直列で相補的なFETスイッチの対の接合部とを備えるパルス生成装置。

【選択図】 図3



## 【特許請求の範囲】

## 【請求項 1】

極性が交互に変化する入力信号エッジのシーケンスからパルスを生成する方法であって、

前記入力信号エッジの正の遷移を区別する第一のステップと、  
前記第一のステップで区別された正の遷移を増幅するステップと、  
前記入力信号エッジの負の遷移を区別する第三のステップと、  
前記第三のステップで区別された負の遷移を増幅するステップと、  
前記区別され増幅された第二のステップの遷移と、前記区別され増幅された第四のステップの遷移で、キャパシタンスを交互に充電するステップと、  
前記キャパシタンスが第 1 の極性に帯電したときに、オンに切り替えられた第 1 の F E T で負荷を正の電源電圧に駆動する第六のステップと、  
前記キャパシタンスが第 2 の極性に帯電したときに、オンに切り替えられた第 2 の F E T で前記負荷を負の電源電圧に駆動する第七のステップと、  
前記第 1 の F E T と前記第 2 の F E T のうち 1 つは N タイプの F E T であり、もう 1 つは P タイプの F E T である第八のステップとを有する方法。

## 【請求項 2】

前記第 1 の F E T と前記第 2 の F E T は直列であり、前記 F E T の極性は、メイク・ビフォア・ブレイク動作を生成するように選択されることを特徴とする請求項 1 に記載の方法。

## 【請求項 3】

前記第 1 の F E T と前記第 2 の F E T は直列であり、前記 F E T の極性は、ブレイク・ビフォア・メイク動作を生成するように選択されることを特徴とする請求項 1 に記載の方法。

## 【請求項 4】

前記負荷は積分器の入力に結合された抵抗器であり、  
前記第 1 の F E T と前記第 2 の F E T の切り替えが形成する電流パルスを積分するステップをさらに有することを特徴とする請求項 1 に記載の方法。

## 【請求項 5】

極性が交互に変わる入力信号エッジのシーケンスを受信するための入力を有するインパルスドライバであって、入力信号エッジを正の過渡インパルスと負の過渡インパルスとに区別し、前記正の過渡インパルスと前記負の過渡インパルスとを別々に増幅し、前記増幅を前記インパルスドライバの共通出力に提供するインパルスドライバと、  
前記インパルスドライバの共通出力と、A C アースの間に結合されるキャパシタンスと

互いに直列で相補的な F E T スイッチの対であって、前記相補的な対は供給電圧に対して並列であり、前記相補的な F E T スイッチの対のゲートは各々、前記インパルスドライバの共通出力に接続される相補的な F E T スイッチの対と、

出力パルスを供給するように結合されたパルス出力である、前記直列で相補的な F E T スイッチの対の接合部とを備えるパルス生成装置。

## 【請求項 6】

前記相補的な F E T スイッチの対の順序が前記供給電圧と並列の時にメイク・ビフォア・ブレイク動作を生成することを特徴とする請求項 5 に記載の装置。

## 【請求項 7】

前記相補的な F E T スイッチの対の順序が前記供給電圧と並列の時にブレイク・ビフォア・メイク動作を生成することを特徴とする請求項 5 に記載の装置。

## 【請求項 8】

入力を有する積分器をさらに備え、  
前記パルス出力と前記積分器の入力との間に結合された積分器入力抵抗器をさらに備える請求項 5 に記載の装置。

10

20

30

40

50

## 【請求項 9】

前記出力パルスのピークピーク電圧は、前記極性が交互に変化する入力信号エッジのピークピーク電圧より大きいことを特徴とする請求項 5 に記載の装置。

## 【請求項 10】

極性が交互に変化する入力信号エッジのシーケンスからパルスを生成する方法であって、

前記入力信号エッジの遷移を区別する第一のステップと、

前記第一のステップで区別された遷移を増幅する第二のステップと、

前記第二のステップで増幅された遷移に応答して、応答する増幅された遷移の極性によって極性が決定される電流を生成する第三のステップと、

前記第三のステップの電流をノードに結合する第四のステップと、

前記第四のステップのノードにおいて前記電圧を正の値と負の値にクランプする第五のステップと、

前記第四のステップのノードが第 1 の極性にクランプされると、負荷をオンに切り替えられた第 1 の F E T で正の電源電圧に駆動する第六のステップと、

前記第四のステップのノードが第 2 の極性にクランプされると、前記負荷をオンに切り替えられた第 2 の F E T で負の電源電圧に駆動する第七のステップと、

前記第 1 の F E T と前記第 2 の F E T のうち 1 つは N タイプの F E T であり、もう 1 つは P タイプの F E T である第八のステップとを有する方法。

## 【請求項 11】

前記第 1 の F E T と前記第 2 の F E T は直列であり、前記 F E T の極性は、メイク・ビフォア・ブレイク動作を生成するように選択されることを特徴とする請求項 10 に記載の方法。

## 【請求項 12】

前記第 1 の F E T と前記第 2 の F E T は直列であり、前記 F E T の極性は、ブレイク・ビフォア・メイク動作を生成するように選択されることを特徴とする請求項 10 に記載の方法。

## 【請求項 13】

前記負荷は積分器の入力に結合された抵抗器であり、

前記第 1 の F E T と前記第 2 の F E T の切り替えが形成する電流パルスを積分するステップをさらに有する請求項 10 に記載の方法。

## 【請求項 14】

前記負荷を駆動する電圧に応答して、前記負荷に結合され前記負荷を介する電流の大部分を供給する、対応する極性の選択された電流を生成するステップをさらに有する請求項 10 に記載の方法。

## 【請求項 15】

極性が交互に変わる入力信号エッジのシーケンスを受信するための入力を有するインパルスドライバであって、前記入力信号エッジを正の過渡インパルスと負の過渡インパルスに区別し、各過渡を別々に増幅し、前記増幅を前記インパルスドライバの共通出力に提供するインパルスドライバと、

入力を有し、前記入力における正の電圧と負の電圧を選択された量に制限する電圧クランプ回路と、

前記インパルスドライバの共通出力に結合された入力を有し、選択された量と極性の電流を前記電圧クランプ回路の入力に供給する電圧制御式電流源と、

互いに直列で相補的な F E T スイッチの対であって、前記相補的な対は供給電圧と並列であり、前記相補的な F E T スイッチの対のゲートは各々、前記電圧クランプ回路の入力に接続される相補的な F E T スイッチの対と、

出力パルスを供給するように結合されたパルス出力である、前記直列な F E T スイッチの対の接合部と、

を備えるパルス生成装置。

10

20

30

40

50

**【請求項 16】**

前記相補的な F E T スイッチの対の順序が前記供給電圧と並列の時にメイク・ビフォア・ブレイク動作を生成することを特徴とする請求項 15 に記載の装置。

**【請求項 17】**

前記相補的な F E T スイッチの対の順序が前記供給電圧と並列の時にブレイク・ビフォア・メイク動作を生成することを特徴とする請求項 15 に記載の装置。

**【請求項 18】**

入力を有する積分器をさらに備え、

前記パルス出力と前記積分器の入力の間に結合された積分器入力抵抗器をさらに備える請求項 15 に記載の装置。

**【請求項 19】**

前記出力パルスのピークピーク電圧は、前記極性が交互に変化する入力信号エッジのピークピーク電圧より大きいことを特徴とする請求項 15 に記載の装置。

**【請求項 20】**

前記パルス出力に結合された負荷をさらに備え、

電圧制御式電流源であって、前記パルス出力に結合された入力を有し、選択された大きさと極性で前記負荷に結合される電流を生成し、前記負荷に対する電流の大部分を供給する電圧制御式電流源をさらに備える請求項 15 に記載の装置。

**【発明の詳細な説明】****【背景技術】****【0001】**

多くのタイプの電子回路では、精密に定義された幅を有するパルスの使用が一般的である。このようなパルスはデジタル論理で作成できる。このようなパルスを時間的な幅以外にも定義する必要がしばしば生じる。たとえば、パルスの振幅に対しても応答する積分器にパルスを供給するときなどである。このような状況の一般的な例は、精密な幅と電圧のパルスが積分器入力抵抗器を駆動する場合である。このような精密な電流パルスは精密な長さを有するだけでなく、精密な振幅も有しなければならない。これは、積分器に印加される電荷の合計量が（理想的な形状のパルスについて）パルスの長さや振幅との積であるためである。精密な電流パルスは D A C（デジタルアナログコンバータ）などの用途においてしばしば積分器と共に使用される。D A C は研究室の品質のデジタルマルチメータにある精密 A D C（アナログデジタルコンバータ）に使用することができる。

**【発明の開示】****【発明が解決しようとする課題】****【0002】**

現在の 2 つの傾向により、精密なパルスの電流源の設計が困難になった。第 1 の傾向は、より多くの回路を単一の I C（集積回路）上に載せるという傾向である。これはいくつかの点では多くの利点を有するが、使用可能な半導体プロセスの混合を限定し、さらに、電力損失を最小に抑えることが重要になる。第 2 の傾向は第 1 の傾向に応答するもので、この業界が 5 V または 5 V 未満で動作する低電圧高速論理シリーズを開発したことである。高速で位置が精密なパルスエッジをこれらの低電圧論理シリーズで生成することは可能であるが、電流パルスに変換すると、電圧が低いと信号ノイズ比が低減され、望ましくない。設計者は非常にしばしばはるかに高い電圧を使用することを好むが、新しい論理シリーズと関連する低い電圧を使用して精度を低減させるか、または高い電圧を伴う古いプロセス（おそらく入手が難しい）を使用するかを選択を強いられる。第 3 のオプションは、最新の低電圧高速論理シリーズを使用してパルスエッジを生成し、ついでこのパルスエッジを切り替え機構に印加して、レベルを、安定した基準電圧から得られる適切に高い電圧にシフトさせることである。非常に高い精度が求められるシステムで後者の方法を使用すると多くの課題が生じ、この課題をどう処理するか自体が重大な問題になってしまう。

**【課題を解決するための手段】****【0003】**

10

20

30

40

50

精密な振幅と長さの電流パルスのための入力エッジの低電圧源を入力バッファに印加して、低インピーダンス源を提供する。この低インピーダンス源の出力は正のエッジ区別器 (edge differentiator) に A C 結合され、また負のエッジ区別器にも A C 結合される。各区別器は通常はオフである対応するスイッチを短時間の間オンに駆動する。このスイッチの対は相対する極性の第 1 の電源の間に直列に配置され、スイッチの対の接合部はインパルスドライバとしての機能を果たし、第 1 の電源の電圧より小さい、対称的で相対する基準電圧にクランプすることができる。クランプされたインパルスドライバは、結合抵抗器を介して負の第 1 の電源電圧の一定のパーセンテージを印加することによって正のインパルスドライバ電圧に応答する双安定スイッチドライバにも結合できる。双安定スイッチドライバは、結合抵抗器を介して正の第 1 の電源電圧の一定のパーセンテージを印加することによって負のインパルスドライバ電圧に応答する。双安定スイッチドライバは極性が交互に変わる入力エッジが入力バッファに印加されるたびに状態を変える。インパルスドライバはまた、相補的な M O S F E T スwitchの対のゲートにも結合する。この M O S F E T スwitchは相対する極性の精密な基準電圧の間に直列に配置され、共通接合部は電流決定抵抗に接続し、他の端はたとえば積分器などの使用回路に接続することができる。M O S F E T スwitchの出力は、これらの M O S F E T から引き出された負荷電流の量を低減しオン抵抗において温度変動から生じるエラーを低減する、補助の双安定出力ドライバが補助することができる。精密な基準電圧は対称的な相対する基準と同じであってもよい。

10

【発明を実施するための最良の形態】

20

【0004】

次に図 1 を参照すると、アーキテクチャとして知られる電圧測定技術の簡単な構成図 1 が示されている。本明細書の主題はアーキテクチャで使用できるので、まずこのアーキテクチャを簡単に説明する。アーキテクチャ自体は、中程度の性能から最高性能の範囲に渡る、ディジタルマルチメータの中で使用できる (たとえばアジレント 3458A などのマルチメータ)。

【0005】

測定される電圧  $V_{IN}$  2 を加算接合部 3 の + 入力に印加する。加算接合部 3 の出力は積分器 4 に結合する。測定が終了するまでの経過で、平均の値が  $-V_{IN}$  に等しいフィードバックバランス電圧 (9) が生成される。この電圧は加算接合部 3 のほかの入力に印加され、この状態が適切な期間の間続いた場合、加算接合部の出力がゼロになり、積分器の出力は変化を効果的に終了する。積分器の出力は A D C に印加され、 $V_{IN}$  のディジタル表現である (ここでもバランスに達したと仮定する)。ディジタル表現は出力ディスプレイ機構に供給され (または他の所定の使用に供給される)、また D A C にも供給される。D A C はフィードバックバランス電圧 9 を発行する。これはアーキテクチャの非常に簡単な概略であり、入力増幅器や減衰器など、実際のフルスケールの実装に重要な多くの点を無視している。しかし、ここではこの説明で充分である。

30

【0006】

図 1 における発明者らの関心事は、D A C 8 の中で起こる事象である。D A C 8 は、おそらくたとえば 4 桁から 8 桁の 10 進数字を表す多くのビットのディジタル値の集合を受信する。次にたとえば  $-7V \cdots +7V$  などの所定の範囲内のアナログ電圧に戻す必要がある。しばしば行われるように、A D C 6 からのバイナリ表現を使用して、おそらく 3 ボルトから 5 ボルトの低電圧エッジによって精密に幅が定義されるパルスを作成したと仮定する。これらのパルス幅変調入力信号は小さすぎ、加算接合部に供給された入力をキャンセルする 7 ボルトまでの平均値を生成することができない。より小さな振幅パルス幅変調信号 (たとえば 3 から 5 V) を直接使用する場合、 $V_{IN}$  の振幅をスケールダウンしなけばならず、動作の間の信号ノイズ比を上昇させる。したがって、次に進むために、低電圧パルス幅変調信号を垂直に (電圧において) 「伸ばす」必要がある。この方法が図 2 と図 3 に示されている。

40

【0007】

50

次に図 2 を参照すると、低電圧パルス幅変調信号 11 のエッジから精密なパルスを生成するための基本回路の簡単な概略図 10 が示されている。低電圧エッジ 11 は 2 つの部分  
を有するインパルス区別ドライバ回路 (differentiating impulse driver) に印加される。  
この 2 つの部分の各々は、低電圧エッジ 11 の極性の各遷移のためである。バッファ 1  
2、キャパシタ 14、トランジスタ 16 は負の遷移に応答し、バッファ 13、キャパシタ  
15、トランジスタ 17 は正の遷移に応答する。遷移と遷移の間は、トランジスタ 16 と  
17 は通常はオフである。低電圧エッジにおける正の遷移を考える。どちらのキャパシタ  
もこれを区別するが、非常に短時間だけオンになることによってトランジスタ 17 だけが  
遷移に応答し、負の電源 20 から導出された負のインパルスを生成する。時定数は、オン  
時間が、パルス幅期間の最大値または合計値の 2 % から 5 % の範囲になるように選択する 10  
。同様に負の遷移はトランジスタ 16 を短時間だけオンし、正の電源 19 から導出される  
正のインパルスを生成する。

#### 【0008】

トランジスタ 16 と 17 について示された構成の利点は、これらがほとんどオフである  
ことである。これは、消費電力が低減され、熱による挙動の変化が低減されるため望まし  
い。さらに、これらのオン時間は時定数だけの関数であり、パルス幅の関数ではないこと  
を理解されたい。オン時間が入力パルス幅の関数である場合、望ましくない非線形動作に  
つながる可能性がある。

#### 【0009】

トランジスタ 17 がオンになると、短い負のスパイクまたは電圧インパルスがノード 1 20  
8 に現われ、キャパシタ 21 に印加され電荷を与える。この負の電圧により MOSFET  
スイッチ 22 がオンになり、MOSFET スwitch 23 がオフになる。このようにして、  
低電圧エッジ 11 の正の遷移により、正の電源電圧 24 が、抵抗器 27 に印加される出力  
線 26 上の出力パルスの源となる (これにより積分器の電流パルスとなる。積分器は図示  
しない)。出力 26 における正の電圧は、低電圧エッジ 11 における次の負の遷移により  
トランジスタ 16 から正のインパルスが生成され、これによってキャパシタ 21 が以前の  
負の値から放電されて新しい正の値に帯電するまで残る。これによって MOSFET スイ  
ッチ 23 はオンになり、MOSFET スwitch 22 はオフになる。この結果、パルス出力  
線 26 は電源電圧 25 の値にプルされる。キャパシタ 21 は別の部分であってもよく、ま  
たは、MOSFET 22 と 23 のゲートキャパシタンスであってもよく、またはこれらの 30  
組み合わせであってもよい。

#### 【0010】

極性が交互に変わる低電圧エッジ 11 の安定したシーケンスが印加されるとき、2 つの  
MOSFET スwitch 22 と 23 は本当の 3 状態では動作しないことに注意されたい。遷  
移の間に起こりうることを除いては、1 つは常にオンでありもう 1 つは常にオフである。  
しかしこの観察は、インパルス区別ドライバが駆動する MOSFET スwitch が、メイク  
・ビフォア・ブレイク (make-before-break) で動作するか、ブレイク・ビフォア・メイ  
ク (break-before-make) で動作するかという問題には対処しない。どちらも得ることが  
できるが、図示されているのはメイク・ビフォア・ブレイクで動作している。ブレイク  
・ビフォア・メイクを得るためには、2 つの MOSFET スwitch を入れ替えるだけでよい 40  
(これらは相対する極性のチャンネルを有するので相補的な対であることに注意されたい)  
。メイク・ビフォア・ブレイク構成の利点は、MOSFET 22 と 23 に対してより低い  
オンレジスタンスを提供するという点である。

#### 【0011】

次に図 3 を参照する。図 3 は図 2 に示した基本技術の、より洗練された応用の、より詳  
細な概念図 28 である。部品がよく対応する場所では同じ参照番号を使用し、その他の場  
所では新しい参照番号を追加した。回路 28 の基本動作は同じであるので、追加のコンポ  
ーメントが提供する追加の機能のみを論じる。

#### 【0012】

インパルス区別ドライバ 29 の入力バッファは、いくつかの部分と並列に動作させるこ 50

とにより ( 1 2 a から 1 2 c と 1 3 a から 1 3 c ) 非常にロバストになっていることに注意されたい。これは、速度が適切に高速であることと、駆動されるインピーダンスが適切に低いことに調和するものである。たとえば、一実施形態ではパルス幅の範囲は 3 0 0 n s から 1 7 0 0 n s であり、小さなナノ秒の上昇時間と 5 0 0 K H z の反復レートを伴う。

#### 【 0 0 1 3 】

次に注目すべき点は双安定スイッチドライバ 3 0 が追加されたことである。まずこれはアースと、インパルスドライバ 2 9 の 2 つのトランジスタ 1 6 と 1 7 の接合ノード 1 8 の間に接続されている。キャパシタ 2 1 はなくなるが、不可避免的なストレイ ( stray ) とデバイスカパシタンス ( トランジスタ 2 2 と 2 3 について ) は残っている。実際、キャパシタンスをここで電圧貯蔵機構として作用させるより、ノード 1 8 からアースへのキャパシタンスをできるだけ小さくするほうが好ましい。しかし、インパルスドライバ 2 9 からの過渡インパルスによって M O S F E T スイッチ 2 2 と 2 3 から安定したパルス出力を得るためには、「ストア & ホールド ( store-and-hold ) 」機能を行うためになにかが必要である。このなにかが双安定スイッチドライバ 3 0 である。これは増幅器 3 6 周囲に構築された能動ネットワークである。さらに、ノード 1 8 における電圧スイングは抵抗器 3 4 ( ダイオード保存電流制限 ) を介してダイオード 3 2 により + 7 V クランプ電圧にクランプされ、ダイオード 3 3 によって - 7 V クランプ電圧にクランプされている。

#### 【 0 0 1 4 】

双安定スイッチドライバ 3 0 は、+ 7 V クランプ電圧より高い正の電圧または - 7 V クランプ電圧より小さい負の電圧でノード 1 8 を駆動している。双安定スイッチドライバは、インパルスドライバ 2 9 からの対応する極性のインパルスによって 1 つの状態または他の状態からトリガされるかまたは切り替えられる。ついで抵抗器 3 8 を介してノード 1 8 を駆動し ( すなわちクランプダイオード 3 2 と 3 3 のうち 1 つ ) 、ついで、低電圧エッジ 1 1 に次の遷移が起きるまで M O S F E T スイッチ 3 5 の安定した駆動を維持する。

#### 【 0 0 1 5 】

双安定スイッチドライバ 3 0 は電圧駆動式電流源と見ることもできる。ドライバ 3 0 はインパルスドライバが提供する短いが強力な過渡電圧に「従い」、一度摂動すると、関連するクランプ電圧よりも高い電源電圧を有する。しかしクランプ作用の方が強いので、次に、クランプ電圧が過渡インパルス駆動にとって代わる。しかし、電圧応答性の電流源挙動は残り、今度はこれ自体の出力のクランプに応答するようになる。作用はラッチに似ている。

#### 【 0 0 1 6 】

ここで 1 0 0 抵抗器 3 4 の理由が明らかになる。1 0 0 は、インパルスドライバからの大きな過渡電圧がダイオード 3 2 と 3 3 を壊したり関連する電流源を故障させたりするのを防ぐ程度に十分に大きく、しかもクランプ作用と干渉しない程度に十分に小さい。

#### 【 0 0 1 7 】

クランプ作用は次のような理由でエラーの低減のために重要である。M O S F E T スイッチ 3 5 への駆動がクランプされない場合、遷移と遷移の間に低下または他の不定な挙動を示す可能性が非常に高くなる。低下の量はその低下が放置される期間の関数、すなわち、パルス長さの関数である。遷移は所定の低下 ( または他のドリフト ) が起きた後に起き、M O S F E T を切り替える閾値に達するまでに必要な電圧の偏位は低下の量にしたがって場合ごとに異なるため、好ましくない。スルーレートは有限なので、出力パルスについてエッジの配置に対して、パルス幅に依存したタイミングエラーになる。クランプにより、閾値に対するスルーレート / または偏位の効果がすべてのパルスについて一定にすることができ、本質的に効果を相殺するため、問題が解決する。

#### 【 0 0 1 8 】

図 3 に追加された別の要素は、補助的な双安定出力ドライバ 3 1 である。これはもう 1 つの双方向電圧駆動式電流源であり、増幅器 3 7 の周囲に構築され、抵抗器 3 9 を介してノード ( この場合ライン 2 6 ) に結合する。すなわち、M O S F E T 2 2 がオンの時、本

10

20

30

40

50

質的にMOSFET 22と並列な追加の源である補助的な双方向出力ドライバ31が正の電圧（およびその電流）を供給する。代わりにMOSFET 23がオンの時、同様な負の電圧（およびその電流）が供給される。MOSFETスイッチのうち1つがオンの時（既知の $\pm 7V$ を生成する）、関連する出力電圧は、抵抗器27を介して特定の電流を供給するかまたはシンクする（抵抗器27の他端は積分器が提供するバーチャルアースである）。IT供給がほとんどその電流になり、MOSFETスイッチ自体から供給される分はほとんどないように、補助的な双安定出力ドライバ31のコンポーネント値を選択する。補助的な双方向安定出力ドライバ31を有する理由は次の通りである。

#### 【0019】

MOSFET 22と23は各々、約10のオン抵抗を有する。この値が一定であれば悪くはないが、残念なことにこの値は温度の関数として変化し、検出可能な性能の違いを生成してしまう。補助的な双安定出力ドライバ31から追加の駆動を提供することにより（積分器負荷抵抗器27を流れるほとんどの電流は実際、補助的な双方向出力ドライバの作用、すなわちソースとシンクによるものである）、これらの温度による変動を抑制できる。すなわち、ほとんど電流が流れなくなるため、温度可変オン抵抗全体の電圧低下は非常に小さくなる。

#### 【0020】

図3に示す回路28は精密な動作ができる。入力エッジに対する出力パルスのエッジの配置にエラーがあっても、適切に注意すれば、2/10ppmのオーダにできる。集積出力にこの種類の精度を持たせようとする、種々の基準電圧と供給電圧に適切な注意を払い、また全般にコンポーネントの選択にも適切に注意しなければならない。多くの受動コンポーネント値と能動素子の選択の組み合わせがあるが、本開示全体の観点から、図3には、2/10ppm性能仕様に適合する実施形態の実際のコンポーネント値とデバイスの指定子を含めた。

#### 【0021】

最後に、一部の用途では図示されたパルス生成回路がたとえばアースと36ボルトの供給の間でアンバランスな構成で動作するほうが望ましい場合があることを指摘したい。これは種々の他の電圧に適切にシフトさせることで容易に達成できる。また、これを試してみれば、はるかに高い電圧のパルスを生成できることが明らかであろう。

#### 【0022】

本発明を本発明に従う特定の実施形態にて説明してきたが、本発明はこの種の本発明に従う実施形態により限定されるものとして解釈してはならず、特許請求の範囲に従って解釈しなければならない。念のため、以下に、本発明の実施態様を例示列挙する。

#### 【0023】

##### （実施形態1）

極性が交互に変化する入力信号エッジのシーケンスからパルスを生成する方法であって、

- （a）前記入力信号エッジの正の遷移を区別するステップ（15）と、
- （b）前記ステップ（a）で区別された正の遷移を増幅するステップ（17）と、
- （c）前記入力信号エッジの負の遷移を区別するステップ（14）と、
- （d）前記ステップ（c）で区別された負の遷移を増幅するステップ（16）と、
- （e）前記区別され増幅されたステップ（b）の遷移と、前記区別され増幅されたステップ（d）の遷移で、キャパシタンス（21）を交互に充電するステップと、
- （f）前記キャパシタンスが第1の極性に帯電したときに、オンに切り替えられた第1のFET（22）で負荷（27）を正の電源電圧（24）に駆動するステップと、
- （g）前記キャパシタンスが第2の極性に帯電したときに、オンに切り替えられた第2のFET（23）で前記負荷（27）を負の電源電圧（25）に駆動するステップと、
- （h）前記第1のFETと前記第2のFETのうち1つはNタイプのFETであり、もう1つはPタイプのFETであるステップとを有する方法。

#### 【0024】



## (実施形態 2)

前記第 1 の F E T と前記第 2 の F E T は直列であり、前記 F E T の極性は、メイク・ビフォア・ブレイク動作を生成するように選択されることを特徴とする実施形態 1 に記載の方法。

【0025】

## (実施形態 3)

前記第 1 の F E T と前記第 2 の F E T は直列であり、前記 F E T の極性は、ブレイク・ビフォア・メイク動作を生成するように選択されることを特徴とする実施形態 1 に記載の方法。

【0026】

## (実施形態 4)

前記負荷は積分器の入力に結合された抵抗器 ( 2 7 ) であり、

前記第 1 の F E T と前記第 2 の F E T の切り替えが形成する電流パルスを実行するステップをさらに有することを特徴とする実施形態 1 に記載の方法。

【0027】

## (実施形態 5)

極性が交互に変わる入力信号エッジのシーケンスを受信するための入力 ( 1 1 ) を有するインパルスドライバ ( 2 9 ) であって、入力信号エッジを正の過渡インパルス ( 1 5 ) と負の過渡インパルス ( 1 4 ) とに区別し、前記正の過渡インパルスと前記負の過渡インパルスとを別々に増幅し ( 1 7 、 1 6 ) 、前記増幅を前記インパルスドライバの共通出力 ( 1 8 ) に提供するインパルスドライバ ( 2 9 ) と、

前記インパルスドライバの共通出力と、 A C アースの間に結合されるキャパシタンス ( 2 1 ) と、

互いに直列で相補的な F E T スイッチの対 ( 3 5 ) であって、前記相補的な対は供給電圧に対して並列であり、前記相補的な F E T スイッチの対のゲートは各々、前記インパルスドライバの共通出力に接続される相補的な F E T スイッチの対 ( 3 5 ) と、

出力パルスを供給するように結合されたパルス出力である、前記直列で相補的な F E T スイッチの対の接合部 ( 2 6 ) とを備えるパルス生成装置。

【0028】

## (実施形態 6)

前記相補的な F E T スイッチの対の順序が前記供給電圧と並列の時にメイク・ビフォア・ブレイク動作を生成することを特徴とする実施形態 5 に記載の装置。

【0029】

## (実施形態 7)

前記相補的な F E T スイッチの対の順序が前記供給電圧と並列の時にブレイク・ビフォア・メイク動作を生成することを特徴とする実施形態 5 に記載の装置。

【0030】

## (実施形態 8)

入力を有する積分器をさらに備え、

前記パルス出力と前記積分器の入力との間に結合された積分器入力抵抗器 ( 2 7 ) をさらに備える実施形態 5 に記載の装置。

【0031】

## (実施形態 9)

前記出力パルスのピークピーク電圧は、前記極性が交互に変化する入力信号エッジのピークピーク電圧より大きいことを特徴とする実施形態 5 に記載の装置。

【0032】

## (実施形態 10)

極性が交互に変化する入力信号エッジのシーケンスからパルスを生成する方法であって、

( a ) 前記入力信号エッジ ( 1 1 ) の遷移を区別するステップ ( 1 4 、 1 5 ) と、

10

20

30

40

50

(b) 前記ステップ(a)で区別された遷移を増幅するステップ(16、17)と、  
 (c) 前記ステップ(b)で増幅された遷移に応答して、応答する増幅された遷移の極性によって極性が決定される電流を生成するステップと、  
 (d) 前記ステップ(c)の電流をノード(18)に結合するステップと、  
 (e) 前記ステップ(d)のノードにおいて前記電圧を正の値と負の値にクランプするステップ(32、33)と、  
 (f) 前記ステップ(d)のノードが第1の極性にクランプされると、負荷(27)をオンに切り替えられた第1のFET(22)で正の電源電圧に駆動するステップと、  
 (g) 前記ステップ(d)のノードが第2の極性にクランプされると、前記負荷をオンに切り替えられた第2のFET(23)で負の電源電圧に駆動するステップと、  
 (h) 前記第1のFETと前記第2のFETのうち1つはNタイプのFETであり、もう1つはPタイプのFETであるステップとを有する方法。

10

## 【0033】

(実施形態11)

前記第1のFETと前記第2のFETは直列であり、前記FETの極性は、メイク・ビフォア・ブレイク動作を生成するように選択されることを特徴とする実施形態10に記載の方法。

## 【0034】

(実施形態12)

前記第1のFETと前記第2のFETは直列であり、前記FETの極性は、ブレイク・ビフォア・メイク動作を生成するように選択されることを特徴とする実施形態10に記載の方法。

20

## 【0035】

(実施形態13)

前記負荷は積分器の入力に結合された抵抗器(27)であり、

前記第1のFETと前記第2のFETの切り替えが形成する電流パルスを積分するステップをさらに有する実施形態10に記載の方法。

## 【0036】

(実施形態14)

前記負荷を駆動する電圧に応答して、前記負荷に結合され前記負荷を介する電流の大部分を供給する、対応する極性の選択された電流を生成するステップ(31)をさらに有する実施形態10に記載の方法。

30

## 【0037】

(実施形態15)

極性が交互に変わる入力信号エッジのシーケンスを受信するための入力(11)を有するインパルスドライバ(29)であって、前記入力信号エッジを正の過渡インパルスと負の過渡インパルスに区別し(14、15)、各過渡を別々に増幅し(16、17)、前記増幅を前記インパルスドライバの共通出力(18)に提供するインパルスドライバ(29)と、

入力を有し、前記入力における正の電圧と負の電圧を選択された量に制限する電圧クランプ回路(32、33、34)と、

40

前記インパルスドライバの共通出力に結合された入力を有し、選択された量と極性の電流を前記電圧クランプ回路の入力に供給する電圧制御式電流源(30)と、

互いに直列で相補的なFETスイッチの対(35)であって、前記相補的な対は供給電圧と並列であり、前記相補的なFETスイッチの対のゲートは各々、前記電圧クランプ回路の入力に接続される相補的なFETスイッチの対(35)と、

出力パルスを供給するように結合されたパルス出力である、前記直列なFETスイッチの対の接合部(26)と、

を備えるパルス生成装置。

## 【0038】

50

## (実施形態 16)

前記相補的な F E T スイッチの対の順序が前記供給電圧と並列の時にメイク・ビフォア・ブレイク動作を生成することを特徴とする実施形態 15 に記載の装置。

## 【0039】

## (実施形態 17)

前記相補的な F E T スイッチの対の順序が前記供給電圧と並列の時にブレイク・ビフォア・メイク動作を生成することを特徴とする実施形態 15 に記載の装置。

## 【0040】

## (実施形態 18)

入力を有する積分器をさらに備え、

前記パルス出力と前記積分器の入力の間に結合された積分器入力抵抗器(27)をさらに備える実施形態 15 に記載の装置。

## 【0041】

## (実施形態 19)

前記出力パルスのピークピーク電圧は、前記極性が交互に変化する入力信号エッジのピークピーク電圧より大きいことを特徴とする実施形態 15 に記載の装置。

## 【0042】

## (実施形態 20)

前記パルス出力に結合された負荷をさらに備え、

電圧制御式電流源(31)であって、前記パルス出力に結合された入力を有し、選択された大きさと極性で前記負荷に結合される電流を生成し、前記負荷に対する電流の大部分を供給する電圧制御式電流源(31)をさらに備える実施形態 15 に記載の装置。

## 【図面の簡単な説明】

## 【0043】

【図 1】本発明を行う機会を提供する電圧測定アーキテクチャの簡単な構成図である。

【図 2】電流パルスがパルス幅変調信号の低電圧エッジから生成される、図 1 の D A C 機構の一部の簡単な概略図である。

【図 3】図 1 の D A C 機構の一部を概略で示し、さらに精度と線形性を改善した部分的な概略図である。

## 【符号の説明】

## 【0044】

1 アナログディジタル測定アーキテクチャ

2 電圧

3 加算接合部

4 積分器

6 アナログディジタルコンバータ

8 デジタルアナログコンバータ

9 フィードバックバランス電圧

11 低電圧エッジ

12、13 バッファ

14、15、21 キャパシタ

16、17 トランジスタ

18 ノード

19 正の電源

20 負の電源

22、23、35 M O S F E T スイッチ

24 正の電源電圧

25 電源電圧

26 出力線

27、34、38、39 抵抗器

10

20

30

40

50



[illegible]

---

フロントページの続き

(72)発明者 ステファン・ビー・ベンズク

アメリカ合衆国コロラド州 ラブランド ウィンブルトン・ドライブ 2 0 4 3

F ターム(参考) 5J055 AX07 BX16 CX29 DX22 DX56 DX72 DX83 EX02 EX06 EY01  
EY10 EY12 EY17 EY21 EZ01 EZ02 EZ07 EZ16 EZ24 EZ37  
FX05 FX12 FX18 FX37 GX01 GX02  
5J056 AA11 BB16 CC07 CC08 CC10 CC12 CC21 DD02 DD13 DD36  
DD40 DD51 DD55 EE05 EE06 EE08 FF08 GG09  
5J064 AA01 BA03 BC03 BC06 BC07 BC08 BC10 BD01

【要約の続き】