



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201733150 A

(43)公開日：中華民國 106 (2017) 年 09 月 16 日

(21)申請案號：105142018

(22)申請日：中華民國 105 (2016) 年 12 月 19 日

(51)Int. Cl. : H01L31/18 (2006.01)

H01L31/042 (2014.01)

H01L31/036 (2006.01)

H01L31/153 (2006.01)

(30)優先權：2015/12/24 日本

特願 2015-252699

(71)申請人：鐘化股份有限公司 (日本) KANEKA CORPORATION (JP)

日本

(72)發明人：宇都俊彦 UTO, TOSHIHIKO (JP)；吉見雅士 YOSHIMI, MASASHI (JP)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：15 項 圖式數：4 共 40 頁

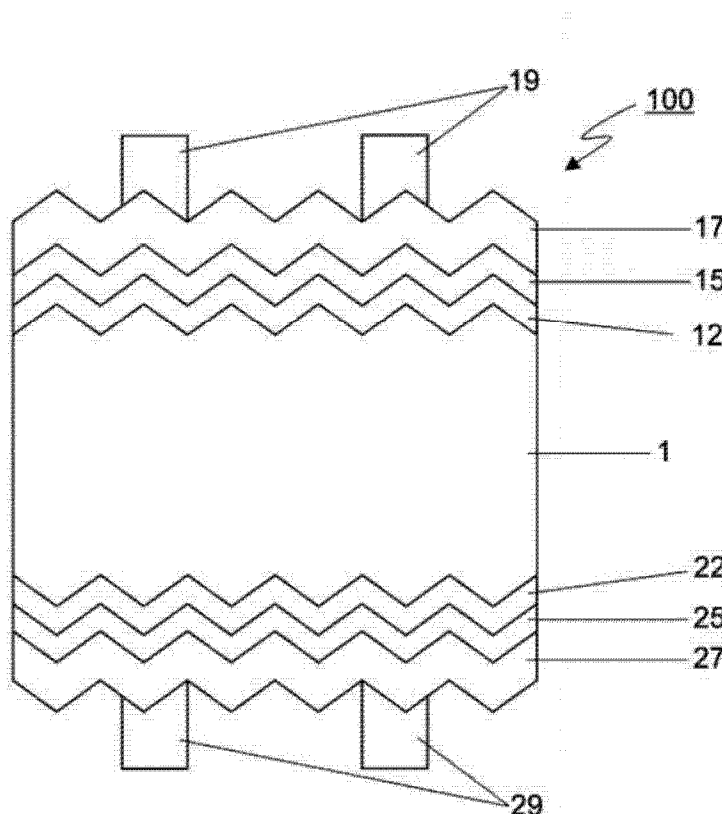
(54)名稱

光電轉換裝置之製造方法

(57)摘要

本發明係於在導電型單晶矽基板(1)上依次具有本徵矽系薄膜(12)及導電型矽系薄膜(15)之結晶矽系太陽電池之製造中，於在導電型單晶矽基板上形成本徵矽系薄膜之後，一面向 CVD 腔室內導入氫氣及含矽氣體，一面進行使本徵矽系薄膜之表面暴露於氫電漿之電漿處理。電漿處理時之向 CVD 腔室內導入之氫導入量為含矽氣體導入量之 150 ~ 2500 倍。

指定代表圖：



符號簡單說明：

1 . . . 矽基板

12 . . . 本徵矽系薄膜

15 . . . 導電型矽系薄膜

17 . . . 透明導電層

19 . . . 金屬電極

22 . . . 本徵矽系薄膜

25 . . . 導電型矽系薄膜

27 . . . 透明導電層

29 . . . 金屬電極

100 . . . 太陽電池

【圖1】



201733150

## 【發明摘要】

申請日: 105/12/19

IPC分類: **H01L 31/18** (2006.01)  
**H01L 31/042** (2014.01)  
**H01L 31/036** (2006.01)  
**H01L 31/153** (2006.01)

## 【中文發明名稱】

光電轉換裝置之製造方法

## 【中文】

本發明係於在導電型單晶矽基板(1)上依次具有本徵矽系薄膜(12)及導電型矽系薄膜(15)之結晶矽系太陽電池之製造中，於在導電型單晶矽基板上形成本徵矽系薄膜之後，一面向CVD腔室內導入氫氣及含矽氣體，一面進行使本徵矽系薄膜之表面暴露於氫電漿之電漿處理。電漿處理時之向CVD腔室內導入之氫導入量為含矽氣體導入量之150~2500倍。

## 【指定代表圖】

圖1

## 【代表圖之符號簡單說明】

- |     |         |
|-----|---------|
| 1   | 矽基板     |
| 12  | 本徵矽系薄膜  |
| 15  | 導電型矽系薄膜 |
| 17  | 透明導電層   |
| 19  | 金屬電極    |
| 22  | 本徵矽系薄膜  |
| 25  | 導電型矽系薄膜 |
| 27  | 透明導電層   |
| 29  | 金屬電極    |
| 100 | 太陽電池    |

## 【發明說明書】

### 【中文發明名稱】

光電轉換裝置之製造方法

### 【技術領域】

本發明係關於一種製造於單晶矽基板表面具有異質界面之結晶矽系光電轉換裝置之方法。

### 【先前技術】

作為轉換效率較高之太陽電池，已知有於單晶矽基板之表面具有非晶質矽薄膜之異質界面太陽電池。於異質界面太陽電池中，藉由在單晶矽基板與導電型矽系薄膜之間插入本徵之矽系薄膜，而獲得存在於結晶矽基板表面之缺陷(主要為矽之懸鍵)之基於氫之終結化等鈍化效果。因此，結晶矽基板表面中之載子再結合得以抑制，而可提高光電轉換效率。

為了進一步提高異質界面太陽電池之轉換效率，提出有使結晶矽基板表面或形成於其上之本徵矽系薄膜暴露於氫電漿之方法(氫電漿處理)。例如，於專利文獻1中，提出有如下內容，即，於在結晶矽基板上形成本徵之非晶質矽系薄膜之前，對結晶矽基板表面進行氫電漿處理，而使基板表面清潔化。

於專利文獻2中，提出有如下方法：於在結晶矽基板上形成膜厚1~10 nm之本徵非晶質矽薄膜之後進行氫電漿處理，然後形成其餘之本徵非晶質矽薄膜。若如此般於形成本徵非晶質矽薄膜之局部之膜厚部分之後進行氫電漿處理，則結晶矽基板表面隔著矽薄膜暴露於氫電漿，故而可抑制對結晶矽基板表面之電漿損傷，並且可使基板表面之缺陷清潔化。

然而，於對本徵非晶質矽薄膜進行氫電漿處理之情形時，存在根據

電漿處理之條件而非晶質矽膜之表面被蝕刻而受到損傷之情形。於專利文獻3及專利文獻4中，提出有如下內容，即，除了於形成本徵非晶質矽薄膜之局部之膜厚部分之後進行氫電漿處理以外，於形成本徵非晶質矽薄膜之全膜厚之後，亦於形成導電型矽薄膜之前，進行氫電漿處理。

於專利文獻3中有如下記載：藉由在形成本徵非晶質矽薄膜之全膜厚之後進行氫電漿處理，而先進行氫電漿處理之界面得到修復，本徵非晶質矽薄膜整體之膜質提高，故而預料轉換效率進一步提高。於專利文獻4中，記載有如下內容，即，除了藉由氫電漿處理所獲得之鈍化效果以外，亦藉由在形成本徵非晶質矽薄膜時一面對矽烷等原料氣體導入2~6倍之氫一面進行CVD(Cheical Vapor Deposition，化學氣相沈積)製膜，而提高鈍化效果。

[先前技術文獻]

[專利文獻]

[專利文獻1]日本專利第2841335號公報

[專利文獻2]WO2012/043124號國際公開說明書

[專利文獻3]日本專利特開2014-72406號公報

[專利文獻4]WO2012/085155號國際公開說明書

### 【發明內容】

[發明所欲解決之問題]

於異質接面太陽電池之製造中，藉由電漿CVD，而於單晶矽基板上形成矽系薄膜。一般地，於結晶矽系太陽電池之量產時，於製膜托盤上載置複數個矽基板，進行藉由電漿CVD而進行之矽系薄膜之製膜。矽系薄膜之製膜中途或製膜後之氫電漿處理可直接於將製膜托盤設置於矽系薄膜

製膜用之CVD腔室內之狀態下實施。

如專利文獻2~4所揭示般，藉由在單晶矽基板上形成本徵矽系薄膜之後進行氫電漿處理，可期待減少界面之缺陷或提高基於膜質改善之異質接面太陽電池之轉換效率。尤其是，有如下傾向：若提高氫電漿處理時之功率密度，則膜質改善效果提高。然而，存在如下情形，即，若將複數個矽基板載置於製膜托盤上進行氫電漿處理，則因CVD腔室內之矽基板之位置之差異而產生轉換特性之差、尤其是開路電壓(Voc)之差，且氫電漿處理時之功率密度越高則該傾向越明顯。

尤其是，判明到如下情況，即，若不進行CVD腔室內之維護而一面更換製膜托盤一面連續地實施複數批次之製膜，則隨著連續製膜批次數之增加，而配置於托盤之中央部附近進行製膜及氫電漿處理之單元與配置於托盤之端部附近進行製膜及氫電漿處理之單元的轉換特性之差變得明顯。

於將複數個單元串聯連接而使太陽電池模組化之情形時，根據表現最小之電流值之單元之電流而將模組之電流限速。於將複數個單元並聯連接而使太陽電池模組化之情形時，根據表現最小之電壓值之單元之電壓而將模組之電壓限速。即，於將複數個單元串聯及/或並聯連接之太陽電池模組中，模組效率受特性最低之單元影響。因此，若單元製作時之批次內或批次間之單元特性之偏差較大，則模組效率大幅降低。

為了減少批次內或批次間之單元特性之偏差，考慮使氫電漿處理時之功率密度降低之方法、或不將基板配置於CVD腔室之製膜面之端部附近而減少製膜面積之方法。然而，有如下傾向：若使氫電漿處理時之功率密度降低，則膜質改善效果降低，而太陽電池之轉換效率降低。又，若使製膜面積減少，則1個批次能夠處理之基板之片數減少，故而生產效率降

低。藉由使連續製膜批次數減少並提高CVD腔室內之維護頻度，能夠減少批次間之各特性之偏差，但裝置之工作率降低，而生產效率大幅降低。

鑒於上述，本發明之目的在於提供一種異質接面太陽電池之製造方法，該異質接面太陽電池之製造方法係藉由本微矽系薄膜之氫電漿處理而提高轉換特性，且即便於連續製膜批次數增加之情形時，亦能夠抑制批次內及批次間之單元特性之偏差，而適合單元之量產。

[解決問題之技術手段]

本發明係關於一種製造結晶矽系太陽電池之方法，該結晶矽系太陽電池係於導電型單晶矽基板之一主面上依次具有本微矽系薄膜及導電型矽系薄膜。於製膜本微矽系薄膜之後，進行使矽系薄膜之表面暴露於氫電漿之電漿處理。藉由在電漿處理時之環境中包含含矽氣體，即便於連續製膜批次數增加之情形時，轉換特性亦較高，且亦可抑制單元特性之偏差。

於本發明之結晶矽系太陽電池之製造方法中，於在CVD腔室內配置有複數個於導電型單晶矽基板上設置有本微矽系薄膜之基板之狀態下，一面向CVD腔室內導入氫氣及含矽氣體，一面進行使本微矽系薄膜之表面暴露於氫電漿之電漿處理。電漿處理時之向CVD腔室內導入之氫導入量為含矽氣體導入量之150~2500倍。

電漿處理時之功率密度較佳為 $55\sim 1000\text{ mW/cm}^2$ 。電漿處理時之功率密度與氫氣之導入量相對於含矽氣體導入量之比之積較佳為 $15000\sim 250000\text{ mW/cm}^2$ 。

電漿處理中之本微矽系薄膜之製膜速率較佳為 $-0.14\sim +0.08\text{ nm/秒}$ 。再者，電漿處理時之製膜速率之符號負係指蝕刻(膜厚之減少)，符號正表示製膜(膜厚之增加)。

電漿處理後之本徵矽系薄膜之膜厚 $d_1$ 與電漿處理前之本徵矽系薄膜之膜厚 $d_0$ 之差 $d_1 - d_0$ 較佳為 $-3 \sim +1.5$  nm。 $(d_1 - d_0)/d_1$ 較佳為 $-0.4 \sim +0.2$ 。

本徵矽系薄膜較佳為一面向CVD腔室內導入含矽氣體，一面藉由電漿CVD而形成。於形成本徵矽系薄膜時，除了含矽氣體以外，亦可將氫導入至CVD腔室內。本徵矽系薄膜形成時之向CVD腔室內導入之氫之導入量較佳為未達含矽氣體導入量之50倍。本徵矽系薄膜之製膜速率較佳為以換算為向平滑面上之製膜速率所得之值計為0.1 nm/秒以上。較佳為本徵矽系薄膜之形成與電漿處理於同一CVD腔室內實施。

本徵矽系薄膜亦可分割為複數個子層而形成。於本徵矽系薄膜自導電型單晶矽基板側依次分割為第一子層至第 $n$ 子層之 $n$ 層子層而形成之情形時，於形成任一子層之後，實施上述電漿處理。較佳為於形成第一子層之後及形成第 $n$ 子層之後實施電漿處理。

上述 $n$ 為2以上之整數。例如，於 $n=2$ 之情形時，第一本徵薄膜係藉由積層第一子層及第二子層而形成。較佳為複數個子層之各者以1~8 nm之膜厚形成。其中，較佳為與矽基板相接之第一子層以1~6 nm之膜厚形成。

#### [發明之效果]

根據本發明之方法，獲得轉換效率較高之結晶矽系太陽電池。又，即便於矽系薄膜之連續製膜批次數增加之情形時，批次內及批次間之單元特性之偏差亦較小，而可使單元之品質穩定化。因此，可減少CVD腔室內之維護頻度而提高太陽電池之生產效率。進而，由於單元特性之偏差較小，故而於將複數個單元電性連接而製作太陽電池模組之情形時，可提高模組特性。

**【圖式簡單說明】**

圖1係一實施形態之結晶矽系光電轉換裝置之模式性剖視圖。

圖2(A)、(B)係用以說明先前技術之氫電漿蝕刻之概念圖。

圖3(A)、(B)係用以說明本發明中之電漿處理之概念圖。

圖4(A)~(D)係用以說明對包括複數個子層之本徵矽系薄膜之電漿處理之概念圖。

**【實施方式】**

圖1係表示結晶矽系太陽電池之一形態之模式性剖視圖。圖1之太陽電池100係於矽基板1之第一主面(p層側)及第二主面(n層側)之各者依次具備本徵矽系薄膜12、22及導電型矽系薄膜15、25。第一主面上之導電型矽系薄膜15與第二主面上之導電型矽系薄膜25具有不同之導電型。即，第一主面上之導電型矽系薄膜15為p型，第二主面上之導電型矽系薄膜25為n型。於導電型矽系薄膜15、25上之各者形成有透明導電層17、27及金屬電極19、29。

矽基板1係n型或p型之導電型單晶矽基板。於將電洞與電子進行比較之情形時，一般而言，電子具有較大之遷移率。因此，於矽基板1為n型單晶矽基板之情形時，有太陽電池之轉換特性變高之傾向。太陽電池100之受光面可為p層側、n層側之任一者。於異質接面太陽電池中，若使受光面側之異質接面為逆接面，則設置較強之電場，而可將光產生載子(電子及電洞)有效率地分離回收。因此，於矽基板為n型之情形時，較佳為將p層側設為受光面。如圖1所示，於在兩者之透明導電層上具備經圖案化之金屬電極之情形時，亦可將p層側及n層側之兩面設為受光面。

自光封閉之觀點而言，較佳為於矽基板1之表面形成有紋理(凹凸構

造)。為了於表面形成紋理，較佳為具有(100)面方位之單晶矽基板。其原因在於，於對單晶矽基板進行蝕刻之情形時，藉由應用(100)面與(111)面之蝕刻速率不同之各向異性蝕刻，而容易地形成紋理構造。

本微矽系薄膜12、22及導電型矽系薄膜15、25係包括矽系材料之薄膜。藉由在單晶矽基板1與導電型矽系薄膜15、25之間具有本微矽系薄膜12、22，而有效地進行矽基板表面之鈍化。為了提高矽基板表面之鈍化效果，較佳為本微矽系薄膜12、22為實質上包括矽及氫之非摻雜氫化矽。作為矽系材料，除了矽以外，還可列舉碳化矽、氮化矽、矽鍺等矽合金。

矽系薄膜之形成方法並無特別限定，較佳為電漿CVD法。於藉由電漿CVD形成矽系薄膜之情形時，由於可於同一腔室內進行矽系薄膜之形成與電漿處理，故而可使步驟簡化。

於藉由電漿CVD形成矽系薄膜時，作為原料氣體，使用 $\text{SiH}_4$ 、 $\text{Si}_2\text{H}_6$ 等含矽氣體。關於原料氣體，亦可將藉由 $\text{H}_2$ 等稀釋所得者導入至腔室內。作為用以形成導電型(p型或n型)之矽系薄膜之摻雜劑氣體，較佳地使用 $\text{B}_2\text{H}_6$ 或 $\text{PH}_3$ 。由於P或B等摻雜劑之添加量可為微量，故而亦可使用摻雜劑氣體預先由原料氣體或 $\text{H}_2$ 等稀釋所得之混合氣體。藉由向上述氣體中添加 $\text{CH}_4$ 、 $\text{CO}_2$ 、 $\text{NH}_3$ 、 $\text{GeH}_4$ 等包含異種元素之氣體，可形成碳化矽、氮化矽、矽鍺等矽合金薄膜。藉由電漿CVD進行之矽系薄膜之製膜條件較佳為基板溫度 $100\sim 300^\circ\text{C}$ 、壓力 $20\sim 2600\text{ Pa}$ 、功率密度 $3\sim 500\text{ mW/cm}^2$ 。

[向矽基板上之矽系薄膜之製膜及電漿處理]

於本發明之製造方法中，對矽基板1之第一主面上之本微矽系薄膜12、及矽基板1之第二主面上之本微矽系薄膜22之任一者之製膜表面進行

電漿處理。電漿處理係一面向CVD腔室內導入氫氣及含矽氣體，一面於含矽之氫環境下實施。以下，就向矽基板1之第一主面上之本微矽系薄膜12之形成及電漿處理進行說明。

#### <本微矽系薄膜之製膜>

本微矽系薄膜12較佳為藉由電漿CVD而製膜。於藉由電漿CVD而製膜本微矽系薄膜之情形時，首先，將矽基板導入至電漿CVD裝置之腔室內。亦可將複數個矽基板載置於製膜托盤等載置構件上而導入至腔室內。又，亦可藉由抽吸方式等將矽基板固定於腔室內之特定位置。藉由將複數個矽基板導入至腔室內，以1個批次進行向複數個矽基板上之製膜，可提高太陽電池之生產效率。

於將矽基板導入至腔室內後，視需要進行基板之加熱。然後，將含矽氣體導入至腔室內，並視需要將氫等稀釋氣體導入至腔室內，於矽基板1上形成本微矽系薄膜12。

本微矽系薄膜12係與矽基板1鄰接之層，且作為矽基板表面之鈍化層發揮作用。為了有效地進行鈍化，本微矽系薄膜12較佳為與矽基板1之界面附近之製膜初始部分為非晶質。因此，本微矽系薄膜12較佳為以高速率進行製膜。本微矽系薄膜之製膜速率較佳為0.1 nm/秒以上，更佳為0.15 nm/秒以上，進而較佳為0.2 nm/秒以上。藉由提高製膜速率，而矽之磊晶生長得以抑制，從而容易形成非晶質膜。

於表面形成有紋理之基板與不具有紋理之平滑基板相比表面積較大，故而形成有紋理之基板上之膜形成速度與向平滑面上之製膜速率相比變小。製膜速率係作為換算為向平滑面上之製膜速率所得之值而求出。向平滑面上之製膜速率可根據於未形成紋理之矽基板或玻璃板等平滑面上以

相同條件進行固定時間之製膜並藉由光譜橢圓偏光法進行測定所得的膜厚而計算。再者，形成有紋理之矽基板上之薄膜之膜厚係將與紋理之斜面垂直之方向設為膜厚方向，藉由剖面之穿透式電子顯微鏡(TEM)觀察而求出。

有如下傾向：藉由減小本微矽系薄膜製膜時之氫導入量(氫之稀釋倍率)，而可提高製膜速率。本微矽系薄膜之製膜時之氫之導入量較佳為未達含矽氣體導入量之50倍。氫導入量更佳為含矽氣體導入量之20倍以下，進而較佳為10倍以下，特佳為6倍以下。本微矽系薄膜亦可不導入氫地進行製膜。藉由調整製膜時之製程壓力或功率密度等，亦可提高製膜速率。

本微矽系薄膜12較佳為以3 nm~15 nm之膜厚製膜。本微矽系薄膜之製膜厚度 $d_0$ 係實施電漿處理之前之膜厚。本微矽系薄膜之製膜厚度更佳為3.5 nm~12 nm，進而較佳為4 nm~10 nm。若本微矽系薄膜之製膜厚度過小，則有對於單晶矽基板之鈍化效果變得不充分或者於對本微矽系薄膜之電漿處理時矽基板之表面容易受到電漿損傷的傾向。本微矽系薄膜之製膜厚度更佳為10 nm以下，進而較佳為8 nm以下。若本微矽系薄膜之膜厚過大，則有因由本微矽系薄膜所引起之光吸收或由電阻增大所引起之電性損耗而導致轉換特性降低的傾向。

#### < 電漿處理 >

於在CVD腔室內配置有複數個於矽基板1上設置有本微矽系薄膜12之基板之狀態下，一面向CVD腔室內導入氫氣及含矽氣體，一面實施電漿處理。藉由電漿處理，而本微矽系薄膜之表面暴露於氫電漿，有太陽電池之轉換特性、尤其是開路電壓(Voc)及填充因數(FF)提高之傾向。於本發

明中，於電漿處理時，除了氫以外還將矽烷等含矽氣體導入至CVD腔室內，藉此，即便於連續製膜批次數增加之情形時，亦可抑制批次內及批次間之特性之偏差。

(先前技術之氫電漿處理)

圖2係表示先前技術之一般之氫電漿處理之概要的概念圖。首先，於矽基板1之主面上，形成膜厚 $d_0$ 之本徵矽系薄膜12(圖2(A))。然後，若一面向CVD腔室內導入氫一面進行電漿放電，則本徵矽系薄膜12之表面暴露於氫電漿，藉由氫電漿蝕刻而膜厚減少(圖2(B))。

於一般之氫電漿蝕刻中，使用氫氣、或氫氣與惰性氣體之混合氣體。有如下傾向：若提高氫電漿蝕刻時之電漿功率密度，則可提高基於氫電漿之鈍化效果。另一方面，根據本發明者等人之研究發現如下傾向：於以高功率密度進行氫電漿處理之情形時，根據腔室內之矽基板之位置(製膜位置)而太陽電池之轉換特性不同，於批次內單元特性產生偏差。尤其是，發現如下傾向：若不進行CVD腔室內之維護而更換矽基板，連續地實施複數批次之製膜，則隨著連續製膜批次數之增加，而轉換特性之偏差變大。

進一步研究後發現如下傾向：配置於腔室內之製膜面之中央附近之基板(載置於製膜托盤之中央附近之基板)與配置於製膜面之端部之基板(載置於製膜托盤之端部之基板)相比，氫電漿蝕刻後之本徵矽系薄膜之膜厚變小。

認為氫電漿蝕刻後之本徵矽系薄膜之膜厚於腔室內之中央附近相對變小係與腔室內之中央附近之電漿蝕刻量相對較大有關。將該情況模式性地示於圖2(B)中。圖2(B)之虛線表示氫電漿蝕刻前之本徵矽系薄膜12。

作為中央附近之電漿蝕刻量相對較大之原因，考慮製膜面內之電漿強度之分佈之影響。矽系薄膜之製膜時，由於電漿功率密度較小，故而製膜面內之電漿功率之分佈較小，而製膜厚度 $d_0$ 之偏差較小。另一方面，認為由於氫電漿蝕刻與非晶質矽薄膜之製膜相比以高功率密度實施，故而製膜面內之電漿強度之分佈變大，電漿強度之面內分佈產生電漿蝕刻量之面內分佈(電漿蝕刻後之本徵矽系薄膜之膜厚分佈)。

於圖2(B)中，箭頭之長度對應於電漿強度，模式性地表示因與端部相比中央部之電漿強度較大而中央部之蝕刻量變大之情況。於圖2(B)中，為了使與電漿強度及膜厚之面內分佈相關之說明簡明化，方便起見，模式性地圖示1片矽基板上之分佈。於下述之圖3及圖4中亦相同。

根據本發明者等人之研究發現如下傾向：隨著連續製膜批次數之增加，批次內之膜厚差擴大，隨之，太陽電池之轉換特性之偏差變大。認為於剛實施腔室內之清掃等維護之後之製膜批次中，製膜面內之電漿強度之分佈較小，故而因氫電漿處理所致之膜厚變化之批次內之差較小。推斷起因於伴隨連續製膜批次數之增加的附著膜向腔室內壁等之之堆積量之增大等，而如圖2(B)模式性地所示，產生電漿強度之面內分佈，與端部附近相比中央部附近之電漿強度變大。

發現如下傾向：於用於太陽電池之矽基板之尺寸(例如6英吋左右)之範圍內，電漿強度之分佈或膜厚之分佈較小，但於以1個批次對複數個矽基板進行處理之情形時，基板間之膜厚分佈變得明顯。發現如下傾向：使用製膜面積較大之大型CVD腔室，1次處理之基板之數量越是增加，批次內之基板間之膜厚分佈越大，於製膜面積為 $0.3 \text{ m}^2$ 以上之情形時該傾向明顯，於為 $0.5 \text{ m}^2$ 以上之情形時特別明顯。

(本發明中之氫電漿處理)

於本發明中，除了氫以外，還一面將含矽氣體導入至CVD腔室內一面進行電漿處理。圖3係表示本發明中之電漿處理之概要之概念圖。首先，於矽基板1之主面上，形成膜厚 $d_0$ 之本徵矽系薄膜12(圖3(A))。然後，一面向CVD腔室內導入氫及含矽氣體一面進行電漿放電，實施電漿處理(圖3(B))。作為含矽氣體，與用於矽系薄膜之製膜之原料氣體相同，使用 $\text{SiH}_4$ 或 $\text{Si}_2\text{H}_6$ 等。

電漿處理時之向CVD腔室內導入之氫導入量設定為含矽氣體導入量之150~2500倍。氫導入量相對於含矽氣體導入量之比(氫稀釋倍率)較佳為200倍以上，更佳為400倍以上，進而較佳為600倍以上。電漿處理時之環境氣體可包含氮、氬、氫等惰性氣體，亦可微量地包含 $\text{B}_2\text{H}_6$ 、 $\text{PH}_3$ 等摻雜劑氣體。電漿處理較佳為於氫濃度為80體積%以上之環境下進行。電漿處理時之氫濃度更佳為90體積%以上，進而較佳為95體積%以上。

電漿處理時之基板溫度較佳為 $100^\circ\text{C} \sim 300^\circ\text{C}$ 。壓力較佳為20 Pa~2600 Pa。就提高基於氫電漿之鈍化效果之觀點而言，電漿處理較佳為較本徵矽系薄膜之製膜時增大氫導入量，並以較高之壓力實施。電漿處理時之壓力更佳為100 Pa以上，進而較佳為150 Pa以上，特佳為200 Pa以上。

就提高基於氫電漿之鈍化效果之觀點而言，電漿功率密度較佳為 $55 \text{ mW/cm}^2$ 以上，更佳為 $60 \text{ mW/cm}^2$ 以上，進而較佳為 $70 \text{ mW/cm}^2$ 以上，特佳為 $80 \text{ mW/cm}^2$ 以上。另一方面，若電漿處理時之功率密度過高，則存在膜厚之控制變得困難之情形。又，若功率密度過高，則存在本徵矽系薄膜之膜質降低或產生對單晶矽基板表面之電漿損傷而導致太陽電池之轉換特性降低之情形。因此，電漿功率密度較佳為 $1000 \text{ mW/cm}^2$ 以下，更佳為

800 mW/cm<sup>2</sup>以下，進而較佳為400 mW/cm<sup>2</sup>以下，特佳為200 mW/cm<sup>2</sup>以下。

一般地，非晶質矽之製膜時之氫氣之導入量設定為含矽氣體之10倍以下。眾所周知，若氫氣之導入量相對於含矽氣體之比(氫稀釋倍率)變大，則產生微晶矽。一般地，微晶矽之製膜時之氫稀釋倍率為30~100倍左右。於本發明中，與一般之矽薄膜之製膜相比，含矽氣體之導入量較少，於高氫濃度之環境下實施電漿處理。因此，認為於本發明中之電漿處理中，藉由氫電漿進行之本微矽系薄膜表面之蝕刻與藉由存在於環境中之含矽氣體進行之CVD製膜同時競爭性地產生。因此，基於電漿處理之膜厚之變化速度(蝕刻速率或製膜速率)係由氫電漿之蝕刻速率與CVD製膜速率之差表示。

如上所述，有如下傾向：隨著連續製膜批次數之增加而產生電漿強度之面內分佈，與端部附近相比中央部附近之電漿強度變大。認為於本發明中之電漿處理中，若產生電漿強度之面內分佈，則於電漿強度相對較大之場所，電漿蝕刻量(蝕刻速率)及基於CVD之矽系薄膜之製膜量(製膜速率)均相對變大。同樣地，認為於電漿強度相對較小之場所，蝕刻速率及製膜速率均相對變小。

藉由如此般於電漿處理時導入含矽氣體，而以補充因氫電漿蝕刻引起之膜厚之減少之方式CVD製膜矽系薄膜。因此，認為即便於產生電漿強度之面內分佈之情形時，本微矽系薄膜之膜厚之偏差亦較小，可減少太陽電池之轉換特性之偏差。又，於本發明中之電漿處理中，由於電漿功率密度或氫導入量(CVD腔室內之氫分壓)與不使用含矽氣體之先前之氫電漿處理同等，故而氫電漿量亦同等。因此，抑制本微矽系薄膜之膜厚之偏

差，並且獲得與先前之氫電漿處理同等之較高之鈍化效果。

於本發明中之電漿處理中，根據導入氣體量或電漿功率密度等條件，可產生膜厚增加之情形(製膜模式)及膜厚減少之情形(蝕刻模式)之任一情形。氫電漿處理中之本徵矽系薄膜之製膜速率較佳為 $-0.14\sim+0.08$  nm/秒，更佳為 $-0.10\sim+0.05$  nm/秒，進而較佳為 $-0.07\sim 0$  nm/秒。再者，製膜速率之符號為負之情形時係蝕刻模式。符號為正之情形時係製膜模式。

就減小電漿處理後之膜厚分佈之觀點而言，電漿處理時之製膜速率理論上較佳為0，但若電漿處理時之製膜速率為 $\pm 0.1$  nm左右之範圍內，則不易產生對太陽電池之特性造成影響之程度之膜厚偏差。另一方面，於電漿處理時膜厚減少之情形時，即以製膜速率為負之蝕刻模式進行電漿處理之情形時，有太陽電池之轉換特性(尤其是開路電壓及填充因數)變高之傾向。

認為開路電壓之提高係起因於藉由暴露於氫電漿而獲得之矽系薄膜之膜質改善(藉由向膜中導入氫而產生之懸鍵之終結等)及界面特性之改善。一般地，有如下傾向：若本徵矽系薄膜之製膜厚度較小，則矽基板之鈍化效果減少，而太陽電池之開路電壓降低。相對於此，認為於藉由電漿處理而減小本徵矽系薄膜之膜厚之情形時，基於膜質改善及界面特性提高而獲得之效果可彌補因膜厚減少所引起之鈍化效果之減少而且有餘，故而開路電壓提高。又，認為藉由基於電漿處理之本徵矽系薄膜之膜質改善及膜厚減少，而本徵矽系薄膜之串聯電阻減少，故而填充因數提高。

有如下傾向：電漿功率密度越大，且氫稀釋倍率越大(含矽氣體導入量越小)，則越容易成為蝕刻模式，而本徵矽系薄膜之膜厚減少。就同時

實現對於本徵矽系薄膜之鈍化效果與膜厚偏差之減少之觀點而言，電漿處理時之功率密度與氫氣之導入量相對於含矽氣體導入量之比(氫稀釋倍率)之積較佳為 $15000\sim 250000\text{ mW/cm}^2$ 之範圍。功率密度與氫稀釋倍率之積更佳為 $20000\sim 200000\text{ mW/cm}^2$ ，進而較佳為 $30000\sim 150000\text{ mW/cm}^2$ ，特佳為 $40000\sim 100000\text{ mW/cm}^2$ 。藉由使功率密度與氫稀釋倍率之積為該範圍內，可將電漿處理之製膜速率調整為上述範圍內。有如下傾向：於功率密度與氫稀釋倍率之積較小之情形時成為製膜模式(製膜速率為正)，於功率密度與氫稀釋倍率之積較大之情形時成為蝕刻模式(製膜速率為負)。

電漿處理後之本徵矽系薄膜之膜厚 $d_1$ 與電漿處理前之本徵矽系薄膜之膜厚 $d_0$ 之差 $d_1 - d_0$ 較佳為 $-3\sim +1.5\text{ nm}$ ，更佳為 $-2.5\sim +0.5\text{ nm}$ ，進而較佳為 $-2\sim 0\text{ nm}$ 。再者，於矽基板之面內，製膜厚度或電漿處理時之膜厚變化量存在偏差之情形時，將面內中央部之 $d_1 - d_0$ 定義為膜厚變化量。又，於以1個批次對複數個矽基板進行蝕刻之情形時，將各矽基板之面內中央部之 $d_1 - d_0$ 之平均值定義為膜厚變化量。電漿處理時之製膜速率係根據 $d_1 - d_0$ 與電漿處理時間來計算。

膜厚變化量 $d_1 - d_0$ 相對於電漿處理前之本徵矽系薄膜之膜厚 $d_0$ 之比 $(d_1 - d_0)/d_0$ 較佳為 $-0.4\sim +0.2$ ，更佳為 $-0.35\sim +0.1$ ，進而較佳為 $-0.3\sim 0$ 。於膜厚變化過大之情形時，存在本徵矽系薄膜之膜質變化變大而基於本徵矽系薄膜之對矽基板之鈍化效果降低之情形。

電漿處理時間較佳為3秒以上，更佳為5秒以上，進而較佳為10秒以上。藉由使電漿處理時間為上述範圍，而獲得基於氫電漿之本徵矽系薄膜之鈍化效果，可期待太陽電池之特性之提高。即便使電漿處理時間過長，亦無法期待鈍化效果之進一步提高，另一方面，存在本徵矽系薄膜之膜厚

分佈變大之情形。因此，電漿處理時間較佳為140秒以下，更佳為100秒以下，進而較佳為60秒以下。

如上所述，為了提高作為矽基板1表面之鈍化層之作用，本微矽系薄膜12之製膜初始部分較佳為非晶質。另一方面，存在本微矽系薄膜12之表面附近藉由暴露於氫電漿而結晶化之情形。

亦可於形成本微矽系薄膜之後不取出基板，而於同一CVD腔室內進行電漿處理。於該情形時，可連續地進行本微矽系薄膜之形成與電漿處理，亦可暫時停止電漿放電。於連續地進行本微矽系薄膜之形成與電漿處理之情形時，為了減少腔室內之含矽氣體濃度，亦可於繼續電漿放電之狀態下停止原料氣體之供給。於形成本微矽系薄膜之後暫時停止電漿放電之情形時，較佳為，於電漿放電停止之狀態下實施腔室內之氣體置換，減少腔室內之原料氣體(含矽氣體)之濃度，於腔室內成為以氫為主成分之氣體環境之後再開始放電，開始電漿處理。

#### [矽系薄膜之製膜及電漿處理之變化例]

於圖3中，示出藉由1次CVD製膜而形成膜厚 $d_0$ 之本微矽系薄膜12之形態，但亦可將本微矽系薄膜12分割為複數個子層而形成。於將本微矽系薄膜分割為複數個子層而形成之情形時，於形成任一子層之後且形成下一層之前，實施上述電漿處理。亦可於形成各子層之後每次實施電漿處理。

於圖4中，表示如下形態，即，將本微矽系薄膜12分割為第一子層121與第二子層122之2層而進行製膜，並於各子層之製膜後實施電漿處理。首先，於矽基板1之主面上，形成第一子層121(圖4(A))。然後，實施電漿處理(圖4(B))。於第一子層121上形成第二子層122(圖4(C))，對第二子層之表面實施氫電漿處理(圖4(D))。

第一子層及第二子層可藉由與上述本徵矽系薄膜之製膜相同之製膜條件而形成。於在矽基板1上形成第一子層121之後且形成第二子層之前進行電漿處理(以下，存在記載為「中間電漿處理」之情形)，藉此可提高本徵矽系薄膜之膜質。認為其原因在於，藉由將本徵矽系薄膜於膜厚方向分割為複數個子層而積層，並於子層之製膜後且下一子層之製膜前進行電漿處理，而與1次製膜本徵矽系薄膜之情形時相比，基於氫電漿之膜質改善效果及於膜厚方向之整體。

藉由在第一子層121之製膜後且第二子層之製膜前進行中間電漿處理，可經由第一子層121而亦對矽基板1之表面帶來基於氫電漿之鈍化效果。又，第一子層係作為減少對矽表面之電漿損傷之保護層而發揮作用。因此，有如下傾向：抑制對矽基板之電漿損傷，並且藉由矽基板表面之鈍化效果或矽與本徵矽系薄膜之界面之缺陷減少效果而太陽電池之轉換特性提高。

第一子層121及第二子層122之製膜厚度較佳為8 nm以下，更佳為6 nm以下，進而較佳為5 nm以下，特佳為4 nm以下。藉由減小各子層之製膜厚度，可遍及子層之膜厚方向整體帶來基於氫電漿之膜質改善效果。第一子層121及第二子層122之製膜厚度較佳為1 nm以上，更佳為1.5 nm以上，進而較佳為2 nm以上。若各子層之製膜厚度過小，則容易產生覆蓋性不良。又，有如下傾向：於各子層之製膜厚度過小之情形時，必須增加為了使本徵矽系薄膜12為特定之膜厚所需之子層之積層數，而生產效率降低。若第一子層121之製膜厚度為上述範圍，則藉由對第一子層之表面之電漿處理，而亦可對矽基板1之表面帶來基於氫電漿之鈍化效果，並且可減少對矽表面之電漿損傷。

於對第一子層121之電漿處理後，形成第二子層122(圖4(C))。於包括該等2個子層之本微矽系薄膜12上，實施電漿處理(圖4(D))。有如下傾向：藉由對本微矽系薄膜12之最表面層即第二子層實施電漿處理，除了基於對於本微矽系薄膜之鈍化效果之膜質改善以外，本微矽系薄膜12與形成於其上之導電型矽系薄膜15之界面接合亦提高。

於圖4中，示出本微矽系薄膜藉由2個子層之積層而形成之例，但本微矽系薄膜亦可藉由3個以上之子層之積層而形成。若子層之積層數 $n$ ( $n$ 為2以上之整數)過大，則存在如下情形，即，因本微矽系薄膜之膜厚增加導致串聯電阻增大，而太陽電池之填充因數降低。又，若子層之積層數 $n$ 較大，則太陽電池之生產效率降低。因此， $n$ 較佳為2~4，更佳為2~3，特佳為 $n=2$ 。

於本微矽系薄膜自矽基板側依次分割為第一子層至第 $n$ 子層之 $n$ 層子層而形成之情形時，較佳為，於形成第一子層至第 $n$ 子層之任一者之後，一面向腔室內導入含矽氣體及氫一面實施電漿處理。

於 $n$ 為3以上之情形時，可僅對1個子層實施電漿處理，亦可對複數個子層實施電漿處理。例如，於 $n=3$ 之情形時，亦可於製膜第一子層之後實施中間電漿處理，於製膜第二子層之後不進行氫電漿處理而製膜第三子層，並對第三子層之表面實施電漿處理。又，亦可於第一子層形成後、第二子層形成後、及第三子層形成後之各個時間實施電漿處理。對各子層之電漿處理之條件既可相同亦可不同。

於 $n$ 為3以上之情形時，亦較佳為對第一子層之表面進行中間電漿處理。有如下傾向：藉由對第一子層之表面進行中間電漿處理，而矽基板表面之鈍化效果或矽基板與本微矽系薄膜之界面之缺陷減少效果提高。

### [導電型矽系薄膜]

於本徵矽系薄膜12上，形成p型矽系薄膜作為導電型矽系薄膜15。有如下傾向：藉由與經實施電漿處理之本徵矽系薄膜相接地設置導電性矽系薄膜，而界面接合變得良好，從而轉換特性提高。導電型矽系薄膜之膜厚較佳為3 nm～20 nm之範圍。

亦可於實施電漿處理之後，不自CVD腔室取出基板，而於同一CVD腔室內形成p型矽系薄膜15。藉由在同一CVD腔室內連續地實施向矽基板上之本徵矽系薄膜及導電型矽系薄膜之形成，可簡化步驟而提高太陽電池之生產效率。若於同一CVD腔室內形成導電型矽系薄膜與本徵矽系薄膜，則存在滯留於腔室內之摻雜劑滲入至本徵矽系薄膜之膜中之情形，但於本徵矽系薄膜之厚度為3 nm以上之情形時雜質不會擴散至矽基板，故而對矽基板表面之鈍化效果造成之影響較小。

以上，以於矽基板1上形成本徵矽系薄膜12及p型矽系薄膜15之情形(p層側之矽系薄膜之形成)為例進行了說明，但於本發明之製造方法中，只要藉由上述方法實施p層側之矽系薄膜之形成及n層側之矽系薄膜之形成之至少任一者即可。尤其是，藉由利用上述方法實施p層側之矽系薄膜之形成，而實現太陽電池之轉換特性之明顯提高。又，藉由利用上述方法形成p層側及n層側之矽系薄膜之兩者，可期待進一步提高轉換特性之效果。

### [透明導電層]

於導電型矽系薄膜15、25上形成透明導電層17、27。透明導電層為導電性氧化物層。作為導電性氧化物，例如，可將氧化鋅、氧化銮、氧化錫等單獨或混合使用。亦可對導電性氧化物添加導電性摻雜劑。例如，作為添加至氧化鋅之摻雜劑，可列舉鋁、鎵、硼、矽、碳等。作為添加至氧

化銦之摻雜劑，可列舉鋅、錫、鈦、鎢、鉬、矽等。作為添加至氧化錫之摻雜劑，可列舉氟等。透明導電層可作為單膜而製膜，亦可製膜複數層。

自透明性與導電性之觀點而言，透明導電層17、27之膜厚較佳為10 nm以上且140 nm以下。透明導電層只要具有向集電極輸送載子所需之導電性即可。若透明導電層之膜厚過大，則存在如下情形，即，因透明導電層之光吸收而透過率減少，成為使太陽電池之轉換特性降低之原因。

作為透明導電層之製膜方法，較佳為濺鍍法等物理氣相沈積法或利用有機金屬化合物與氧或水之反應之化學氣相沈積(MOCVD)等。於任一製膜方法中，均可將藉由熱或電漿放電等所產生之能量利用於製膜。

#### [集電極]

於透明導電層17、27上形成集電極19、29。作為集電極之材料，使用銀、銅、金、鋁、錫等金屬。受光面側之集電極形成為圖案狀。背面側之集電極可形成於透明導電層上之整個面，亦可形成為圖案狀。圖案狀之集電極可藉由導電性漿料之塗佈或鍍覆等而形成。作為向透明導電層上塗佈導電性漿料之方法，可列舉噴墨、網版等印刷法或噴霧等。

#### [模組化]

結晶矽系太陽電池較佳為於供實際使用時模組化。太陽電池之模組化係藉由適當之方法而進行。例如，藉由在集電極經由引板等互連連接器連接匯流排，而形成將複數個太陽電池串聯或並聯連接之太陽電池串。於太陽電池或太陽電池串連接用以與外部線路電性連接之配線，並藉由密封材及玻璃板等密封，藉此獲得太陽電池模組。

於將複數個單元串聯及/或並聯連接而成之太陽電池模組中，模組效率受特性最低之單元之特性影響。如上所述，根據本發明之製造方法，獲

得轉換特性優異且批次內或批次間之轉換特性之偏差較少之結晶矽系太陽電池。於將藉由本發明之製造方法而獲得之複數個單元模組化之情形時，由於單元間之電壓或電流之偏差較小，故而可將模組效率維持為較高。

#### [實施例]

以下，藉由實施例具體地對本發明進行說明，但本發明並不限定於以下實施例。

#### [測定方法]

形成於未形成紋理之矽基板上之薄膜之膜厚係使用光譜式橢圓偏光儀(J.A.Woollam公司製造，型號：M2000)而測定。擬合係藉由Tauc-Lorentz模型而進行。形成於形成有紋理之矽基板上之薄膜之膜厚係藉由剖面之穿透式電子顯微鏡(TEM)觀察而求出。關於形成於形成有紋理之矽基板表面之層，將與紋理之斜面垂直之方向設為膜厚方向。

#### [製膜實驗例：因電漿處理所致之膜厚偏差之評估]

於未形成紋理之平坦之矽基板上，藉由電漿CVD製膜非晶質矽薄膜，確認因製膜托盤上之位置所引起之膜厚之差異。作為矽基板，使用如下矽基板，該矽基板係將入射面之面方位為(100)且厚度200  $\mu\text{m}$ 之6英吋n型單晶矽晶圓於丙酮中洗淨，於2重量%之HF水溶液中浸漬3分鐘而將表面之氧化矽膜去除，並藉由超純水進行沖洗所得者。

#### < 實驗例1 >

#### (第1批次之製膜)

於能夠載置25片(5列，5行)矽基板之製膜托盤(托盤面積：0.93  $\text{m}^2$ 、製膜面之面積：0.67  $\text{m}^2$ )上之面內中央部(3，3位址)及端部(1，1位址)之各者，載置矽基板。將載置有矽基板之托盤向CVD腔室內導入，於基板

溫度 $150^{\circ}\text{C}$ 、壓力 $120\text{ Pa}$ 、 $\text{H}_2/\text{SiH}_4$ 流量比 $10/3$ 、功率密度 $11\text{ mW}/\text{cm}^2$ 之條件(以下，將該條件記載為「製膜條件」)下，進行15秒鐘製膜，形成膜厚約 $5\text{ nm}$ 之本徵矽薄膜(第一子層)。

於製膜第一子層之後，暫時停止電漿放電。停止 $\text{SiH}_4$ 之供給，僅將氫氣向CVD腔室導入，進行氣體置換。於進行氫氣置換30秒鐘之後，向腔室內供給 $\text{SiH}_4$ ，再開始電漿放電。於基板溫度 $150^{\circ}\text{C}$ 、壓力 $520\text{ Pa}$ 、功率密度 $100\text{ mW}/\text{cm}^2$ 之條件(以下，將該條件記載為「電漿處理條件」)下，進行電漿處理。電漿處理時之 $\text{SiH}_4$ 氣體之供給量係以 $\text{H}_2/\text{SiH}_4$ 流量比成為 $2000/1$ 之方式進行調整。

於進行20秒鐘之電漿處理之後暫時停止電漿放電，以 $\text{H}_2/\text{SiH}_4$ 流量比成為 $10/3$ 之方式將 $\text{SiH}_4$ 向CVD腔室導入而進行氣體置換。然後，再開始電漿放電，於製膜條件下進行15秒鐘製膜，於電漿處理後之第一子層上形成膜厚約 $5\text{ nm}$ 之本徵矽薄膜(第二子層)。以此方式，形成包括第一子層與第二子層之膜厚約 $8\text{ nm}$ 之第一本徵矽薄膜。再者，本徵矽薄膜之膜厚小於第一子層與第二子層之製膜厚度之合計係起因於第一子層藉由第一子層製膜後之電漿處理被蝕刻而膜厚減少。

於形成本徵矽薄膜之後，暫時停止電漿放電，停止 $\text{SiH}_4$ 之供給，僅將氫氣向CVD腔室導入，並進行氣體置換約30秒鐘。然後，向腔室內供給 $\text{SiH}_4$ ，再開始電漿放電，於電漿處理條件下，進行20秒鐘之電漿處理。電漿處理時之 $\text{SiH}_4$ 氣體之供給量係與對第一子層之電漿處理同樣地，以 $\text{H}_2/\text{SiH}_4$ 流量比成為 $2000/1$ 之方式進行調整。

於本徵矽薄膜上，於基板溫度 $150^{\circ}\text{C}$ 、壓力 $60\text{ Pa}$ 、含有 $\text{B}_2\text{H}_6$ 之 $\text{H}_2/\text{SiH}_4$ 之流量比為 $3/1$ 、功率密度 $11\text{ mW}/\text{cm}^2$ 之條件下，形成膜厚約 $4\text{ nm}$

之p型矽薄膜。作為含有 $B_2H_6$ 之 $H_2$ ，使用藉由 $H_2$ 將 $B_2H_6$ 濃度稀釋為5000 ppm之混合氣體。

(第2~9批次之製膜)

第1批次之製膜結束後，將製膜托盤自CVD裝置取出，於製膜托盤上之面內中央部及端部之各者載置其他矽基板，進行第2批次之製膜。於第2批次之製膜中，與第1批次同樣地，進行約5 nm之第一子層之形成、對第一子層之電漿處理、約5 nm之第二子層之形成、對第二子層之電漿處理及p型矽薄膜之形成之一系列操作。重複該等一系列操作，進行製膜直至第9批次為止。

(第10批次之製膜及膜厚測定)

於第10批次中，與第1~9批次同樣地，進行第一子層之形成、對第一子層之電漿處理、第二子層之形成、對第二子層之電漿處理。然後，不形成p型矽薄膜，而將製膜托盤自CVD裝置取出。藉由光譜橢圓偏光法而測定載置於托盤之中央部及端部之各者之矽基板之中央附近之本徵矽薄膜之膜厚。

(第11~第999批次之製膜)

於與第1~9批次相同之條件下，重複一系列操作，進行第11~第999批次之製膜。

(第1000批次之製膜及膜厚測定)

於第1000批次之製膜中，於進行第一子層之形成、對第一子層之電漿處理及第二子層之形成之後，將製膜托盤自CVD裝置取出，藉由光譜橢圓偏光法而測定矽基板之中央附近之本徵矽薄膜之膜厚。將該膜厚設為電漿處理前之膜厚 $d_0$ 。然後，於製膜托盤上之面內中央部及端部之各者載

置其他矽基板，進行第一子層之形成、對第一子層之電漿處理、第二子層之形成、對第二子層之電漿處理，然後將製膜托盤自CVD裝置取出，藉由光譜橢圓偏光法而測定矽基板之中央附近之本徵矽薄膜之膜厚。將該膜厚設為電漿處理後之膜厚 $d_1$ 。

< 實驗例2~4、比較實驗例1~4 >

以電漿處理時之 $H_2/SiH_4$ 流量比分別成為1000/1(實驗例2)、500/1(實驗例3)、200/1(實驗例4)、100/1(比較實驗例1)、50/1(比較實驗例2)、3000/1(比較實驗例3)之方式，變更 $SiH_4$ 之導入量。於比較實驗例4中，不導入 $SiH_4$ ，僅導入氫而實施對第一子層及第二子層之電漿處理(氫電漿蝕刻)。發現隨著電漿處理時之 $SiH_4$ 之導入量之增加而蝕刻速率變小之傾向，於實驗例4、比較實驗例1及比較實驗例2中，藉由電漿處理而膜厚增大。電漿處理時之製膜速率如表1所示。關於表1之製膜速率，正表示製膜，負表示蝕刻。

於該等實驗例中，變更本徵矽系薄膜之製膜時間，以電漿處理後之膜厚 $d_1$ 成為與實驗例1同等之方式進行調整。關於第一子層及第二子層之製膜時間，實驗例2設為12秒，實驗例3設為10秒，實驗例4設為9秒，比較實驗例1設為7秒，比較實驗例2設為6秒，比較實驗例3設為21秒，比較實驗例4設為26秒。將各實驗例中之第一子層與第二子層之合計製膜時間示於表2。

除了如上述般變更本徵矽薄膜之製膜時間及電漿處理時之 $SiH_4$ 導入量以外，以與實驗例1相同之方式，重複矽薄膜於矽基板上之製膜，測定第10批次及第1000批次之本徵矽薄膜之膜厚。

< 實驗例5 >

將電漿處理時之功率密度變更為 $30 \text{ mW/cm}^2$ ，將第一子層及第二子層之製膜時間變更為11秒。除了該等變更以外，以與實驗例1相同之方式，重複矽薄膜於矽基板上之製膜，測定第10批次及第1000批次之本徵矽薄膜之膜厚。

#### <比較實驗例5>

將電漿處理時之功率密度變更為 $30 \text{ mW/cm}^2$ ，將第一子層及第二子層之製膜時間變更為17秒。除了該等變更以外，以與比較實驗例4相同之方式，重複矽薄膜於矽基板上之製膜與氫電漿蝕刻，測定第10批次及第1000批次之本徵矽薄膜之膜厚。

#### <實驗例6>

於製膜條件下進行25秒之製膜，形成膜厚約 $8 \text{ nm}$ 之本徵矽薄膜之後，暫時停止電漿放電。停止 $\text{SiH}_4$ 之供給，僅將氫氣向CVD腔室導入，進行腔室內之氣體置換。進行氫氣置換30秒鐘之後，向腔室內供給 $\text{SiH}_4$ ，再開始電漿放電，進行20秒鐘之電漿處理。電漿處理時之 $\text{SiH}_4$ 氣體之供給量以 $\text{H}_2/\text{SiH}_4$ 流量比成為2000/1之方式進行調整。然後，於本徵矽薄膜上形成p型矽薄膜。即，於實驗例6中，不進行非晶質矽薄膜之製膜中途之電漿處理(中間電漿處理)，而進行1次製膜與1次電漿處理之後，進行p層之製膜。重複該等一系列操作，測定第10批次及第1000批次之本徵矽薄膜之膜厚。

#### <比較實驗例6>

於製膜條件下進行20秒之製膜，形成膜厚約 $6 \text{ nm}$ 之本徵矽薄膜。然後，不進行電漿處理，而於本徵矽薄膜上形成p型矽薄膜。重複該等一系列操作，測定第10批次及第1000批次之本徵矽薄膜之膜厚。

## &lt;評估結果&gt;

表1係以一覽表之形式表示「製膜條件」及「電漿處理條件」中之氫稀釋倍率、功率密度、壓力、基板溫度、及製膜速率者。

[表1]

|        | H <sub>2</sub> /SiH <sub>4</sub> | 功率密度<br>(mW/cm <sup>2</sup> ) | 壓力<br>(Pa) | 基板溫度<br>(°C) | 製膜速率<br>(nm/秒) |       |
|--------|----------------------------------|-------------------------------|------------|--------------|----------------|-------|
| 製膜條件   | 3.3                              | 11                            | 120        | 150          | 0.23           |       |
| 電漿處理條件 | 3000                             | 100                           | 520        |              | -0.20          |       |
|        | 2000                             |                               |            |              | -0.08          |       |
|        | 1000                             |                               |            |              | -0.06          |       |
|        | 500                              |                               |            |              | 0              |       |
|        | 200                              |                               |            |              | 0.05           |       |
|        | 100                              |                               |            |              | 0.09           |       |
|        | 50                               |                               |            |              | 0.13           |       |
|        | ∞                                |                               |            |              | -0.28          |       |
|        | 2000                             |                               |            |              | 30             | -0.03 |
|        | ∞                                |                               |            |              |                | -0.10 |

於表2中表示實驗例及比較實驗例中之本徵矽薄膜之製膜時間(製膜第一子層與第二子層之情形時為合計製膜時間)、中間電漿處理之有無、及電漿處理之條件、以及膜厚測定結果。批次內膜厚偏差係將各批次中之於托盤端部進行製膜之基板上之本徵矽薄膜之膜厚(T<sub>e</sub>)與於托盤中央部進行製膜之基板上之本徵矽薄膜之膜厚(T<sub>c</sub>)之差以百分率表示所得者。批次間膜厚偏差係將第10批次之膜厚(T<sub>10</sub>)與第1000批次之膜厚(T<sub>1000</sub>)之差以百分率表示所得者。

$$\text{批次內膜厚偏差(\%)} = 100 \times (T_e - T_c) / T_c$$

$$\text{批次間膜厚偏差(\%)} = 100 \times (T_{10} - T_{1000}) / T_{1000}$$

[表2]

|            | 製膜            | 電漿處理                             | 膜厚測定結果     |                |                |                |                                    |                                |
|------------|---------------|----------------------------------|------------|----------------|----------------|----------------|------------------------------------|--------------------------------|
|            | 合計製膜時間<br>(秒) | H <sub>2</sub> /SiH <sub>4</sub> | 基板位置       | 第10批次          | 第1000批次        |                | 批次間<br>d <sub>1</sub><br>偏差<br>(%) |                                |
|            | 中間電漿處理        | 功率密度<br>(mW/cm <sup>2</sup> )    |            | d <sub>1</sub> | d <sub>0</sub> | d <sub>1</sub> |                                    | d <sub>1</sub> -d <sub>0</sub> |
| 實驗例1       | 30            | 2000                             | 端部(nm)     | 6.15           | 7.73           | 6.12           | -1.61                              | 0.5                            |
|            |               |                                  | 中央部(nm)    | 6.13           | 7.72           | 6.10           | -1.62                              | 0.5                            |
|            | 有             | 100                              | 批次內膜厚偏差(%) | 0.3            | 0.1            | 0.3            |                                    |                                |
| 實驗例2       | 24            | 1000                             | 端部(nm)     | 6.16           | 7.38           | 6.16           | -1.22                              | 0.0                            |
|            |               |                                  | 中央部(nm)    | 6.14           | 7.39           | 6.13           | -1.26                              | 0.2                            |
|            | 有             | 100                              | 批次內膜厚偏差(%) | 0.3            | -0.1           | 0.5            |                                    |                                |
| 實驗例3       | 20            | 500                              | 端部(nm)     | 6.18           | 6.19           | 6.18           | -0.01                              | 0.0                            |
|            |               |                                  | 中央部(nm)    | 6.19           | 6.19           | 6.20           | 0.01                               | -0.2                           |
|            | 有             | 100                              | 批次內膜厚偏差(%) | 0.2            | 0.0            | 0.3            |                                    |                                |
| 實施例4       | 18            | 200                              | 端部(nm)     | 6.21           | 5.22           | 6.20           | 0.98                               | 0.2                            |
|            |               |                                  | 中央部(nm)    | 6.23           | 5.18           | 6.21           | 1.03                               | 0.3                            |
|            | 有             | 100                              | 批次內膜厚偏差(%) | 0.3            | 0.8            | 0.2            |                                    |                                |
| 比較實驗<br>例1 | 14            | 100                              | 端部(nm)     | 6.10           | 4.38           | 6.19           | 1.81                               | -1.5                           |
|            |               |                                  | 中央部(nm)    | 6.19           | 4.46           | 6.27           | 1.81                               | -1.3                           |
|            | 有             | 100                              | 批次內膜厚偏差(%) | 1.5            | -1.8           | 13             |                                    |                                |
| 比較實驗<br>例2 | 12            | 50                               | 端部(nm)     | 6.11           |                | 6.12           |                                    | -0.2                           |
|            |               |                                  | 中央部(nm)    | 6.18           | N.D.           | 6.29           |                                    | -1.7                           |
|            | 有             | 100                              | 批次內膜厚偏差(%) | 1.1            |                | 2.7            |                                    |                                |
| 比較實驗<br>例3 | 42            | 3000                             | 端部(nm)     | 6.24           |                | 6.19           |                                    | 0.8                            |
|            |               |                                  | 中央部(nm)    | 6.01           | N.D.           | 5.52           |                                    | 8.9                            |
|            | 有             | 100                              | 批次內膜厚偏差(%) | 3.8            |                | 12.1           |                                    |                                |
| 比較實驗<br>例4 | 52            | ∞                                | 端部(nm)     | 6.17           | 11.1           | 6.11           | -4.99                              | 1.0                            |
|            |               |                                  | 中央部(nm)    | 6.15           | 11.0           | 5.31           | -5.69                              | 15.8                           |
|            | 有             | 100                              | 批次內膜厚偏差(%) | 0.3            | 0.9            | 15.1           |                                    |                                |
| 實驗例5       | 22            | 2000                             | 端部(nm)     | 6.17           | 6.70           | 6.11           | -0.59                              | 1.0                            |
|            |               |                                  | 中央部(nm)    | 6.11           | 6.68           | 6.07           | -0.61                              | 0.7                            |
|            | 有             | 30                               | 批次內膜厚偏差(%) | 1.0            | 0.3            | 0.7            |                                    |                                |
| 比較實驗<br>例5 | 34            | ∞                                | 端部(nm)     | 6.17           |                | 6.11           |                                    | 1.0                            |
|            |               |                                  | 中央部(nm)    | 6.10           | N.D.           | 5.63           |                                    | 8.3                            |
|            | 有             | 30                               | 批次內膜厚偏差(%) | 1.1            |                | 8.5            |                                    |                                |
| 實驗例6       | 25            | 2000                             | 端部(nm)     | 6.17           | 7.71           | 6.12           | -1.59                              | 0.8                            |
|            |               |                                  | 中央部(nm)    | 6.15           | 7.72           | 6.10           | -1.62                              | 0.8                            |
|            | 無             | 100                              | 批次內膜厚偏差(%) | 0.3            | -0.1           | 0.3            |                                    |                                |
| 比較實驗<br>例6 | 20            | -                                | 端部(nm)     | 6.23           |                | 6.08           |                                    | 2.5                            |
|            |               |                                  | 中央部(nm)    | 6.19           | N.D.           | 6.03           |                                    | 2.7                            |
|            | 無             |                                  | 批次內膜厚偏差(%) | 0.6            |                | 0.8            |                                    |                                |

如表1所示，可知於僅導入氫之電漿處理(氫電漿蝕刻)中，蝕刻速率

較大，相對於此，除了氫以外藉由導入SiH<sub>4</sub>而蝕刻速率變小。於電漿功率密度為100 mW/cm<sup>2</sup>之情形時，於氫稀釋倍率500倍以下，製膜速率為正(製膜模式)。又，根據電漿處理時之功率密度100 mW/cm<sup>2</sup>之情形(實驗例1)與30 mW/cm<sup>2</sup>之情形(實驗例5)之對比，可知功率密度越大，則製膜速率越小(蝕刻速度越大)。根據該等結果可知，藉由調整電漿處理時之H<sub>2</sub>/SiH<sub>4</sub>流量比及電漿功率密度，可任意地調整製膜速率(蝕刻速率)。

根據表2之結果可知，於電漿處理時僅導入氫之比較實驗例4、5中，於第1000批次中，因電漿處理所引起之中央部之膜厚減少量較大，批次內之膜厚偏差明顯增大。於使電漿處理時之H<sub>2</sub>/SiH<sub>4</sub>流量比為3000/1之比較實驗例3中，亦發現，於第1000批次中，因電漿處理所引起之中央部之膜厚減少量較大，批次內膜厚偏差明顯增大。

相對於此，於使電漿處理時之H<sub>2</sub>/SiH<sub>4</sub>流量比為200/1~2000/1之實驗例1~4中，即便於第1000批次中，批次內膜厚偏差亦為1%左右或者為其以下。於使SiH<sub>4</sub>流量進一步增加之比較實驗例1、2中，於第1000批次中，中央部之膜厚增加量較大，批次內膜厚偏差超過1%。

根據該等結果可知如下傾向，即，電漿處理時之製膜速率(蝕刻速率)越接近0，則連續製膜批次數增加之情形時之批次內及批次間之本徵矽薄膜之膜厚偏差越小。

[太陽電池之製作例]

<於矽基板形成紋理>

將入射面之面方位為(100)且厚度為200 μm之6英吋n型單晶矽晶圓於丙酮中洗淨之後，於2重量%之HF水溶液中浸漬3分鐘而將表面之氧化矽膜去除，並藉由超純水進行沖洗。將洗淨後之矽基板於70°C之5/15重量%

之KOH/異丙醇水溶液中浸漬15分鐘之後，藉由超純水進行沖洗，獲得(111)面露出之稜錐型之形成有紋理之單晶矽基板。

於以下之實施例及比較例中，於形成有紋理之矽基板上，於與上述實驗例及比較實驗例相同之條件下，進行矽薄膜之形成。再者，考慮於矽基板表面形成有紋理之基板具有紋理形成前之基板之約1.5倍之表面積，於實施例及比較例中，將矽薄膜之製膜及電漿處理之時間設為上述實驗例及比較實驗例之1.5倍。

#### < 實施例1 >

##### (p層側之CVD製膜)

於能夠載置25片(5列，5行)矽基板之製膜托盤上之面內中央部(3，3位址)及端部(1，1位址)之各者，載置形成有紋理之矽基板。將載置有矽基板之托盤向CVD腔室內導入，於與上述實驗例1相同之條件下，於矽基板上進行製膜條件下之約5 nm之第一子層之形成、電漿處理條件下之對第一子層之電漿處理、約5 nm之第二子層之形成、對第二子層之電漿處理、及p型矽薄膜之形成。更換托盤，於相同之條件下實施1000批次之製膜。

##### (太陽電池之製作)

自已於p層側進行矽薄膜之形成之基板中，抽出第10批次及第1000批次之4片，製作異質接面太陽電池。於矽基板之矽薄膜非形成面(背面側)，於製膜條件下形成膜厚6 nm之本徵矽薄膜，並於其上，於基板溫度150°C、壓力60 Pa、含有PH<sub>3</sub>之H<sub>2</sub>/SiH<sub>4</sub>之流量比為3/1、功率密度11 mW/cm<sup>2</sup>之條件下，形成膜厚約為4 nm之n型非晶質矽薄膜。作為含有PH<sub>3</sub>之H<sub>2</sub>，使用藉由H<sub>2</sub>將PH<sub>3</sub>濃度稀釋為5000 ppm之混合氣體。

於n型矽薄膜上及p型矽薄膜上之各者，製膜膜厚80 nm之ITO(Indium Tin Oxides，氧化銻錫)透明導電膜。透明導電膜係使用氧化錫含量5重量%之ITO燒結靶，於基板溫度150℃、氬/氧流量：50 sccm/1 sccm、壓力0.2 Pa、功率密度0.5 W/cm<sup>2</sup>之條件下，藉由濺鍍法而製膜。於透明導電層上，藉由網版印刷，呈梳形地印刷銀漿，並以150℃加熱1小時，獲得評估用太陽電池。

#### <實施例2~6、比較例1~6>

將p層側之CVD製膜條件變更為與實驗例2~6及比較實驗例1~6相同之條件(矽薄膜之製膜及電漿處理之時間為實驗例及比較實驗例之1.5倍)。除此以外，以與實施例1相同之方式，實施1000批次之製膜，使用第10批次及第1000批次之基板，製作評估用太陽電池。

#### <評估結果>

於試樣溫度25℃、AM(air mass，空氣質量)1.5、100 mW/cm<sup>2</sup>之光照射下，測定各實施例及比較例中所獲得之評估用太陽電池之輸出特性。於表3中，開路電壓(Voc)、短路電流(Isc)、填充因數(FF)及最大輸出(Pmax)係以將比較例6之第10批次之單元(於托盤端部進行製膜之單元)之值設為1之相對值表示。表3中之「差異」係同一批次內之端部與中央部之差異， $\Delta P_{max}$ 係第10批次之單元與第1000批次之單元之Pmax之差。

[表3]

|      | 製膜            |                                  | 轉換特性(相對值) |        |        |        |        |         |        |        |        |        |
|------|---------------|----------------------------------|-----------|--------|--------|--------|--------|---------|--------|--------|--------|--------|
|      | 合計製膜時間<br>(秒) | H <sub>2</sub> /SiH <sub>4</sub> | 基板<br>位置  | 第10批次  |        |        |        | 第1000批次 |        |        |        | ΔPmax  |
|      | 中間電漿處理        | 功率密度<br>(mW/cm <sup>2</sup> )    |           | Voc    | Isc    | FF     | Pmax   | Voc     | Isc    | FF     | Pmax   |        |
| 實施例1 | 30            | 2000                             | 端部        | 1.053  | 1.011  | 1.021  | 1.087  | 1.051   | 1.008  | 1.023  | 1.084  | 0.003  |
|      |               |                                  | 中央部       | 1.052  | 1.010  | 1.022  | 1.086  | 1.051   | 1.008  | 1.024  | 1.085  | 0.001  |
|      | 有             | 100                              | 差異        | 0.001  | 0.001  | -0.001 | 0.001  | 0.000   | 0.000  | -0.001 | -0.001 |        |
| 實施例2 | 24            | 1000                             | 端部        | 1.056  | 1.010  | 1.022  | 1.090  | 1.054   | 1.010  | 1.024  | 1.090  | 0.000  |
|      |               |                                  | 中央部       | 1.053  | 1.008  | 1.022  | 1.085  | 1.052   | 1.009  | 1.025  | 1.088  | -0.003 |
|      | 有             | 100                              | 差異        | 0.003  | 0.002  | 0.000  | 0.005  | 0.002   | 0.001  | -0.001 | 0.002  |        |
| 實施例3 | 20            | 500                              | 端部        | 1.055  | 1.007  | 1.026  | 1.090  | 1.055   | 1.007  | 1.025  | 1.089  | 0.001  |
|      |               |                                  | 中央部       | 1.053  | 1.008  | 1.027  | 1.090  | 1.056   | 1.007  | 1.027  | 1.092  | -0.002 |
|      | 有             | 100                              | 差異        | 0.002  | -0.001 | -0.001 | 0.000  | -0.001  | 0.000  | -0.002 | -0.003 |        |
| 實施例4 | 18            | 200                              | 端部        | 1.056  | 1.006  | 1.018  | 1.081  | 1.056   | 1.006  | 1.018  | 1.081  | 0.000  |
|      |               |                                  | 中央部       | 1.053  | 1.008  | 1.015  | 1.077  | 1.056   | 1.008  | 1.016  | 1.081  | -0.004 |
|      | 有             | 100                              | 差異        | 0.003  | -0.002 | 0.003  | 0.004  | 0.000   | -0.002 | 0.002  | 0.000  |        |
| 比較例1 | 14            | 100                              | 端部        | 1.034  | 1.007  | 1.008  | 1.050  | 1.037   | 1.005  | 1.006  | 1.048  | 0.001  |
|      |               |                                  | 中央部       | 1.039  | 1.004  | 1.009  | 1.053  | 1.041   | 1.003  | 1.009  | 1.054  | -0.001 |
|      | 有             | 100                              | 差異        | -0.005 | 0.003  | -0.001 | -0.003 | -0.004  | 0.002  | -0.003 | -0.005 |        |
| 比較例2 | 12            | 50                               | 端部        | 1.025  | 1.007  | 1.006  | 1.038  | 1.026   | 1.005  | 1.006  | 1.037  | 0.001  |
|      |               |                                  | 中央部       | 1.028  | 1.004  | 1.003  | 1.035  | 1.030   | 1.003  | 1.003  | 1.036  | -0.001 |
|      | 有             | 100                              | 差異        | -0.003 | 0.003  | 0.003  | 0.003  | -0.004  | 0.002  | 0.003  | 0.001  |        |
| 比較例3 | 42            | 3000                             | 端部        | 1.062  | 1.013  | 1.019  | 1.096  | 1.041   | 1.009  | 1.015  | 1.066  | 0.030  |
|      |               |                                  | 中央部       | 1.063  | 1.011  | 1.021  | 1.097  | 1.019   | 1.011  | 1.007  | 1.037  | 0.060  |
|      | 有             | 100                              | 差異        | -0.001 | 0.002  | -0.002 | -0.001 | 0.022   | -0.002 | 0.008  | 0.029  |        |
| 比較例4 | 52            | ∞                                | 端部        | 1.065  | 1.014  | 1.019  | 1.100  | 1.048   | 1.004  | 1.015  | 1.068  | 0.032  |
|      |               |                                  | 中央部       | 1.053  | 1.011  | 1.025  | 1.091  | 1.015   | 1.004  | 1.008  | 1.027  | 0.064  |
|      | 有             | 100                              | 差異        | 0.012  | 0.003  | -0.006 | 0.009  | 0.033   | 0.000  | 0.007  | 0.041  |        |
| 實施例5 | 22            | 2000                             | 端部        | 1.029  | 1.011  | 1.015  | 1.056  | 1.028   | 1.011  | 1.019  | 1.059  | -0.003 |
|      |               |                                  | 中央部       | 1.030  | 1.010  | 1.019  | 1.060  | 1.028   | 1.012  | 1.017  | 1.058  | 0.002  |
|      | 有             | 30                               | 差異        | -0.001 | 0.001  | -0.004 | -0.004 | 0.000   | -0.001 | 0.002  | 0.001  |        |
| 比較例5 | 34            | ∞                                | 端部        | 1.025  | 1.014  | 1.013  | 1.053  | 1.025   | 1.004  | 1.015  | 1.045  | 0.008  |
|      |               |                                  | 中央部       | 1.019  | 1.011  | 1.017  | 1.048  | 1.015   | 1.014  | 1.009  | 1.039  | 0.009  |
|      | 有             | 30                               | 差異        | 0.006  | 0.003  | -0.004 | 0.005  | 0.010   | -0.010 | 0.006  | 0.006  |        |
| 實施例6 | 25            | 2000                             | 端部        | 1.039  | 1.009  | 1.022  | 1.071  | 1.039   | 1.008  | 1.023  | 1.071  | 0.000  |
|      |               |                                  | 中央部       | 1.040  | 1.010  | 1.022  | 1.074  | 1.039   | 1.011  | 1.022  | 1.074  | 0.000  |
|      | 無             | 100                              | 差異        | -0.001 | -0.001 | 0.000  | -0.002 | 0.000   | -0.003 | 0.001  | -0.002 |        |
| 比較例6 | 20            | -                                | 端部        | 1      | 1      | 1      | 1      | 0.999   | 1.000  | 1.002  | 1.001  | -0.001 |
|      |               |                                  | 中央部       | 0.989  | 1.008  | 1.004  | 1.001  | 0.989   | 1.008  | 1.001  | 0.998  | 0.003  |
|      | 無             |                                  | 差異        | 0.011  | -0.008 | -0.004 | -0.001 | 0.010   | -0.008 | 0.001  | 0.003  |        |

於觀察各實施例及比較例之第10批次之單元之情形時，實施電漿處理之實施例1~6及比較例1~5與不進行電漿處理之比較例6相比， $P_{max}$ 較高，發現藉由電漿處理所獲得之轉換特性之提高效果。尤其是，於一面導入相對於矽烷為200倍以上之氫一面以 $100 \text{ mW/cm}^2$ 之電漿功率進行對第一子層之中間電漿處理及對第二子層之電漿處理的實施例1~4及比較例3、4中，發現轉換效率明顯提高。於任一實施例及比較例中，同一批次內之端部之單元與中央部之單元之 $P_{max}$ 之差均為1%左右或者為其以下，未發現同一批次內之轉換效率之較大之差異。

於電漿處理時僅導入氫之比較例4、5雖然第10批次之單元之轉換效率較高，但第1000批次之單元中轉換特性之降低明顯。尤其是，可知中央部之單元之 $\Delta P_{max}$ 較大，批次內及批次間之特性之偏差較大。即，可知雖然可藉由本微矽薄膜之氫電漿蝕刻而提高製膜初始批次之單元之特性，但隨著連續製膜批次數之增加，而單元之特性降低，批次內之特性偏差亦變大。於電漿處理時之 $\text{H}_2/\text{SiH}_4$ 流量比為3000/1之比較例3中，亦與比較例4、5相同，批次內及批次間之特性偏差較大。

相對於此，可知於使電漿處理時之 $\text{H}_2/\text{SiH}_4$ 流量比為200/1~2000/1之實施例1~6中，第1000批次之單元亦維持較高之轉換特性，批次內之特性偏差亦較小。

若將表2之膜厚評估結果與表3之轉換特性之評估結果進行對比，則可知各實驗例及比較實驗例之本微矽薄膜之膜厚偏差(表2)與各實施例及比較例之太陽電池之特性偏差(表3)具有較高之關聯。即，於比較例中，隨著連續製膜批次數之增加而膜厚偏差變大，隨之，產生特性偏差。另一方面，可知於實施例中維持藉由電漿處理所獲得之鈍化效果，並且批次內

及批次間之本徵矽薄膜之膜厚之分佈減少，即便於連續製膜批次數增加之情形時，亦可維持藉由電漿處理所獲得之轉換特性提高效果。

電漿處理時之 $\text{SiH}_4$ 導入量較多(氫稀釋倍率較小)之比較例1及比較例2若與比較例4、5相比，則第1000批次中之膜厚偏差較小，轉換特性之偏差亦較小。然而，於第10批次及第1000批次之任一批次中，轉換特性均較低，藉由電漿處理所獲得之特性提高效果並不充分。認為此係由如下情況所致，即，由於電漿處理之製膜速率較大而矽薄膜之製膜較氫電漿向本徵矽系薄膜之內部之滲透優先產生，故而基於氫電漿之鈍化效果較低，而Voc之提高不充分。又，認為藉由電漿處理而高氫濃度之界面層以顯著之膜厚形成亦為妨礙轉換特性之提高之因素。

若將實施例1與實施例6進行對比，則於第10批次及第1000批次之任一批次中，進行中間電漿處理之實施例1均表現較高之開路電壓。認為其原因在於，對具有更小之膜厚之矽薄膜(第一子層)之表面實施中間電漿處理有助於本徵矽薄膜與矽基板之界面特性之提高或矽基板附近之本徵矽薄膜之膜質改善。

將電漿處理時之功率密度設為 $30 \text{ mW/cm}^2$ 之實施例5中，第1000批次中之膜厚偏差較小，與比較例1、2相比表現較高之轉換特性。另一方面，可知實施例5若與實施例1相比則轉換特性較低。認為其係由如下情況所致，即，電漿處理時之功率密度較低，而基於氫電漿之鈍化效果較小。

根據以上結果可知，藉由適當地調整電漿處理時之含矽氣體導入量(氫稀釋倍率)及電漿功率密度，而獲得轉換效率優異之太陽電池。又，可知於氫電漿蝕刻中，隨著矽系薄膜之連續製膜批次數之增加而產生轉換特性之偏差，相對於此，藉由導入含矽氣體，可減少批次內及批次間之單元

特性之偏差。

【符號說明】

|       |                 |
|-------|-----------------|
| 1     | 矽基板             |
| 12    | 本徵矽系薄膜          |
| 15    | 導電型矽系薄膜         |
| 17    | 透明導電層           |
| 19    | 金屬電極            |
| 22    | 本徵矽系薄膜          |
| 25    | 導電型矽系薄膜         |
| 27    | 透明導電層           |
| 29    | 金屬電極            |
| 100   | 太陽電池            |
| 121   | 第一子層            |
| 122   | 第二子層            |
| $d_0$ | 電漿處理前之本徵矽系薄膜之膜厚 |
| $d_1$ | 電漿處理後之本徵矽系薄膜之膜厚 |

## 【發明申請專利範圍】

### 【第1項】

一種結晶矽系太陽電池之製造方法，其係製造結晶矽系太陽電池之方法，該結晶矽系太陽電池係於導電型單晶矽基板之一主面上依次具有本徵矽系薄膜及導電型矽系薄膜，

該方法係於在CVD腔室內配置有複數個於導電型單晶矽基板上設置有本徵矽系薄膜之基板之狀態下，一面向CVD腔室內導入氫氣及含矽氣體，一面進行使上述本徵矽系薄膜之表面暴露於氫電漿之電漿處理，且

上述電漿處理時之向CVD腔室內導入之氫導入量為含矽氣體導入量之150~2500倍。

### 【第2項】

如請求項1之結晶矽系太陽電池之製造方法，其中上述電漿處理時之功率密度為55~1000 mW/cm<sup>2</sup>。

### 【第3項】

如請求項1或2之結晶矽系太陽電池之製造方法，其中上述電漿處理時之功率密度與氫氣之導入量相對於含矽氣體導入量之比之積為15000~250000 mW/cm<sup>2</sup>。

### 【第4項】

如請求項1或2之結晶矽系太陽電池之製造方法，其中上述電漿處理後之本徵矽系薄膜之膜厚 $d_1$ 與電漿處理前之本徵矽系薄膜之膜厚 $d_0$ 之差 $d_1 - d_0$ 為-3~+1.5 nm。

### 【第5項】

如請求項4之結晶矽系太陽電池之製造方法，其中 $(d_1 - d_0)/d_1$ 為-0.4

~+0.2。

**【第6項】**

如請求項1或2之結晶矽系太陽電池之製造方法，其中上述電漿處理中之本徵矽系薄膜之製膜速率為-0.14~+0.08 nm/秒。

**【第7項】**

如請求項1或2之結晶矽系太陽電池之製造方法，其中上述本徵矽系薄膜係一面向CVD腔室內導入含矽氣體，一面藉由電漿CVD而形成，且本徵矽系薄膜形成時之向CVD腔室內導入之氫之導入量未達含矽氣體導入量之50倍。

**【第8項】**

如請求項1或2之結晶矽系太陽電池之製造方法，其中將上述本徵矽系薄膜形成時之製膜速率換算為向平滑面上之製膜速率所得之值為0.1 nm/秒以上。

**【第9項】**

如請求項1或2之結晶矽系太陽電池之製造方法，其中上述本徵矽系薄膜之形成與上述電漿處理係於同一CVD腔室內實施。

**【第10項】**

如請求項1或2之結晶矽系太陽電池之製造方法，其中上述本徵矽系薄膜係藉由自導電型單晶矽基板側依次積層第一子層至第n子層之n層子層而形成，

n為2以上之整數，且

於形成任一子層之後，實施上述電漿處理。

**【第11項】**

如請求項10之結晶矽系太陽電池之製造方法，其中於形成上述第一子層後實施上述電漿處理。

**【第12項】**

如請求項10之結晶矽系太陽電池之製造方法，其中於形成上述第n子層後實施上述電漿處理。

**【第13項】**

如請求項10之結晶矽系太陽電池之製造方法，其中 $n=2$ 。

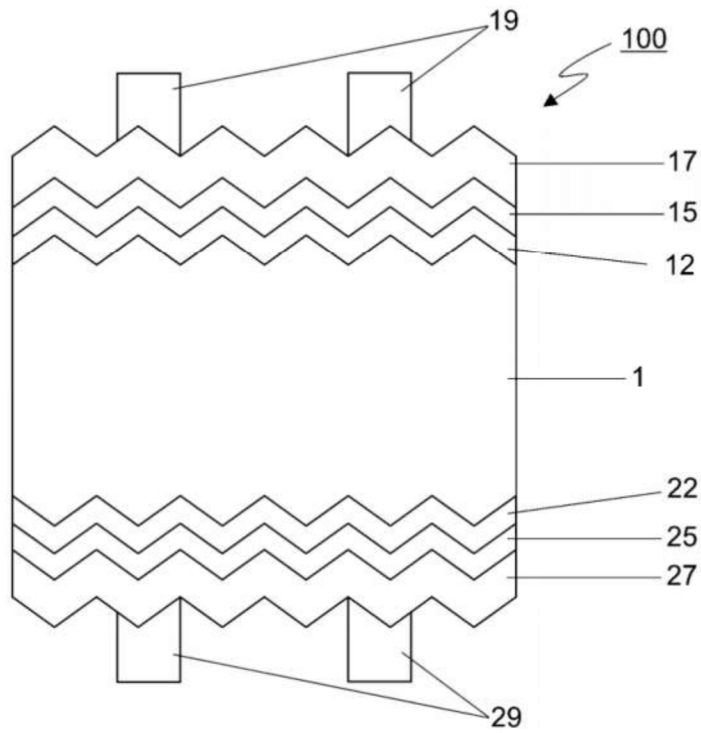
**【第14項】**

如請求項10之結晶矽系太陽電池之製造方法，其中上述子層之各者以1~8 nm之膜厚形成。

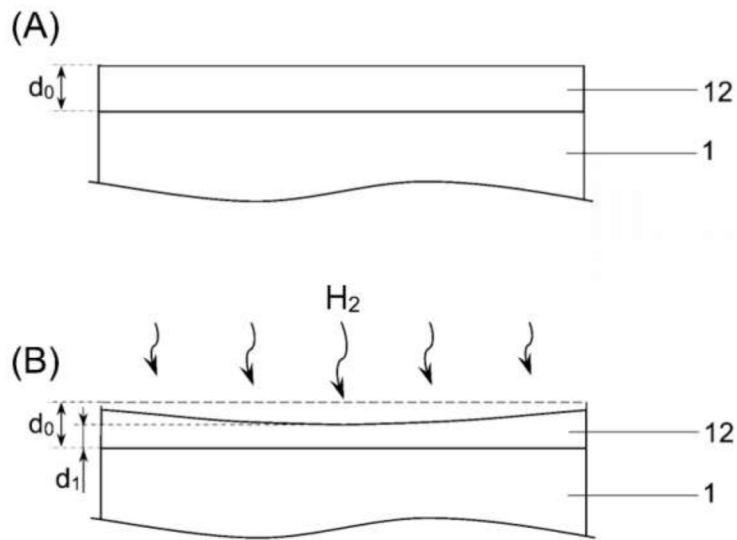
**【第15項】**

如請求項10之結晶矽系太陽電池之製造方法，其中上述第一子層以1~6 nm之膜厚形成。

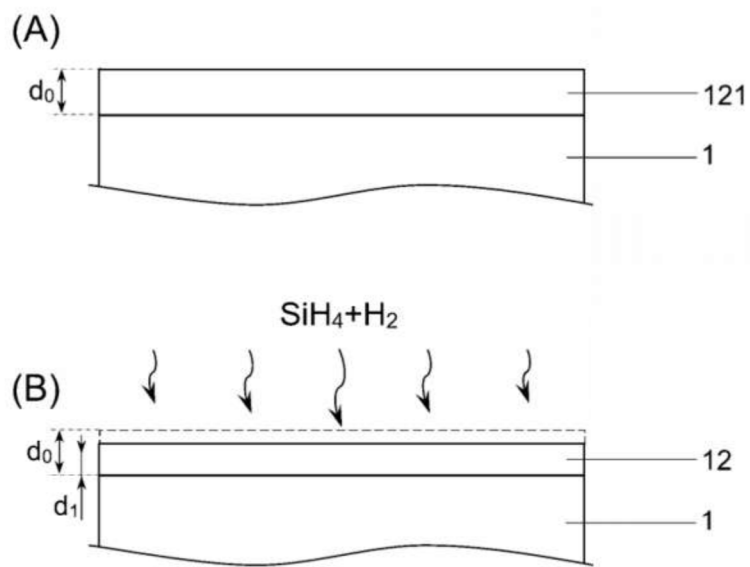
【發明圖式】



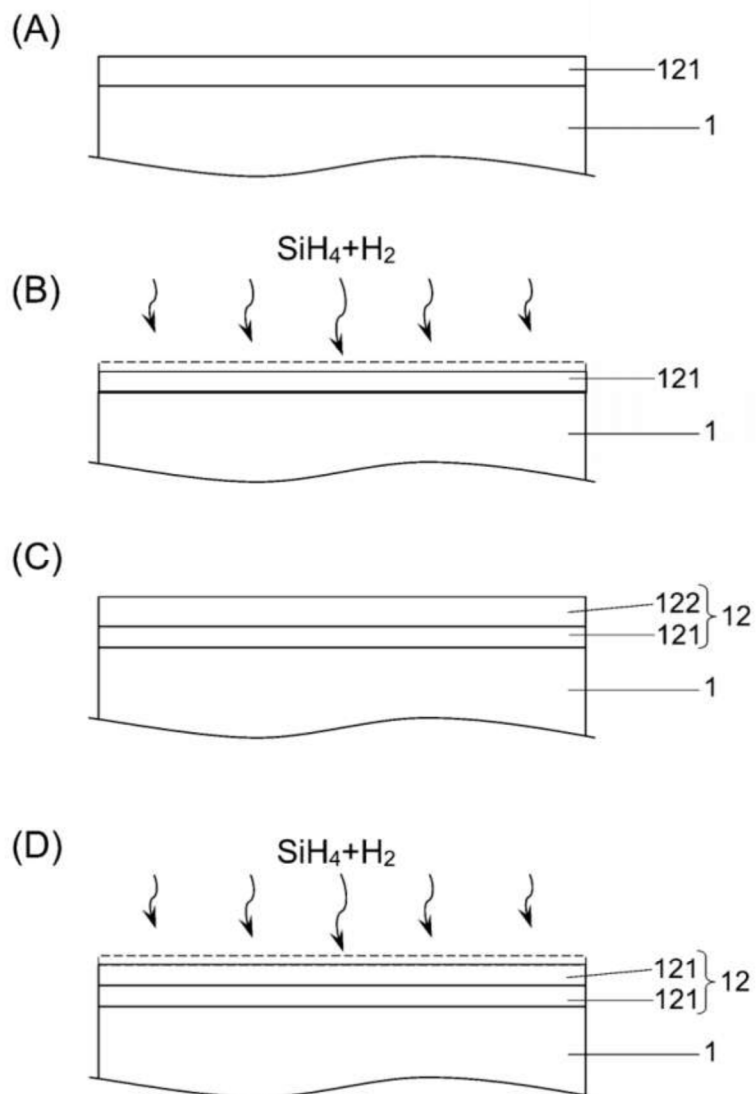
【圖1】



【圖2】



【圖3】



【圖4】