

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2014 年 9 月 18 日 (18.09.2014)



(10) 国际公布号
WO 2014/139291 A1

- (51) 国际专利分类号:
H01L 21/20 (2006.01) H01L 29/786 (2006.01)
- (21) 国际申请号: PCT/CN2013/086884
- (22) 国际申请日: 2013 年 11 月 11 日 (11.11.2013)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201310076693.8 2013 年 3 月 11 日 (11.03.2013) CN
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。
鄂尔多斯市源盛光电有限责任公司 (ORDOS YUANSHEG OPTOELECTRONICS CO., LTD.) [CN/CN]; 中国内蒙古自治区鄂尔多斯市东胜区鄂尔多斯装备制造基地, Inner Mongolia 017020 (CN)。
- (72) 发明人: 王祖强 (WANG, Zuqiang); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。
- (74) 代理人: 北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES); 中国北京市朝阳区北辰东路 8 号汇宾大厦 A0601, Beijing 100101 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,

[见续页]

(54) Title: MANUFACTURING METHOD OF POLYCRYSTALLINE SILICON LAYER, AND POLYCRYSTALLINE SILICON THIN FILM TRANSISTOR AND MANUFACTURING METHOD THEREOF

(54) 发明名称: 多晶硅层的制作方法和多晶硅薄膜晶体管及其制造方法

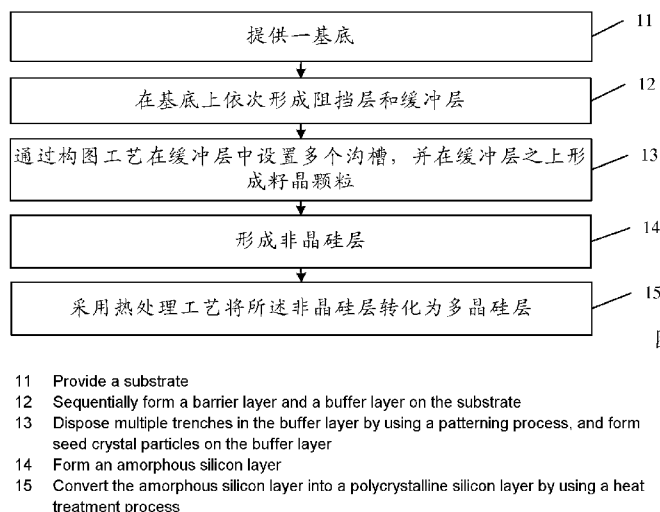


图 1 / Fig. 1

(57) Abstract: A manufacturing method of a polycrystalline silicon layer and a manufacturing method of a polycrystalline silicon thin film transistor. The manufacturing method of the polycrystalline silicon layer comprises: providing a substrate (100); sequentially forming a barrier layer (110) and a buffer layer (120) on the substrate (100); disposing multiple trenches (121) in the buffer layer (120) by using a patterning process, and forming seed crystals (132) on the buffer layer (120); forming an amorphous silicon layer (140) on the buffer layer (120) provided with the trenches (121) and on the seed crystals; and converting the amorphous silicon layer (140) into a polycrystalline silicon layer by using a heat treatment process.

(57) 摘要: 一种多晶硅层的制作方法和多晶硅薄膜晶体管的制造方法。该多晶硅层的制作方法, 包括: 提供一基底 (100); 在所述基底 (100) 上依次形成阻挡层 (110) 和缓冲层 (120); 通过构图工艺在所述缓冲层 (120) 中设置多个沟槽 (121), 并在所述缓冲层 (120) 之上形成籽晶 (132); 在设置有沟槽 (121) 的所述缓冲层 (120) 及所述籽晶上, 形成非晶硅层 (140); 采用热处理工艺将所述非晶硅层 (140) 转化为多晶硅层。



RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD,
TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

多晶硅层的制作方法和多晶硅薄膜晶体管及其制造方法

技术领域

- 5 本发明的实施例涉及一种多晶硅层的制作方法和多晶硅薄膜晶体管及其制造方法。

背景技术

10 现有显示器多基于非晶硅(a-si),即显示面板上的薄膜晶体管(Thin Film Transistor, TFT)多采用的是非晶硅半导体材料,但相比之下,多晶硅(Poly-Si)具有更高的电子迁移率,被认为是比非晶硅更佳的TFT制作材料。

15 目前,制备多晶硅TFT时,通常先制备一层非晶硅层;再采用准分子激光晶化(ELA)方法,将非晶硅层转化为多晶硅层;最后再按常规流程形成薄膜晶体管。发明人发现现有方法至少存在如下问题:在多晶硅形成过程中产生的缺陷(诸如晶界缺陷、晶粒不均匀等)较多,形成的多晶硅层均匀性较差,导致多晶硅薄膜晶体管的电学性能及可靠性欠佳。

发明内容

20 本发明的实施例提供一种多晶硅层的制作方法和多晶硅薄膜晶体管及其制造方法,形成的多晶硅层晶化率高、晶粒均匀、晶界缺陷少,从而可改善多晶硅薄膜晶体管的电学性能,提高多晶硅薄膜晶体管的可靠性。

为解决上述技术问题,本发明的实施例采用如下技术方案:

一种多晶硅层的制作方法,包括:

提供一基底;

25 在基底上形成缓冲层;

通过构图工艺在所述缓冲层中设置多个沟槽,并在所述缓冲层之上形成籽晶;

在设置有沟槽的所述缓冲层及所述籽晶上,形成非晶硅层;

采用热处理工艺将所述非晶硅层转化为多晶硅层。

30 在一个示例中,所述多个沟槽分别沿第一方向和与所述第一方向交叉的

第二方向排列，形成交错设置的沟槽图案。

在一个示例中，相邻所述沟槽所围区域的缓冲层上，设置有至少一块所述籽晶。

在一个示例中，所述通过构图工艺在所述缓冲层中设置多个沟槽，并在

5 所述缓冲层之上形成籽晶，包括：

在所述缓冲层上形成第一非晶硅层；

将所述第一非晶硅层转化为第一多晶硅层；

10 在所述第一多晶硅层上涂覆光刻胶，经过多阶或半色调曝光、显影后，在后续形成所述沟槽的预设位置形成光刻胶完全剥离的第一窗口区域，在后续形成所述籽晶的预设位置形成第二厚度的光刻胶，其余区域形成第一厚度的光刻胶，且所述第二厚度大于所述第一厚度；

进行刻蚀，去除所述第一窗口区域露出的第一多晶硅层及部分缓冲层，形成所述沟槽；

进行灰化处理，去除第一厚度的光刻胶；

15 进行刻蚀，去除露出的第一多晶硅层；

进行灰化处理，去除第二厚度对应区域剩余的光刻胶，形成籽晶。

在一个示例中，所述第一非晶硅层的厚度为 10~20nm。

在一个示例中，所述多晶硅层的制作方法，还包括：

对所述沟槽正上方的多晶硅层进行钝化，以减少晶界缺陷。

20 在一个示例中，对所述沟槽正上方的多晶硅层进行钝化，以减少晶界缺陷，包括：

在所述多晶硅层上涂覆光刻胶，经过曝光、显影后，在所述沟槽对应位置形成光刻胶完全剥离的第二窗口区域；

进行离子注入，对所述第二窗口区域露出的所述多晶硅层进行钝化；

25 去除剩余的光刻胶。

在一个示例中，所述沟槽的宽度为 5~10 微米，所述沟槽的间距为 10~20 微米。

在一个示例中，所述热处理工艺为固相结晶法或者准分子激光晶化法。

在一个示例中，在所述形成缓冲层之前，还包括：

30 在所述基底上形成阻挡层。

在一个示例中，在设置有沟槽的所述缓冲层及所述籽晶上，形成非晶硅层之后，在所述采用热处理工艺将所述非晶硅层转化为多晶硅层之前，还包括：

对所述非晶硅层进行退火处理和表面处理。

5 本发明实施例还提供一种多晶硅薄膜晶体管的制造方法，采用本发明所述的任一制作方法形成多晶硅层，所述多晶硅层用以形成多晶硅薄膜晶体管的有源层。

本发明实施例还提供一种多晶硅薄膜晶体管，所述多晶硅薄膜晶体管的有源层采用所述多晶硅层制作方法形成多晶硅层形成。

10 本发明实施例还提供一种阵列基板，包括所述的多晶硅薄膜晶体管。

本发明实施例还提供一种显示装置，包括所述的阵列基板。

本发明的实施例提供一种多晶硅层的制作方法，多晶硅薄膜晶体管的制造方法，本发明实施例的方法形成的多晶硅薄膜晶体管，以及设置有所述多晶硅薄膜晶体管的阵列基板和显示装置，所述多晶硅层的制作方法预先在缓冲层设置沟槽和籽晶，然后在缓冲层上形成非晶硅层，采用热处理工艺使非晶硅层转化为多晶硅层。当非晶硅在热处理工艺作用下熔融再结晶时，缓冲层中的沟槽可为熔融状态下非晶硅的生长提供延伸空间，降低晶界高度；而籽晶可为非晶硅的生长提供结晶晶核，从而加快或促进特定晶型的生长，因此，本发明实施例所述制作方法，形成的多晶硅晶化率高、晶粒均匀、晶界缺陷少，从而可改善多晶硅薄膜晶体管的电学性能，提高薄膜晶体管的可靠性，进而提高阵列基板和显示装置的可靠性和显示效果。

15

20

附图说明

为了更清楚地说明本发明实施例的技术方案，下面将对实施例的附图作简单地介绍，显而易见地，下面描述中的附图仅仅涉及本发明的一些实施例，而非对本发明的限制。

25

图1为本发明实施例中多晶硅层的制作方法流程图；

图2(a)~(e)分别为本发明实施例多晶硅层制作过程步骤11~15中基底上各膜层的截面示意图；

30 图3为本发明实施例中设置有沟槽的缓冲层及其上籽晶的正面俯视图；

图 4 为本发明实施例步骤 103 形成缓冲层沟槽及籽晶的流程图;

图 5 (a) 和 (b) 分别为完成步骤 1031 和 1032 后基底上各膜层的截面示意图;

图 6 (a) ~ (e) 分别为完成步骤 1033-1037 后基底上各膜层的截面示意图;

图 7 (a) 和 (b) 分别为传统方法 (a) 与本发明实施例方法(b)制造的多晶硅表面原子力显微镜分析图;

图 8 为步骤 106 对多晶硅层进行界面钝化的示意图。

10 具体实施方式

为使本发明实施例的目的、技术方案和优点更加清楚,下面将结合本发明实施例的附图,对本发明实施例的技术方案进行清楚、完整地描述。显然,所描述的实施例是本发明的一部分实施例,而不是全部的实施例。基于所描述的本发明的实施例,本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例,都属于本发明保护的范围。

实施例

本发明实施例提供一种多晶硅层的制作方法,如图 1 和图 2 所示,该方法包括:

11、提供一基底 100;

20 本步骤对基底 100 进行清洗处理,基底 100 可以是玻璃基板或者其它基板。

12、如图 2 (b) 所示,在基底 100 上依次形成阻挡层 110 和缓冲层 120;

阻挡层 110 设置在基底 100 和缓冲层 120 之间,后续在缓冲层 120 形成沟槽时,阻挡层 110 可用于避免基底 100 受到刻蚀,具体实施时,亦可直接在基底 100 上形成缓冲层 120,省略阻挡层 110。

25 可选地,本步骤在基底 100 上用等离子体增强化学气相沉积 (PECVD) 方法,连续沉积阻挡层 110 和缓冲层 120。

13、如图 2 (c) 所示,通过构图工艺在缓冲层 120 中设置多个沟槽 121,并在缓冲层之上形成籽晶 132;

30 本步骤缓冲层 120 设置有多个沟槽 121,在非晶硅熔融再结晶时用以为

熔融状态下非晶硅的生长提供延伸空间，降低晶界高度；同时在缓冲层 120 表面布设籽晶 132，用以为非晶硅的生长提供结晶晶核，从而加快或促进特定晶型的生长。

如何在缓冲层 120 中设置沟槽 121，以及所述沟槽 121 如何排列，沟槽 121 的宽度 d 、间距 L 的具体取值等，可以在具体实施时的根据实际情况进行选择，本实施例仅举出一种优选的实施方式作为范例，具体如下所述。

优选地，如图 3 所示，本实施例所述的多个沟槽 121 分别沿第一方向（横向）和与第一方向垂直的第二方向（纵向）排列，形成纵横交错的沟槽图案。进一步优选地，相邻沟槽 121 所围区域的缓冲层上，设置有至少一个籽晶 132。具体而言，一种优选的实施方式中，两个纵向相邻沟槽和两个横向相邻沟槽围城一个格子区域 20，每一格子区域 20 内的缓冲层上均设置有一个籽晶 132。

可选地，所述沟槽的宽度 d 为 5~10 微米，所述沟槽的间距 L 为 10~20 微米。

具体而言，步骤 13 可通过构图工艺在缓冲层 120 中设置多个沟槽，并在缓冲层 120 表面形成籽晶 132，如图 4 所示，具体可包括：

131、在缓冲层 120 上形成第一非晶硅层 130；

具体实施时，如图 5（a）所示，可在基底 100 上用等离子体增强化学气相沉积方法（PECVD），连续沉积阻挡层 110、缓冲层 120 以及第一非晶硅层 130。其中，可选地，第一非晶硅层 130 的厚度为 10~20nm。

132、如图 5（b）所示，将第一非晶硅层 130 转化为第一多晶硅层 131；

本步骤可采用现有低温多晶硅（Low Temperature Poly-Silicon，LTPS）技术，对第一非晶硅层 130 进行退火、晶化。其中，晶化时优先选择准分子激光晶化法（ELA）进行晶化，当然也可选择固相结晶法。

以下步骤（133~137）参照图 6（a）~（e）所示。

133、在第一多晶硅层 131 上涂覆光刻胶 1311，经过多阶曝光、显影后，在后续形成沟槽的预设位置形成光刻胶完全剥离的第一窗口区域（A 区域），在后续形成籽晶的预设位置（B 区域）形成第二厚度的光刻胶，其余区域（C 区域）形成第一厚度的光刻胶，且所述第二厚度大于所述第一厚度；

本步骤所述的多阶调曝光，指涂覆光刻胶后，利用多阶调掩模板（MTM，Multi Tone Mask）进行曝光，由于多阶调掩模板各个部分透过的光强不同，

会导致光刻胶相应的各个部分曝光强度也不多，再经过显影，可得到光刻胶厚度不一的光刻胶图样。

134、进行刻蚀（即第一次刻蚀），去除第一窗口区域（A 区域）露出的第一多晶硅层 131 及部分缓冲层 120，形成缓冲层沟槽 121；

5 135、进行灰化处理，去除第一厚度的光刻胶；

可选地，本步骤利用等离子体（Plasma）对光刻胶进行刻蚀（Ash），将第一厚度的光刻胶（B 区域）的光刻胶去除，同时第二厚度对应区域（B 区域）光刻胶也会变薄。

136、进行刻蚀（即第二次刻蚀），去除露出的第一多晶硅层 131；

10 本步骤去除第一厚度光刻胶对应区域（C 区域）的第一多晶硅层 131，只在光刻胶覆盖区域（B 区域）保留多晶硅层。

137、进行灰化处理，去除第二厚度对应区域（B 区域）剩余的光刻胶，形成籽晶。此时，缓冲层 120 上布设有籽晶 132，一种优选的实施方式中，沟槽 121 及籽晶 132 在缓冲层 120 上的分布方式如图 3 所示，沟槽 121 纵横
15 交错，围成多个格子区域 20，每一格子区域 20 内的缓冲层上均设置有一个籽晶 132，且优选地，籽晶 132 布设于格子区域 20 的中央位置。

14、如图 2（d）所示，在设置有沟槽 121 的缓冲层 120 及籽晶 132 上，形成非晶硅层 140；

15、如图 2（e）所示，采用热处理工艺将非晶硅层 140 转化为多晶硅层
20 141。

步骤 14 在上述缓冲层 120 及籽晶 132 上形成非晶硅层 140，采用热处理工艺形成第二多晶硅层 141，如图 2（e）所示。与缓冲层沟槽 121 对应的是在非晶硅凹陷带 122，在晶化过程中，多晶硅籽晶（即籽晶 132）起到了诱导硅原子重新生长的作用（如图中箭头所示），可以提高晶化效率；缓冲层的
25 沟槽 121 在晶化时起到缓冲作用，即为多晶硅在形成过程中提供延展提供空间，有效减少了晶界缺陷，降低多晶硅表面的粗糙度和提高其均匀性。

如图 7 所示，为传统方法（a）与本发明实施例方法（b）制造的多晶硅表面的原子力显微镜分析图，很明显：本发明实施例方法（b）制出的多晶硅层的表面粗糙度和晶粒均匀性明显改善。

30 进一步地，本实施例所述多晶硅层的制作方法，还包括：

16、对沟槽 121 正上方的多晶硅层 120 进行钝化，以减少晶界缺陷。

具体而言，如图 8 所示，本步骤包括：

161、在多晶硅层 141 上涂覆光刻胶 150，经过曝光、显影后，在沟槽 121 对应位置形成光刻胶完全剥离的第二窗口区域（D 区域）；

5 162、进行离子注入，对第二窗口区域（D 区域）露出的多晶硅层进行钝化；

163、去除剩余的光刻胶。

步骤 161~163 在多晶硅层 120 上涂覆光刻胶 150，进行条纹构图工艺，形成与缓冲层沟槽 121 对应的第二窗口区域，然后进行离子注入，形成晶界钝化区 123。如图 8 所示，所述晶界钝化区 123 形成于缓冲层沟槽 121 的正上方。

步骤 105 中非晶硅定向诱导晶化后，在缓冲层的沟槽 121 对应位置形成晶界，步骤 106 中可对该晶界进行定向钝化，通过离子注入形成钝化区 123 进行调控，从而减少削弱晶界缺陷对薄膜晶体管电学性能的不良影响。

15 本发明实施例还提供一种多晶硅薄膜晶体管的制造方法，与传统多晶硅薄膜晶体管制造工艺区别在于前端形成多晶硅的工艺，采用本实施例所述的任一制作方法形成多晶硅层，该多晶硅层用以形成多晶硅薄膜晶体管的有源层。

本发明实施例在前端形成多晶硅的工艺中引入籽晶、缓冲层沟槽和晶界钝化区，后端形成薄膜晶体管的工艺相同，在此不再赘述。

20 还需要指出，本发明实施例可用于制造顶栅（或底栅）型多晶硅薄膜晶体管

传统的准分子激光晶化技术形成的晶粒尺寸不均匀，多晶硅薄膜平整度（Roughness）较差，晶界缺陷密度较高，薄膜晶体管的电学性能及可靠性欠佳，本发明实施例进行了改进，引入籽晶、缓冲层沟槽和晶界钝化区，提高了晶粒均匀性和晶化率、减少了晶界缺陷，改善了薄膜晶体管的电学性能。

本发明实施例还提供一种多晶硅薄膜晶体管，所述多晶硅薄膜晶体管制备过程包括采用本实施例所述多晶硅层制作方法形成多晶硅层，所述多晶硅层用以形成多晶硅薄膜晶体管的有源层。

30 进一步地，本发明实施例还提供一种阵列基板，包括所述的多晶硅薄膜

晶体管。

更进一步地，本发明实施例还提供一种显示装置，包括所述的阵列基板。

虽然本发明实施例中以 LTPS 背板中的多晶硅层制备为例，但应理解，本发明的应用并不限于此，本发明还适用于所有需要多晶硅膜层的场景。

- 5 以上所述仅是本发明的示范性实施方式，而非用于限制本发明的保护范围，本发明的保护范围由所附的权利要求确定。

权利要求书

1、一种多晶硅层的制作方法，包括：

提供一基底；

5 在所述基底上形成缓冲层；

通过构图工艺在所述缓冲层中设置多个沟槽，并在所述缓冲层之上形成籽晶；

在设置有沟槽的所述缓冲层及所述籽晶上，形成非晶硅层；

采用热处理工艺将所述非晶硅层转化为多晶硅层。

10 2、根据权利要求1所述的制作方法，其中，

所述多个沟槽分别沿第一方向和与所述第一方向交叉的第二方向排列，形成交错设置的沟槽图案。

3、根据权利要求1或2所述的制作方法，其中，

相邻所述沟槽所围区域的缓冲层上，设置有至少一块所述籽晶。

15 4、根据权利要求1-3中任一项所述的制作方法，其中，所述通过构图工艺在所述缓冲层中设置多个沟槽，并在所述缓冲层之上形成籽晶，包括：

在所述缓冲层上形成第一非晶硅层；

将所述第一非晶硅层转化为第一多晶硅层；

20 在所述第一多晶硅层上涂覆光刻胶，经过多阶或半色调曝光、显影后，在后续形成所述沟槽的预设位置形成光刻胶完全剥离的第一窗口区域，在后续形成所述籽晶颗粒籽晶的预设位置形成第二厚度的光刻胶，其余区域形成第一厚度的光刻胶，且所述第二厚度大于所述第一厚度；

进行刻蚀，去除所述第一窗口区域露出的第一多晶硅层及部分缓冲层，形成所述沟槽；

25 进行灰化处理，去除第一厚度的光刻胶；

进行刻蚀，去除露出的第一多晶硅层；

进行灰化处理，去除剩余的所述第二厚度的光刻胶，形成籽晶。

5、根据权利要求4所述的制作方法，其中，

所述第一非晶硅层的厚度为10~20nm。

30 6、根据权利要求1-5中任一项所述的制作方法，还包括：

对所述沟槽正上方的多晶硅层进行钝化,以减少晶界缺陷。

7、根据权利要求6所述的方法,其中,对所述沟槽正上方的多晶硅层进行钝化,以减少晶界缺陷,包括:

在所述多晶硅层上涂覆光刻胶,经过曝光、显影后,在所述沟槽对应位

5 置形成光刻胶完全剥离的第二窗口区域;

进行离子注入,对所述第二窗口区域露出的所述多晶硅层进行钝化;

去除剩余的光刻胶。

8、根据权利要求1-7中任一项所述的制作方法,其中,

所述沟槽的宽度为5~10微米,

10 所述沟槽的间距为10~20微米。

9、根据权利要求1-8中任一项所述的制作方法,其中,

所述热处理工艺为固相结晶法或者准分子激光晶化法。

10、根据权利要求1-9中任一项所述的制作方法,其中,所述形成缓冲层之前,还包括:

15 在所述基底上形成阻挡层。

11、根据权利要求1所述的制作方法,其中,在设置有沟槽的所述缓冲层及所述籽晶上,形成非晶硅层之后,在所述采用热处理工艺将所述非晶硅层转化为多晶硅层之前,所述方法还包括:

对所述非晶硅层进行退火处理和表面处理。

20 12、一种多晶硅薄膜晶体管的制作方法,包括:形成多晶硅层,该多晶硅层用于形成多晶硅薄膜晶体管的有源层,其中,所述多晶硅层采用权利要求1-11中任一项所述的制作方法形成。

13、一种多晶硅薄膜晶体管,其中,所述多晶硅薄膜晶体管的有源层采用权利要求1所述的制作方法形成的多晶硅层形成。

25 14、一种阵列基板,包括权利要求13所述的多晶硅薄膜晶体管。

15、一种显示装置,包括权利要求14所述的阵列基板。

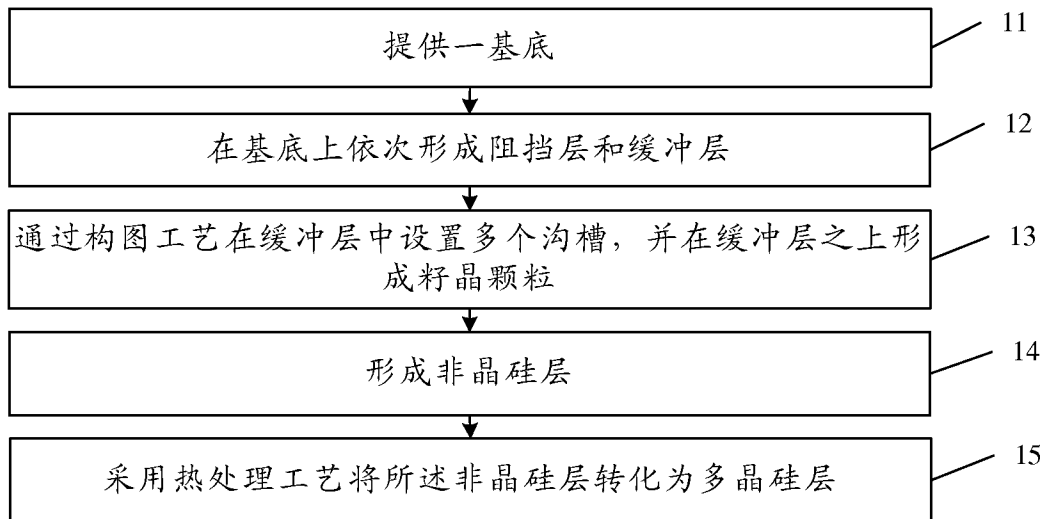


图 1

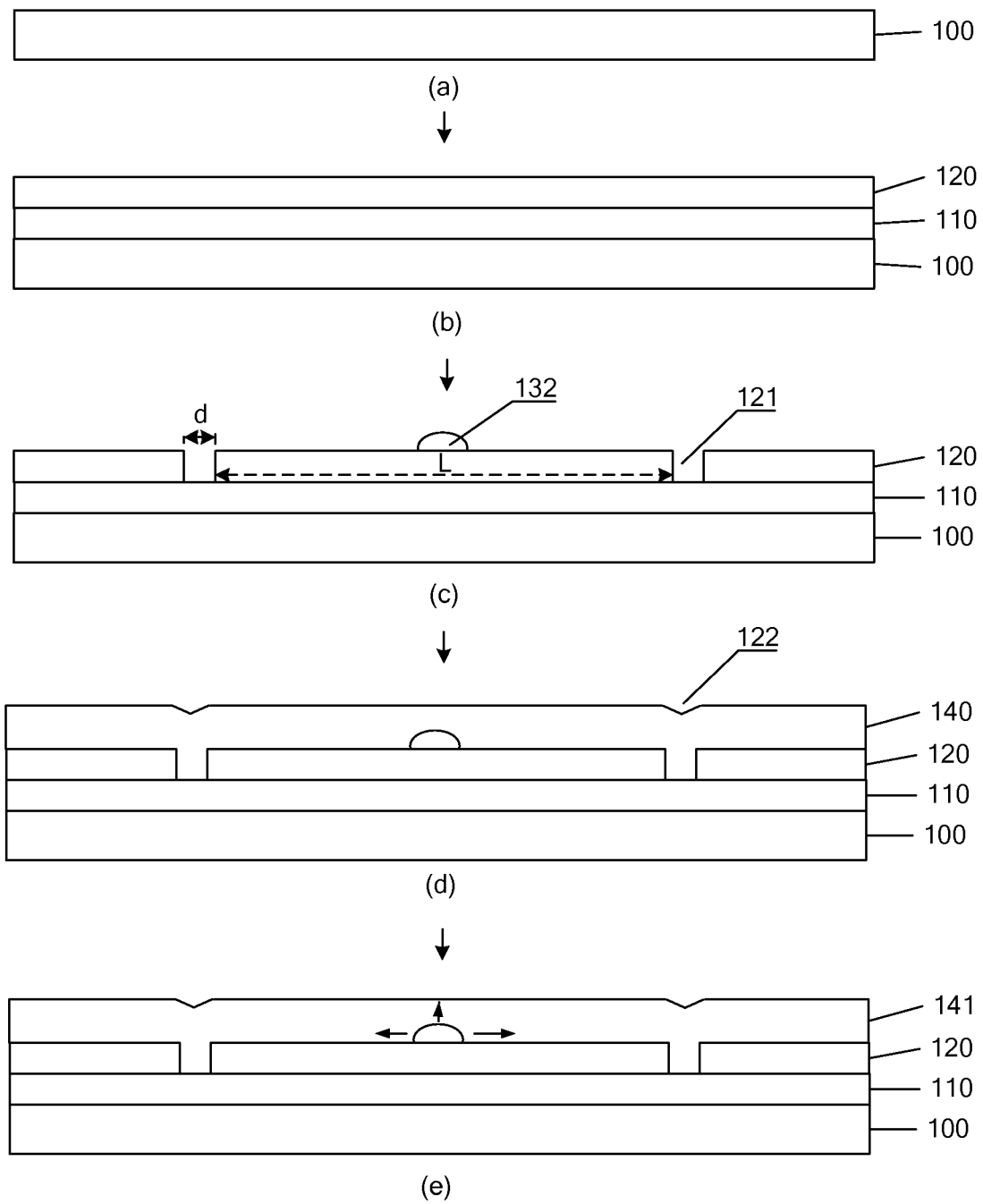


图 2

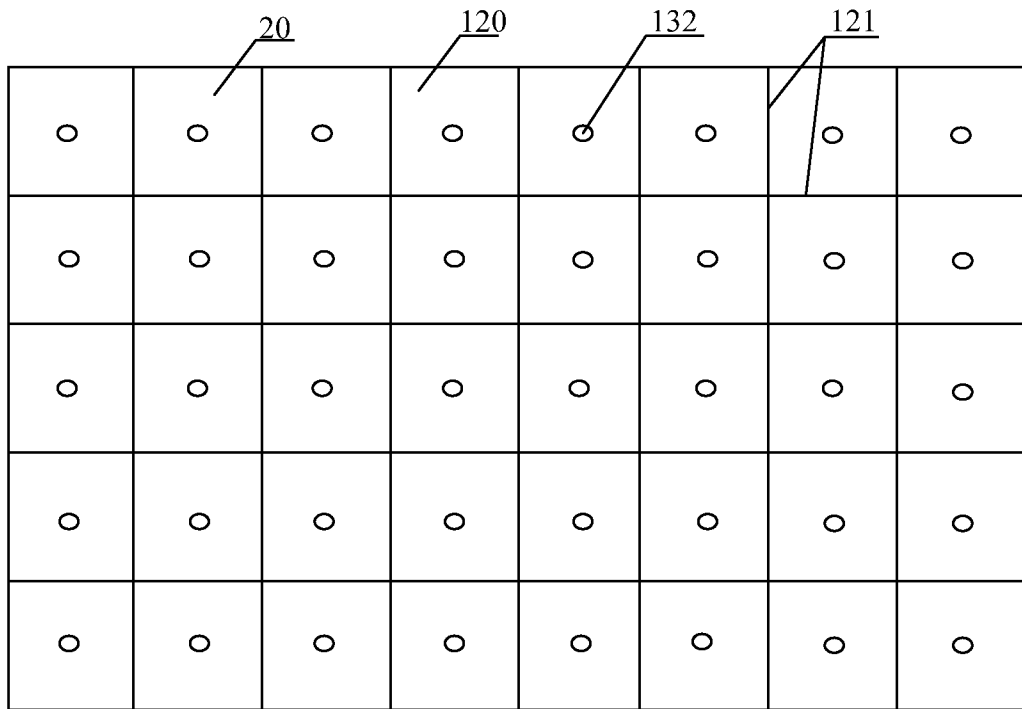


图 3

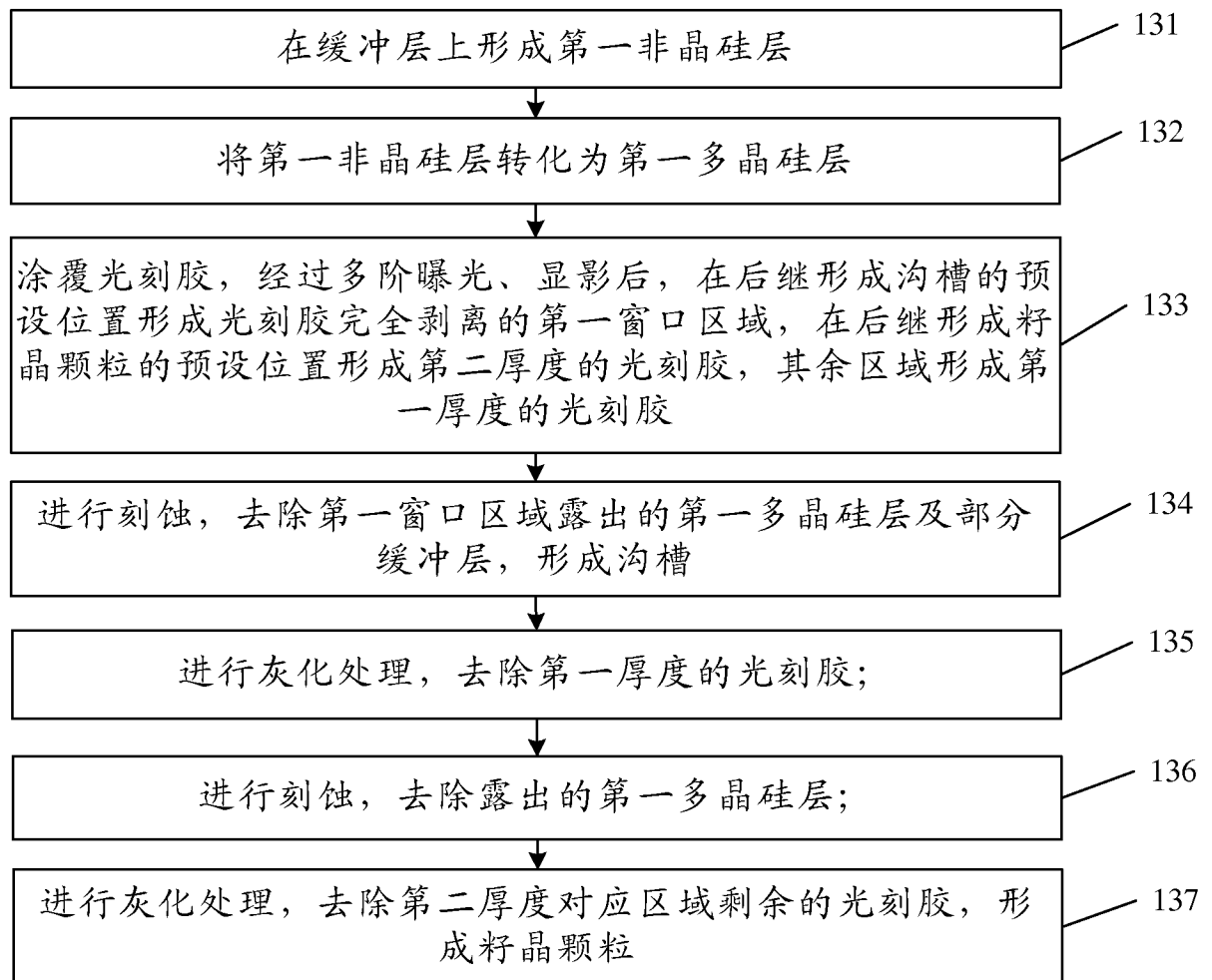


图 4

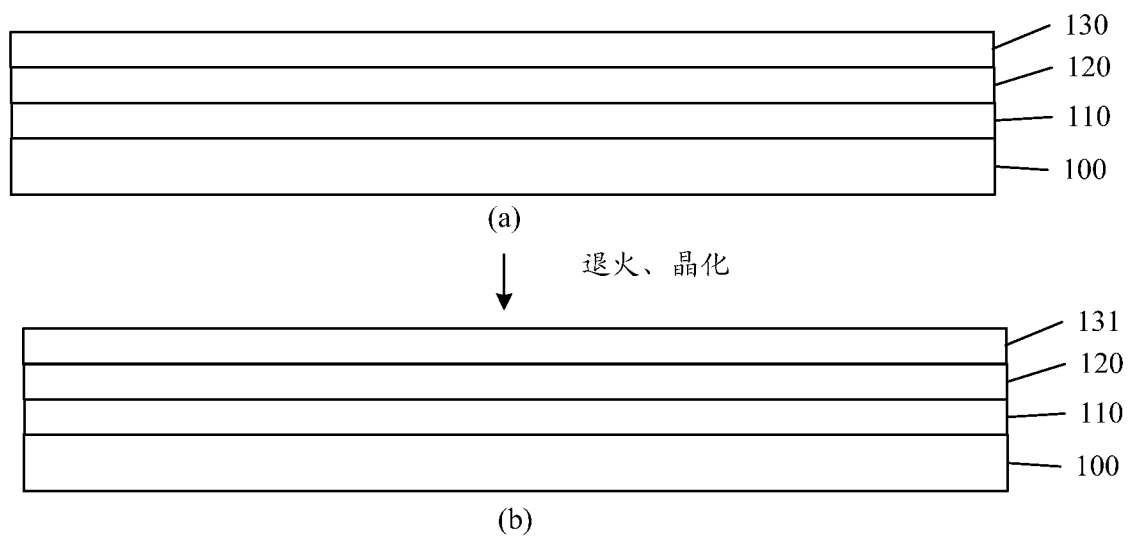


图 5

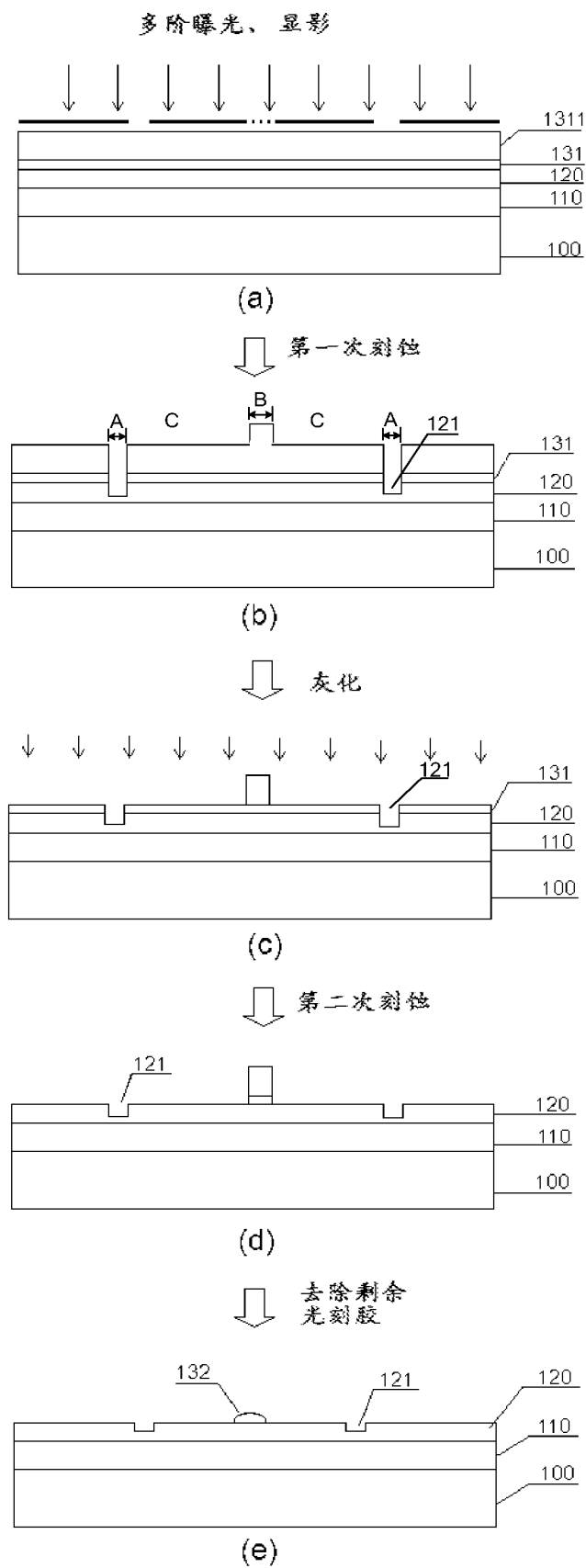
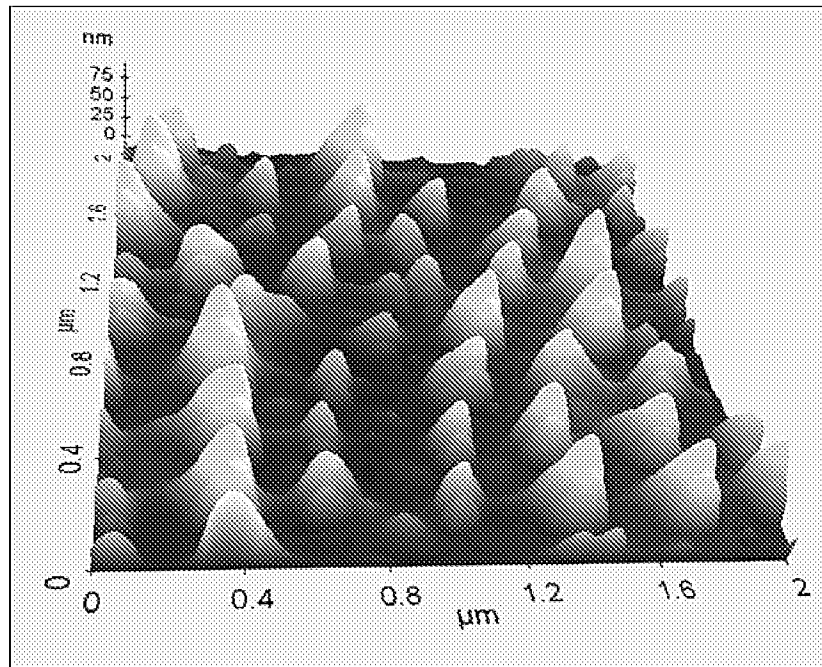
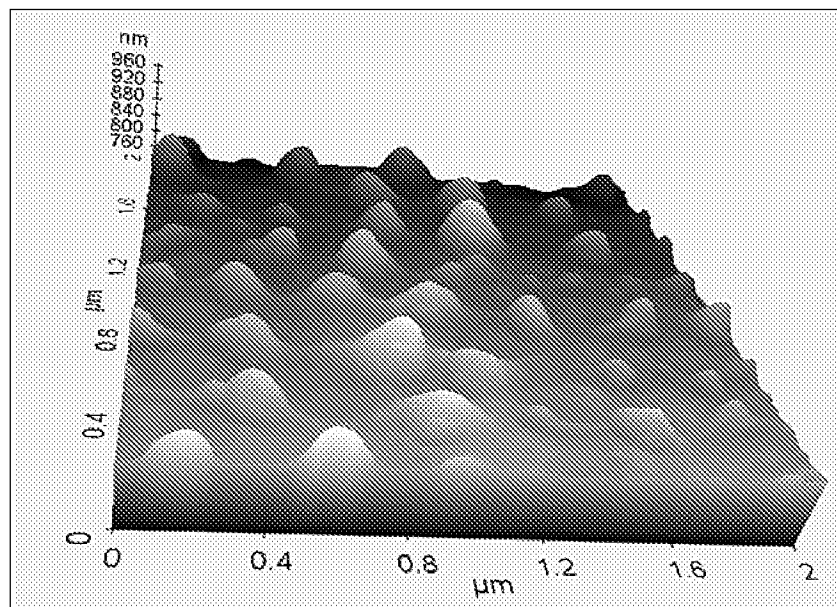


图 6



(a)



(b)

图 7

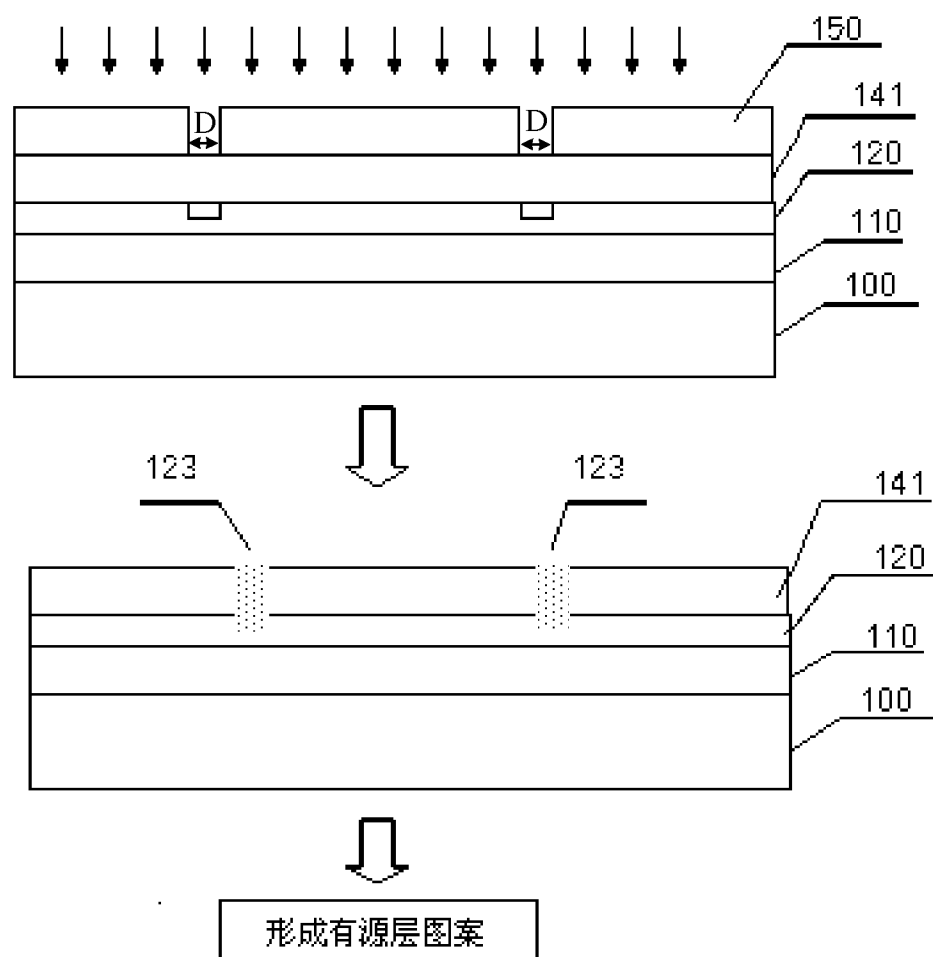


图 8

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2013/086884

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used): WPI, EPODOC, CNPAT, CNKI: thin film transistor, groove, slot, grid, concave, amorphous silicon, crystal, crystalline, translate, convert, pattern, buffer, seed

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008004812 A (SUMITOMO HEAVY IND LTD.) 10 January 2008 (10.01.2008) description, paragraphs [0015]-[0025], figure 1	1-3, 6-15
A		4, 5
Y	CN 1388565 A (LG. PHILIPS LCD CO., LTD.) 01 January 2003 (01.01.2003) description, page 3, lines 12-24, figure 3B	1-3, 6-15
A		4, 5
PX	CN 103219228 A (BOE TECHNOLOGY GROUP CO., LTD.) 24 July 2013 (24.07.2013) claims 1-15	1-15
A	CN 102064089 A (SAMSUNG MOBILE DISPLAY CO., LTD.) 18 May 2011 (18.05.2011) the whole document	1-15

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	
“A” document defining the general state of the art which is not considered to be of particular relevance	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“E” earlier application or patent but published on or after the international filing date	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“O” document referring to an oral disclosure, use, exhibition or other means	“&” document member of the same patent family
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 10 February 2014 (10.02.2014)	Date of mailing of the international search report 20 February 2014 (20.02.2014)
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer GAO, Mingjie Telephone No. (86-10) 62411783

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2013/086884

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2008004812 A	10.01.2008	JP 5084185 B2	28.11.2012
CN 1388565 A	01.01.2003	JP 4801310 B2	26.10.2011
		JP 2003059833 A	28.02.2003
		US 2002182341 A1	05.12.2002
		US 7192627 B2	20.03.2007
		KR 20020091334 A	06.12.2002
		CN 1246879 C	22.03.2006
		KR 100506004 B1	04.08.2005
CN 102064089 A	18.05.2011	KR 1094295 B1	19.12.2011
		EP 2323159 A1	18.05.2011
		US 2011114961 A1	19.05.2011
		JP 2011109075 A	02.06.2011
		KR 20110053039 A	19.05.2011
CN 103219228 A	24.07.2013	None	

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2013/086884

CLASSIFICATION OF SUBJECT MATTER:

H01L 21/20 (2006.01) i

H01L 29/786 (2006.01) i

A. 主题的分类

见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC:H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称,和使用的检索词(如使用)) WPI,EPODOC,CNKI,CNPAT:TFT, 薄膜晶体管, 沟槽, 凹槽, 非晶, 多晶, 格, 晶化, 转换, 籽晶, 晶核, 缓冲, 转化, 生成, 晶化, 种子, 种晶, 图案, thin film transistor, groove, slot, grid, concave, amorphous silicon, crystal, crystalline, translate, convert

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	JP2008004812A(SUMITOMO HEAVY IND LTD) 10.1 月 2008(10.01.2008) 说明书 0015-0025 段, 附图 1	1-3,6-15
A		4,5
Y	CN1388565A (LG.飞利浦 LCD 有限公司) 01.1 月 2003 (01.01.2003) 说明书第 3 页第 12-24 行, 附图 3B	1-3,6-15
A		4,5
PX	CN103219228A(京东方科技集团股份有限公司)24.7 月 2013 (24.07.2013) 权利要求 1-15	1-15
A	CN102064089A (三星移动显示器株式会社) 18.5 月 2011 (18.05.2011) 全文	1-15



其余文件在 C 栏的续页中列出。



见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

10.2 月 2014 (10.02.2014)

国际检索报告邮寄日期

20.2 月 2014 (20.02.2014)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

高铭洁

电话号码: (86-10) 62411783

国际检索报告

关于同族专利的信息

国际申请号

PCT/CN2013/086884

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
JP2008004812A	10.01.2008	JP5084185B2	28.11.2012
CN1388565A	01.01.2003	JP4801310B2	26.10.2011
		JP2003059833A	28.02.2003
		US2002182341A1	05.12.2002
		US7192627B2	20.03.2007
		KR20020091334A	06.12.2002
		CN1246879C	22.03.2006
		KR100506004B1	04.08.2005
CN102064089A	18.05.2011	KR1094295B1	19.12.2011
		EP2323159A1	18.05.2011
		US2011114961A1	19.05.2011
		JP2011109075A	02.06.2011
		KR20110053039A	19.05.2011
CN103219228A	24.07.2013	无	

续：主题的分类：

H01L 21/20 (2006.01)i

H01L 29/786 (2006.01)i