

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5284415号
(P5284415)

(45) 発行日 平成25年9月11日 (2013.9.11)

(24) 登録日 平成25年6月7日 (2013.6.7)

(51) Int.Cl.

F I

H O 3 K 3/356 (2006.01)

H O 3 K 3/356

H O 3 K 3/3562 (2006.01)

請求項の数 7 (全 23 頁)

(21) 出願番号	特願2011-125500 (P2011-125500)	(73) 特許権者	396023993
(22) 出願日	平成23年6月3日 (2011.6.3)		株式会社半導体理工学研究センター
(65) 公開番号	特開2012-253612 (P2012-253612A)		神奈川県横浜市港北区新横浜 3 丁目 1 7 番
(43) 公開日	平成24年12月20日 (2012.12.20)		地 2 友泉新横浜ビル6階
審査請求日	平成24年6月25日 (2012.6.25)	(74) 代理人	100101454
			弁理士 山田 卓二
		(74) 代理人	100081422
			弁理士 田中 光雄
		(74) 代理人	100125874
			弁理士 川端 純市
		(72) 発明者	川口 博
			兵庫県神戸市灘区六甲台町 1 - 1 国立大 学法人神戸大学内

最終頁に続く

(54) 【発明の名称】 フリップフロップ回路装置及びそれを用いたプロセッサ装置

(57) 【特許請求の範囲】

【請求項 1】

それぞれ入力側端子及び出力側端子を有する第 1 のラッチ回路と第 2 のラッチ回路とを第 1 のゲートを介して接続して構成された第 1 のフリップフロップ回路と、

それぞれ入力側端子及び出力側端子を有する第 3 のラッチ回路と第 4 のラッチ回路とを第 2 のゲートを介して接続して構成された第 2 のフリップフロップ回路と、

上記第 1 のラッチ回路の入力側端子と、上記第 3 のラッチ回路の出力側端子との間を短絡又は開放し、短絡時に同一の論理値を有する第 3 のゲートと、

上記第 1 のラッチ回路の出力側端子と、上記第 3 のラッチ回路の入力側端子との間を短絡又は開放し、短絡時に同一の論理値を有する第 4 のゲートと、

上記第 2 のラッチ回路の入力側端子と、上記第 4 のラッチ回路の出力側端子との間を短絡又は開放し、短絡時に同一の論理値を有する第 5 のゲートと、

上記第 2 のラッチ回路の出力側端子と、上記第 4 のラッチ回路の入力側端子との間を短絡又は開放し、短絡時に同一の論理値を有する第 6 のゲートとを備えたフリップフロップ回路装置であって、

所定の第 1 の動作電圧で動作させる第 1 の電圧モード時に、上記第 3 乃至第 6 のゲートを開放することにより上記第 1 のフリップフロップ回路と上記第 2 のフリップフロップ回路とを別々に動作させる一方、上記第 1 の動作電圧よりも低い第 2 の動作電圧で動作させる第 2 の電圧モード時に、上記第 3 乃至第 6 のゲートを短絡することにより上記第 1 のフリップフロップ回路と上記第 2 のフリップフロップ回路とを互いに反転関係のデータを保

10

20

持して相補的なデータ処理を行うように協働動作させることを特徴とするフリップフロップ回路装置。

【請求項 2】

上記第 1 のフリップフロップ回路は、上記第 1 のラッチ回路に記憶されたデータを所定の転送期間において上記第 1 のゲートを介して上記第 2 のラッチ回路に転送して出力し、

上記第 2 のフリップフロップ回路は、上記第 3 のラッチ回路に記憶されたデータを上記転送期間において上記第 2 のゲートを介して上記第 4 のラッチ回路に転送して出力することにより、上記第 1 のフリップフロップ回路とは互いに反転関係のデータを保持し、

上記第 3 のゲートは、上記第 1 のラッチ回路の入力側端子と、上記第 3 のラッチ回路の出力側端子との間に接続されかつ上記第 1 のラッチ回路の入力側端子と上記第 3 のラッチ回路の出力側端子との間を短絡又は開放し、上記短絡時に上記第 1 のラッチ回路の入力側端子及び上記第 3 のラッチ回路の出力側端子において同一の論理値を有し、

10

上記第 4 のゲートは、上記第 1 のラッチ回路の出力側端子と、上記第 3 のラッチ回路の入力側端子との間に接続されかつ上記第 1 のラッチ回路の出力側端子と上記第 3 のラッチ回路の入力側端子との間を短絡又は開放し、上記短絡時に上記第 1 のラッチ回路の出力側端子及び上記第 3 のラッチ回路の入力側端子において同一の論理値を有し、

上記第 5 のゲートは、上記第 2 のラッチ回路の入力側端子と、上記第 4 のラッチ回路の出力側端子との間に接続されかつ上記第 2 のラッチ回路の入力側端子と上記第 4 のラッチ回路の出力側端子との間を短絡又は開放し、上記短絡時に上記第 2 のラッチ回路の入力側端子及び上記第 4 のラッチ回路の出力側端子において同一の論理値を有し、

20

上記第 6 のゲートは、上記第 2 のラッチ回路の出力側端子と、上記第 4 のラッチ回路の入力側端子との間に接続されかつ上記第 2 のラッチ回路の出力側端子と上記第 4 のラッチ回路の入力側端子との間を短絡又は開放し、上記短絡時に上記第 2 のラッチ回路の出力側端子及び上記第 4 のラッチ回路の入力側端子において同一の論理値を有することを特徴とする請求項 1 記載のフリップフロップ回路装置。

【請求項 3】

上記第 1 のラッチ回路はクロスカップリングされた第 1 及び第 2 のインバータを含み、

上記第 2 のラッチ回路はクロスカップリングされた第 3 及び第 4 のインバータを含み、

上記第 3 のラッチ回路はクロスカップリングされた第 5 及び第 6 のインバータを含み、

上記第 4 のラッチ回路はクロスカップリングされた第 7 及び第 8 のインバータを含み、

30

上記第 2 の電圧モード時に、上記第 6 のインバータからの出力信号を上記第 1 のインバータからの出力信号により同一の論理値で補強して上記第 1 のラッチ回路の出力側端子からの出力信号の信号保持力を増大させ、上記第 2 のインバータからの出力信号を上記第 5 のインバータからの出力信号により同一の論理値で補強して上記第 3 のラッチ回路の出力側端子からの出力信号の信号保持力を増大させ、

上記第 2 の電圧モード時に、上記第 8 のインバータからの出力信号を上記第 3 のインバータからの出力信号により同一の論理値で補強して上記第 2 のラッチ回路の出力側端子からの出力信号の信号保持力を増大させ、上記第 4 のインバータからの出力信号を上記第 7 のインバータからの出力信号により同一の論理値で補強して上記第 4 のラッチ回路の出力側端子からの出力信号の信号保持力を増大させることを特徴とする請求項 2 記載のフリップフロップ回路装置。

40

【請求項 4】

上記第 1 のインバータの出力電力を上記第 6 のインバータの出力電力よりも大きくなるように設定し、

上記第 5 のインバータの出力電力を上記第 2 のインバータの出力電力よりも大きくなるように設定し、

上記第 3 のインバータの出力電力を上記第 8 のインバータの出力電力よりも大きくなるように設定し、

上記第 7 のインバータの出力電力を上記第 4 のインバータの出力電力よりも大きくなるように設定したことを特徴とする請求項 3 記載のフリップフロップ回路装置。

50

【請求項 5】

上記第 1 のフリップフロップ回路及び上記第 2 のフリップフロップ回路はそれぞれ、マスタスレーブ型フリップフロップ回路であることを特徴とする請求項 1 乃至 4 のうちのいずれか 1 つに記載のフリップフロップ回路装置。

【請求項 6】

上記第 1 のフリップフロップ回路及び上記第 2 のフリップフロップ回路はそれぞれ、センスアンプ型フリップフロップ回路であることを特徴とする請求項 1 乃至 4 のうちのいずれか 1 つに記載のフリップフロップ回路装置。

【請求項 7】

請求項 1 乃至 6 のうちのいずれか 1 つに記載のフリップフロップ回路装置を備えたことを特徴とするプロセッサ装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、特に、安定に低電圧動作可能なフリップフロップ回路装置及びそれを用いたプロセッサ装置に関する。

【背景技術】

【0002】

昨今、LSI で構成されたプロセッサ装置において、マルチコア化が進んでいる。しかしながら、すべてのコアを使い切ることが難しいという問題点があった。以下の明細書において、「ハイアクティブ」とは、ハイレベル信号の論理が真論理を表す（ポジティブ・トゥルー（positive-true））論理回路、信号処理回路又はプロセッサをいい、「ローアクティブ」とは、ローレベル信号の論理が真論理を表す（ネガティブ・トゥルー（negative-true））論理回路、信号処理回路又はプロセッサをいう。また、p チャンネル MOS（Metal-Oxide Semiconductor）トランジスタを p MOS トランジスタといい、n チャンネル MOS トランジスタを n MOS トランジスタという。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開平 10 - 149678 号公報

【特許文献 2】特開 2008 - 131320 号公報

【特許文献 3】特開 2008 - 219491 号公報

【非特許文献】

【0004】

【非特許文献 1】Hiroshi Kawaguchi et al., "A Reduced Clock-Swing Flip-Flop (RCSF) for 63 % Power Reduction", Brief Papers, IEEE Journal of Solid State Circuits, Vol. 33, No. 5, May 1998.

【非特許文献 2】H. Fujiwara et al., "Quality of a Bit (QoB): A New Concept in Dependable SRAM", In Proceeding of IEEE International Symposium on Quality Electronic Design (ISQED), pp. 98-102, March 2008.

【非特許文献 3】J. Charles et al., "Evaluation of the Intel Core i7 Turbo Boost feature", In Proceedings of IEEE International Symposium on Workload Characterization (IISWC), pp. 188-197, October 2009.

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明者らは、プロセッサ装置において、使用していないコアのリソースを使用して低電圧動作できないか検討してきた。プロセッサ装置において、低電圧動作で問題になるのはフリップフロップ回路であり、その故障原因について以下のように検討した。

【0006】

図 16 は、例えばプロセッサ装置で用いられる、従来技術に係る一般的なマスタスレーブ型フリップフロップ回路の構成を示す回路図である（例えば、特許文献 3 参照。）。図 16 において、入力端子と出力端子との間に、伝送ゲート T G 1 0 1 と、クロスカップリングされたインバータ 1 0 1 , 1 0 2 からなるラッチ回路 L 1 0 1 と、伝送ゲート T G 1 0 2 と、クロスカップリングされたインバータ 1 0 3 , 1 0 4 からなるラッチ回路 L 1 0 2 とを備えて構成される。ここで、入力信号 D を入力したときに、ラッチ回路 L 1 0 1 からの出力信号を S 1 とし、伝送ゲート T G 1 0 2 からの出力信号を S 2 とし、ラッチ回路 L 1 0 2 からの出力信号であって当該フリップフロップ回路の出力信号を Q とする。

【 0 0 0 7 】

図 17 は図 16 のフリップフロップ回路の低電圧動作時の問題点を示す信号波形図である。図 17 から明らかなように、各ラッチ回路 L 1 0 1 , L 1 0 2 からの出力信号 S 1 , Q において、符号 3 0 1 及び 3 0 2 で示すように、レベル保持力（リテンション）が弱く、信号レベルが低下して誤動作する場合があるという問題点があった。

【 0 0 0 8 】

本発明の目的は以上の問題点を解決し、従来技術に比較して低電圧で安定に動作することができるフリップフロップ回路装置とそれを用いたプロセッサ装置を提供することにある。

【課題を解決するための手段】

【 0 0 0 9 】

第 1 の発明に係るフリップフロップ回路装置は、

それぞれ入力側端子及び出力側端子を有する第 1 のラッチ回路と第 2 のラッチ回路とを第 1 のゲートを介して接続して構成された第 1 のフリップフロップ回路と、

それぞれ入力側端子及び出力側端子を有する第 3 のラッチ回路と第 4 のラッチ回路とを第 2 のゲートを介して接続して構成された第 2 のフリップフロップ回路と、

上記第 1 のラッチ回路の入力側端子と、上記第 3 のラッチ回路の出力側端子との間を短絡又は開放し、短絡時に同一の論理値を有する第 3 のゲートと、

上記第 1 のラッチ回路の出力側端子と、上記第 3 のラッチ回路の入力側端子との間を短絡又は開放し、短絡時に同一の論理値を有する第 4 のゲートと、

上記第 2 のラッチ回路の入力側端子と、上記第 4 のラッチ回路の出力側端子との間を短絡又は開放し、短絡時に同一の論理値を有する第 5 のゲートと、

上記第 2 のラッチ回路の出力側端子と、上記第 4 のラッチ回路の入力側端子との間を短絡又は開放し、短絡時に同一の論理値を有する第 6 のゲートとを備えたフリップフロップ回路装置であって、

所定の第 1 の動作電圧で動作させる第 1 の電圧モード時に、上記第 3 乃至第 6 のゲートを開放することにより上記第 1 のフリップフロップ回路と上記第 2 のフリップフロップ回路とを別々に動作させる一方、上記第 1 の動作電圧よりも低い第 2 の動作電圧で動作させる第 2 の電圧モード時に、上記第 3 乃至第 6 のゲートを短絡することにより上記第 1 のフリップフロップ回路と上記第 2 のフリップフロップ回路とを互いに反転関係のデータを保持して相補的なデータ処理を行うように協働動作させることを特徴とする。

【 0 0 1 0 】

上記フリップフロップ回路装置において、上記第 1 のフリップフロップ回路は、上記第 1 のラッチ回路に記憶されたデータを所定の転送期間において上記第 1 のゲートを介して上記第 2 のラッチ回路に転送して出力し、

上記第 2 のフリップフロップ回路は、上記第 3 のラッチ回路に記憶されたデータを上記転送期間において上記第 2 のゲートを介して上記第 4 のラッチ回路に転送して出力することにより、上記第 1 のフリップフロップ回路とは互いに反転関係のデータを保持し、

上記第 3 のゲートは、上記第 1 のラッチ回路の入力側端子と、上記第 3 のラッチ回路の出力側端子との間に接続されかつ上記第 1 のラッチ回路の入力側端子と上記第 3 のラッチ回路の出力側端子との間を短絡又は開放し、上記短絡時に上記第 1 のラッチ回路の入力側端子及び上記第 3 のラッチ回路の出力側端子において同一の論理値を有し、

上記第4のゲートは、上記第1のラッチ回路の出力側端子と、上記第3のラッチ回路の入力側端子との間に接続されかつ上記第1のラッチ回路の出力側端子と上記第3のラッチ回路の入力側端子との間を短絡又は開放し、上記短絡時に上記第1のラッチ回路の出力側端子及び上記第3のラッチ回路の入力側端子において同一の論理値を有し、

上記第5のゲートは、上記第2のラッチ回路の入力側端子と、上記第4のラッチ回路の出力側端子との間に接続されかつ上記第2のラッチ回路の入力側端子と上記第4のラッチ回路の出力側端子との間を短絡又は開放し、上記短絡時に上記第2のラッチ回路の入力側端子及び上記第4のラッチ回路の出力側端子において同一の論理値を有し、

上記第6のゲートは、上記第2のラッチ回路の出力側端子と、上記第4のラッチ回路の入力側端子との間に接続されかつ上記第2のラッチ回路の出力側端子と上記第4のラッチ回路の入力側端子との間を短絡又は開放し、上記短絡時に上記第2のラッチ回路の出力側端子及び上記第4のラッチ回路の入力側端子において同一の論理値を有することを特徴とする。

10

【0011】

また、上記フリップフロップ回路装置において、上記第1のラッチ回路はクロスカップリングされた第1及び第2のインバータを含み、

上記第2のラッチ回路はクロスカップリングされた第3及び第4のインバータを含み、

上記第3のラッチ回路はクロスカップリングされた第5及び第6のインバータを含み、

上記第4のラッチ回路はクロスカップリングされた第7及び第8のインバータを含み、

上記第2の電圧モード時に、上記第6のインバータからの出力信号を上記第1のインバータからの出力信号により同一の論理値で補強して上記第1のラッチ回路の出力側端子からの出力信号の信号保持力を増大させ、上記第2のインバータからの出力信号を上記第5のインバータからの出力信号により同一の論理値で補強して上記第3のラッチ回路の出力側端子からの出力信号の信号保持力を増大させ、

20

上記第2の電圧モード時に、上記第8のインバータからの出力信号を上記第3のインバータからの出力信号により同一の論理値で補強して上記第2のラッチ回路の出力側端子からの出力信号の信号保持力を増大させ、上記第4のインバータからの出力信号を上記第7のインバータからの出力信号により同一の論理値で補強して上記第4のラッチ回路の出力側端子からの出力信号の信号保持力を増大させることを特徴とする。

【0012】

30

さらに、上記フリップフロップ回路装置において、上記第1のインバータの出力電力を上記第6のインバータの出力電力よりも大きくなるように設定し、

上記第5のインバータの出力電力を上記第2のインバータの出力電力よりも大きくなるように設定し、

上記第3のインバータの出力電力を上記第8のインバータの出力電力よりも大きくなるように設定し、

上記第7のインバータの出力電力を上記第4のインバータの出力電力よりも大きくなるように設定したことを特徴とする。

【0013】

またさらに、上記フリップフロップ回路装置において、上記第1のフリップフロップ回路及び上記第2のフリップフロップ回路はそれぞれ、マスタスレーブ型フリップフロップ回路であることを特徴とする。

40

【0014】

またさらに、上記フリップフロップ回路装置は、上記第1のフリップフロップ回路及び上記第2のフリップフロップ回路はそれぞれ、センスアンプ型フリップフロップ回路であることを特徴とする。

【0015】

第2の発明に係るプロセッサ装置は、上記フリップフロップ回路装置を備えたことを特徴とする。

【発明の効果】

50

【 0 0 1 6 】

従って、本発明によれば、所定の第 1 の動作電圧で動作させる第 1 の電圧モード時に、上記第 3 乃至第 6 のゲートを開放することにより上記第 1 のフリップフロップ回路と上記第 2 のフリップフロップ回路とを別々に動作させる一方、上記第 1 の動作電圧よりも低い第 2 の動作電圧で動作させる第 2 の電圧モード時に、上記第 3 乃至第 6 のゲートを短絡することにより上記第 1 のフリップフロップ回路と上記第 2 のフリップフロップ回路とを互いに反転関係のデータを保持して相補的なデータ処理を行うように協働動作させる。すなわち、2 種類の動作モードを有し、例えば所定の標準電圧では一般的なフリップフロップ回路と同様に動作する一方、例えば低電圧モードでは、2 つのフリップフロップ回路の内部ノードを接続し、フリップフロップ回路装置の容量は半分になるが低電圧で動作することができる。ここで、低電圧モードでは、分離されたフリップフロップ回路の各ラッチ回路においてデータの保持力を小さいが、内部ノードを接続することで相補的にデータの保持力を増大させて動作させることができる。

10

【図面の簡単な説明】

【 0 0 1 7 】

【図 1】本発明の一実施形態に係る、複数のプロセッサコア（以下、コアという。）10 を有するプロセッサ IC 1 の構成を示すブロック図である。

【図 2 A】図 1 のコア 10 においていわゆるハイクティブのパスが選択された場合であって、電圧スケールリング（低負荷タスクの実行）時のコア 10 とその等価回路を示すブロック図である。

20

【図 2 B】図 1 のコア 10 においていわゆるハイクティブのパスが選択された場合であって、速度ブースティング（高負荷タスクの実行）時のコア 10 とその等価回路を示すブロック図である。

【図 3】図 1 及び図 2 のコア 10 において用いる 7 T / 1 4 T カップリング S R A M の構成を示す回路図である。

【図 4 A】図 1 及び図 2 のコア 10 において用いるマスタスレーブ型カップリングフリップフロップ回路の第 1 の部分の構成を示す回路図である。

【図 4 B】図 1 及び図 2 のコア 10 において用いるマスタスレーブ型カップリングフリップフロップ回路の第 2 の部分の構成を示す回路図である。

【図 4 C】図 4 B の入力信号回路部 3 6 で用いる制御線信号 C T R L 1 , C T R L 2 , C T R L 3 に基づいて制御する非制御伝送ゲート、及び各モードに対するオンオフ制御を示す表である。

30

【図 5】図 2 A 及び図 2 B の論理回路 1 4 a , 1 4 b においてプロセスコーナーを変化したときの n M O S のしきい値電圧（絶対値）偏差 $|V_{tn}|$ (V) と p M O S のしきい値電圧（絶対値）偏差 $|V_{tp}|$ (V) との関係を示す図である。

【図 6 A】コア 10 のデコード回路のうち N A N D 回路部の構成を示す回路図である。

【図 6 B】コア 10 のデコード回路のうち N O R 回路部の構成を示す回路図である。

【図 7 A】図 6 A のナンドゲート N A N D 1 ~ 3 の詳細構成を示す回路図である。

【図 7 B】図 6 B のノアゲート N O R 1 ~ 3 の詳細構成を示す回路図である。

【図 8 A】図 7 A のナンドゲート N A N D 1 ~ 3 及び図 7 B のノアゲート N O R 1 ~ 3 を S F プロセスコーナーで試作したときの各出力信号の波形図である。

40

【図 8 B】図 7 A のナンドゲート N A N D 1 ~ 3 及び図 7 B のノアゲート N O R 1 ~ 3 を F S プロセスコーナーで試作したときの各出力信号の波形図である。

【図 9】本発明の第 1 の変形例に係るマスタスレーブ型カップリングフリップフロップ回路の構成を示す回路図である。

【図 1 0】本発明の第 2 の変形例に係るマスタスレーブ型カップリングフリップフロップ回路の構成を示す回路図である。

【図 1 1】本発明の第 3 の変形例に係るセンスアンプ型カップリングフリップフロップ回路の構成を示す回路図である。

【図 1 2】図 4 A、図 4 B、図 1 0、図 1 1 の伝送ゲート T G 1 ~ T G 3 3 に代わる変形

50

例である転送ゲート T R 1 0 0 の構成を示す回路図である。

【図 1 3】図 4 A、図 4 B、図 1 0、図 1 1 の伝送ゲート T G 1 ~ T G 3 3 に代わる変形例であるインバータゲート回路 1 0 0 A の構成を示す回路図である。

【図 1 4】従来技術に係るフリップフロップ回路及び実施形態に係るフリップフロップ回路のシミュレーション結果であって、各プロセスコーナーに対する 1 M H z 動作時の最低動作電圧を示すグラフである。

【図 1 5 A】本実施形態に係るアプリケーションであって、すべてのコア 2 0 1 ~ 2 0 8 を高速動作で動作させたときのブロック図である。

【図 1 5 B】本実施形態に係るアプリケーションであって、各コア対 (2 0 1 , 2 0 2) (2 0 3 , 2 0 4) (2 0 5 , 2 0 6) (2 0 7 , 2 0 8) で接続して低電圧動作させたときのブロック図である。

10

【図 1 6】従来技術に係る一般的なマスタスレーブ型フリップフロップ回路の構成を示す回路図である。

【図 1 7】図 1 6 のフリップフロップ回路の低電圧動作時の問題点を示す信号波形図である。

【発明を実施するための形態】

【 0 0 1 8 】

実施形態 .

以下、本発明に係る実施形態について図面を参照して説明する。なお、以下の各実施形態において、同様の構成要素については同一の符号を付している。

20

【 0 0 1 9 】

図 1 は本発明の一実施形態に係る、複数のコアを有するプロセッサ I C 1 の構成を示すブロック図である。図 1 において、プロセッサ I C 1 (プロセッサ装置) は複数のコア 1 0 を備えて構成され、各コア 1 0 は、ハイクティブで動作するポジティブ・トゥルーのプロセッサエレメント (以下、 p P E という。) 1 1 と、ローアクティブで動作するネガティブ・トゥルーのプロセッサエレメント (以下、 n P E という。) 1 2 とを互いに隣接して配置するように備えて構成される。多くのコアアーキテクチャでは、処理を実行するために十分なプロセッサエレメント (以下、 P E という。) が存在する。低負荷タスクでは、一般的に、すべての P E を必要とされない。低いプロセッサ利用率よりは、低電力が望まれている。このような条件のもとでは、余分なハードウェアのリソースを活用して消費電力を節約することができる。ここで、2つの P E に対して積極的に最低動作電圧 (V m i n) を低下させることができ、低消費電力化に有効である。

30

【 0 0 2 0 】

図 1 のプロセッサ I C 1 において、通常のタスクは、p P E 1 1 又は n P E 1 2 のいずれかで定格電圧で実行される。一方、低負荷のタスクでは、上記定格電圧よりも低い電圧 (電圧スケールリング) で動作可能なカップリングプロセッサ (p P E 1 1 と n P E 1 2 との 1 対) を構成する。本発明者らはこれを「プロセッサ・カップリング・アーキテクチャ」と呼び、高い負荷を、高い周波数 (速度ブースティング) で動作するカップリングプロセッサに割り当てる。

【 0 0 2 1 】

40

図 2 A は図 1 のコア 1 0 においていわゆるハイクティブのパスが選択された場合であって、電圧スケールリング (低負荷タスクの実行) 時のコア 1 0 とその等価回路を示すブロック図である。図 2 B は図 1 のコア 1 0 においていわゆるハイクティブのパスが選択された場合であって、速度ブースティング (高負荷タスクの実行) 時のコア 1 0 とその等価回路を示すブロック図である。すなわち、図 2 A 及び図 2 B は、上述のプロセッサ・カップリング・アーキテクチャにおける 2 つのタイプの構成 (電圧スケールリング及び速度ブースティング) を示している。図 2 A 及び図 2 B において、16 はインバータであり、p P E 及び n P E からなるコア 1 0 は、

(a) 2 個のフリップフロップ回路 1 3 a , 1 3 b からなるフリップフロップ回路部 1 3 と、

50

(b) 2 個の論理回路 1 4 a , 1 4 b からなる論理回路部 1 4 と、
(c) 2 個の 1 / 2 S R A M 1 5 a , 1 5 b からなる S R A M (Static Random Access Memory) 1 5 と

を含み等価的に構成される。ここで、p P E 1 1 は、フリップフロップ回路 1 3 a と、論理回路 1 4 a と、1 / 2 S R A M 1 5 a との構成に対応し、n P E 1 2 は、フリップフロップ回路 1 3 b と、論理回路 1 4 b と、1 / 2 S R A M 1 5 b との構成に対応する。

【 0 0 2 2 】

図 2 A 及び図 2 B から明らかなように、論理回路 1 4 において、ハイクティブのパス又はローアクティブのパスのいずれかがプロセスバラツキに依存して選択されるが、両方の 1 / 2 S R A M 1 5 a , 1 5 b が使用される。なぜならば、S R A M 1 5 は、低電圧動作又は高周波動作に応じて半分に分割されている。電圧スケールでは、カップリングされたフリップフロップ回路部 1 3 (詳細後述する) が低電圧動作を確実に実行するために提供されている。

【 0 0 2 3 】

図 3 は図 1 及び図 2 のコア 1 0 において用いる 7 T / 1 4 T カップリング S R A M の構成を示す回路図である。すなわち、図 3 は、非特許文献 2 において開示された 2 つのビットセルに対して 1 4 個のトランジスタ (1 4 T) を有するカップリング S R A M ビットセルを示す。

【 0 0 2 4 】

図 3 において、M O S トランジスタ M 0 0 , M 0 2 にてなるインバータ 2 1 と、M O S トランジスタ M 0 1 , M 0 3 にてなるインバータ 2 2 とがクロスカップリングされて第 1 のラッチ回路 L 1 を構成する。ラッチ回路 L 1 のノード N 0 0 は M O S トランジスタ M 0 4 を介してビット線 B L に接続され、ラッチ回路 L 1 のノード N 0 1 は M O S トランジスタ M 0 5 を介して反転ビット線 / B L に接続される。ここで、M O S トランジスタ M 0 4 , M 0 5 の各ゲートはワード線 W L 0 に接続される。また、M O S トランジスタ M 1 0 , M 1 2 にてなるインバータ 2 3 と、M O S トランジスタ M 1 1 , M 1 3 にてなるインバータ 2 4 とがクロスカップリングされて第 2 のラッチ回路 L 2 を構成する。ラッチ回路 L 2 のノード N 1 0 は M O S トランジスタ M 1 4 を介してビット線 B L に接続され、ラッチ回路 L 2 のノード N 1 1 は M O S トランジスタ M 1 5 を介して反転ビット線 / B L に接続される。ここで、M O S トランジスタ M 1 4 , M 1 5 の各ゲートはワード線 W L 1 に接続される。さらに、ノード N 0 0 は伝送ゲートである M O S トランジスタ M 2 0 を介してノード 1 0 に接続され、ノード N 0 1 は伝送ゲートである M O S トランジスタ M 2 1 を介してノード 1 1 に接続される。ここで、制御線信号 / C T R L がローレベルとなると、M O S トランジスタ M 2 0 及び M 2 1 がオンされ、2 つのビットセルが同一の論理値で接続されてカップリング状態となる。

【 0 0 2 5 】

以上のように構成されたカップリング S R A M において、2 個の p M O S トランジスタ M 2 0 , M 2 1 が、従来技術に係る 6 トランジスタ (以下、6 T という。) ビットセルの 1 対における内部ノード N 0 1 , N 1 1 に接続されている。7 T / 1 4 T S R A M は以下の 3 つのモードを有する。

(1) ノーマルモード (7 T) : 制御線信号 / C T R L がハイレベルとされて付加的な M O S トランジスタ M 2 0 , M 2 1 がオフされる。7 T の各ビットセルは、従来技術の 6 T セルとして動作する。

(2) 電圧スケールモード (低電圧モードともいう。) (1 4 T) : 制御線信号 / C T R L がローレベルとされて付加的な M O S トランジスタ M 2 0 , M 2 1 がオンされる。ここで、内部ノード M 2 0 , M 2 1 はメモリセルのペアで共用されるが、ワード線 W L 0 又は W L 1 のいずれかがアサートされる。そのように構成することにより、アクセストランジスタに対する駆動トランジスタのサイズ比である比 が 2 倍になるので、より大きな静雑音マージンを得ることができる。

(3) 速度ブースティングモード (1 4 T) : 付加的な M O S トランジスタ M 2 0 , M 2

10

20

30

40

50

1 がオフされる。両方のワード線 WL_0 , WL_1 は駆動され、14 個のトランジスタを用いてより高速で読み出し動作を行うことができる。昨今のプロセッサ装置では、動作周波数を制限するので、メモリのアクセス時間は非常に重要である（例えば、非特許文献 2 参照。）。

【0026】

図 4 A は図 1 及び図 2 のコア 10 において用いるマスタスレーブ型カップリングフリップフロップ回路の第 1 の部分の構成を示す回路図である。また、図 4 B は図 1 及び図 2 のコア 10 において用いるマスタスレーブ型カップリングフリップフロップ回路の第 2 の部分の構成を示す回路図である。さらに、図 4 C は図 4 B の入力信号回路部 36 で用いる制御線信号 $CTRL_1$, $CTRL_2$, $CTRL_3$ に基づいて制御する非制御伝送ゲート、及び各モードに対するオンオフ制御を示す表である。

10

【0027】

図 4 A 及び図 4 B において、マスタスレーブ型カップリングフリップフロップ回路は、
 (1) クロック CLK に基づいて制御クロック信号 CK , $/CK$ (以下、 CK 信号、 $/CK$ 信号という。) を発生する CK 信号発生部 30 と、
 (2) 電圧スケーリングモードにおいて、入力信号 D , $/D$ に基づいて、内部処理用入力信号 D_{in} , $/D_{in}$ を発生する入力信号回路部 36 と、
 (3) 入力信号 D_{in} を所定時間だけ遅延させて出力信号 Q を発生して出力するフリップフロップ回路 FF_1 と、
 (4) 入力信号 $/D_{in}$ を所定時間だけ遅延させて出力信号 $/Q$ を発生して出力するフリップフロップ回路 FF_2 と、
 (5) 動作モードを示す制御線信号 $CTRL_1$, $CTRL_2$, $CTRL_3$ に応じてフリップフロップ回路 FF_1 , FF_2 を互いにカップリングさせるか否かを選択的に切り換えるゲート回路部 37 とを備えて構成される。ここで、後者 3 つの回路で FF 回路部 35 を構成する。

20

【0028】

図 4 A の CK 信号発生部 30 は、2 個の MOS トランジスタ Q_1 , Q_2 からなるインバータ 31 と、2 個の MOS トランジスタ Q_3 , Q_4 からなるインバータ 32 とが縦続接続されて構成され、インバータ 31 はクロック CLK を反転して $/CK$ 信号を発生してインバータ 32 に出力し、インバータ 32 は $/CK$ 信号を反転して CK 信号を発生して出力する。

30

【0029】

図 4 B の入力信号回路部 36 は、
 (1) CK 信号及び $/CK$ 信号に応答してオン又はオフとなる伝送ゲート TG_3 , TG_4 と、
 (2) 動作モードを示す制御線信号 $/CTRL$ 及びそれがインバータ 40a により反転された制御線信号 $CTRL$ に応答してオン又はオフとなる伝送ゲート TG_5 , TG_6 と、
 (3) MOS トランジスタ Q_5 , Q_6 からなるインバータ 33 と、
 (4) MOS トランジスタ Q_7 , Q_8 からなるインバータ 34 とを備えて構成される。

【0030】

以上のように構成された入力信号回路部 36 の動作について、図 4 B 及び図 4 C を参照して以下説明する。各伝送ゲート $TG_3 \sim TG_6$ については、動作モードに応じて変化する 3 つの制御線信号 $CTRL_1$, $CTRL_2$, $CTRL_3$ に基づいてオンオフ制御される。

40

【0031】

電圧スケーリングモード（低電圧モード）の入力信号 D 選択モードでは、伝送ゲート TG_3 , TG_5 , TG_6 がオンとされ、伝送ゲート TG_4 がオフとされ、入力信号 D は伝送ゲート TG_3 を介して、入力信号 D_{in} として図 4 A のフリップフロップ回路 FF_1 に入力されるとともに、伝送ゲート TG_3 からインバータ 33、及び伝送ゲート TG_5 を介して入力信号 $/D_{in}$ としてフリップフロップ回路 FF_2 に入力される。

50

【 0 0 3 2 】

また、電圧スケーリングモード（低電圧モード）の入力信号 / D 選択モードでは、伝送ゲート T G 4 , T G 5 , T G 6 がオンとされ、伝送ゲート T G 3 がオフとされ、入力信号 / D は伝送ゲート T G 4 を介して、入力信号 / D i n として図 4 A のフリップフロップ回路 F F 2 に入力されるとともに、伝送ゲート T G 4 からインバータ 3 4、及び伝送ゲート T G 6 を介して入力信号 D i n としてフリップフロップ回路 F F 1 に入力される。

【 0 0 3 3 】

さらに、速度ブースティングモード又は F F 分離モード（フリップフロップ回路 F F 1 と F F 2 を分離して独立して動作させるモードをいう。）では、伝送ゲート T G 3 , T G 4 がオンとされ、伝送ゲート T G 5 , T G 6 がオフとされ、入力信号 D は伝送ゲート T G 3 を介して、入力信号 D i n として図 4 A のフリップフロップ回路 F F 1 に入力されるとともに、入力信号 / D は伝送ゲート T G 4 を介して、入力信号 / D i n として図 4 A のフリップフロップ回路 F F 2 に入力される。

【 0 0 3 4 】

すなわち、2つのフリップフロップ回路 F F 1 , F F 2 がカップリングしないときは（電圧スケーリングモード以外の速度ブースティングモード又は F F 分離モードなどの動作モード）、伝送ゲート T G 5 , T G 6 がオフとされ、入力信号 D から内部処理用入力信号 D i n までに至るライン L N 1 と、入力信号 / D から内部処理用入力信号 / D i n までに至るライン L N 2 とが分離され、2つのフリップフロップ回路 F F 1 , F F 2 が別々に動作する。一方、電圧スケーリングモードにおいて、伝送ゲート T G 5 , T G 6 がオンとされて上述のように動作する。

【 0 0 3 5 】

次いで、図 4 A のフリップフロップ回路 F F 1 , F F 2 の構成及び動作について以下に説明する。

【 0 0 3 6 】

図 4 A のフリップフロップ回路 F F 1 は、

(1) M O S トランジスタ Q 1 1 ~ Q 1 4 からなるインバータ 4 1 と、
 (2) M O S トランジスタ Q 1 5 , Q 1 6 からなるインバータ 4 2 と、
 (3) M O S トランジスタ Q 1 7 ~ Q 2 0 からなるインバータ 4 3 と、
 (4) 転送ゲート T G 1 と、
 (5) M O S トランジスタ Q 2 1 , Q 2 2 からなるインバータ 4 4 と、
 (6) M O S トランジスタ Q 2 3 ~ Q 2 6 からなるインバータ 4 5 と、
 (7) M O S トランジスタ Q 2 7 , Q 2 8 からなるインバータ 4 6 とを備えて構成される。
 ここで、インバータ 4 2 とインバータ 4 3 とが互いにクロスカップリングされてラッチ回路 L 1 1 を構成し、インバータ 4 4 とインバータ 4 5 とが互いにクロスカップリングされてラッチ回路 L 1 2 を構成する。そして、インバータ 4 1 と、ラッチ回路 L 1 1 と、伝送ゲート T G 1 と、ラッチ回路 L 1 2 と、インバータ 4 6 とがこれらの順序で縦続接続されてフリップフロップ回路 F F 1 を構成する。なお、インバータ 4 1 , 4 3 , 4 5 において、C K 信号、 / C K 信号に応じて動作する M O S トランジスタ Q 1 2 , Q 1 3 , Q 1 8 , Q 1 9 , Q 2 4 , Q 2 5 を挿入しているのは、インバータ 4 1 , 4 3 , 4 5 の非動作時（データ信号を保持せず、伝送するとき）において各インバータの入出力間を遮断してデータ信号の伝送を遮断して、データ信号を伝達するためである。

【 0 0 3 7 】

図 4 A のフリップフロップ回路 F F 2 は、

(1) M O S トランジスタ Q 3 1 ~ Q 3 4 からなるインバータ 5 1 と、
 (2) M O S トランジスタ Q 3 5 , Q 3 6 からなるインバータ 5 2 と、
 (3) M O S トランジスタ Q 3 7 ~ Q 4 0 からなるインバータ 5 3 と、
 (4) 転送ゲート T G 2 と、
 (5) M O S トランジスタ Q 4 1 , Q 4 2 からなるインバータ 5 4 と、
 (6) M O S トランジスタ Q 4 3 ~ Q 4 6 からなるインバータ 5 5 と、

(7) MOSトランジスタQ47, Q48からなるインバータ56とを備えて構成される。ここで、インバータ52とインバータ53とが互いにクロスカップリングされてラッチ回路L21を構成し、インバータ54とインバータ55とが互いにクロスカップリングされてラッチ回路L22を構成する。そして、インバータ51と、ラッチ回路L21と、伝送ゲートTG2と、ラッチ回路L22と、インバータ56とがこれらの順序で縦続接続されてフリップフロップ回路FF2を構成する。なお、インバータ51, 53, 55において、CK信号, /CK信号に応じて動作するMOSトランジスタQ32, Q33, Q38, Q39, Q44, Q45を挿入しているのは、インバータ51, 53, 55の非動作時(データ信号を保持せず、伝送するとき)において各インバータの入出力間を遮断してデータ信号の伝送を遮断して、データ信号を伝達するためである。

10

【0038】

図4Aのゲート回路35は4個の伝送ゲートTG11~TG14とインバータ40とを備えて構成され、電圧スケーリングモードのときに、制御線信号/CTRLがローレベルとなり、これらの伝送ゲートTG11~TG14がオンとされて、内部ノードN21と内部ノードN32が接続され、内部ノードN22と内部ノードN31が接続され、内部ノードN23と内部ノードN34が接続され、内部ノードN24と内部ノードN33が接続される。これにより、2個のフリップフロップ回路FF1, FF2がカップリングして、ラッチ回路L11とL21で同一の論理値のデータを保持し、ラッチ回路L12とL22で同一の論理値のデータを保持することにより、時間経過によって信号レベルが低下することを防止して、データ信号の保持力を増大させることができる。

20

【0039】

図4Aの回路では、例えば、以下のようにして、所定の占有エリアで構成した場合において、小さい出力電力のノードにおけるデータ信号を、それよりも大きな出力電力のノードにおけるデータ信号により補強することでデータ信号の保持力を増大させることができる。

【0040】

(1) インバータ42の各MOSトランジスタQ15, Q16のゲート長をインバータ53の各MOSトランジスタQ37~Q40のゲート長よりも長くすることにより、インバータ42の出力端子から出力される出力電力を、インバータ53の出力端子から出力される出力電力よりも大きく設計して設定することができる。

30

(2) インバータ52の各MOSトランジスタQ35, Q36のゲート長をインバータ43の各MOSトランジスタQ17~Q20のゲート長よりも長くすることにより、インバータ52の出力端子から出力される出力電力を、インバータ43の出力端子から出力される出力電力よりも大きく設計して設定することができる。

(3) インバータ44の各MOSトランジスタQ21, Q22のゲート長をインバータ55の各MOSトランジスタQ43~Q46のゲート長よりも長くすることにより、インバータ44の出力端子から出力される出力電力を、インバータ55の出力端子から出力される出力電力よりも大きく設計して設定することができる。

(4) インバータ54の各MOSトランジスタQ41, Q42のゲート長をインバータ45の各MOSトランジスタQ23~Q26のゲート長よりも長くすることにより、インバータ54の出力端子から出力される出力電力を、インバータ45の出力端子から出力される出力電力よりも大きく設計して設定することができる。

40

【0041】

以上のように構成された図4A及び図4Bのマススレーブ型カップリングフリップフロップ回路において、不平衡なFSプロセスコーナー(nMOSトランジスタが高速(Fast)で制御されかつpMOSトランジスタが低速(Slow)で制御されてシミュレーションされるプロセスコーナーをいう。また、nMOSトランジスタが低速(Slow)で制御されかつpMOSトランジスタが高速(Fast)で制御されてシミュレーションされるプロセスコーナーをSFプロセスコーナーという。詳細は図5参照。)は、図4Aのラッチ回路L11, L12のデータ信号の信号保持力が臨界的であるために、所定の低電圧動作におい

50

て臨界的なプロセスコーナーとなる。このことは、6T SRAMにおける最悪の信号保持力の状態と同様である。

【0042】

なお、FSプロセスコーナー及びSFプロセスコーナー以外のプロセスコーナーを以下のように定義する。

(a) SSプロセスコーナー：nMOSトランジスタが低速(Slow)で制御されかつpMOSトランジスタが低速(Slow)で制御されてシミュレーションされるプロセスコーナーをいう。

(b) TTプロセスコーナー：nMOSトランジスタが典型値(Typical)で制御されかつpMOSトランジスタが典型値(Typical)で制御されてシミュレーションされるプロセスコーナーをいう。

(c) FFプロセスコーナー：nMOSトランジスタが高速(Fast)で制御されかつpMOSトランジスタが高速(Fast)で制御されてシミュレーションされるプロセスコーナーをいう。

【0043】

本実施形態に係るカップリングされたフリップフロップ回路において、内部ノードが上述のように4個の伝送ゲートTG11~TG14を用いて接続され、このとき、2個のフリップフロップ回路FF1, FF2は互いに同一の論理値を有する各データ信号を補強しあう。これら伝送ゲートTG11~TG14は、動作モードに従って変化する制御線信号/CTRLによって適応的に切り換えられ、例えば、ノーマルモードでは、伝送ゲートTG11~TG14がともにオフとされて、上記2個のフリップフロップ回路FF1, FF2は独立して動作することができる。

【0044】

本発明者らが行った65nmプロセスによるシミュレーションでは、上記FSプロセスコーナーで製造された1個のフリップフロップ回路FF1又はFF2の最低動作電圧 V_{min} は0.46Vであり、上記カップリングされたフリップフロップ回路では、0.27Vまで低下させることができる。これは、上記カップリングされたフリップフロップ回路はデータ保持力の特性を大幅に改善できるためである。上述した電圧スケールモードは、例えば、バイオメディカルセンシング、センサネットワーク、及びウェアブルコンピューティングなどの極めて低電力のアプリケーションに対して適用することができる。

【0045】

図5は図2A及び図2Bの論理回路14a, 14bにおいてプロセスコーナーを変化したときのnMOSのしきい値電圧(絶対値)偏差 $|V_{tn}|$ (V)とpMOSのしきい値電圧(絶対値)偏差 $|V_{tp}|$ (V)との関係を示す図である。図5において、5つのプロセスコーナーを示している。通常、論理回路合成の場合のために、SSプロセスコーナー、TTプロセスコーナー及びFFプロセスコーナーについて考える。上述したように、最悪のプロセスコーナーは非常に低電源電圧で不平衡なコーナーである。図5において、1つのプロセスコーナーと好ましい論理ゲートとの関係を示している。

【0046】

図6Aはコア10のデコーダ回路のうちNAND回路部の構成を示す回路図であり、図6Bはコア10のデコーダ回路のうちNOR回路部の構成を示す回路図である。また、図7Aは図6AのナンドゲートNAND1~3の詳細構成を示す回路図であり、図7Bは図6BのノアゲートNOR1~3の詳細構成を示す回路図である。さらに、図8Aは図7AのナンドゲートNAND1~3及び図7BのノアゲートNOR1~3をSFプロセスコーナーで試作したときの各出力信号の波形図であり、図8Bは図7AのナンドゲートNAND1~3及び図7BのノアゲートNOR1~3をFSプロセスコーナーで試作したときの各出力信号の波形図である。

【0047】

図6AのNAND回路部は、3個のナンドゲートNAND1~NAND3を備えて構成

10

20

30

40

50

され、各ナンドゲートNAND 1～NAND 3は図7Aのごとく3個のpMOSトランジスタQ111～Q113及びnMOSトランジスタQ114～Q116を備えて構成される。この場合においては、図7Aにおいて3入力NANDゲートがスタックされた3個のnMOSトランジスタQ114～Q116を有するために、図8Aに示すように、SFプロセスコーナーで比較的長い立下り時間を有する。

【0048】

また、図6BのNOR回路部は、3個のノアゲートNOR 1～NOR 3を備えて構成され、各ノアゲートNOR 1～NOR 3は図7Bのごとく3個のpMOSトランジスタQ121～Q123及びnMOSトランジスタQ124～Q126を備えて構成される。この場合においては、図7Bにおいて3入力NORゲートがスタックされた3個のpMOSトランジスタQ121～Q123を有するために、図8Bに示すように、FSプロセスコーナーで比較的長い立ち上り時間を有する。

10

【0049】

本実施形態においては、すべてのデータパスが二重になっているので、プロセスのバラツキに応じてよりよいデータパスを選択することができる(図2A、図2B参照。)。

【0050】

変形例。

図9は本発明の第1の変形例に係るマスタスレーブ型カップリングフリップフロップ回路の構成を示す回路図である。なお、図4Bの入力信号回路部36は図9～図11の回路の前段に設けられる。

20

【0051】

図9において、本発明の第1の変形例に係るマスタスレーブ型カップリングフリップフロップ回路は、2個のフリップフロップ回路FF11、FF12と、図4Aと同様の構成を有するゲート回路部37とを備えて構成される。フリップフロップ回路FF11は、MOSトランジスタQ12、Q13、Q18、Q19、Q24、Q25と、インバータ41～46と、伝送ゲートTG1とを備えて構成される。ここで、クロスカップリングで接続された2個のインバータ42、43によりラッチ回路L31を構成し、クロスカップリングで接続された2個のインバータ44、45によりラッチ回路L32を構成する。また、フリップフロップ回路FF12は、MOSトランジスタQ32、Q33、Q38、Q39、Q44、Q45と、インバータ51～56と、伝送ゲートTG2とを備えて構成される。ここで、クロスカップリングで接続された2個のインバータ52、53によりラッチ回路L41を構成し、クロスカップリングで接続された2個のインバータ54、55によりラッチ回路L42を構成する。

30

【0052】

以上のように構成された図9のマスタスレーブ型カップリングフリップフロップ回路においても、図4Aのカップリングフリップフロップ回路と同様に、2つのフリップフロップ回路FF11、FF12が動作モードに応じてカップリングされ又はカップリングされていないで動作することができる。ここで、カップリングさせる電圧スケーリングモードのときに、制御線信号/CONTROLがローレベルとなり、これらの伝送ゲートTG11～TG14がオンとされて、内部ノードN21と内部ノードN32が接続され、内部ノードN22と内部ノードN31が接続され、内部ノードN23と内部ノードN34が接続され、内部ノードN24と内部ノードN33が接続される。これにより、2個のフリップフロップ回路FF11、FF12がカップリングして、ラッチ回路L31とL41で同一の論理値のデータを保持し、ラッチ回路L32とL42で同一の論理値のデータを保持することにより、時間経過によって信号レベルが低下することを防止して、データ信号の保持力を増大させることができる。

40

【0053】

図10は本発明の第2の変形例に係るマスタスレーブ型カップリングフリップフロップ回路の構成を示す回路図である。

【0054】

50

図10において、本発明の第2の変形例に係るマスタスレーブ型カップリングフリップフロップ回路は、2個のフリップフロップ回路FF21、FF22と、図4Aと同様の構成を有するゲート回路部37とを備えて構成される。フリップフロップ回路FF21は、インバータ41～48(46を除く)と、伝送ゲートTG1、TG21～TG23とを備えて構成される。ここで、クロスカップリングで接続された2個のインバータ42、43によりラッチ回路L51を構成し、クロスカップリングで接続された2個のインバータ44、45によりラッチ回路L52を構成する。また、フリップフロップ回路FF22は、インバータ51～58(56を除く)と、伝送ゲートTG2、TG31～TG33とを備えて構成される。ここで、クロスカップリングで接続された2個のインバータ52、53によりラッチ回路L61を構成し、クロスカップリングで接続された2個のインバータ54、55によりラッチ回路L62を構成する。

10

【0055】

図10のマスタスレーブ型カップリングフリップフロップ回路においても、図4Aのカップリングフリップフロップ回路と同様に、2つのフリップフロップ回路FF21、FF22が動作モードに応じてカップリングされ又はカップリングされてないで動作することができる。ここで、カップリングさせる電圧スケールモードのときに、制御線信号/CTRLがローレベルとなり、これらの伝送ゲートTG11～TG14がオンとされて、内部ノードN21と内部ノードN32が接続され、内部ノードN22と内部ノードN31が接続され、内部ノードN23と内部ノードN34が接続され、内部ノードN24と内部ノードN33が接続される。これにより、2個のフリップフロップ回路FF21、FF22がカップリングして、ラッチ回路L51とL61で同一の論理値のデータを保持し、ラッチ回路L52とL62で同一の論理値のデータを保持することにより、時間経過によって信号レベルが低下することを防止して、データ信号の保持力を増大させることができる。

20

【0056】

図11は本発明の第3の変形例に係るセンスアンブ型カップリングフリップフロップ回路の構成を示す回路図である。

【0057】

図11において、本発明の第3の変形例に係るセンスアンブ型カップリングフリップフロップ回路は、2個のフリップフロップ回路FF31、FF32と、図4Aと同様の構成を有するゲート回路部37とを備えて構成される。

30

【0058】

フリップフロップ回路FF31は、MOSトランジスタQ61～Q70と、インバータ60と、NANDゲートNAND11、NAND12とを備えて構成される。ここで、MOSトランジスタQ61及びQ62によりCMOSインバータ61を構成し、MOSトランジスタQ63及びQ64によりCMOSインバータ62を構成し、クロスカップリングで接続された2個のCMOSインバータ61、62によりラッチ回路L71を構成し、クロスカップリングで接続された2個のNANDゲートNAND11、NAND12によりラッチ回路L72を構成する。なお、初段のラッチ回路L71の第1の内部ノードN21から出力される信号PはナンドゲートNAND12の第2の入力端子に入力され、初段のラッチ回路L71の第2の内部ノードN22から出力される信号/PはナンドゲートNAND11の第1の入力端子に入力される。

40

【0059】

フリップフロップ回路FF32は、MOSトランジスタQ71～Q80と、インバータ70と、NANDゲートNAND21、NAND22とを備えて構成される。ここで、MOSトランジスタQ71及びQ72によりCMOSインバータ71を構成し、MOSトランジスタQ73及びQ74によりCMOSインバータ72を構成し、クロスカップリングで接続された2個のCMOSインバータ71、72によりラッチ回路L81を構成し、クロスカップリングで接続された2個のNANDゲートNAND21、NAND22によりラッチ回路L82を構成する。なお、初段のラッチ回路L81の第1の内部ノードN31

50

から出力される信号 / P はナンドゲート N A N D 2 2 の第 2 の入力端子に入力され、初段のラッチ回路 L 8 1 の第 2 の内部ノード N 3 2 から出力される信号 P はナンドゲート N A N D 2 1 の第 1 の入力端子に入力される。

【 0 0 6 0 】

以上のように構成された図 1 1 のセンスアンプ型カップリングフリップフロップ回路においても、図 4 A のカップリングフリップフロップ回路と同様に、2 つのフリップフロップ回路 F F 3 1 , F F 3 2 が動作モードに応じてカップリングされ又はカップリングされてないで動作することができる。ここで、カップリングさせる電圧スケーリングモードのときに、制御線信号 / C T R L がローレベルとなり、これらの伝送ゲート T G 1 1 ~ T G 1 4 がオンとされて、内部ノード N 2 1 と内部ノード N 3 2 が接続され、内部ノード N 2 2 と内部ノード N 3 1 が接続され、内部ノード N 2 3 と内部ノード N 3 4 が接続され、内部ノード N 2 4 と内部ノード N 3 3 が接続される。これにより、2 個のフリップフロップ回路 F F 3 1 , F F 3 2 がカップリングして、ラッチ回路 L 7 1 と L 8 1 で同一の論理値のデータを保持し、ラッチ回路 L 7 2 と L 8 2 で同一の論理値のデータを保持することにより、時間経過によって信号レベルが低下することを防止して、データ信号の保持力を増大させることができる。

【 0 0 6 1 】

さらに、図 4 A、図 4 B、図 1 0、図 1 1 の伝送ゲート T G 1 ~ T G 3 3 に代わる変形例について以下に説明する。

【 0 0 6 2 】

図 1 2 は図 4 A、図 4 B、図 1 0、図 1 1 の伝送ゲート T G 1 ~ T G 3 3 に代わる変形例である転送ゲート T R 1 0 0 の構成を示す回路図である。すなわち、上記伝送ゲート T G 1 ~ T G 3 3 に代えて、端子 T 1 , T 2 を有する図 1 2 の転送ゲート T R 1 0 0 を使用してもよい。

【 0 0 6 3 】

図 1 3 は図 4 A、図 4 B、図 1 0、図 1 1 の伝送ゲート T G 1 ~ T G 3 3 に代わる変形例であるインバータゲート回路 1 0 0 A の構成を示す回路図である。上記伝送ゲート T G 1 ~ T G 3 3 に代えて、端子 T 1 , T 2 を有する図 1 3 のインバータゲート回路 1 0 0 A を使用してもよい。ここで、インバータゲート回路 1 0 0 A は、インバータ 1 0 0 と、インバータ 1 0 0 の電源制御用 M O S トランジスタ Q 1 0 1 , Q 1 0 2 と、制御線信号 C T R L を反転するインバータ 4 0 とを備えて構成される。

【実施例】

【 0 0 6 4 】

図 1 4 は従来技術に係るフリップフロップ回路及び実施形態に係るフリップフロップ回路のシミュレーション結果であって、各プロセスコーナーに対する 1 M H z 動作時の最低動作電圧を示すグラフである。図 1 4 から明らかなように、ワーストであった F S プロセスコーナーでの最低動作電圧が 0 . 4 3 V から 0 . 3 0 V に改善され、S S プロセスコーナーがワーストになり 0 . 3 4 V から 0 . 3 6 V に悪化している。ただ、S S プロセスコーナーの場合には、2 ビットのカップリングにする必要はないので、プロセスコーナーごとにカップリング / 非カップリングを選択すればよい。なお、T T プロセスコーナー、S S プロセスコーナー及び S F プロセスコーナーの遅延の悪化は、追加回路の寄生容量の増加に伴う遅延の増大によるものと考えられる。

【 0 0 6 5 】

図 1 5 A は本実施形態に係るアプリケーションであって、すべてのコア 2 0 1 ~ 2 0 8 を高速動作で動作させたときのブロック図であり、図 1 5 B は本実施形態に係るアプリケーションであって、各コア対 (2 0 1 , 2 0 2) (2 0 3 , 2 0 4) (2 0 5 , 2 0 6) (2 0 7 , 2 0 8) で接続して低電圧動作させたときのブロック図である。図 1 5 A 及び図 1 5 B から明らかなように、応用するアプリケーションに応じて、演算負荷が比較的高い場合はすべてのコア 2 0 1 ~ 2 0 8 を高速動作させるが、演算負荷が比較的低い場合は各コア対 (2 0 1 , 2 0 2) (2 0 3 , 2 0 4) (2 0 5 , 2 0 6) (2 0 7 , 2 0 8)

で接続して低電圧動作させることができる。

【0066】

以上の実施形態に係るプロセッサ装置によれば、以下の特徴を有する。

(1) 内部ノードを接続することで低電圧動作する。2つのフリップフロップ回路の内部ノードを接続することで低電圧動作できるようになる。

(2) 複数の動作モードを有するフリップフロップ回路を提供する。低電圧では内部ノードを接続するが、標準電圧では内部ノード接続しないことで通常の数回のフリップフロップ回路を使うことができる。

【0067】

最後に、以下の2つの問題点について考察する。

10

【0068】

(問題点1) 2つのフリップフロップ回路のクロックの同期は大丈夫か。フリップフロップ回路の位置が離れているとスキューが問題にならないか。別のコアにある場合はさらに問題のように思う。

(回答1) クロック配線はクロックツリー合成では問題ないが、入力信号Dと入力信号/Dについてはスキューが生じる。この入力信号Dと入力信号/Dの配線によるスキューが問題とならないような低速動作時において、カップリングされたフリップフロップ回路は有効である。ここで、高速動作時には有効でないが、そもそもカップリングされたフリップフロップ回路は不要である。どうしても、入力信号Dと入力信号/Dのスキューが問題となる場合には、2つのフリップフロップ回路を離すことができないので、セルライブラリにカップリングされたフリップフロップ回路を用意しておき、フリップフロップ回路同士の物理的な距離を無くすように設計することもできる。

20

【0069】

(問題点2) プロセスやセルライブラリ依存性は無い。もしpMOSトランジスタ側が強いプロセスやライブラリだと別の現象になり、その場合でも有効かどうか心配である。一般性について確信が持てない。

(回答2) ラッチ回路の保持特性はnMOSトランジスタとpMOSトランジスタのしきい値の乖離が主因である。正確に双方のバランスが取れていれば原理的に超低電圧動作が可能となるが、事実上プロセスバラつきは避けられない。また移動度も大きく異なる。しきい値の不一致が生じれば、例えばpMOSトランジスタが強い状況でも指摘している保持特性の悪化が生じるので、本実施形態に係る回路は有効である。

30

【0070】

以上説明したように、本実施形態によれば、電圧スケールモード及び速度ブースティングモードのためのプロセッサ装置のカップリングを提案した。ここで、7T/14TカップリングSRAMは、2個のビットセルを接続することにより、低電圧動作と高電圧動作の両方を実行することができる。カップリングされたフリップフロップ回路FF1, FF2は0.3V以下の動作電圧で動作することができ、これにより、動作電圧領域を従来技術に比較して大幅に広げることができる。また、カップリングされた論理回路は好ましいデータパスを選択することでプロセスバラツキに応じて選択的に採用可能である。

【産業上の利用可能性】

40

【0071】

以上詳述したように、本発明によれば、所定の第1の動作電圧で動作させる第1の電圧モード時に、上記第3乃至第6のゲートを開放することにより上記第1のフリップフロップ回路と上記第2のフリップフロップ回路とを別々に動作させる一方、上記第1の動作電圧よりも低い第2の動作電圧で動作させる第2の電圧モード時に、上記第3乃至第6のゲートを短絡することにより上記第1のフリップフロップ回路と上記第2のフリップフロップ回路とを互いに反転関係のデータを保持して相補的なデータ処理を行うように協働動作させる。すなわち、2種類の動作モードを有し、例えば所定の標準電圧では一般的なフリップフロップ回路と同様に動作する一方、例えば低電圧モードでは、2つのフリップフロップ回路の内部ノードを接続し、フリップフロップ回路装置の容量は半分になるが低電圧

50

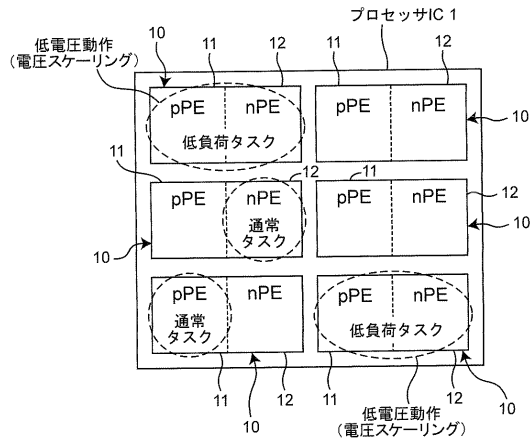
で動作することができる。ここで、低電圧モードでは、分離されたフリップフロップ回路の各ラッチ回路においてデータの保持力を小さいが、内部ノードを接続することで相補的にデータの保持力を増大させて動作させることができる。

【符号の説明】

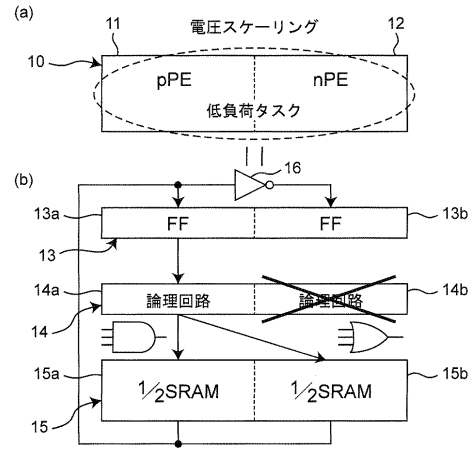
【 0 0 7 2 】

1 ... プロセッサ IC、	
1 0 ... プロセッサコア（コア）、	
1 1 ... ポジティブ・トゥルーのプロセッサエレメント（ p P E ）、	
1 2 ... ネガティブ・トゥルーのプロセッサエレメント（ n P E ）、	
1 3 ... フリップフロップ回路部、	10
1 3 a , 1 3 b ... フリップフロップ回路、	
1 4 ... 論理回路部、	
1 4 a , 1 4 b ... 論理回路、	
1 5 ... S R A M、	
1 5 a , 1 5 b ... 1 / 2 S R A M、	
1 6 ... インバータ、	
2 1 ~ 2 4 , 3 1 ~ 3 4 , 4 0 ~ 4 8 , 4 0 a , 5 1 ~ 5 8 , 6 0 , 6 1 , 6 2 , 7 0 ,	
7 1 , 7 2 , 1 0 0 ... インバータ、	
3 0 ... C K 信号発生部、	
3 5 ... フリップフロップ回路部（ F F 回路部 ）、	20
3 6 ... 入力信号回路部、	
3 7 ... ゲート回路部、	
1 0 0 A ... インバータゲート回路、	
2 0 1 ~ 2 0 8 ... コア、	
F F 1 ~ F F 3 2 ... フリップフロップ回路、	
L 1 ~ L 8 2 ... ラッチ回路、	
L N 1 , L N 2 ... ライン、	
N 2 1 ~ N 3 4 ... 内部ノード、	
N A N D 1 ~ N A N D 2 2 ... ナンドゲート、	
N O R 1 ~ N O R 3 ... ノアゲート、	30
Q 1 ~ Q 1 2 6 ... M O S トランジスタ、	
T 1 , T 2 ... 端子、	
T G 1 ~ T G 3 3 ... 伝送ゲート、	
T R 1 0 0 ... 転送ゲート。	

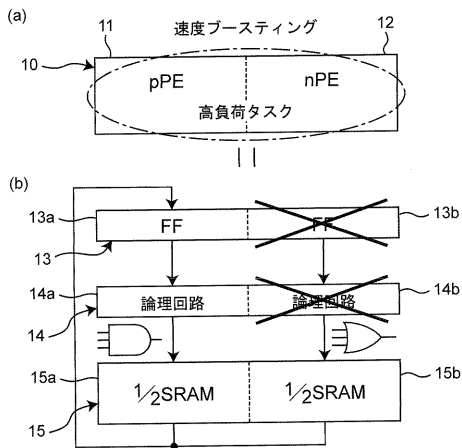
【図 1】



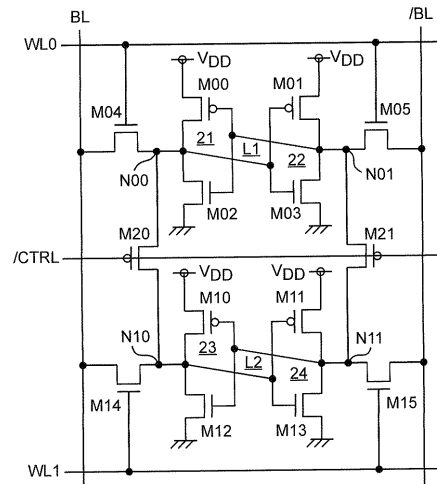
【図 2 A】



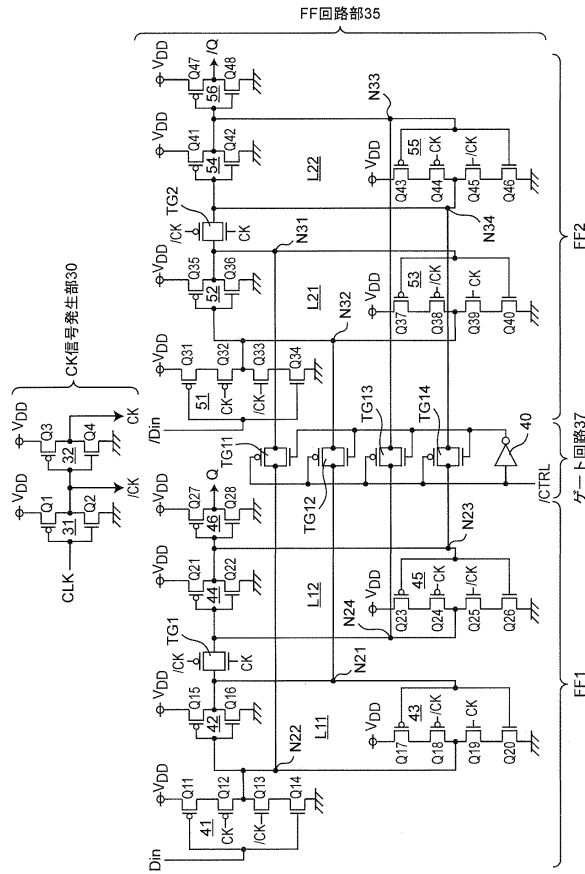
【図 2 B】



【図 3】

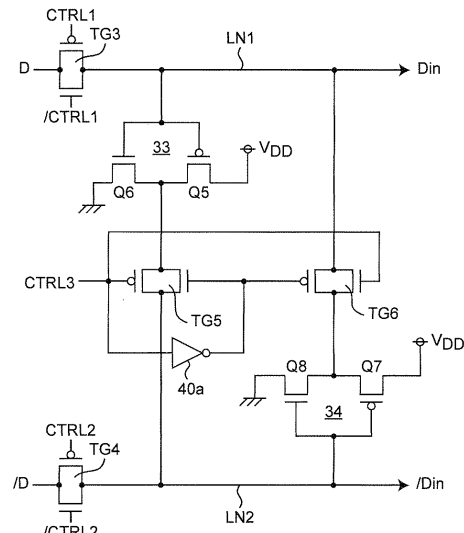


【図 4 A】



【図 4 B】

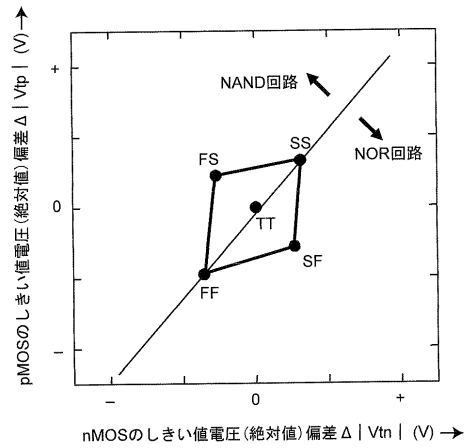
入力信号回路部 36



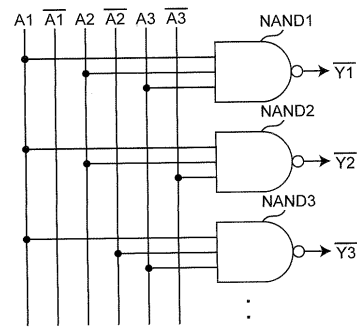
【図 4 C】

制御線信号	CTRL1		CTRL2		CTRL3	
	TG3		TG4		TG5	
	オン		オフ		オン	
	オフ		オン		オフ	
被制御伝送ゲート	入力信号		D選択モード		入力信号	
	D選択モード		入力信号		D選択モード	
電圧スケーリングモード (低電圧モード)	オン		オン		オン	
	オフ		オフ		オフ	
速度ブースティングモード	オン		オン		オン	
	オフ		オフ		オフ	
FF分離モード	オン		オン		オン	
	オフ		オフ		オフ	

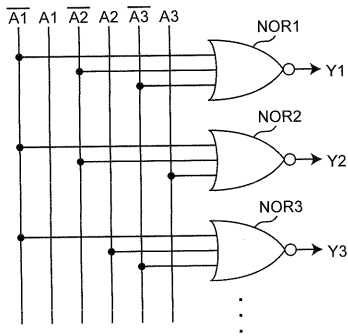
【図 5】



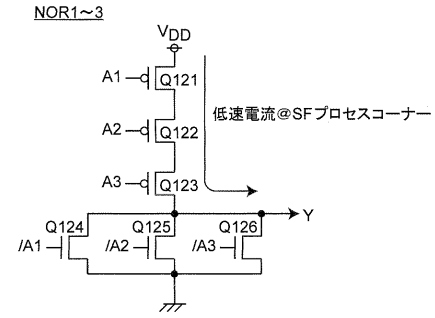
【図 6 A】



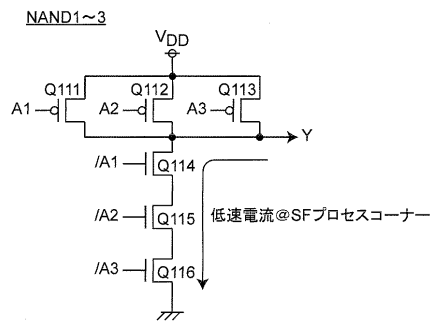
【図 6 B】



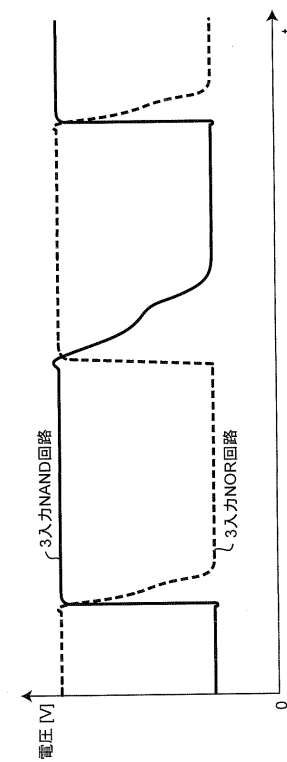
【図 7 B】



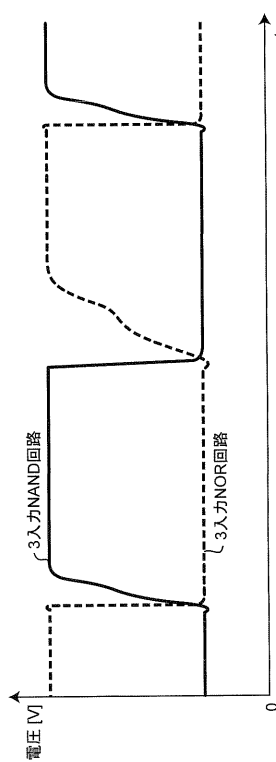
【図 7 A】



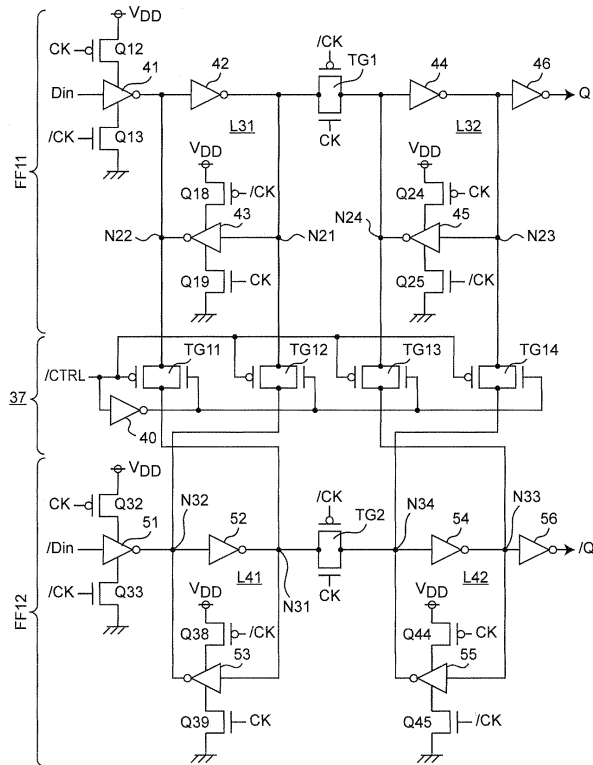
【図 8 A】



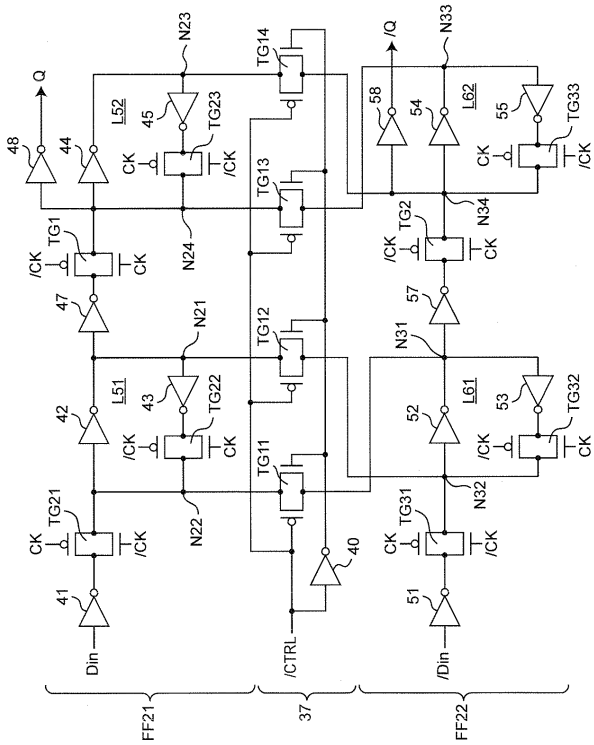
【図 8 B】



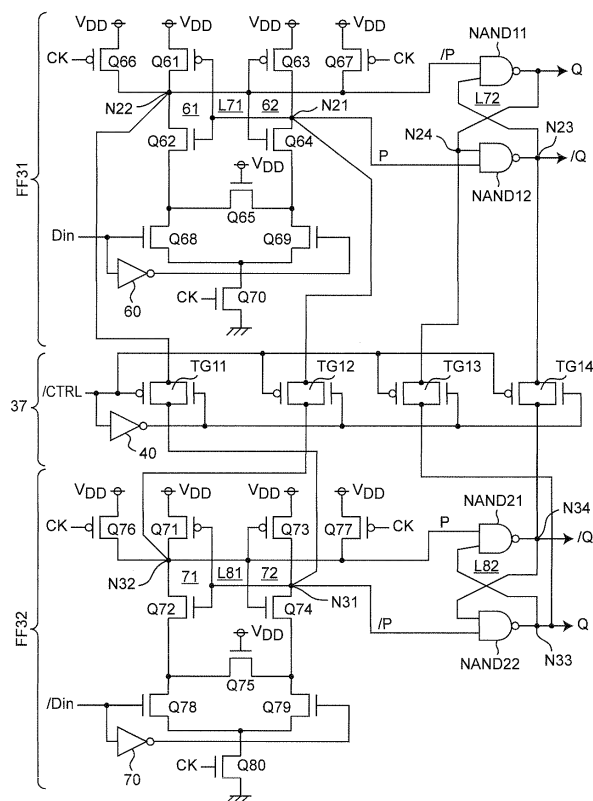
【図 9】



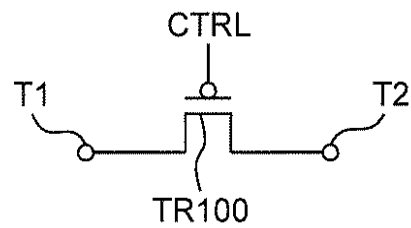
【図 10】



【図 11】

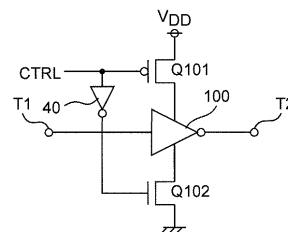


【図 12】

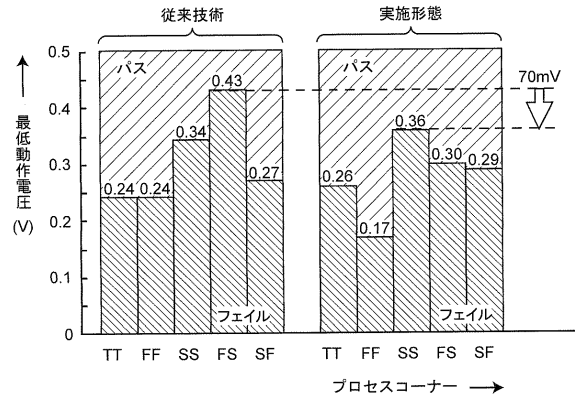


【図 13】

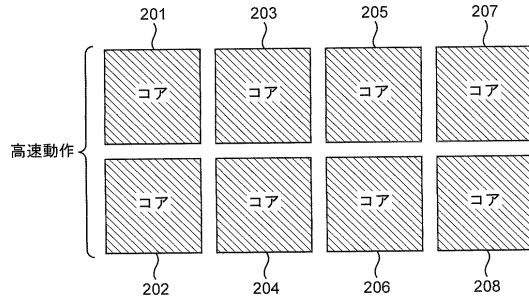
インバータゲート回路 100A



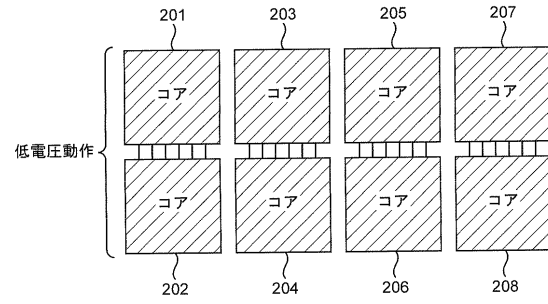
【図 14】



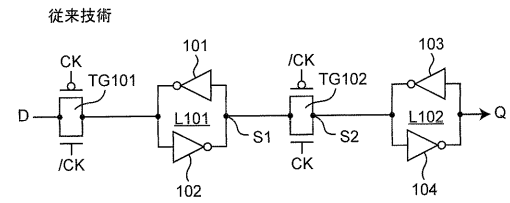
【図 15 A】



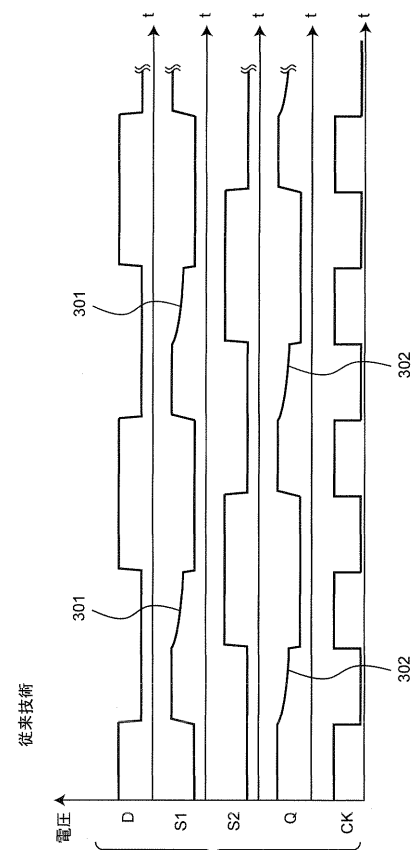
【図 15 B】



【図 16】



【図 17】



フロントページの続き

- (72)発明者 吉本 雅彦
兵庫県神戸市灘区六甲台町 1 - 1 国立大学法人神戸大学内
- (72)発明者 久賀田 耕史
兵庫県神戸市灘区六甲台町 1 - 1 国立大学法人神戸大学内
- (72)発明者 高木 智也
兵庫県神戸市灘区六甲台町 1 - 1 国立大学法人神戸大学内
- (72)発明者 野口 紘希
兵庫県神戸市灘区六甲台町 1 - 1 国立大学法人神戸大学内

審査官 石田 勝

- (56)参考文献 特開平 1 0 - 1 4 9 6 7 8 (J P , A)
特開 2 0 0 8 - 1 3 1 3 2 0 (J P , A)
特開 2 0 0 8 - 2 1 9 4 9 1 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)
- | | |
|---------|-------------|
| H 0 3 K | 3 / 3 5 6 |
| H 0 3 K | 3 / 3 5 6 2 |