



(12)发明专利申请

(10)申请公布号 CN 107424932 A

(43)申请公布日 2017.12.01

(21)申请号 201710286253.3

H01L 29/423(2006.01)

(22)申请日 2017.04.27

H01L 29/78(2006.01)

(30)优先权数据

15/144,185 2016.05.02 US

(71)申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹

(72)发明人 林志翰 林志忠 李俊鸿

(74)专利代理机构 北京德恒律治知识产权代理有限公司 11409

代理人 章社泉 李伟

(51)Int.Cl.

H01L 21/336(2006.01)

H01L 21/28(2006.01)

H01L 29/06(2006.01)

H01L 29/10(2006.01)

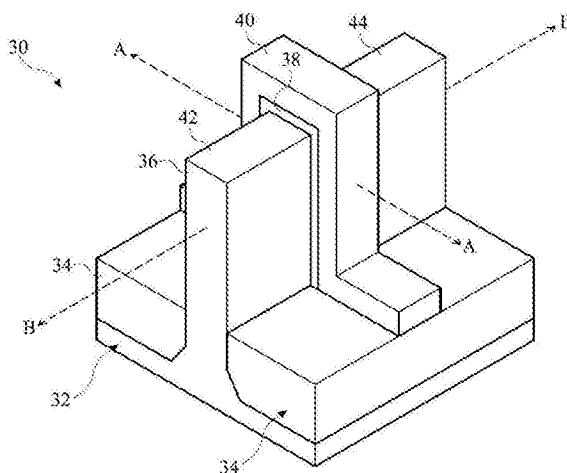
权利要求书2页 说明书11页 附图23页

(54)发明名称

FinFET结构及其形成方法

(57)摘要

一种方法的实施例,包括在衬底的第一区中形成第一鳍并且在衬底的第二区中形成第二鳍,在衬底上形成第一隔离区,第一隔离区围绕第一鳍和第二鳍,在第一鳍上方形成第一伪栅极并且在第二鳍上方形成第二伪栅极,第一伪栅极和第二伪栅极具有相同的纵向轴线,用第一替换栅极替换第一伪栅极并且用第二替换栅极替换第二伪栅极,在第一替换栅极和第二替换栅极之间形成第一凹槽,以及在第一凹槽中填充绝缘材料以形成第二隔离区。本发明实施例涉及FinFET结构及其形成方法。



1. 一种形成FinFET结构的方法,包括:
 - 在衬底的第一区中形成第一鳍并且在所述衬底的第二区中形成第二鳍;
 - 在所述衬底上形成第一隔离区,所述第一隔离区围绕所述第一鳍和所述第二鳍;
 - 在所述第一鳍上方形成第一伪栅极并且在所述第二鳍上方形成第二伪栅极,所述第一伪栅极和所述第二伪栅极具有相同的纵向轴线;
 - 用第一替换栅极替换所述第一伪栅极并且用第二替换栅极替换所述第二伪栅极;
 - 在所述第一替换栅极和所述第二替换栅极之间形成第一凹槽;以及
 - 在所述第一凹槽中填充绝缘材料以形成第二隔离区。
2. 根据权利要求1所述的方法,其中,所述第一隔离区的顶面接触所述第二隔离区的底面。
3. 根据权利要求1所述的方法,其中,当从平行于所述第一替换栅极和所述第二替换栅极的纵向轴线的方向测量时,所述第二隔离区的底面宽于所述第二隔离区的顶面。
4. 根据权利要求1所述的方法,其中,在所述第一替换栅极和所述第二替换栅极之间形成所述第一凹槽包括:
 - 去除所述第一伪栅极和所述第二伪栅极的保留部分。
5. 根据权利要求1所述的方法,其中,所述第二隔离区的侧壁不平行且不垂直于所述衬底的主表面。
6. 根据权利要求1所述的方法,其中,所述第二隔离区的侧壁是非平面的。
7. 根据权利要求1所述的方法,其中,用第一替换栅极替换所述第一伪栅极并且用第二替换栅极替换所述第二伪栅极包括:
 - 形成并且图案化硬掩模层以暴露所述第一伪栅极的第一部分和所述第二伪栅极的第二部分;
 - 去除所述第一伪栅极的暴露的所述第一部分以暴露所述第一鳍并且去除所述第二伪栅极的暴露的所述第二部分以暴露所述第二鳍;
 - 去除所述图案化的硬掩模层以暴露位于所述第一鳍和所述第二鳍之间的所述第一伪栅极和所述第二伪栅极的保留部分;
 - 在暴露的所述第一鳍和所述第二鳍的顶面和侧壁上沉积栅极电介质;以及
 - 在所述栅极电介质上沉积栅电极以形成所述第一替换栅极和所述第二替换栅极。
8. 根据权利要求7所述的方法,其中,所述栅极电介质包括高k介电材料,并且其中,所述栅电极包括金属。
9. 一种形成FinFET结构的方法,包括:
 - 在衬底上方形成第一鳍和第二鳍;
 - 在所述衬底上形成第一隔离区,所述第一隔离区围绕所述第一鳍和所述第二鳍;
 - 在所述第一鳍和所述第二鳍的顶面和侧壁上方形成第一伪栅极堆叠件;
 - 图案化所述第一伪栅极堆叠件以暴露所述第一鳍和所述第二鳍的沟道区,同时在所述第一鳍和所述第二鳍之间留下所述第一伪栅极堆叠件的第一部分;
 - 在所述第一鳍的暴露的沟道区上方形成第一替换栅极堆叠件;
 - 在所述第二鳍的暴露的沟道区上方形成第二替换栅极堆叠件;以及
 - 用介电材料替换所述第一伪栅极堆叠件的所述第一部分以形成第二隔离区。

10. 一种FinFET结构,包括:

第一鳍和第二鳍,所述第一鳍位于衬底上方和所述第二鳍位于所述衬底上方;

第一隔离区,位于所述衬底上,所述第一隔离区围绕所述第一鳍和所述第二鳍;

第一栅极堆叠件和第二栅极堆叠件,所述第一栅极堆叠件位于所述第一鳍上方,和所述第二栅极堆叠件位于所述第二鳍上方,所述第一栅极堆叠件和所述第二栅极堆叠件具有相同的纵向轴线;以及

第二隔离区,插入在所述第一栅极堆叠件和所述第二栅极堆叠件之间,所述第二隔离区从底面朝向顶面逐渐变窄,所述第二隔离区的所述底面邻近所述第一隔离区,所述第二隔离区的所述顶面远离所述第一隔离区。

FinFET结构及其形成方法

技术领域

[0001] 本发明实施例涉及FinFET结构及其形成方法。

背景技术

[0002] 半导体器件广泛用于诸如计算机、手机等的大量的电子器件中。半导体器件包括通过在半导体晶圆上方沉积多种类型的材料薄膜并且图案化材料薄膜以形成该集成电路而在半导体晶圆上形成的集成电路。集成电路包括诸如金属氧化物半导体 (MOS) 晶体管的场效应晶体管 (FET)。

[0003] 半导体工业的一个目标是不断缩小单独的FET的尺寸同时增大单独的FET的速度。为了实现这些目标,正研究和实现鳍式场效应晶体管 (FinFET) 或多栅极晶体管。然而,随着新器件结构和甚至FinFET的不断缩小,发现了新的挑战。

发明内容

[0004] 根据本发明的一些实施例,提供了一种形成FinFET结构的方法,包括:在衬底的第一区中形成第一鳍并且在所述衬底的第二区中形成第二鳍;在所述衬底上形成第一隔离区,所述第一隔离区围绕所述第一鳍和所述第二鳍;在所述第一鳍上方形成第一伪栅极并且在所述第二鳍上方形成第二伪栅极,所述第一伪栅极和所述第二伪栅极具有相同的纵向轴线;用第一替换栅极替换所述第一伪栅极并且用第二替换栅极替换所述第二伪栅极;在所述第一替换栅极和所述第二替换栅极之间形成第一凹槽;以及在所述第一凹槽中填充绝缘材料以形成第二隔离区。

[0005] 根据本发明的另一些实施例,还提供了一种形成FinFET结构的方法,包括:在衬底上方形成第一鳍和第二鳍;在所述衬底上形成第一隔离区,所述第一隔离区围绕所述第一鳍和所述第二鳍;在所述第一鳍和所述第二鳍的顶面和侧壁上方形成第一伪栅极堆叠件;图案化所述第一伪栅极堆叠件以暴露所述第一鳍和所述第二鳍的沟道区,同时在所述第一鳍和所述第二鳍之间留下所述第一伪栅极堆叠件的第一部分;在所述第一鳍的暴露的沟道区上方形成第一替换栅极堆叠件;在所述第二鳍的暴露的沟道区上方形成第二替换栅极堆叠件;以及用介电材料替换所述第一伪栅极堆叠件的所述第一部分以形成第二隔离区。

[0006] 根据本发明的又一些实施例,还提供了一种FinFET结构,包括:第一鳍和第二鳍,所述第一鳍位于衬底上方和所述第二鳍位于所述衬底上方;第一隔离区,位于所述衬底上,所述第一隔离区围绕所述第一鳍和所述第二鳍;第一栅极堆叠件和第二栅极堆叠件,所述第一栅极堆叠件位于所述第一鳍上方,和所述第二栅极堆叠件位于所述第二鳍上方,所述第一栅极堆叠件和所述第二栅极堆叠件具有相同的纵向轴线;以及第二隔离区,插入在所述第一栅极堆叠件和所述第二栅极堆叠件之间,所述第二隔离区从底面朝向顶面逐渐变窄,所述第二隔离区的所述底面邻近所述第一隔离区,所述第二隔离区的所述顶面远离所述第一隔离区。

附图说明

[0007] 当结合附图进行阅读时,根据下面详细的描述可以最佳地理解本发明的各个方面。应该注意,根据工业中的标准实践,各个部件没有按比例绘制。实际上,为了清楚的讨论,各个部件的尺寸可以任意增加或减少。

[0008] 图1是在三维视图中的鳍场效应晶体管 (FinFET) 的实例。

[0009] 图2至图6、图7A至图7B、图8A至图8B、图9A至图9B、图10A至图10B、图11A至图11C、图12A至图12C、图13A至图13C、图14A至图14C、图15A至图15C、图16A至图16C、图17A至图17C、图18A至图18C、图19A至图19D,以及图20A至图20B是根据一些实施例在FinFET的制造中的中间阶段的截面图、三维视图,以及顶视图。

具体实施方式

[0010] 以下公开内容提供了多种不同实施例或实例,以实现本发明的不同特征。下面描述组件和布置的具体实例以简化本发明。当然,这些仅是实例并且不意欲限制本发明。例如,在以下描述中,在第二部件上方或上形成第一部件可包括第一部件和第二部件直接接触的实施例,也可包括形成在第一部件和第二部件之间的附加部件,使得第一部件和第二部件不直接接触的实施例。此外,本发明可以在各个实例中重复参考标号和/或字符。这种重复是为了简化和清楚的目的,并且其本身并不表示所讨论的实施例和/或配置之间的关系。

[0011] 此外,为了便于描述,本文中可以使用诸如“在…下方”、“在…下面”、“下部”、“在…上面”、“上部”等的空间关系术语,以描述如图中所示的一个元件或部件与另一元件或部件的关系。除了图中所示的方位外,空间关系术语旨在包括在使用或操作过程中器件的不同方位。装置可以以其它方式定位(旋转90度或在其它方位),并且在本文中使用的空间关系描述符可以同样地作相应地解释。

[0012] 根据各个实施例,提供了鳍场效应晶体管 (FinFET) 及其形成方法。此外,可以在诸如平面器件和/或诸如GAA FET的全环栅 (GAA) 器件的其它类型的器件中使用本实施例预期的方面。特别是,本文描述的FET是具有改进的栅极隔离结构以及形成栅极隔离结构的方法。示出了形成FinFET的中间阶段。在使用后栅极工艺形成的FET的背景下讨论了本文讨论的一些实施例。本领域的普通技术人员将容易地理解,可以进行其它修改,这些修改都预期包含在其它实施例的范围内。尽管以特定的顺序讨论方法实施例,但是可以以任何逻辑顺序执行各个其它的方法实施例,并且可以包括比本文所描述的少或多的步骤。

[0013] 图1示出的在三维视图中的FinFET 30的实例。FinFET 30包括位于衬底32上的鳍36。衬底32包括隔离区34,并且鳍36从相邻的隔离区34之间突出并且鳍36形成在相邻的隔离区34之间。栅极电介质38沿着鳍36的侧壁并且栅极电介质38位于鳍36的顶面上方,同时栅电极40位于栅极电介质38上方。源极/漏极区42和44相对于栅极电介质38和栅电极40设置在鳍36的相对两侧上。图1还示出了用于之后附图中的参考截面。截面A-A穿过FinFET 30的沟道、栅极电介质38以及栅电极40。截面B-B垂直于截面A-A并且截面B-B沿着鳍36的纵向轴线,例如,截面B-B沿着源极/漏极区42和44之间的电流的方向。为了简化,随后的附图提到了这些参考截面。

[0014] 图2至图20B是根据示例性实施例的在FinFET的制造中的中间阶段的截面图、三维视图,以及顶视图。图2至图6示出图1中示出的参考截面A-A,除了多个FinFET之外。在图7A至图20B中,示出的用字符“A”结尾的图指示为沿着截面A-A;示出用字符“B”结尾的图指示为沿着截面B-B;并且用字符“C”结尾的图是三维视图;以及图19D是图19C的部分的顶视图。

[0015] 图2示出了衬底50。衬底50可以是掺杂的(例如,掺杂有p型或n型掺杂剂)或未掺杂的半导体衬底,半导体衬底诸如块状半导体、绝缘体上半导体(SOI)衬底等。衬底50可以是晶圆,晶圆诸如硅晶圆。通常,SOI衬底包括形成在绝缘层上的半导体材料的层。例如,绝缘体层可为埋氧(BOX)层、氧化硅层等。在通常为硅或玻璃衬底的衬底上提供绝缘层。也可以使用诸如多层衬底或梯度衬底的其它衬底。在一些实施例中,衬底50的半导体材料可包括硅、锗、化合物半导体、合金半导体,或它们的组合,化合物半导体包括碳化硅、砷化镓、磷化镓、磷化铟、砷化铟,和/或锑化铟,合金半导体包括SiGe、GaAsP、AlInAs、AlGaAs、GaInAs、GaInP,和/或GaInAsP。

[0016] 衬底50具有第一区50B和第二区50C。第一区50B可以用于形成诸如NMOS晶体管(诸如n型FinFET)的n型器件。第二区50C可以用于形成诸如PMOS晶体管(诸如p型FinFET)的p型器件。在一些实施例中,第一区和第二区50B和50C都用于形成相同类型的器件,诸如第一区和第二区50B和50C均用于n型器件或p型器件。

[0017] 图3和图4示出了形成鳍52以及在相邻鳍52之间形成隔离区54。在图3中,在衬底50中形成鳍52。在一些实施例中,可通过在衬底50中蚀刻沟槽而在衬底50中形成鳍52。蚀刻可以是任何可接受的蚀刻工艺,诸如反应离子蚀刻(RIE)、中性束蚀刻(NBE)等,或它们的组合。蚀刻可以是各向异性的。

[0018] 在图4中,在相邻的鳍52之间形成绝缘材料54,从而形成隔离区54。绝缘材料54可以是诸如氧化硅的氧化物、氮化物等,或它们的组合,并且可以通过高密度等离子体化学汽相沉积(HDP-CVD)、可流动CVD(FCVD)(例如,远程等离子体系统中的CVD基材料沉积以及后固化以使其转化为另一材料,诸如氧化物)等,或它们的组合形成。可以使用通过任何可接受工艺形成的其它绝缘材料。在示出的实施例中,绝缘材料54是通过FCVD工艺形成的氧化硅。一旦形成绝缘材料,可以实施退火工艺。可将绝缘材料54称为隔离区54。进一步在图4中,诸如化学机械抛光(CMP)的平坦化工艺可以去除任何过多的绝缘材料并且使形成的隔离区54的顶面和鳍52的顶面齐平。

[0019] 在图5中,使隔离区54凹进以形成浅沟槽隔离(STI)区54。凹进隔离区54使得在第一区50B和第二区50C中的鳍56从相邻的隔离区54之间突出。此外,隔离区54的顶面可以具有平坦的表面(如所示)、凸表面、凹表面(诸如凹陷的)或它们的组合。可通过适当的蚀刻将隔离区54的顶面形成为平坦、凸面,和/或凹面。可使用可接受的蚀刻工艺凹陷隔离区54,诸如对隔离区54的材料具有选择性的蚀刻工艺。例如,可以使用化学氧化物去除,使用**CERTAS®**蚀刻或应用材料SICONI工具或稀释氢氟(dHF)酸去除化学氧化物。

[0020] 本领域技术人员容易理解,关于图2至图5描述的工艺仅仅是如何形成鳍56的一个实例。在其它实施例中,可在衬底50的顶面上方形成介电层;可穿过介电层蚀刻沟槽;可在沟槽中外延生长同质外延结构;并且可凹陷介电层使得同质外延结构从介电层突出以形成鳍。仍在其它实施例中,异质外延结构可用于鳍。例如,可凹陷图4中的半导体带52,并且可使不同于半导体带52的材料在它们的位置外延生长。还在另外的实施例中,可在衬底50的

顶面上方形成介电层;可穿过介电层蚀刻沟槽;可使用不同于衬底50的材料在沟槽中外延生长异质外延结构;并且可使介电层凹进使得异质外延结构从介电层突出以形成鳍56。在其中外延生长同质外延或异质外延结构的一些实施例中,尽管可同时使用原位掺杂和注入掺杂,但可在生长期间将生长的材料原位掺杂,这可避免之前和之后的注入。此外,在NMOS区中外延生长的材料不同于PMOS区中的材料可能是有利的。在各个实施例中,鳍56可包括硅锗($\text{Si}_x\text{Ge}_{1-x}$,其中x可为约0至100之间)、碳化硅、纯锗或基本上纯的锗、III-V族化合物半导体、II-VI族化合物半导体等。例如,形成III-V族化合物半导体的可使用的材料包括但不限于InAs、AlAs、GaAs、InP、GaN、InGaAs、InAlAs、GaSb、AlSb、AlP、GaP等。

[0021] 在图5中,可在鳍56、鳍52和/或衬底50中形成适当的阱。在一些实施例中,可在第一区50B中形成P阱,并且可在第二区50C中形成N阱。在一些其它实施例中,在第一区和第二区50B和50C中都形成P阱或N阱。

[0022] 在具有不同阱类型的实施例中,可使用光刻胶或其它掩模(未示出)实现用于不同区50B和50C的不同注入步骤。例如,在第一区50B中的鳍56和隔离区54上方形成光刻胶。图案化光刻胶以暴露诸如PMOS区的衬底50的第二区50C。光刻胶可以通过使用旋涂技术形成,并且可以使用可接受的光刻技术图案化光刻胶。一旦图案化光刻胶,可以在第二区50C中实施n型杂质注入,并且光刻胶可以用作掩模以基本上防止n型杂质注入到诸如NMOS区的第一区50B内。n型杂质可以是磷、砷等,n型杂质注入至第一区,直至磷、砷等的浓度等于或小于 10^{18}cm^{-3} (诸如介于大约 10^{17}cm^{-3} 至大约 10^{18}cm^{-3} 之间)。在注入后,诸如通过可接受的灰化工艺去除光刻胶。

[0023] 在第二区50C的注入之后,在第二区50C中的鳍56和隔离区54上方形成光刻胶。图案化光刻胶以暴露诸如NMOS区的衬底50的第一区50B。光刻胶可以通过使用旋涂技术形成,并且可以使用可接受的光刻技术图案化光刻胶。一旦将光刻胶图案化,就可在第一区50B中实施p型杂质注入,并且光刻胶可充当掩模以基本上防止p型杂质注入至诸如PMOS区的第二区50C中。p型杂质可以是硼、 BF_2 等,p型杂质注入至第一区,直至硼、 BF_2 等的浓度等于或小于 10^{18}cm^{-3} (诸如介于大约 10^{17}cm^{-3} 至大约 10^{18}cm^{-3} 之间)。在注入后,诸如通过可接受的灰化工艺将光刻胶去除。

[0024] 在第一区50B和第二区50C的注入后,可实施退火以活化被注入的p型和/或n型杂质。在一些实施例中,尽管可同时使用原位掺杂和注入掺杂,但可在生长期间原位掺杂生长的外延鳍材料,这样可避免注入。

[0025] 在图6中,在鳍56上形成伪介电层58。例如,伪介电层58可为氧化硅、氮化硅或其组合等,并且可根据可接受的技术沉积或热生长。伪栅极层60形成在伪介电层58上方,并且掩模层62形成在伪栅极层60上方。可在伪介电层58上方沉积伪栅极层60,然后诸如通过CMP平坦化伪栅极层60。可在伪栅极层60上方沉积掩模层62。伪栅极层60可包括导电材料,并且该导电材料可以从包括多晶硅(polysilicon)、多晶硅锗(poly-SiGe)、金属氮化物、金属硅化物、金属氧化物和金属的组中选择。在一个实施例中,沉积并且重结晶非晶硅以产生多晶硅。可以通过物理汽相沉积(PVD)、CVD、溅射沉积或本领域中已知的和已经使用的用于沉积导电材料的其它的技术来沉积伪栅极层60。伪栅极层60可由对隔离区的蚀刻具有高蚀刻选择性的其它材料制成。例如,掩模层62可包括SiN、SiON等。在该实例中,单独的伪栅极层60和单独的掩模层62形成为跨过第一区50B和第二区50C。在其它实施例中,可在第一区50B和

第二区50C中形成单独的伪栅极层,并且可在第一区50B和第二区50C中形成单独的掩模层。

[0026] 在图7A和图7B中,可以使用可接受的光刻和蚀刻技术图案化掩模层62以形成掩模72。然后,可以通过可接受的蚀刻技术将掩模72的图案转印至伪栅极层60和伪介电层58以形成伪栅极70。伪栅极70覆盖鳍56的相应的沟道区。伪栅极70也可以具有基本垂直于相应的外延鳍的纵向方向的纵向方向。

[0027] 在图8A和图8B中,可在各个伪栅极70和/或鳍56的暴露表面上形成栅极密封间隔件80。热氧化或沉积,随后的各向异性蚀刻可以形成栅极密封间隔件80。

[0028] 在形成栅极密封间隔件80后,可以对轻掺杂源极/漏极(LDD)区实施注入。在具有不同器件类型的实施例中,相似于上面在图5中讨论的注入,诸如光刻胶的掩模可以形成在第一区50B上方,同时暴露第二区50C,并且适当类型(例如,n型或p型)的杂质可以注入到第二区50C中的暴露的鳍56内。然后可以去除掩模。随后,诸如光刻胶的掩模可以形成在第二区50C上方,同时暴露第一区50B,并且适当类型的杂质可以注入第一区50B中的暴露的鳍56内。然后可以去除掩模。n型杂质可以是先前讨论的任何n型杂质,并且p型杂质可以是先前讨论的任何p型杂质。轻掺杂的源极/漏极区可具有从约 10^{15}cm^{-3} 至约 10^{16}cm^{-3} 的杂质浓度。可使用退火以活化注入的杂质。

[0029] 进一步在图8A和图8B中,在鳍56中形成外延源极/漏极区82。在鳍56中形成外延的源极/漏极区82,使得每个伪栅极70设置在外延的源极/漏极区82的各个相邻配对之间。在一些实施例中,外延的源极/漏极区82可延伸至鳍52中。

[0030] 在具有不同器件类型的实施例中,可以在单独工艺中形成在该区中的外延的源极/漏极区82。在这些实施例中,第一区50B中的外延源极/漏极区82可以通过以下操作形成:掩蔽第二区50C并且在第一区50B中共形沉积伪间隔件层,之后实施各向异性蚀刻以在第一区50B中沿着伪栅极70和/或栅极密封间隔件80的侧壁形成伪栅极间隔件(未示出)。然后,蚀刻在第一区50B中的外延鳍的源极/漏极区以形成凹槽。在凹槽中外延生长第一区50B中的外延的源极/漏极区82。如果第一区50B是n型器件区,则外延的源极/漏极区82可包括诸如适用于n型FinFET的任何可接受的材料。例如,如果鳍56是硅,外延的源极/漏极区82可包括硅、SiC、SiCP、SiP等。如果第一区50B是p型器件区,外延的源极/漏极区82可包括诸如适用于p型FinFET的任何可接受的材料。例如,如果鳍56为硅,则外延源极/漏极区82可包括SiGe、SiGeB、Ge、GeSn等。在第一区50B中的外延的源极/漏极区82可具有从鳍56的相应表面凸起的表面,同时可具有刻面(facet)。随后,例如,通过蚀刻去除第一区50B中的伪栅极间隔件,其是第二区50C上的掩模。

[0031] 在第一区50B中形成外延的源极/漏极区82后,第二区50C中的外延源极/漏极区82可以通过以下操作形成:掩蔽第一区50B并且在第二区50C中共形沉积伪间隔件层在,随后各向异性蚀刻以在第二区50C中沿着伪栅极70和/或栅极密封间隔件80的侧壁形成伪栅极间隔件(未示出)。然后,蚀刻在第二区50C中的外延鳍的源极/漏极区以形成凹槽。在凹槽中外延生长第二区50C中的外延的源极/漏极区82。如上所述,第二区50C中的外延源极/漏极区82可以包括任何可接受的材料,诸如用于p型FinFET或n型FinFET的适当的材料。在第二区50C中的外延的源极/漏极区82可具有从鳍56的相应表面凸起的表面同时可具有刻面(facets)。随后,例如,通过蚀刻将第二区50C中的伪栅极间隔件去除,其是位于第一区50B上的掩模。

[0032] 在图9A和图9B中,沿着伪栅极70的侧壁在栅极密封间隔件80上形成栅极间隔件86。可通过共形沉积材料并且随后各向异性蚀刻材料形成栅极间隔件86。栅极间隔件86的材料可以是氮化硅、SiCN、其组合等。

[0033] 相似于前面讨论用于形成轻掺杂源极/漏极区的工艺,可将外延的源极/漏极区82和/或外延鳍注入掺杂剂以形成源极/漏极区,随后退火。源极/漏极区可以具有在约 10^{19}cm^{-3} 与约 10^{21}cm^{-3} 之间的杂质浓度。用于源极/漏极区的n型和/或p型杂质可以是之前讨论的任何一种杂质。在其它实施例中,在生长期间,可以原位掺杂外延源极/漏极区82。

[0034] 在图10A和图10B中,在图9A和图9B中示出的结构上方沉积ILD 88。ILD 88是由诸如磷硅酸盐玻璃(PSG)、硼硅酸盐玻璃(BSG)、硼掺杂的磷硅酸盐玻璃(BPSG)、未掺杂的硅酸盐玻璃(USG)等的介电材料形成,并且可以通过诸如CVD、等离子体增强CVD(PECVD)或FCVD的任何合适的方法沉积。可以使用通过任何可接受工艺形成的其它绝缘材料。

[0035] 在图11A、图11B以及图11C中,可以实施诸如CMP的平坦化工艺以使ILD 88的顶面与伪栅极70的顶面齐平。CMP也可以去除位于伪栅极70上的掩模72。因此,通过ILD 88暴露伪栅极70的顶面。

[0036] 在图12A、图12B以及图12C中,在图11A、图11B以及图11C示出的结构上方沉积硬掩模层90。硬掩模层90可以由SiN、SiON、SiO₂等,或它们的组合制成。可以通过CVD、PVD、原子层沉积(ALD)、旋涂电介质工艺等,或它们的组合形成硬掩模层90。

[0037] 在图13A、图13B以及图13C中,在硬掩模层90上方形成并且图案化光刻胶92。在一些实施例中,可以通过使用旋涂技术形成光刻胶92,并且可以使用可接受的光刻技术图案化光刻胶92。在图案化光刻胶92后,在光刻胶92上可以实施修整工艺以减小图案化的光刻胶92的宽度。在一个实施例中,修整工艺是具有工艺气体的各向异性等离子体蚀刻工艺,用于修整光刻胶的工艺气体包括O₂、CO₂、N₂/H₂、H₂等、它们的组合,或其它合适的气体。

[0038] 在一些实施例中,光刻胶92是三层光刻胶。在这些实施例中,三层光刻胶92包括顶部光刻胶层、中间层以及底层。关于通过先进的半导体制造工艺达到的光刻工艺的局限性,需要出现更薄的顶部光刻胶层以到达更小的工艺窗口。然而,薄的顶部光刻胶层可能不够鲁棒以支撑目标层(例如,硬掩模层90)的蚀刻。三层光刻胶提供了一种相对薄的顶部光刻胶层。中间层可以包括抗反射材料(例如,背侧抗反射涂(BARC)层)以辅助顶部光刻胶层工艺的曝光和聚焦。由于具备了中间层,薄的顶部光刻胶层仅用于图案化中间层。底层可包括硬掩模材料,硬掩模材料诸如通过O₂或N₂/H₂等离子体容易去除的含碳材料。中间层用于图案化底层。在一些实施例中,中间层对底层具有高蚀刻选择性,并且,在一些实施例中,底层比中间层厚十倍以上。因此,三层光刻胶92允许下面的层(例如,硬掩模层90)的鲁棒图案化,同时仍提供相对薄的顶部光刻胶层。

[0039] 三层光刻胶92的顶部光刻胶层可以使用任何合适的光刻胶技术图案化。例如,光掩模(未示出)可以设置在顶部光刻胶层上方,然后光掩模可以暴露于辐射光束,辐射光束包括紫外线(UV)或准分子激光,准分子激光诸如来自氟化氪(KrF)准分子激光器的248nm的光束,或来自氟化氩(ARF)准分子激光器的193nm的光束。可以使用浸没式光刻系统实施顶部光刻胶层的曝光以提高分辨率并且降低可达到的最小间距。可以实施烘烤或固化操作以硬化顶部光刻胶层,并且可以使用显影剂,以根据使用的是正抗蚀剂还是负抗蚀剂去除顶部光刻胶层的曝光部分或非曝光部分。在图案化三层光刻胶92的顶部光刻胶层后,可以实

施修整工艺以减少三层光刻胶92的顶部光刻胶层的宽度。在一个实施例中,修整工艺是利用工艺气体的各向异性等离子蚀刻工艺,用于修整光刻胶的工艺气体包括 O_2 、 CO_2 、 N_2/H_2 、 H_2 等、它们的组合,或其它合适的气体。在修整工艺后,在图13A和13C中描述的,可以图案化中间层和底层,从而留下图案化的三层光刻胶92。

[0040] 在图14A、图14B以及图14C中,使用光刻胶92做为掩模图案化硬掩模层90。可以使用任何可接受的蚀刻工艺实施图案化硬掩模层90,可接受的蚀刻工艺诸如各向异性干法蚀刻工艺。在图案化硬掩模层90后,暴露伪栅极70、栅极间隔件86,以及ILD 88的顶面。

[0041] 在图15A、图15B以及图15C中,在蚀刻步骤中去除伪栅极70的暴露部分、栅极密封间隔件80,以及伪介电层58的直接位于暴露的伪栅极70下方的部分,从而形成凹槽94和伪栅极70的一部分96保留在图案化的硬掩模90下方。在一些实施例中,通过同向异性干法蚀刻工艺去除伪栅极70。例如,蚀刻工艺可以包括干法蚀刻工艺,干法蚀刻工艺使用选择性蚀刻伪栅极70,而不蚀刻硬掩模层90、ILD 88以及栅极间隔件86的反应气体。每个凹槽94暴露相应鳍的沟道区。每个沟道区设置在相邻的一对外延源极/漏极区82之间。在去除期间,当蚀刻伪栅极70时,伪介电层58可用作蚀刻停止层。然后,在去除伪栅极70之后,可将伪介电层58和栅极密封间隔件80去除。

[0042] 通过鳍56的暴露表面、隔离区54、伪栅极的保留部分96的侧壁96S、栅极间隔件86的内表面限定凹槽94。在一些实施例中,保留的伪栅极70的一部分96的侧壁96S(在下文中称为保留部分96)相对于衬底50的主表面倾斜。换句话说,保留部分96的侧壁96S不平行且不垂直于衬底50的主表面。在一些实施例中,保留部分96的侧壁96S与平行于衬底50的主表面的平面形成了夹角 θ_1 。在一个实施例中,夹角 θ_1 小于约 90° ,诸如在从约 75° 到约 89° 范围。此外,如在垂直于鳍56的纵向轴线的方向上所测量的,保留部分96在与隔离区54的界面(例如,保留部分96的底面)处宽于保留部分96的顶面,使得保留部分从底部朝向顶部逐渐变窄。通过形成了保留部分96的蚀刻工艺生成该逐渐变窄的形状,由于该蚀刻不产生保留部分96的完全垂直的侧壁96S。

[0043] 在图16A、图16B以及图16C中,去除图案化硬掩模层90以暴露保留部分96的顶面。可使用可接受的蚀刻工艺去除图案化的硬掩模层90,可接受的蚀刻工艺诸如对图案化的硬掩模层90的材料具有选择性的蚀刻工艺。在一些实施例中,可以通过诸如CMP工艺的平坦化工艺去除图案化的硬掩模层90。如图16C中示出的,在顶视图中,保留部分96的侧壁96S不是平面而是凹部,并且在顶视图中越靠近栅极间隔件86,保留部分96越宽。在一些实施例中,例如,当图案化硬掩模90存在时不去除伪介电层58,但是使用诸如湿蚀刻工艺的选择性蚀刻工艺去除图案化硬掩模90后去除伪介电层58。

[0044] 在图17A、图17B和图17C中,形成栅极介电层98和102以及栅电极100和104以用于替换栅极。在凹槽94中(诸如在鳍56的顶面和侧壁上和在栅极间隔件86的侧壁上,以及在ILD 88的顶面上)共形沉积栅极介电层98和102。根据一些实施例,栅极介电层98和102包括氧化硅、氮化硅或它们的多层。在其它实施例中,栅极介电层98和102包括高k介电材料,并且在这些实施例中,栅极介电层98和102可具有大于约7.0的k值,并且栅极介电层98和102可包括Hf、Al、Zr、La、Mg、Ba、Ti、Pb的金属氧化物或硅酸盐及其组合。栅极介电层98和102的形成方法可包括分子束沉积(MBD)、ALD、PECVD等。

[0045] 接下来,分别在栅极介电层98和102上方沉积栅电极100和104,并且栅电极100和

104填充凹槽94的剩余部分。栅电极100和104可包括含金属的材料,诸如TiN、TaN、TaC、Co、Ru、Al、它们的组合,或它们的多层。在填充栅电极100和104之后,可实施诸如CMP的平坦化工艺以去除栅极介电层98和102的过多部分以及栅电极100和104的材料,其中过多部分位于ILD 88的顶面和保留部分96的上方。因此,所得到的栅电极100和104以及栅极介电层98和102的材料的剩余部分形成所得到的FinFET的替换栅极。

[0046] 栅极介电层98和102的形成可同时发生,使得栅极介电层98和102包括相同的材料,并且栅电极100和104的形成可同时发生,使得栅电极100和104包括相同的材料。然而,在其它实施例中,可通过不同工艺形成栅极介电层98和102,使得栅极介电层98和102可包括不同材料,并且可通过不同工艺形成栅电极100和104,使得栅电极100和104可包括不同材料。当使用不同工艺时,各种掩蔽步骤可用于掩蔽和暴露适当的区域。

[0047] 在形成替换栅极后,保留部分96使在第一区50B中的替换栅极与在第二区50C中的替换栅极分开,第一区50B中的替换栅极与在第二区50C中替换栅极具有相同的纵向轴线。在随后的工艺中,将用绝缘材料(参考图19A、图19B以及图19C)替代保留部分96以在第一区50B中的替换栅极和在第二区50C中替换栅极之间提供隔离。

[0048] 在图18A、图18B以及图18C中,去除保留部分96以形成凹槽110。可以通过使用可接受的蚀刻工艺去除保留部分96,诸如对保留部分96的材料具有选择性而不会蚀刻栅电极100和104以及隔离区54的蚀刻工艺。通过隔离区54的暴露表面、替换栅极的暴露侧壁,以及栅极间隔件86的暴露侧壁限定凹槽110。

[0049] 在图19A、图19B、图19C以及图19D中,在相邻替换栅极之间的凹槽中形成绝缘材料112以形成隔离区112。隔离区112在第一区50B中的替换栅极和在第二区50C中的替换栅极之间提供隔离功能。绝缘材料112可以是诸如氧化硅的氧化物、氮化物等,或它们的组合,并且绝缘材料112可以通过HDP-CVD、FCVD(例如,远程等离子体系统中的CVD基材料沉积以及后固化以使其转化为另一材料,诸如氧化物)等,或它们的组合形成。可以使用通过任何可接受工艺形成的其它绝缘材料。在示出的实施例中,绝缘材料112是通过FCVD工艺形成的氧化硅。此外,在图19A、图19B、图19C和图19D中,诸如CMP工艺的平坦化工艺可去除任何过多的绝缘材料112并且使隔离区112的顶面和替换栅极的顶面以及ILD 88的顶面形成为齐平。

[0050] 隔离区112具有位于相邻栅极间隔件86之间的侧壁112S,侧壁112S与平行于衬底50的主表面的平面形成了夹角 θ_1 ,隔离区112的侧壁112S相似于暴露部分96的相应侧壁96S。此外,在顶视图中,隔离区112的侧壁112S不是平面而是凹部,并且在顶视图中越靠近栅极间隔件86,隔离区112越宽。在顶视图中,隔离区具有沙漏形状。在一些实施例中,如图19D的顶视图中示出的,侧壁112S具有中间部112S1,中间部112S1与弯曲(即,非平面)边缘部112S2基本上共面。在这些实施例中,在顶视图中位于相邻栅极间隔件86之间的距离是D1,同时在顶视图中隔离区112的侧壁112S的中间部112S1具有距离D2。在一个实施例中,距离D2是在从约距离D1的三分之一到约整个距离D1的范围内。在一些实施例中,隔离区112的侧壁112S的弯曲部112S2接触栅极间隔件86的侧壁,隔离区112的侧壁112S的弯曲部112S2相对于栅极间隔件86的侧壁成夹角 θ_2 。在一些实施例中,角度 θ_2 在从约 45° 至约 90° 的范围内。此外,如在平行于栅极100和104的纵向轴线的方向测量,隔离区112在与隔离区54的界面(例如,隔离区112的底面)处具有宽于它们的顶面的界面,使得保留部分从底部朝向顶部逐渐变窄。

[0051] 在顶视图中隔离区112的侧壁112S的凹形形状是重要的,由于其帮助减小了上面的接触件接合在隔离区112上的机会,这将由于增加了上面的接触件的电阻而将影响器件的性能。例如,图19D示出了上面的接触件116在栅电极104上的接合覆盖区。如示出的,上面的接触件116的接合覆盖区通常为圆形的,并且因此,隔离区112的侧壁112S的凹形形状减少了上面的接触件116将接合在隔离区112上的机会。换句话说,相比于隔离区112的侧壁112S的其它形状(诸如凸形),隔离区112的侧壁112S的凹形增加了上面的接触件116的接触件接合窗口。此外,由于修整光刻胶92(参见图13A,13B和13C以及相应段落)的能力超出了现有的光刻限制,其减少了隔离区112的暴露顶面的总宽度。隔离区112的暴露顶面的总宽度的减少进一步减少了上面的接触件116接合在隔离区112上的机会,并且因此,增加了用于上面的接触件116的接触件接合窗口。更进一步,在形成替换栅电极100和104期间,隔离区112的侧壁112S的凹形形状减少了在隔离区112和栅极间隔件86之间形成缝隙的可能性。

[0052] 在图20A和图20B中,ILD 120沉积在ILD 88上方,并且穿过ILD 118和ILD 88形成接触件122。在ILD 88、替换栅极、栅极间隔件86,以及隔离区112上方形成ILD 120。ILD 120由诸如PSG、BSG、BPSG、USG等的介电材料形成并且可以通过诸如CVD和PECVD的任何合适的方法沉积。穿过ILD 88和120形成用于接触件122的开口。可使用可接受的光刻和蚀刻技术形成开口。在开口中形成诸如扩散阻挡层、粘附层等的衬垫和导电材料。衬垫可包括钛、氮化钛、钽、氮化钽等。导电材料可为铜、铜合金、银、金、钨、铝、镍等。可实施诸如CMP的平坦化工艺以从ILD 120的表面去除过多的材料。剩余的衬垫和导电材料在开口中形成接触件122。可以实施退火工艺以分别在外延源极/漏极区82和接触件122之间的界面处形成硅化物。接触件122可以物理连接同时电连接至外延的源极/漏极区82。

[0053] 虽然没有明确示出,但是本领域普通技术人员将容易理解,可以对图20A和图20B中的结构执行进一步的处理步骤。例如,可以在ILD 120上方形成各种金属间电介质(IMD)及它们的相应的金属。

[0054] 本发明的实施例可以实现诸如在相邻区中的栅极之间提供隔离的同时减少上面的接触件接合在隔离区上的机会的优点。特别是,在顶视图中隔离区的侧壁具有凹形是重要的,这是因为其帮助减少了上面的接触件接合在隔离区上的机会,这将通过增加上面的接触件的电阻从而影响器件的性能,例如,上面的接触件的接合覆盖区是典型的圆形,并且因此,隔离区的侧壁的凹形减少了上面的接触件接合在隔离区上的机会。换句话说,相比于隔离区的侧壁的其它形状(诸如凸形),隔离区的侧壁的凹形增加了用于上面的接触件的接触件接合窗口。此外,由于修整光刻胶(决定了隔离区的宽度)的能力超过现有的光刻的限制,其减少了隔离区的暴露顶面的总宽度。隔离区的暴露顶面的总宽度的减少进一步减少了上面的接触件接合在隔离区上的机会,并且因此,增加了用于上面的接触件的接触件接合窗口。更进一步,在形成替换栅电极期间,隔离区的侧壁的凹形减少了在隔离区和栅极间隔件之间形成缝隙的可能性。

[0055] 一种方法的实施例,包括在衬底的第一区中形成第一鳍并且在衬底的第二区中形成第二鳍,在衬底上形成第一隔离区,第一隔离区围绕第一鳍和第二鳍,在第一鳍上方形成第一伪栅极并且在第二鳍上方形成第二伪栅极,第一伪栅极和第二伪栅极具有相同的纵向轴线,用第一替换栅极替换第一伪栅极并且用第二替换栅极替换第二伪栅极,在第一替换栅极和第二替换栅极之间形成第一凹槽,以及在第一凹槽中填充绝缘材料以形成第二隔离

区。

[0056] 一种方法的另一个实施例,包括在衬底上方形成第一鳍和第二鳍,在衬底上形成第一隔离区,第一隔离区围绕第一鳍和第二鳍,在第一鳍和第二鳍的顶面和侧壁上方形成第一伪栅极堆叠件,第一伪栅极堆叠件具有第一纵向轴线,图案化第一伪栅极堆叠件以暴露第一鳍和第二鳍的沟道区同时留下位于第一鳍和第二鳍之间的第一伪栅极堆叠件的第一部,在第一鳍的暴露的沟道区上方形成第一替换栅极堆叠件,在第二鳍的暴露的沟道区上方形成第二替换栅极堆叠件,以及用介电材料替换第一伪栅极堆叠件的第一部以形成第二隔离区。

[0057] 进一步,一种结构的实施例,包括位于衬底上方的第一鳍和位于衬底上方的第二鳍,在衬底上的第一隔离区,第一隔离区围绕第一鳍和第二鳍,位于第一鳍上方的第一栅极堆叠件和位于第二鳍上方的第二栅极堆叠件,第一栅极堆叠件和第二栅极堆叠件具有相同的纵向轴线,以及插入在第一栅极堆叠件和第二栅极堆叠件之间的第二隔离区,第二隔离区从底面朝向顶面逐渐变窄,第二隔离区的底面邻近第一隔离区,第二隔离区的顶面远离第一隔离区。

[0058] 根据本发明的一些实施例,提供了一种形成FinFET结构的方法,包括:在衬底的第一区中形成第一鳍并且在所述衬底的第二区中形成第二鳍;在所述衬底上形成第一隔离区,所述第一隔离区围绕所述第一鳍和所述第二鳍;在所述第一鳍上方形成第一伪栅极并且在所述第二鳍上方形成第二伪栅极,所述第一伪栅极和所述第二伪栅极具有相同的纵向轴线;用第一替换栅极替换所述第一伪栅极并且用第二替换栅极替换所述第二伪栅极;在所述第一替换栅极和所述第二替换栅极之间形成第一凹槽;以及在所述第一凹槽中填充绝缘材料以形成第二隔离区。

[0059] 在上述方法中,所述第一隔离区的顶面接触所述第二隔离区的底面。

[0060] 在上述方法中,当从平行于所述第一替换栅极和所述第二替换栅极的纵向轴线的方向测量时,所述第二隔离区的底面宽于所述第二隔离区的顶面。

[0061] 在上述方法中,在所述第一替换栅极和所述第二替换栅极之间形成所述第一凹槽包括:去除所述第一伪栅极和所述第二伪栅极的保留部分。

[0062] 在上述方法中,所述第二隔离区的侧壁不平行且不垂直于所述衬底的主表面。

[0063] 在上述方法中,所述第二隔离区的侧壁是非平面的。

[0064] 在上述方法中,用第一替换栅极替换所述第一伪栅极并且用第二替换栅极替换所述第二伪栅极包括:形成并且图案化硬掩模层以暴露所述第一伪栅极的第一部分和所述第二伪栅极的第二部分;去除所述第一伪栅极的暴露的所述第一部分以暴露所述第一鳍并且去除所述第二伪栅极的暴露的所述第二部分以暴露所述第二鳍;去除所述图案化的硬掩模层以暴露位于所述第一鳍和所述第二鳍之间的所述第一伪栅极和所述第二伪栅极的保留部分;在暴露的所述第一鳍和所述第二鳍的顶面和侧壁上沉积栅极电介质;以及在所述栅极电介质上沉积栅电极以形成所述第一替换栅极和所述第二替换栅极。

[0065] 在上述方法中,所述栅极电介质包括高k介电材料,并且其中,所述栅电极包括金属。

[0066] 根据本发明的另一些实施例,还提供了一种形成FinFET结构的方法,包括:在衬底上方形成第一鳍和第二鳍;在所述衬底上形成第一隔离区,所述第一隔离区围绕所述第一

鳍和所述第二鳍；在所述第一鳍和所述第二鳍的顶面和侧壁上方形形成第一伪栅极堆叠件；图案化所述第一伪栅极堆叠件以暴露所述第一鳍和所述第二鳍的沟道区，同时在所述第一鳍和所述第二鳍之间留下所述第一伪栅极堆叠件的第一部分；在所述第一鳍的暴露的沟道区上方形成第一替换栅极堆叠件；在所述第二鳍的暴露的沟道区上方形成第二替换栅极堆叠件；以及用介电材料替换所述第一伪栅极堆叠件的所述第一部分以形成第二隔离区。

[0067] 在上述方法中，所述第一隔离区的顶面接触所述第二隔离区的底面。

[0068] 在上述方法中，所述第二隔离区的侧壁相对于平行于所述衬底的主表面的平面形成第一角度，所述第一角度小于 90° 。

[0069] 在上述方法中，所述第二隔离区从底面朝向顶面逐渐变窄，所述第二隔离区的底面邻近所述第一隔离区，所述第二隔离区的顶面远离所述第一隔离区。

[0070] 在上述方法中，所述第二隔离区的侧壁是非平面的。

[0071] 在上述方法中，形成所述第一替换栅极堆叠件和形成所述第二替换栅极堆叠件包括：在所述第一鳍和所述第二鳍的暴露的沟道区的顶面和侧壁上沉积栅极电介质；以及在所述栅极电介质上沉积栅电极以形成所述第一替换栅极堆叠件和所述第二替换栅极堆叠件。

[0072] 在上述方法中，所述栅极电介质包括高k介电材料，并且其中，所述栅电极包括金属。

[0073] 在上述方法中，所述第一替换栅极堆叠件的栅电极与所述第二替换栅极堆叠件的栅电极具有不同的材料组成。

[0074] 根据本发明的又一些实施例，还提供了一种FinFET结构，包括：第一鳍和第二鳍，所述第一鳍位于衬底上方和所述第二鳍位于所述衬底上方；第一隔离区，位于所述衬底上，所述第一隔离区围绕所述第一鳍和所述第二鳍；第一栅极堆叠件和第二栅极堆叠件，所述第一栅极堆叠件位于所述第一鳍上方，和所述第二栅极堆叠件位于所述第二鳍上方，所述第一栅极堆叠件和所述第二栅极堆叠件具有相同的纵向轴线；以及第二隔离区，插入在所述第一栅极堆叠件和所述第二栅极堆叠件之间，所述第二隔离区从底面朝向顶面逐渐变窄，所述第二隔离区的所述底面邻近所述第一隔离区，所述第二隔离区的所述顶面远离所述第一隔离区。

[0075] 在上述FinFET结构中，所述第二隔离区的侧壁相对于平行于所述衬底的主表面的平面形成第一角度，所述第一角度小于 90° 。

[0076] 在上述FinFET结构中，每个所述第一栅极堆叠件和所述第二栅极堆叠件包括：栅极电介质，位于相应的所述鳍的顶面和侧壁上，所述栅极电介质包括高k介电材料；以及栅电极，位于相应的所述栅极电介质上，所述栅电极包括金属。

[0077] 在上述FinFET结构中，所述第二隔离区的侧壁是非平面的。

[0078] 上述内容概括了几个实施例的特征使得本领域技术人员可更好地理解本发明的各个方面。本领域技术人员应该理解，可以很容易地使用本发明作为基础来设计或更改其它的处理和结构以用于达到与本发明所介绍实施例相同的和/或实现相同优点。本领域技术人员也应该意识到，这些等效结构并不背离本发明的精神和范围，并且在不背离本发明的精神和范围的情况下，可以进行多种变化、替换以及改变。

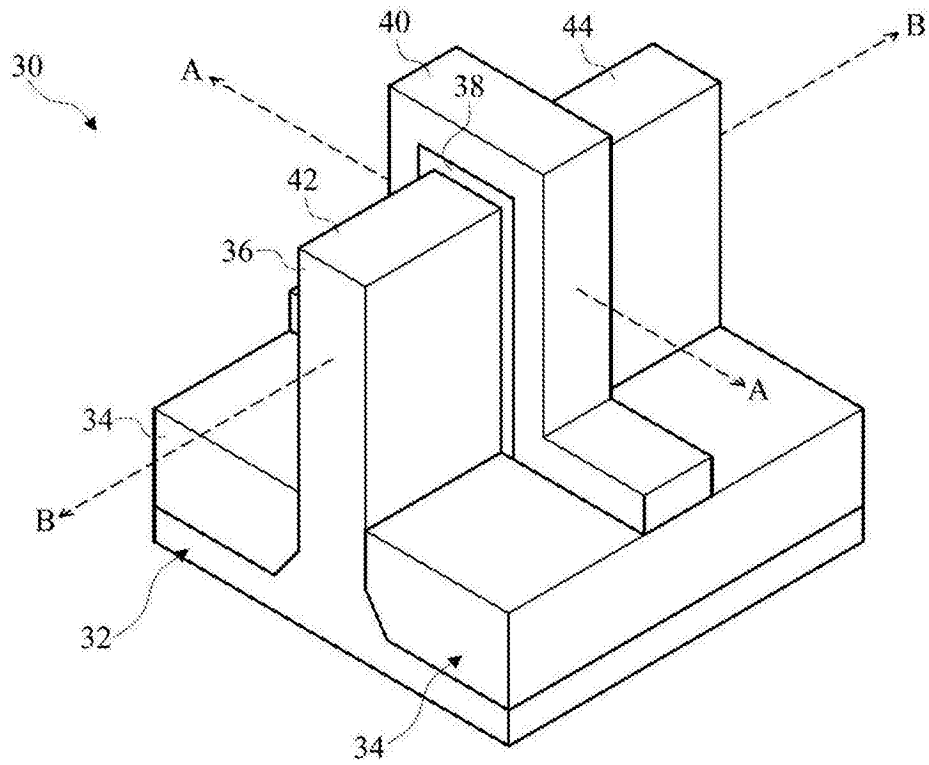


图1

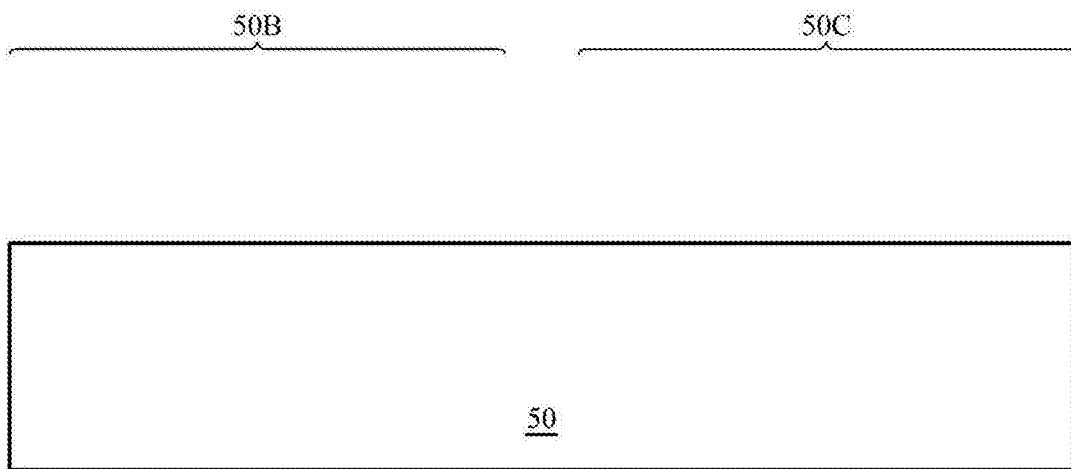


图2

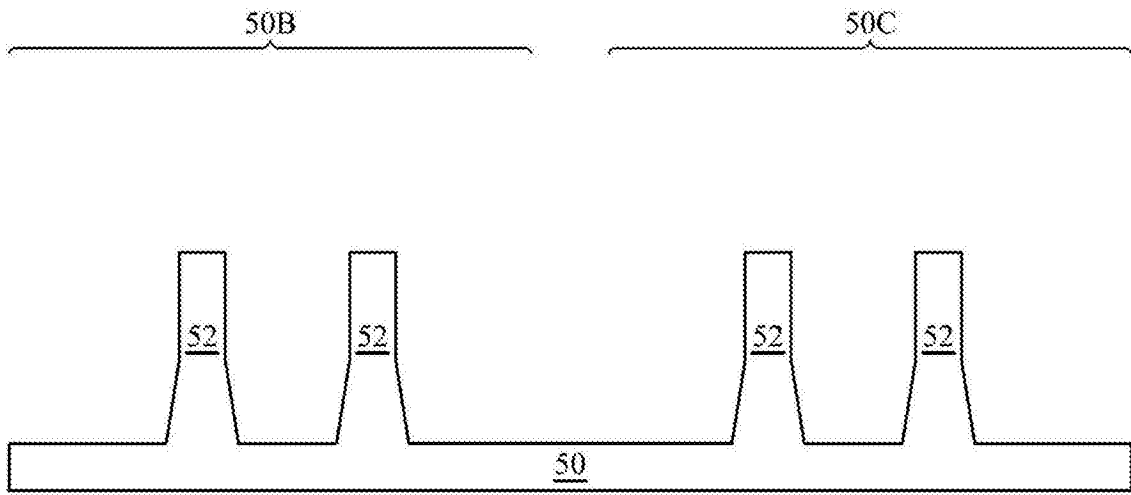


图3

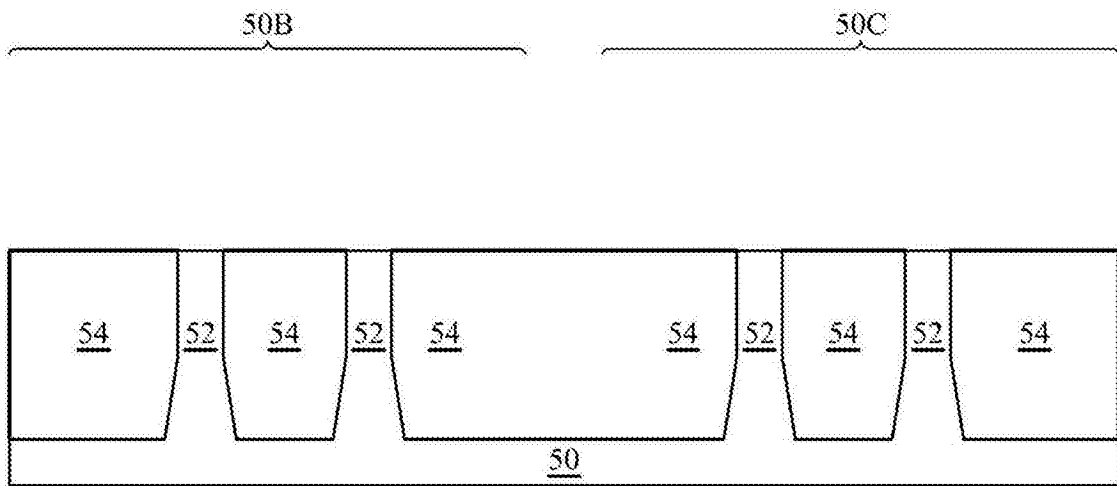


图4

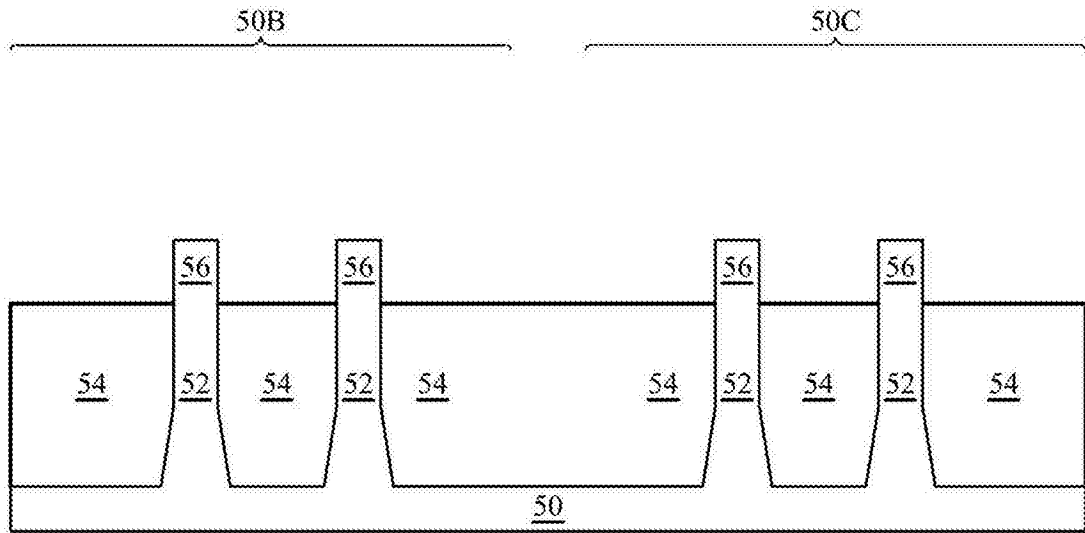


图5

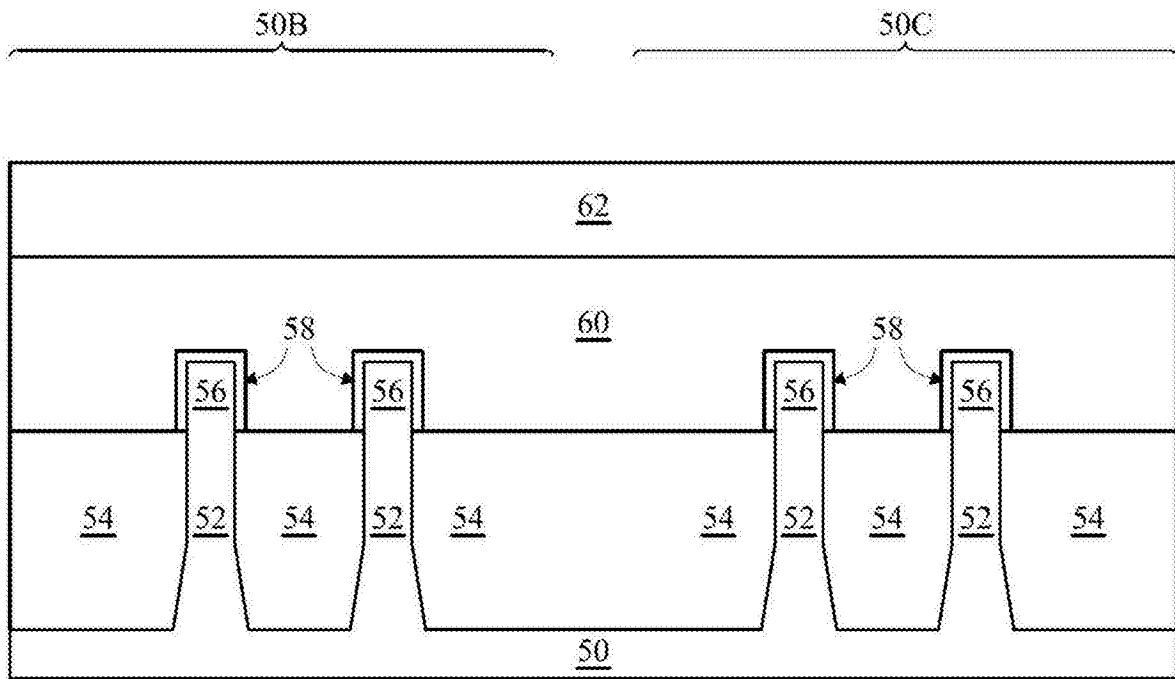


图6

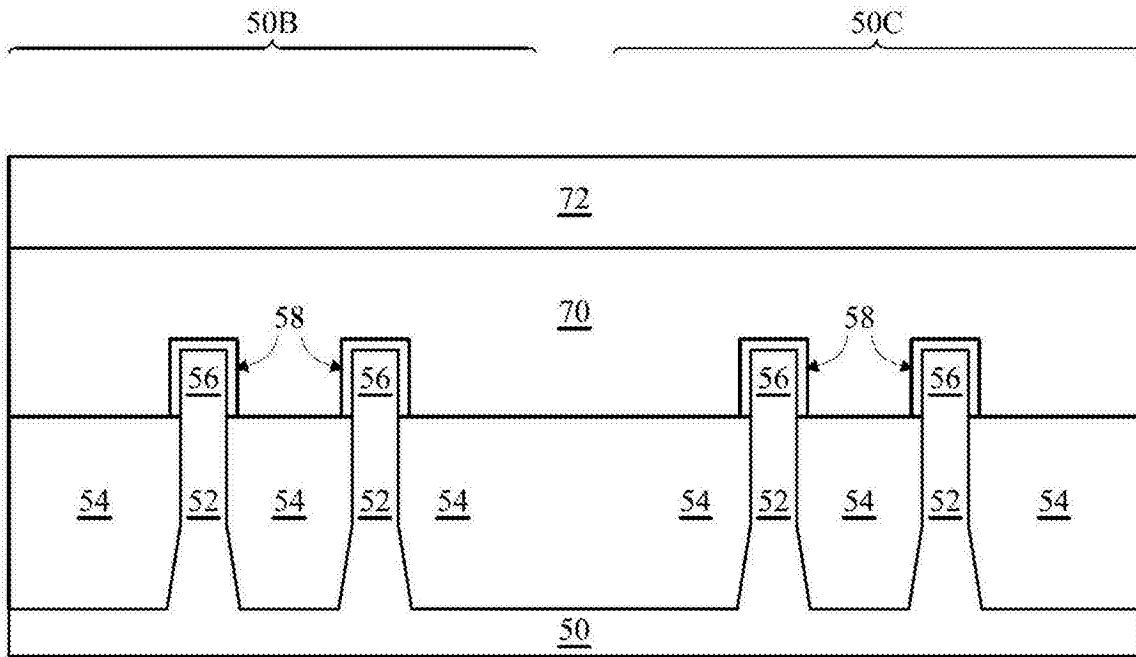


图7A

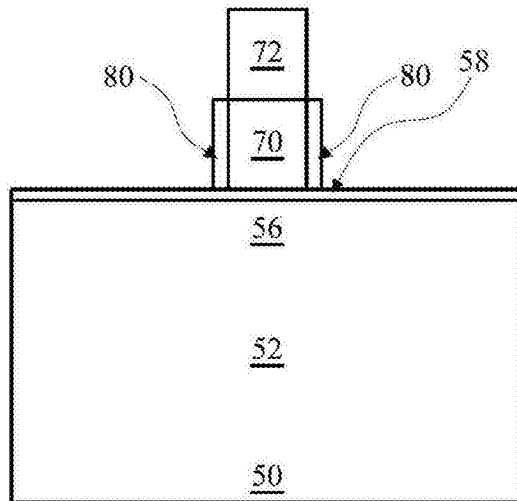


图7B

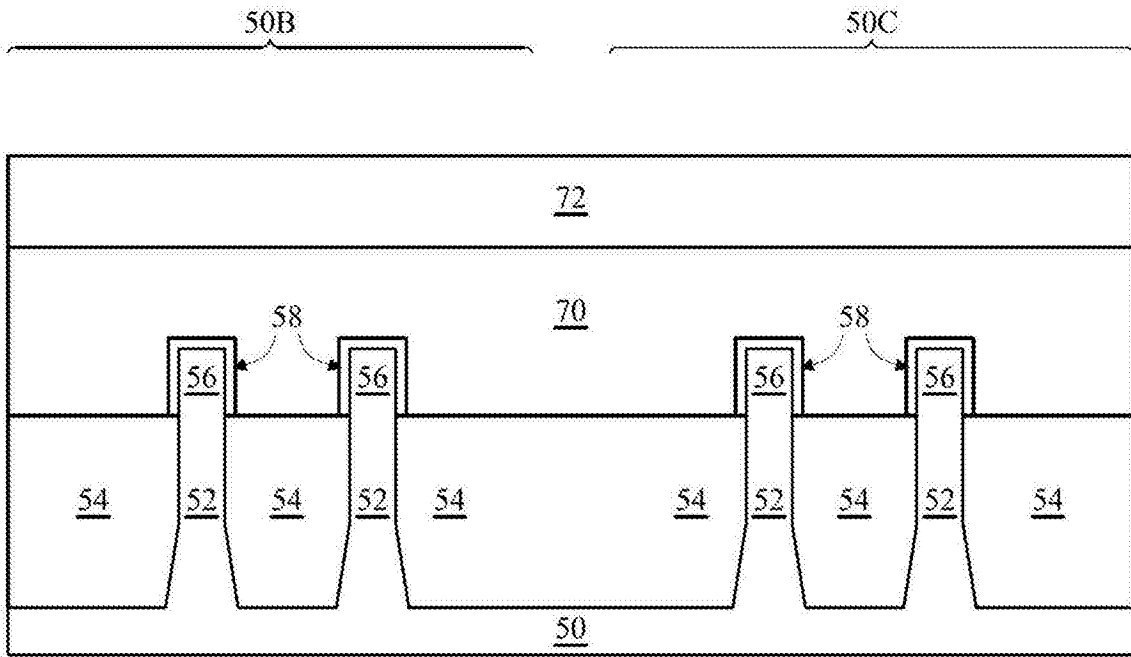


图8A

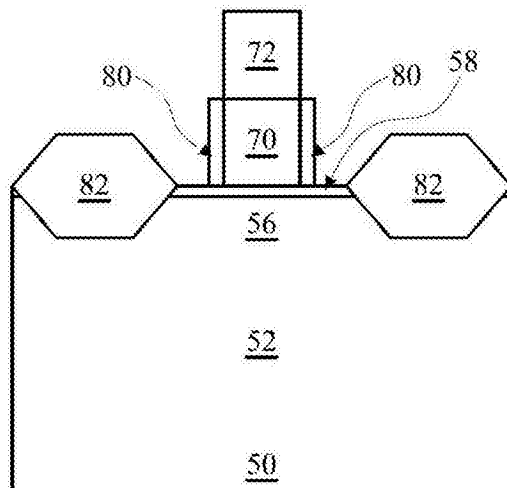


图8B

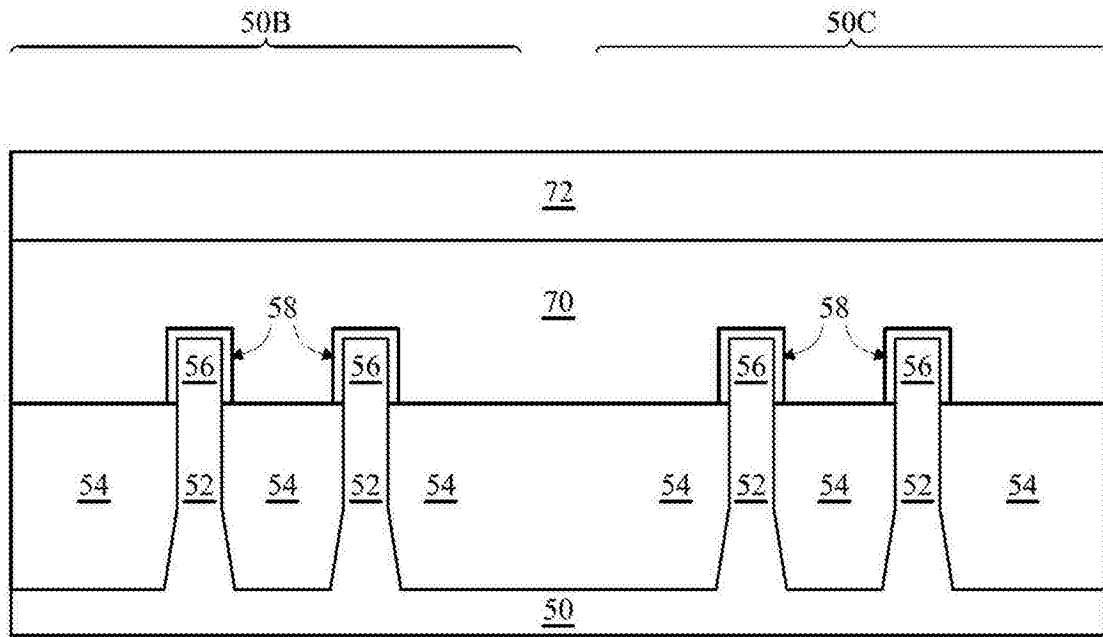


图9A

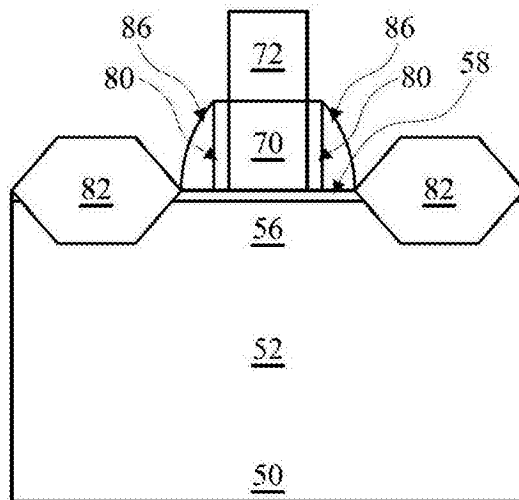


图9B

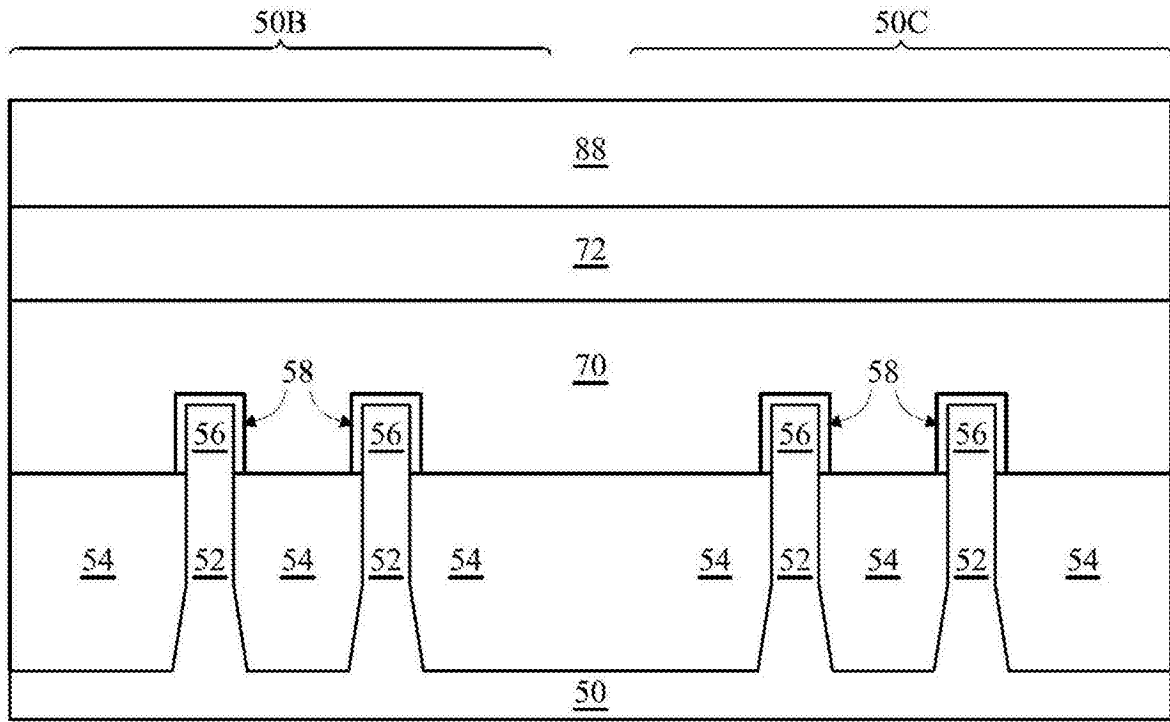


图10A

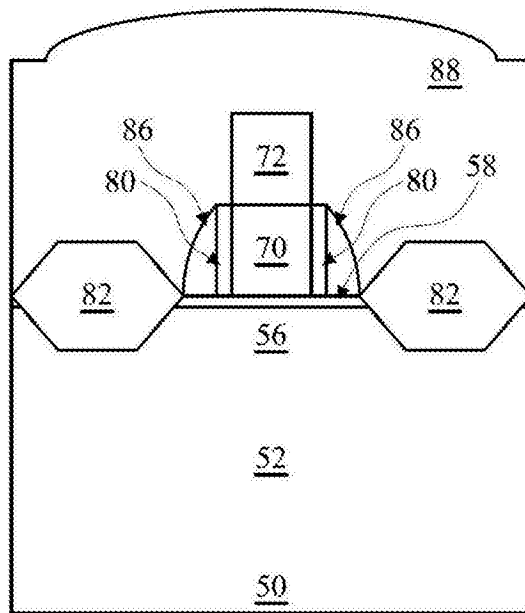


图10B

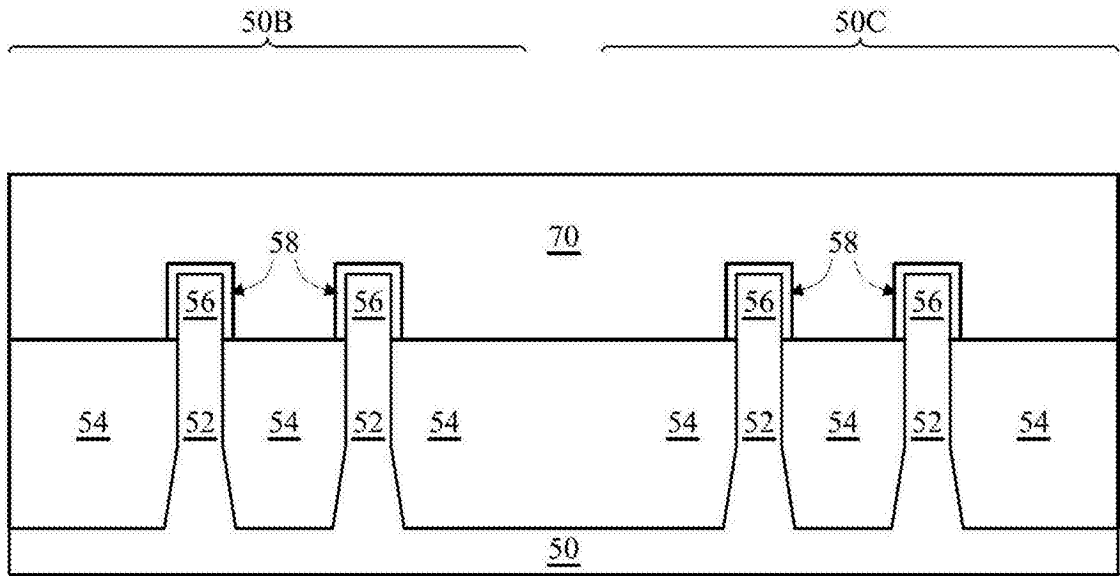


图11A

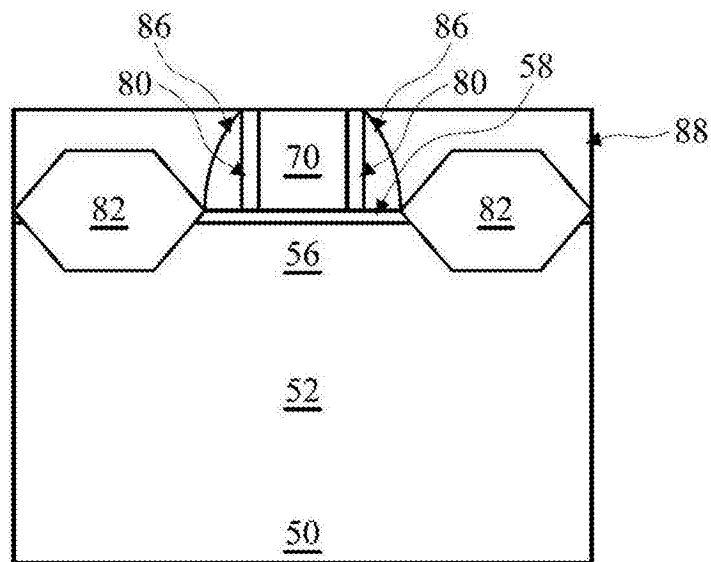


图11B

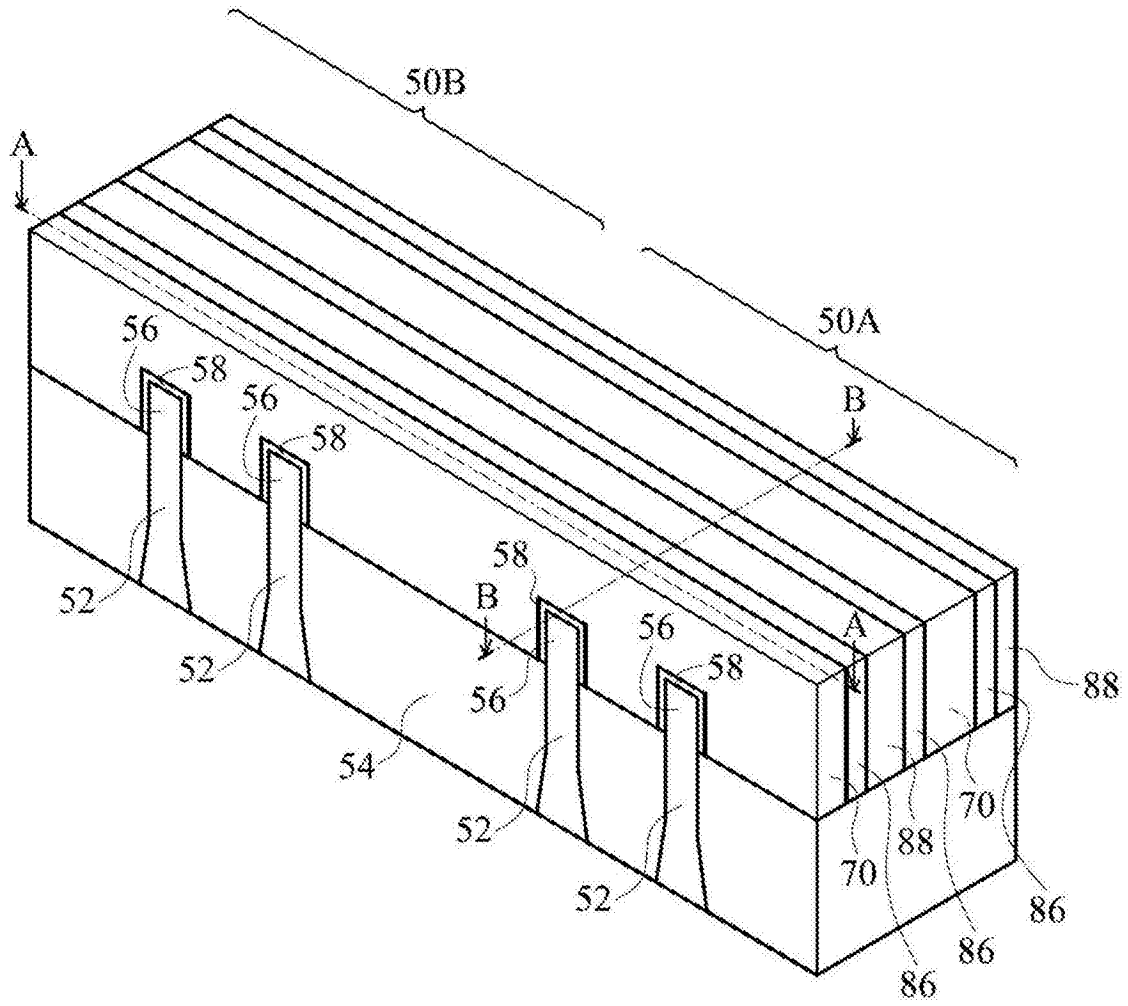


图11C

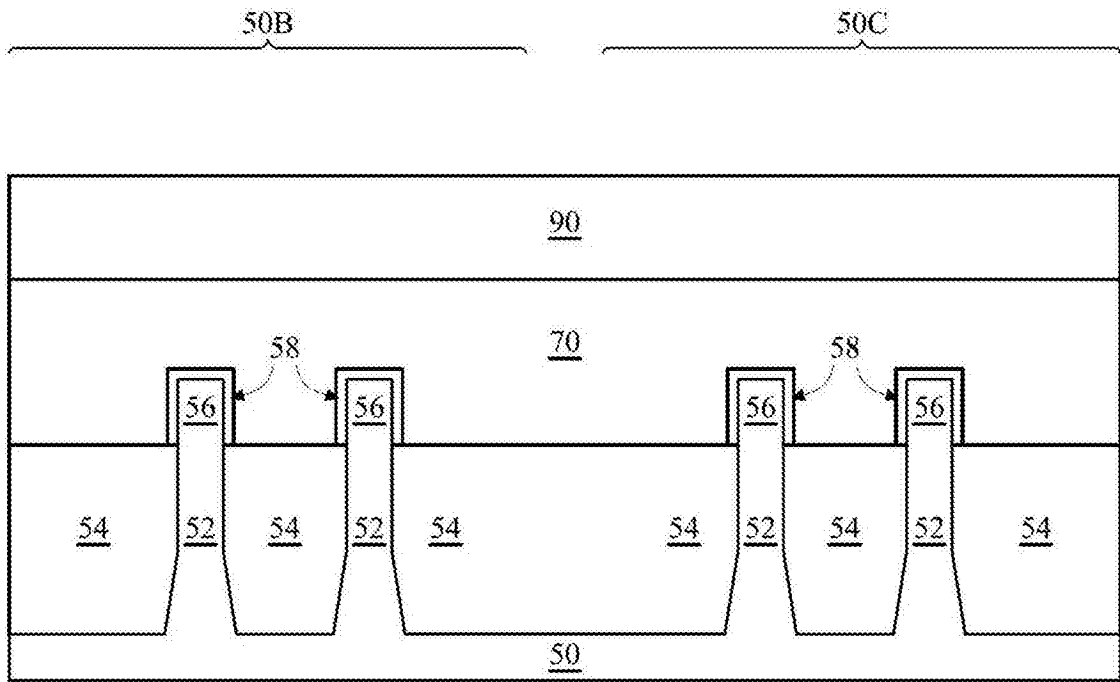


图12A

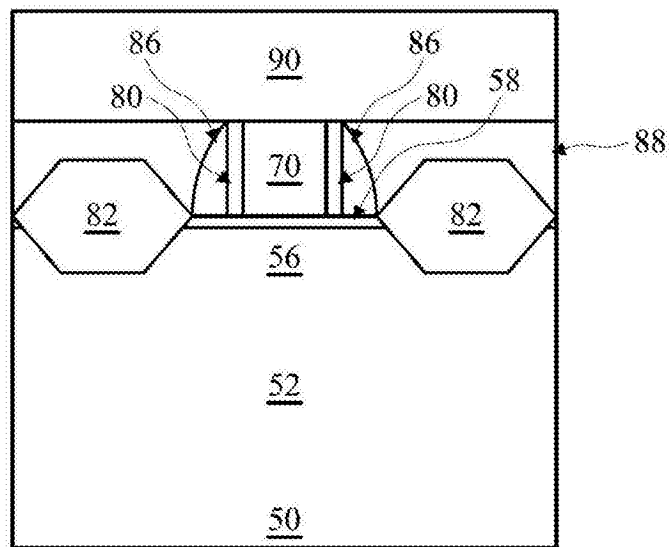


图12B

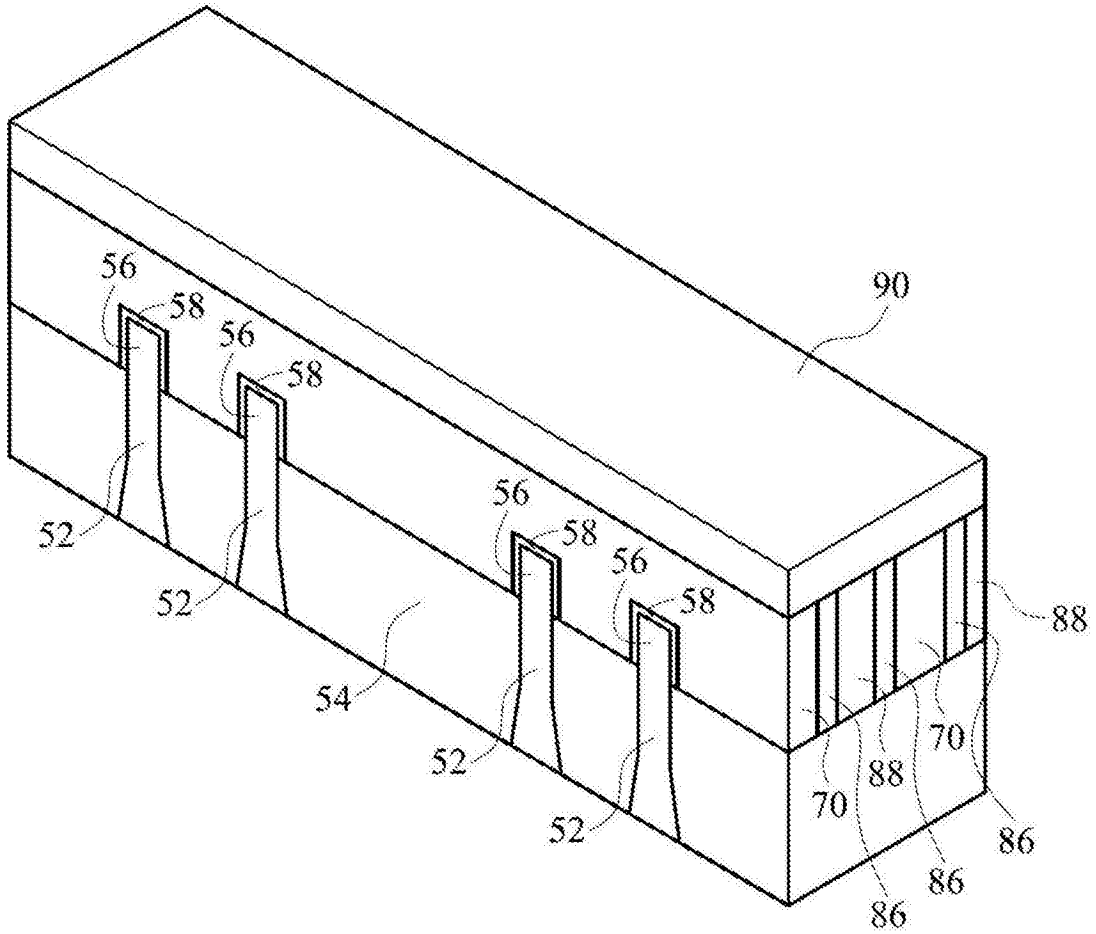


图12C

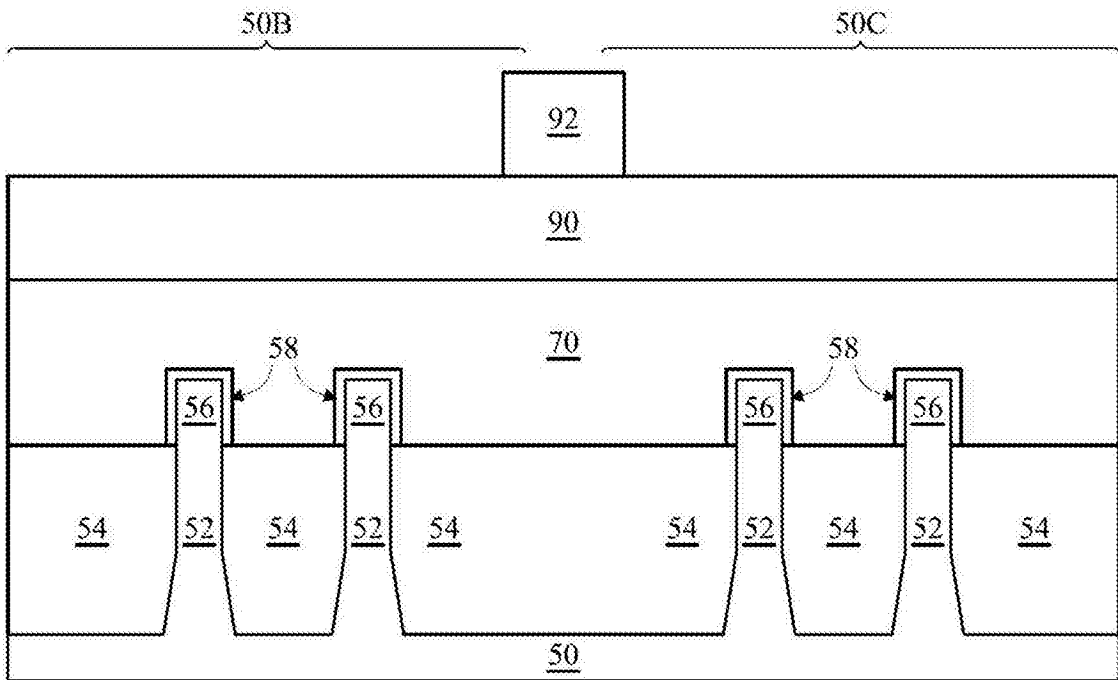


图13A

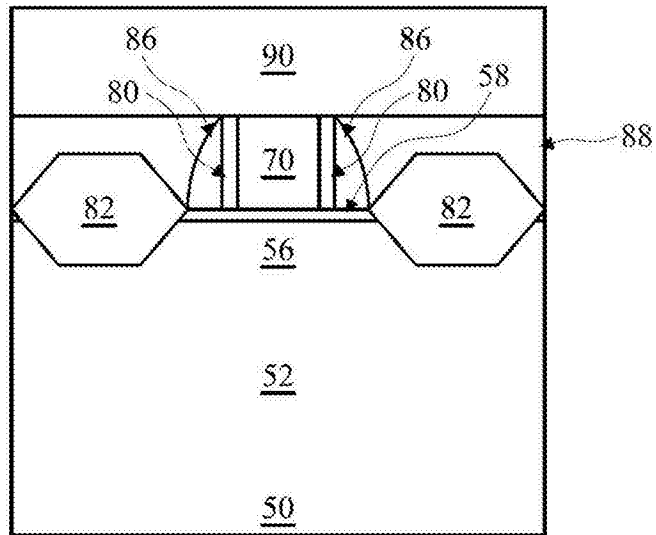


图13B

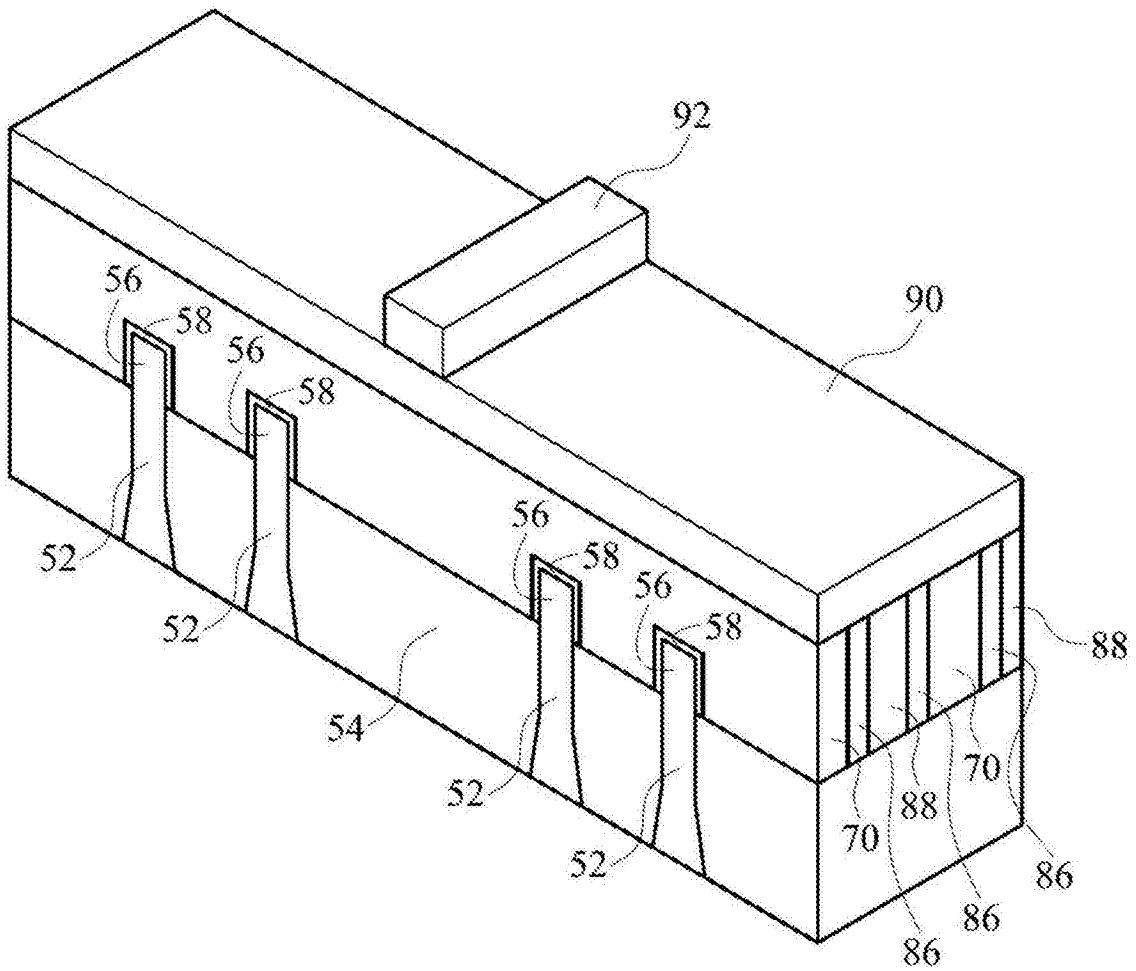


图13C

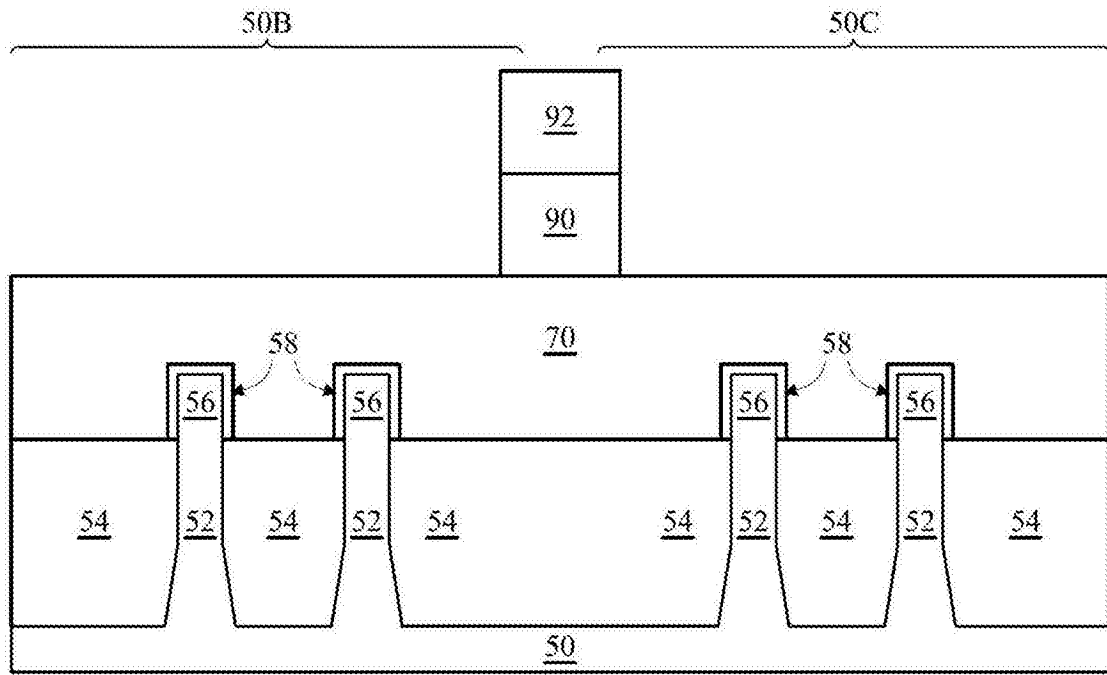


图14A

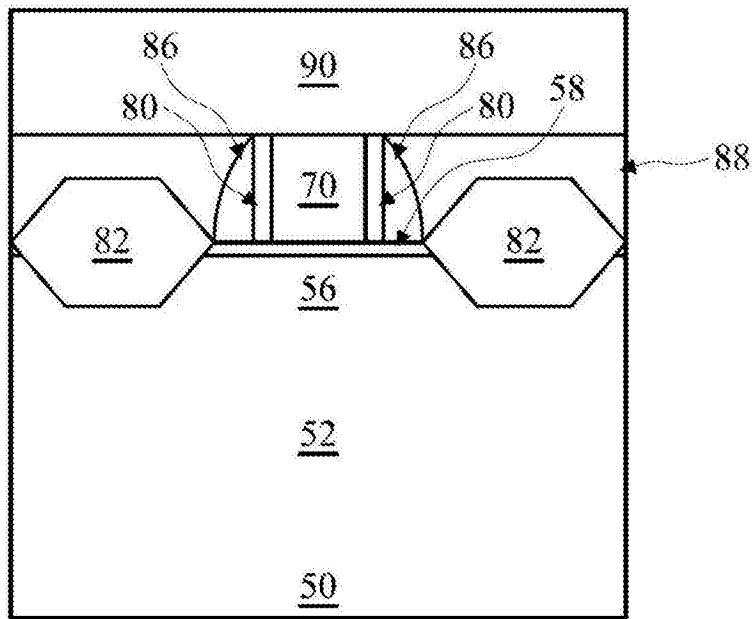


图14B

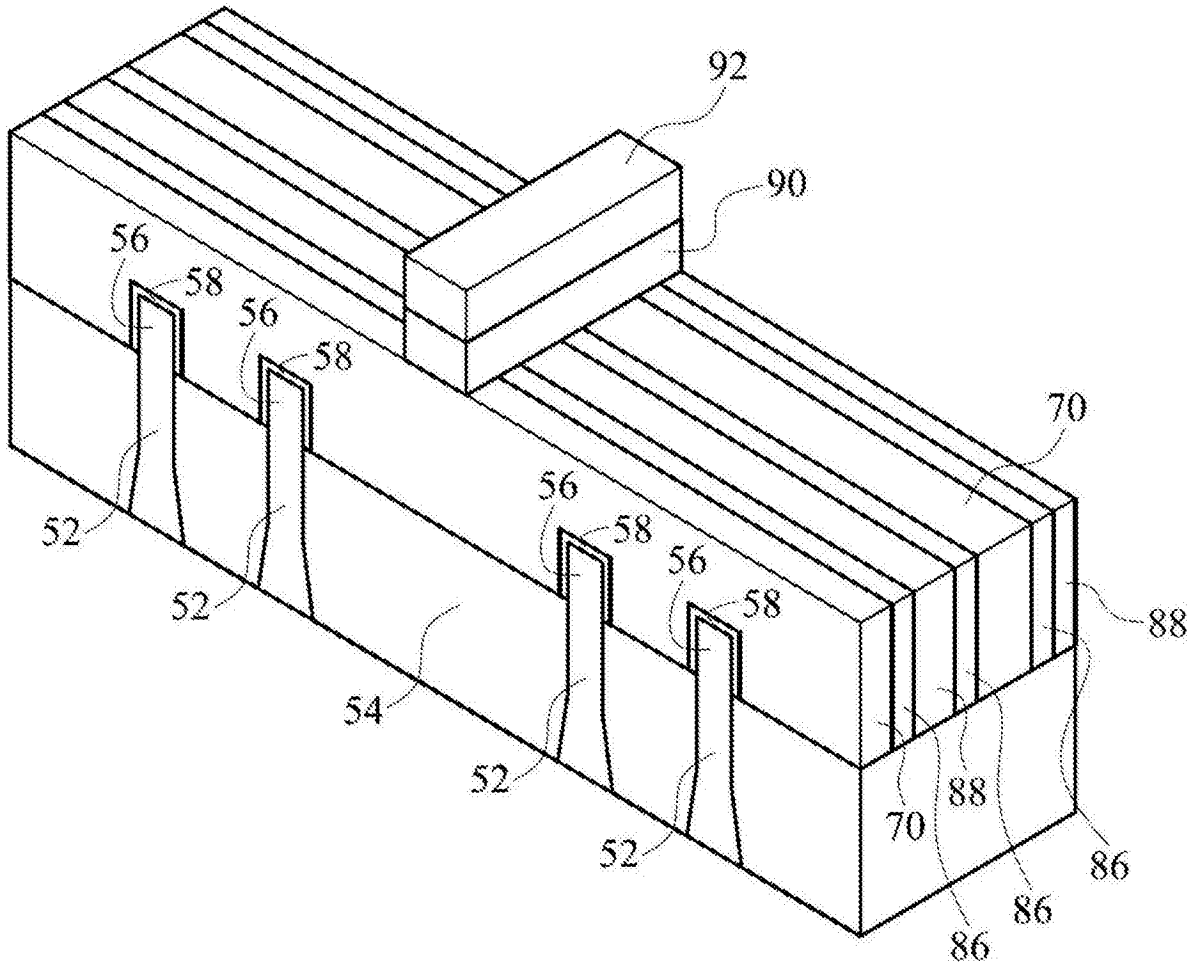


图14C

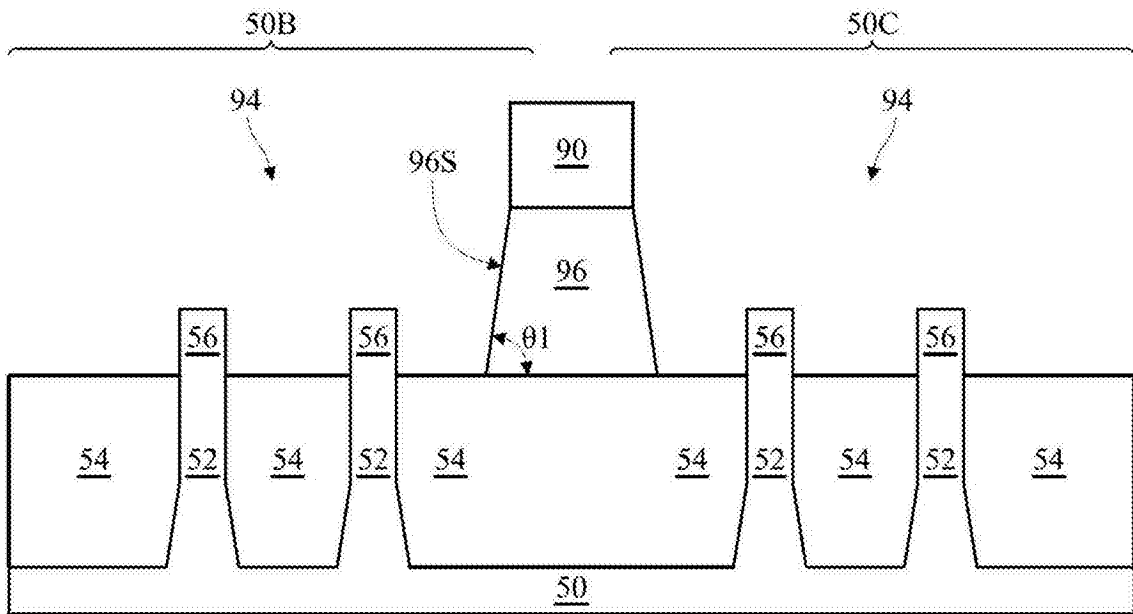


图15A

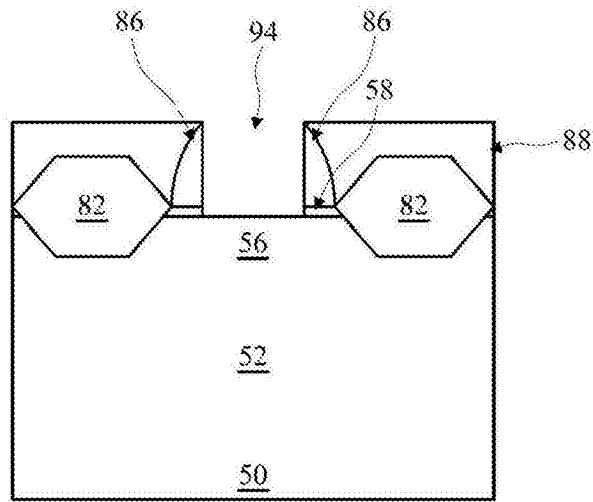


图15B

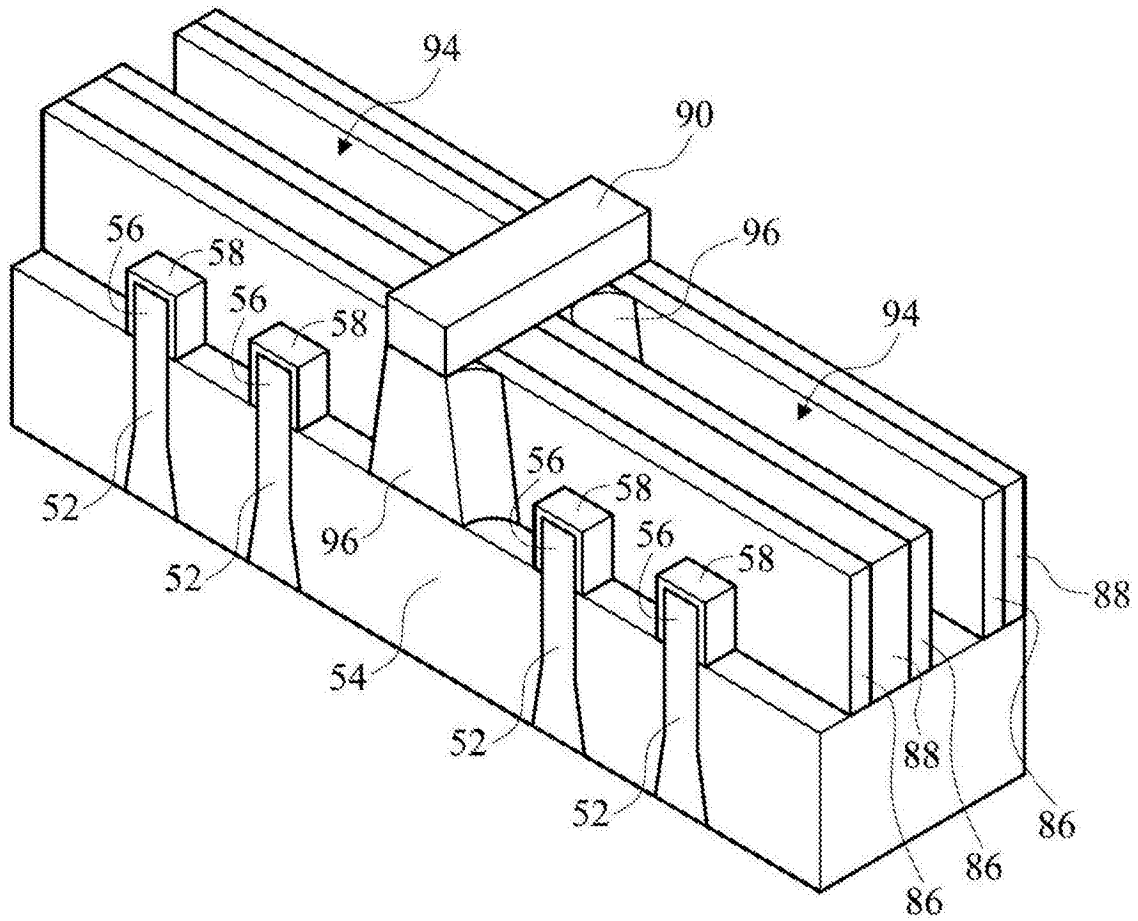


图15C

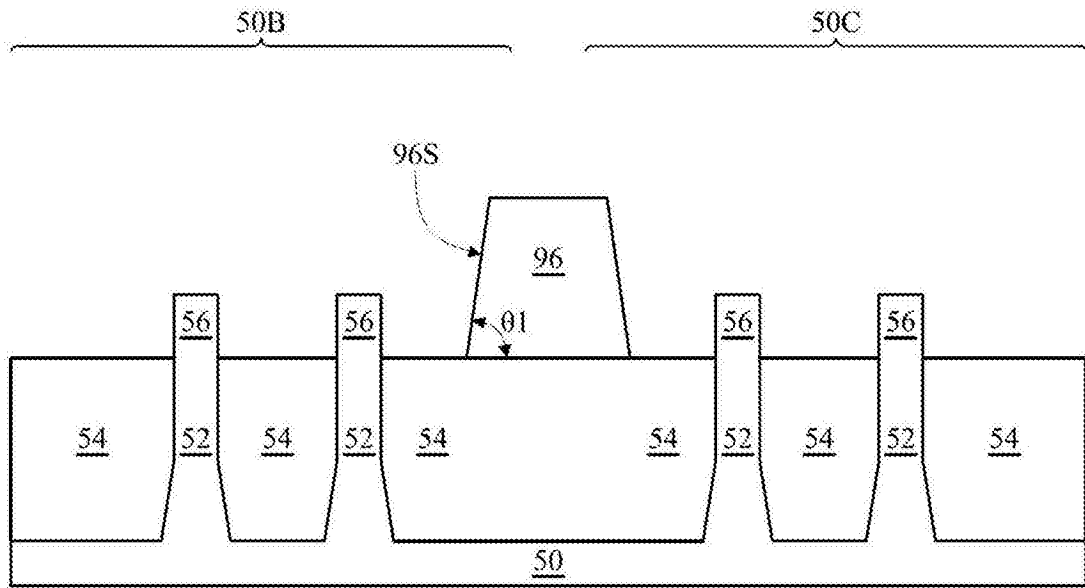


图16A

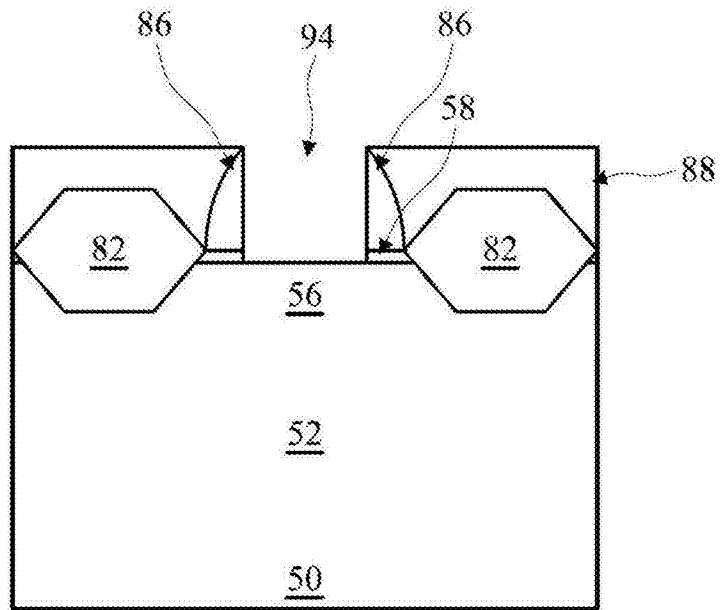


图16B

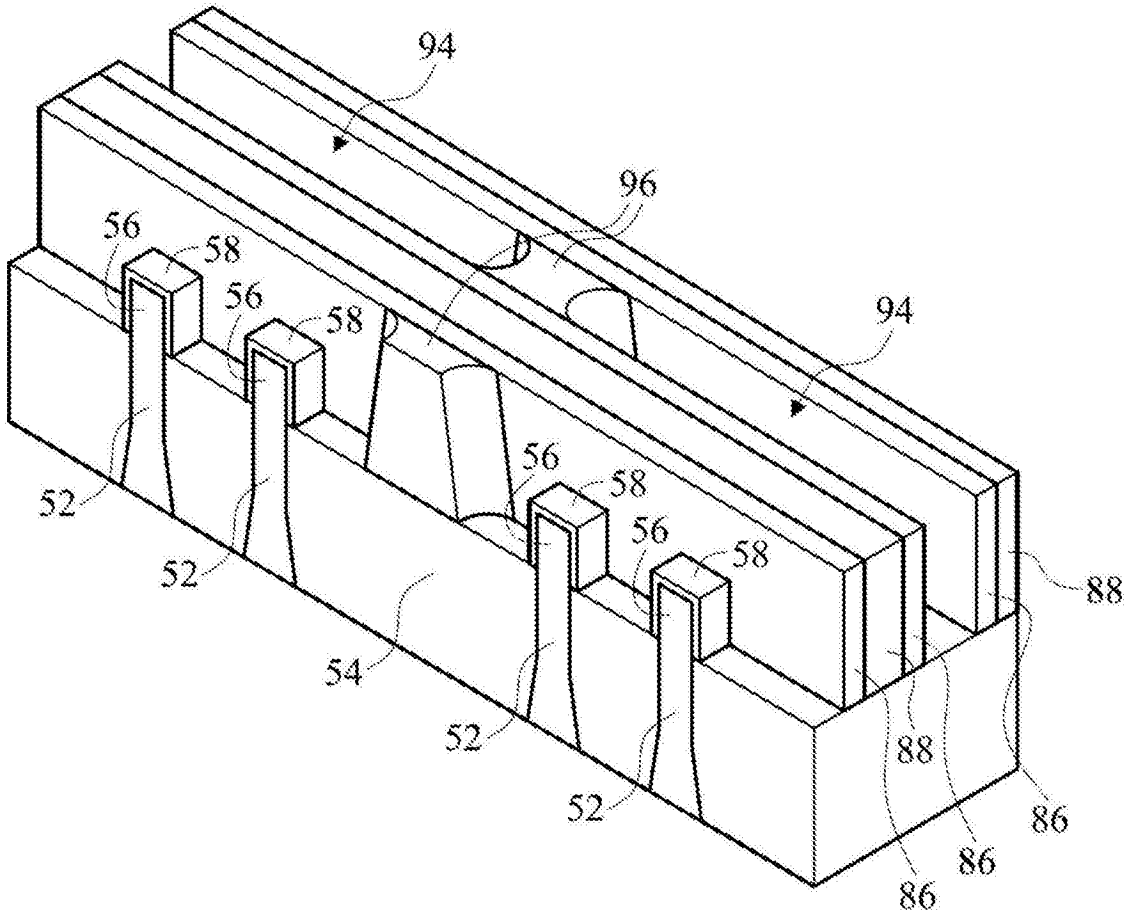


图16C

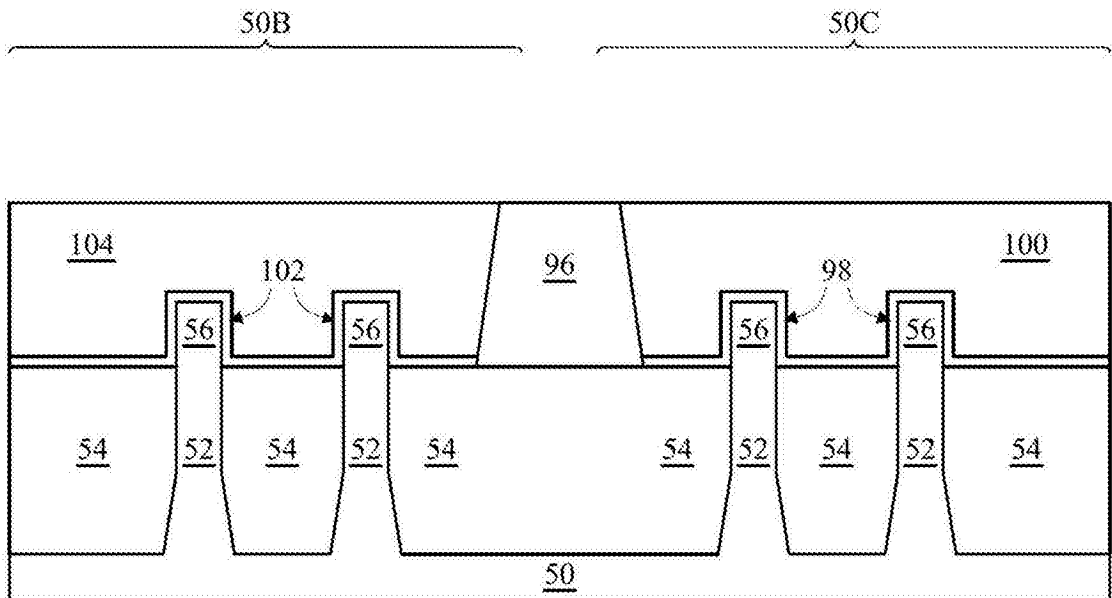


图17A

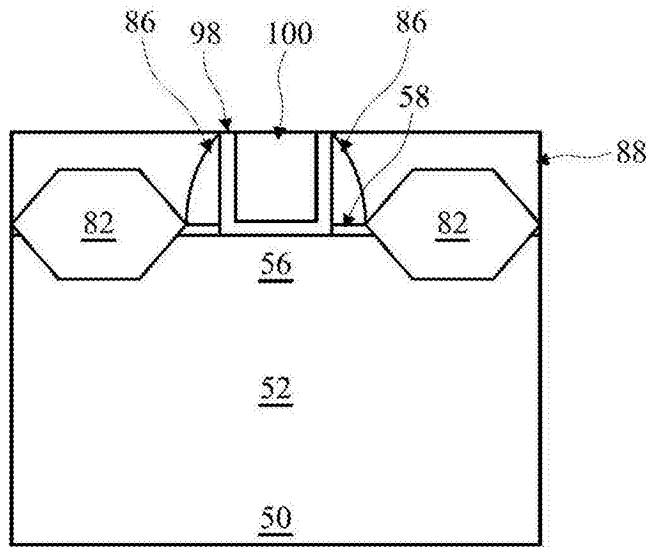


图17B

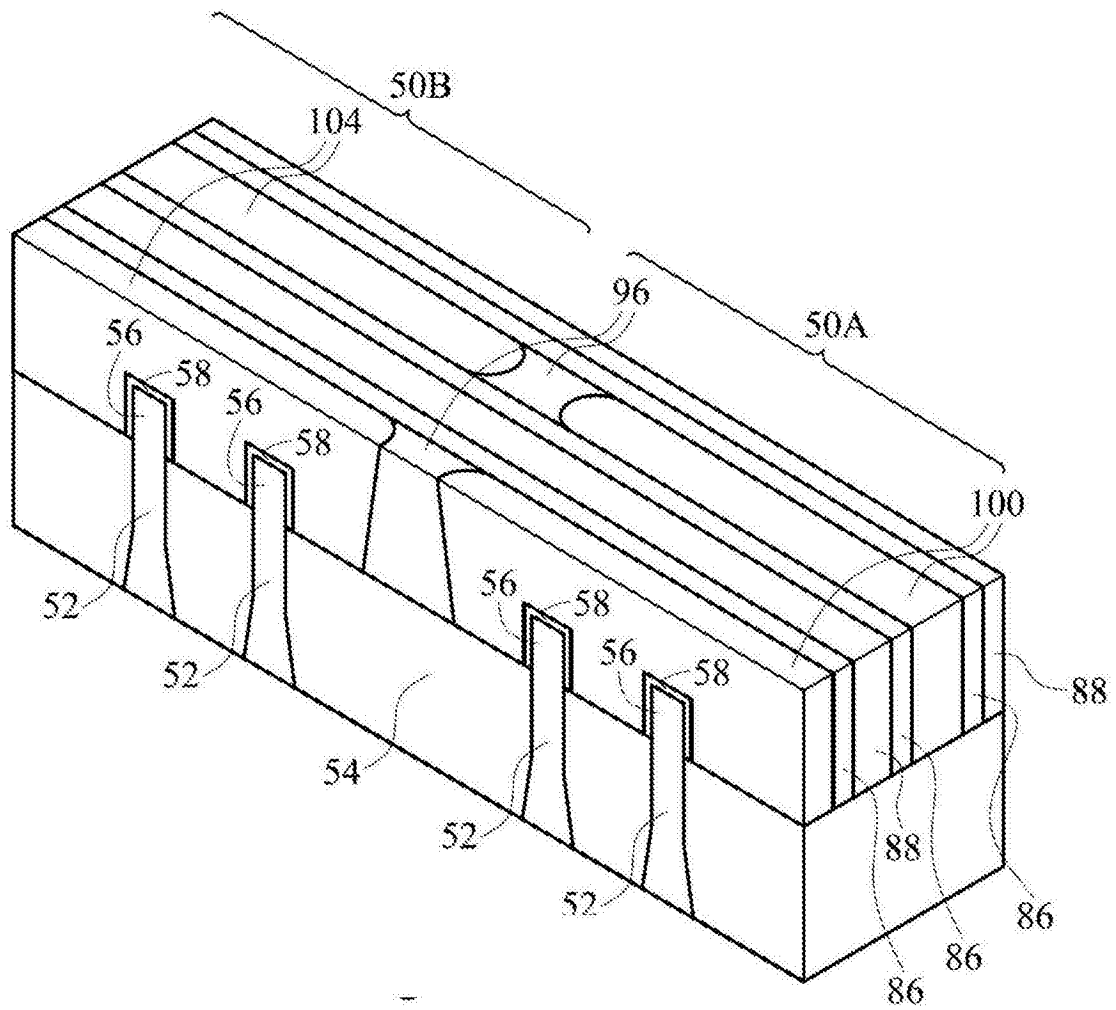


图17C

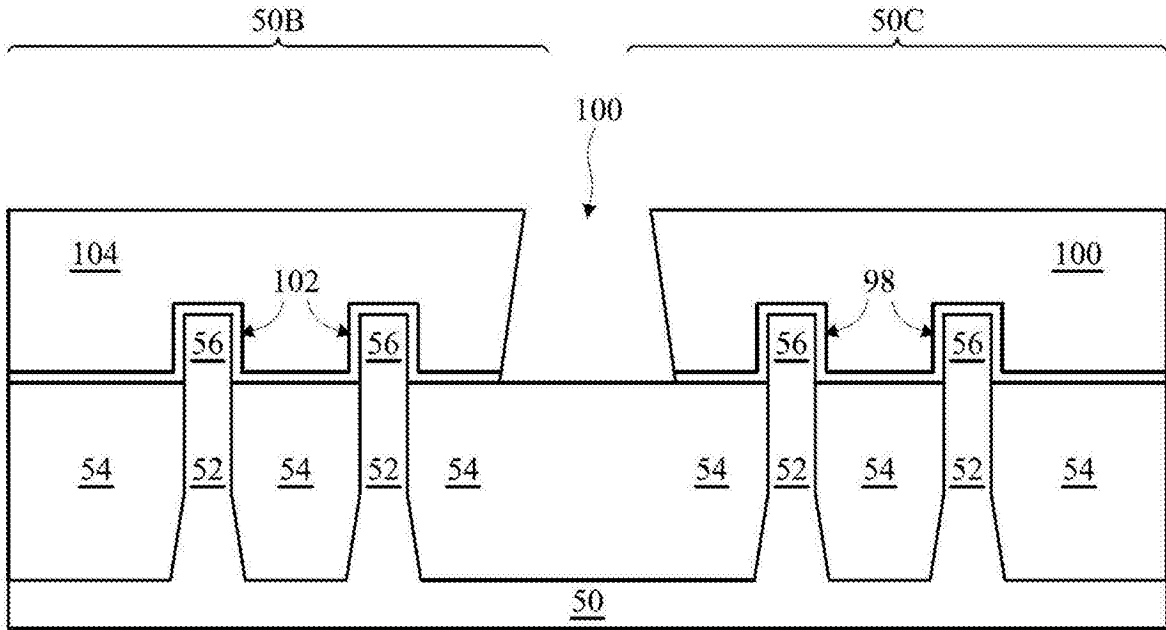


图18A

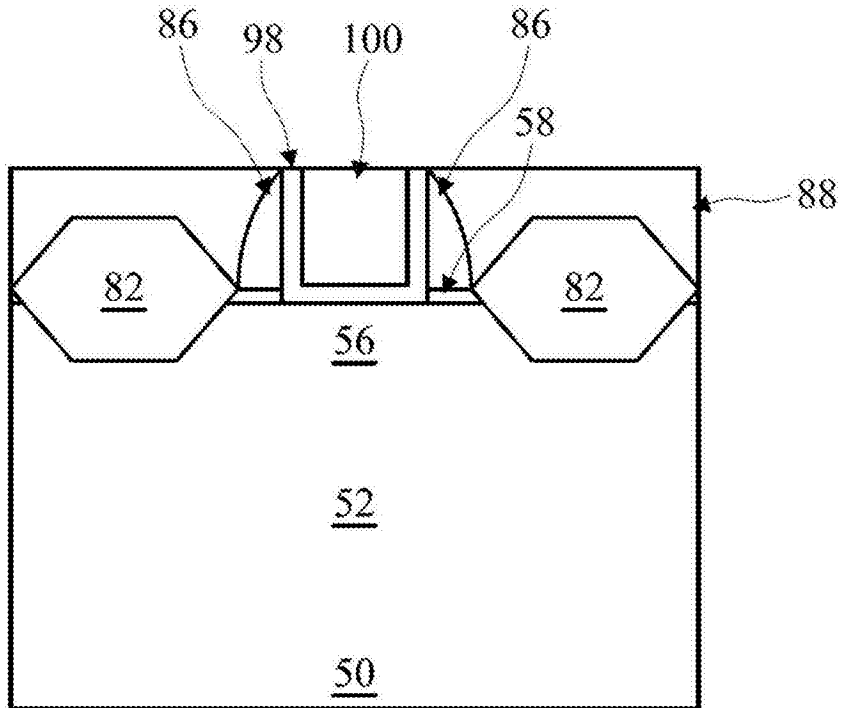


图18B

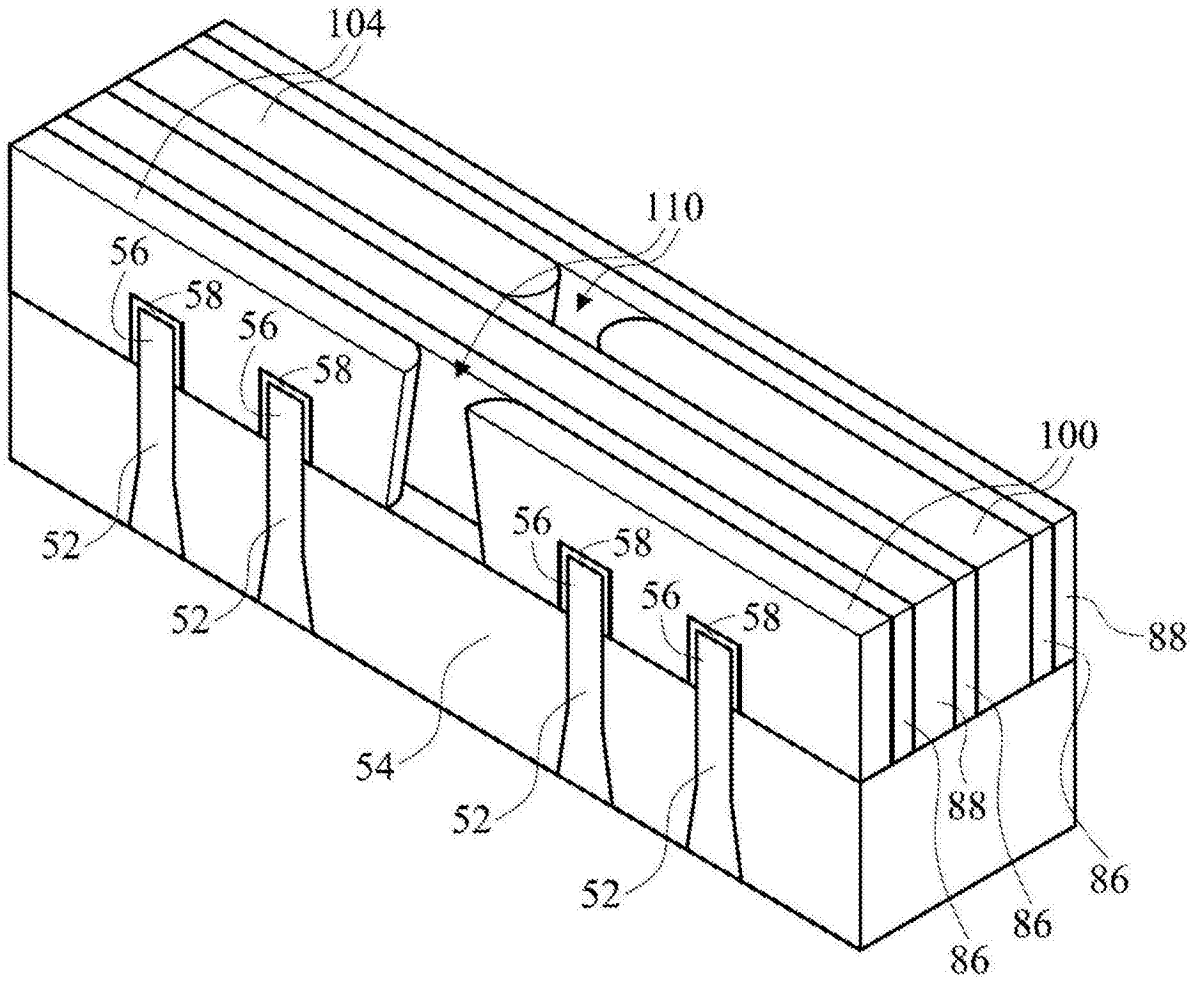


图18C

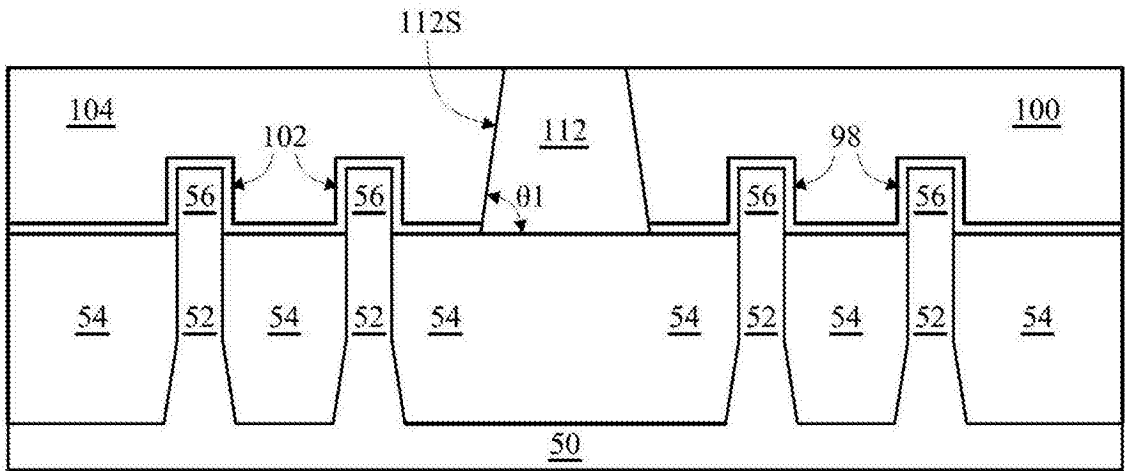


图19A

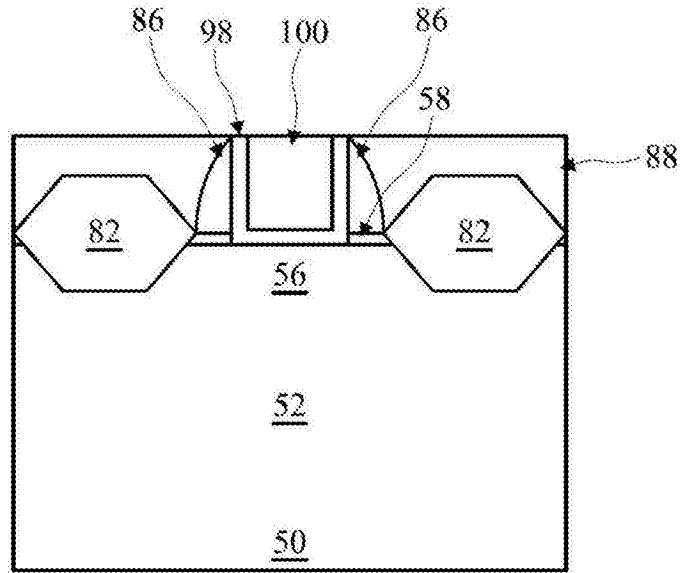


图19B

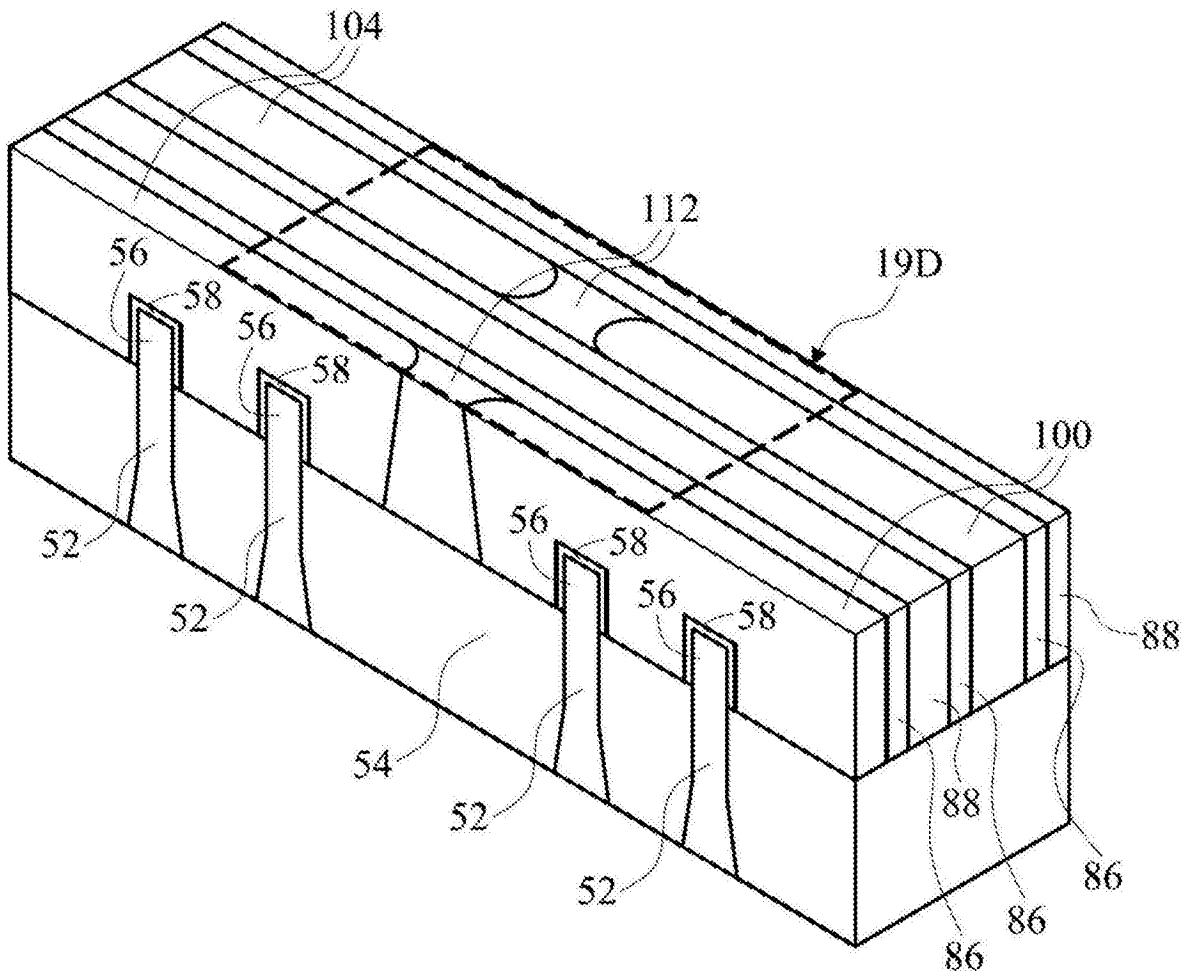


图19C

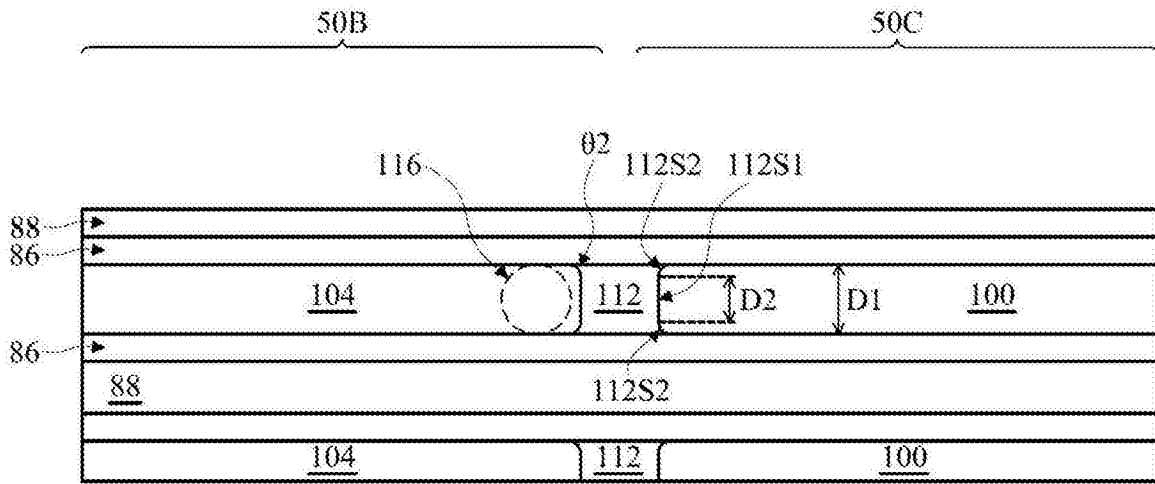


图19D

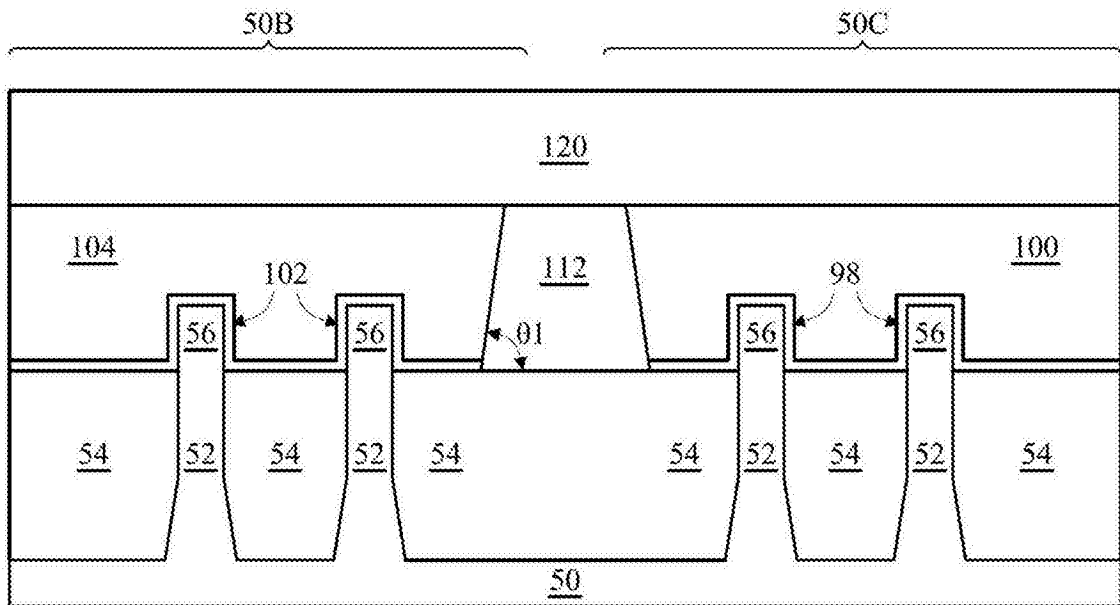


图20A

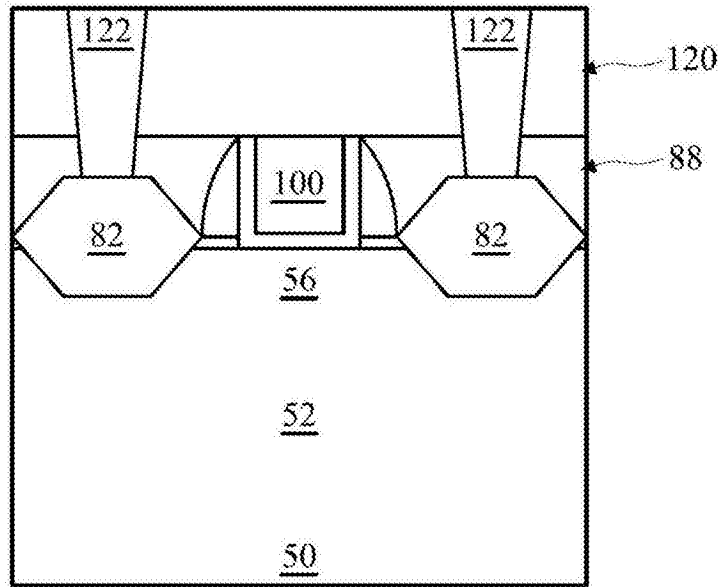


图20B