

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 6 月 7 日(07.06.2012)



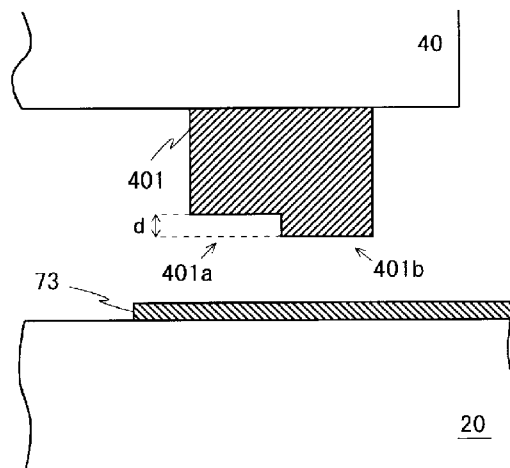
(10) 国際公開番号
WO 2012/073739 A1

- (51) 国際特許分類:
H01L 21/60 (2006.01) *H05K 3/32* (2006.01)
G09F 9/00 (2006.01)
- (21) 国際出願番号: PCT/JP2011/076783
- (22) 国際出願日: 2011 年 11 月 21 日(21.11.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-264941 2010 年 11 月 29 日(29.11.2010) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 青田 圭司
(AOTA, Keiji).
- (74) 代理人: 島田 明宏(SHIMADA, Akihiro); 〒
6340078 奈良県橿原市八木町 1 丁目 1 0 番 3 号
萬盛庵ビル 島田特許事務所 Nara (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: SUBSTRATE MODULE

(54) 発明の名称: 基板モジュール

[図4]



(57) Abstract: A low bump surface (401a) and a high bump surface (401b) having different heights are formed on the bottom surface of an LSI chip (40) bump electrode (401) that faces a pad for FPC wiring (73) on a glass substrate (20). When a step (d), which is the difference in height between these surfaces, is set to approximately 0.3 times or less of a diameter (L), preferably approximately 0.15 times or less of the diameter (L), of conductive particles included in a chip ACF (81), a stable conductive path is attained because the oblateness of the conductive particles trapped at either of these surfaces can be set to within a preferred range.

(57) 要約:

[続葉有]

WO 2012/073739 A1



ガラス基板（２０）上のＦＰＣ用配線（７３）のパッド部に対向するＬＳＩチップ（４０）のバンプ電極（４０）１の下面には、異なる高さの低バンプ面（４０１ａ）および高バンプ面（４０１ｂ）が形成されている。これらの面の高さの差である段差ｄを、チップ用ＡＣＦ（８１）に含まれる導電性粒子の直径Ｌの約０．３倍以下、より好ましくは直径Ｌの約０．１５倍以下に設定すると、これらの面のいずれかにおいて捕捉された導電性粒子の扁平率を好適な範囲内にすることができるので、安定した導電経路が得られる。

明 細 書

発明の名称：基板モジュール

技術分野

[0001] 本発明は、電子部品を実装した液晶パネルなどの基板モジュールに関し、より詳しくは、異方性導電接着材を用いて実装されたＬＳＩチップなどの電子部品を含む基板モジュールに関する。

背景技術

[0002] 従来より、ガラス基板などに電子部品を実装する場合、異方性導電膜（以下「ＡＣＦ」という）を用いることがある。図９は、このＡＣＦを用いて電子部品を実装した、携帯電話などに搭載される従来の液晶パネル６００の模式平面図である。

[0003] 図９に示すように、液晶パネル６００は、対向して配置された２枚のガラス基板６１０、６１５と、ＬＳＩチップ６３０と、ＦＰＣ基板６４０とを備えている。以下、本明細書における液晶パネルは、対向して配置された２枚のガラス基板、ガラス基板に実装されたＬＳＩチップなどの電子部品を含み、バックライトや偏光板などは含まないものを指すが、これに限定されるわけではなく、必ずしも電子部品としてＦＰＣ基板などを含んでいる必要はない。

[0004] ２枚のガラス基板６１０、６１５に挟まれた空間は、シール材（図示しない）によって液晶（図示しない）が封止された表示部６２０を形成する。また、ガラス基板６１０の張出部６１１には、表示部６２０を駆動するために必要なドライバ機能を有する大規模集積回路（以下「ＬＳＩ」という）チップ６３０、および外部の電子機器に接続されるフレキシブルプリント配線（以下、「ＦＰＣ」という）基板６４０がそれぞれチップ用ＡＣＦ６３０ａおよびＦＰＣ用ＡＣＦ６４０ａを用いて実装されている。そして外部からＦＰＣ基板６４０を介してＬＳＩチップ６３０に映像信号、制御信号および電源電圧が与えられると、映像が表示部６２０に表示される。

[0005] ここで、狭ピッチのLSIチップ630を実装するため、一般的には小さい径（例えば3～4 [μm]）の導電性粒子を含むチップ用ACF630aが使用される。導電性粒子が大きすぎれば、形成される導電経路が太くなりすぎ、隣接するパッド間の絶縁不良を生じる可能性があるためである。しかし、一般的な金バンプを使用する場合、その硬度を上げるには限界があるため、導電性粒子が小さくなると見かけ上、硬度が高くなる。より詳しくは、粒子径が小さくなるに伴い、応力集中が発生しやすくなるため、見かけ上の硬度が高くなって、導電性粒子が十分な扁平を得られる前にバンプ内に埋没してしまい、好ましくない。導電性粒子が弾性力を保ちながら扁平した状態で接続されると、異方性導電接着材の吸湿・膨潤が生じても良好な接続状態を維持することができる。そこで、安定した電氣的接続を得るため、一般的には粒径3 [μm]以上の樹脂を金属層でコーティングした（例えばニッケルメッキと金メッキとを施した）層構造を有する導電性粒子が使用されることが多い。

[0006] なお、本発明に関連して、ACFを使用することにより上記のように電氣的接続を行う構成は、例えば日本特開2004-363341号公報、日本特開平9-244047号公報、日本特開平9-129669号公報、日本特開平10-246894号公報、米国特許6802930号明細書、米国特許6083666号明細書などに記載されている。

先行技術文献

特許文献

[0007] 特許文献1：日本特開2004-363341号公報

特許文献2：日本特開平9-244047号公報

特許文献3：日本特開平9-129669号公報

特許文献4：日本特開平10-246894号公報

特許文献5：米国特許6802930号明細書

特許文献6：米国特許6083666号明細書

発明の概要

発明が解決しようとする課題

[0008] しかし、上記文献に記載の構成は、いずれも導電性粒子が弾性力を保ちつつ適切に扁平した状態で接続されることを目的とはしていない。例えば、日本特開2004-363341号公報に記載の構成では、静電破壊を防止するために高さを変えた2種類のバンプが設けられる。日本特開平9-244047号公報および米国特許6083666号明細書に記載の構成では、導電性粒子の流出防止のためバンプ内の高さが変更されている。日本特開平10-246894号公報に記載の構成では、バンプ電極に欠落等が生じてても電氣的接続を確保するため冗長バンプが設けられている。日本特開平9-129669号公報には、（塑性変形状態となっても）必ず接続に寄与する導電性粒子が生じるような形状のバンプが記載されている。米国特許6802930号明細書には、導電性粒子の分布を均一化するためのバンプが記載されている。しかし、これらのバンプの構成では、場合によっては1つのバンプに捕捉された導電性粒子が全て塑性変形するなど、適切な扁平状態の導電性粒子が含まれない接続状態を生じることがある。

[0009] そこで、本発明は、異方性導電接着材により接続したLSIチップ等の電子部品の接続端子と基板側の配線電極との間に、適切な扁平状態の導電性粒子が含まれる構成の表示パネルなどの基板モジュールを提供することを目的とする。

課題を解決するための手段

[0010] 本発明の第1の局面は、複数の配線が形成された絶縁性の基板と、
複数の端子部を有する電子部品と、
前記電子部品と前記基板との間に設けられており、前記複数の端子部と前記複数の配線とを電氣的に接続する導電性粒子を含む異方性導電接着材とを備え、
前記複数の端子部のそれぞれは、前記基板面に対向する面であって、当該面に対する垂直方向の高さが異なる複数の接続面を有し、
前記複数の接続面は、前記高さの差の最大値が前記導電性粒子の直径以下

となるよう形成されることを特徴とする。

[0011] 本発明の第2の局面は、本発明の第1の局面において、
前記複数の端子部のそれぞれは、前記複数の接続面が形成された1つの金属電極であることを特徴とする。

[0012] 本発明の第3の局面は、本発明の第1の局面において、
前記複数の端子部のそれぞれは、互いに電氣的に接続された複数の金属電極からなり、
前記複数の金属電極のそれぞれは、同一の端子部に含まれる他の金属電極の少なくとも1つにおける前記高さと異なる高さの1つの接続面を有することを特徴とする。

[0013] 本発明の第4の局面は、本発明の第1の局面において、
前記複数の接続面は、前記高さの差の最大値が前記導電性粒子の直径の略0.3倍以下となるよう形成されることを特徴とする。

[0014] 本発明の第5の局面は、本発明の第4の局面において、
前記複数の接続面は、前記高さの差の最大値が前記導電性粒子の直径の略0.15倍以下となるよう形成されることを特徴とする。

[0015] 本発明の第6の局面は、本発明の第1の局面において、
前記異方性導電接着材は、異方性導電フィルムまたは異方性導電ペーストであることを特徴とする。

[0016] 本発明の第7の局面は、本発明の第1の局面において、
前記導電性粒子は、3ミクロン以下の直径を有することを特徴とする。

[0017] 本発明の第8の局面は、本発明の第1の局面において、
前記電子部品は、集積回路チップであって、前記複数の端子部である複数のバンプ電極を含み、
前記複数のバンプ電極は、金を含むことを特徴とする。

[0018] 本発明の第9の局面は、本発明の第1の局面において、
前記基板は、画像を表示する表示部を含み、
前記電子部品は、外部から与えられる信号に基づいて前記表示部を駆動す

る駆動素子を含む。

発明の効果

- [0019] 上記本発明の第1の局面によれば、複数の端子部のそれぞれは、高さが異なる複数の接続面を有し、これら複数の接続面は、高さの差の最大値が導電性粒子の直径以下となるよう形成される。この構成によって、複数の端子部において、上記高さのばらつき、または接続面と基板側の配線との間の距離のばらつきがあるとしても、上記複数の接続面の少なくとも1つによって導電性粒子を好適な扁平率の範囲で捕捉しやすくすることができる。このように好適な扁平率で捕捉される場合には、端子と配線との間に例えば異方性導電接着材の吸湿・膨潤が生じても安定した導電経路を得ることができる。
- [0020] 上記本発明の第2の局面によれば、複数の端子部のそれぞれは複数の接続面が形成された1つの金属電極であるので、これらの接続面で導電性粒子を好適な扁平率の範囲で捕捉しやすくできるとともに、2つの接続面を1つの金属電極に形成することができる。
- [0021] 上記本発明の第3の局面によれば、1つの端子内で（少なくとも他の1つとは）高さが異なる1つの接続面を有する金属電極が複数形成されるので、これらの接続面で導電性粒子を好適な扁平率の範囲で捕捉しやすくできるとともに、1つの金属電極に1つの接続面を形成するだけでよいので、2つ以上の接続面を形成する場合よりも簡単に形成することができる。
- [0022] 上記本発明の第4の局面によれば、高さの差の最大値が導電性粒子の直径の略0.3倍以下となるよう形成されるので、導電性粒子の好適な扁平率の範囲を約50 [%] から約20 [%] までとすると、上記高さや距離がばらついたとしても、複数の接続面の少なくとも1つにおいて捕捉された導電性粒子の扁平率を好適な範囲内にしやすくすることができる。
- [0023] 上記本発明の第5の局面によれば、高さの差の最大値が導電性粒子の直径の略0.15倍以下となるよう形成されるので、導電性粒子の好適な扁平率の範囲を約35 [%] から約20 [%] までとすると、上記高さや距離がばらついたとしても、複数の接続面の少なくとも1つにおいて捕捉された導

電性粒子の扁平率を好適な範囲内にしやすくすることができる。

[0024] 上記本発明の第6の局面によれば、異方性導電接着材として一般的な異方性導電フィルムまたは異方性導電ペーストが使用されるので、容易かつ安価に製造することができる。

[0025] 上記本発明の第7の局面によれば、導電性粒子は3ミクロン以下の直径を有するので、比較的端子間の距離が短い電子部品（例えば集積回路チップなど）に使用しやすくなり、このような導電性粒子を使用しても好適な扁平率の範囲で捕捉しやすくすることができる。

[0026] 上記本発明の第8の局面によれば、集積回路チップにおいて一般的な金バンプが使用されるので、容易に製造することができ、このようなバンプ電極により導電性粒子を好適な扁平率の範囲で捕捉しやすくすることができる。

[0027] 上記本発明の第9の局面によれば、上記本発明の第1の局面と同様の効果を奏する、例えば液晶パネルなどの表示部を備えた表示用パネルである基板モジュールを提供することができる。

図面の簡単な説明

[0028] [図1]本発明の第1の実施形態に係る液晶パネルを示す模式平面図である。

[図2]上記実施形態において、図1に示す液晶パネル10の構造を示す斜視図である。

[図3]上記実施形態において、図2に示す矢線A-Aに沿った液晶パネル10の断面図である。

[図4]上記実施形態において、図3に示す断面図のうちバンプ電極近傍の構造を示す断面図である。

[図5]上記実施形態において、バンプ電極と対応するパッド部との距離が近い場合の捕捉された導電性粒子の扁平状態を示す図である。

[図6]上記実施形態において、バンプ電極と対応するパッド部との距離が遠い場合の捕捉された導電性粒子の扁平状態を示す図である。

[図7]本発明の第2の実施形態におけるLSIチップ側のバンプ電極と基板側の配線電極との構造を示す概略断面図である。

[図8]本発明の第3の実施形態におけるLSIチップ側のバンプ電極と基板側の配線電極との構造を示す概略断面図である。

[図9]ACFを用いて電子部品を実装した従来の液晶パネルの模式平面図である。

発明を実施するための形態

[0029] <1. 第1の実施形態>

<1.1 液晶パネルの構成>

図1は、本発明の第1の実施形態に係る液晶パネル10の構成を示す模式平面図である。液晶パネル10は、図に示すように、対向して配置された2枚のガラス基板20、25と、LSIチップ40とを備えている。なお、さらにコンデンサ等の電子部品を備えていてもよい。

[0030] 2枚のガラス基板20、25に挟まれた空間には、シール材（図示しない）によって液晶（図示しない）が封止された表示部30が形成される。ガラス基板20の張出部20aには、液晶を駆動するために必要なドライバ機能を有するLSIチップ40や、外部に接続されるFPC基板50が実装されている。この液晶パネルは、外部からFPC基板50を介してLSIチップ40に映像信号が与えられると、LSIチップ40は表示部30に映像を表示する。

[0031] LSIチップ40は、ゲートドライバ、ソースドライバおよびDC/DCコンバータの回路パターン等が微細加工技術を用いてシリコン基板の表面に形成されるとともに、それらの回路パターンを外部に接続するための接続端子としてのバンプ電極が形成されたベアチップ（パッケージングを行う前のチップ）である。このバンプ電極は、周知の手法によりその硬度が（純金の硬度より十分に）大きくなっている金バンプであり、その高さ（すなわちLSIチップの下面からバンプ電極下面までの垂直方向の距離）は、例えば約15[μm]程度である。

[0032] なお、前述したように、昨今の集積回路の高密度化により、バンプサイズやバンプ間隔が縮小されてきており、ACFに含まれる導電性粒子は小さく

なっている。しかし、導電性粒子が小さくなると見かけ上、硬度が高くなる。より詳しくは、粒子径が小さくなるに伴い、応力集中が発生しやすくなるため、見かけ上の硬度が高くなって、導電性粒子が十分な扁平を得られる前にバンプ内に埋没してしまい、好ましくない。そこで従来より、限界はあるもののできるだけ金バンプの硬度を大きくするため、周知のメッキ手法や添加剤等が使用される。ここでも従来と同様、バンプ電極40aの硬度は導電性粒子が埋没しない程度に大きくなっている。

[0033] また、上記のようにベアチップであるLSIチップ40を張出部20aにフェイスダウンボンディングする構成は一例であって、例えばLSIチップ40を表面実装型のパッケージにパッケージングしたLSIデバイスをガラス基板20上に実装してもよい。

[0034] FPC基板50は、厚み12～50[μm]の可撓性の絶縁性フィルムの片面に、厚み8～50[μm]の銅箔からなる複数本の配線層が形成された基板であり、自由に折り曲げられる。なお、配線層は、絶縁性フィルムの片面だけでなく、両面に形成されていてもよい。

[0035] 図2は、図1に示す液晶パネル10の構造を示す斜視図であり、図3は図2の矢線A-Aに沿った液晶パネル10の断面図である。

[0036] 図3に示すように、LSIチップ40では、チップ用ACF81を用いたフェイスダウンボンディングにより、その表面に形成されたバンプ電極40aが、張出部20aに形成されたFPC用配線73の一端および表示部30に延びる表示用配線23と接続されている。また、FPC基板50の絶縁性フィルム51に形成された配線層74も、FPC用ACF82を用いてFPC用配線73の他端に接続されている。なお、FPC用配線73および表示用配線23は、表示部30内の他の配線と同時形成されるので、アルミニウム(Al)またはタンタル(Ta)を含む材料によって形成されている。

[0037] このようにして、FPC基板50の配線層74とLSIチップ40の入力端子とがFPC用配線73を介して接続されるので、外部からFPC基板50の各配線層74に与えられる映像信号、クロック信号などの信号、基準電

圧などはそれぞれLSIチップ40の対応する入力端子に与えられる。

[0038] また、表示部30内の各画素形成部と、LSIチップ40の出力端子とは、表示用配線23を介して接続されるので、LSIチップ40から出力される映像信号は表示部30内の各画素形成部に与えられる。

[0039] このような接続に用いられるチップ用ACF81およびFPC用ACF82は、例えばエポキシ系樹脂などの熱硬化性樹脂に微細な導電性粒子を混ぜ合わせてフィルム状に成型したものであるが、これに代えてペースト状の熱硬化性樹脂に導電性粒子を混ぜ合わせた異方性導電ペースト（ACP）を使用してもよい。本明細書では、これら異方性導電膜および異方性導電ペーストをまとめて異方性導電接着材という。これらの異方性導電接着材は広く使用されているので、容易かつ安価に装置を製造することができる。なお、本実施形態では、導電性粒子を含むものであれば、その他の周知の異方性導電接着材を使用することもできる。次に、バンプ電極40aの構造について説明する。

[0040] <1. 2 バンプ電極の構造>

図4は、LSIチップ側のバンプ電極と基板側の配線電極との構造を示す概略断面図である。なお、図4に示されるバンプ電極401は、図3に示されるバンプ電極40aに相当する。また、図4はバンプ電極401の形状を説明するための簡易なものであるので、金属電極層の開口部周囲に形成されるパッシベーション層や、金属電極層上に形成されるアンダーバリアメタル（UBM）層などの記載は省略されている。

[0041] 図4に記載されているように、FPC用配線73の接続用電極部分（以下「パッド部」という）に対向するバンプ電極401の面（図では下面）には、異なる高さの低バンプ面401aおよび高バンプ面401bが形成されている。例えばこれらの面の高さの差d（以下「段差d」という）は、例えば0.5～1[μm]である。この段差dの好適な範囲については後述する。

[0042] 前述したように、これらバンプ電極401とFPC用配線73のパッド部とは、導電性粒子を含むチップ用ACF81により接続される。具体的には

、FPC用配線73のパッド部を含むガラス基板の配線電極上にチップ用ACF81を貼り付け（典型的には熱転写し）、チップマウンタなどでFPC配線73のパッド部上にバンプ電極401が位置するようLSIチップ40を仮固定する。その後仮固定されたLSIチップ40を熱圧着装置などで本圧着（熱圧着）する。

[0043] このときに圧力を加えられたチップ用ACF81内では、分散されていた導電性粒子がバンプ電極に接触しながら捕捉されることにより導電経路を形成し、形成された導電経路によってLSIチップ40がガラス基板に形成された配線（のパッド部）にそれぞれ接続される。ACFには熱硬化性樹脂が含まれているので、圧力を加えるのをやめても、形成された導電経路が消滅することはない。このとき、面方向には圧力が加わらないので、面方向に導電経路が形成されることはなく、ACFの面方向の絶縁性は保持される。

[0044] ここで、狭ピッチのLSIチップ40を実装する場合、隣接するバンプ電極同士が短絡しないようにするためには、チップ用ACF81に含まれる導電性粒子の大きさは小さい方が好ましい。しかし、導電性粒子が小さくなると見かけ上、硬度が高くなる。より詳しくは、粒子径が小さくなるに伴い、応力集中が発生しやすくなるため、見かけ上の硬度が高くなって、導電性粒子が十分な扁平を得られる前にバンプ内に埋没してしまい、好ましくない。導電性粒子が弾性力を保ちながら扁平した状態で接続されると、異方性導電接着材の吸湿・膨潤が生じてても良好な接続状態を維持することができる。そこで、安定した電氣的接続を得るため、ここでは粒径3[μm]（一般的には粒径3～4[μm]程度）の樹脂を金属層でコーティングした（例えばニッケルメッキと金メッキとを施した）層構造を有する導電性粒子が使用されるものとする。なお、扁平する導電性粒子であれば本実施形態において使用可能である。

[0045] このように導電性粒子が弾性力を保ちながら扁平した状態で接続されると、LSIチップ40に設けられる多数のバンプ電極40aの高さばらつきが僅かである場合には、その扁平率に僅かなばらつきが生じるのみで、通常は

安定した電氣的接続を得ることができる。

[0046] もっともバンプ電極の高さのばらつきが（典型的には導電性粒子の半径よりも）大きい場合、一般的なバンプ電極の構成では良好な接続状態が得られないことがある。例えば、或るバンプ電極では、ガラス基板側の（配線電極の）パッド部との距離が導電性粒子の直径よりも大きくなることにより導電性粒子による導電経路が形成されなくなる。また他の或るバンプ電極では、ガラス基板側のパッド部との距離が導電性粒子の半径よりも小さくなることにより導電性粒子が塑性変形し、異方性導電接着材の吸湿・膨潤が生じると良好な接続状態を維持することができなくなる。以上のような問題は、導電性粒子の径が小さくなるほど、相対的にバンプ電極の高さ（またはガラス基板側のパッド部との距離）のばらつきが大きくなるため、より深刻となる。

[0047] このようなバンプ電極の高さは、例えば金メッキ法でバンプを形成する場合には、組成のばらつきや、メッキ時の電流密度の不均一によってばらつきが生じ、その他の手法により形成される場合であっても種々の要因によりばらつきが生じる。また、バンプ電極とガラス基板側のパッド部との距離のばらつきは、例えばLSIパッケージの厚みばらつきや変形などによっても生じる。また、ACFによりLSIチップを熱圧着させる際に使用される装置の加圧ヘッド部には、その場所により（例えば中央部と端部とで）加えられる圧力にばらつきがあり、特にその平行度の管理が困難であるため、LSIチップの加圧対象面と完全に平行でないことによる圧力ばらつきが生じる。このような圧力ばらつきは、バンプ電極とガラス基板側のパッド部との距離のばらつきを生じさせる要因となる。

[0048] なお、以下では説明の便宜のため、バンプ電極の高さばらつき以外の上記要因（またはその他の要因）により生じるバンプ電極とガラス基板側の（配線電極の）パッド部との距離のばらつきも含めたばらつきを、バンプ電極の高さばらつきと総称する。

[0049] 本実施形態では、バンプ電極の高さばらつきが大きい場合であっても、各バンプ電極において捕捉された導電性粒子が弾性力を保ちながら扁平した状

態で接続されるよう、バンプ電極401の下面には図4に示されるように段差が設けられている。

[0050] すなわち、FPC用配線73のパッド部に対向するバンプ電極401の下面には、バンプ電極401の高さが小さい低バンプ面401aと、高さが大きい高バンプ面401bとが形成されている。この低バンプ面401aと高バンプ面401bとの高さの差は、段差dとして図示されている。なお、低バンプ面401aと高バンプ面401bとは、FPC用配線73の延びる方向と垂直方向（すなわちLSIチップ40の長辺方向）に沿って分かれており、略同一の面積を有するが、各面の形状およびその面積（の割合）は導電性粒子を捕捉可能であれば特に限定はない。例えば、低バンプ面401aと高バンプ面401bは、FPC用配線73の延びる方向に沿って分かれていてもよいし、一方の面積が他方の面積より大きくてもよい。なお、ここではFPC用配線73のパッド部に対向するバンプ電極401に着目して説明するが、表示用配線23のパッド部またはその他の配線のパッド部に対向するバンプ電極についても同様に適用可能である。

[0051] このように段差d（ここでは1[μm]）の高さの差を有する2つのバンプ面を備えるバンプ電極401には、バンプ電極の高さばらつきが大きい場合であっても、（ここでは粒径3[μm]の）導電性粒子が弾性力を保ちながら扁平した状態で接続される。以下このような導電性粒子の扁平状態と段差との関係について、図5および図6を参照して説明する。

[0052] <1.3 導電性粒子の扁平状態と段差との関係>

図5は、バンプ電極と対応するパッド部との距離が近い場合の捕捉された導電性粒子の扁平状態を示す図であり、図6は、バンプ電極と対応するパッド部との距離が遠い場合の捕捉された導電性粒子の扁平状態を示す図である。すなわち、図5および図6に示されるバンプ電極401は、いずれも2つの導電性粒子を捕捉しているが、それぞれの扁平率が異なっている。

[0053] なお、図5および図6に示されるバンプ電極401は、ここではLSIチップ40における異なる箇所のバンプ電極を示すものとして説明するが、L

S I チップ 40 における同一箇所のバンプ電極であって、パッド電極との接続状態（距離）が異なる 2 つの（仮想的な）例として考える場合であっても同様に説明することができる。

[0054] 図 5 に示すバンプ電極 401 は、対向する F P C 用配線 73 のパッド部との距離が近いため、低バンプ面 401 a により捕捉された第 1 の導電性粒子 811 a は適切な扁平率を有しているが、高バンプ面 401 b により捕捉された第 2 の導電性粒子 811 b は塑性変形を起こすまで扁平しており、適切な扁平率を有していない。

[0055] 具体的には、対向する F P C 用配線 73 のパッド部と低バンプ面 401 a との距離 $h1a$ は、 $1.75 [\mu m]$ であり、対向する F P C 用配線 73 のパッド部と高バンプ面 401 b との距離 $h1b$ は、 $0.75 [\mu m]$ である。なお前述したようにこれらの差である段差 d は、 $1 [\mu m]$ である。よって、第 1 の導電性粒子 811 a の扁平率は約 $42 [\%]$ ($\cong 100 [\%] - 1.75 [\mu m] / 3 [\mu m] \times 100 [\%]$) であり、第 2 の導電性粒子 811 b の扁平率は $75 [\%]$ ($= 100 [\%] - 0.75 [\mu m] / 3 [\mu m] \times 100 [\%]$) である。

[0056] ここで第 1 および第 2 の導電性粒子 811 a、811 b を含む一般的な導電性粒子では、その扁平率が約 $50 [\%]$ を超えると塑性変形を起こし、恒久的に弾性力を失うことが多い。また一般的に、その扁平率が約 $20 [\%]$ 未満である場合には、バンプ電極 401 と F P C 用配線 73 のパッド部とを（異方性導電接着材の吸湿・膨潤が生じる場合に）安定して接続することができないことがある。したがって、導電性粒子の好適な扁平率は、約 $20 [\%]$ 以上約 $50 [\%]$ 以下であると言える。ただし、導電性粒子の径にもばらつきがあるため、できるだけ導電性粒子の塑性変形を生じないようにし、かつ導電性粒子径のばらつきも考慮すれば、導電性粒子のさらに好適な扁平率とは約 $20 [\%]$ 以上約 $35 [\%]$ 以下であると言える。

[0057] 図 5 に示すバンプ電極 401 では、低バンプ面 401 a により捕捉され適切な扁平率を有している第 1 の導電性粒子 811 a により（例えば異方性導

電接着材の吸湿・膨潤の影響を受けない) 安定的な導電経路が形成される。このため、高バンプ面401bにより捕捉された第2の導電性粒子811bが(塑性変形により) 安定的な導電経路の形成に寄与していなくても問題とはならない。次に図6に示す例について説明する。

[0058] 図6に示すバンプ電極401は、対向するFPC用配線73のパッド部との距離が遠いため、低バンプ面401aにより捕捉された第1の導電性粒子812aは扁平していないだけでなく接触していない。他方、高バンプ面401bにより捕捉された第2の導電性粒子812bは適切な扁平率を有している。

[0059] 具体的には、対向するFPC用配線73のパッド部と低バンプ面401aとの距離 h_{2a} は、 $3.25 [\mu m]$ であり、対向するFPC用配線73のパッド部と高バンプ面401bとの距離 h_{2b} は、 $2.25 [\mu m]$ である。なお前述したようにこれらの差である段差 d は、 $1 [\mu m]$ である。よって、第1の導電性粒子811aの扁平率は当然 $0 [\%]$ であり、第2の導電性粒子811bの扁平率は $25 [\%]$ ($= 100 [\%] - 0.75 [\mu m] / 3 [\mu m] \times 100 [\%]$) である。

[0060] ここで前述のように、導電性粒子の扁平率は、好ましくは約 $20 [\%]$ 以上約 $50 [\%]$ 以下であり、さらに好ましくは約 $20 [\%]$ 以上約 $35 [\%]$ 以下であるので、図6に示すバンプ電極401では、高バンプ面401bにより捕捉され適切な扁平率を有している第2の導電性粒子812bにより(例えば異方性導電接着材の吸湿・膨潤の影響を受けない) 安定的な導電経路が形成される。そのため、低バンプ面401aにより捕捉されていない第1の導電性粒子812aが導電経路の形成に寄与していなくても問題とはならない。

[0061] このように、バンプ電極401では、低バンプ面401aと高バンプ面401bとのいずれかにおいて捕捉された導電性粒子の扁平率が上記好適な範囲内となるような段差 d が形成されていることが好ましい。この点、段差 d が小さくなるほど、導電性粒子の扁平率が適切な範囲となるバンプ電極の高

さばらつきの範囲は限定されることになり、段差を設ける意義が小さくなる。

[0062] よって、この段差 d を最も大きくとるためには、低バンプ面 401a において、好ましい範囲のうちの最小の扁平率で導電性粒子が捕捉される場合に高バンプ面 401b において、好ましい範囲のうちの最大の扁平率で導電性粒子が捕捉されればよい。したがって上記例では、段差 d の最大値は、導電性粒子の直径 L の約 30 [%] (= 50 [%] - 20 [%]) の大きさであることが好ましく、さらに好適には導電性粒子の直径 L の約 15 [%] (= 35 [%] - 20 [%]) の大きさであることが好ましいと言える。なお、上記導電性粒子の直径 L は、もちろん変形前の粒子径を意味する。また導電性粒子の大きさには多少のばらつきがあるため、上記直径 L の値には、導電性粒子の平均直径や最大直径（または最小直径）、設計上の直径などが使用される。

[0063] このように段差 d を決定すれば、典型的にはバンプ電極の高さばらつきの最大幅（すなわち最大値と最小値との差）が段差 d の大きさを超えない限り、低バンプ面 401a と高バンプ面 401b とのいずれかにおいて捕捉された導電性粒子の扁平率を上記好適な範囲内することができる。言い換えれば、捕捉された導電性粒子の扁平率が上記好適な範囲内にあることを条件とする場合に許されるバンプ電極の高さばらつきの範囲を最も大きくとることができる。

[0064] なお、本実施形態の構成では、低バンプ面 401a での導電性粒子の捕捉を可能にするため、上記扁平率の好適な範囲に関わらず、段差 d の大きさは導電性粒子の直径 L 以下でなければならない。

[0065] また、導電性粒子が塑性変形を起こさないで低バンプ面 401a において捕捉されるように構成し、かつ低バンプ面 401a において捕捉される導電性粒子の扁平率が約 20 [%] 未満となることを許容する場合、段差 d は導電性粒子の直径 L の約 50 [%] の大きさ以下でなければならない。特に、段差 d を導電性粒子の直径 L の約 50 [%] の大きさに設定する場合には、

高バンプ面401bが対向するFPC用配線73のパッド部と当接する（互いの距離が0となる）場合であっても、低バンプ面401aにおいて捕捉される導電性粒子の扁平率は約50 [%] となる。そのため、低バンプ面401aにおいて捕捉される導電性粒子は必ず塑性変形を起こさなくなる点で好適である。また、この点を重視すれば、段差dを導電性粒子の直径Lの約50 [%] の大きさ以上、直径Lの大きさ以下の範囲に設定することも考えられる。

[0066] 以上のような段差dを有するバンプ電極401は、例えば厚さdのパッシベーション層または層間絶縁膜を高バンプ面401bに対応する位置に形成することにより作成することができる。すなわち、パッシベーション層は、金属電極層が露出するように開口部が設けられる際に金属電極層の開口部周囲に形成されるのが一般的であるが、このパッシベーション層を金属電極層上にも形成する。その後、スパッタ法などによりアンダーバリアメタル（UBM）層を形成し、さらにメッキ法などによりバンプ電極を形成する。そうすれば段差dを有する2つの面を備えるバンプ電極が形成される。なおその他にも、2つ目の層間絶縁膜を高バンプ面401bの対応する位置にさらに形成するなど、バンプ電極の高さを変更するための周知の手法を採用することができる。

[0067] <1. 4 第1の実施形態の効果>

以上のように、導電性粒子を含むチップ用ACF81によりFPC用配線73のパッド部と接続されるバンプ電極401は、段差dである高さの差を有する低バンプ面401aおよび高バンプ面401bを含む。この段差dは導電性粒子の直径L以下、好ましくは直径Lの約0.3倍以下、より好ましくは直径Lの約0.15倍以下に設定される。このような構成によって、低バンプ面401aおよび高バンプ面401bのいずれかにおいて捕捉された導電性粒子の扁平率を好適な範囲内にしやすくすることができる。よって、この場合にはFPC用配線73のパッド部と、ICチップ40のバンプ電極401との間に安定した導電経路を得ることができる。

[0068] <2. 第2の実施形態>

本実施形態における液晶パネルの構成は、バンプ電極の構造を除き、第1の実施形態と同一であるので、同一の符号を付してその説明を省略する。以下、本実施形態におけるバンプ構造について、図7を参照して説明する。

[0069] 図7は、本実施形態におけるLSIチップ側のバンプ電極と基板側の配線電極との構造を示す概略断面図である。なお、図7に示されるバンプ電極402は、図3に示されるバンプ電極40aに相当し、図4に示されるバンプ電極401の構造とは異なるが、その他の構造は第1の実施形態の場合と同様である。また図4の場合と同様に、図7はバンプ電極402の形状を説明するための簡易なものであるので、金属電極層、パッシベーション層、アンダーバリアメタル(UBM)層などの記載は省略されている。

[0070] 図7に記載されているように、FPC用配線73の接続用電極部分であるパッド部に対向するバンプ電極402の下面には、それぞれ異なる高さの第1の面402aと、第2の面402bと、第3の面402cとが形成されている。これらの3つの面のうち、第1の面402aが最も低く、第2の面402bが最も高いので、これらの面の高さの差が3つの面の高さの差の最大値となる。この高さの差である段差dは、例えば0.5~1[μm]程度であるが、この段差dの好適な範囲については、第1の実施形態の場合と同様に考えることができる。

[0071] すなわち、第3の面402cは、第1の面402aよりも高く、第2の面402bよりも低いので、第1の面402aおよび第2の面402bによって捕捉される導電性粒子のいずれかの扁平率が好適な場合には、第3の面402cによって捕捉される導電性粒子の扁平率も好適なものとなる。したがって、この段差dの好適な範囲については、第3の面402cの高さを考慮する必要はなく、第1の実施形態の場合と同様に考えることができる。

[0072] ここで、図7では上記3つの面は、略同一の面積を有するが、これらの面の形状およびその面積(の割合)は導電性粒子が捕捉可能であれば特に限定はない。もっとも、上記3つの面が略同一の面積を有する場合(厳密には最

も高い面または最も低い面の面積が各面の総面積の半分を超えない場合)には、第3の面402cと、第1の面402aまたは第2の面402bのいずれかによって捕捉される導電性粒子の扁平率がともに好適となることから、第1の実施形態の場合よりも広い面積で導電性粒子が捕捉される。よって、導電経路の形成が第1の実施形態の場合よりも確実となる。

[0073] なお、本実施形態では、バンプ電極の下面である3つの面の高さがそれぞれ異なる例で説明したが、それぞれ高さが異なる4つ以上の面が形成されていてもよいし、これら3つまたは4つ以上の面のうち、高さが異なる面が2つ以上あれば、同一の高さの面が複数形成されていてもよい。

[0074] 以上のように、導電性粒子を含むチップ用ACF81によりFPC用配線73のパッド部と接続されるバンプ電極402は、段差dである高さの差を有する第1から第3までの面402a～402cを含む。この段差dは、第1の実施形態と同様、導電性粒子の直径L以下、好ましくは直径Lの約0.3倍以下、より好ましくは直径Lの約0.15倍以下に設定されることにより、少なくとも第1の面402aおよび第2の面402bのいずれかにおいて捕捉された導電性粒子の扁平率を好適な範囲内にしやすくすることができる。また、この場合、第3の面402cにおいて捕捉される導電性粒子の扁平率は好適な範囲内に収まるので、第1の実施形態の場合よりも広い面積で導電性粒子が捕捉される。よって、導電経路の形成がより確実となる。

[0075] <3. 第3の実施形態>

本実施形態における液晶パネルの構成は、バンプ電極の構造を除き、第1の実施形態と同一であるので、同一の符号を付してその説明を省略する。以下、本実施形態におけるバンプ構造について、図8を参照して説明する。

[0076] 図8は、本実施形態におけるLSIチップ側のバンプ電極と基板側の配線電極との構造を示す概略断面図である。なお、図8に示される第1および第2のバンプ電極413、423は、図3に示されるバンプ電極40aに相当し、図4に示されるバンプ電極401の構造とは異なるが、その他の構造は第1の実施形態の場合と同様である。また図4の場合と同様に、図8は第1

および第2のバンプ電極413、423の形状を説明するための簡易なものである。金属電極層、パッシベーション層、アンダーバリアメタル（UBM）層などの記載は省略されている。

[0077] さらに、図8に示される第1および第2のバンプ電極413、423は、LSIチップ40の内部（または外部）において電氣的に接続されている。したがって、第1および第2のバンプ電極413、423は、異なる2つの電極として形成されていても、1つの接続端子として機能する。言い換えれば、第1および第2のバンプ電極413、423のいずれか一方は、その他方の冗長バンプとして機能する。

[0078] 図8に記載されているように、FPC用配線73の接続用電極部分であるパッド部に対向する第1および第2のバンプ電極413、423の下面には、第1の実施形態の場合のような段差が形成されていない。この段差に代えて、第1のバンプ電極413の下面である第1の面413aの高さと、第2のバンプ電極423の下面である第2の面423aの高さとの間に高低差dが設けられている。

[0079] この高低差dは、第1の実施形態における段差dと全く同じ機能を有しており、同様にこの高低差dは導電性粒子の直径L以下、好ましくは直径Lの約0.3倍以下、より好ましくは直径Lの約0.15倍以下に設定される。このような構成によって、第1の面413aおよび第2の面423aのいずれかにおいて捕捉された導電性粒子の扁平率を、第1の実施形態と同様に好適な範囲内にすることができる。

[0080] さらに、上記第1および第2の実施形態におけるように同一のバンプ電極で2つの異なる高さを有する面を形成する場合とは異なり、金属電極層上に、厚さdのパッシベーション層または層間絶縁膜を第2のバンプ電極423の下面である第2の面423a全面に渡って形成すればよく、また第1の面413aの金属電極層上には形成する必要がないので、第1および第2の実施形態におけるような部分的な（厚さdの）パッシベーション層または層間絶縁膜を形成する場合よりも容易に行うことができる。なおバンプ面の高さ

を変更するための周知の工程を採用することができることは同様である。

[0081] なお、本実施形態の構成では、異なる第1および第2のバンプ電極413、423の下面の高さを異なるように設定するため、LSIチップ40におけるバンプ電極の高さばらつきの影響により、高低差dが生じるように設計し製造したとしても、実際には高低差dとは異なる高低差が生じる場合がある。この点、上記第1および第2の実施形態における構成では、同一のバンプ電極において2つの異なる高さを有する面を形成するので、バンプ電極の高さばらつきの影響は生じない。よって、正確に段差dを形成することができる。

[0082] 以上のように、導電性粒子を含むチップ用ACF81によりFPC用配線73のパッド部と接続される第1および第2のバンプ電極413、423は、高低差dを有するよう形成されており、この高低差dは、第1の実施形態と同様、導電性粒子の直径L以下、好ましくは直径Lの約0.3倍以下、より好ましくは直径Lの約0.15倍以下に設定される。このことにより、第1および第2のバンプ電極413、423のいずれかにおいて捕捉された導電性粒子の扁平率を好適な範囲内にしやすくすることができる。また、この場合には1つの電極に2つの面を形成する必要がないので、（工程上）容易に形成することができる。

[0083] <4. その他の変形例>

上記各実施形態では、LSIチップ40のバンプ電極40aの下面は、FPC用配線73のパッド部（およびガラス基板20）と平行な平面であるように説明したが、導電性粒子を捕捉可能な下面部分であって、各バンプ電極に形成される複数の下面部分または複数のバンプ電極の各下面部分における高さの差の最大値が段差d（または高低差d）に一致すれば、当該平面が傾いていても、また曲面等の複雑な面形状であっても、上記各実施形態の構成を同様に適用することができる。

[0084] 上記各実施形態では、チップ用ACF81を使用してFPC用配線73と接続されるLSIチップ40のバンプ電極40aの構造について説明したが

、表示用配線 2 3 またはその他の配線と接続されるバンプ電極 4 0 a の構造についても同様である。また、A C F を使用して接続される L S I チップ 4 0 以外のチップ抵抗やチップコンデンサなどの電子部品における接続端子の構造についても同様に適用することができる。

[0085] もっとも、チップ用 A C F 8 1 に含まれる導電性粒子の径よりも大きい径の導電性粒子が使用される場合、前述したように導電性粒子の径が大きくなるほど、相対的にバンプ電極の高さばらつきの影響が小さくなることから、場合によっては（大きな粒子径の）導電性粒子の扁平によってバンプ電極の高さばらつきの影響が完全に吸収されることも考えられる。その場合には上記電極構造は不要となる。

[0086] しかし、バンプ電極の高さばらつきが導電性粒子の弾性力によっても完全に吸収されない場合、すなわち、導電性粒子の扁平率が好適な範囲である約 2 0 [%] 以上約 3 5 [%] 以下または約 2 0 [%] 以上約 5 0 [%] 以下の範囲外となることがある場合、上記各実施形態の構成を適用すれば、高さの異なるいずれかの電極面で捕捉された導電性粒子の扁平率を好適な範囲内にすることができる。

[0087] なお上記各実施形態では液晶パネルである表示パネルについて説明したが、液晶表示装置に使用される液晶パネルに限定されず、有機または無機の E L (Electro Luminescence) ディスプレイ、プラズマディスプレイパネル (P D P)、真空蛍光ディスプレイ、電子ペーパーなどの各種表示装置に使用される表示パネルにも同様に適用することができ、また表示装置以外に使用される各種表示パネルにも同様に適用することができる。さらに表示パネル以外の各種基板モジュール（各種電子部品を搭載したプリント配線基板など）にも同様に適用することができる。

産業上の利用可能性

[0088] 本発明は、例えば液晶パネルのような基板モジュールおよびその製造方法に適用されるものであって、より詳しくは、異方性導電接着材を用いてガラス基板上に実装されたチップコンデンサなどの電子部品を含む基板モジュール

ルおよびその製造方法に適している。

符号の説明

- [0089] 1 0…液晶パネル
 2 0、2 5…ガラス基板
 2 0 a…張出部
 2 3 …表示用配線
 3 0…表示部
 4 0…L S Iチップ
 4 0 a、4 0 1、4 0 2、4 1 3、4 2 3…バンプ電極
 5 0…F P C基板
 7 3…F P C用配線
 7 4…F P C基板の配線層
 8 1…チップ用A C F
 8 2…F P C用A C F
 8 1 1、8 1 2…導電性粒子
 d …段差（高低差）

請求の範囲

- [請求項1] 複数の配線が形成された絶縁性の基板と、
複数の端子部を有する電子部品と、
前記電子部品と前記基板との間に設けられており、前記複数の端子部と前記複数の配線とを電氣的に接続する導電性粒子を含む異方性導電接着材と
を備え、
前記複数の端子部のそれぞれは、前記基板面に対向する面であって、当該面に対する垂直方向の高さが異なる複数の接続面を有し、
前記複数の接続面は、前記高さの差の最大値が前記導電性粒子の直径以下となるよう形成されることを特徴とする、基板モジュール。
- [請求項2] 前記複数の端子部のそれぞれは、前記複数の接続面が形成された1つの金属電極であることを特徴とする、請求項1に記載の基板モジュール。
- [請求項3] 前記複数の端子部のそれぞれは、互いに電氣的に接続された複数の金属電極からなり、
前記複数の金属電極のそれぞれは、同一の端子部に含まれる他の金属電極の少なくとも1つにおける前記高さと異なる高さの1つの接続面を有することを特徴とする、請求項1に記載の基板モジュール。
- [請求項4] 前記複数の接続面は、前記高さの差の最大値が前記導電性粒子の直径の略0.3倍以下となるよう形成されることを特徴とする、請求項1に記載の基板モジュール。
- [請求項5] 前記複数の接続面は、前記高さの差の最大値が前記導電性粒子の直径の略0.15倍以下となるよう形成されることを特徴とする、請求項4に記載の基板モジュール。
- [請求項6] 前記異方性導電接着材は、異方性導電フィルムまたは異方性導電ペーストであることを特徴とする、請求項1に記載の基板モジュール。
- [請求項7] 前記導電性粒子は、3ミクロン以下の直径を有することを特徴とす

る、請求項 1 に記載の基板モジュール。

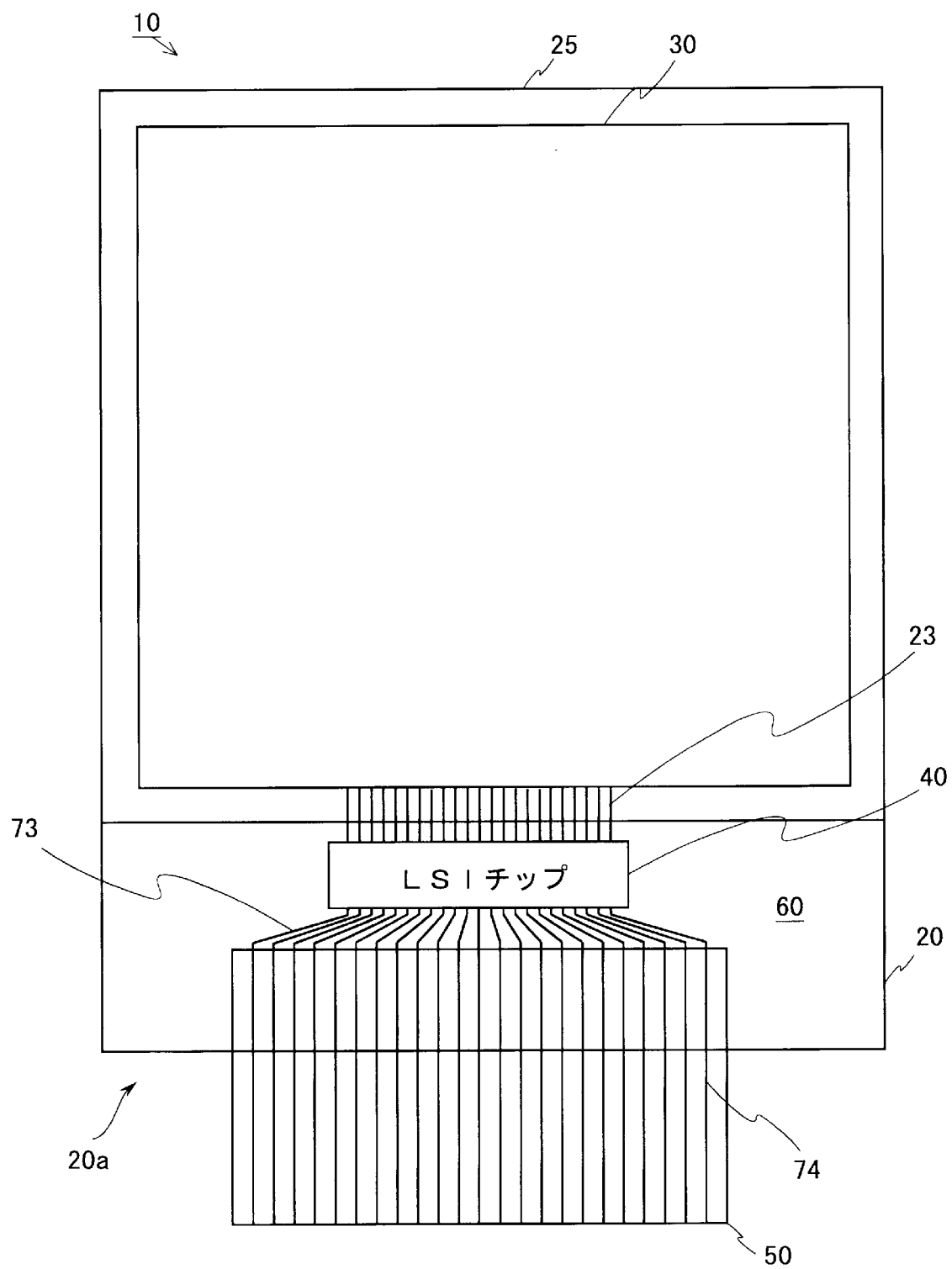
[請求項8] 前記電子部品は、集積回路チップであって、前記複数の端子部である複数のバンプ電極を含み、

前記複数のバンプ電極は、金を含むことを特徴とする、請求項 1 に記載の基板モジュール。

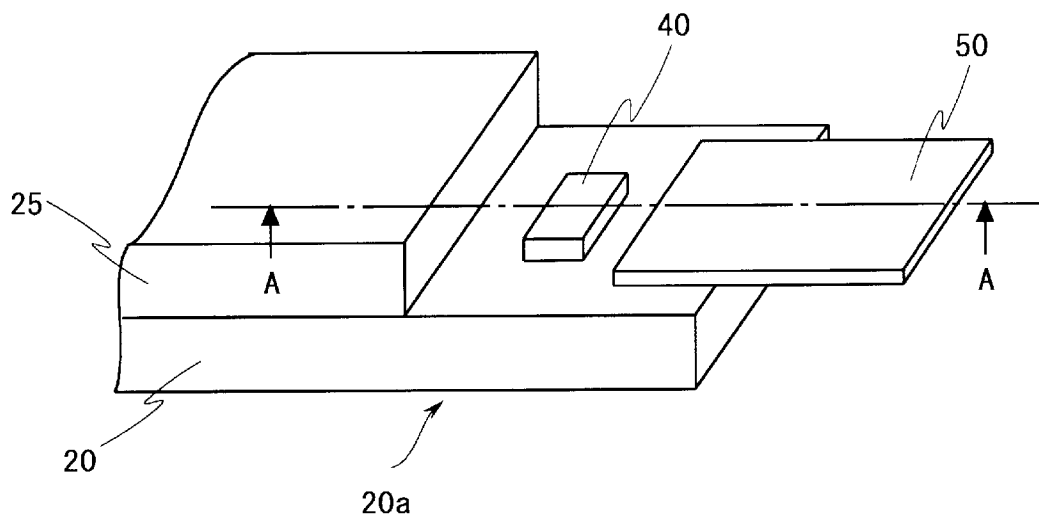
[請求項9] 前記基板は、画像を表示する表示部を含み、

前記電子部品は、外部から与えられる信号に基づいて前記表示部を駆動する駆動素子を含む、請求項 1 に記載の基板モジュール。

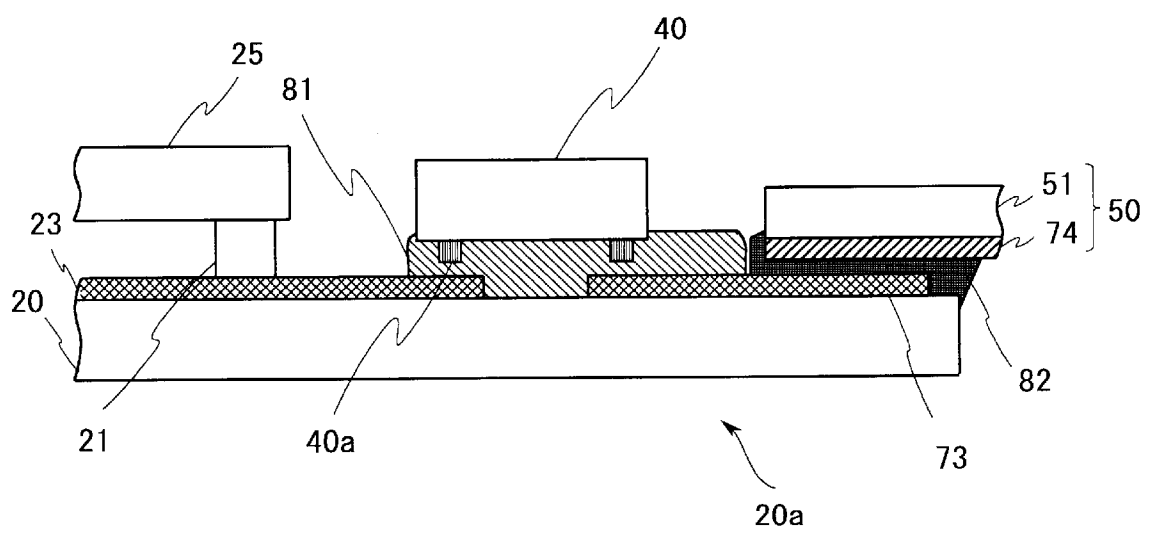
[図1]



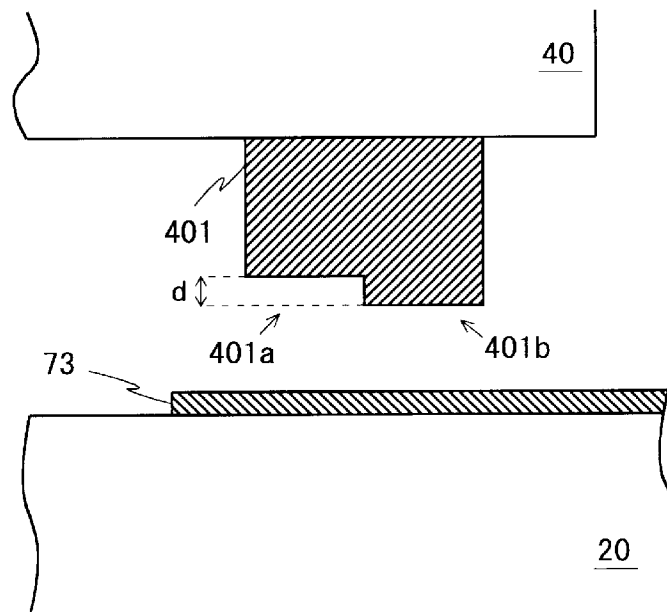
[図2]



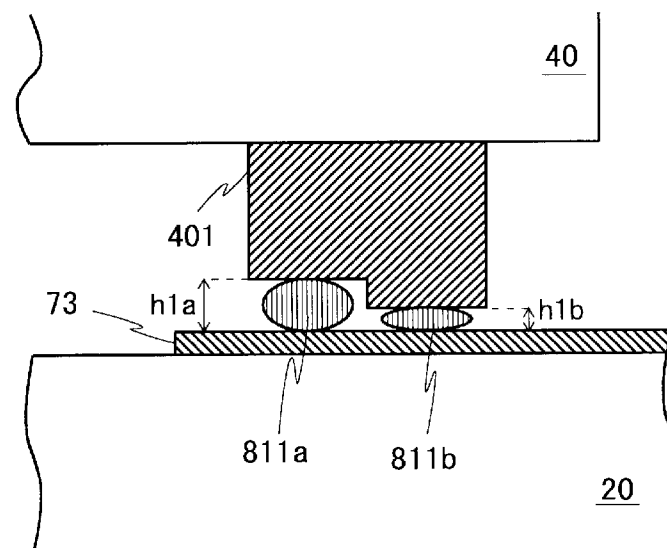
[図3]



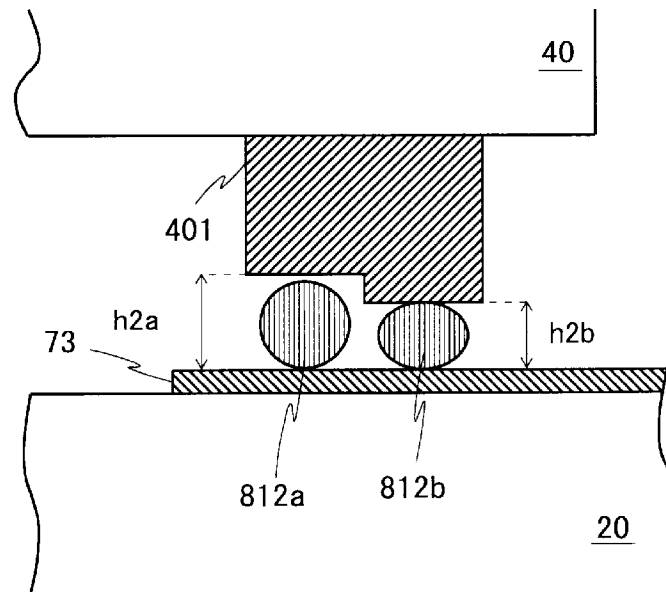
[図4]



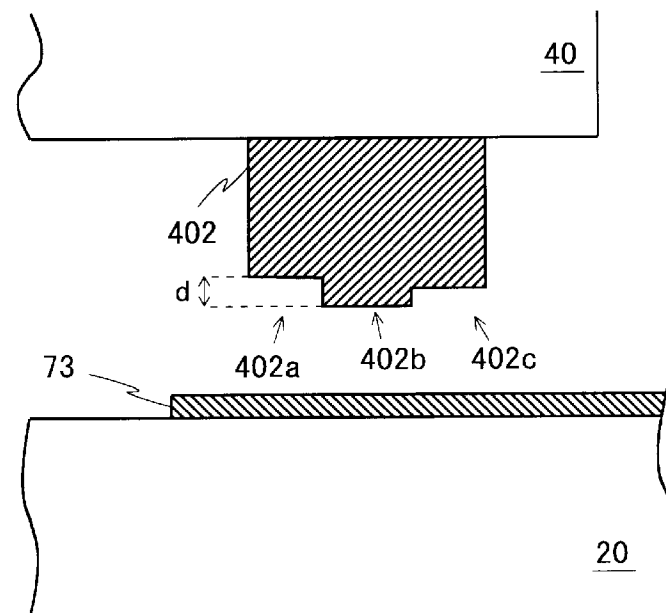
[図5]



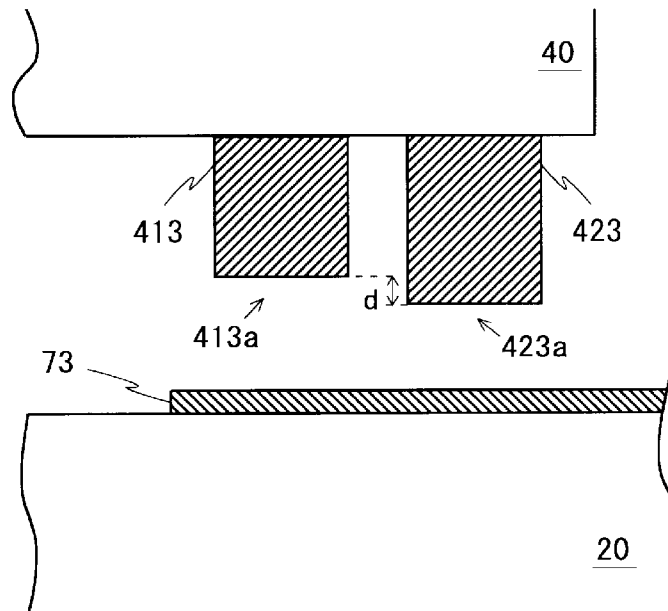
[図6]



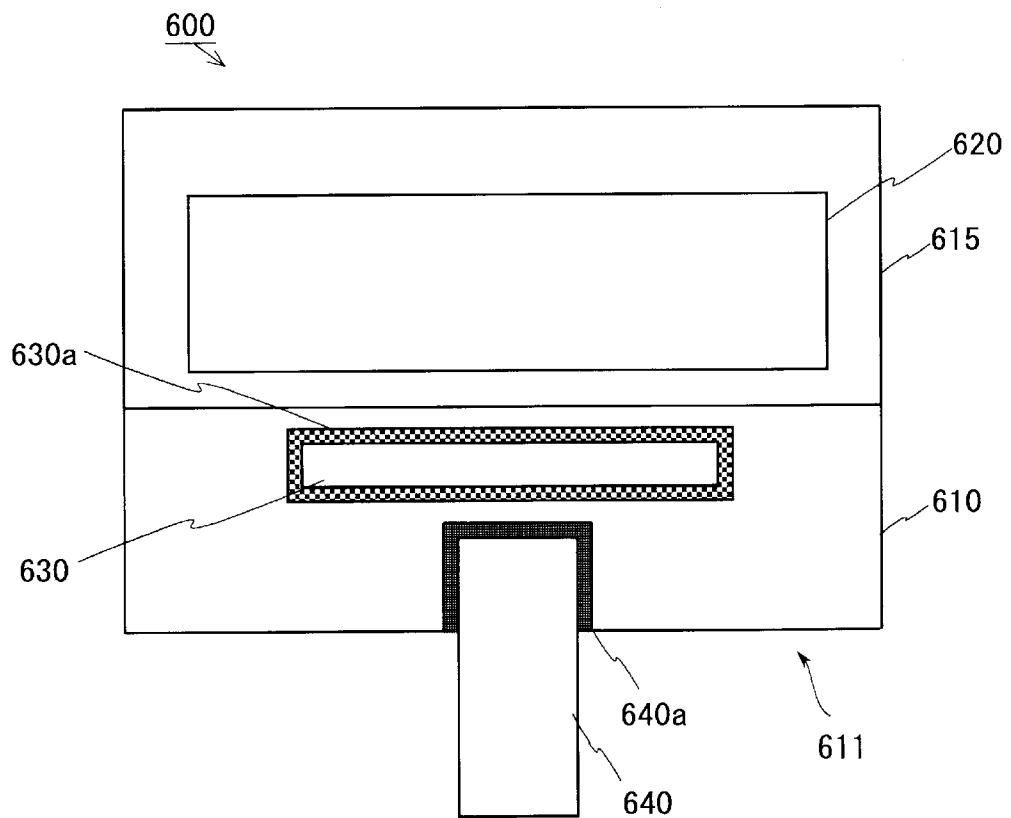
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/076783

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/60(2006.01)i, G09F9/00(2006.01)i, H05K3/32(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/60, G09F9/00, H05K3/32

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011

Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 62-244143 A (Matsushita Electric Industrial Co., Ltd.), 24 October 1987 (24.10.1987), fig. 1 (Family: none)	1-9
X	JP 11-31698 A (Texas Instruments Japan Ltd.), 02 February 1999 (02.02.1999), paragraphs [0006] to [0008]; fig. 12 (Family: none)	1-9
A	JP 2006-163012 A (Sharp Corp.), 22 June 2006 (22.06.2006), entire text (Family: none)	1-9

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
13 December, 2011 (13.12.11)Date of mailing of the international search report
20 December, 2011 (20.12.11)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/076783

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2002/0074385 A1 (Unipac Optoelectronics Corp.), 20 July 2002 (20.07.2002), fig. 1 & US 2002/0076537 A1 & US 2004/0244906 A1 & TW 554191 B	1-9

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/60(2006.01)i, G09F9/00(2006.01)i, H05K3/32(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/60, G09F9/00, H05K3/32

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 62-244143 A (松下電器産業株式会社) 1987. 10. 24, 第1図 (ファミリーなし)	1 - 9
X	JP 11-31698 A (日本テキサス・インスツルメンツ株式会社) 1999. 02. 02, 【0006】-【0008】, 図12 (ファミリーなし)	1 - 9
A	JP 2006-163012 A (シャープ株式会社) 2006. 06. 22, 全文 (ファミリーなし)	1 - 9
A	US 2002/0074385 A1 (Unipac Optoelectronics Corporation) 2002. 07. 20, FIG. 1 & US 2002/0076537 A1 & US 2004/0244906 A1 & TW 554191 B	1 - 9

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 3 . 1 2 . 2 0 1 1

国際調査報告の発送日

2 0 . 1 2 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

瀧澤 佳世

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 7 1

4 R

4 4 2 6