

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일

2020년 11월 19일 (19.11.2020) WIPO | PCT



(10) 국제공개번호

WO 2020/231241 A1

(51) 국제특허분류:

G09G 3/32 (2006.01)

(21) 국제출원번호:

PCT/KR2020/095008

(22) 국제출원일:

2020년 2월 20일 (20.02.2020)

(25) 출원언어:

한국어

(26) 공개언어:

한국어

(30) 우선권정보:

10-2019-0057346 2019년 5월 16일 (16.05.2019) KR

(71) 출원인: 삼성디스플레이 주식회사 (SAMSUNG DISPLAY CO., LTD.) [KR/KR]; 17113 경기도 용인시 기흥구 삼성로 1, Gyeonggi-do (KR).

(72) 발명자: 정일훈 (JEONG, Il Hun); 17113 경기도 용인시 기흥구 삼성로 1, Gyeonggi-do (KR).

(74) 대리인: 김두식 등 (KIM, Doo Sik et al.); 03155 서울시 종로구 종로3길 17 디타워 D2 23층, Seoul (KR).

LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

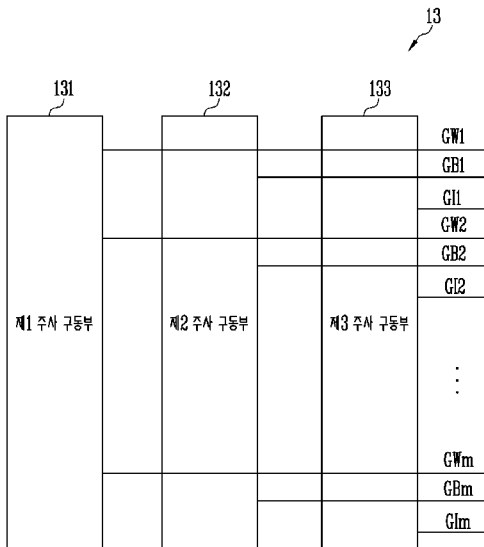
공개:

— 국제조사보고서와 함께 (조약 제21조(3))

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KW, KZ,

(54) Title: PIXEL AND METHOD FOR DRIVING PIXEL

(54) 발명의 명칭: 화소 및 화소의 구동 방법



(57) Abstract: A pixel of the present invention comprises: a light emitting diode in which an anode is connected to a first node; a first capacitor in which a first electrode is connected to the first node, and a second electrode is connected to a second node; a first transistor in which a gate electrode is connected to the second node, the first electrode is connected to a third node, and the second electrode is connected to a fourth node; and a second transistor in which the gate electrode is connected to a first scan line, the first electrode is connected to a data line, and the second electrode is connected to the third node.

(57) 요약서: 본 발명의 화소는, 애노드가 제1 노드에 연결된 발광 다이오드; 제1 전극이 상기 제1 노드에 연결되고, 제2 전극이 제2 노드에 연결된 제1 커패시터; 게이트 전극이 상기 제2 노드에 연결되고, 제1 전극이 제3 노드에 연결되고, 제2 전극이 제4 노드에 연결된 제1 트랜지스터; 및 게이트 전극이 제1 주사 라인에 연결되고, 제1 전극이 데이터 라인에 연결되고, 제2 전극이 상기 제3 노드에 연결된 제2 트랜지스터를 포함한다.

131 ... First scan driving unit
132 ... Second scan driving unit
133 ... Third scan driving unit

WO 2020/231241 A1

명세서

발명의 명칭: 화소 및 화소의 구동 방법

기술분야

- [1] 본 발명은 화소 및 화소의 구동 방법에 관한 것이다.

배경기술

- [2] 정보화 기술이 발달함에 따라 사용자와 정보간의 연결매체인 표시 장치의 중요성이 부각되고 있다. 이에 부응하여 액정 표시 장치(Liquid Crystal Display Device), 유기 발광 표시 장치(Organic Light Emitting Display Device), 플라즈마 표시 장치(Plasma Display Device) 등과 같은 표시 장치의 사용이 증가하고 있다.
- [3] 표시 장치의 각 화소는 적어도 하나의 발광 다이오드를 포함할 수 있다. 발광 다이오드는 사용 기간이 증가함에 따라 열화될 수 있다. 열화된 발광 다이오드는 동일한 휘도를 발휘하기 위하여 더 많은 구동 전류를 필요로 할 수 있다.

발명의 상세한 설명

기술적 과제

- [4] 해결하고자 하는 기술적 과제는, 발광 다이오드의 열화를 자체적으로 보상할 수 있는 화소 및 화소의 구동 방법을 제공하는 데 있다.
- [5] 또한, 해결하고자 하는 기술적 과제는, 누설 전류를 감소시킴으로써, 블랙 표현을 개선하고, 저주파 구동을 가능하게 하며, 소비 전력을 감소시킬 수 있는 화소 및 화소의 구동 방법을 제공하는 데 있다.

과제 해결 수단

- [6] 본 발명의 한 실시예에 따른 화소는, 애노드가 제1 노드에 연결된 발광 다이오드; 제1 전극이 상기 제1 노드에 연결되고, 제2 전극이 제2 노드에 연결된 제1 커패시터; 게이트 전극이 상기 제2 노드에 연결되고, 제1 전극이 제3 노드에 연결되고, 제2 전극이 제4 노드에 연결된 제1 트랜지스터; 및 게이트 전극이 제1 주사 라인에 연결되고, 제1 전극이 데이터 라인에 연결되고, 제2 전극이 상기 제3 노드에 연결된 제2 트랜지스터를 포함한다.
- [7] 상기 화소는, 게이트 전극이 제2 주사 라인에 연결되고, 제1 전극이 초기화 라인에 연결되고, 제2 전극이 상기 제1 노드에 연결된 제3 트랜지스터를 더 포함할 수 있다.
- [8] 상기 화소는, 게이트 전극이 발광 라인에 연결되고, 제1 전극이 상기 제4 노드에 연결되고, 제2 전극이 상기 제1 노드에 연결된 제4 트랜지스터를 더 포함할 수 있다.
- [9] 상기 화소는, 게이트 전극이 상기 발광 라인에 연결되고, 제1 전극이 제1 전원 라인에 연결되고, 제2 전극이 상기 제3 노드에 연결된 제5 트랜지스터를 더 포함할 수 있다.
- [10] 상기 화소는, 게이트 전극이 제3 주사 라인에 연결되고, 제1 전극이 상기 제4

- 노드에 연결되고, 제2 전극이 상기 초기화 라인에 연결된 제6 트랜지스터를 더 포함할 수 있다.
- [11] 상기 화소는, 게이트 전극이 상기 제1 주사 라인에 연결되고, 제1 전극이 상기 제2 노드에 연결되고, 제2 전극이 상기 제4 노드에 연결된 제7 트랜지스터를 포함할 수 있다.
- [12] 상기 화소는, 제1 전극이 상기 제1 전원 라인에 연결되고, 제2 전극이 상기 제2 노드에 연결된 제2 커패시터를 더 포함할 수 있다.
- [13] 상기 화소는, 게이트 전극이 상기 제3 주사 라인에 연결되고, 제1 전극이 상기 제2 노드에 연결되고, 제2 전극이 상기 제4 노드에 연결된 제8 트랜지스터를 더 포함할 수 있다.
- [14] 상기 화소는, 게이트 전극이 상기 제1 주사 라인에 연결되고, 제1 전극을 포함하고, 제2 전극이 상기 제4 노드에 연결된 제7 트랜지스터; 및 게이트 전극이 상기 제1 주사 라인에 연결되고, 제1 전극이 상기 제7 트랜지스터의 제1 전극과 연결되고, 제2 전극이 상기 제2 노드에 연결된 제8 트랜지스터를 더 포함할 수 있다.
- [15] 상기 화소는, 제1 전극이 상기 제1 전원 라인에 연결되고, 제2 전극이 상기 제2 노드에 연결된 제2 커패시터를 더 포함할 수 있다.
- [16] 상기 화소는, 게이트 전극이 상기 제1 주사 라인에 연결되고, 제1 전극이 상기 초기화 라인에 연결되고, 제2 전극이 상기 제4 노드에 연결된 제6 트랜지스터를 더 포함할 수 있다.
- [17] 상기 화소는, 게이트 전극이 상기 제1 주사 라인에 연결되고, 제1 전극이 상기 제2 노드에 연결되고, 제2 전극이 상기 초기화 라인에 연결된 제7 트랜지스터; 및 게이트 전극이 상기 제3 주사 라인에 연결되고, 제1 전극이 상기 제2 노드에 연결되고, 제2 전극이 상기 초기화 라인에 연결된 제8 트랜지스터를 더 포함할 수 있다.
- [18] 상기 화소는, 게이트 전극이 제3 주사 라인에 연결되고, 제1 전극을 포함하고, 제2 전극이 상기 초기화 라인에 연결된 제6 트랜지스터; 게이트 전극이 상기 제1 주사 라인에 연결되고, 제1 전극이 상기 제2 노드에 연결되고, 제2 전극이 상기 제6 트랜지스터의 제1 전극과 연결된 제7 트랜지스터; 및 게이트 전극이 상기 제1 주사 라인에 연결되고, 제1 전극이 상기 제6 트랜지스터의 제1 전극과 연결되고, 제2 전극이 상기 제4 노드에 연결된 제8 트랜지스터를 더 포함할 수 있다.
- [19] 상기 화소는, 제1 전극이 상기 제1 전원 라인에 연결되고, 제2 전극이 상기 제2 노드에 연결된 제2 커패시터를 더 포함할 수 있다.
- [20] 본 발명의 한 실시예에 따른 화소의 구동 방법은, 화소의 구동 방법에 있어서, 상기 화소는: 애노드가 제1 노드에 연결된 발광 다이오드; 제1 전극이 상기 제1 노드에 연결되고, 제2 전극이 제2 노드에 연결된 제1 커패시터; 게이트 전극이 상기 제2 노드에 연결되고, 제1 전극이 제3 노드에 연결되고, 제2 전극이 제4

노드에 연결된 제1 트랜지스터; 및 게이트 전극이 제1 주사 라인에 연결되고, 제1 전극이 데이터 라인에 연결되고, 제2 전극이 상기 제3 노드에 연결된 제2 트랜지스터를 포함하고, 상기 구동 방법은: 상기 제2 노드를 초기화 라인과 연결시키고, 상기 제2 트랜지스터를 턴-온시키는 단계; 상기 제2 트랜지스터의 턴-온 상태를 유지한 상태에서, 상기 제2 노드를 상기 초기화 라인과 분리시키는 단계; 상기 제2 트랜지스터를 턴-오프시키는 단계; 및 상기 제2 트랜지스터가 턴-오프 상태를 유지한 상태에서, 상기 제1 노드를 상기 초기화 라인과 연결시키는 단계를 포함한다.

- [21] 상기 화소는: 게이트 전극이 제2 주사 라인에 연결되고, 제1 전극이 상기 초기화 라인에 연결되고, 제2 전극이 상기 제1 노드에 연결된 제3 트랜지스터를 더 포함하고, 상기 제1 노드를 상기 초기화 라인과 연결시키는 단계에서, 상기 제3 트랜지스터를 턴-온시킬 수 있다.
- [22] 상기 화소는: 게이트 전극이 발광 라인에 연결되고, 제1 전극이 상기 제4 노드에 연결되고, 제2 전극이 상기 제1 노드에 연결된 제4 트랜지스터; 및 게이트 전극이 상기 발광 라인에 연결되고, 제1 전극이 제1 전원 라인에 연결되고, 제2 전극이 상기 제3 노드에 연결된 제5 트랜지스터를 더 포함하고, 상기 구동 방법은: 상기 제3 트랜지스터를 턴-오프시키는 단계; 및 상기 제3 트랜지스터의 턴-오프를 유지한 상태에서, 상기 제4 트랜지스터 및 상기 제5 트랜지스터를 턴-온시키는 단계를 더 포함할 수 있다.
- [23] 본 발명의 한 실시예에 따른 화소의 구동 방법은, 화소의 구동 방법에 있어서, 상기 화소는: 애노드가 제1 노드에 연결된 발광 다이오드; 제1 전극이 상기 제1 노드에 연결되고, 제2 전극이 제2 노드에 연결된 제1 커패시터; 게이트 전극이 상기 제2 노드에 연결되고, 제1 전극이 제3 노드에 연결되고, 제2 전극이 제4 노드에 연결된 제1 트랜지스터; 및 게이트 전극이 제1 주사 라인에 연결되고, 제1 전극이 데이터 라인에 연결되고, 제2 전극이 상기 제3 노드에 연결된 제2 트랜지스터를 포함하고, 상기 구동 방법은: 상기 제2 트랜지스터의 턴-오프 상태를 유지한 상태에서, 상기 제2 노드를 초기화 라인과 연결시키는 단계; 상기 제2 노드를 상기 초기화 라인과 분리시키는 단계; 상기 제2 노드가 상기 초기화 라인과 분리된 상태에서, 상기 제2 트랜지스터를 턴-온시키는 단계; 상기 제2 트랜지스터를 턴-오프시키는 단계; 및 상기 제2 트랜지스터가 턴-오프 상태를 유지한 상태에서, 상기 제1 노드를 상기 초기화 라인과 연결시키는 단계를 포함한다.
- [24] 상기 화소는: 게이트 전극이 제2 주사 라인에 연결되고, 제1 전극이 상기 초기화 라인에 연결되고, 제2 전극이 상기 제1 노드에 연결된 제3 트랜지스터를 더 포함하고, 상기 제1 노드를 상기 초기화 라인과 연결시키는 단계에서, 상기 제3 트랜지스터를 턴-온시킬 수 있다.
- [25] 상기 화소는: 게이트 전극이 발광 라인에 연결되고, 제1 전극이 상기 제4 노드에 연결되고, 제2 전극이 상기 제1 노드에 연결된 제4 트랜지스터; 및 게이트

전극이 상기 발광 라인에 연결되고, 제1 전극이 제1 전원 라인에 연결되고, 제2 전극이 상기 제3 노드에 연결된 제5 트랜지스터를 더 포함하고, 상기 구동 방법은: 상기 제3 트랜지스터를 턴-오프시키는 단계; 및 상기 제3 트랜지스터의 턴-오프를 유지한 상태에서, 상기 제4 트랜지스터 및 상기 제5 트랜지스터를 턴-온시키는 단계를 더 포함할 수 있다.

발명의 효과

- [26] 본 발명에 따른 화소 및 화소의 구동 방법은 발광 다이오드의 열화를 자체적으로 보상할 수 있다.
- [27] 또한, 본 발명에 따른 화소 및 화소의 구동 방법은 누설 전류를 감소시킴으로써, 블랙 표현을 개선하고, 저주파 구동을 가능하게 하며, 소비 전력을 감소시킬 수 있다.

도면의 간단한 설명

- [28] 도 1은 본 발명의 한 실시예에 따른 표시 장치를 설명하기 위한 도면이다.
- [29] 도 2는 본 발명의 한 실시예에 따른 주사 구동부를 설명하기 위한 도면이다.
- [30] 도 3은 본 발명의 제1 실시예에 따른 화소를 설명하기 위한 도면이다.
- [31] 도 4 내지 도 11은 도 2의 화소의 예시적인 구동 방법을 설명하기 위한 도면이다.
- [32] 도 12는 본 발명의 제2 실시예에 따른 화소를 설명하기 위한 도면이다.
- [33] 도 13은 본 발명의 제3 실시예에 따른 화소를 설명하기 위한 도면이다.
- [34] 도 14는 본 발명의 제4 실시예에 따른 화소를 설명하기 위한 도면이다.
- [35] 도 15는 본 발명의 다른 실시예에 따른 구동 방법을 설명하기 위한 도면이다.
- [36] 도 16은 본 발명의 제5 실시예에 따른 화소를 설명하기 위한 도면이다.
- [37] 도 17은 본 발명의 제6 실시예에 따른 화소를 설명하기 위한 도면이다.
- [38] 도 18은 본 발명의 제7 실시예에 따른 화소를 설명하기 위한 도면이다.
- [39] 도 19는 본 발명의 제8 실시예에 따른 화소를 설명하기 위한 도면이다.
- [40] 도 20은 본 발명의 제9 실시예에 따른 화소를 설명하기 위한 도면이다.
- [41] 도 21은 본 발명의 제10 실시예에 따른 화소를 설명하기 위한 도면이다.

발명의 실시를 위한 형태

- [42] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시 예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시 예들에 한정되지 않는다.
- [43] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다. 따라서 앞서 설명한 참조 부호는 다른 도면에서도 사용할 수 있다.
- [44] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로

나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다. 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 과장되게 나타낼 수 있다.

- [45] 도 1은 본 발명의 한 실시예에 따른 표시 장치를 설명하기 위한 도면이고, 도 2는 본 발명의 한 실시예에 따른 주사 구동부를 설명하기 위한 도면이다.
- [46] 도 1을 참조하면, 본 발명의 한 실시예에 따른 표시 장치(10)는 타이밍 제어부(11), 데이터 구동부(12), 주사 구동부(13), 발광 구동부(14), 및 화소부(15)를 포함할 수 있다.
- [47] 타이밍 제어부(11)는 외부 프로세서로부터 영상 프레임에 대한 계조 값들 및 제어 신호들을 수신할 수 있다. 타이밍 제어부(11)는 표시 장치(10)의 사양(specification)에 대응하도록 계조 값들을 렌더링(rendering)할 수 있다. 예를 들어, 외부 프로세서는 각각의 단위 도트(unit dot)에 대해서 적색 계조 값, 녹색 계조 값, 청색 계조 값을 제공할 수 있다. 하지만, 예를 들어, 화소부(15)가 펜타일(pentile) 구조인 경우, 인접한 단위 도트끼리 화소를 공유하므로, 각각의 계조 값에 화소가 1대 1 대응하지 않을 수 있다. 이러한 경우, 계조 값들의 렌더링이 필요하다. 각각의 계조 값에 화소가 1대 1 대응하는 경우, 계조 값들의 렌더링이 불필요할 수도 있다. 렌더링되거나 렌더링되지 않은 계조 값들은 데이터 구동부(12)로 제공될 수 있다. 또한, 타이밍 제어부(11)는 영상 프레임 표시를 위하여 데이터 구동부(12), 주사 구동부(13), 발광 구동부(14) 등에 각각의 사양에 적합한 제어 신호들을 제공할 수 있다.
- [48] 데이터 구동부(12)는 계조 값들 및 제어 신호들을 이용하여 데이터 라인들(D1, D2, D3, Dn)로 제공할 데이터 전압들을 생성할 수 있다. 예를 들어, 데이터 구동부(12)는 클록 신호를 이용하여 계조 값들을 샘플링하고, 계조 값들에 대응하는 데이터 전압들을 화소행 단위로 데이터 라인들(D1~Dn)에 인가할 수 있다. n은 0보다 큰 정수일 수 있다.
- [49] 주사 구동부(13)는 타이밍 제어부(11)로부터 클록 신호, 주사 시작 신호 등을 수신하여 주사 라인들(S1, S2, S3, Sm)에 제공할 주사 신호들을 생성할 수 있다. m은 0보다 큰 정수일 수 있다.
- [50] 도 2를 더 참조하면, 주사 라인들(S1~Sm)은 제1 주사 라인들(GW1, GW2, GWm), 제2 주사 라인들(GB1, GB2, GBm), 및 제3 주사 라인들(GI1, GI2, GIIm)을 포함할 수 있다.
- [51] 한 실시예에서, 주사 구동부(13)는 제1 주사 라인들(GW1, GW2, GWm)에 턴-온 레벨의 펄스를 갖는 제1 주사 신호들을 순차적으로 공급하기 위한 제1 주사 구동부(131), 제2 주사 라인들(GB1, GB2, GBm)에 턴-온 레벨의 펄스를 갖는 제2 주사 신호들을 순차적으로 공급하기 위한 제2 주사 구동부(132), 제3 주사 라인들(GI1, GI2, GIIm)에 턴-온 레벨의 펄스를 갖는 제3 주사 신호들을 순차적으로 공급하기 위한 제3 주사 구동부(133)를 포함할 수 있다. 제1 내지 제3 주사 구동부들(131, 132, 133) 각각은 시프트 레지스터들(shift registers) 형태로 구성된 주사 스테이지 회로들을 포함할 수 있다. 제1 내지 제3 주사

구동부들(131, 132, 133) 각각은 클록 신호의 제어에 따라 턴-온 레벨의 펄스 형태인 주사 시작 신호를 다음 주사 스테이지 회로로 순차적으로 전달하는 방식으로 주사 신호들을 생성할 수 있다.

[52] 다른 실시예에서, 화소의 구동 방법에 따라, 제1 내지 제3 주사 구동부들(131, 132, 133) 중 적어도 일부는 일체로 구현될 수 있다. 예를 들어, 도 4의 구동 방법과 같이, 제2 주사 신호 및 제3 주사 신호의 턴-온 레벨의 펄스들의 길이가 동일하고 위상만 다른 경우, 제2 주사 구동부(132) 및 제3 주사 구동부(133)는 일체로 구현될 수 있다. 한편, 도 15의 구동 방법과 같이, 제1 내지 제3 주사 신호들의 턴-온 레벨의 펄스들의 길이가 동일하고 위상만 다른 경우, 제1 내지 제3 주사 구동부들(131, 132, 133)은 일체로 구현될 수 있다.

[53] 발광 구동부(14)는 타이밍 제어부(11)로부터 클록 신호, 발광 중지 신호 등을 수신하여 발광 라인들(E1, E2, E3, Eo)에 제공할 발광 신호들을 생성할 수 있다. 예를 들어, 발광 구동부(14)는 발광 라인들(E1~Eo)에 순차적으로 턴-오프 레벨의 펄스를 갖는 발광 신호들을 제공할 수 있다. 예를 들어, 발광 구동부(14)의 각 발광 스테이지 회로는 시프트 레지스터 형태로 구성될 수 있고, 클록 신호의 제어에 따라 턴-오프 레벨의 펄스 형태인 발광 중지 신호를 다음 발광 스테이지 회로로 순차적으로 전달하는 방식으로 발광 신호들을 생성할 수 있다. o는 0보다 큰 정수일 수 있다.

[54] 화소부(15)는 화소들을 포함한다. 각각의 화소(PXij)는 대응하는 데이터 라인, 주사 라인, 및 발광 라인에 연결될 수 있다. 또한, 화소들(PXij)은 공통된 제1 전원 라인 및 제2 전원 라인에 연결될 수 있다. i 및 j는 자연수일 수 있다. 화소(PXij)는 스캔 트랜지스터가 i 번째 주사 라인 및 j 번째 데이터 라인과 연결된 화소를 의미할 수 있다.

[55] 도 3은 본 발명의 제1 실시예에 따른 화소를 설명하기 위한 도면이다.

[56] 도 3을 참조하면, 본 발명의 제1 실시예에 따른 화소(PXija)는 트랜지스터들(T1a~T7a), 커패시터들(C1a, C2a), 및 발광 다이오드(LDa)를 포함한다.

[57] 본 실시예에서 트랜지스터들은 P형 트랜지스터(예를 들어, PMOS)로 도시되었지만, 당업자라면 N형 트랜지스터(예를 들어, NMOS)로 동일한 기능을 하는 화소 회로를 구성할 수 있을 것이다. 또한, 당업자라면 P형 트랜지스터와 N형 트랜지스터를 조합하여 동일한 기능을 하는 화소 회로를 구성할 수도 있을 것이다. 이하에서는 트랜지스터들이 P형 트랜지스터로 구성된 경우로 가정하고 설명한다.

[58] 발광 다이오드(LDa)는 애노드가 제1 노드(N1a)에 연결되고, 캐소드가 제2 전원 라인(ELVSSL)에 연결될 수 있다. 발광 다이오드(LDa)는 유기 발광 다이오드(organic light emitting diode), 무기 발광 다이오드(inorganic light emitting diode), 퀀텀 닷 발광 다이오드(quantum dot light emitting diode) 등으로 구성될 수 있다. 또한, 본 실시예에서는 하나의 발광 다이오드(LDa)를 포함하도록

화소(PXij_a)가 도시되었지만, 다른 실시예에서 화소(PXij_a)는 2 개 이상의 발광 다이오드(LD_a)를 포함할 수 있다. 2 개 이상의 발광 다이오드(LD_a)는 서로 병렬로 연결되거나, 직렬로 연결될 수 있다. 이하의 실시예들에서는 화소가 하나의 발광 다이오드를 포함한 것으로 가정하고 설명한다.

- [59] 제1 커패시터(C1_a)는 제1 전극이 제1 노드(N1_a)에 연결되고, 제2 전극이 제2 노드(N2_a)에 연결될 수 있다.
- [60] 제1 트랜지스터(T1_a)는 게이트 전극이 제2 노드(N2_a)에 연결되고, 제1 전극이 제3 노드(N3_a)에 연결되고, 제2 전극이 제4 노드(N4_a)에 연결될 수 있다. 제1 트랜지스터(T1_a)는 구동 트랜지스터(driving transistor)로 명명될 수 있다.
- [61] 제2 트랜지스터(T2_a)는 게이트 전극이 제1 주사 라인(GW_i)에 연결되고, 제1 전극이 데이터 라인(D_j)에 연결되고, 제2 전극이 제3 노드(N3_a)에 연결될 수 있다. 제2 트랜지스터(T2_a)는 스캔 트랜지스터(scan transistor) 또는 스위칭 트랜지스터(switching transistor)로 명명될 수 있다.
- [62] 제3 트랜지스터(T3_a)는 게이트 전극이 제2 주사 라인(GB_i)에 연결되고, 제1 전극이 초기화 라인(INTL)에 연결되고, 제2 전극이 제1 노드(N1_a)에 연결될 수 있다. 제3 트랜지스터(T3_a)는 애노드 초기화 트랜지스터(anode initialization transistor)로 명명될 수 있다.
- [63] 제4 트랜지스터(T4_a)는 게이트 전극이 발광 라인(E_i)에 연결되고, 제1 전극이 제4 노드(N4_a)에 연결되고, 제2 전극이 제1 노드(N1_a)에 연결될 수 있다. 제4 트랜지스터(T4_a)는 발광 트랜지스터(emission transistor)로 명명될 수 있다.
- [64] 제5 트랜지스터(T5_a)는 게이트 전극이 발광 라인(E_i)에 연결되고, 제1 전극이 제1 전원 라인(ELVDDL)에 연결되고, 제2 전극이 제3 노드(N3_a)에 연결될 수 있다. 제5 트랜지스터(T5_a)는 발광 트랜지스터로 명명될 수 있다. 도 3에서는 제4 트랜지스터(T4_a) 및 제5 트랜지스터(T5_a)의 게이트 전극들에 연결된 발광 라인(E_i)이 서로 동일하게 도시되었지만, 실시예에 따라 서로 다른 발광 라인들이 제4 트랜지스터(T4_a) 및 제5 트랜지스터(T5_a)의 게이트 전극들에 연결될 수 있다.
- [65] 제6 트랜지스터(T6_a)는 게이트 전극이 제3 주사 라인(GI_i)에 연결되고, 제1 전극이 제4 노드(N4_a)에 연결되고, 제2 전극이 초기화 라인(INTL)에 연결될 수 있다. 제6 트랜지스터(T6_a)는 게이트 초기화 트랜지스터(gate initialization transistor)로 명명될 수 있다.
- [66] 제7 트랜지스터(T7_a)는 게이트 전극이 제1 주사 라인(GW_i)에 연결되고, 제1 전극이 제2 노드(N2_a)에 연결되고, 제2 전극이 제4 노드(N4_a)에 연결될 수 있다. 제7 트랜지스터(T7_a)는 다이오드 연결 트랜지스터(diode connection transistor)로 명명될 수 있다.
- [67] 제2 커패시터(C2_a)는 제1 전극이 제1 전원 라인(ELVDDL)에 연결되고, 제2 전극이 제2 노드(N2_a)에 연결될 수 있다.
- [68] 제1 전원 라인(ELVDDL)에는 제1 전원 전압이 인가될 수 있다. 제2 전원

라인(ELVSSL)에는 제2 전원 전압이 인가될 수 있다. 제1 전원 전압의 크기와 제2 전원 전압의 크기는 구동 방법에 따라 달라질 수 있다. 예를 들어, 화소(PX_{ija})의 발광 기간(도 10의 P14)에서, 제1 전원 전압의 크기는 제2 전원 전압의 크기보다 클 수 있다. 이하에서, 제1 전원 전압 및 제2 전원 전압의 크기에 대한 중복된 설명은 생략한다.

- [69] 초기화 라인(INTL)에는 초기화 전압이 인가될 수 있다. 초기화 전압의 크기는 구동 방법에 따라 달라질 수 있다. 예를 들어, 화소(PX_{ija})의 게이트 초기화 기간(도 4의 P11)에서 초기화 전압의 크기는, 화소(PX_{ija})의 문턱 전압 보상 기간(도 6의 P12)의 적어도 일부 기간에서 제1 트랜지스터(T1a)가 턴-온 상태가 될 수 있도록 충분히 작을 수 있다. 예를 들어, 화소(PX_{ija})의 게이트 초기화 기간(도 4의 P11)에서 초기화 전압의 크기는, 화소(PX_{ija})의 문턱 전압 보상 기간(도 6의 P12)에 공급되는 데이터 전압(DT_{ij}, 도 6 참조)보다 더 작을 수 있다. 또한, 예를 들어, 화소(PX_{ija})의 애노드 초기화 기간(도 8의 P13)에서 초기화 전압의 크기는 제2 전원 전압의 크기 이하일 수 있다. 한편, 화소(PX_{ija})의 애노드 초기화 기간(도 8의 P13)에서 초기화 전압은 제2 전원 전압 보다 클 수도 있지만, 이때, 초기화 전압은 발광 다이오드(LD_a)의 발광 문턱 전압과 제2 전원 전압을 합산한 것보다는 작을 수 있다. 이하에서, 초기화 전압에 대한 중복된 설명은 생략한다.
- [70] 도 4 내지 도 11은 도 2의 화소의 예시적인 구동 방법을 설명하기 위한 도면이다.
- [71] 도 4 및 도 5를 참조하면, 제1 기간(P11)에서, 제1 스캔 라인(GW_i)에 턴-온 레벨(예를 들어, 로직 로우 레벨(logic low level))의 제1 주사 신호가 인가될 수 있다. 이때, 제3 스캔 라인(GL_i)에는 턴-온 레벨의 제3 주사 신호가 인가될 수 있다. 이때, 제2 스캔 라인(GB_i)에는 턴-오프 레벨(예를 들어, 로직 하이 레벨(logic high level))의 제2 주사 신호가 인가될 수 있다. 이때, 발광 라인(E_i)에는 턴-오프 레벨의 발광 신호가 인가될 수 있다. 이때, 데이터 라인(D_j)에는 이전 화소행에 대한 데이터 전압(DT_{(i-1)j})이 인가될 수 있다. 이전 화소행이란 스캔 트랜지스터의 게이트 전극에 i-1 번째 제1 스캔 라인이 연결된 화소들을 의미할 수 있다.
- [72] 이에 따라, 제1 기간(P11)에서, 트랜지스터들(T1a, T2a, T6a, T7a)은 턴-온 상태이고, 트랜지스터들(T3a, T4a, T5a)은 턴-오프 상태일 수 있다.
- [73] 트랜지스터들(T2a, T1a, T7a)을 통해서, 데이터 라인(D_j)이 제2 노드(N2a)와 연결될 수 있다. 또한, 트랜지스터들(T6a, T7a)을 통해서 초기화 라인(INTL)이 제2 노드(N2a)와 연결될 수 있다. 이때, 데이터 라인(D_j)과 초기화 라인(INTL)의 부하(load) 차이로 인해서, 제2 노드(N2a)의 전압은 초기화 전압이 될 수 있다. 제1 기간(P11)을 게이트 초기화 기간으로 명명할 수 있다.
- [74] 도 6 및 도 7을 참조하면, 제2 기간(P12)에서, 제1 스캔 라인(GW_i)에 턴-온 레벨의 제1 주사 신호가 인가될 수 있다. 이때, 제3 스캔 라인(GL_i)에는 턴-오프

레벨의 제3 주사 신호가 인가될 수 있다. 이때, 제2 스캔 라인(GBi)에는 턴-오프 레벨의 제2 주사 신호가 인가될 수 있다. 이때, 발광 라인(Ei)에는 턴-오프 레벨의 발광 신호가 인가될 수 있다. 이때, 데이터 라인(Dj)에는 화소(PXija)에 대한 데이터 전압(DTij)이 인가될 수 있다.

[75] 이에 따라, 제2 기간(P12)에서, 트랜지스터들(T1a, T2a, T7a)은 턴-온 상태이고, 트랜지스터들(T3a, T4a, T5a, T6a)은 턴-오프 상태일 수 있다.

[76] 트랜지스터들(T2a, T1a, T7a)을 통해서, 데이터 라인(Dj)이 제2 노드(N2a)와 연결될 수 있다. 따라서, 제2 노드(N2a)의 전압은 데이터 전압(DTij)에서 제1 트랜지스터(T1a)의 문턱 전압이 감소된 보상 전압이 될 수 있다(수학식 1 참조).

[77] [수학식 1]

$$[78] \quad VN2a = DTij - V_{trth}$$

[79] 여기서, VN2a는 제2 노드(N2a)의 전압이고, DTij는 데이터 전압(DTij)이고, Vtrth는 제1 트랜지스터(T1a)의 문턱 전압이다.

[80] 공정 편차 또는 열화에 따라, 화소들(PXija)의 제1 트랜지스터들(T1a)의 문턱 전압들은 서로 상이할 수 있다. 제2 기간(P12)을 통해서, 서로 상이한 제1 트랜지스터들(T1a)의 문턱 전압들을 개별적으로 보상할 수 있다. 제2 기간(P12)을 문턱 전압 보상 기간으로 명명할 수 있다.

[81] 제2 기간(P12)에서, 제1 노드(N1a)의 전압은 다음과 같을 수 있다(수학식 2 참조).

[82] [수학식 2]

$$[83] \quad VN1a = ELVSS + V_{ldth}$$

[84] 여기서, VN1a는 제1 노드(N1a)의 전압이고, ELVSS는 제2 전원 라인(ELVSSL)의 전압이고, Vldth는 발광 다이오드(LDa)의 발광 문턱 전압이다.

[85] 현 시점에서, 발광 다이오드(LDa)는 구동 전류를 공급받지 않아 비발광 상태지만, 이전 프레임에서 공급받은 구동 전류로 인해서 발광 문턱 전압이 충전된 상태이다.

[86] 공정 편차 또는 열화에 따라, 화소들(PXija)의 발광 다이오드들(LDa)의 발광 문턱 전압들은 서로 상이할 수 있다. 발광 다이오드(LDa)는 발광 문턱 전압이 충전된 이후에 발광할 수 있다.

[87] 도 8 및 도 9를 참조하면, 제3 기간(P13)에서, 제1 스캔 라인(GWi)에 턴-오프 레벨의 제1 주사 신호가 인가될 수 있다. 이때, 제3 스캔 라인(GLi)에는 턴-오프 레벨의 제3 주사 신호가 인가될 수 있다. 이때, 제2 스캔 라인(GBi)에는 턴-온 레벨의 제2 주사 신호가 인가될 수 있다. 이때, 발광 라인(Ei)에는 턴-오프 레벨의 발광 신호가 인가될 수 있다. 이때, 데이터 라인(Dj)에는 다음 화소행에 대한 데이터 전압(DT(i+1)j)이 인가될 수 있다. 다음 화소행이란 스캔 트랜지스터의 게이트 전극에 i+1 번째 제1 스캔 라인이 연결된 화소들을 의미할 수 있다.

[88] 이에 따라, 제3 기간(P13)에서, 트랜지스터들(T1a, T3a)은 턴-온 상태이고, 트랜지스터들(T2a, T4a, T5a, T6a, T7a)은 턴-오프 상태일 수 있다.

[89] 제1 노드(N1a)는 제3 트랜지스터(T3a)를 통해서 초기화 라인(INTL)과 연결되므로, 제1 노드(N1a)의 전압은 초기화 전압이 된다. 실시예에 따라, 초기화 전압이 제2 전원 전압과 크기가 같으면, 발광 다이오드(LDa)에 충전된 전압은 0V로 초기화된다. 실시예에 따라, 초기화 전압이 제2 전원 전압보다 크면 발광 다이오드(LDa)는 일정한 전압으로 프리-차지(pre-charge)될 수 있다. 실시예에 따라, 초기화 전압이 제2 전원 전압보다 작으면 발광 다이오드(LDa)에 역-바이어스 전압(reverse bias voltage)이 인가되어, 발광 다이오드(LDa)의 수명을 연장시킬 수도 있다. 제3 기간(P13)을 애노드 초기화 기간으로 명명할 수 있다.

[90] 이때, 제1 노드(N1a)의 전압 변동량은 다음과 같다(수학식 3).

[91] [수학식 3]

$$[92] \quad dVN1a = VINT - (ELVSS + Vldth)$$

[93] 여기서, dVN1a는 제1 노드(N1a)의 전압 변동량이고, VINT는 초기화 라인(INTL)의 초기화 전압이고, ELVSS는 제2 전원 라인(ELVSSL)의 전압이고, Vldth는 발광 다이오드(LDa)의 발광 문턱 전압이다.

[94] 이때, 제1 노드(N1a)의 전압 변동량, 제1 커패시터(C1a) 및 제2 커패시터(C2a)의 용량 비에 기초하여 제2 노드(N2a)의 전압이 변동된다(수학식 4 참조).

[95] [수학식 4]

$$[96] \quad dVN2a = \frac{CC1a}{CC1a + CC2a} * dVN1a$$

[97] 여기서, dVN2a는 제2 노드(N2a)의 전압 변동량이고, CC1a는 제1 커패시터(C1a)의 용량이고, CC2a는 제2 커패시터(C2a)의 용량이고, dVN1a는 제1 노드(N1a)의 전압 변동량이다.

[98] 따라서, 제2 노드(N2a)의 전압은 다음 수학식 5로 표현될 수 있다.

[99] [수학식 5]

$$[100] \quad VN2a = DTij - Vtrth + dVN2a$$

[101] 여기서, VN2a는 제2 노드(N2a)의 전압이고, DTij는 데이터 전압(DTij)이고, Vtrth는 제1 트랜지스터(T1a)의 문턱 전압이고, dVN2a는 제2 노드(N2a)의 전압 변동량이다.

[102] 도 10 및 도 11을 참조하면, 제4 기간(P14)에서, 제1 스캔 라인(GWi)에 턴-오프 레벨의 제1 주사 신호가 인가될 수 있다. 이때, 제3 스캔 라인(GLi)에는 턴-오프 레벨의 제3 주사 신호가 인가될 수 있다. 이때, 제2 스캔 라인(GBi)에는 턴-오프 레벨의 제2 주사 신호가 인가될 수 있다. 이때, 발광 라인(Ei)에는 턴-온 레벨의 발광 신호가 인가될 수 있다.

[103] 이에 따라, 제4 기간(P14)에서, 트랜지스터들(T1a, T4a, T5a)은 턴-온 상태이고,

트랜지스터들(T2a, T3a, T6a, T7a)은 턴-오프 상태일 수 있다.

[104] 따라서, 제1 전원 라인(ELVDDL), 제5 트랜지스터(T5a), 제1 트랜지스터(T1a), 제4 트랜지스터(T4a), 발광 다이오드(LDa), 및 제2 전원 라인(ELVSSL) 순서로 흐르는 구동 전류 경로가 형성될 수 있다. 구동 전류에 따라 발광 다이오드(LDa)가 발광할 수 있다. 제4 기간(P14)을 발광 기간으로 명명할 수 있다.

[105] 구동 전류의 크기는 제2 노드(N2a) 및 제3 노드(N3a)의 전압 차에 따라 결정될 수 있다. 제3 노드(N3a)의 전압은 실질적으로 제1 전원 전압과 동일할 수 있다.

[106] [수학식 6]

[107]

$$I_{ds} = \frac{1}{2} (\mu_p \times C_{ox}) \left(\frac{W}{L} \right) (ELVDD - V_{N2a} - V_{trth})^2$$

[108] 여기서, I_{ds} 는 제1 트랜지스터(T1a)의 드레인 전극과 소스 전극 사이에 흐르는 구동 전류이고, μ_p 는 제1 트랜지스터(T1a)의 이동도(mobility)이고, C_{ox} 는 제1 트랜지스터(T1a)의 채널, 절연층, 및 게이트 전극으로 형성되는 커패시턴스이고, W 는 제1 트랜지스터(T1a)의 채널의 폭이고, L 은 제1 트랜지스터(T1a)의 채널의 길이이고, $ELVDD$ 는 제1 전원 전압이고, V_{N2a} 는 제2 노드(N2a)의 전압이고, V_{trth} 는 제1 트랜지스터(T1a)의 문턱 전압이다.

[109] 수학식 4 및 수학식 5를 더 참조하면, 수학식 6은 다음 수학식 7과 같이 정리될 수 있다.

[110] [수학식 7]

[111]

$$I_{ds} = \frac{1}{2} (\mu_p \times C_{ox}) \left(\frac{W}{L} \right) \left(ELVDD - V_{Tij} - \frac{CC1a}{CC1a + CC2a} * (V_{INT} - (ELVSS + V_{ldth})) \right)^2$$

[112] 수학식 7의 모든 변수들 및 상수들은 설명된 바 있으므로, 중복하여 설명하지 않는다.

[113] 발광 다이오드(LDa)는 열화됨에 따라 발광 문턱 전압 V_{ldth} 가 증가하게 된다. 즉, 열화 후의 발광 다이오드(LDa)가 열화 전과 동일한 휘도로 발광하기 위해서는, 열화 전보다 더 큰 구동 전류를 필요로 한다. 수학식 7을 참조하면, 구동 전류 I_{ds} 는 V_{ldth} 가 증가함에 따라 증가됨을 확인할 수 있다. 필요한 경우, 화소(PXij)에 따라 제1 커패시터(C1a)와 제2 커패시터(C2a)의 용량 비를 조정함으로써, 구동 전류 I_{ds} 의 증가량을 조정할 수 있다. 따라서, 본 실시예에 의하면, 발광 다이오드(LDa)의 열화를 화소 자체적으로 보상할 수 있다.

[114] 또한, 화소(PXija)는 제2 노드(N2a)로부터 초기화 라인(INTL)까지의 제1 누설 전류 경로 사이에 2 개의 트랜지스터들(T7a, T6a)이 위치한다. 화소(PXija)는 종래의 7T1C 화소와 동일한 트랜지스터들의 개수를 유지하면서, 제1 누설 전류를 효과적으로 감소시킬 수 있는 장점이 있다. 누설 전류가 감소되는 경우, 블랙 표현을 개선하고, 저주파 구동을 가능하게 하며, 소비 전력을 감소시킬 수

있다.

- [115] 도 12는 본 발명의 제2 실시예에 따른 화소를 설명하기 위한 도면이다.
- [116] 도 12를 참조하면, 본 발명의 제2 실시예에 따른 화소(PXijb)는 트랜지스터들(T1b, T2b, T3b, T4b, T5b, T6b, T7b, T8b), 커패시터들(C1b, C2b), 및 발광 다이오드(LDb)를 포함한다.
- [117] 화소(PXijb)는 도 3의 화소(PXija)에 비해, 제7 트랜지스터(T7b) 및 제8 트랜지스터(T8b)를 제외하고, 다른 구성들은 실질적으로 동일하므로, 중복된 설명은 생략한다.
- [118] 제7 트랜지스터(T7b)는 게이트 전극이 제1 주사 라인(GWi)에 연결되고, 제1 전극을 포함하고, 제2 전극이 제4 노드(N4b)에 연결될 수 있다.
- [119] 제8 트랜지스터(T8b)는 게이트 전극이 제1 주사 라인(GWi)에 연결되고, 제1 전극이 제7 트랜지스터(T7b)의 제1 전극과 연결되고, 제2 전극이 제2 노드(N2b)에 연결될 수 있다.
- [120] 화소(PXijb)는 제2 노드(N2b)로부터 초기화 라인(INTL)까지의 제1 누설 전류 경로 사이에 3 개의 트랜지스터들(T6b, T7b, T8b)이 위치하므로, 제1 누설 전류 경로를 효과적으로 차단할 수 있다는 장점이 있다.
- [121] 도 13은 본 발명의 제3 실시예에 따른 화소를 설명하기 위한 도면이다.
- [122] 도 13을 참조하면, 본 발명의 제3 실시예에 따른 화소(PXijc)는 트랜지스터들(T1c, T2c, T3c, T4c, T5c, T6c, T7c, T8c), 커패시터들(C1c, C2c), 및 발광 다이오드(LDc)를 포함한다.
- [123] 화소(PXijc)는 도 3의 화소(PXija)에 비해, 제6 트랜지스터(T6c), 제7 트랜지스터(T7c), 및 제8 트랜지스터(T8c)를 제외하고, 다른 구성들은 실질적으로 동일하므로, 중복된 설명은 생략한다.
- [124] 제6 트랜지스터(T6c)는 게이트 전극이 제3 주사 라인(GIi)에 연결되고, 제1 전극을 포함하고, 제2 전극이 초기화 라인(INTL)에 연결될 수 있다.
- [125] 제7 트랜지스터(T7c)는 게이트 전극이 제1 주사 라인(GWi)에 연결되고, 제1 전극이 제2 노드(N2c)에 연결되고, 제2 전극이 제6 트랜지스터(T6c)의 제1 전극과 연결될 수 있다.
- [126] 제8 트랜지스터(T8c)는 게이트 전극이 제1 주사 라인(GWi)에 연결되고, 제1 전극이 제6 트랜지스터(T6c)의 제1 전극과 연결되고, 제2 전극이 제4 노드(N4c)에 연결될 수 있다.
- [127] 화소(PXijc)는 제2 노드(N2c)로부터 제2 전원 라인(ELVSSL)까지의 제2 누설 전류 경로 사이에 3 개의 트랜지스터들(T4c, T7c, T8c)이 위치하므로, 제2 누설 전류 경로를 효과적으로 차단할 수 있다는 장점이 있다.
- [128] 도 14는 본 발명의 제4 실시예에 따른 화소를 설명하기 위한 도면이고, 도 15는 본 발명의 다른 실시예에 따른 구동 방법을 설명하기 위한 도면이다.
- [129] 도 14를 참조하면, 본 발명의 제4 실시예에 따른 화소(PXijd)는 트랜지스터들(T1d, T2d, T3d, T4d, T5d, T6d, T7d, T8d), 커패시터들(C1d, C2d), 및

발광 다이오드(LDd)를 포함한다.

- [130] 화소(PXijd)는 도 3의 화소(PXija)에 비해, 제8 트랜지스터(T8d)를 제외하고, 다른 구성들은 실질적으로 동일하므로, 중복된 설명은 생략한다.
- [131] 제8 트랜지스터(T8d)는 게이트 전극이 제3 주사 라인(GLi)에 연결되고, 제1 전극이 제2 노드(N2d)에 연결되고, 제2 전극이 제4 노드(N4d)에 연결될 수 있다.
- [132] 화소(PXijd)는 도 15의 구동 방법에 따라 구동될 수도 있다. 도 15의 구동 방법에 의하면, 제1 내지 제3 주사 신호들의 턴-온 레벨의 펄스들의 길이가 동일하고 위상만 다를 수 있다. 따라서, 전술한 바와 같이 제1 내지 제3 주사 구동부들(131, 132, 133)은 일체로 구현될 수 있으므로, 주사 구동부(13)의 점유 면적 및 구성 비용이 절감될 수 있다.
- [133] 도 15의 구동 방법은 제1 주사 라인(GWi)에 인가되는 제1 주사 신호가 제1 기간(P21)에서 턴-오프 레벨인 점을 제외하고, 도 4 내지 도 11의 구동 방법과 실질적으로 동일하다. 따라서, 도 15의 구동 방법에 대한 중복된 설명은 생략한다.
- [134] 참고로, 화소(PXijd)는 전술한 도 4 내지 도 11의 구동 방법에 따라 구동될 수도 있다.
- [135] 도 16은 본 발명의 제5 실시예에 따른 화소를 설명하기 위한 도면이다.
- [136] 도 16을 참조하면, 본 발명의 제5 실시예에 따른 화소(PXije)는 트랜지스터들(T1e, T2e, T3e, T4e, T5e, T6e, T7e, T8e), 제1 커패시터(C1e), 및 발광 다이오드(LDe)를 포함한다.
- [137] 화소(PXije)는 도 3의 화소(PXija)에 비해, 제7 트랜지스터(T7e), 제8 트랜지스터(T8e), 및 커패시터 구성을 제외하고, 다른 구성들은 실질적으로 동일하므로, 중복된 설명은 생략한다.
- [138] 제7 트랜지스터(T7e)는 게이트 전극이 제1 주사 라인(GWi)에 연결되고, 제1 전극을 포함하고, 제2 전극이 제4 노드(N4e)에 연결될 수 있다.
- [139] 제8 트랜지스터(T8e)는 게이트 전극이 제1 주사 라인(GWi)에 연결되고, 제1 전극이 제7 트랜지스터(T7e)의 제1 전극과 연결되고, 제2 전극이 제2 노드(N2e)에 연결될 수 있다.
- [140] 화소(PXije)는 제2 노드(N2e)로부터 초기화 라인(INTL)까지의 제1 누설 전류 경로 사이에 3 개의 트랜지스터들(T6e, T7e, T8e)이 위치하므로, 제1 누설 전류 경로를 효과적으로 차단할 수 있다는 장점이 있다.
- [141] 또한, 화소(PXije)는 제2 커패시터를 포함하지 않는다. 제1 커패시터(C1e)가 제2 노드(N2e)의 전압 유지 기능을 수행한다. 따라서, 화소(PXije)는 커패시터 하나를 제거할 수 있어서, 다른 실시예들에 비해 화소(PXije)의 점유 면적을 작게 할 수 있는 장점이 있다.
- [142] 도 17은 본 발명의 제6 실시예에 따른 화소를 설명하기 위한 도면이다.
- [143] 도 17을 참조하면, 본 발명의 제6 실시예에 따른 화소(PXijf)는 트랜지스터들(T1f, T2f, T3f, T4f, T5f, T6f, T7f, T8f), 제1 커패시터(C1f), 및 발광

다이오드(LDf)를 포함한다.

- [144] 화소(PXijf)는 도 3의 화소(PXija)에 비해, 제6 트랜지스터(T6f), 제7 트랜지스터(T7f), 제8 트랜지스터(T8f), 및 커패시터 구성을 제외하고, 다른 구성들은 실질적으로 동일하므로, 중복된 설명은 생략한다.
- [145] 제6 트랜지스터(T6f)는 게이트 전극이 제1 주사 라인(GWi)에 연결되고, 제1 전극이 초기화 라인(INTL)에 연결되고, 제2 전극이 제4 노드(N4f)에 연결될 수 있다.
- [146] 제7 트랜지스터(T7f)는 게이트 전극이 제1 주사 라인(GWi)에 연결되고, 제1 전극이 제2 노드(N2f)에 연결되고, 제2 전극이 초기화 라인(INTL)에 연결될 수 있다.
- [147] 제8 트랜지스터(T8f)는 게이트 전극이 제3 주사 라인(GLi)에 연결되고, 제1 전극이 제2 노드(N2f)에 연결되고, 제2 전극이 초기화 라인(INTL)에 연결될 수 있다.
- [148] 화소(PXijf)는 제2 노드(N2f)로부터 제2 전원 라인(ELVSSL)까지의 제2 누설 전류 경로 사이에 3 개의 트랜지스터들(T4f, T6f, T7f or T8f)이 위치하므로, 제2 누설 전류 경로를 효과적으로 차단할 수 있다는 장점이 있다.
- [149] 또한, 화소(PXijf)는 제2 커패시터를 포함하지 않는다. 제1 커패시터(C1f)가 제2 노드(N2f)의 전압 유지 기능을 수행한다. 따라서, 화소(PXijf)는 커패시터 하나를 제거할 수 있어서, 다른 실시예들에 비해 화소 화소(PXijf)의 점유 면적을 작게 할 수 있는 장점이 있다.
- [150] 또한, 화소(PXijf)는 도 15의 구동 방법에 따라 구동될 수도 있다. 도 15의 구동 방법에 의하면, 제1 내지 제3 주사 신호들의 턴-온 레벨의 펄스들의 길이가 동일하고 위상만 다를 수 있다. 따라서, 전술한 바와 같이 제1 내지 제3 주사 구동부들(131, 132, 133)은 일체로 구현될 수 있으므로, 주사 구동부(13)의 점유 면적 및 구성 비용이 절감될 수 있다.
- [151] 도 18은 본 발명의 제7 실시예에 따른 화소를 설명하기 위한 도면이다.
- [152] 도 18의 화소(PXija')는 도 3의 화소(PXija)로부터 제2 커패시터(C2a)가 제외된 형태이다.
- [153] 화소(PXija')가 제2 커패시터를 포함하지 않더라도 제1 커패시터(C1a)가 제2 노드(N2a)의 전압 유지 기능을 수행한다. 따라서, 화소(PXija')는 커패시터 하나를 제거할 수 있어서, 다른 실시예들에 비해 화소(PXija')의 점유 면적을 작게 할 수 있는 장점이 있다.
- [154] 도 19는 본 발명의 제8 실시예에 따른 화소를 설명하기 위한 도면이다.
- [155] 도 19의 화소(PXijc')는 도 13의 화소(PXijc)로부터 제2 커패시터(C2c)가 제외된 형태이다.
- [156] 화소(PXijc')가 제2 커패시터를 포함하지 않더라도 제1 커패시터(C1c)가 제2 노드(N2c)의 전압 유지 기능을 수행한다. 따라서, 화소(PXijc')는 커패시터 하나를 제거할 수 있어서, 다른 실시예들에 비해 화소(PXijc')의 점유 면적을 작게 할 수

있는 장점이 있다.

[157] 도 20은 본 발명의 제9 실시예에 따른 화소를 설명하기 위한 도면이다.

[158] 도 20의 화소(PXijd')는 도 14의 화소(PXijd)로부터 제2 커패시터(C2d)가 제외된 형태이다.

[159] 화소(PXijd')가 제2 커패시터를 포함하지 않더라도 제1 커패시터(C1d)가 제2 노드(N2d)의 전압 유지 기능을 수행한다. 따라서, 화소(PXijd')는 커패시터 하나를 제거할 수 있어서, 다른 실시예들에 비해 화소(PXijd')의 점유 면적을 작게 할 수 있는 장점이 있다.

[160] 도 21은 본 발명의 제10 실시예에 따른 화소를 설명하기 위한 도면이다.

[161] 도 21의 화소(PXijf')는 도 17의 화소(PXijf)로부터 제2 커패시터(C2f)가 추가된 형태이다.

[162] 제2 커패시터(C2f)가 추가된 경우, 제1 커패시터(C1f)만 있는 경우보다, 문턱 전압 보상 기간에서 기록된 제2 노드(N2f)의 보상 전압을 더 견고하게(왜곡없이) 유지할 수 있는 장점이 있다.

[163] 지금까지 참조한 도면과 기재된 발명의 상세한 설명은 단지 본 발명의 예시적인 것으로서, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

청구범위

- [청구항 1] 애노드가 제1 노드에 연결된 발광 다이오드;
제1 전극이 상기 제1 노드에 연결되고, 제2 전극이 제2 노드에 연결된 제1 커패시터;
게이트 전극이 상기 제2 노드에 연결되고, 제1 전극이 제3 노드에 연결되고, 제2 전극이 제4 노드에 연결된 제1 트랜지스터; 및
게이트 전극이 제1 주사 라인에 연결되고, 제1 전극이 데이터 라인에 연결되고, 제2 전극이 상기 제3 노드에 연결된 제2 트랜지스터를 포함하는,
화소.
- [청구항 2] 제1 항에 있어서,
게이트 전극이 제2 주사 라인에 연결되고, 제1 전극이 초기화 라인에 연결되고, 제2 전극이 상기 제1 노드에 연결된 제3 트랜지스터를 더 포함하는,
화소.
- [청구항 3] 제2 항에 있어서,
게이트 전극이 발광 라인에 연결되고, 제1 전극이 상기 제4 노드에 연결되고, 제2 전극이 상기 제1 노드에 연결된 제4 트랜지스터를 더 포함하는,
화소.
- [청구항 4] 제3 항에 있어서,
게이트 전극이 상기 발광 라인에 연결되고, 제1 전극이 제1 전원 라인에 연결되고, 제2 전극이 상기 제3 노드에 연결된 제5 트랜지스터를 더 포함하는,
화소.
- [청구항 5] 제4 항에 있어서,
게이트 전극이 제3 주사 라인에 연결되고, 제1 전극이 상기 제4 노드에 연결되고, 제2 전극이 상기 초기화 라인에 연결된 제6 트랜지스터를 더 포함하는,
화소.
- [청구항 6] 제5 항에 있어서,
게이트 전극이 상기 제1 주사 라인에 연결되고, 제1 전극이 상기 제2 노드에 연결되고, 제2 전극이 상기 제4 노드에 연결된 제7 트랜지스터를 더 포함하는,
화소.
- [청구항 7] 제6 항에 있어서,
제1 전극이 상기 제1 전원 라인에 연결되고, 제2 전극이 상기 제2 노드에

연결된 제2 커패시터를 더 포함하는,
화소.

[청구항 8] 제7 항에 있어서,
게이트 전극이 상기 제3 주사 라인에 연결되고, 제1 전극이 상기 제2
노드에 연결되고, 제2 전극이 상기 제4 노드에 연결된 제8 트랜지스터를
더 포함하는,
화소.

[청구항 9] 제5 항에 있어서,
게이트 전극이 상기 제1 주사 라인에 연결되고, 제1 전극을 포함하고, 제2
전극이 상기 제4 노드에 연결된 제7 트랜지스터; 및
게이트 전극이 상기 제1 주사 라인에 연결되고, 제1 전극이 상기 제7
트랜지스터의 제1 전극과 연결되고, 제2 전극이 상기 제2 노드에 연결된
제8 트랜지스터를 더 포함하는,
화소.

[청구항 10] 제9 항에 있어서,
제1 전극이 상기 제1 전원 라인에 연결되고, 제2 전극이 상기 제2 노드에
연결된 제2 커패시터를 더 포함하는,
화소.

[청구항 11] 제4 항에 있어서,
게이트 전극이 상기 제1 주사 라인에 연결되고, 제1 전극이 상기 초기화
라인에 연결되고, 제2 전극이 상기 제4 노드에 연결된 제6 트랜지스터를
더 포함하는,
화소.

[청구항 12] 제11 항에 있어서,
게이트 전극이 상기 제1 주사 라인에 연결되고, 제1 전극이 상기 제2
노드에 연결되고, 제2 전극이 상기 초기화 라인에 연결된 제7 트랜지스터;
및
게이트 전극이 상기 제3 주사 라인에 연결되고, 제1 전극이 상기 제2
노드에 연결되고, 제2 전극이 상기 초기화 라인에 연결된 제8
트랜지스터를 더 포함하는,
화소.

[청구항 13] 제4 항에 있어서,
게이트 전극이 제3 주사 라인에 연결되고, 제1 전극을 포함하고, 제2
전극이 상기 초기화 라인에 연결된 제6 트랜지스터;
게이트 전극이 상기 제1 주사 라인에 연결되고, 제1 전극이 상기 제2
노드에 연결되고, 제2 전극이 상기 제6 트랜지스터의 제1 전극과 연결된
제7 트랜지스터; 및
게이트 전극이 상기 제1 주사 라인에 연결되고, 제1 전극이 상기 제6

트랜지스터의 제1 전극과 연결되고, 제2 전극이 상기 제4 노드에 연결된 제8 트랜지스터를 더 포함하는, 화소.

[청구항 14] 제13 항에 있어서,
제1 전극이 상기 제1 전원 라인에 연결되고, 제2 전극이 상기 제2 노드에 연결된 제2 커패시터를 더 포함하는, 화소.

[청구항 15] 화소의 구동 방법에 있어서,
상기 화소는:
애노드가 제1 노드에 연결된 발광 다이오드;
제1 전극이 상기 제1 노드에 연결되고, 제2 전극이 제2 노드에 연결된 제1 커패시터;
게이트 전극이 상기 제2 노드에 연결되고, 제1 전극이 제3 노드에 연결되고, 제2 전극이 제4 노드에 연결된 제1 트랜지스터; 및
게이트 전극이 제1 주사 라인에 연결되고, 제1 전극이 데이터 라인에 연결되고, 제2 전극이 상기 제3 노드에 연결된 제2 트랜지스터를 포함하고,
상기 구동 방법은:
상기 제2 노드를 초기화 라인과 연결시키고, 상기 제2 트랜지스터를 턴-온시키는 단계;
상기 제2 트랜지스터의 턴-온 상태를 유지한 상태에서, 상기 제2 노드를 상기 초기화 라인과 분리시키는 단계;
상기 제2 트랜지스터를 턴-오프시키는 단계; 및
상기 제2 트랜지스터가 턴-오프 상태를 유지한 상태에서, 상기 제1 노드를 상기 초기화 라인과 연결시키는 단계를 포함하는,
화소의 구동 방법.

[청구항 16] 제15 항에 있어서,
상기 화소는:
게이트 전극이 제2 주사 라인에 연결되고, 제1 전극이 상기 초기화 라인에 연결되고, 제2 전극이 상기 제1 노드에 연결된 제3 트랜지스터를 더 포함하고,
상기 제1 노드를 상기 초기화 라인과 연결시키는 단계에서, 상기 제3 트랜지스터를 턴-온시키는,
화소의 구동 방법.

[청구항 17] 제16 항에 있어서,
상기 화소는:
게이트 전극이 발광 라인에 연결되고, 제1 전극이 상기 제4 노드에 연결되고, 제2 전극이 상기 제1 노드에 연결된 제4 트랜지스터; 및

게이트 전극이 상기 발광 라인에 연결되고, 제1 전극이 제1 전원 라인에 연결되고, 제2 전극이 상기 제3 노드에 연결된 제5 트랜지스터를 더 포함하고,

상기 구동 방법은:

상기 제3 트랜지스터를 턴-오프시키는 단계; 및

상기 제3 트랜지스터의 턴-오프를 유지한 상태에서, 상기 제4 트랜지스터 및 상기 제5 트랜지스터를 턴-온시키는 단계를 더 포함하는,

화소의 구동 방법.

[청구항 18] 화소의 구동 방법에 있어서,

상기 화소는:

애노드가 제1 노드에 연결된 발광 다이오드;

제1 전극이 상기 제1 노드에 연결되고, 제2 전극이 제2 노드에 연결된 제1 커패시터;

게이트 전극이 상기 제2 노드에 연결되고, 제1 전극이 제3 노드에

연결되고, 제2 전극이 제4 노드에 연결된 제1 트랜지스터; 및

게이트 전극이 제1 주사 라인에 연결되고, 제1 전극이 데이터 라인에

연결되고, 제2 전극이 상기 제3 노드에 연결된 제2 트랜지스터를

포함하고,

상기 구동 방법은:

상기 제2 트랜지스터의 턴-오프 상태를 유지한 상태에서, 상기 제2 노드를 초기화 라인과 연결시키는 단계;

상기 제2 노드를 상기 초기화 라인과 분리시키는 단계;

상기 제2 노드가 상기 초기화 라인과 분리된 상태에서, 상기 제2

트랜지스터를 턴-온시키는 단계;

상기 제2 트랜지스터를 턴-오프시키는 단계; 및

상기 제2 트랜지스터가 턴-오프 상태를 유지한 상태에서, 상기 제1 노드를 상기 초기화 라인과 연결시키는 단계를 포함하는,

화소의 구동 방법.

[청구항 19] 제18 항에 있어서,

상기 화소는:

게이트 전극이 제2 주사 라인에 연결되고, 제1 전극이 상기 초기화 라인에

연결되고, 제2 전극이 상기 제1 노드에 연결된 제3 트랜지스터를 더

포함하고,

상기 제1 노드를 상기 초기화 라인과 연결시키는 단계에서, 상기 제3

트랜지스터를 턴-온시키는,

화소의 구동 방법.

[청구항 20] 제19 항에 있어서,

상기 화소는:

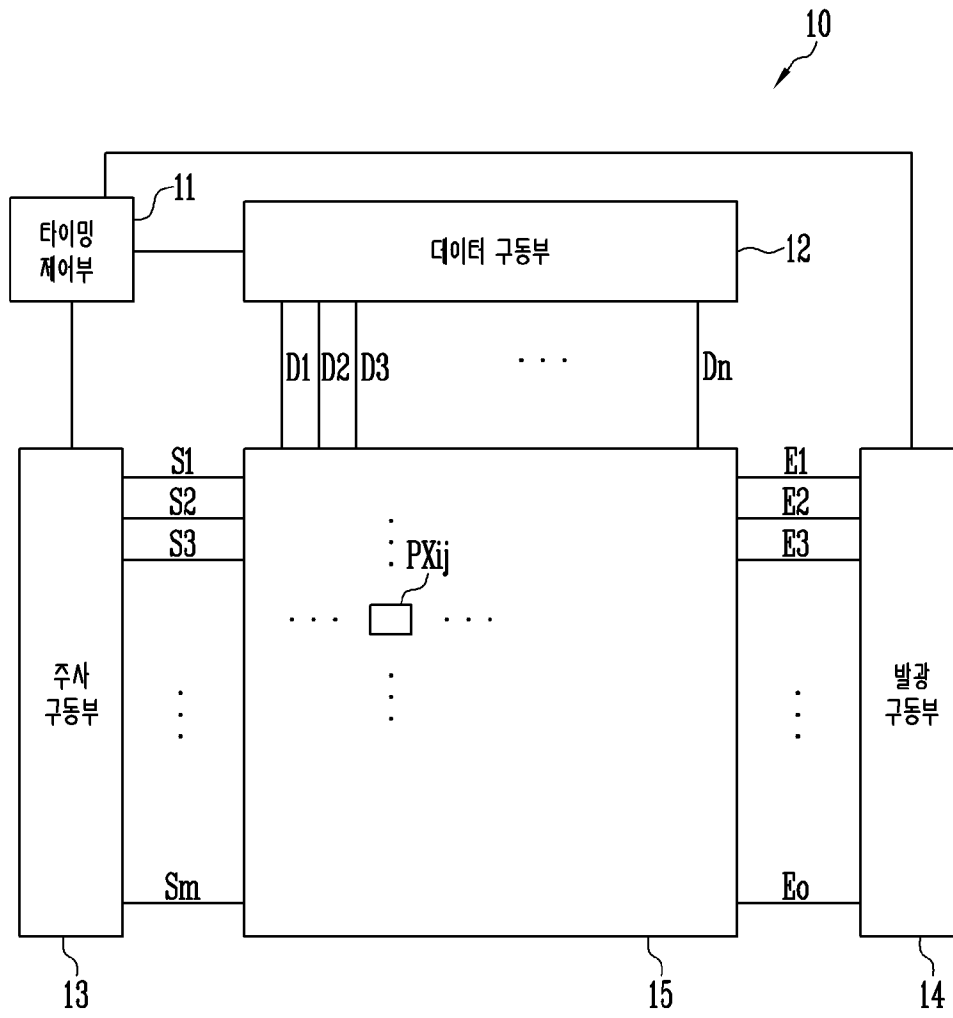
게이트 전극이 발광 라인에 연결되고, 제1 전극이 상기 제4 노드에 연결되고, 제2 전극이 상기 제1 노드에 연결된 제4 트랜지스터; 및 게이트 전극이 상기 발광 라인에 연결되고, 제1 전극이 제1 전원 라인에 연결되고, 제2 전극이 상기 제3 노드에 연결된 제5 트랜지스터를 더 포함하고,

상기 구동 방법은:

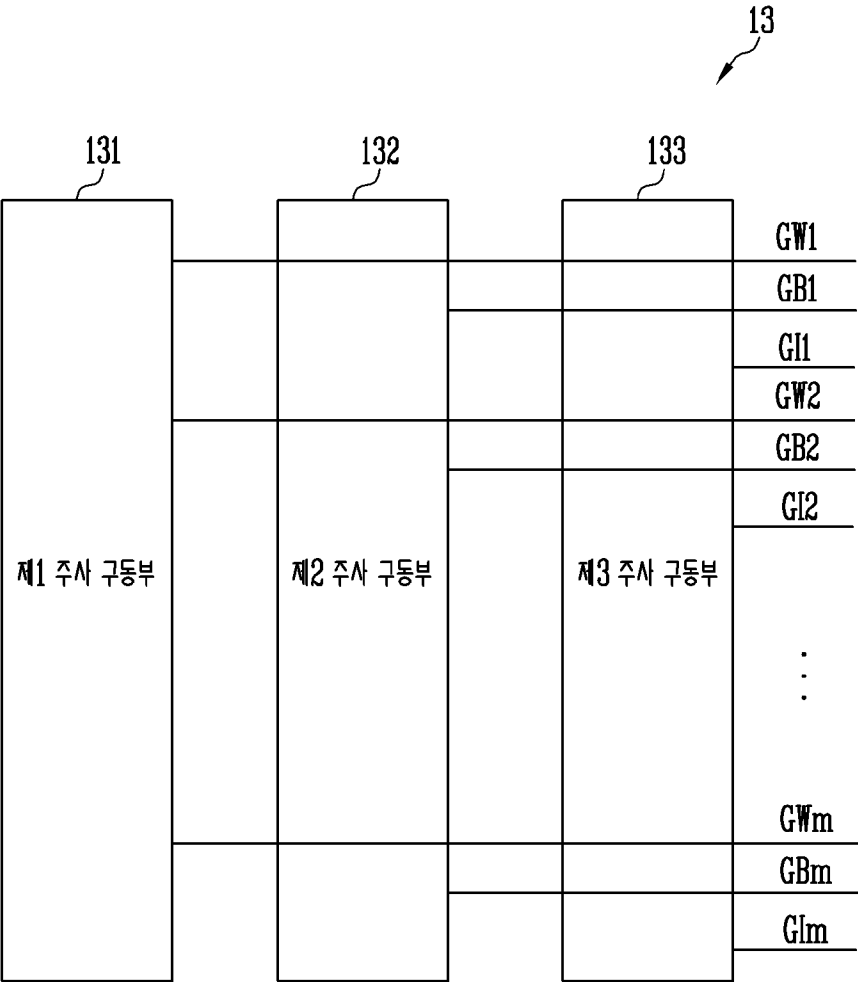
상기 제3 트랜지스터를 턴-오프시키는 단계; 및

상기 제3 트랜지스터의 턴-오프를 유지한 상태에서, 상기 제4 트랜지스터 및 상기 제5 트랜지스터를 턴-온시키는 단계를 더 포함하는, 화소의 구동 방법.

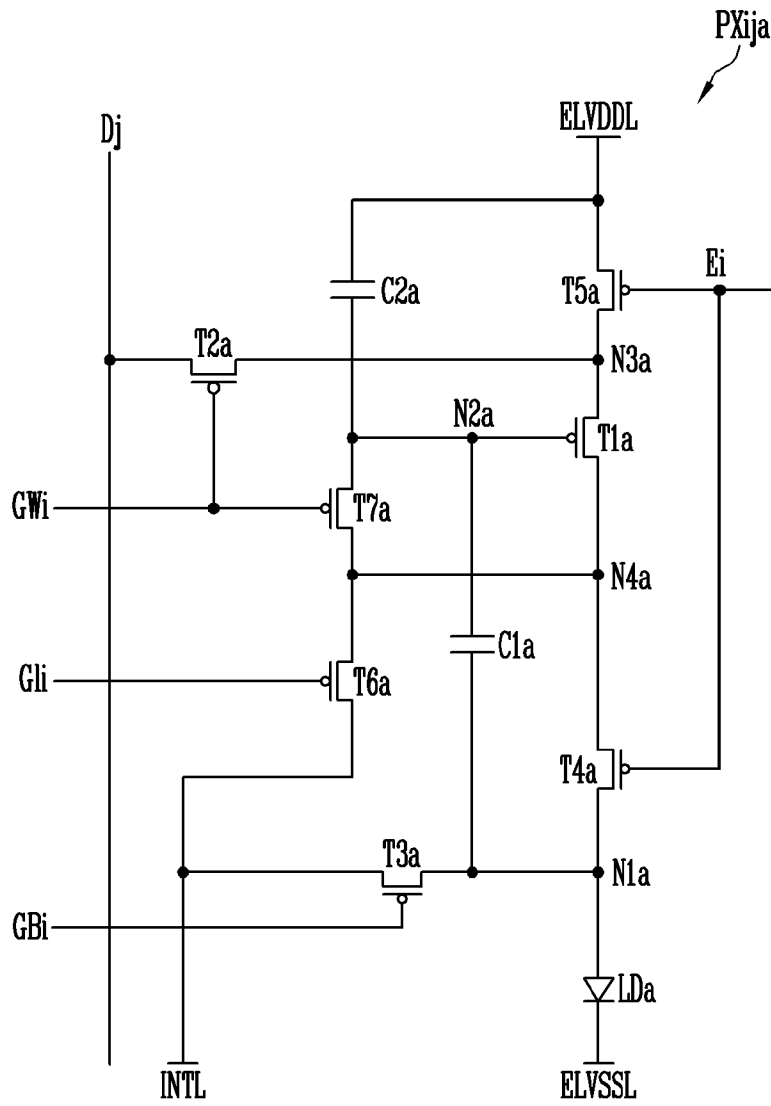
[도 1]



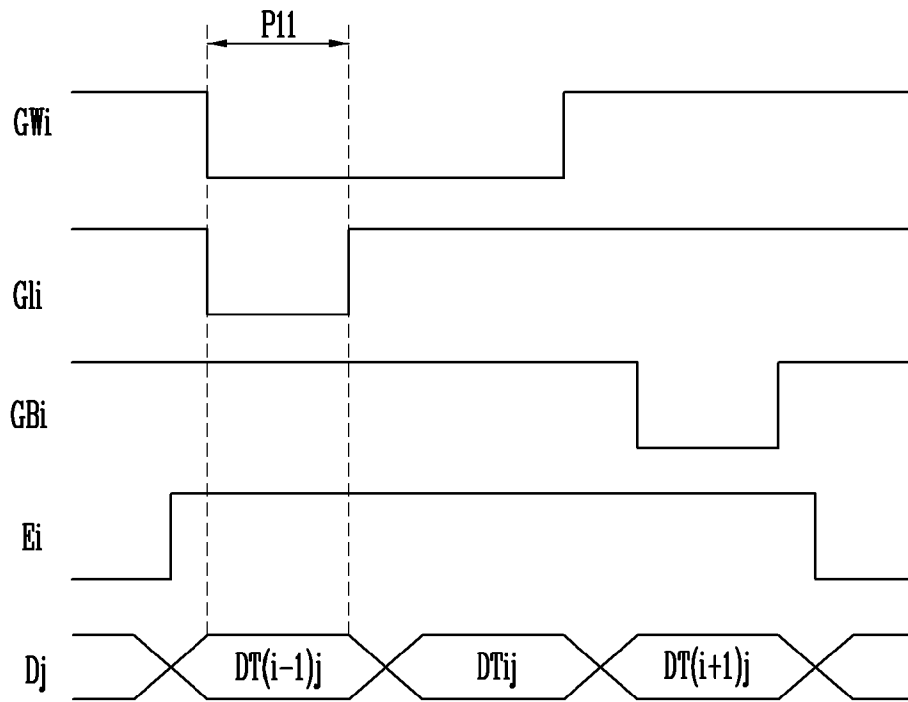
[도2]



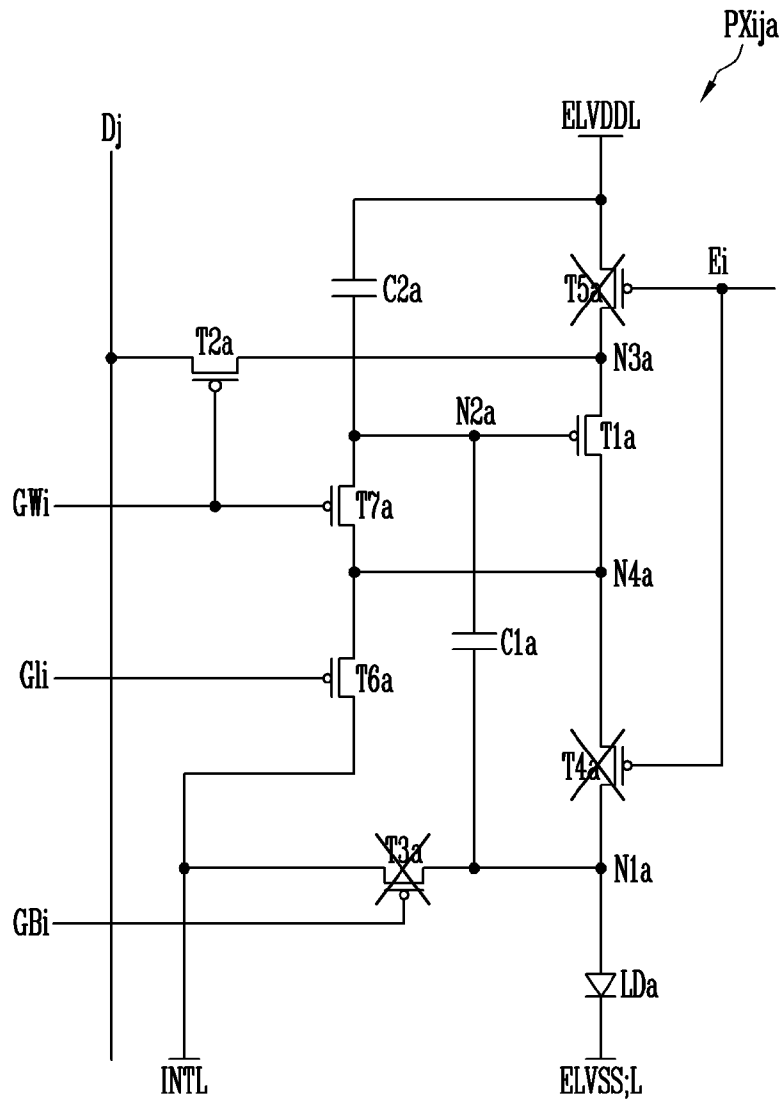
[도3]



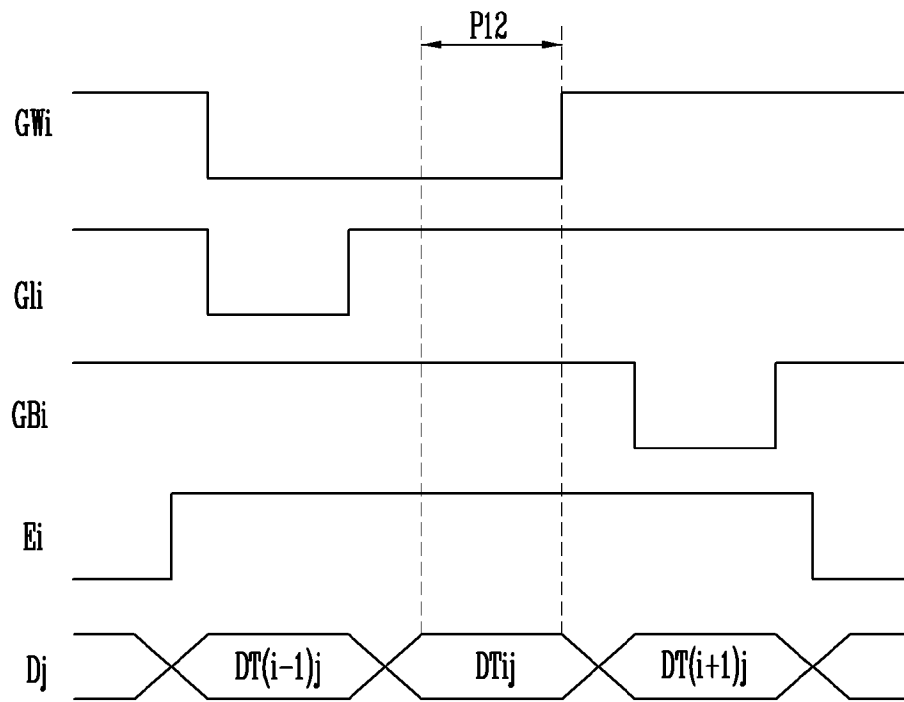
[도4]



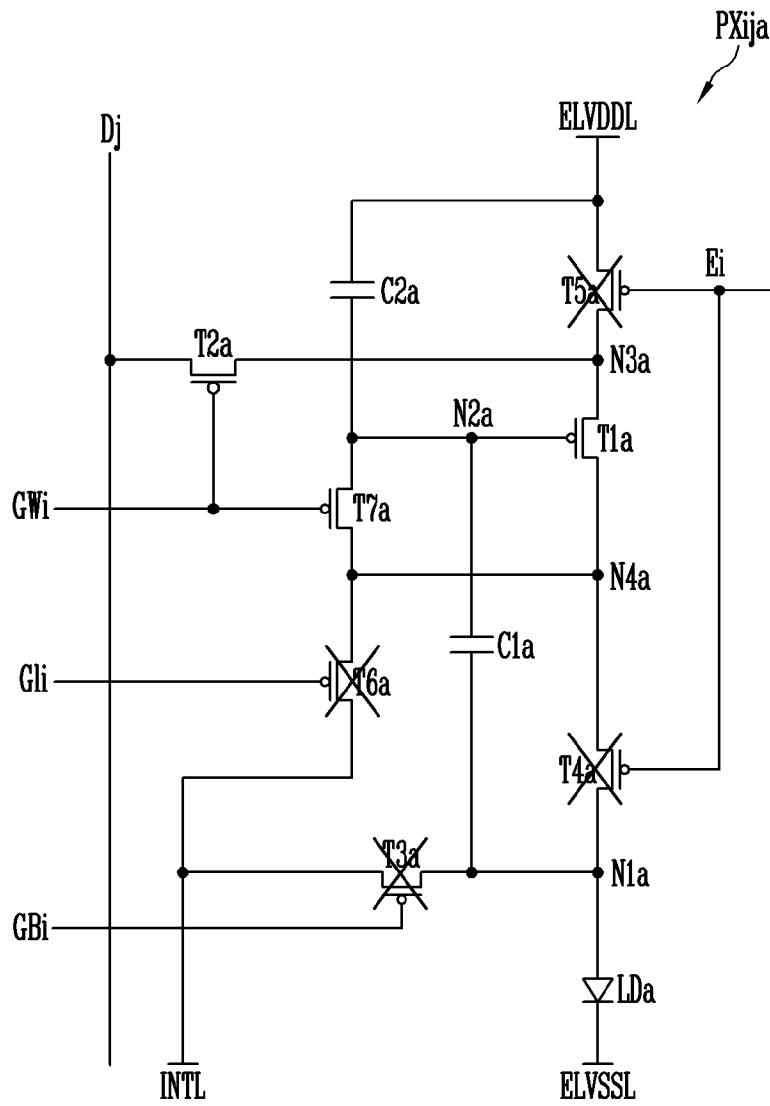
[도5]



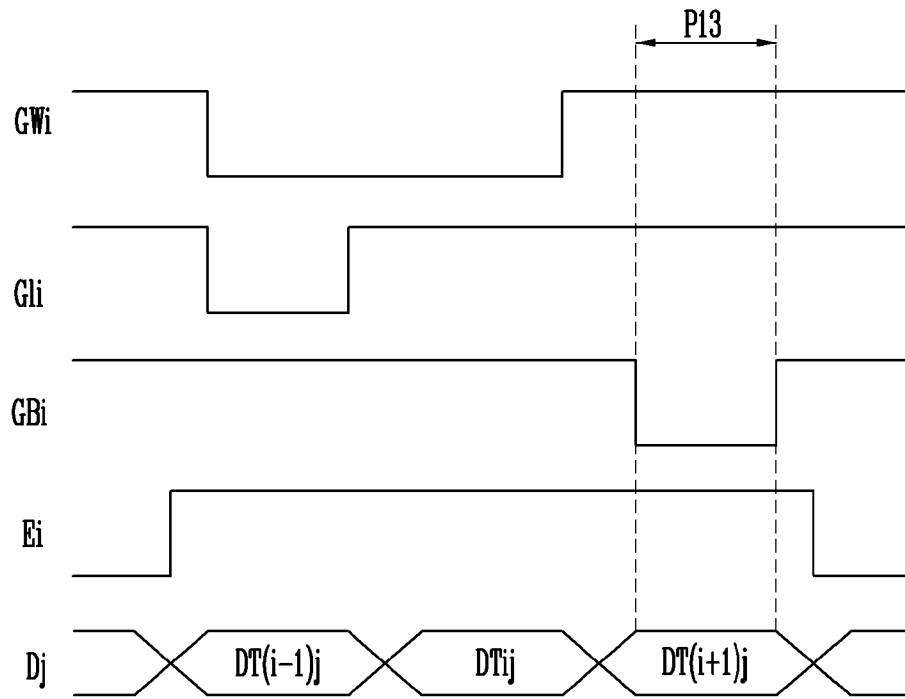
[도6]



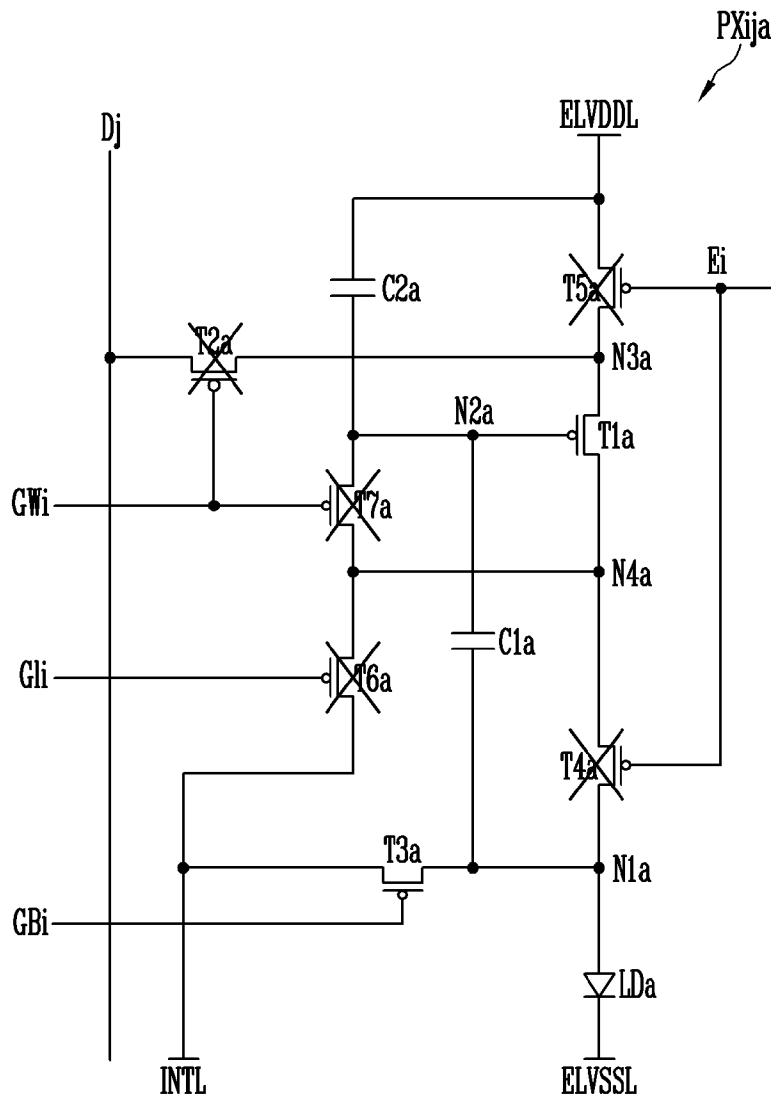
[도7]



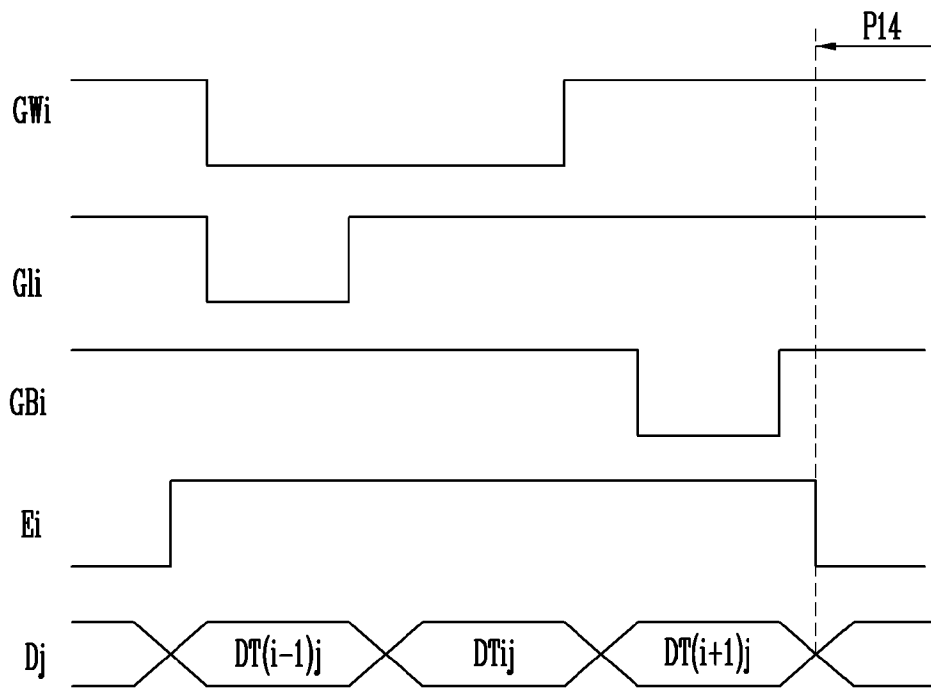
[도8]



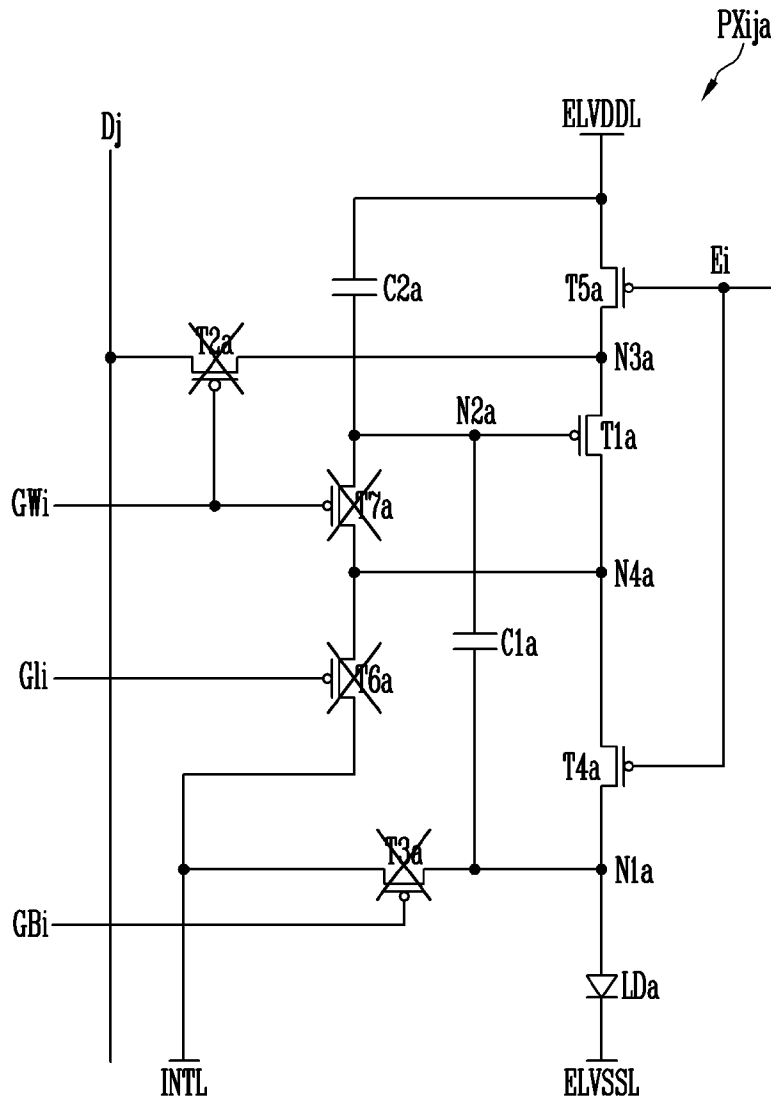
[도9]



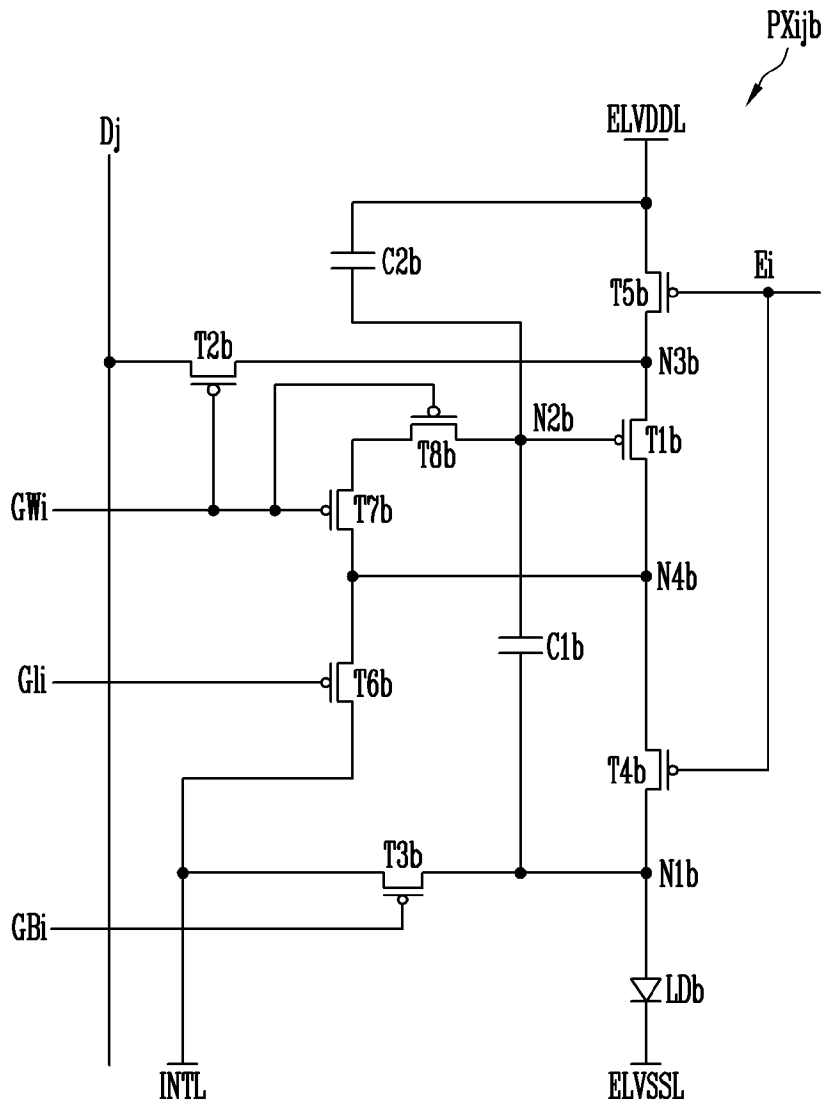
[도 10]



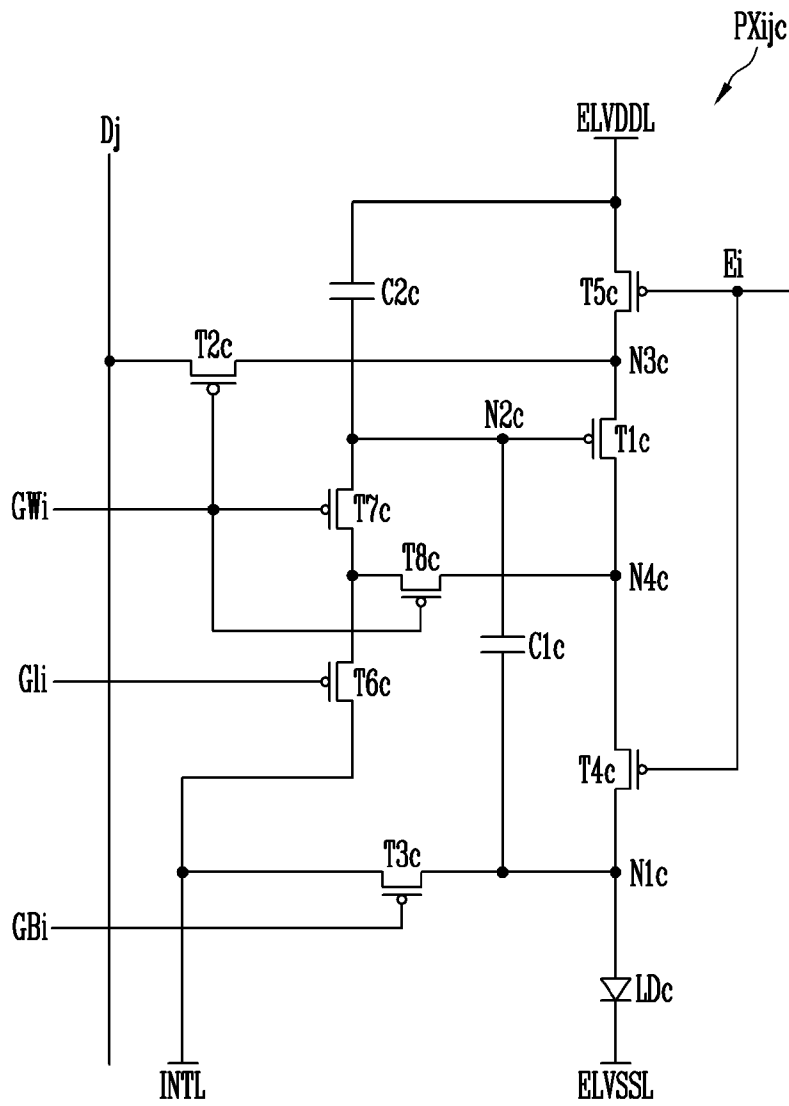
[도 11]



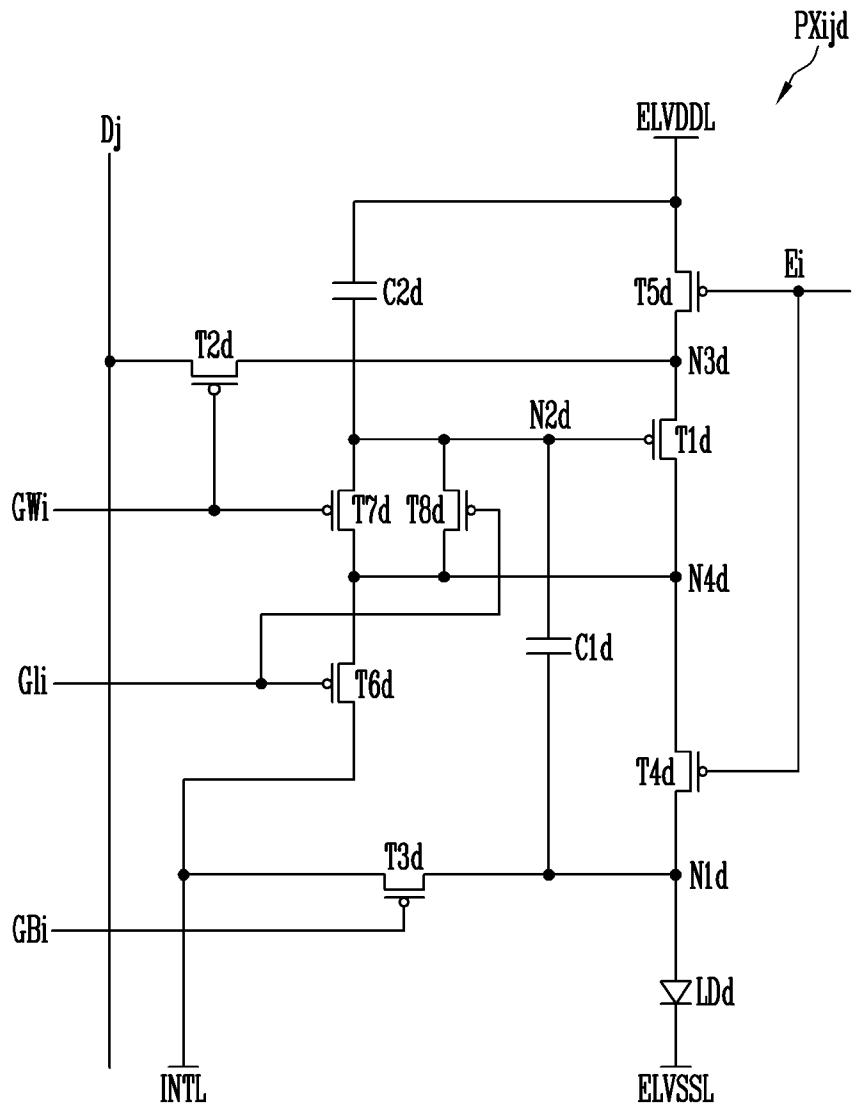
[도 12]



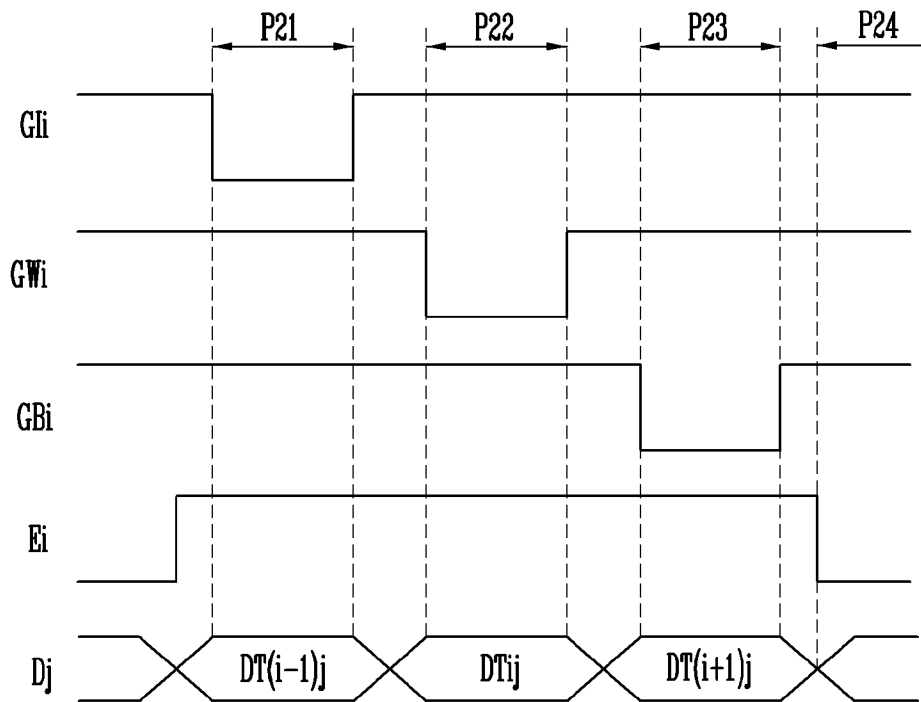
[도 13]



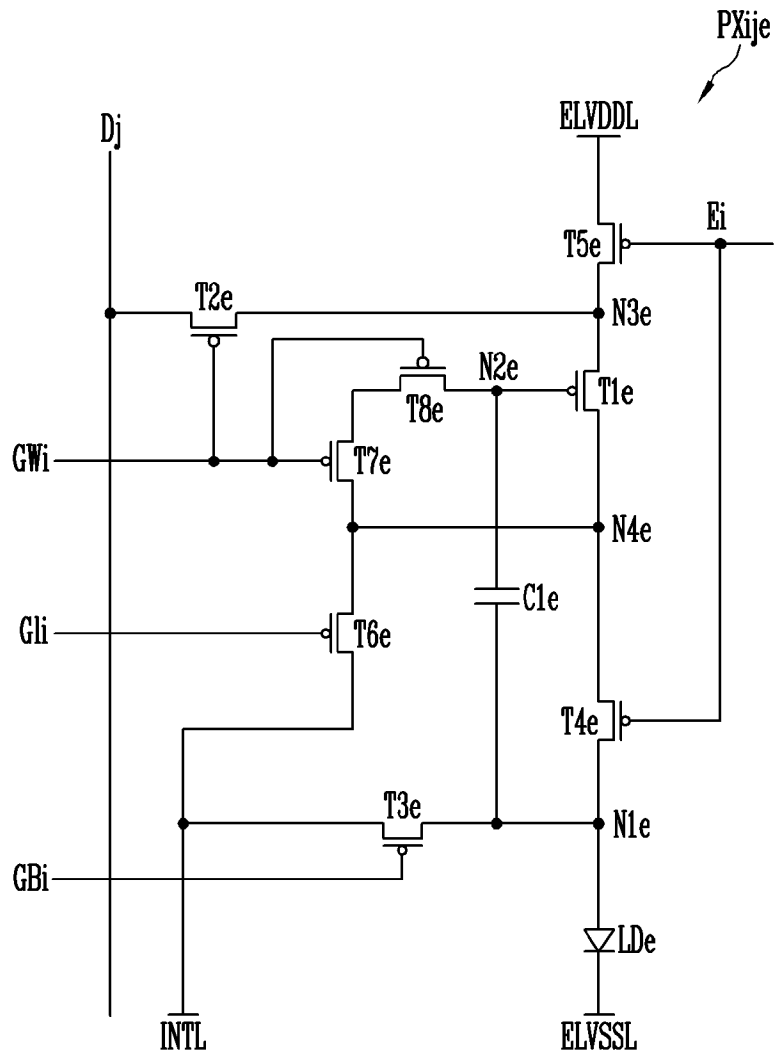
[도 14]



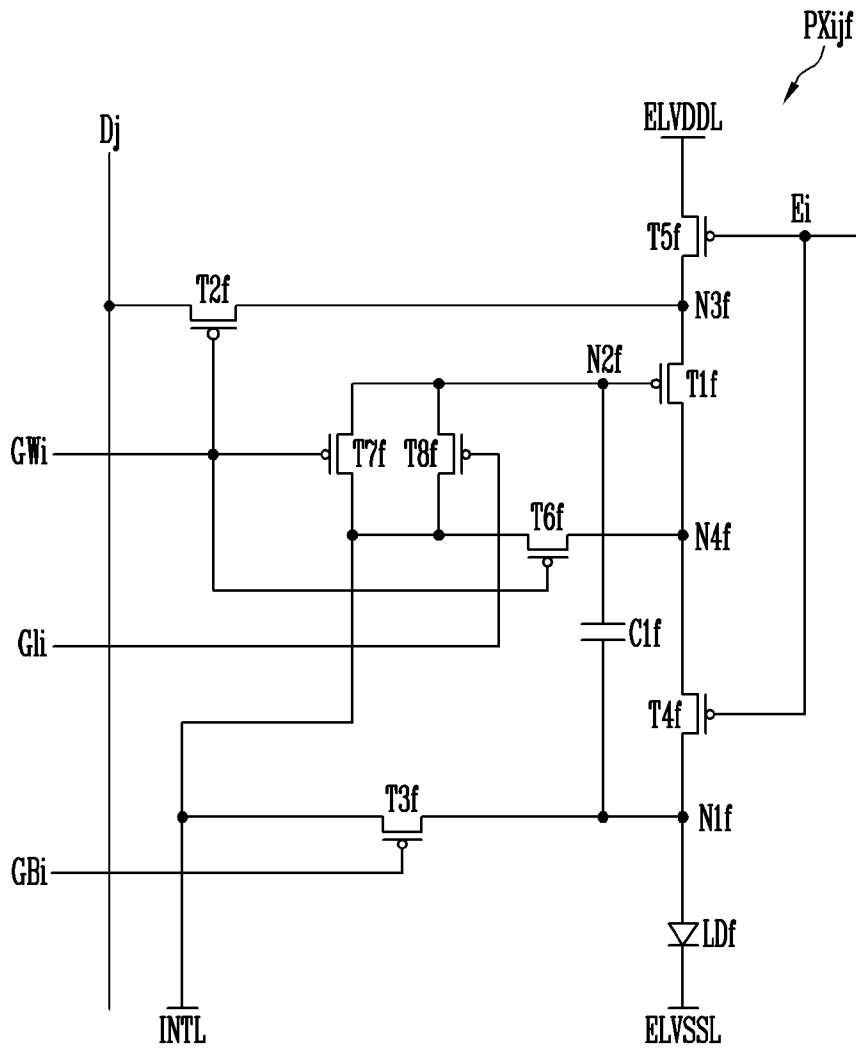
[도 15]



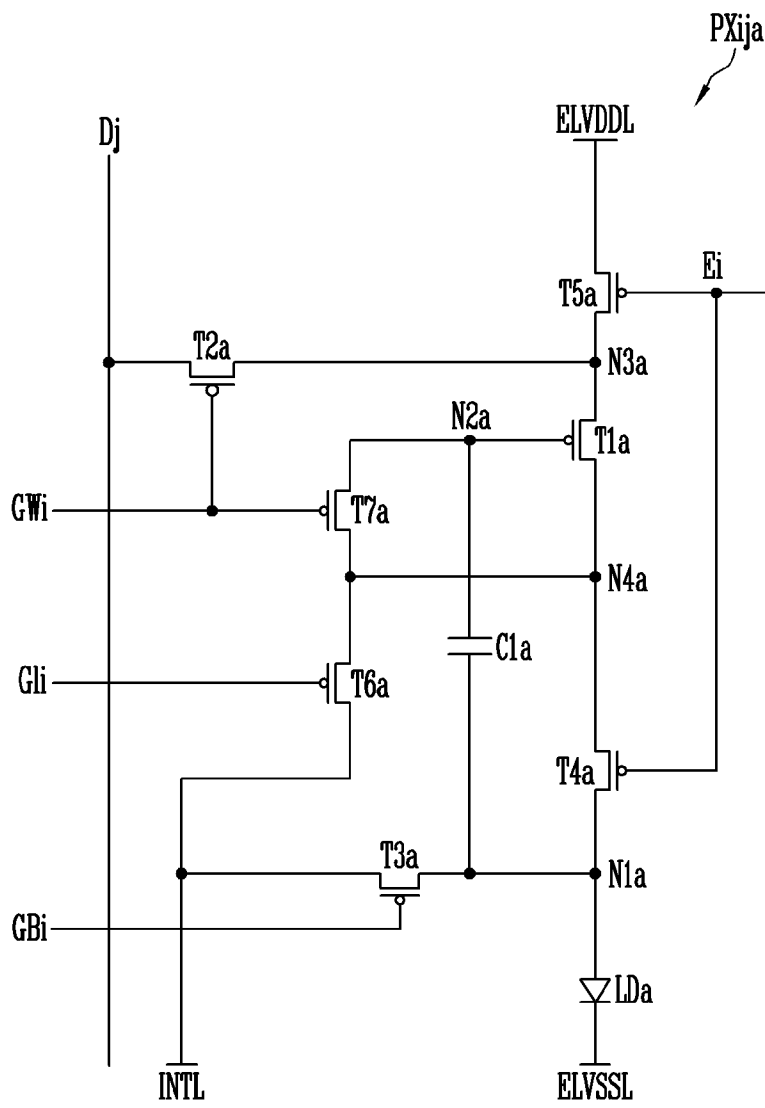
[도 16]



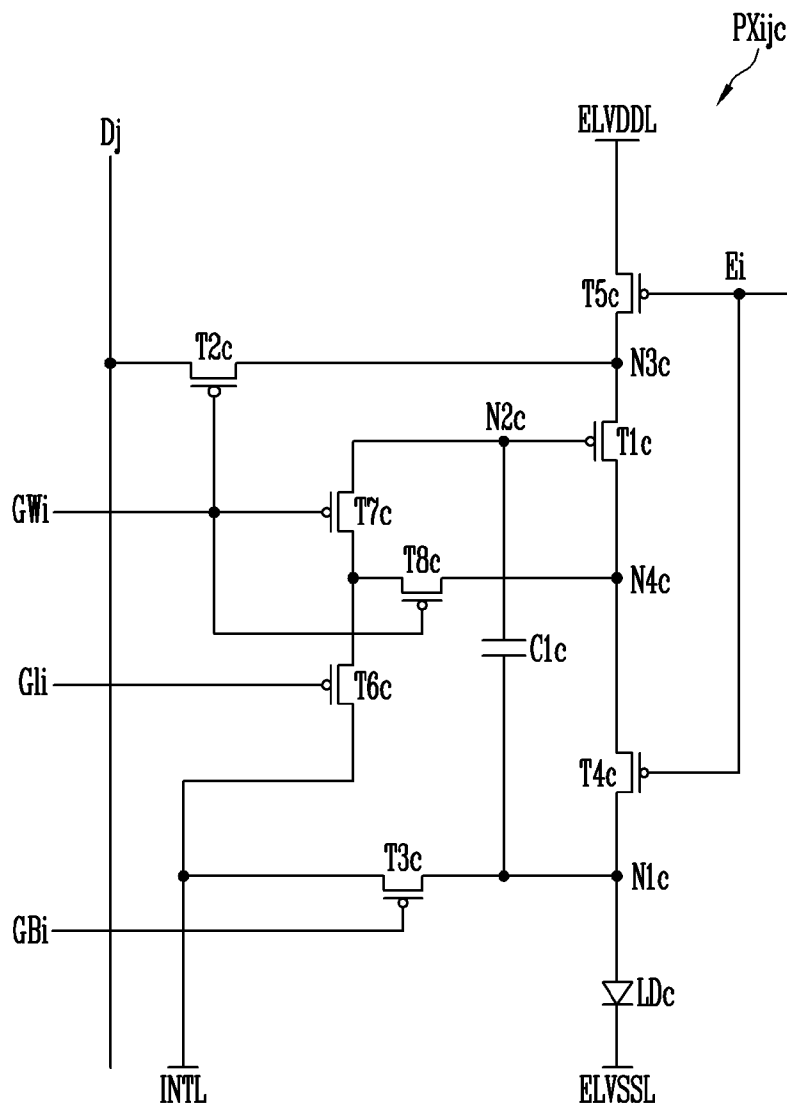
[도17]



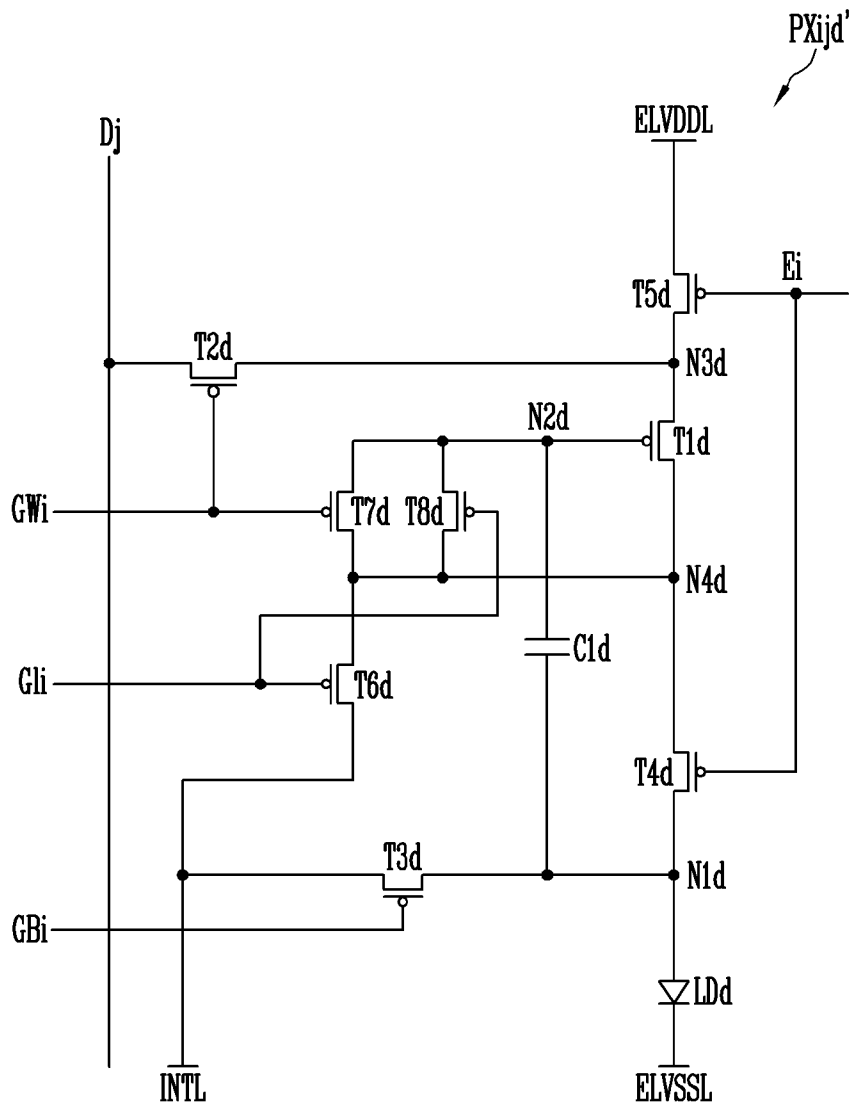
[도 18]



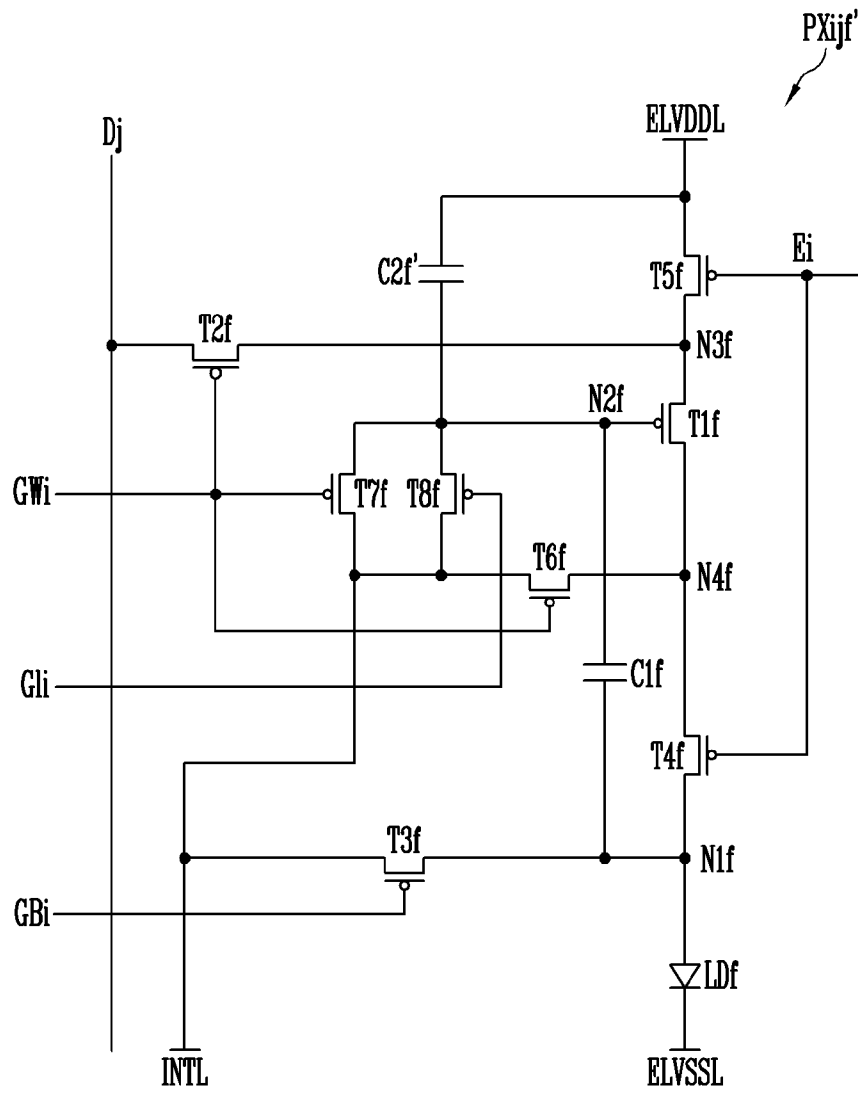
[도 19]



[도20]



[도21]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2020/095008

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/32(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G 3/32; G09G 3/3233; H01L 27/32

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above

Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: light emitting diode, driving transistor, scan transistor, initializing line, scan line

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	KR 10-2016-0052942 A (SAMSUNG DISPLAY CO., LTD.) 13 May 2016 See paragraphs [0040]-[0085]; and figures 2-5.	1-4,11
Y		5-7
A		8-10,12-20
Y	KR 10-2017-0090559 A (SAMSUNG DISPLAY CO., LTD.) 08 August 2017 See paragraphs [0123]-[0145]; and figures 9-10.	5-7
A	KR 10-2019-0034376 A (SAMSUNG DISPLAY CO., LTD.) 02 April 2019 See paragraphs [0062]-[0086]; and figures 2a-2b.	1-20
A	KR 10-2019-0010058 A (LG DISPLAY CO., LTD.) 30 January 2019 See paragraphs [0043]-[0086]; and figures 3-6d.	1-20
A	US 2018-0286307 A1 (SAMSUNG DISPLAY CO., LTD.) 04 October 2018 See paragraphs [0044]-[0065]; and figures 2-4.	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

04 JUNE 2020 (04.06.2020)

Date of mailing of the international search report

04 JUNE 2020 (04.06.2020)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex Daejeon Building 4, 189, Cheongsu-ro, Seo-gu,
Daejeon, 35208, Republic of Korea

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2020/095008

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2016-0052942 A	13/05/2016	US 10551903 B2 US 2016-0124491 A1 US 2018-0074569 A1 US 9823729 B2	04/02/2020 05/05/2016 15/03/2018 21/11/2017
KR 10-2017-0090559 A	08/08/2017	CN 107016959 A US 10403704 B2 US 2017-0221979 A1	04/08/2017 03/09/2019 03/08/2017
KR 10-2019-0034376 A	02/04/2019	CN 109545150 A EP 3460789 A1 US 2019-0096331 A1	29/03/2019 27/03/2019 28/03/2019
KR 10-2019-0010058 A	30/01/2019	None	
US 2018-0286307 A1	04/10/2018	KR 10-2018-0112158 A US 10650739 B2	12/10/2018 12/05/2020

A. 발명이 속하는 기술분류(국제특허분류(IPC))

G09G 3/32(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)
G09G 3/32; G09G 3/3233; H01L 27/32

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 발광 다이오드(light emitting diode), 구동 트랜지스터(driving transistor), 스캔 트랜지스터(scan transistor), 초기화 라인(initializing line), 주사 라인(scan line)

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	KR 10-2016-0052942 A (삼성디스플레이 주식회사) 2016.05.13 단락 [0040]-[0085]; 및 도면 2-5	1-4, 11
Y		5-7
A		8-10, 12-20
Y	KR 10-2017-0090559 A (삼성디스플레이 주식회사) 2017.08.08 단락 [0123]-[0145]; 및 도면 9-10	5-7
A	KR 10-2019-0034376 A (삼성디스플레이 주식회사) 2019.04.02 단락 [0062]-[0086]; 및 도면 2a-2b	1-20
A	KR 10-2019-0010058 A (엘지디스플레이 주식회사) 2019.01.30 단락 [0043]-[0086]; 및 도면 3-6d	1-20
A	US 2018-0286307 A1 (SAMSUNG DISPLAY CO., LTD.) 2018.10.04 단락 [0044]-[0065]; 및 도면 2-4	1-20

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“D” 본 국제출원에서 출원인이 인용한 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후 “X”에 공개된 선출원 또는 특허 문헌

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“&” 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일

2020년 06월 04일 (04.06.2020)

국제조사보고서 발송일

2020년 06월 04일 (04.06.2020)

ISA/KR의 명칭 및 우편주소



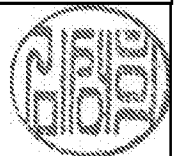
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

김성희

전화번호 +82-42-481-3516



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2016-0052942 A	2016/05/13	US 10551903 B2 US 2016-0124491 A1 US 2018-0074569 A1 US 9823729 B2	2020/02/04 2016/05/05 2018/03/15 2017/11/21
KR 10-2017-0090559 A	2017/08/08	CN 107016959 A US 10403704 B2 US 2017-0221979 A1	2017/08/04 2019/09/03 2017/08/03
KR 10-2019-0034376 A	2019/04/02	CN 109545150 A EP 3460789 A1 US 2019-0096331 A1	2019/03/29 2019/03/27 2019/03/28
KR 10-2019-0010058 A	2019/01/30	없음	
US 2018-0286307 A1	2018/10/04	KR 10-2018-0112158 A US 10650739 B2	2018/10/12 2020/05/12