

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷
G11C 11/22
G11C 7/00



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 01116227.9

[45] 授权公告日 2004 年 7 月 7 日

[11] 授权公告号 CN 1156852C

[22] 申请日 2001.2.14 [21] 申请号 01116227.9
[30] 优先权
[32] 2000. 2.14 [33] DE [31] 100064442
[71] 专利权人 因芬尼昂技术股份公司
地址 联邦德国慕尼黑
[72] 发明人 H·巴奇霍弗 T·P·汉德
M·厄尔曼恩 G·布朗
W·霍恩莱恩
审查员 马晓亚

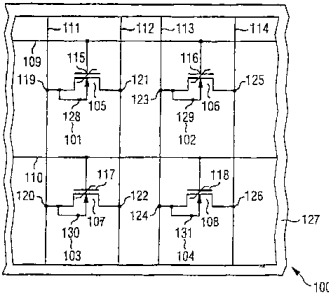
[74] 专利代理机构 中国专利代理(香港)有限公司
代理人 张志醒

权利要求书 1 页 说明书 8 页 附图 5 页

[54] 发明名称 读出和储存存储单元中铁电晶体管
状态的方法和存储矩阵

[57] 摘要

读出或储存存储单元中的铁电晶体管的状态，
存储矩阵中另一些存储单元中的另一些铁电晶体管的
阈值电压在读出或存储期间增大或永久性增大。



	109	110	111	113	112	114
150	V_{DD}	$V_{DD}/2$	0	$V_{DD}/2$	0	$V_{DD}/2$
151	0	$V_{DD}/2$	V_{DD}	$V_{DD}/2$	V_{DD}	$V_{DD}/2$
152	V_{TH}	0	0	0	V_{SS}	0

I S S N 1 0 0 8 - 4 2 7 4

1. 一种读出和储存排列在存储矩阵中的存储单元内的铁电晶体管状态的方法，所述存储矩阵有多个带铁电晶体管的存储单元，
- 5 其中，状态从铁电晶体管中读出或者储存在铁电晶体管中，以及
- 其中，存储矩阵中另一个铁电晶体管的阈值电压通过向存储矩阵中的该另一个铁电晶体管施加漏衬底电压使之增大。
2. 根据权利要求 1 所述的方法，其中，为了读出或储存状态，通过向铁电晶体管的栅电极施加读出/存储电压使状态从铁电晶体管读出或存入铁
- 10 电晶体管中。
3. 根据权利要求 1 所述的方法，其中在存储矩阵的至少一个存储单元中使用多个晶体管。
4. 根据权利要求 1 所述的方法，其中用约 $\pm 3.3\text{V}$ 的电压作为漏衬底电压。
- 15 5. 一种存储矩阵，具有：
- 多个彼此连接的存储单元，至少一些存储单元有至少一个铁电晶体管，
- 读出/存储控制装置，控制从存储矩阵中的存储单元内的铁电晶体管读出状态或向其存入状态的过程，
- 20 该读出/存储控制装置设置成从铁电晶体管读出状态或将状态存入铁电晶体管中，
- 其中存储矩阵中的另一个铁电晶体管的阈值电压通过向存储矩阵中的该另一个铁电晶体管施加漏衬底电压使之增大。
6. 根据权利要求 5 所述的存储矩阵，其中读出/存储控制装置设置成
- 25 向铁电晶体管的栅电极施加读出/存储电压以读出或存储状态。
7. 根据权利要求 5 所述的存储矩阵，其中存储矩阵中至少一个存储单元有多个晶体管。
8. 根据权利要求 5 所述的存储矩阵，其中读出/存储控制装置设置成用约 $\pm 3.3\text{V}$ 的电压作为漏衬底电压。

读出和储存存储单元中铁电
晶体管状态的方法和存储矩阵

技术领域:

本发明涉及读出和储存存储单元中铁电晶体管状态的方法和存储矩阵。

背景技术:

10 这种方法和这种存储矩阵由文件[1] T. Nakamura 等人的文章 “A Single-Transistor Ferroelectric Memory Cell”, IEEE International Solid-State Circuits Conference, ISSCC 95, Session 4, Technology Directions: Displays, Photonics and Ferroelectric Memories, 第 68-69 页, 1995. 可知。由[1]所知的存储矩阵有大量存储单元, 每个存储单元有铁电晶体管, 这些铁电晶体管以方阵形式相互连接。而且, 存储矩阵有读出/存储控制装置, 通过该控制装置能储存存储矩阵中存储单元内的铁电晶体管的状态, 或者读出存储单元中相应铁电晶体管的当前状态。

15 根据文件[1]中所描述的过程, 当存储、删除或读出存储矩阵中存储单元内的铁电晶体管状态时, 向相应的字线或位线施加相应的读出/存储电压。施加所需的读出/存储电压进一步影响在存储矩阵中位于相邻位置上且与状态要被读出或储存的铁电晶体管相连接的铁电晶体管。通过这种方式, 读出或储存存储矩阵中铁电晶体管状态的过程可能损坏存储矩阵中另一个铁电晶体管的状态, 即不小心地改变该状态。

如文件[1]中所述, 读/写电压 V_{pp}/V_{rr} 加到状态要被读出或储存的铁电晶体管上。在这种情况下, 将约 $\pm V_{pp}/2$ 或 $\pm V_{pp}/3$ 的干扰电压加到与该铁电晶体管相连接的相邻的另外的铁电晶体管上, 这能错误地改变相应的另外的铁电晶体管的状态。

25 下面参考图 2 详细解释该问题。

图 2 示出了作为外加栅极电压 V_{GS} 202 函数的铁电晶体管栅极中铁电极化 (ferroelectric polarizaiton) 201 轮廓 (profile) 图 200。图 200 示出了栅极电压 202 (V) 和铁电极化 201 (C/m^2)。

下面通过电滞回线 203 描述作为栅极电压 202 的函数的铁电极化 201 的轮廓。如图 2 所示, 传统的铁电晶体管有两个稳定极化状态, 第一稳定

30

极化状态 204 和第二稳定极化状态 205。通过改变外加栅极电压 V_{GS} ，尤其是通过上述 $V_{pp}/2$ 或 $V_{pp}/3$ 的“干扰电压”，铁电晶体管的状态能沿电滞回线 203 变到不能被电辨别的极化状态，即变成第一不可辨别的极化状态 206 和第二不可辨别的极化状态 207。

- 5 当能容易地电辨别第一稳定极化状态 204 和第二稳定极化状态 205 时，通过该方法，能通过存储矩阵内的铁电晶体管提供和识别两种不同的状态，这种在两种电状态之间进行辨别的能力不能用不可辨别的极化状态 206、207 来保证。

10 由此，这种干扰电压能导致存储矩阵中相邻的另一个铁电晶体管中储存的状态发生改变或者至少变成未定义的，即不能可靠地读出相应的相邻铁电晶体管中形成的极化状态，即不能电辨别。

文件[2] Jong-Son Lyu 等人的文章“Metal-Ferroelectric Semiconductor Field-Effect Transistor (MFSFET) for Single Transistor Memory by Using Poly-Si Source/ Drain and BaMgF₄ Dielectric”，IEDM 1996，第 503-506 页，1996。
15 中描述了另一种铁电晶体管及其制造方法。

发明内容：本发明基于这样的问题：从铁电晶体管读出状态或在储存单元中储存铁电晶体管的状态，该存储单元排列在有大量带更多铁电晶体管的更多存储单元的存储矩阵中，目的是避免由于读出和储存一个铁电晶体管的过程而改变存储矩阵中其他存储单元中的其他铁电晶体管。

- 20 这个问题通过一种读出或储存存储单元中的铁电晶体管状态的方法以及有独立权利要求所述特征的存储矩阵来解决。

在读出或储存存储单元中的铁电晶体管状态或者在储存存储单元中的铁电晶体管状态的方法中，所述存储单元排列成有大量带更多铁电晶体管的更多存储单元的存储矩阵，从铁电晶体管读出状态或者将状态存入铁电
25 晶体管。在读出或储存铁电晶体管状态的过程中，存储矩阵中至少另一个铁电晶体管的阈值电压被增大，特别是由于施加漏衬底（drain-substrate）电压 V_{DS} 。

存储矩阵有大量相互连接的存储单元，至少其中一些存储单元有至少一个铁电晶体管。而且，存储矩阵有读出/存储控制装置，它控制从存储矩
30 阵中的存储单元内的铁电晶体管读出状态的过程，或者在存储矩阵中的储

存单元内的铁电晶体管中存储状态的过程。读出/存储控制装置设置成状态从铁电晶体管中读出或储存在铁电晶体管中，并且在读出或储存铁电晶体管状态的过程中，存储矩阵中至少另一个铁电晶体管的阈值电压被增大，特别是由于施加漏衬底电压 V_{DS} 。

- 5 增大另一个铁电晶体管的阈值电压以保护所述另一个铁电晶体管的方式是它不再变到不可辨别的极化状态。

正如根据本发明所识别的，增大阈值电压，尤其是通过向铁电晶体管施加漏衬底电压 V_{DS} ，在这种情况下导致在描述铁电极化轮廓的电滞回线中形成曲线的平稳段。如下所述，该曲线的平稳段足以防止由于变到从相
10 邻铁电晶体管中读出或存入状态所产生的栅极电压而造成变到不可辨别的极化状态。

当外加栅极电压在铁电晶体管的沟道区域中处于电荷载流子的耗散状态时，这尤其涉及铁电晶体管位于其中的极化轮廓区域。

- 因此，本发明能从存储矩阵中的铁电晶体管中可靠地读出或存入状
15 态，而存储矩阵中相邻的其他铁电晶体管的状态不会变成未定义状态，即变成不可电辨别的状态，即不造成其他铁电晶体管故障。

下面描述从属权利要求中的本发明最佳实施例。

下面描述改进的方法和读出/存储控制装置，在每例中将读出/存储装置设置成能提供相应的发展。

- 20 改进的读出/存储控制装置可以通过读出/存储控制装置中的存储器内提供的并由处理器执行的计算机程序用软件实现，或通过硬件中的特定电子电路实现。

为了读出和储存状态，本发明的一个最佳实施例通过向铁电晶体管的栅电极施加读出/存储电压从铁电晶体管读出状态或将状态存入铁电晶体
25 管。

而且，通过向存储矩阵中的另一个铁电晶体管施加漏衬底电压能提高另一个铁电晶体管的阈值电压。漏衬底电压 V_{DS} 根据铁电晶体管的类型大致为恒压 $V_{DS} = \pm 3.3V$ (n-沟道铁电晶体管为+3.3V，p-沟道铁电晶体管为-3.3V)。

- 30 在存储矩阵中的存储单元中可用多个晶体管，特别是多个铁电晶体

管。

即使在另一个实施例中使用了利用特殊方法制造的铁电晶体管，但在本发明范围内可以在替换实施例中使用任何期望的铁电晶体管。

例如，特别地，介电中间层可以用不同的材料，特别是厚度在约 3nm 和 25nm 之间的铁电晶体管且例如由氧化铈 CeO_2 、氧化锆 ZrO_2 、氧化钛 TiO_2 、氧化钽 TaO_2 、或三氧化二铝 Al_2O_3 构成。

例如可用 BMF (BaMgF_4)、PZT ($(\text{PbZr})\text{TiO}_3$) 或 SBT ($\text{SrBi}_2\text{Ta}_2\text{O}_9$) 作为铁电层。铁电层的厚度在约 30nm 和 300nm 之间。

而且，本发明也可使用 p-沟道铁电晶体管，尽管在另一个实施例中，参考了 n-沟道铁电晶体管清楚地描述了本发明。在这种情况下，所需的是将以相应方式施加的电压极性反转。

也可以在铁电晶体管内部设置多个电中间层，所述中间层由上述一种或多种材料组成。

通常，铁电晶体管中的电中间层可以用任何期望的钙钛矿。

在本文中，应当注意本发明不限于实施例中所描述的铁电晶体管的结构，而是在本发明范围内例如也可以用文件[1]或[2]所描述的铁电晶体管的结构。

附图说明：下面详细描述本发明的实施例，图中：

图 1a 和 1b 示出了由四个存储单元的存储矩阵，每个存储矩阵由一个铁电晶体管（图 1a），以及一个表，表示出了根据本发明的一个实施例在存储单元读出或储存状态时施加给多行存储矩阵的相应电压（图 1b）；

图 2 示出了当根据现有技术读出或存入铁电晶体管状态时作为外加栅极电压函数的传统铁电晶体管栅极中铁电极化的轮廓图；

图 3 示出了根据本发明实施例的铁电晶体管的草图；

图 4 示出了根据本发明实施例读出或储存铁电晶体管状态的各步骤流程图；

图 5 示出了当根据本发明一个实施例读出或储存铁电晶体管状态时作为外加栅极电压函数的传统铁电晶体管栅极中铁电极化的轮廓图；

图 6 示出了根据本发明一个实施例的铁电晶体管的输出特性。

具体实施方式：图 1a 示出了有四个存储单元 101、102、103、104 的存储矩阵 100。

每个存储单元 101、102、103、104 有铁电晶体管 105、106、107、108。
而且，存储矩阵 100 有第一字线 109 和第二字线 110。

而且，存储矩阵 100 有第一位线 111，第二位线 112，第三位线 113 和第四位线 114。

5 第一铁电晶体管 105 的栅极 115 和第二铁电晶体管 106 的栅极 116 与第一字线 109 连接。

第三铁电晶体管 107 的栅极 117 和第四铁电晶体管 108 的栅极 118 与第二字线 110 连接。

10 第一铁电晶体管 105 的源极 119 和第三铁电晶体管 107 的源极 120 与第一位线 111 连接。

第一铁电晶体管 105 的漏极 121 和第三铁电晶体管 107 的漏极 122 与第二位线 112 连接。

第二铁电晶体管 106 的源极 123 和第四铁电晶体管 108 的源极 124 与第三位线 113 连接。

15 第二铁电晶体管 106 的漏极 125 和第四铁电晶体管 108 的漏极 126 与第四位线 114 连接。

字线 109、110 和位线 111、112、113、114 连接读出/存储控制装置 127。

20 存储矩阵 100 中铁电晶体管的状态的储存和存储矩阵 100 中铁电晶体管状态的读出由读出/存储控制装置 127 控制，控制方法是向相应字线 109、110 和/或相应位线 111、112、113、114 施加不同电压，这在下文中详细解释。

图 3 示出了铁电晶体管 300，作为存储矩阵 100 中的第一铁电晶体管 105，作为第二铁电晶体管 106，作为第三铁电晶体管 107，作为第四铁电晶体管 108。

25 铁电晶体管 300 有硅组成的 p-掺杂的衬底 301，源极区 302 和漏极区 303 与两个硅区 304、305 相邻布置。用传统的 CVD 方法淀积这些区域。然后在氧化硅组成的铁电晶体管 300 的源极区 302 和漏极区 303 之间的沟道区 307 上淀积介电中间层 306。介电中间层 306 也可以由不同的电介质组成，例如 Al_2O_3 、 CeO_2 或 ZrO_2 ，借助于 CVD 方法施加。

30 之后例如借助于 CVD 方法将可包含 SBT ($\text{SrBi}_2\text{Ta}_2\text{O}_9$) 或 PZT (Pb ,

Zr) TiO₃) 的铁电层 308 施加于此。

顺序对产生理想层特性的这两层 306、308 进行热处理，即在每个单个层的淀积之后，或者，如果需要，可以在两层 306、308 的淀积之后的一个步骤中完成。

5 之后，通过腐蚀工艺构造介电中间层 306 和铁电层 308。

如果使用金属栅电极 309，则通过溅射法产生，之后通过腐蚀工艺构造。

可用金属电极作为硬掩膜，在硬掩膜下面构造层。

可以以自调节方式注入源极区 302 和漏极区 303，形成栅叠层 (gate
10 stack)。

剩下的生产铁电栅叠层前后的处理步骤能按与标准的 CMOS 制造方法类似的方法执行。。

而且铁电晶体管 300 有触点 310、311、312，它们以相应方式与源极 302、漏极 303 和栅电极 309 电连接。

15 此外，铁电晶体管 300 有硅极化层 313。

下面参考图 4 和 1b 详细描述第一铁电晶体管 105 中状态的读出和储存。

第一部 (步骤 401)，根据实施例，为了储存第一状态，向第一字线 109 施加存储电压 5V 的 V_{pp} 。

经各自的另一些铁电晶体管的栅极向未被选择的第二字线 110、未被
20 选择的第三字线 113 和未被选择的第四字线 114 施加电压 $V_{pp}/2$ 或 $V_{pp}/3$ 。

向第一位线 111 和第二位线 112 施加 0V 的电压。

在施加存储电压 V_{pp} 的同时，向另一些铁电晶体管 106、107、108 施加漏衬底电压 V_{DS} ， $V_{DS} = +3.3V$ ，以便保护它们不进行错误状态变化 (步骤 402)。在另一个实施例中，漏衬底电压 $V_{DS} = +3.3V$ 可永久施加到存储
25 矩阵 100 内的所有铁电晶体管。在图 1a 中示出了通过各铁电晶体管 105、106、107、108 的衬底中的电压源 128、129、130、131 施加漏衬底电压 $V_{DS} = +3.3V$ 。

在另一个步骤中 (步骤 403)，通过向第一字线 109 施加 2.6V 的读电压 V_{rr} 和向第二位线 112 施加 0.1V 的电压 V_{ss} 读出第一铁电晶体管 105 的
30 状态。

如果将读电压选择为高于它，则在另一个步骤（步骤 404）中在读过程的同时再次将另一些铁电晶体管 106、107、108 的漏衬底电压 V_{DS} 施加到值 $V_{DS}=+3.3V$ ，以便保护另一些铁电晶体管 106、107、108。如上所述，在另一个实施例中，向存储矩阵 100 中的所有铁电晶体管施加 $V_{DS}=+3.3V$ 的漏衬底电压。

通过向第一位线 111 和第二位线 112 施加存储电压 V_{pp} 完成第一铁电晶体管 105 中第一状态的删除，所述删除可看作第一铁电晶体管 105 中第二状态的存储。

在这种情况下，向第一字线 109 施加 0V 的电压。为了保护另一些铁电晶体管 106、107、108，最好再次施加恒定的漏衬底电压 $V_{DS}=+3.3V$ 。

图 1b 的表格中示出了用于储存 150 第一铁电晶体管 105 的第一状态、用于储存 151 第一铁电晶体管 105 的第二状态和用于读出 152 第一铁电晶体管 105 的状态的不同外加电压。

下面参考图 5 和图 6 解释通过施加适当的漏衬底电压增大铁电晶体管阈值电压。

图 5 示出了在增大铁电晶体管阈值电压的情况下作为栅极电压 502 函数的铁电晶体管栅极处铁电极化 501 的轮廓 500，这是根据该实施例，通过向另一些铁电晶体管 106、107、108 或存储矩阵 100 中的所有铁电晶体管临时施加或永久施加漏衬底电压实现的。

结果得到的电滞回线 503 有两个平稳状态区 504、505。如果这时由于有干扰电压，另一些铁电晶体管 106、107、108 上的栅极电压 V_{GB} 增大，所述另一些铁电晶体管 106、107、108 处于第一状态，用电滞回线 503 中的第一可辨别极化状态 506 表示，则施加干扰电压导致只要漏衬底电压足够高，电滞回线 503 在第一平稳区 504 中通常仅假定一个极化状态，可作为第二可辨别极化状态 507 的象征。

如果各铁电晶体管处于第二状态，如图中电滞回线 503 的第三可辨别极化状态 508 所表示的，且再次施加干扰电压，只要施加充分高的漏衬底电压且第二平稳区充分大，假定只有一个状态，则该状态位于第二平稳区 505 内，可作为第四可辨别极化状态 509 的象征。

如图 6 所示，在作为栅极电压 V_{GB} 函数的漏源电流 I_{DS} 的不同输出特

性 601、602 的基础上，可以将第二可辨别极化状态 507 和第四可辨别极化状态 509 相互区分开，原因是第一输出特性 601 的结果用于第二可辨别极化状态 507，第二输出特性 602 的结果用于第四可辨别极化状态 509。

因此，甚至假定作为干扰电压结果的第二可辨别极化状态 507 仍能用
5 电与由于干扰电压而假定的第四可辨别极化状态 509 辨别开。

从本发明可见，由施加漏衬底电压改变相应铁电晶体管的电滞回线的方式在电滞回线中形成平稳区，因此可防止产生不能彼此电辨别开的未定义的极化状态。

上面详细解释了一些相关实施例。

10 本发明不限于上述存储矩阵的特定形式，特别是，不限于由四个存储单元的存储矩阵。本发明可使用任何期望结构的存储矩阵和任何期望数量的存储单元，即作为存储单元的铁电晶体管。

而且，存储单元还可以包括多个晶体管，尤其是多个铁电晶体管。

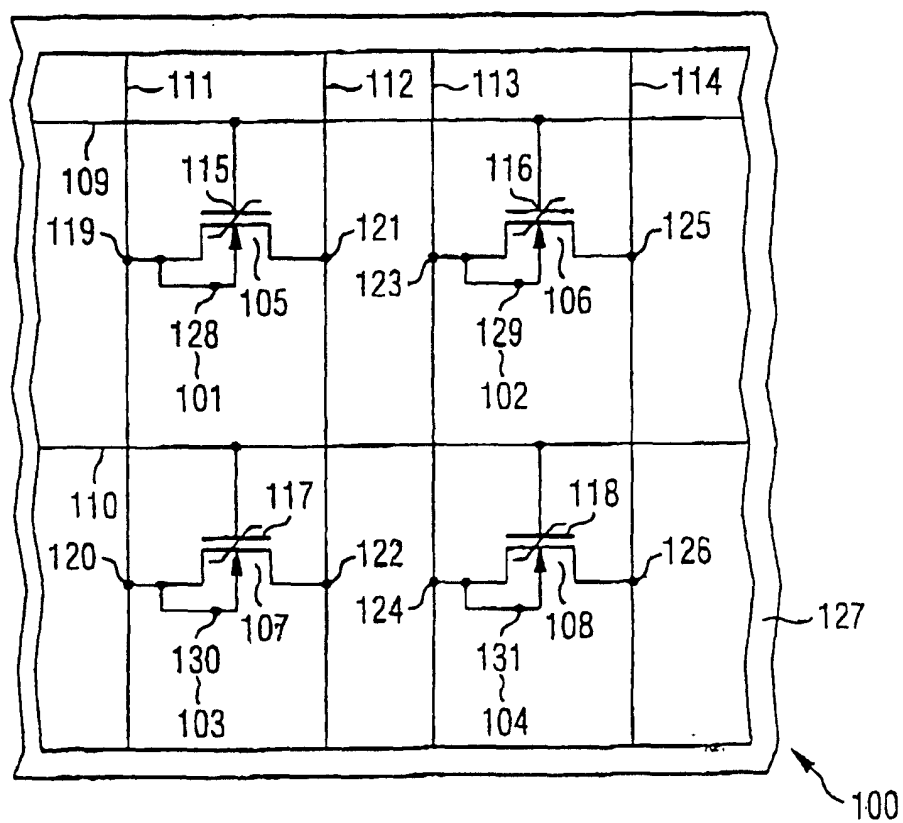


图 1A

	109	110	111	113	112	114
150	V_{pp}	$V_{pp}/2$	0	$V_{pp}/2$	0	$V_{pp}/2$
151	0	$V_{pp}/2$	V_{pp}	$V_{pp}/2$	V_{pp}	$V_{pp}/2$
152	V_{rr}	0	0	0	V_{ss}	0

图 1B

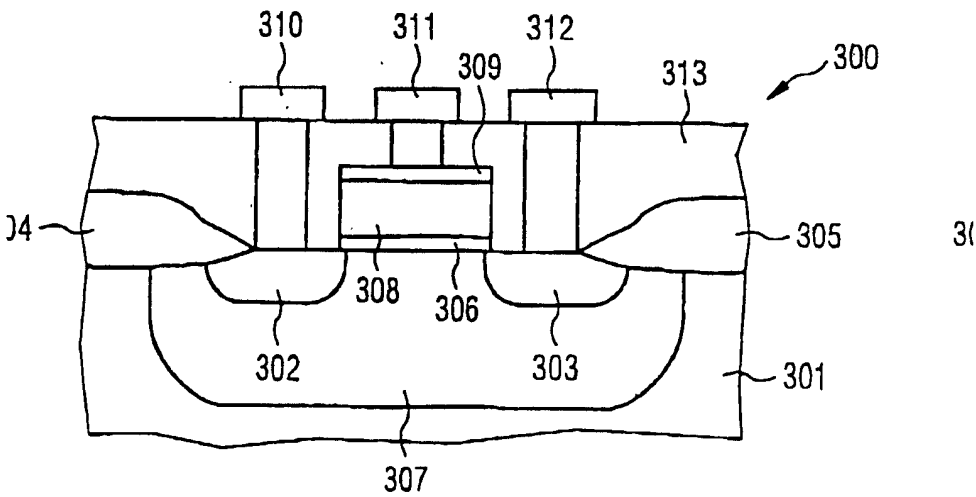


图 3

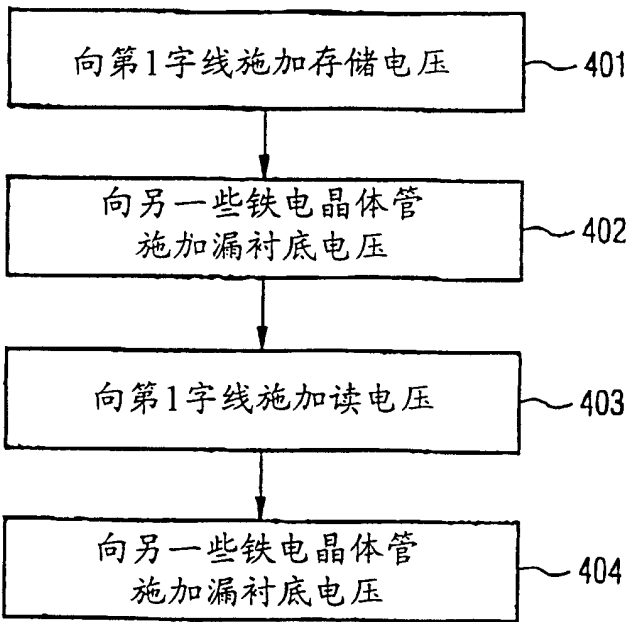


图 4

0

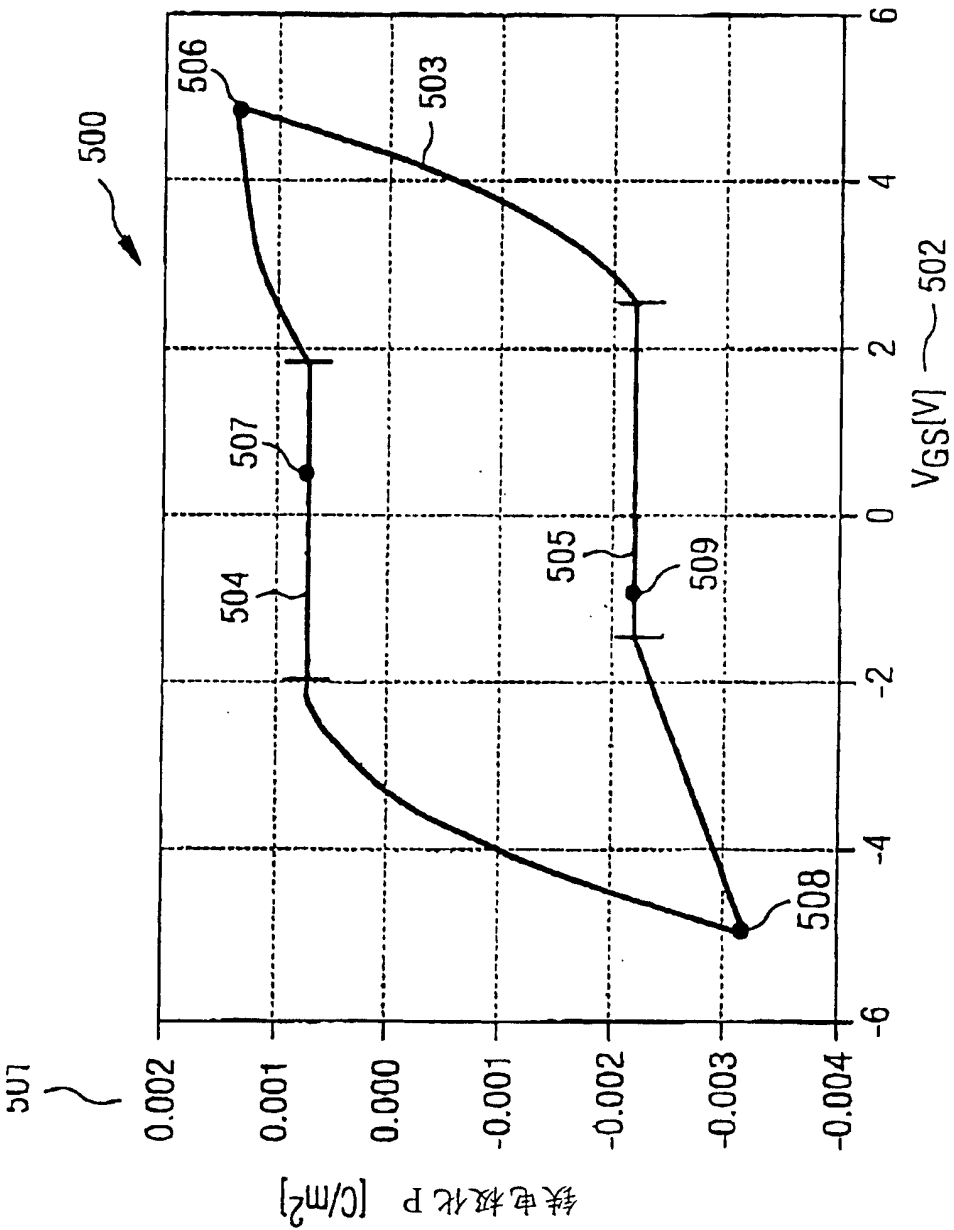
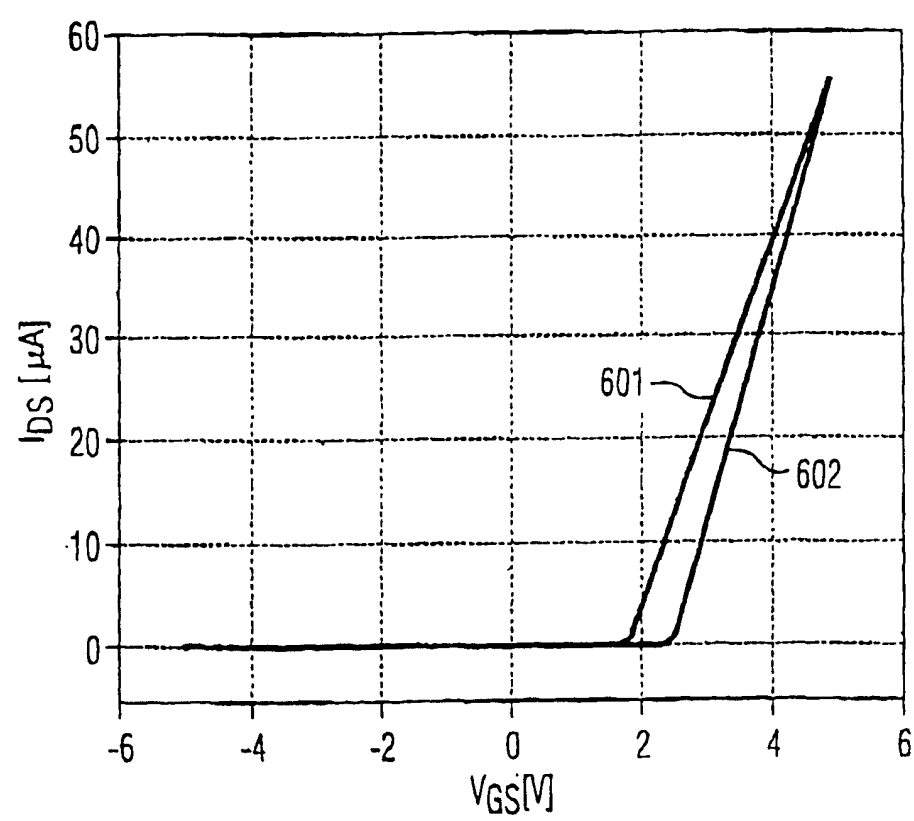


图 5



0

图 6