

(12) 发明专利申请

(10) 申请公布号 CN 101958309 A

(43) 申请公布日 2011. 01. 26

(21) 申请号 201010264703. 7

(22) 申请日 2010. 08. 27

(30) 优先权数据

61/237, 370 2009. 08. 27 US

(71) 申请人 先进封装技术私人有限公司

地址 新加坡新加坡

(72) 发明人 林少雄 林建福 周辉星

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 陈小雯

(51) Int. Cl.

H01L 23/528 (2006. 01)

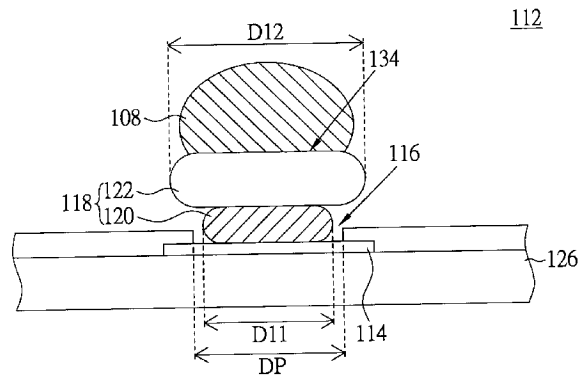
权利要求书 2 页 说明书 5 页 附图 4 页

(54) 发明名称

半导体芯片互连结构及应用其的半导体封装件

(57) 摘要

本发明公开一种半导体芯片互连结构及应用其的半导体封装件。半导体芯片互连结构包括芯片、凸块组及焊球。芯片包括接垫并具有接垫开孔,接垫从接垫开孔露出。凸块组包括第一凸块及第二凸块。第一凸块设于接垫。第二凸块设于第一凸块,第二凸块的外径实质上等于或大于第一凸块的外径。焊球连接于凸块组。



1. 一种半导体芯片互连结构,包括:
芯片,包括接垫并具有接垫开孔,该接垫从该接垫开孔露出;
凸块 (bump) 组,包括:
第一凸块,设于该接垫;及
第二凸块,设于该第一凸块上,该第二凸块的外径至少等于该第一凸块的外径;以及
焊球,连接于该凸块组。
2. 如权利要求 1 所述的半导体芯片互连结构,还包括:
绝缘层,包覆该凸块组,其中该第二凸块的上表面外露。
3. 如权利要求 1 所述的半导体芯片互连结构,其中该第二凸块的外径至少等于该接垫开孔的内径。
4. 如权利要求 3 所述的半导体芯片互连结构,其中该凸块组还包括:
第三凸块,设于该第二凸块;
其中,该第三凸块的外径小于该第二凸块的外径。
5. 如权利要求 1 所述的半导体芯片互连结构,其中该凸块组还包括:
第三凸块,设于该第二凸块;
其中,该第三凸块的外径至少等于该第二凸块的外径。
6. 如权利要求 1 所述的半导体芯片互连结构,其中该凸块组还包括:
涂布层,形成于该第一凸块及该第二凸块。
7. 如权利要求 6 所述的半导体芯片互连结构,其中该涂布层的材质选自由镍 (Ni) 与金 (Au) 所构成的群组。
8. 如权利要求 1 所述的半导体芯片互连结构,其中该凸块组还包括一第三凸块,其设于该第二凸块,该半导体芯片互连结构还包括:
绝缘层,包覆该凸块组,其中该第三凸块的上表面露出。
9. 一种半导体封装件,包括:
基板;以及
半导体芯片互连结构,包括:
芯片,包括接垫并具有接垫开孔,该接垫从该接垫开孔露出;
凸块组,包括:
第一凸块,设于该接垫;及
第二凸块,设于该第一凸块,该第二凸块的外径至少等于该第一凸块的外径;及
焊球,连接于该凸块组。
10. 如权利要求 9 所述的半导体封装件,其中该半导体芯片互连结构还包括:
绝缘层,包覆该凸块组,其中该第二凸块的上表面外露。
11. 如权利要求 9 所述的半导体封装件,其中该第二凸块的外径至少等于该接垫开孔的内径。
12. 如权利要求 11 所述的半导体封装件,其中该凸块组还包括:
第三凸块,设于该第二凸块;
其中,该第三凸块的外径小于该第二凸块的外径。
13. 如权利要求 9 所述的半导体封装件,其中该凸块组还包括:

第三凸块, 设于该第二凸块;

其中, 该第三凸块的外径至少等于该第二凸块的外径。

14. 如权利要求 9 所述的半导体封装件, 其中该凸块组还包括:

一涂布层, 形成于该第一凸块及该第二凸块。

15. 如权利要求 14 所述的半导体封装件, 其中该涂布层的材质选自于由镍与金所构成的群组。

16. 如权利要求 9 所述的半导体封装件, 其中该凸块组还包括第三凸块, 其设于该第二凸块, 该半导体芯片互连结构还包括:

一绝缘层, 包覆该凸块组, 其中该第三凸块的上表面外露。

半导体芯片互连结构及应用其的半导体封装件

技术领域

[0001] 本发明涉及一种半导体芯片互连结构及应用其的半导体封装件,且特别是涉及一种具有堆叠凸块的半导体芯片互连结构及应用其的半导体封装件。

背景技术

[0002] 请参照图 1(现有技艺),其绘示现有的半导体芯片互连结构示意图。半导体芯片互连结构 10 包括一基板 12、一接垫 14、一凸块 16 及一焊球 18。

[0003] 然而,设于凸块 16 上的焊球 18 在回焊(reflow)常常流至接垫 14 而污染到接垫 14,影响接垫 14 的电性品质与可靠性。

发明内容

[0004] 本发明的目的在于提供一种半导体芯片互连结构及应用其的半导体封装件,焊球于回焊后不会接触到接垫,避免影响接垫的电性品质与可靠性。

[0005] 根据本发明的目的,提出一种半导体芯片互连结构。半导体芯片互连结构包括一芯片、一凸块组及一焊球。芯片包括一接垫并具有一接垫开孔,接垫从接垫开孔露出。凸块组包括一第一凸块及一第二凸块。第一凸块设于接垫上。第二凸块设于第一凸块上,第二凸块的外径实质上等于或大于第一凸块的外径。焊球连接于凸块组。

[0006] 根据本发明的目的,还提出一种半导体封装件。半导体封装件包括一基板及一半导体芯片互连结构。半导体芯片互连结构包括一芯片、一凸块组及一焊球。芯片包括一接垫并具有一接垫开孔,接垫从接垫开孔露出。凸块组包括一第一凸块及一第二凸块。第一凸块设于接垫。第二凸块设于第一凸块,第二凸块的外径至少等于第一凸块的外径。焊球连接于凸块组。

[0007] 为了让本发明的上述内容能更明显易懂,下文特举较佳实施例,并配合所附附图,作详细说明如下:

附图说明

[0008] 图 1 为现有的半导体芯片互连结构示意图;

[0009] 图 2 为本发明第一实施例的半导体芯片互连结构的示意图;

[0010] 图 3 为图 2 的半导体芯片互连结构的示意图;

[0011] 图 4 为本发明第二实施例的半导体芯片互连结构的示意图;

[0012] 图 5 为本发明第三实施例的半导体芯片互连结构的示意图;

[0013] 图 6 为本发明第四实施例的半导体芯片互连结构的示意图;

[0014] 图 7 为本发明第五实施例的半导体芯片互连结构的示意图;

[0015] 图 8 为本发明第六实施例的半导体芯片互连结构的示意图;

[0016] 图 9 为本发明第七实施例的半导体芯片互连结构的示意图。

[0017] 主要元件符号说明

- [0018] 10、112、212、412、512、612、712、812 : 半导体芯片互连结构
- [0019] 12 : 基板
- [0020] 14、114、814 : 接垫
- [0021] 16 : 凸块
- [0022] 18、108、208、408、708 : 焊球
- [0023] 100 : 半导体封装件
- [0024] 110 : 基板
- [0025] 116 : 接垫开孔
- [0026] 118、218、418、518、618、718、818 : 凸块组
- [0027] 120、220、420、520、620、720、820 : 第一凸块
- [0028] 122、222、422、522、622、722、822 : 第二凸块
- [0029] 126 : 芯片
- [0030] 132 : 底胶
- [0031] 134、734 : 上表面
- [0032] 224、424 : 第三凸块
- [0033] 638 : 涂布层
- [0034] 726 : 绝缘层
- [0035] D11、D12、D21、D22、D23、D41、D42、D43、D51、D52 : 外径
- [0036] DP : 内径

具体实施方式

[0037] 第一实施例

[0038] 请参照图 2, 其绘示依照本发明第一实施例的半导体芯片互连结构的示意图。半导体封装件 100 包括基板 110、半导体芯片互连结构 112 及底胶 (underfill) 132。底胶 132 填充于基板 110 与半导体芯片互连结构 112 之间。

[0039] 半导体芯片互连结构 112, 例如是覆晶式芯片 (flip chip)、引线框或基板, 其通过焊球 108 与基板 110 电连接。

[0040] 请参照图 3, 其绘示图 2 的半导体芯片互连结构的示意图。图 3 的半导体芯片互连结构的型态为未与基板 110 接合的型态。半导体芯片互连结构 112 包括芯片 126、凸块 (bump) 组 118、焊球 108 及接垫 114。

[0041] 芯片 126 包括接垫 114 并具有接垫开孔 116, 接垫 114 从接垫开孔 116 露出。焊球 108 连接于凸块组 118。

[0042] 凸块组 118 包括第一凸块 120 及第二凸块 122。第一凸块 120 设于接垫 114 上, 第二凸块 122 设于第一凸块 120 上。第二凸块 122 的外径 D12 大于第一凸块 120 的外径 D11。此处所称的“外径”指外围的径向尺寸, 而以下所称的“内径”指内围的径向尺寸。

[0043] 较佳但非限定地, 凸块组 118 通过热超音波结合 (thermosonic wirebond) 的方式, 以银或铜形成。较佳但非限定地, 第一凸块 120 的材质是银而第二凸块 122 的材质是铜。较佳但非限定地, 接垫 114 是铝垫。较佳但非限定地, 焊球 108 的材质选自于由锡、银、铜及铅所构成的群组。

[0044] 第二凸块 122 的外径 D12 大于第一凸块 120 的外径 D11 及接垫开孔 116 的内径 DP。即,第二凸块 122 可完全地遮蔽第一凸块 120 的上表面及接垫开孔 116。由于第二凸块 122 的外径 D12 大于接垫开孔 116 的内径 DP,故,焊球 108 于回焊后可完全地形成于第二凸块 122 上(如图 3 所示)而不会溢流至接垫 114 而污染到接垫 114。

[0045] 进一步地说,本实施例通过适当地设计第二凸块 122 的外径 D12,使第二凸块 122 的上表面 134 的面积足够大,回焊后的焊球 108 便可完全地形成于第二凸块 122 上,避免溢流问题发生。

[0046] 此外,因为回焊后的焊球 108 可完全地形成于第二凸块 122 上,故在制作工艺上对焊球 108 是可控制的。如此,可通过控制焊球 108 的高度、大小及形状等去配合制作工艺的运作,使制作工艺在操作上更具弹性。

[0047] 此外,第二凸块 122 的尺寸不受接垫 114 的尺寸影响。如此,可设计较大的第二凸块 122,以承接较大的焊球 108,增加焊球 108 与对手件的结合度及电性品质。

[0048] 此外,堆叠的第一凸块 120 及第二凸块 122 可产生垫高基板 110 的效果,增加基板 110 与接垫 114 之间的距离,此有助于底胶 132 的形成及提升半导体封装件 100 的可靠度。

[0049] 第一凸块 120 及第二凸块 122 可分别由不同材质所制成。例如,第一凸块 120 的材质较软且价格较高的金 (Au),其形成于接垫 114 上;而第二凸块 122 的材质较硬且价格较低的铜 (Cu),此有助于降低封装成本及避免在形成第一凸块 120 时破坏芯片 126。

[0050] 第二实施例

[0051] 请参照图 4,其绘示依照本发明第二实施例的半导体芯片互连结构的示意图。在第二实施例中,与第一实施例相同之处沿用相同标号,在此不再赘述。第二实施例的半导体芯片互连结构 212 与第一实施例的半导体芯片互连结构 112 不同之处在于,半导体芯片互连结构 212 的凸块组 218 更包括第三凸块 224。较佳但非限定地,第三凸块 224 的材质是铜。

[0052] 凸块组 218 包括第一凸块 220、第二凸块 222 及第三凸块 224。第三凸块 224 的外径 D23 大于第二凸块 222 的外径 D22、第一凸块 220 的外径 D21 及接垫开孔 116 的内径 DP,且第二凸块 222 的外径 D22 大于第一凸块 220 的外径 D21。即,第三凸块 224 可完全地遮蔽第二凸块 222 的上表面、第一凸块 220 的上表面及接垫开孔 116。

[0053] 由于第三凸块 224 的外径 D23 大于接垫开孔 116 的内径 DP,故焊球 208 于回焊后完全地形成于第三凸块 224 上,如图 4 所示,而不致污染到接垫 114。

[0054] 第三实施例

[0055] 请参照图 5,其绘示依照本发明第三实施例的半导体芯片互连结构的示意图。在第三实施例中,与第二实施例相同之处沿用相同标号,在此不再赘述。第三实施例的半导体芯片互连结构 412 与第二实施例的半导体芯片互连结构 212 不同之处在于,半导体芯片互连结构 412 的凸块组 418 的第三凸块 424 的外径 D43 小于第二凸块 422 的外径 D42。

[0056] 凸块组 418 包括第一凸块 420、第二凸块 422 及第三凸块 424。第三凸块 424 的外径 D43 小于第二凸块 422 的外径 D42,而第二凸块 422 的外径 D42 大于第一凸块 420 的外径 D41 及接垫开孔 116 的内径 DP。即,第二凸块 422 可完全地遮蔽第一凸块 420 的上表面及接垫开孔 116。

[0057] 第三凸块 424 可提升焊球 408 与第二凸块 422 之间的结合性。在回焊制作工艺中,第三凸块 424 对流动的焊球 408 起阻碍作用且由于第三凸块 424 改变第二凸块 422 的表面

轮廓,故第三凸块 424 可避免流动的焊球 408 溢流至接垫 114。

[0058] 第四实施例

[0059] 请参照图 6,其绘示依照本发明第四实施例的半导体芯片互连结构的示意图。在第四实施例中,与第一实施例相同之处沿用相同标号,在此不再赘述。第四实施例的半导体芯片互连结构 512 与第一实施例的半导体芯片互连结构 112 不同之处在于,半导体芯片互连结构 512 的凸块组 518 的第二凸块 522 的外径 D52 实质上等于第一凸块 520 的外径 D51。

[0060] 此外,堆叠的第一凸块 520 及第二凸块 522 可产生垫高基板 110 的效果,此有助于底胶 132 的形成及提升半导体封装件 100 的可靠度。并且,第一凸块 520 及第二凸块 522 分别可由不同材质所制成,例如,第一凸块 520 的材质较软且价格较高的金 (Au),其形成于接垫 114 上;而第二凸块 522 的材质较硬且价格较低的铜 (Cu),此有助于降低封装成本及避免在形成第一凸块 120 时破坏芯片 126。

[0061] 第五实施例

[0062] 请参照图 7,其绘示依照本发明第五实施例的半导体芯片互连结构的示意图。在第五实施例中,与第一实施例相同之处沿用相同标号,在此不再赘述。第五实施例的半导体芯片互连结构 612 与第一实施例的半导体芯片互连结构 112 不同之处在于,半导体芯片互连结构 612 的凸块组 618 更包括涂布层 638,其形成于第一凸块 620 的外表面及第二凸块 622 的外表面。较佳但非限定地,涂布层 638 覆盖整个第一凸块 620 及第二凸块 622。涂布层 638 可保护第一凸块 620 及第二凸块 622 免于受到环境的侵蚀,例如是氧化。

[0063] 本实施例中,在第一凸块 620 及第二凸块 622 形成后,可应用溅镀 (sputter) 技术或无电镀法 (electroless plating) 形成涂布层 638;或者,在另一实施态样中,形成第一凸块 620 及第二凸块 622 的焊线 (未绘示) 本身即具有涂布层 638。在打线工具头将第一凸块 620 及第二凸块 622 形成于基板上后,涂布层 638 仍保留在第一凸块 620 及第二凸块 622 上。

[0064] 较佳但非限定地,涂布层 638 的材质由镍 (Ni) 与金 (Au) 至少一者所组成,例如是镍金合金、化学镍金 (ENIG) 或金。

[0065] 虽然第五实施例的涂布层 638 以形成于图 7 的第一凸块 620 及第二凸块 622 为例作说明。然本技术领域的通常知识当知,涂布层 638 也可形成于上述第二实施例至第三实施例的第一凸块、第二凸块及第三凸块上,以及上述第四实施例的第一凸块及第二凸块上。

[0066] 第六实施例

[0067] 请参照图 8,其绘示依照本发明第六实施例的半导体芯片互连结构的示意图。在第六实施例中,与第一实施例相同之处沿用相同标号,在此不再赘述。第六实施例的半导体芯片互连结构 712 与第一实施例的半导体芯片互连结构 112 不同之处在于,半导体芯片互连结构 712 更包括绝缘层 726,其包覆凸块组 718。第二凸块 722 的上表面 734 未被绝缘层 726 覆盖而外露,用于与焊球 708 电连接。

[0068] 第二凸块 722 设于第一凸块 720 上,焊球 708 设于第二凸块 722 上。

[0069] 绝缘层 726 可保护凸块组 718,使凸块组 718 免受环境的侵蚀,例如是氧化。绝缘层 726 完全避免焊球 708 溢流至接垫 114 上,可提升凸块组 718 与接垫 114 之间的电性品质及可靠性

[0070] 虽然第六实施例的绝缘层 726 以形成于图 8 的半导体芯片互连结构 712 为例作说

明。然本技术领域的通常知识当知,绝缘层 726 也可形成于上述第二实施例至第五实施例的凸块组。

[0071] 当绝缘层 726 形成于第二实施例(图 4)至第三实施例(图 5)的凸块组时,绝缘层 726 包覆凸块组的侧面而不覆盖凸块组中与焊球连接的凸块表面,可使凸块表面外露而与焊球电连接。举例来说,以图 3(第一实施例)为例作说明,绝缘层包覆凸块组 118 并暴露出第二凸块 122 的上表面 134。又例如,以图 4(第二实施例)为例作说明,绝缘层包覆凸块组 218 并暴露出第三凸块 224 的上表面。再例如,以图 5(第三实施例)为例作说明,绝缘层包覆凸块组 418 并暴露出第二凸块 422 及第三凸块 424 的上表面。

[0072] 此外,在另一实施态样中(未绘示),半导体芯片互连结构 712 的凸块组也可形成有如第五实施例所述的涂布层 638。

[0073] 第七实施例

[0074] 请参照图 9,其绘示依照本发明第七实施例的半导体芯片互连结构的示意图。在第七实施例中,与第一实施例相同之处沿用相同标号,在此不再赘述。第七实施例的半导体芯片互连结构 812 与第一实施例的半导体芯片互连结构 112 不同之处在于,半导体芯片互连结构 812 包括两组凸块组 818,其同时形成于单一接垫 814 上。

[0075] 每组凸块组 818 包括一第一凸块 820 及一第二凸块 822。两组凸块组 818 共同形成于接垫 814 上。

[0076] 通过较小的第一凸块 820,可同时设置两组第一凸块 820 至接垫 814 上,以增加输出/入接点的数目。

[0077] 此外,在另一实施态样中(未绘示),可形成如第六实施例所述的绝缘层 726 于半导体芯片互连结构 812,以保护凸块组 818。其中,较佳但非限定地,两组凸块组 818 之间填满绝缘层 726 的一部分(未绘示)。

[0078] 在另一实施态样中(未绘示),也可形成如第五实施例所述的涂布层 638 于半导体芯片互连结构 812 的凸块组。

[0079] 此外,上述半导体芯片互连结构 212、312、412、512、612、712 及 812 也可跟图 1 的基板 110 电性接合,接合后的半导体封装件相似于第一实施例的半导体封装件 100,在此便不再赘述。

[0080] 本发明上述实施例所揭露的半导体芯片互连结构及半导体封装件,与焊球接触的凸块的外径适当,使凸块中与焊球接触的表面的面积足够。如此,回焊后的焊球便可完全地形成于凸块上,不会往旁边流至接垫,避免污染到接垫。此外,由于回焊后的焊球可完全地形成于凸块上,故在制造性上,对焊球是可控制的。如此,可控制焊球的高度、大小及形状等,以配合制作工艺的运作,使制作工艺运作更具弹性。再者,与焊球接触的凸块尺寸不受接垫的尺寸影响,故可设计较大的凸块,以承接较大的焊球,增加焊球与对手件的结合度及电性品质。

[0081] 综上所述,虽然结合以上较佳实施例揭露了本发明,然而其并非用以限定本发明。本发明所属技术领域中熟悉此技术者,在不脱离本发明的精神和范围内,可作各种的更动与润饰。因此,本发明的保护范围应以附上的权利要求所界定的为准。

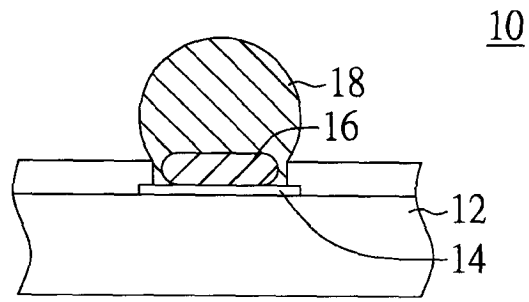


图 1

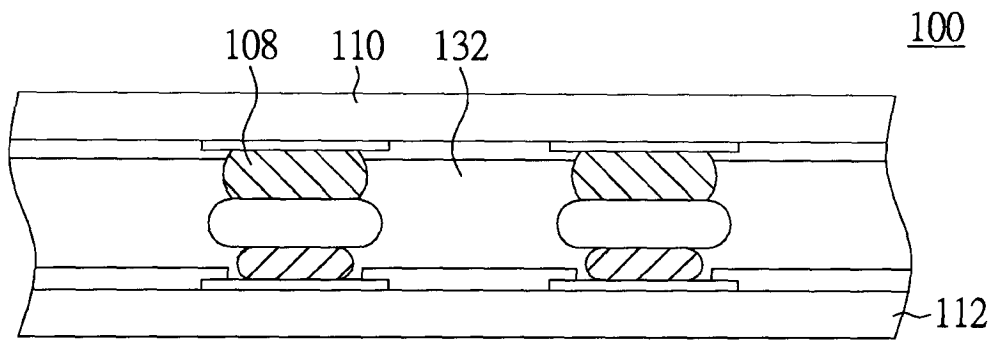


图 2

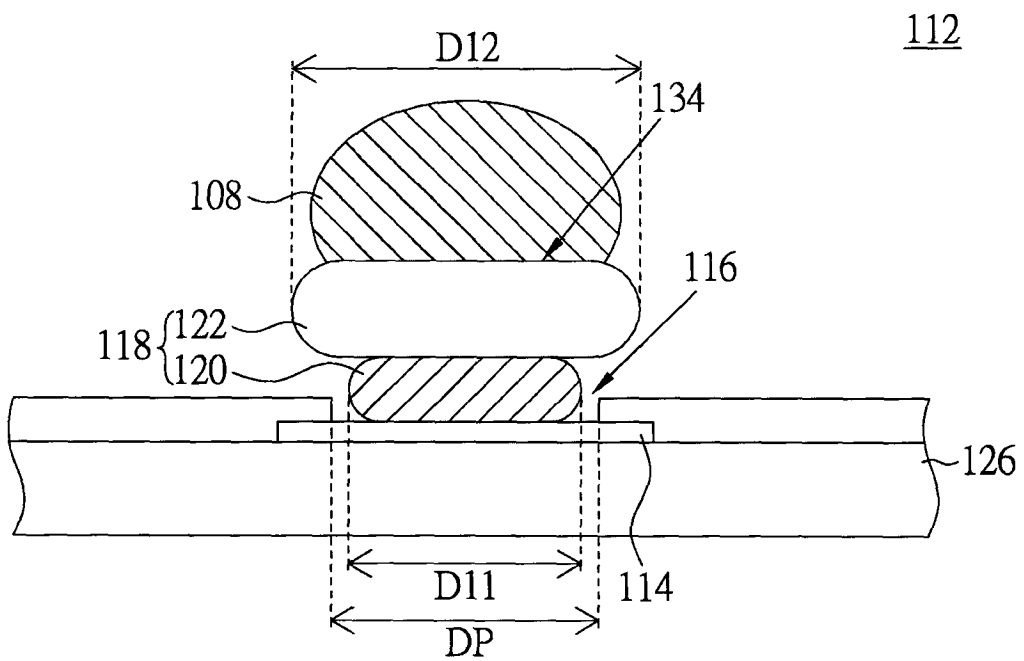


图 3

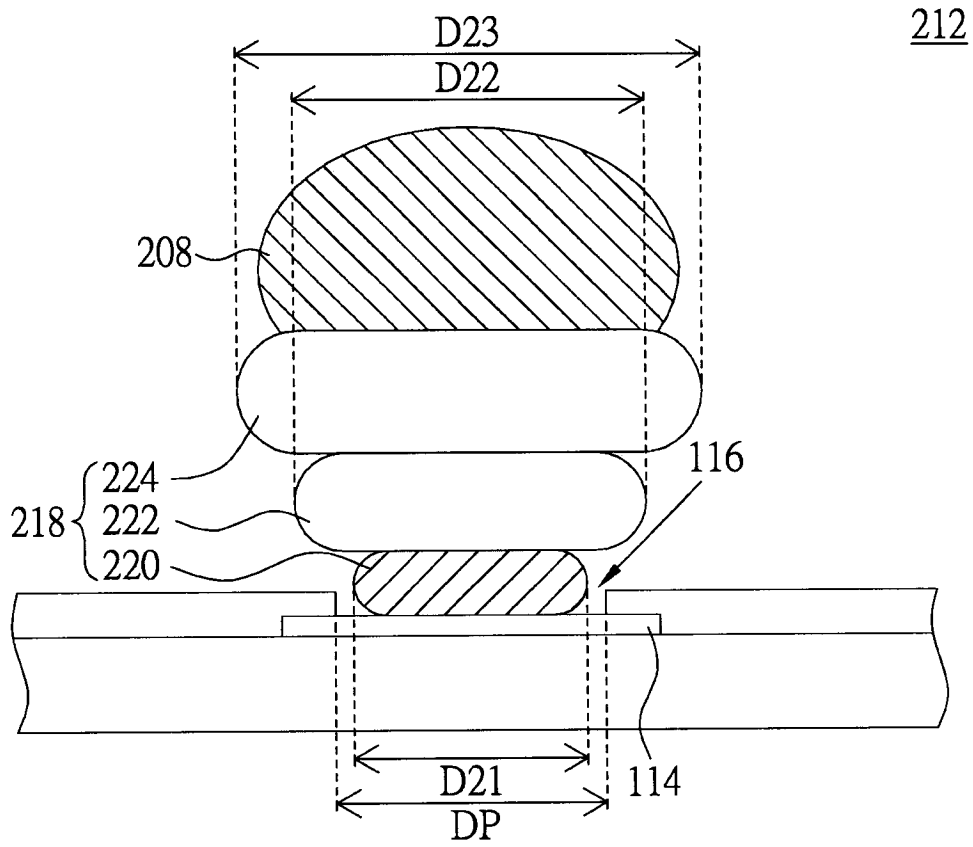


图 4

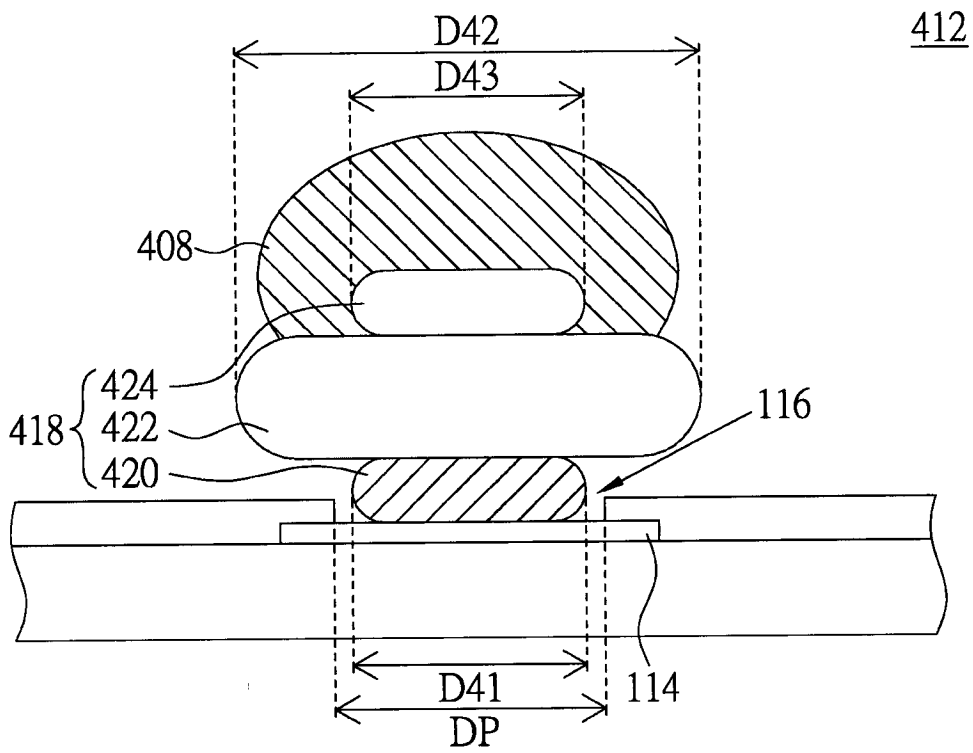


图 5

512

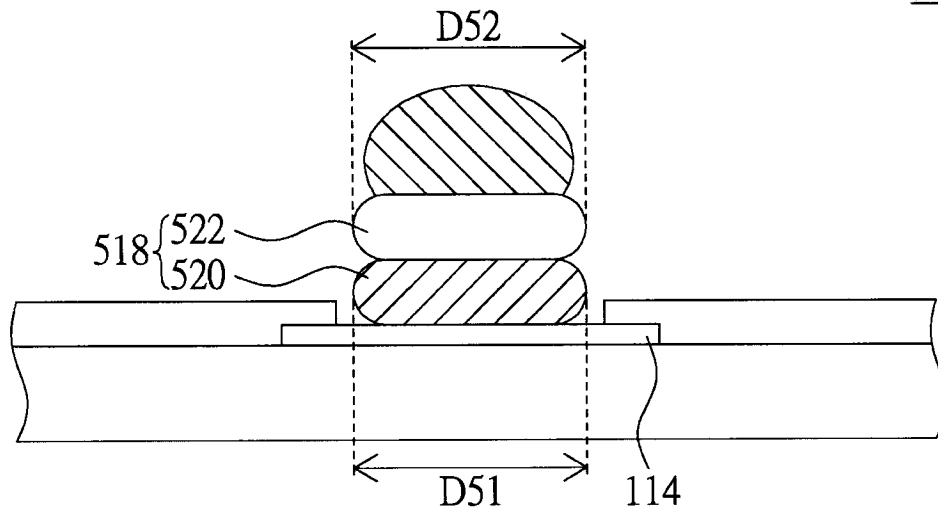


图 6

612

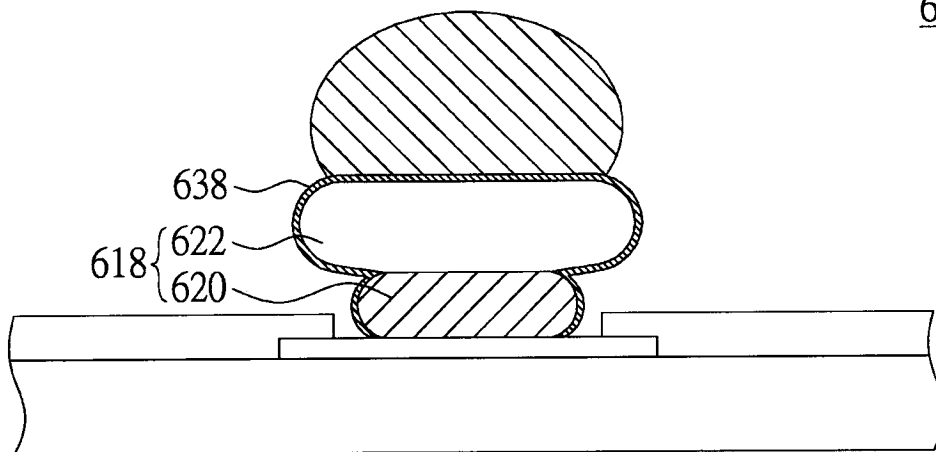


图 7

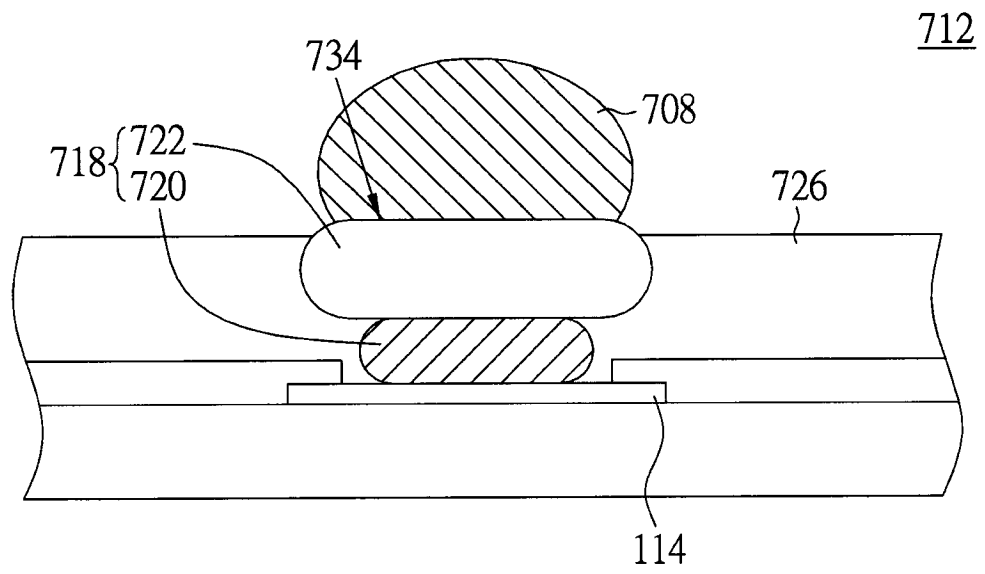


图 8

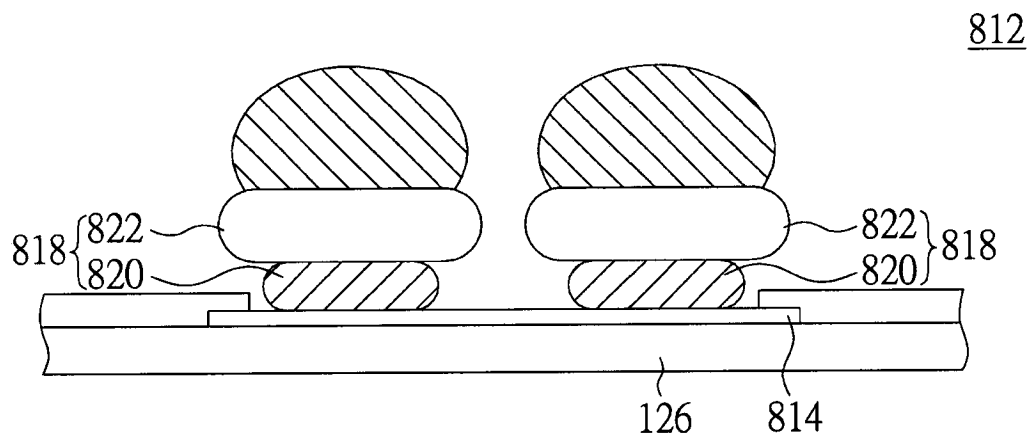


图 9