

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁷

H01L 27/12

H01L 21/84

[12] 发明专利申请公开说明书

[21] 申请号 00130631.6

[43]公开日 2001年4月25日

[11]公开号 CN 1292572A

[22]申请日 2000.10.8 [21]申请号 00130631.6

[30]优先权

[32]1999.10.6 [33]JP [31]285269/1999

[71]申请人 三菱电机株式会社

地址 日本东京都

[72]发明人 国清辰也

[74]专利代理机构 中国专利代理(香港)有限公司

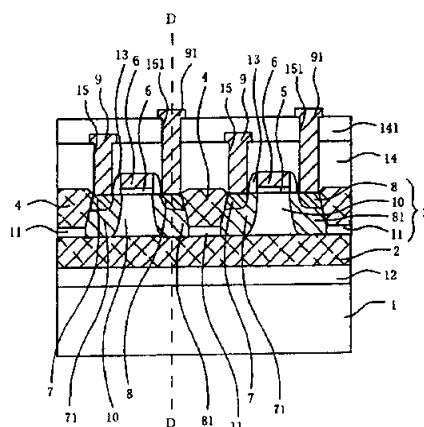
代理人 杨凯 叶恺东

权利要求书 4 页 说明书 25 页 附图页数 20 页

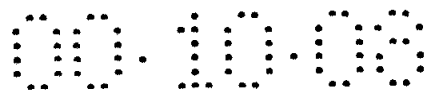
[54]发明名称 半导体装置及其制造方法

[57]摘要

本发明的目的在于,通过在 SOI 结构的半导体装置中抑制经局部 STI 结构的隔离绝缘膜邻接的晶体管之间发生的漏电流,来得到提高了隔离特性和耐压的半导体装置及其制造方法。其解决方法是,在由半导体衬底 1、埋入氧化膜 2 和半导体层 3 构成的 SOI 结构的半导体衬底 1 与埋入氧化膜 2 相接的表面上形成杂质层 12。



ISSN 1008-4274



权 利 要 求 书

1、一种半导体装置，备有由半导体衬底、埋入氧化膜、和半导体层构成的 SOI 衬底，其特征在于，具备：

5 包围在所述半导体层的主表面上配置的第 1 和第 2 有源区并距所述埋入氧化膜为规定距离的被形成的隔离绝缘膜；

在所述第 1 有源区中形成的第 1 有源元件；

在所述第 2 有源区中形成的第 2 有源元件；

在与所述埋入氧化膜的界面附近的所述半导体衬底的一主表面上被形成的杂质层；以及

10 与所述杂质层导电性地连接的布线。

2、根据权利要求 1 所述的半导体装置，其特征在于：

杂质层和半导体层的导电型为第 1 导电型；

第 1 有源元件为具有从第 1 有源区的主表面到达埋入氧化膜的第 2 导电型的第 1 源区和漏区的 MOS 型晶体管；

15 第 2 有源元件为具有从第 2 有源区的主表面到达所述埋入氧化膜的第 2 导电型的第 2 源区和漏区的 MOS 型晶体管；

固定了所述杂质层和隔离绝缘膜下的所述半导体层的电位。

3、根据权利要求 1 所述的半导体装置，其特征在于：

杂质层和半导体层的导电型为第 1 导电型；

20 第 1 有源元件为具有从第 1 有源区的主表面到达埋入氧化膜的第 2 导电型的第 1 源区和漏区的 MOS 型晶体管；

第 2 有源元件为具有从第 2 有源区的主表面到达所述埋入氧化膜的第 2 导电型的第 2 源区和漏区的 MOS 型晶体管；

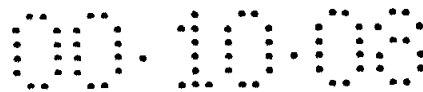
25 固定了所述杂质层的电位，没有固定隔离绝缘膜下所述半导体层的电位。

4、根据权利要求 1 所述的半导体装置，其特征在于：

半导体层的导电型为第 1 导电型，杂质层的导电型为第 2 导电型；

30 第 1 有源元件是具有从第 1 有源区的主表面开始距埋入氧化膜为规定距离被形成的第 2 导电型的第 1 源区和漏区的 MOS 型晶体管；

第 2 有源元件是具有从第 2 有源区的主表面开始距所述埋入氧化膜规定距离被形成的第 2 导电型的第 2 源区和漏区的 MOS 型晶体管；



加到所述杂质层上的电压对于半导体衬底为反向偏压。

5、根据权利要求1所述的半导体装置，其特征在于：

5 还备有从隔离绝缘膜下的半导体层表面到达埋入氧化膜并互相邻接地分别被施加成为反向偏压的电压的第1导电型的第1杂质区和第2导电型的第2杂质区；

第1有源元件是具有从第1有源区主表面到达埋入氧化膜、其某一方与第1杂质区邻接的第2导电型的第1源区和漏区的MOS型晶体管；

10 第2有源元件是具有从第2有源区主表面到达所述埋入氧化膜、其某一方与所述第2杂质区邻接的第1导电型的第2源区和漏区的MOS型晶体管；

施加到杂质层上的电压对于半导体衬底为反向偏压。

6、根据权利要求1所述的半导体装置，其特征在于：

15 还备有从隔离绝缘膜下半导体层表面到达埋入氧化膜并互相邻接地分别被施加成为反向偏压的电压的第1导电型的第1杂质区和第2导电型的第2杂质区；

第1有源元件是备有与所述第1杂质区邻接的第2导电型的第3杂质区，和与该第3杂质区邻接的第1导电型的第4杂质区的二极管；

20 第2有源元件是备有与所述第2杂质区邻接的第1导电型的第5杂质区，和与该第5杂质区邻接的第2导电型的第6杂质区的二极管；

施加于杂质层上的电压对于半导体衬底为反向偏压。

7、根据权利要求1到6任一项所述的半导体装置，其特征在于：杂质层延伸到有源区下。

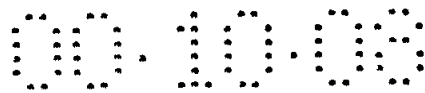
25 8、根据权利要求1到6的任一项中所述的半导体装置，其特征在于：还备有与形成了第1有源元件和第2有源元件的功能块不同的功能块。

9、一种半导体装置的制造方法，其特征在于，具备：

在半导体衬底表面上有埋入氧化膜形成的半导体层的SOI衬底的半导体衬底表面上形成杂质层的工序；

30 形成包围配置于所述半导体层主表面的第1和第2有源区并在其下残留所述半导体层一部分的隔离绝缘膜的工序；

在所述第1有源区中形成第1有源元件的工序；



在所述第 2 有源区中形成第 2 有源元件的工序；及
形成与所述杂质层连接的布线的工序。

10、根据权利要求 9 所述半导体装置的制造方法，其特征在于：
第 1 有源元件和第 2 有源元件是具有同一导电型的 MOS 型晶体
5 管，

形成隔离绝缘膜的工序具备：

形成覆盖半导体层有源区表面的掩模并从半导体层主表面起残留底部并进行刻蚀，形成包围有源区的沟的工序；

在整个面上形成绝缘膜的工序；

10 除去所述掩模表面上的所述绝缘膜的工序；及
除去掩模的工序，

还具备在形成所述沟的工序后，而且在形成所述绝缘膜的工序之前，对所述沟下所述半导体层以离子方式注入与所述半导体层为同一的导电型的高浓度杂质的工序。

15 11、根据权利要求 10 所述的半导体装置的制造方法，其特征在于，

第 1 有源元件为具有第 1 导电型的 MOS 型晶体管，第 2 有源元件为具有第 2 导电型的 MOS 型晶体管；

20 在形成隔离绝缘膜的工序后，而且在形成绝缘膜的工序之前具备：

在所述第 1 有源元件的所述隔离绝缘膜上形成具有开口的第 1 掩膜工序；

在整个面上以离子方式注入具有第 2 导电型的杂质，在所述第 1 有源元件的所述隔离绝缘膜下的半导体层中形成第 1 杂质区的工序；

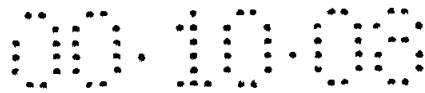
25 除去所述第 1 掩膜的工序；

在所述第 2 有源元件的所述隔离绝缘膜上形成具有开口的第 2 掩膜工序；以及

30 在整个面上以离子方式注入具有第 1 导电型的杂质，在所述第 2 有源元件的所述隔离绝缘膜下的半导体层中形成第 2 杂质区，并除去所述第 2 掩膜的工序。

12、一种半导体装置的制造方法，其特征在于，具备：

形成覆盖在半导体衬底表面上经隔离绝缘膜形成的半导体层主



表面上配置的第 1 和第 2 有源区表面的掩模，从所述半导体层主表面起残留底部进行刻蚀，形成包围所述第 1 和第 2 有源区的沟的工序；

对所述沟下的所述半导体衬底以离子方式注入杂质，并在所述半导体衬底表面中形成杂质层的工序；

5 在整个面上形成绝缘膜的工序；

除去所述掩模表面上的所述绝缘膜的工序；

除去所述掩模的工序；

在所述第 1 有源区中形成第 1 有源元件的工序；

在所述第 2 有源区中形成第 2 有源元件的工序；以及

10 形成与所述杂质层连接的布线的工序。

13、根据权利要求 12 所述的半导体装置的制造方法，其特征在于：

第 1 有源元件和第 2 有源元件是具有同一导电型的 MOS 型晶体管，

15 还具备在形成沟的工序以后，并形成绝缘膜的工序之前，对沟下的半导体层以离子方式注入与所述半导体层为同一导电型的高浓度杂质的工序。



说明书

半导体装置及其制造方法

5 本发明是涉及一种 SOI (Silicon On Insulator: 绝缘体上的硅) 结构的半导体装置及其制造方法, 特别是涉及其底面具有不到达埋入氧化膜的隔离绝缘膜 (以下称为局部 STI (Partial Shallow Trench Isolation)) 的半导体装置及其制造方法。

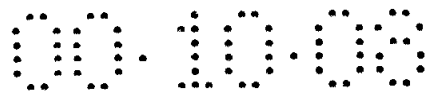
10 具有由半导体衬底、埋入氧化膜和半导体层组成的 SOI 结构的半导体装置, 因为用埋入氧化膜和其底面到达埋入氧化膜的元件隔离 (以下称为全 STI (Full Shallow Trench Isolation)) 包围有源区, 所以即使形成 CMOS 晶体管也没有引起锁定 (latch up) 的担心, 并且, 因为源 - 漏区接到埋入氧化膜上, 与半导体衬底表面上直接形成了晶体管的半导体装置比较, 具有结电容小、能高速工作, 同时备用时漏电流也减少, 并能抑制功耗的优点。

15 可是, 在埋入氧化膜表面上形成的半导体层膜厚例如为 $0.15\mu\text{m}$ 以上的场合, 因碰撞电离现象而产生的载流子 (nMOS 中为空穴, pMOS 为电子) 停留在沟道形成区下方的半导体层内, 因此或发生扭曲 (kink) 或工作耐压劣化, 并且, 因为存在沟道形成区电位不稳定, 故出现延迟时间的与频率相关性等的衬底浮游效应而发生的种种问题, 所以一般地说要固定沟道形成区的电位。特开昭 58-124243 号公报中已公开了固定沟道形成区的电位的半导体装置。

20 近年来, 为了不仅固定每个晶体管中沟道形成区的电位, 而且一并固定同一导电型的多个晶体管的沟道形成区电位, 用局部 STI 进行隔离来谋求微细化, 这种结构已公开于 IEEE International SOI Conference, Oct. 1997 等。

图 26 示出现有半导体装置的顶视图, 图中, 104 为隔离绝缘膜、106 为栅电极、107 和 108 为源 - 漏区、109 为布线。如图 26 所示, 在局部 STI 的场合, 对同一导电型的多个晶体管, 形成用于固定沟道形成区电位的布线 109。

30 图 27 示出现有半导体装置的剖面图, 就是图 26 的 X-X 线剖开的剖面图。图中, 101 为半导体衬底、102 为埋入氧化膜、1010 为沟道形成区、105 为栅绝缘膜、103 为半导体层, 及 1011 为沟道阻断层。



如图 27 所示，邻接的两个晶体管间的隔离绝缘膜 104 没有到达埋入氧化膜 102，并在隔离绝缘膜 104 下，形成含有与沟道形成区 1010 为同一导电型的高浓度杂质的沟道阻断层 1011。而且，两个沟道形成区 1010 通过沟道阻断层 1011 成为连接的状态，它与布线 109 连接而固定沟道形成区 1010 的电位。

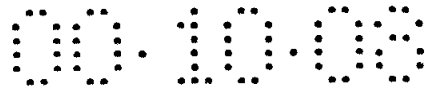
不过，在局部 STI 结构中，因元件间隔离耐压低，在对分别连接邻接的晶体管源 - 漏区的布线（未图示）的某一条加源电压对另一条加上漏电压等的经沟道阻断层邻接的源 - 漏区间发生电位差的情况下，因为在沟道阻断层有较大的漏电流流过，必须保留较大元件间隔离宽度，因此存在妨碍微细化的问题。

图 28 示出现有半导体装置的剖面图，就是图 26 的 Y-Y 线剖开的剖面图。由该图可以看出，在邻接的晶体管源 - 漏区间，由于隔离绝缘膜 104 不到达埋入氧化膜 102，所以有漏电流通过沟道阻断层 1011 流动。

本发明就是为解决上述问题而进行的，其目的在于提供这样一种半导体装置及其制造方法，该半导体装置具备能够一并固定多个晶体管沟道形成区电位的局部 STI 结构的隔离绝缘膜，抑制了经该隔离绝缘膜下的沟道阻断层流动的漏电流，并提高了隔离特性和耐压。

本发明的半导体装置具备由半导体衬底、埋入氧化膜、和半导体层构成的 SOI 衬底，其特征在于：具备包围半导体层主表面上配置的第 1 和第 2 有源区并形成距埋入氧化膜规定距离的隔离绝缘膜；第 1 有源区上形成的第 1 有源元件；第 2 有源区上形成的第 2 有源元件；在与埋入氧化膜的界面附近的半导体衬底 - 主表面上形成的杂质层；以及导电性地连接杂质层的布线。由于形成了杂质层，即使在经隔离绝缘膜邻接的晶体管间发生电位差，也能抑制在该部分发生漏电流，同时能提高耐压。

进而，本发明的半导体装置的特征在于，杂质层和半导体层为第 1 导电型，第 1 有源元件为具有从第 1 有源区的主表面到达埋入氧化膜的第 2 导电型的第 1 源区和漏区的 MOS 型晶体管，第 2 有源元件为具有从第 2 有源区的主表面到达埋入氧化膜的第 2 导电型的第 2 源区和漏区的 MOS 型晶体管，固定了杂质层和隔离绝缘膜下半导体层的电位。由于固定了隔离绝缘膜下半导体层的电位，同时用与晶体管相反

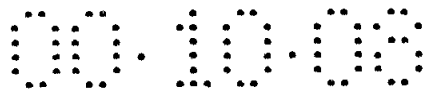


导电型的杂质形成半导体衬底表面的杂质层并使其电位固定，所以即使在经隔离绝缘膜邻接的晶体管源-漏区间发生电位差，也能抑制在该部分发生漏电流，并能够提高耐压。

5 并且，本发明的半导体装置的特征在于：杂质层和半导体层为第1导电型，第1有源元件为具有从第1有源区的主表面到达埋入氧化膜的第2导电型的第1源区和漏区的MOS型晶体管，第2有源元件为具有从第2有源区的主表面到达埋入氧化膜的第2导电型的第2源区和漏区的MOS型晶体管，固定了杂质层的电位，没有固定隔离绝缘膜下半导体层的电位。因为不固定隔离绝缘膜下半导体层的电位而使邻
10 接的晶体管沟道形成区浮游并共用，可以使彼此的阈值电压精确一致，同时在隔离绝缘膜下的半导体表面上形成与晶体管相反导电型的杂质层并使其电位固定，所以即使在经隔离绝缘膜邻接的晶体管源-漏区间发生电位差，也能抑制在该部分发生漏电流，并能够提高耐压。

15 并且，本发明的半导体装置的特征在于：半导体层为第1导电型，杂质层为第2导电型，第1有源元件是具有从第1有源区的主表面形成距埋入氧化膜规定距离的第2导电型的第1源区和漏区的MOS型晶体管，第2有源元件是具有从第2有源区的主表面形成距埋入氧化膜规定距离的第2导电型的第2源区和漏区的MOS型晶体管，施加于杂
20 质层上的电压为对半导体衬底的反向偏压。在源-漏区不到达埋入氧化膜的结构的场合，由于将对半导体衬底为反向偏压这样的电压加到杂质层上，所以即使在经隔离绝缘膜邻接的晶体管源-漏区间发生电位差，也能抑制在该部分发生漏电流，并能够提高耐压。

25 并且，本发明的半导体装置的特征在于：还备有从隔离绝缘膜下的半导体层表面到达埋入氧化膜并互相邻接地分别施加成为反偏的电压的第1导电型的第1杂质区和第2导电型的第2杂质区，第1有源元件是从第1有源区主表面到达埋入氧化膜并具有某一方与第1杂质区邻接的第2导电型的第1源区和漏区的MOS型晶体管，第2有源元件是从第2有源区主表面到达埋入氧化膜并具有某一方与第2杂质
30 区邻接的第1导电型的第2源区和漏区的MOS型晶体管，加到杂质层上的电压为对半导体衬底反向的偏压。由于固定了第1、第2杂质区和杂质层的电位，所以即使在经隔离绝缘膜邻接的晶体管源-漏区间



发生电位差，也能抑制在该部分发生漏电流，并能够提高耐压。

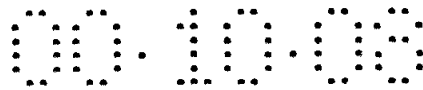
并且，本发明的半导体装置的特征在于：还备有从隔离绝缘膜下的半导体层表面到达埋入氧化膜并互相邻接地分别施加成为反偏的电压的第1导电型的第1杂质区和第2导电型的第2杂质区，第1有源元件是备有与第1杂质区邻接的第2导电型的第3杂质区和与该第3杂质区邻接的第1导电型的第4杂质区的二极管，第2有源元件是备有与第2杂质区邻接的第1导电型的第5杂质区，和与该第5杂质区邻接的第2导电型的第6杂质区的二极管，加到杂质层上的电压为对半导体衬底反向的偏压。由于形成第1、第2杂质区和杂质层并固定了其电位，所以即使在经隔离绝缘膜邻接的二极管相反导电型杂质区间发生电位差，也能抑制在该部分发生漏电流，并能够提高耐压。

进而，本发明的半导体装置的特征在于杂质层延伸到有源区下。因半导体衬底表面形成杂质层，即使在形成源-漏区时注入的杂质穿透埋入氧化膜到达半导体衬底，也由于被取入杂质层中并使其电位固定，所以不担心成为电路误操作的原因，并起到提高半导体装置可靠性的效果。

此外，本发明的半导体装置的特征在于还具备与形成了第1有源元件和第2有源元件的功能块不同的功能块。该功能块中，可以在需要共同固定沟道形成区电位的部分，根据功能需要形成由局部STI隔离的第1和第2有源元件，并决定与其相一致的杂质层的导电型及所加的电压。

并且，本发明的半导体装置的制造方法具备：在半导体衬底表面上经埋入氧化膜形成有半导体层的SOI衬底的半导体衬底表面上形成杂质层的工序；包围半导体层主表面上配置的第1和第2有源区并在其下形成残留半导体层一部分的隔离绝缘膜的工序；在第1有源区中形成第1有源元件的工序；在第2有源区中形成第2有源元件的工序；及形成连接到杂质层上的布线的工序。采用本方法，可以制造能通过布线固定杂质层电位的半导体装置。

进而，因为可以不仅在隔离区而且在有源区下形成杂质层，故即使在杂质区形成之际以离子方式注入杂质穿透埋入氧化膜到达半导体衬底，也被取入杂质层内，而不必担心成为电路误操作的原因，并能得到提高了可靠性的半导体装置制造方法。

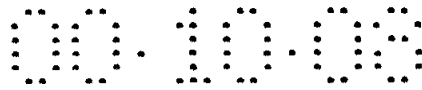


进而，本发明的半导体装置制造方法的特征在于：第 1 有源元件和第 2 有源元件是具有同一导电型的 MOS 型晶体管，形成隔离绝缘膜的工序具备形成覆盖半导体层的有源区表面的掩模并从半导体层主表面起进行刻蚀而残留底部、形成包围有源区的沟的工序、在整个面上形成绝缘膜的工序、除去掩模表面上绝缘膜的工序、及除去掩模的工序，还具备在形成沟的工序后而在形成绝缘膜的工序之前，向沟下
5 半导体层中以离子方式注入与半导体层为同一导电型的高浓度杂质的工序。因为向隔离绝缘膜下半导体层以离子方式注入比半导体层杂质浓度高的杂质来形成沟道阻断层，故可以得到隔离特性进一步提高的半导体装置。
10

并且，本发明的半导体装置的制造方法的特征在于第 1 有源元件为具有第 1 导电型的 MOS 型晶体管，第 1 有源元件为具有第 2 导电型的 MOS 型晶体管，并具备：在形成沟的工序后且在形成绝缘膜的工序之前，在第 1 有源元件的隔离绝缘膜上形成具有开口的第 1 掩膜工
15 序；在整个面上以离子方式注入具有第 2 导电型的杂质，在第 1 有源元件的隔离绝缘膜下的半导体层中形成第 1 杂质区的工序；除去第 1 掩膜的工序；在第 2 有源元件的隔离绝缘膜上形成具有开口的第 2 掩膜工序；在整个面上以离子方式注入具有第 1 导电型的杂质，在第 2 有源元件隔离绝缘膜下的半导体层中形成第 2 杂质区的工序；以及除
20 去第 2 掩膜的工序。因此可以得到这样配置的半导体装置，使得以 pMOS 晶体管和 nMOS 晶体管的源 - 漏区的一方，与隔离绝缘膜下形成的第 1、第 2 杂质区成为 pnpn 关系。

并且，本发明的半导体装置的制造方法具备：形成覆盖在半导体衬底表面上经隔离绝缘膜形成的半导体层主表面上配置的第 1 第 2 有
25 源区表面上的掩模，并从半导体层主表面起进行刻蚀而残留底部，形成包围第 1 和第 2 有源区的沟的工序；向沟下半导体衬底中以离子方式注入杂质并在半导体衬底表面形成杂质层的工序和在整个面上形成绝缘膜的工序；除去掩模表面上绝缘膜的工序；除去掩模的工序；在第 1 有源区中形成第 1 有源元件的工序；在第 2 有源区中形成第 2
30 有源元件的工序；以及连接到杂质层上的布线的工序。可以制造能够通过布线固定杂质层的电位的半导体装置。

进而，本发明的半导体装置的制造方法的特征在于第 1 有源元件



和第 2 有源元件是具有同一导电型的 MOS 型晶体管，还具备在形成沟的工序以后并形成绝缘膜的工序之前，向沟下半导体层中以离子方式注入与半导体层为同一导电型高浓度的杂质的工序。由于在隔离绝缘膜下的半导体层中以离子方式注入比半导体层浓度高的杂质而形成沟道阻断层，所以能够得到隔离特性进一步提高的半导体装置。

5 图 1 表示本发明实施例 1 的半导体装置剖面图。

图 2 表示本发明实施例 1 的半导体装置顶视图。

图 3 表示本发明实施例 1 的半导体装置剖面图。

图 4 表示本发明实施例 1 的半导体装置剖面图。

10 图 5 表示本发明实施例 1 的半导体装置中含有的杂质浓度分布曲线图。

图 6 表示本发明实施例 1 的半导体装置漏电流的图。

图 7 表示本发明实施例 1 的半导体装置漏电流的图。

15 图 8 表示本发明实施例 1 的半导体装置制造方法一个工序的剖面图。

图 9 表示本发明实施例 1 的半导体装置制造方法一个工序的剖面图。

图 10 表示本发明实施例 1 的半导体装置制造方法一个工序的剖面图。

20 图 11 表示本发明实施例 1 的半导体装置制造方法一个工序中半导体装置的元件中含有的杂质浓度分布曲线。

图 12 表示本发明实施例 1 的半导体装置制造方法一个工序中半导体装置的元件中含有的杂质浓度分布曲线图。

25 图 13 表示本发明实施例 2 的半导体装置制造方法一个工序的剖面图。

图 14 表示本发明实施例 2 的半导体装置剖面图。

图 15 表示本发明实施例 2 的半导体装置漏电流的图。

图 16 表示本发明实施例 2 的半导体装置漏电流的图。

图 17 表示本发明实施例 2 的半导体装置漏电流的图。

30 图 18 表示本发明实施例 2 的半导体装置制造方法一个工序的剖面图。

图 19 表示本发明实施例 3 的半导体装置剖面图。

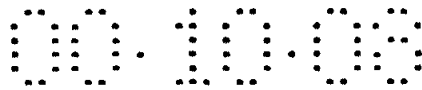


图 20 表示本发明实施例 3 的半导体装置顶视图。

图 21 表示本发明实施例 3 的半导体装置漏电流的曲线图。

图 22 表示本发明实施例 3 的另一个半导体装置剖面图。

5 图 23 表示本发明实施例 3 的半导体装置制造方法一个工序的剖面图。

图 24 表示本发明实施例 3 的半导体装置制造方法一工序的剖面图。

图 25 表示本发明实施例 4 的半导体装置的平面图。

图 26 表示现有半导体装置的顶视图。

10 图 27 表示现有半导体装置的剖面图。

图 28 表示现有半导体装置的剖面图。

实施例 1

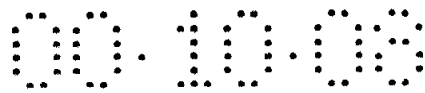
图 1 是本发明实施例 1 的半导体装置剖面图，图 1 中，1 为 p 型半导体衬底，2 为埋入氧化膜，3 为半导体层，4 为隔离绝缘膜，5 为栅绝缘膜，6 为栅电极，7、8、71 和 81 为源 - 漏区，9 和 91 为布线，10 为沟道形成区，12 为杂质层，13 为侧壁，14 和 141 为层间绝缘膜，15 和 151 为接触孔，源 - 漏区 7、8、71、81 和沟道阻断层 11 是对半导体层 3 注入杂质形成的。

20 半导体衬底 1、埋入氧化膜 2 和半导体层 3 构成所谓 SOI 衬底，其形成方法可以是粘合法、SIMOX 法等任一种方法。

25 半导体层 3 的厚度为 30 ~ 200nm 左右，埋入氧化膜 2 的膜厚为 0.04 ~ 0.4 μm 左右的情况下，沟道阻断层 11 含有硼等 p 型杂质浓度 $1 \times 10^{17} \sim 1 \times 10^{18}/\text{cm}^2$ （以下记为：1E17 ~ 1E18/ cm^2 等）左右，杂质层 12 含有硼等 p 型杂质浓度 1E17 ~ 1E19/ cm^2 左右，沟道形成区 10 含有硼等 p 型杂质浓度 1E17 ~ 1E18/ cm^2 左右。沟道阻断层 11 的浓度也可以与沟道形成区 10 相同，但浓度越高隔离特性越好。

30 并且，源 - 漏区 7 和 8 含有砷等 n 型杂质，浓度为 1E19 ~ 1E21/ cm^2 左右，源 - 漏区 71 和 81 含有磷或砷等 n 型杂质，浓度为 1E17 ~ 1E20/ cm^2 左右，并延伸到埋入氧化膜 2，成为 LDD (Lightly Doped Drain 轻掺杂漏) 结构。

栅电极 6 由含有磷等 n 型杂质，浓度为 2 ~ 15E20/ cm^2 左右的多晶硅来形成，除此以外，由含有杂质的多晶硅与 WSi_x 等金属硅化物层



叠结构，也可由 W、Mo、Cu、Al 等金属形成。

并且，也可以在栅电极 6 和源 - 漏区 7 及 8 的表面上形成钴硅化物（图中未示出）。

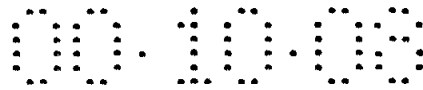
借助于由在半导体层 3 上形成的沟道阻断层 11 和硅氧化膜等的
5 隔离绝缘膜 4 构成的局部隔离区，将形成 1 个或多个晶体管的有源区
包围并互相隔离，其隔离宽度为 200~500nm 左右。并且，隔离绝缘
膜 4 的膜厚要这样设定，使其下的沟道阻断层 11 膜厚为 10~100nm
左右。而且，在微细加工上理想的是，隔离绝缘膜 4 的上表面与半导
10 体层 3 表面为同一平面，但是半导体层 3 较薄的情况下，沟道阻断层
11 若要留下足够膜厚，就难以得到元件隔离上所需膜厚，要提高元件
隔离性能，就要使隔离绝缘膜 4 的上表面比半导体层 3 表面高。并且，
在半导体层 3 与隔离绝缘膜 4 之间，根据需要形成 5~30nm 左右的氧
化硅膜（图中未示出）。在这里，虽然隔离区中使用了氧化硅膜，但是
15 也可用氮化硅膜、氮氧化硅膜、氟氧化硅膜（SiOF）等其它绝缘膜。

用作栅绝缘膜，有 SiO_2 、 SiON 、 $\text{SiO}_2/\text{Si}_3\text{N}_4/\text{SiO}_2$ （ONO）结构、
20 Ta_2O_5 、 Al_2O_3 等。

图 2 为本发明实施例 1 这种半导体装置的顶视图，而图 1 是示于
图 2 的 A-A 线剖开的剖面图。图 2 中，92 到 94 为布线，111 为杂质
区。布线 92 与栅电极 6 导电性地连接并提供栅电压，布线 93 与杂质
25 区 111 导电性地连接。

图 3 为本发明实施例的半导体装置的剖面图，就是示于图 2 的 B
- B 线剖开的剖面图。该图中，152 为接触孔。参照图 3，通过布线
93 对杂质区 111 加电压来固定经沟道阻断层 11 连接的沟道形成区 10
的电位。杂质区 111 含有与沟道形成区 10 同一导电型的杂质，至于
25 其杂质浓度，也可以与沟道形成区大约相同，但是浓度更高可以降低
电阻。

图 4 为本发明实施例 1 的半导体装置的剖面图，就是示于图 2 的
C-C 线剖开的剖面图。该图中，95 为布线，153 和 154 为接触孔。参
照图 4，布线 94 是埋入形成于层间绝缘膜 14 和 141 中所形成的接触
30 孔 153 内，并通过埋入形成于半导体层 3、埋入氧化膜 2 中形成的接
触孔 154 内的布线 95 连接杂质层 12，使杂质层 12 电位固定。为了分
别控制杂质层 12 和沟道形成区 10，包围半导体层 3 的周围形成用于



形成该布线 95 接触孔 154 的隔离绝缘膜 4 都是全 STI, 并与形成元件的半导体层 3 完全隔离。

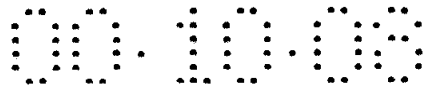
图 5 示出本发明实施例 1 的半导体装置中含有的杂质浓度分布曲线, 并示出了在图 1 示出的 D-D 线剖开的半导体层 3、埋入氧化膜 2 和半导体衬底 1 所含有的杂质浓度分布。为形成杂质层 12 而注入的硼, 通过各种工序的热处理工序, 向表面分凝因而具有如图 5 所示的分布。

接着说明有关工作, 参照图 1, 例如在 nMOS 管的场合, 对各个电极施加的电压为 $V_G = 0 \sim 1.8V$ 、 $V_D = 0 \sim 1.8V$ 、 $V_S = 0V$ 、 $V_B = 0 \sim -1V$ 左右, 栅电极 5 下的沟道形成区 10 的表面上形成沟道, 源 - 漏区 7 和 71 或源 - 漏区 8 和 81 的一方为源区而另一方为漏区, 作为电路进行工作。这时, 分别对沟道形成区 10 加上 $0V$, 对杂质层 12 加上 $1V$ 或 $-1V$ 。这些电压只是一个例子, 并随栅绝缘膜厚或栅长而改变。埋入氧化膜 2 的膜厚加厚时, 加到杂质层 12 上的电压绝对值就增大, 埋入氧化膜 2 的膜厚变薄时, 加到杂质层 12 上的电压绝对值就减小。

图 6 示出本发明实施例 1 的半导体装置漏电流的曲线图, 在示于图 1 的半导体装置中, 设定半导体层 3 的膜厚为 $0.15 \mu m$, 埋入氧化膜 2 的厚度为 $40nm$, 隔离绝缘膜 4 的宽度为 $0.2 \mu m$ 来进行模拟。在该曲线图中, 将经隔离绝缘膜 4 邻接的晶体管源 - 漏区 7 和 71 与 8 和 81 之间发生的电位差取作横轴, 而其间发生的漏电流取作纵轴。图中, \circ 表示不形成杂质层 12 的情况, \blacksquare 表示对杂质层 12 加上 $-1V$ 的情况, \blacktriangle 表示对杂质层 12 加上 $1V$ 的情况。由该图可以看出, 因形成杂质层 12, 漏电流减少, 耐压也提高了。

在本实施例中, 按照在整个面上形成杂质层 12 的图进行说明, 但是如果作为元件隔离只在局部 STI 部分的下部形成杂质层 12, 则能提高隔离特性。

在这里, 虽然对 NMOS 晶体管邻接的部分的一例进行了说明, 但是对 pMOS 晶体管邻接的部分也是同样的, 本发明完全可应用于同一导电型的源 - 漏区 7、71 和 8、81 经局部 STI 邻接的部分和因电路配置而发生电位差的部分。在 pMOS 晶体管的场合, 除半导体衬底 1 外的各个杂质区域的导电型变成相反, 所加的电压也分别为 $V_G = 0 \sim 1.8V$ 、 $V_D = 0 \sim 1.8V$ 、 $V_S = 1.8V$ 、 $V_B = 1.8V$ 左右, 沟道形成区 10



上为 1.8V，杂质层 12 上为 $\pm 1V$ ，至于栅电极 6 的多晶硅中含有的杂质也有 n 型的场合。

5 进而，在本实施例中，示出有关布线 9 和 91~94 的配置的一个例子，可是随电路结构不同，在晶体管之间形成层间绝缘膜的层数、配置等也不同，另外，虽然采用在一个有源区中形成一个晶体管的半导体装置来进行说明，但特别不限于此。

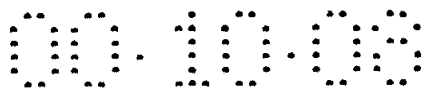
10 倘采用本半导体装置，由于在埋入氧化膜上形成并在互相隔离具有同一导电型的多个晶体管的局部 STI 结构的隔离绝缘膜 4 下的半导体衬底表面上形成与晶体管相反导电型的杂质层并使其电位固定，所以可以得到即使在经隔离绝缘膜邻接的晶体管源-漏区间发生电位差，也能抑制在该部分发生漏电流，同时能提高耐压，即使微细化也可提高隔离特性的半导体装置。

15 并且，在杂质层 12 不仅位于隔离绝缘膜下且延伸到源-漏区 71 和 81 下的场合，在源-漏区形成之时，即使注入的杂质穿透埋入氧化膜 2 到达半导体衬底 1，也因为被取入杂质层 12 内并将其电位固定，所以不担心成为电路误操作的原因，并具有提高半导体装置可靠性的效果。

20 用作读出放大器（交叉耦合型放大器）等的晶体管，要求灵敏度高，通过使邻接的晶体管沟道形成区成为浮游并共用，就能够使彼此的阈值电压精确一致。这样的情况下，为了使其不受其它晶体管影响，把只在打算共用的晶体管之间进行隔离称为局部 STI，而把与其它部分的隔离称为全 STI。因此，使沟道形成区成为浮游的部分的剖面图，与图 1 示出的相同。

25 图 7 表示本发明实施例 1 的半导体装置漏电流曲线图，该图是在示于图 1 的半导体装置中设定半导体层 3 膜厚为 $0.15\mu\text{m}$ ，埋入氧化膜 2 厚度为 40nm，隔离绝缘膜 4 宽度为 $0.2\mu\text{m}$ 来进行模拟的曲线，未对沟道形成区 10 加电压，即，处于浮游状态。该曲线中，把经隔离绝缘膜 4 邻接的晶体管源-漏区 7 和 71 与 8 和 81 之间发生的电位差作为横轴，而把其间发生的漏电流作为纵轴。图中，○表示不形成杂质层 12 的情况，▲表示对杂质层 12 加上 1V 的情况。由该图可以看出，因形成杂质层 12 并加上 1V，故提高了耐压。

30 在这里，举出读出放大器作为使沟道形成区浮游的例子，但是不



言而喻，即使是用作读出放大器的晶体管，有时也固定沟道形成区的电位。

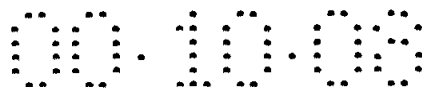
在这里，以 nMOS 晶体管邻接的部分为一例进行说明，对 pMOS 晶体管邻接的部分也同样，本发明完全可应用于同一导电型源 - 漏区
5 7、71 和 8、81 经局部 STI 邻接的部分和因电路配置而发生电位差的部分。在 pMOS 晶体管的场合，各个杂质区的导电型变成相反，加上的电压也分别为 $V_G = 0 \sim 1.8V$ 、 $V_D = 0 \sim 1.8V$ 、 $V_S = 1.8V$ 、 $V_B = 1.8V$ 左右，杂质层 12 上为 $-1V$ ，布线 93 和杂质区 111 不管是形成，或者不形成都行。

10 在上述的施加电压的半导体装置中，由于使在埋入氧化膜上形成并经互相隔离具有同一导电型多个晶体管的局部 STI 结构的隔离绝缘膜邻接的晶体管沟道形成区浮游并共用，所以可使彼此的阈值电压精确一致，同时因为在隔离绝缘膜下的半导体衬底表面上形成与晶体管相反导电型的杂质层并使其电位固定，可以得到即使在经隔离绝缘膜
15 邻接的晶体管源 - 漏区间发生电位差，也能抑制在该部分发生漏电流，同时能提高耐压，因而即使微细化也提高了隔离特性的半导体装置。

下面，说明本发明实施例 1 的半导体装置制造方法。

20 图 8~图 13 表示实施例 1 的半导体装置制造方法的一个工序剖面图。参照各图，在半导体衬底 1 表面上备有埋入氧化膜 2 和半导体层 3 的 SOI 衬底表面上，在 nMOS 晶体管的场合以离子方式注入硼等 p 型杂质，pMOS 晶体管时以离子方式注入磷等 n 型杂质，在半导体衬底 1 与埋入氧化膜 2 连接的部分形成杂质层 12。图 8 示出该工序结束阶段的半导体装置剖面图。这时的注入条件随埋入氧化膜 2 膜厚而不同，在埋入氧化膜厚为 $0.04 \mu m$ 左右时，硼等 p 型杂质注入条件能量
25 为 $200 \sim 300KeV$ ，剂量为 $1E13 \sim 1E14/cm^2$ 左右，在埋入氧化膜厚为 $0.4 \mu m$ 左右时是 $500 \sim 600KeV$ ， $1E13 \sim 1E14/cm^2$ 左右。并且，磷等的 n 型杂质注入条件，在埋入氧化膜厚为 $0.04 \mu m$ 左右时是 $200 \sim 300KeV$ ， $1E12 \sim 1E14/cm^2$ 左右，在埋入氧化膜厚为 $0.4 \mu m$ 左右时为
30 $500 \sim 600KeV$ ， $1E13 \sim 1E14/cm^2$ 左右。杂质层 12 的形成不限于以离子方式注入法，就是用等离子掺杂法、离子聚束法等也没关系。

图 9 中，31 为硅氧化膜，32 为氮化硅膜，41 为沟。参照图 9，

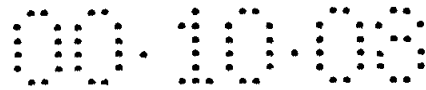


在半导体层 3 表面上形成具有 5~30nm 左右膜厚的硅氧化膜 31、具有 100~300nm 左右膜厚的氮化硅膜 32，使用光刻胶掩模（图未示出），用各向异性刻蚀法有选择地除去隔离区上的氮化硅膜 32 和硅氧化膜 31。而且，在除去光抗掩模后，以氮化硅膜 32 为掩模，各向异性刻蚀半导体衬底 1，在半导体衬底 1 表面形成深度 100~500nm 左右的沟 41。该沟宽度在 100~500nm 左右。然后，对 nMOS 的场合以硼等 p 型杂质，对 pMOS 的场合以磷、砷等 n 型杂质，在能量为 10~20KeV，剂量为 $5E12 \sim 1E13/cm^2$ 左右下，在整个面上以离子方式注入，形成沟道阻断层 11。图 9 示出该工序完了结束阶段的半导体装置中元件的剖面图。

只在隔离区形成杂质层 12 的情况下，与形成沟道阻断层 11 同样，可以在形成沟 41 的阶段进行。这时的注入条件随埋入氧化膜 2 膜厚而不同，硼等 p 型杂质在埋入氧化膜厚为 $0.04\mu m$ 左右时是能量 150~200keV，剂量 $1E13 \sim 1E14/cm^2$ 左右，埋入氧化膜厚为 $0.4\mu m$ 左右时是能量 450~550KeV，剂量 $1E13 \sim 1E14/cm^2$ 左右。并且，磷等的 n 型杂质的注入条件，埋入氧化膜厚为 $0.04\mu m$ 左右时是能量 150~250KeV，剂量 $1E12 \sim 1E14/cm^2$ 左右，埋入氧化膜厚为 $0.4\mu m$ 左右时是能量 450~550KeV，剂量 $1E13 \sim 1E14/cm^2$ 左右。

接着，用减压 CVD 法在整个面上形成硅氧化膜 450nm~550nm 左右的膜厚后（图未示出），采用以氮化硅膜 32 为中止层的 CMP（Chemical Mechanical Polishing）法，除去氮化硅膜 32 表面上的硅氧化膜，只在由沟 2 和氮化硅膜 32 构成的开口内部残留硅氧化膜。然后，用热磷酸的湿式刻蚀法除去氮化硅膜 32 后，再除去硅氧化膜 31，形成隔离绝缘膜 4。图 10 是该工序结束阶段的剖面图。至于沟道阻断层 11 和杂质层 12，也不妨在该阶段以离子方式注入来形成。图 11 示出该阶段的半导体装置中元件里含有的杂质浓度分布曲线，示出图 10 中表示的 E-E 线剖面的杂质浓度分布。

这个阶段中，通过在 800~1100℃ 左右进行烧结工序，在由硅氧化膜形成隔离绝缘膜 4 的情况下，可使膜质致密，同时能够提高杂质层 12 表面杂质浓度而降低电阻。图 12 示出该阶段的半导体装置中元件里含有的杂质浓度分布曲线，示出图 10 中表示的 E-E 线剖面的杂质浓度分布。



而且，在整个面上形成热氧化的硅氧化膜后（图未示出），在能量 $10 \sim 20\text{KeV}$ ，剂量 $1\text{E}12 \sim 5\text{E}12/\text{cm}^2$ 左右下，在 nMOS 的场合在整个面上以离子方式注入硼或氟化硼，在 pMOS 的场合在整个面上以离子方式注入磷或砷等杂质，对沟道形成区 10 导入调整阈值的杂质（图未示出）。硅氧化膜就是为了保护半导体衬底表面不受以离子方式注入时的损伤，并在以离子方式注入后除去。

接着，作为栅绝缘膜 5，例如通过在整个半导体衬底 1 表面上热氧化 $7 \sim 10\text{nm}$ 左右膜厚形成硅氧化膜后，用 CVD 法在整个面上形成成为栅电极 6 的多晶硅层 $150 \sim 300\text{nm}$ 左右后，通过用光刻胶掩模（图未示出）的各向异性刻蚀及进行构图，形成成为栅电极的多晶硅层 6。

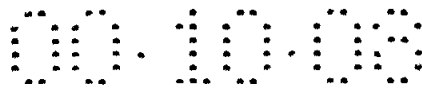
而且，用光刻胶掩模，在能量 $20 \sim 40\text{KeV}$ ，剂量 $1\text{E}13 \sim 4\text{E}14/\text{cm}^2$ 左右下，分别在 nMOS 的场合以离子方式注入磷或砷，在 pMOS 的场合以离子方式注入硼或氟化硼，形成源 - 漏区 7 和 8。图 13 示出本工序结束阶段的半导体装置中元件的剖面图。

接着，用 CVD 法在整个面上淀积硅氧化膜，膜厚为 $30 \sim 100\text{nm}$ 左右，通过进行回刻形成了侧壁 13 后，在能量 10KeV ，剂量 $1 \sim 5\text{E}15/\text{cm}^2$ 下，nMOS 的场合以离子方式注入砷等，pMOS 的场合以离子方式注入硼、或氟化硼等，并形成源 - 漏区 7 和 8。根据需要把源 - 漏区作成 LDD 结构，根据情况，有时也不形成源 - 漏区 7 和 8。所注入的杂质在 $800 \sim 900^\circ\text{C}$ 下进行 $10 \sim 30$ 分钟退火使之活化。若在 1050°C 下进行 $5 \sim 10$ 秒左右的 RTA (Rapid Thermal Anneal: 快速热退火) 处理，则既能抑制杂质的扩散，又能提高激活率。

侧壁 13 也可以是硅氧化膜和氮化硅膜的层叠膜，此时，用 RTO (Rapid Thermal Oxidation 快速热氧化) 法形成硅氧化膜后，用 CVD 法淀积氮化硅膜，进行回刻而成。

在栅电极 6 或源 - 漏区 7 和 8 表面上形成金属硅化物层的情况下，在这个阶段，如果在整个面上淀积钴进行 RTA 处理，则在露出了硅的部分进行反应，形成金属硅化物层。而后，将未反应原样残留的钴除去（图未示出）。

然后，用减压 CVD 法，淀积将成为层间绝缘膜 14 的硅氧化膜， $200\text{nm} \sim 6000\text{nm}$ 左右后，用干式刻蚀法，开出到达源 - 漏区 7 和 71 的接触孔 15，直径为 $0.1\mu\text{m} \sim 0.5\mu\text{m}$ ，其内部用 CVD 法埋入布线材



料后制成图形而形成布线 9。同样，形成层间绝缘膜 141，并形成到达源 - 漏区 8 和 81 的接触孔 151 和布线 91。这样一来，就形成示于图 1 的半导体装置。

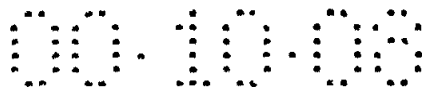
在这里虽然图中未画出，可是也同样形成示于图 3 的接触孔 152 和布线 93，和示于图 4 的接触孔 153 和布线 94。并且，也同样形成示于图 4 的接触孔 154 和布线 95，而关于形成顺序，可以在形成层间绝缘膜 14 和 141 之后，也可以与接触孔 153 和布线 94 同时形成，可以在形成隔离绝缘膜 4 之后，或在形成了栅电极 6 以后等各个阶段来形成。进而，也可以根据需要，分别用分开的工序进行接触孔和布线的形成，其形成顺序也可根据需要进行改变。进而有时可在上述的层上形成不同的层间绝缘膜和布线而成为多层布线。作为布线材料，有导入杂质的多晶硅、金属等，而使用金属时，要在各接触孔内壁上形成 TiN 等的阻挡金属层，以防止金属向半导体层 3 中扩散。

倘采用本实施例 1 中所示的半导体装置的制造方法，因为可在由半导体衬底 1、埋入氧化膜 2 和半导体层 3 构成的 SOI 结构的半导体装置的半导体衬底 1 表面上形成杂质层 12，故通过固定该杂质层 12 的电位，可以得到即使经局部 STI 结构的隔离绝缘膜在半导体层 3 表面形成具有同一导电型的晶体管的源 - 漏区之间发生电位差，也能够抑制在该部分发生漏电流，同时能提高耐压，即使微细化也提高了隔离特性的半导体装置的制造方法。

并且，由于不仅在隔离区而且在有源区下都可以形成杂质层 12，即使在源 - 漏区形成时以离子方式注入的杂质穿透埋入氧化膜 2 到达半导体衬底 1，也被取入杂质层 12 内，不担心成为电路误操作的原因，能得到提高了可靠性的半导体装置的制造方法。

25 实施例 2

图 14 是本发明实施例 2 的半导体装置剖面图，是图 2 所示 A-A 线剖开的剖面图。该图中，121 为杂质层。参照图 14，源 - 漏区 71 和 81 并不到达埋入氧化膜 2，杂质层 121 用与源 - 漏区为同一的导电型杂质来形成。就是说，在 nMOS 晶体管邻接于半导体层 3 表面被形成的场合，杂质层 121 含有磷等 n 型杂质， $1E17 \sim 1E20/cm^2$ 左右，在 pMOS 晶体管邻接地被形成的场合，杂质层 121 含有硼等 p 型杂质， $1E17 \sim 1E20/cm^2$ 左右。此外，至于膜厚、杂质浓度和杂质种类，都与



本实施例 1 所示的半导体装置同样。

在本实施例中，与实施例 1 比较，因源 - 漏区 71 和 81 及沟道形成区 10 的结部分的面积增大，使结电容增加了，但由于沟道形成区 10 与沟道阻断层 11 的结面积增大，因此具有更可靠地固定沟道形成区 10 电位的优点。

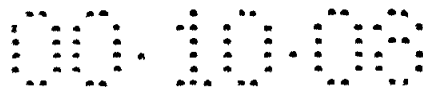
下面，说明有关工作。参照图 14，例如 nMOS 晶体管的情况，加到各个电极上的电压为 $V_G = 0 \sim 1.8V$ 、 $V_D = 0 \sim 1.8V$ 、 $V_S = 0V$ 左右，沟道形成于栅电极 5 下的沟道形成区 10 表面，源 - 漏区 7 和 71 或源 - 漏区 8 和 81 的一方成为源区而另一方成为漏区，作为电路进行工作。这时，沟道形成区 10 上加 0V，半导体衬底 1 上所加的电压 VB 只要使杂质层 121 与半导体衬底 1 之间成为反向偏压就行。这些电压只是一个例子，它随栅绝缘膜厚度和栅长而变动。

图 15 示出本发明实施例 2 的半导体装置的漏电流曲线，是在图 14 所示的半导体装置中设定半导体层 3 膜厚为 $0.15 \mu m$ ，埋入氧化膜 2 厚度为 40nm，隔离绝缘膜 4 宽度为 $0.2 \mu m$ 而进行模拟的曲线。在该曲线图中，取经隔离绝缘膜 4 邻接的晶体管源 - 漏区 7 和 71 与 8 和 81 之间发生的电位差为横轴，而取其间发生的漏电流为纵轴。图中，○表示不形成杂质层 121 的情况，□表示对杂质层 121 加上 -1V 的情况，△表示对杂质层 121 加上 1V 的情况。由该图可以看出，因形成杂质层 121，漏电流明显减少了。

在本实施例中，按照在整个面上形成杂质层 121 的图进行说明，然而只要在作为元件隔离使用了局部 STI 的部分下部形成杂质层 121，就能提高隔离特性。

另外，布线的配置、晶体管之间形成层间绝缘膜的层数、一个有源区内形成晶体管的个数等都只是一个例子，并不限于此。

图 16 示出本发明实施例 2 的半导体装置漏电流曲线，是表示在 pMOS 晶体管邻接的部分的漏电流曲线。pMOS 的情况也与 nMOS 的情况同样，本发明完全可应用于 p 型源 - 漏区 7、71 和 8、81 经局部 STI 邻接的部分和因电路配置而发生电位差的部分。pMOS 晶体管的情况，除半导体衬底 1 外的各个杂质区的导电型与 nMOS 相反，所加的电压也分别为 $V_G = 0 \sim 1.8V$ 、 $V_D = 0 \sim 1.8V$ 、 $V_S = 1.8V$ 左右，对沟道形成区 10 为 1.8V 左右，至于栅电极 6 的多晶硅中含有杂质也是 n 型的



情况。

这里,是在图 14 所示的半导体装置中设定半导体层 3 膜厚为 $0.15\ \mu\text{m}$, 埋入氧化膜 2 厚度为 40nm , 隔离绝缘膜 4 宽度为 $0.2\ \mu\text{m}$ 而进行模拟的曲线。在该曲线图中, 取经隔离绝缘膜 4 邻接的晶体管源-漏区 7 和 71 与 8 和 81 之间发生的电位差为横轴, 而取其间发生的漏电流为纵轴。图中, \circ 表示不形成杂质层 121 的情况, \square 表示对杂质层 121 加上 0.3V 的情况, \triangle 表示对杂质层 121 加上 -0.3V 的情况。由该图可以看出, 由于形成杂质层 121, 使漏电流明显减少, 耐压也提高了。

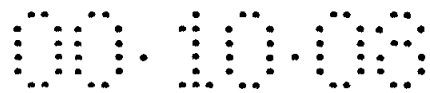
10 倘采用本实施例 2 的半导体装置, 具有同一导电型并在埋入氧化膜上形成的多个晶体管源-漏区不到达埋入氧化膜的结构中, 由于在互相隔离晶体管的局部 STI 结构的隔离绝缘膜下的半导体衬底表面上形成与晶体管同一导电型的杂质层并使其电位固定, 所以可以得到即使在经隔离绝缘膜邻接的晶体管源-漏区间发生电位差, 也能够抑制
15 在该部分发生漏电流, 同时能提高耐压, 而即使微细化也提高了隔离特性的半导体装置。

进而, 通过对杂质层 121 施加电压, 由于缓和了源-漏区 71 和 81 与其下的半导体层 3 之间的电场, 可以减少由 BTBT (Band to Band Tunneling: 带间隧穿)、TAT (Trap Asisted Tunneling: 俘获加速隧穿)、SRH (Shockley-Read-Hall: 肖特基-里德-霍尔) 过程、
20 碰撞电离等而引起的漏电流, 并能降低电力消耗。

并且, 在杂质层 121 不仅形成于隔离绝缘膜下而且形成了延伸到源-漏区 71 和 81 下的场合, 由于形成源-漏区之际所注入的杂质即使穿透埋入氧化膜到达半导体衬底 1, 也被取入杂质层 121 内, 所以
25 不担心成为电路误操作的原因, 而具有提高半导体装置可靠性的效果。

在用作为读出放大器 (交叉耦合型) 等晶体管的场合, 与实施例 1 同样, 也可以使邻接的晶体管沟道形成区成为浮游并进行共用。

图 17 示出本发明实施例 2 的半导体装置漏电流的曲线, 是在图
30 14 所示的半导体装置中在 nMOS 晶体管邻接的情况下设定半导体层 3 膜厚为 $0.15\ \mu\text{m}$, 埋入氧化膜 2 厚度为 40nm , 隔离绝缘膜 4 宽度为 $0.2\ \mu\text{m}$ 并进行模拟, 对沟道形成区 10 不加电压。在该曲线图中, 取



经隔离绝缘膜 4 邻接的晶体管源 - 漏区 7 和 71 与 8 和 81 之间发生的电位差为横轴，而取其间发生的漏电流为纵轴。图中，○表示不形成杂质层 121 的情况，△表示对杂质层 121 加上 1V 的情况，□表示对杂质层 121 加上 -1V 的情况。由该图可以看出，由于形成杂质层 121 并施加与半导体衬底反向偏压的电压，使漏电流明显减少，耐压也提高了。

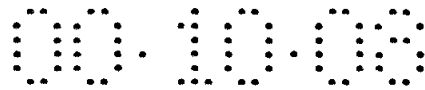
如上所述，在埋入氧化膜上形成并经互相隔离具有同一导电型多个晶体管的局部 STI 结构的隔离绝缘膜邻接的晶体管的源、漏区未到达埋入氧化膜的结构中，因为使沟道形成区成为浮游并共用，所以可使彼此的阈值电压精确一致，同时因为形成与晶体管同一导电型的杂质层并使其电位固定，可以得到即使在经隔离绝缘膜邻接的晶体管源 - 漏区间发生电位差，也能抑制在该部分发生漏电流，同时能提高耐压，即使微细化也提高了隔离特性的半导体装置。

接着，说明本发明实施例 2 的半导体装置制造方法。图 18 示出本发明实施例 2 的半导体装置制造方法的一个工序剖面图。

首先，从在半导体衬底 1 表面上具备埋入氧化膜 2 和半导体层 3 的 SOI 衬底表面上开始，形成 nMOS 时注入磷等的 n 型杂质，而形成 pMOS 时注入硼等 p 型杂质，在半导体衬底 1 与埋入氧化膜 2 相接部分形成杂质层 121。图 18 示出该工序结束阶段的半导体装置剖面图。这时的注入条件随埋入氧化膜 2 膜厚而不同，硼等 p 型杂质在埋入氧化膜厚为 $0.04\mu\text{m}$ 左右时，是 $200\sim 300\text{KeV}$ ， $1\text{E}13\sim 1\text{E}14/\text{cm}^2$ 左右，埋入氧化膜厚为 $0.4\mu\text{m}$ 左右时，是 $500\sim 600\text{KeV}$ ， $1\text{E}13\sim 1\text{E}14/\text{cm}^2$ 左右。并且，磷等的 n 型杂质注入条件，在埋入氧化膜厚为 $0.04\mu\text{m}$ 左右时，是 $200\sim 300\text{KeV}$ ， $1\text{E}12\sim 1\text{E}14/\text{cm}^2$ 左右，埋入氧化膜厚为 $0.4\mu\text{m}$ 左右时，是 $500\sim 600\text{KeV}$ ， $1\text{E}13\sim 1\text{E}14/\text{cm}^2$ 左右。

与实施例 1 同样，形成沟道阻断层 11 和隔离绝缘膜 4，并对沟道形成区 10 导入调整阈值的杂质（图未示出）。

然后，与实施例 1 同样，形成栅绝缘膜 5 和栅电极 6 后，根据需要，在 $10\sim 30\text{KeV}$ ， $1\text{E}13\sim 5\text{E}14/\text{cm}^2$ 左右下，对 nMOS 的场合以离子方式注入磷或砷，对 pMOS 的场合以离子方式注入硼或氟化硼，形成源 - 漏区 71 和 81。进而，在形成包围源 - 漏区的相反导电型杂质区（槽（pocket）层，图未示出）的场合，这里是在 10KeV ， $1\text{E}13\sim$



1E13/cm²左右下，对 nMOS 的场合以离子方式注入硼，对 pMOS 的场合以离子方式注入磷等杂质（图未示出）。以后，在形成侧壁 13 以后，在 10KeV, 1~5E15/cm²左右下，对 nMOS 的场合以离子方式注入砷等，对 pMOS 的场合以离子方式注入硼或氟化硼，形成源-漏区 7 和 8。

5 而且，与实施例 1 同样，形成层间绝缘膜 14 和 141、接触孔 15 和 151~154、布线 9 和 91~95。

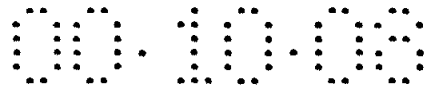
倘采用本实施例 2 的半导体装置制造方法，由于可以在由半导体衬底 1、埋入氧化膜 2 和半导体层 3 构成的 SOI 结构的半导体装置的半导体衬底 1 表面上形成杂质层 121，进而可以形成与杂质层 121 具有同一导电型的源-漏区，并使该杂质层 121 的电位固定，所以可以得到即使在经局部 STI 结构的隔离绝缘膜邻接的晶体管源-漏区间发生电位差，也能抑制在该部分发生漏电流，同时能提高耐压，而即使微细化也提高了隔离特性的半导体装置。

15 由于不仅在隔离绝缘膜下而且在有源区下形成杂质层 121，即使在形成源-漏区之际以离子方式注入的杂质穿透埋入氧化膜 2 到达半导体衬底 1，也被取入杂质层 121 内，不担心成为电路误操作的原因，而可以得到提高了可靠性的半导体装置制造方法。

实施例 3

20 图 19 示出本发明实施例 3 的半导体装置剖面图，图中 72~75 和 82~85 都是源-漏区，120 和 130 是沟道形成区，113 和 114 是沟道阻断层，122 是杂质层。本实施例是表示经隔离绝缘膜 4（局部 STI）邻接的晶体管的一个为 nMOS，另一个为 pMOS 的情况。并且，在埋入氧化膜厚度为 0.04 μm~0.4 μm 左右的情况下，杂质层 122 膜厚与实施例 1、2 同样，含有磷等 n 型杂质 1E17~1E20/cm³左右，沟道阻断层 113 含有磷等 n 型杂质 1E17~1E20/cm³左右，沟道阻断层 114 含有硼等 p 型杂质 1E17~1E18/cm³左右。并且，沟道形成区 120 含有磷等 n 型杂质 5E17~2E20/cm³左右，沟道形成区 130 含有硼等 p 型杂质 5E17~1E18/cm³左右。源-漏区和栅电极分别与实施例 1 同样。

30 图 20 示出本发明实施例 3 的半导体装置顶视图，而图 19 是示于图 20 的 F-F 线剖开的剖面图。参照图 20，沟道阻断层 113 形成于 pMOS 区的隔离绝缘膜 4 下，而沟道阻断层 114 则形成于 nMOS 区的隔离绝缘膜 4 下。



可以在 pMOS 区和 nMOS 区中共同地形成至少一条用于固定杂质层 122 电位的布线 94。

并且，沟道形成区 120 和 130，与图 3 所示的实施例 1 的结构同样，分别经沟道阻断层 113 和 114，通过连接各自的导电型的杂质区 111 的布线来固定电位。

下面，说明有关工作。参照图 19，各个电极上所加的电压，例如，nMOS 就通过施加 $V_G = 1.8V$ 、 $V_D = 1.8V$ 、 $V_S = 0V$ ，沟道形成区 130 加上电压 0V 左右，形成沟道而进行工作。并且，在 pMOS 中，通过施加 $V_G = 0 \sim 1.8V$ 、 $V_D = 0 \sim 1.8V$ 、 $V_S = 1.8V$ ，对沟道形成区 120 加上电压 1.8V 左右，形成沟道而流过电流。

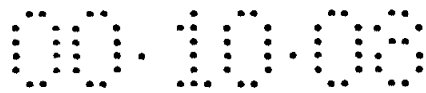
分别对沟道阻断层 113 加 1.8V，沟道阻断层 114 加 0V，及杂质层 122 加 4V 左右。根据需要，这些电压也可以升高或降低。这些电压只是一个例子，它是随栅绝缘膜厚度和栅长改变的。

图 21 示出本发明实施例 3 的半导体装置漏电流的曲线，是在图 19 所示的半导体装置中设定半导体层 3 膜厚为 $0.15 \mu m$ ，埋入氧化膜 2 厚度为 $0.4 \mu m$ ，隔离绝缘膜 4 宽度为 $0.2 \mu m$ 并进行模拟。在该曲线图中，取经隔离绝缘膜 4 邻接的晶体管源-漏区 74 和 75 与 82 和 83 之间发生的电位差为横轴，而取其间发生的漏电流为纵轴。图中，○表示不形成杂质层 122 的情况，△表示对杂质层 122 加上 4V 的情况。由该图可以看出，由于形成杂质层 121，使漏电流明显减少，耐压也提高了。

在本实施例中，按照在整个面上形成杂质层 122 的图进行说明，然而若只是在局部 STI 用作元件隔离部分的下部形成杂质层 122，也可以提高隔离特性。

这里，以 nMOS 晶体管和 pMOS 晶体管邻接的部分为例进行说明，然而例如，二极管之类也同样，本发明完全可应用于两个晶体管的相反导电型杂质区经局部 STI 结构的隔离绝缘膜邻接的部分和因电路配置发生电位差的部分。

图 22 示出本发明实施例 3 的另一个半导体装置剖面图，图中，76 为 n 型杂质区，86 为 p 型杂质区，51 为绝缘膜，52 为阻挡层金属，96 和 97 为布线。参照图 22，在二极管邻接地被形成时，与沟道阻断层 113 邻接地形成 p 型杂质区 84，而与沟道阻断层 114 邻接地形成 n



型杂质区 74，并分别由经阻挡层金属 52 连接的布线 96 和 97 控制杂质区。

5 进而，与实施例 1 同样，布线随电路结构，晶体管之间形成层间绝缘膜的层数、配置等而不同，并且，虽然用一个有源区形成一个晶体管的半导体装置进行说明，但特别是并不限于此。

10 倘若采用示于本实施例 3 的半导体装置，在 SOI 结构中，经局部 STI 结构的隔离绝缘膜，各自形成多个 pMOS 晶体管和 nMOS 晶体管，在各个区域中共同地固定了沟道形成区 10 电位的情况下，为了在埋入氧化膜下的半导体衬底表面上形成与半导体衬底相反导电型的杂质层，同时为了固定电位，要在 nMOS 晶体管和 pMOS 晶体管邻接部分并在隔离绝缘膜下配置 p 型和 n 型沟道阻断层，使得晶体管与杂质层之间变成 pnpn 关系，可以得到即使在经局部 STI 结构的隔离绝缘膜邻接的晶体管的相反导电型杂质区间发生电位差，也能抑制在该部分发生漏电流，同时能提高耐压，而即使微细化也提高了隔离特性的半导体装置。

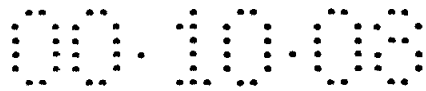
15 进而，在 pMOS 晶体管和 nMOS 晶体管邻接地被形成的场合，不仅在隔离绝缘膜下而且延伸到源 - 漏区 73、74、83 和 84 下形成杂质层 122 的场合，即使形成源 - 漏区之际所注入的杂质穿透埋入氧化膜 2 到达半导体衬底 1，也由于被取入杂质层 122 内，所以不担心成为电路误操作的原因，并具有提高半导体装置可靠性的效果。

20 接着，说明本发明的实施例 3 的半导体装置制造方法。图 23 和图 24 示出实施例 3 的半导体装置制造方法的一个工序剖面图，图 23 中，301 为光刻胶掩模。

25 首先，与实施例 1 同样，从半导体衬底 1 表面上具备埋入氧化膜 2 和半导体层 3 的 SOI 衬底表面上，以离子方式注入磷等的 n 型杂质，在半导体衬底 1 与埋入氧化膜 2 相接的部分形成杂质层 122。

30 其次，与实施例 1 同样，隔离区上形成隔离绝缘膜 4 后，在 pMOS 区的隔离绝缘膜上形成具有开口的光刻胶掩模 301，在 110 ~ 130KeV， $1E13 \sim 5E13 / \text{cm}^2$ 左右的条件下，在整个面上以离子方式注入磷等 n 型杂质，形成沟道阻断层 113。图 23 示出在该工序结束阶段的半导体装置的元件剖面图。

图 24 示出实施例 3 的半导体装置制造方法的一个工序剖面图，



图中, 302 为光刻胶掩模。参照图 24, 除去光刻胶掩模 301 后, 在 nMOS 区的隔离绝缘膜上形成具有开口的光刻胶掩模 302, 在 30~50KeV, $5E12 \sim 1E13/cm^2$ 左右下, 在整个面上以离子方式注入硼等 p 型杂质, 形成沟道阻断层 114。图 24 示出在该工序结束阶段的半导体装置的元
5 件剖面图。

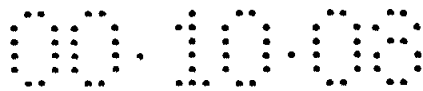
在实施例 1 中, 在形成隔离绝缘膜 4 之前进行半导体阻断层 11 的形成, 可是在本实施例 3, 却在形成隔离绝缘膜 4 之后形成沟道阻断层。

然后, 与实施例 1 同样, 在在在整个面上形成热氧化的硅氧化膜以后 (图未示出), 在 pMOS 区形成具有开口的光刻胶掩模 (图未示出), 并在 10~20KeV, $1E12 \sim 5E12/cm^2$ 左右下在整个面上以离子方式注入磷或砷等 n 型杂质, 向沟道形成区 120 导入调整阈值电压的杂质, 再除去该光刻胶掩模 (图未示出)。然后, 在 nMOS 区上形成具有开口
10 的光刻胶掩模 (图未示出), 并在 10~20KeV, $1E12 \sim 5E12/cm^2$ 左右下在整个面上以离子方式注入硼或氟化硼等 p 型杂质, 向沟道形成区
15 130 导入调整阈值电压的杂质, 再除去该光刻胶掩模 (图未示出)。

与实施例 1 同样, 形成栅绝缘膜 5, 栅电极 6, pMOS 区的源-漏区 72、73、82 和 83, nMOS 区的源-漏区 74、75、84 和 85, 侧壁 13, 层间绝缘膜 14 和 141, 接触孔 15 和 151 以及布线 9 和 91。这样一来
20 就形成图 19 所示的半导体装置。还包括该图中没有画出的接触孔和布线, 各个接触孔和布线, 与实施例 1 同样, 可以按照需要变更形成顺序, 进而有时也在上述的层上形成不同的层间绝缘膜和布线, 变成
多层布线。

倘采用本实施例 3 所示的半导体装置制造方法, 可以在由半导体
25 衬底 1、埋入氧化膜 2 和半导体层 3 构成 SOI 结构的半导体装置的半
导体衬底 1 表面上形成杂质层 122, 同时可以在将多个形成的 pMOS
晶体管互相隔离的隔离绝缘膜下形成 n 型沟道阻断层, 可以在将 nMOS
晶体管互相隔离的隔离绝缘膜下形成 p 型沟道阻断层, 并可以在隔离
pMOS 晶体管和 nMOS 晶体管的隔离绝缘膜下形成 p 型和 n 型的沟道阻
30 断层, 使得晶体管与杂质区成为 pnpn 关系。

而且, 通过分别固定该杂质层 122 和 p 型、n 型沟道阻断层的电位, 可以得到既分别共同固定 pMOS 晶体管和 nMOS 晶体管沟道形成区



10 的电位，又即使经局部 STI 结构的隔离绝缘膜邻接的 pMOS 晶体管和 nMOS 晶体管的源 - 漏区间发生电位差，也能抑制在该部分发生漏电流，同时提高耐压，而即使微细化也提高了隔离特性的半导体装置制造方法。

5 进而，在 pMOS 晶体管和 nMOS 晶体管邻接地被形成的场合，由于不仅在隔离绝缘膜下而且直到有源区下都可以形成杂质层 122，故即使形成源 - 漏区之际所注入的杂质穿透埋入氧化膜 2 到达半导体衬底 1，也因被取入杂质层 122 内，不担心成为电路误操作的原因，而且可以得到提高了可靠性的半导体装置制造方法。

10 实施例 4

图 25 是在本发明的实施例 4 的半导体装置平面图。参照图 25，在本实施例 4 的半导体装置中，在一个半导体芯片上形成多种不同功能块，以便实现高集成度和高速度。而且，特别将形成了象 DRAM 和微处理器 (Micro Processor) 之类的控制电路，称为混装 DRAM。

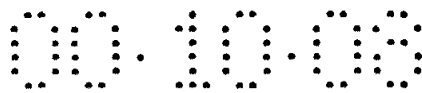
15 下面，分别说明各种功能块的作用。

由微处理器控制通过输入输出部分 (I/O) 从外部输入的数据，或在 DSP (Digital Signal Processing) 部分进行高速处理，或在 DRAM 部分进行存储或从 DRAM 部分读出。这时，第 1 缓存阵列 (First Cache Array) 部分进行把从 DRAM 部分取出的数字数据一边同步地送
20 给微处理器部分或把微处理器部分中完成处理的数据同步地送给 DRAM 部分的工作。而且，第 2 缓存阵列 (Second Cache Array) 部分起到与各块同步地在 DSP 部分、第 1 缓存阵列部分、微处理器部分及输入输出部分之间进行数据交换的中介的作用。

在各个功能块中，对需要共同地固定沟道形成区的电位的部分，
25 根据功能配备实施例 1 到 3 所述的晶体管和与其相应的杂质层，至于源 - 漏区结构、杂质层的导电型和施加的电压就不必相同。

这里，示出了功能块的一个例子，但并不限于这种组合，并且，有时所述的功能块中只有一块，或者只有一部分配备实施例 1 到 3 所述的晶体管和与其相应的杂质层，有时则全部功能块配备实施例 1 到
30 3 所示晶体管和与其相应的杂质层。

倘采用本实施例 4 的半导体装置，对于形成了多个功能快的半导体装置，在功能块之中，由于可以根据所需要的功能，对需要共同地



固定沟道形成区电位的部分形成用局部 STI 隔离的第 1 和第 2 有源元件，及决定与其相一致的杂质层导电型和施加的电压，所以能够得到实现微细化，同时具备抑制漏电流，并提高了隔离耐压的功能块的半导体装置。

5 本发明由于具有如上所述的构成，因而起到以下这样的效果。

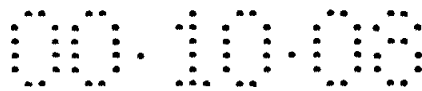
本发明在具有局部 STI 结构作为隔离结构的 SOI 结构的半导体装置中，由于半导体衬底表面上形成了杂质层，所以起到可以得到即使在经隔离绝缘膜邻接的晶体管间发生电位差，也能够抑制在该部分发生漏电流，同时能够提高耐压，即使微细化也提高了隔离特性的半导
10 体装置的效果。

进而，在经局部 STI 结构的隔离绝缘膜邻接的 MOS 晶体管具有同一导电型，并形成使其源 - 漏区到达埋入氧化膜的情况下，由于固定了隔离绝缘膜下沟道阻断层的电位，同时用与晶体管相反导电型形成半导体衬底表面的杂质层并使其电位固定，所以可得到即使在经隔
15 离绝缘膜邻接的晶体管间发生电位差，也能抑制在该部分发生漏电流，同时能提高耐压，并即使微细化也提高了隔离特性的半导体装置。

并且，在形成为经局部 STI 结构隔离绝缘膜邻接的源 - 漏区到达埋入氧化膜的同一导电型 MOS 晶体管中，由于不固定隔离绝缘膜下的
20 沟道阻断层电位，使邻接的晶体管的沟道形成区成为浮游并共用，可以使彼此的阈值电压精确一致，同时在隔离绝缘膜下的半导体表面上形成与晶体管相反导电型的杂质层并固定电位，所以可以得到即使在经隔离绝缘膜邻接的晶体管源 - 漏区间发生电位差，也可以抑制在该部分发生漏电流，同时能提高耐压，即使微细化也提高了隔离特性的
25 半导体装置。

并且，在经局部 STI 结构隔离绝缘膜邻接的 MOS 晶体管具有同一导电型，并形成源 - 漏区到达埋入氧化膜的情况下，由于用与晶体管的源 - 漏区同一导电型形成半导体衬底表面的杂质层，并施加对半导体衬底反向偏置的电压，所以可以得到即使在经隔离绝缘膜邻接的
30 晶体管源 - 漏区间发生电位差，也可以抑制在该部分发生漏电流，同时能提高耐压，即使微细化也提高了隔离特性的半导体装置。

并且，在 SOI 结构中经局部 STI 结构的隔离绝缘膜而形成的晶体



管杂质区为相反导电型的情况下，由于在埋入氧化膜下的半导体衬底表面上形成与半导体衬底相反导电型的杂质层，同时在埋入氧化膜下配置 p 型或 n 型的沟道阻断层，使之与晶体管杂质层之间成为 pnpn 关系，并固定其电位，所以可以得到即使在经隔离绝缘膜邻接的晶体管源 - 漏区间发生电位差，也可以抑制在该部分发生漏电流，同时能提高耐压，即使微细化也提高了隔离特性的半导体装置。

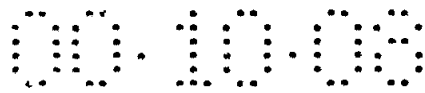
并且，在 SOI 结构中经局部 STI 结构的隔离绝缘膜而形成二极管，并经隔离绝缘膜邻接的杂质层为相反导电型的情况下，由于埋入氧化膜下的半导体衬底表面上，形成与半导体衬底相反导电型的杂质层，同时在埋入氧化膜下配置 p 型和 n 型的沟道阻断层，使之与二极管的杂质区之间成为 pnpn 关系，并固定其电位，所以可得到即使在经隔离绝缘膜邻接的晶体管源 - 漏区间发生电位差，也可以抑制在该部分发生漏电流，同时能提高耐压，即使微细化也提高了隔离特性的半导体装置。

进而，以杂质层延伸到有源区下作为特征，即使因在半导体衬底表面形成的杂质层之故在形成源 - 漏区时所注入的杂质穿透埋入氧化膜到达半导体衬底，也被取入杂质层内并固定其电位，所以不担心成为电路误操作的原因，具有提高半导体装置可靠性的效果。

此外，在形成多个功能块的半导体装置中，由于在功能块之中需要共同地固定沟道形成区的电位的部分中，可以根据需要的功能形成以局部 STI 隔离的晶体管，并决定与其相一致的杂质层导电型和施加的电压，所以能够得到谋求微细化，同时抑制漏电流，并具备隔离特性提高了的半导体装置。

并且，由于在 SOI 结构的半导体装置的半导体衬底表面上形成杂质层，并形成固定该杂质层电位的布线，所以可以得到即使在经局部 STI 结构的隔离绝缘膜在半导体层表面形成的晶体管杂质区之间发生电位差，也可以抑制在该部分发生漏电流，同时能提高耐压，即使微细化也提高了隔离特性的半导体装置制造方法。

进而，由于不仅可以在隔离区下而且在有源区下形成杂质层，即使在形成杂质区时注入的杂质穿透埋入氧化膜到达半导体衬底，也因截留在杂质层内，并不担心成为电路误操作的原因，而可以得到提高了可靠性的半导体装置制造方法。



进而，由于对隔离绝缘膜下的半导体层以离子方式注入杂质浓度比半导体层高的杂质来形成沟道阻断层，而可以得到更进一步提高隔离特性的半导体装置。

5 并且，在 pMOS 晶体管和 nMOS 晶体管经 STI 结构的隔离绝缘膜邻接的情况下，可以这样来配置，使得在隔离绝缘膜下形成的沟道阻断层分别与源 - 漏区的一方成为 pnpn 关系，并因分别固定该杂质层和 p 型、n 型的沟道阻断层电位，可以得到即使在经隔离绝缘膜邻接的晶体管源 - 漏区间发生电位差，也可以抑制在该部分发生漏电流，同时能提高耐压，即使微细化也提高了隔离特性的半导体装置制造方法。

10 并且，由于在 SOI 结构半导体装置的半导体衬底表面形成杂质层，并形成固定该杂质层电位的布线，可以得到即使在经局部 STI 结构的隔离绝缘膜在半导体层表面形成的晶体管杂质区之间发生电位差，也可以抑制在该部分发生漏电流，同时能提高耐压，即使微细化也提高了隔离特性的半导体装置制造方法。

15 进而，由于在隔离绝缘膜下的半导体层中以离子方式注入杂质浓度比半导体层高的杂质来形成沟道阻断层，因此可以得到更进一步提高了隔离特性的半导体装置。

说明书附图

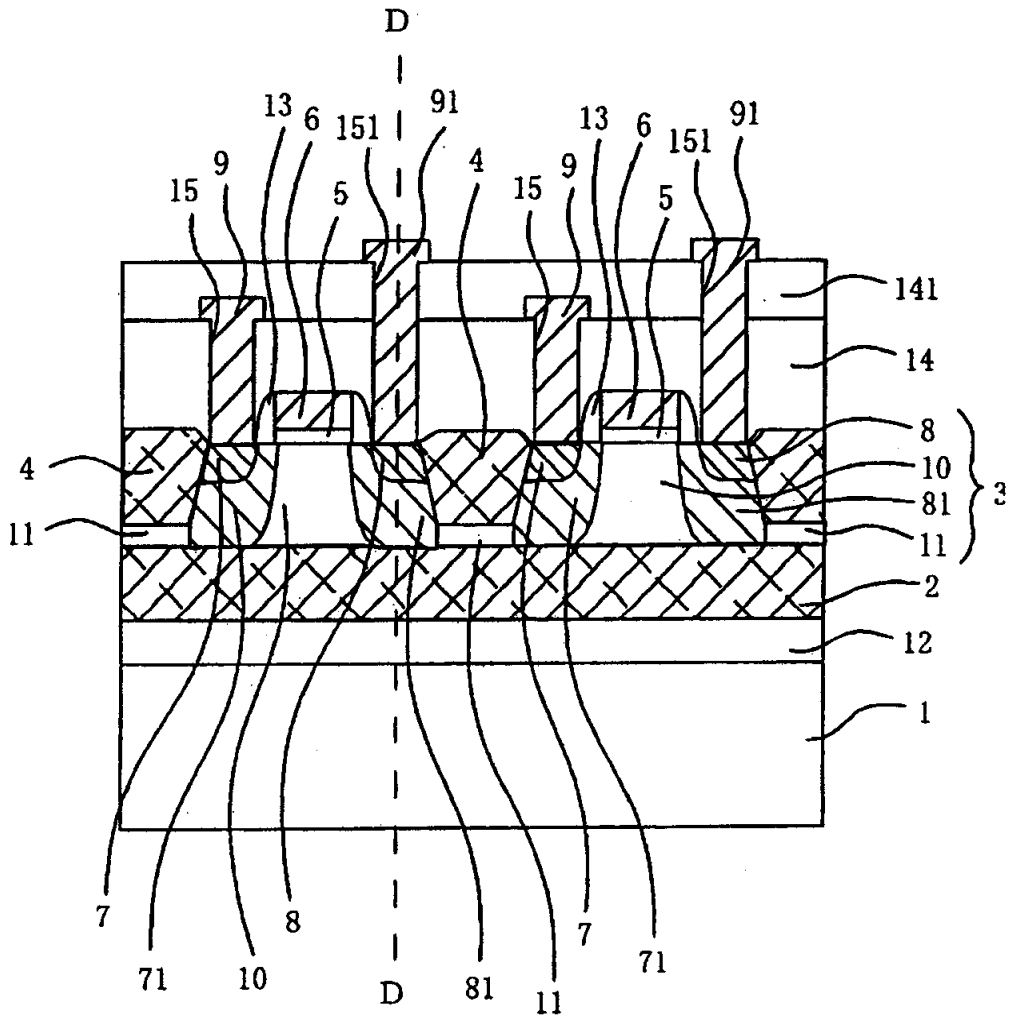
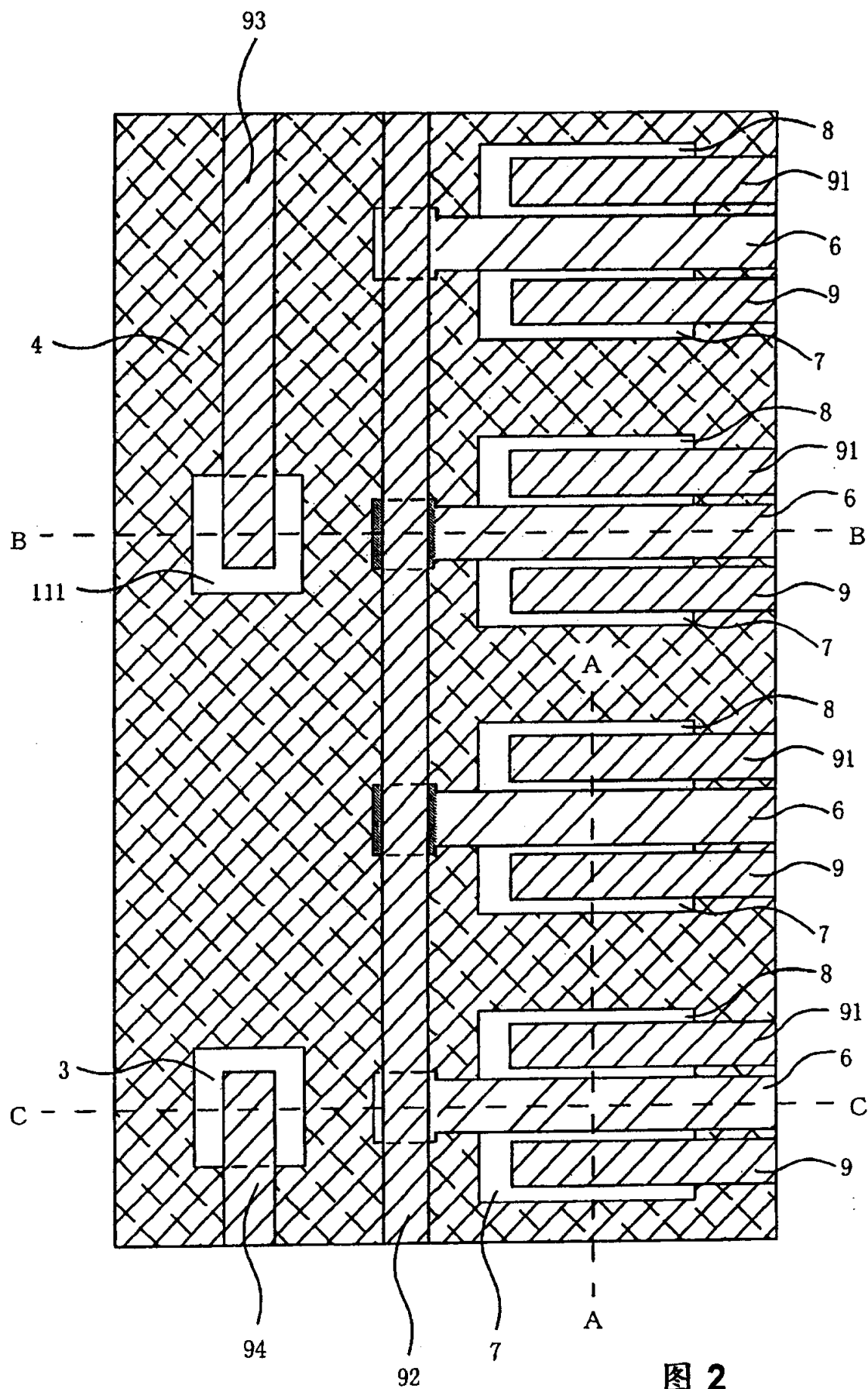


图 1



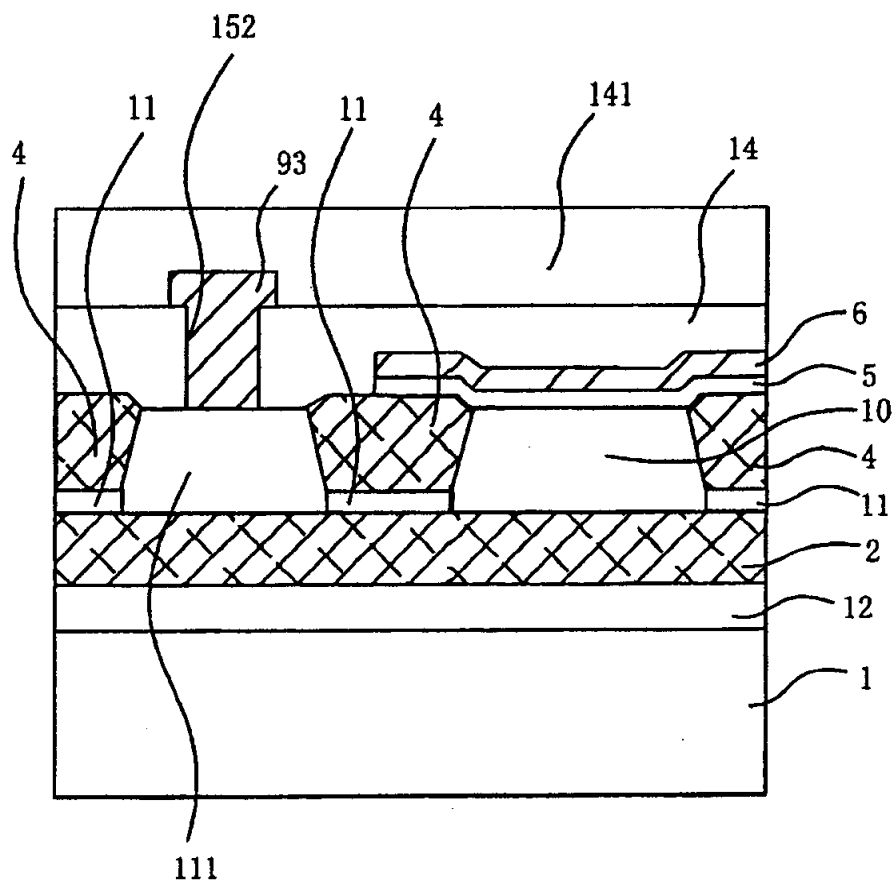


图 3

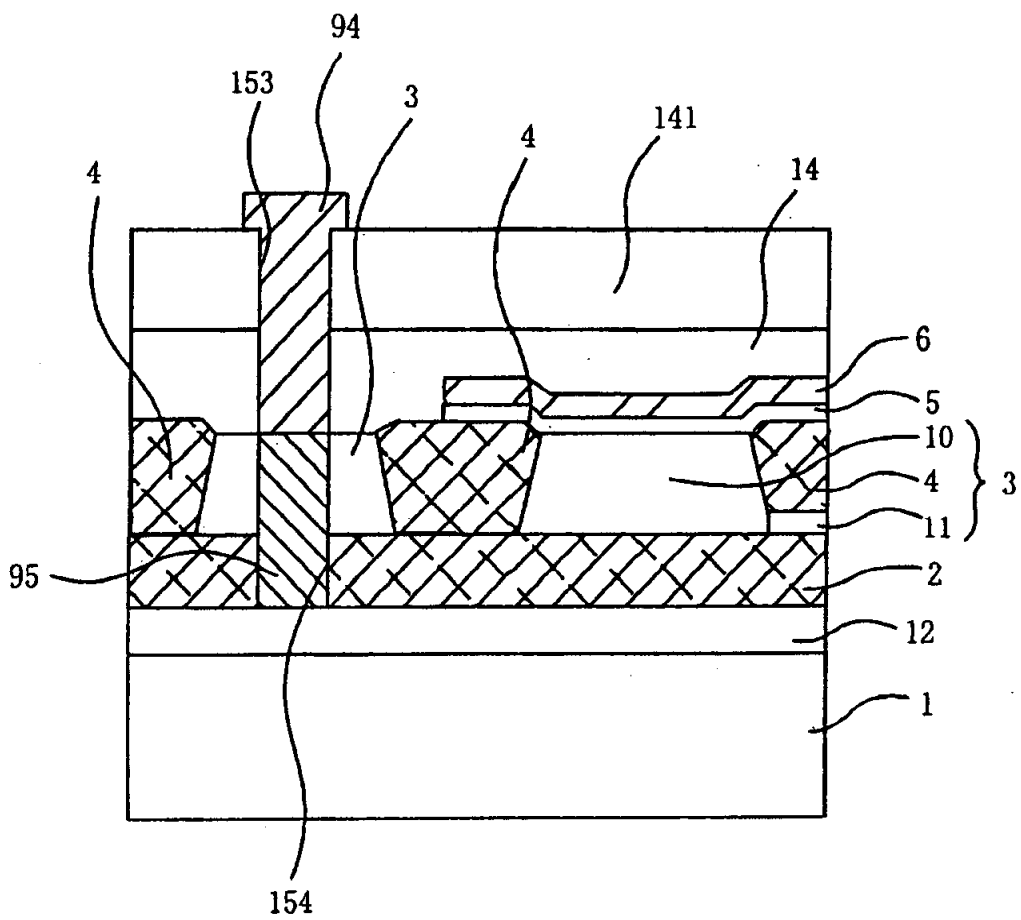
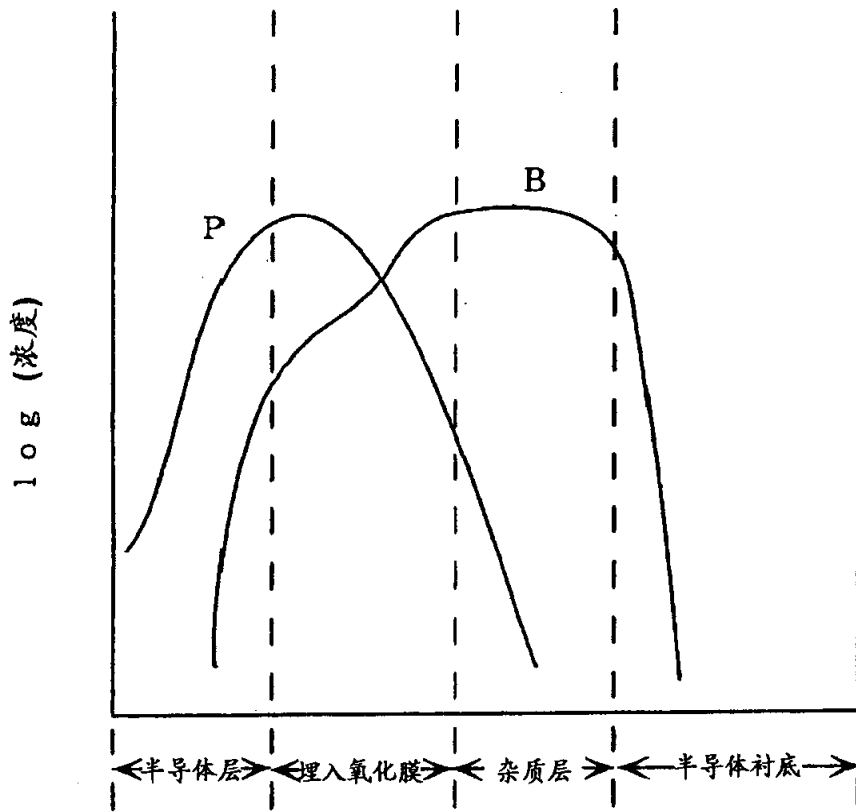


图 4



深度 图 5

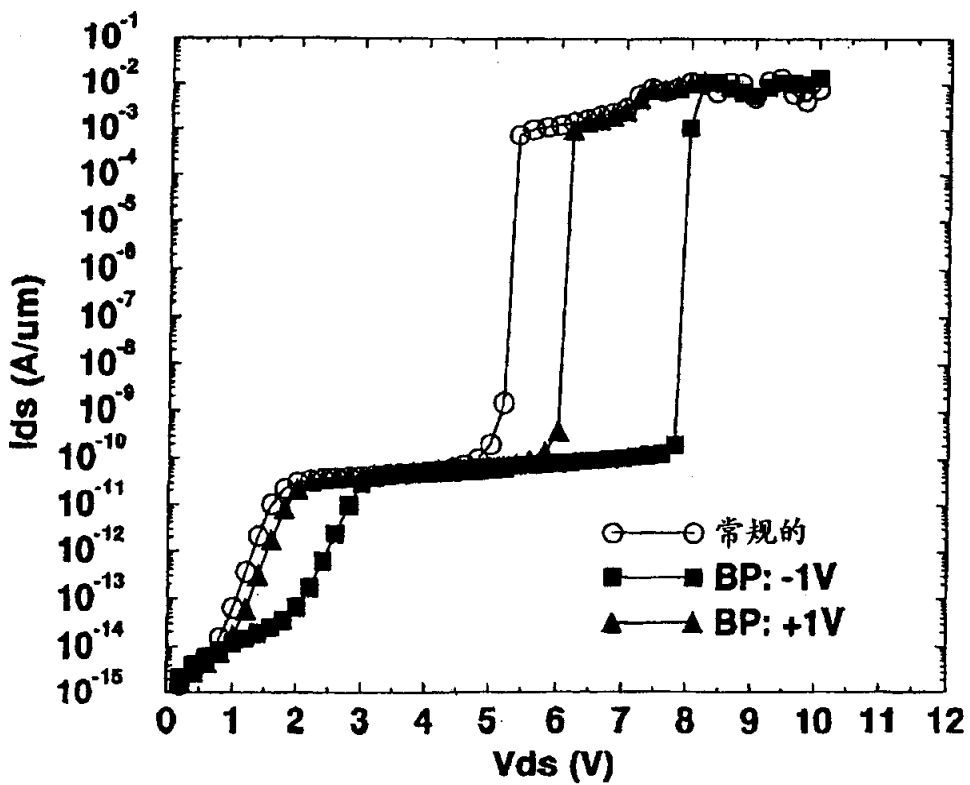


图 6

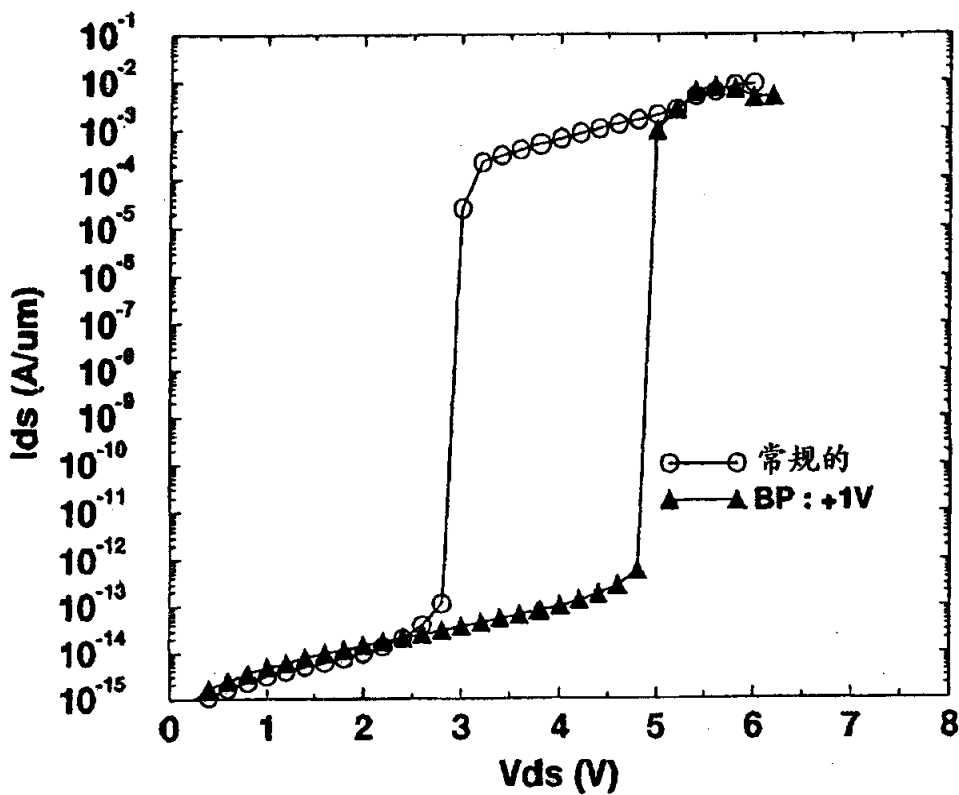


图 7

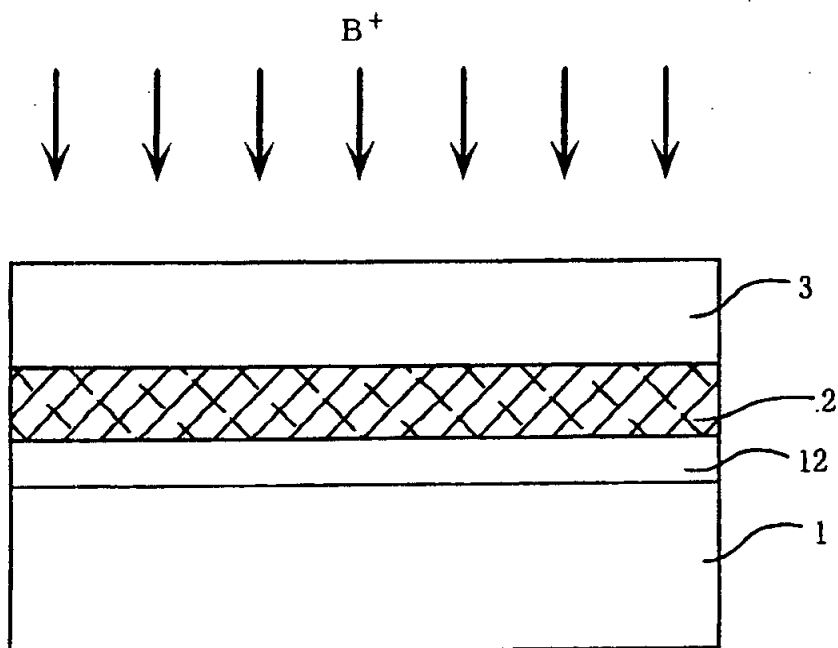


图 8

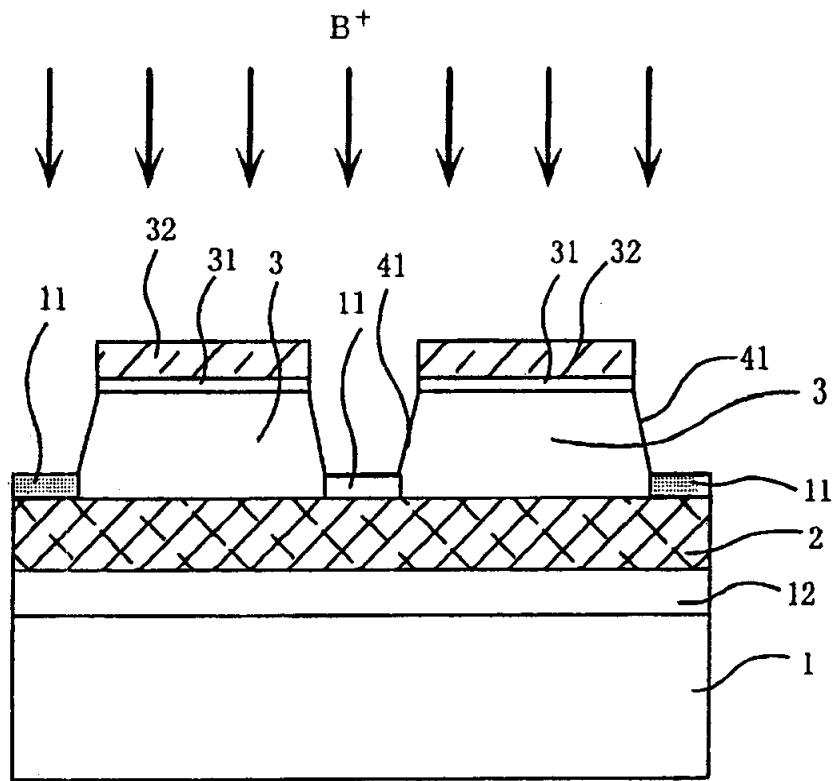


图 9

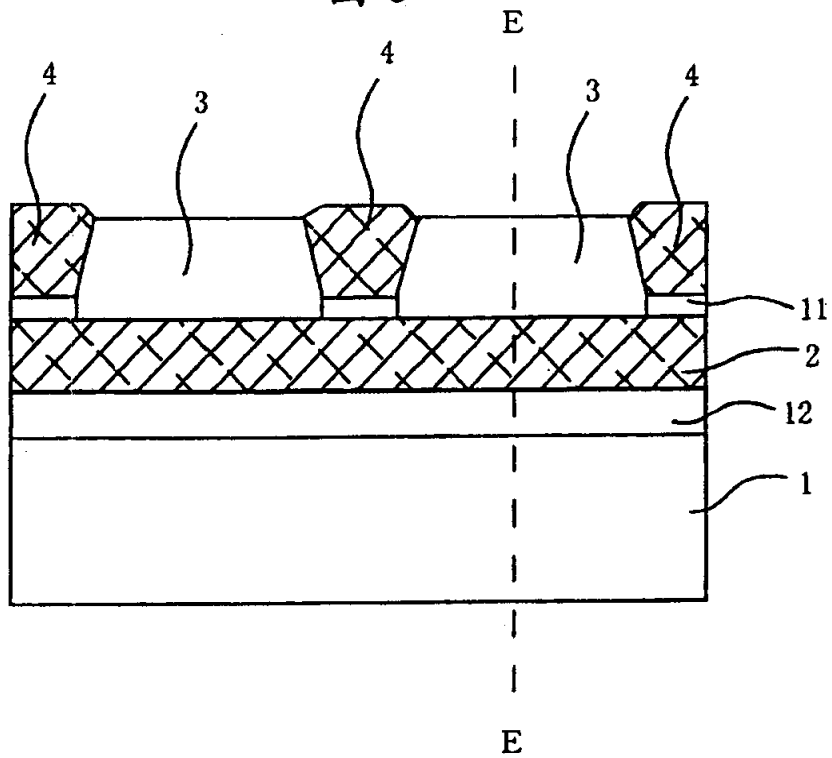


图 10

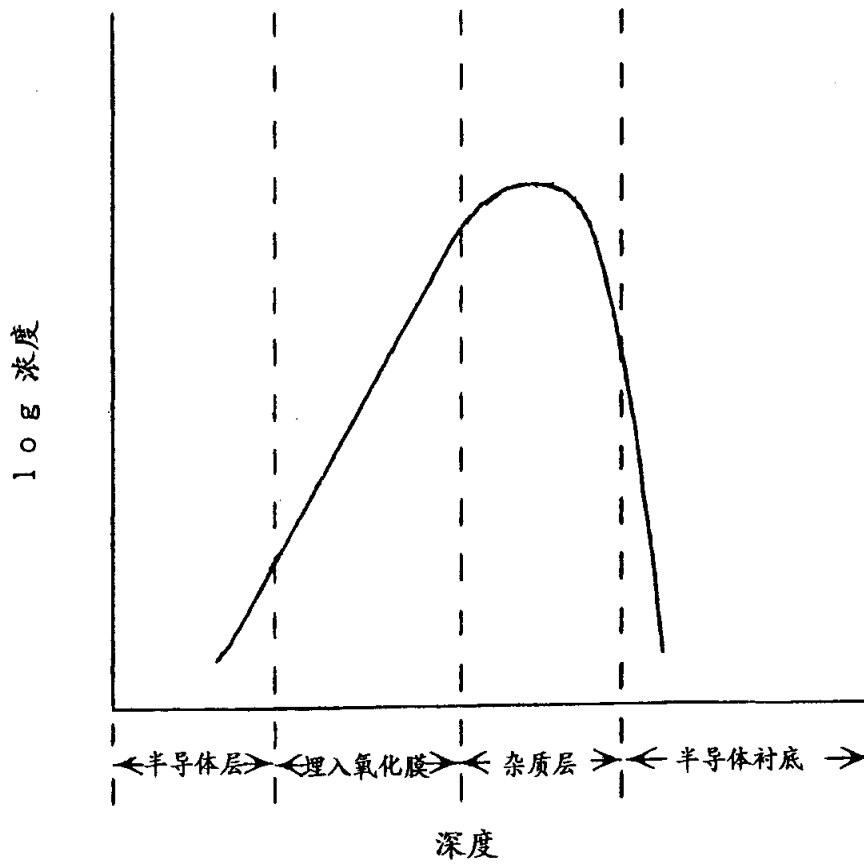


图 11

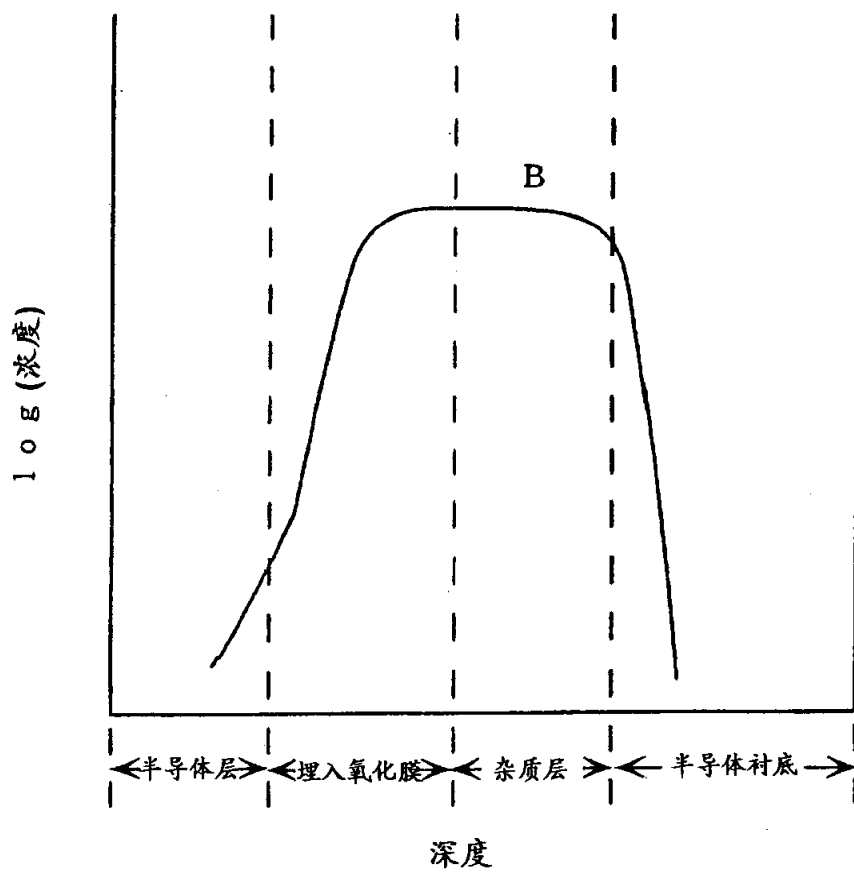


图 12

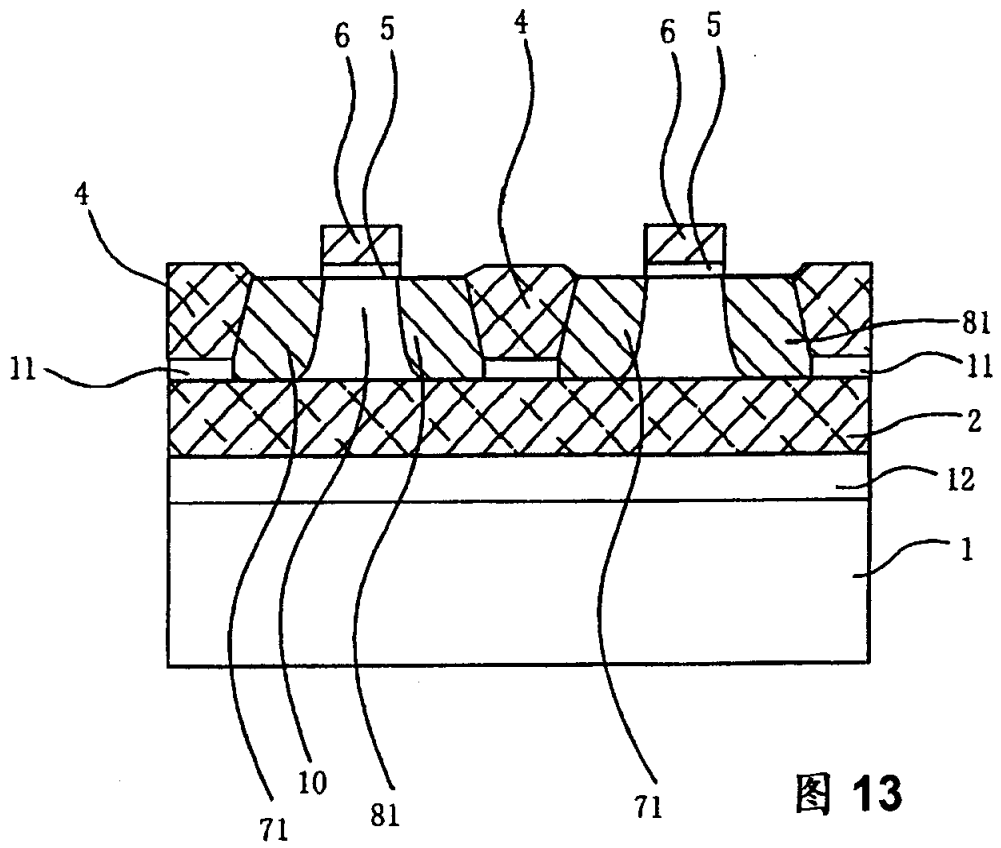


图 13

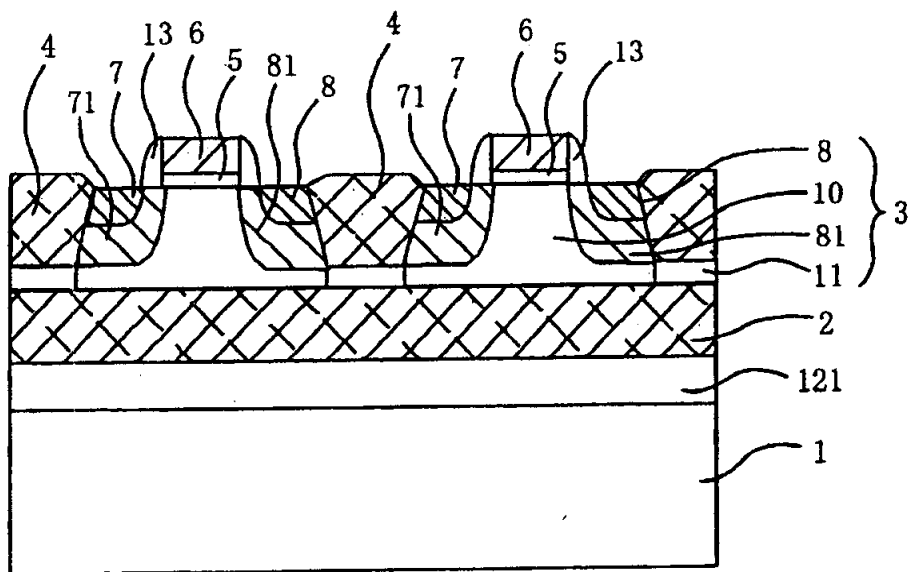


图 14

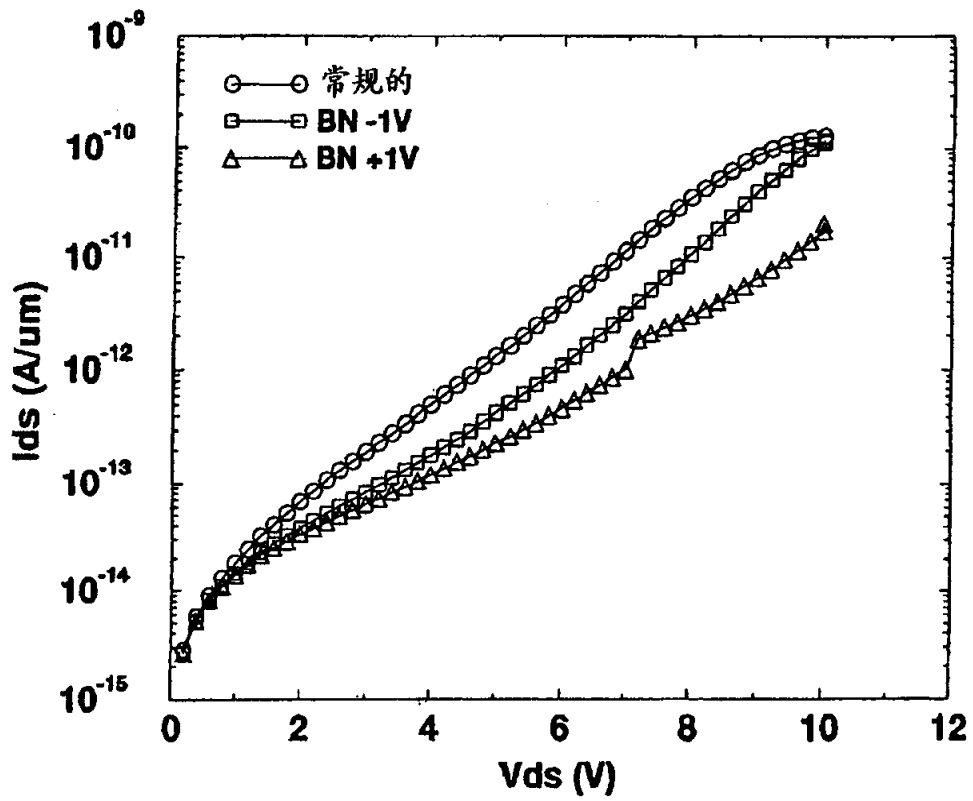


图 15

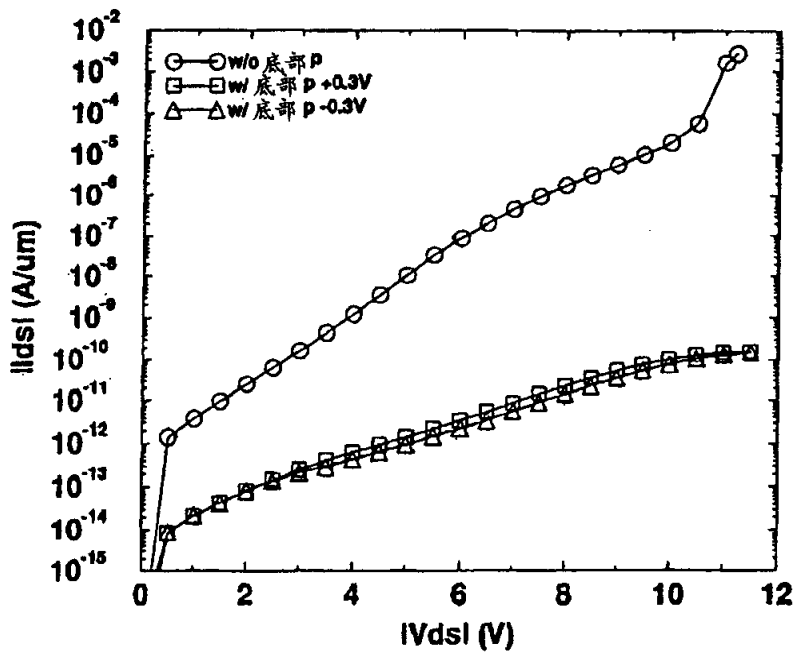


图 16

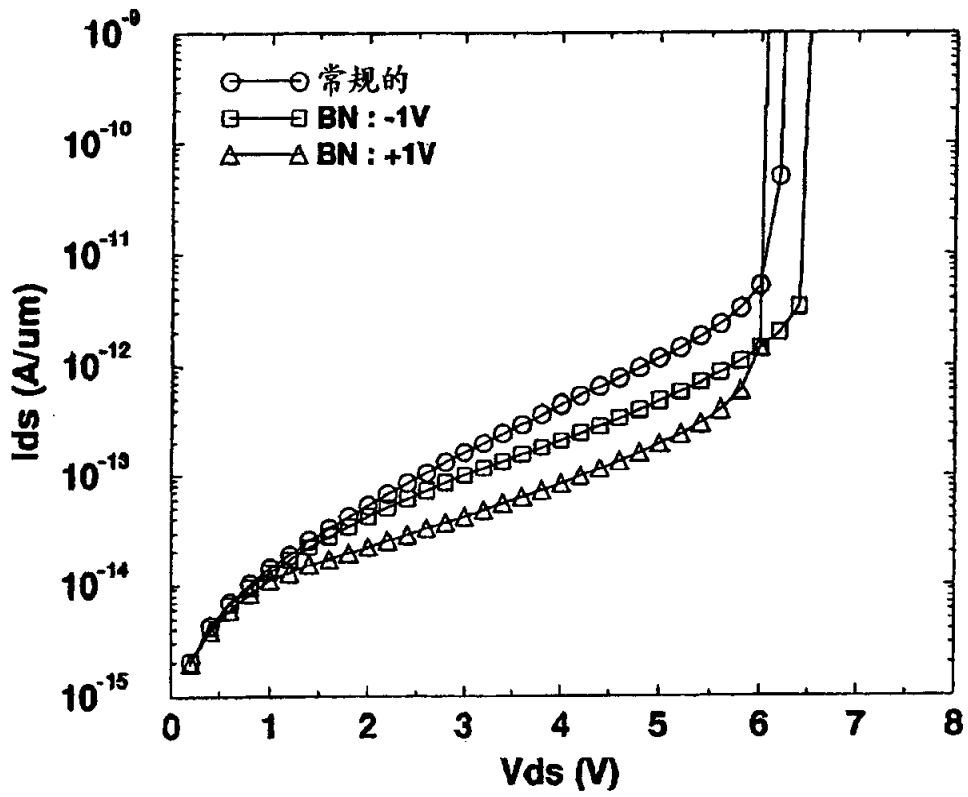


图 17

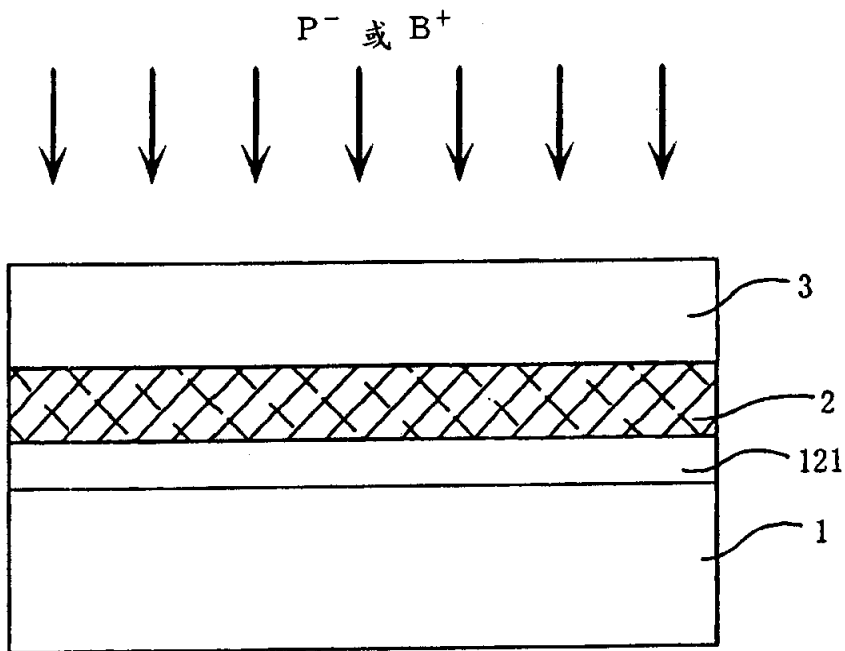


图 18

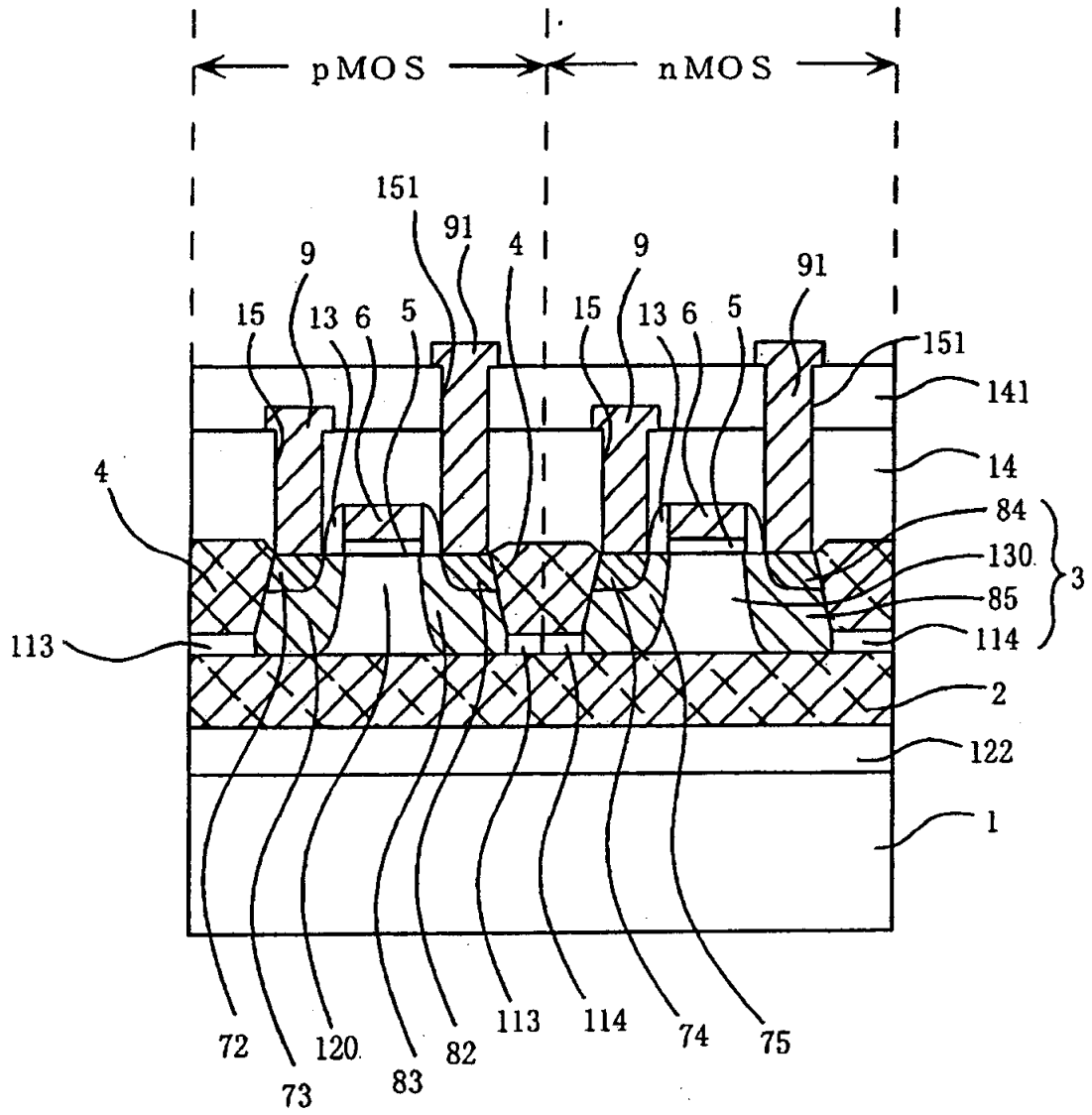


图 19

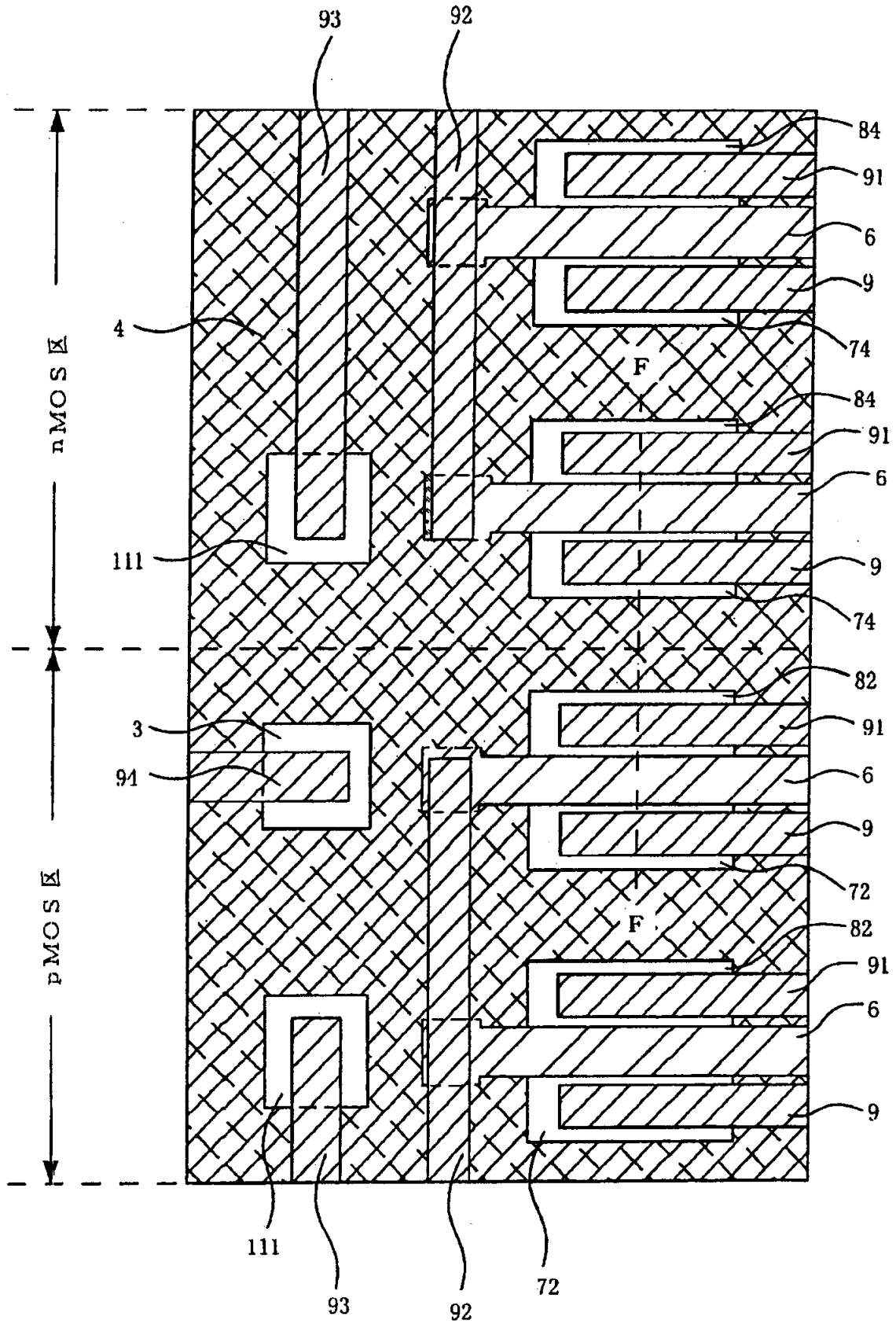


图 20

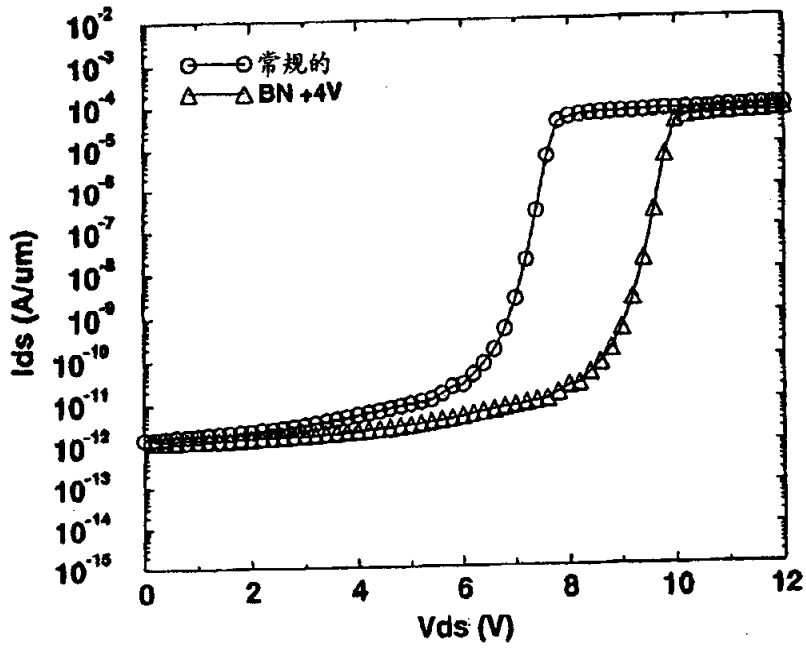


图 21

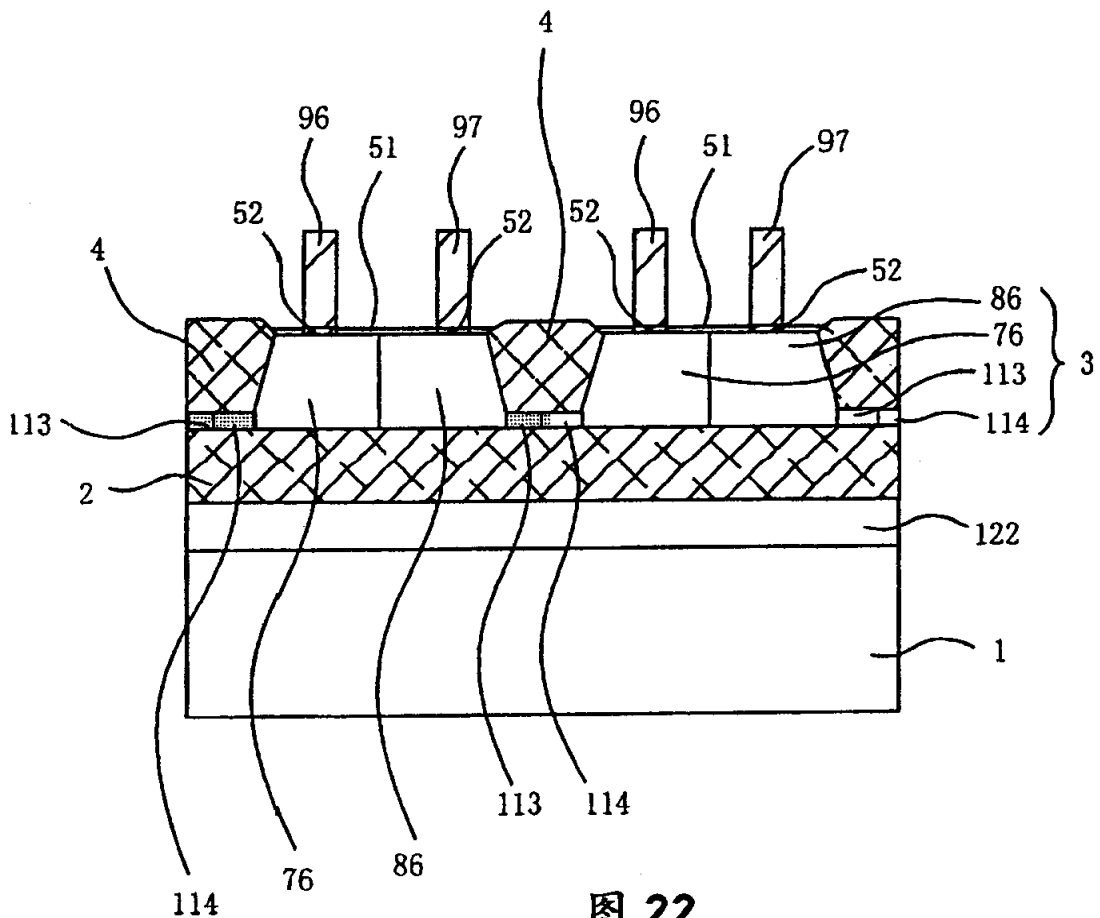


图 22

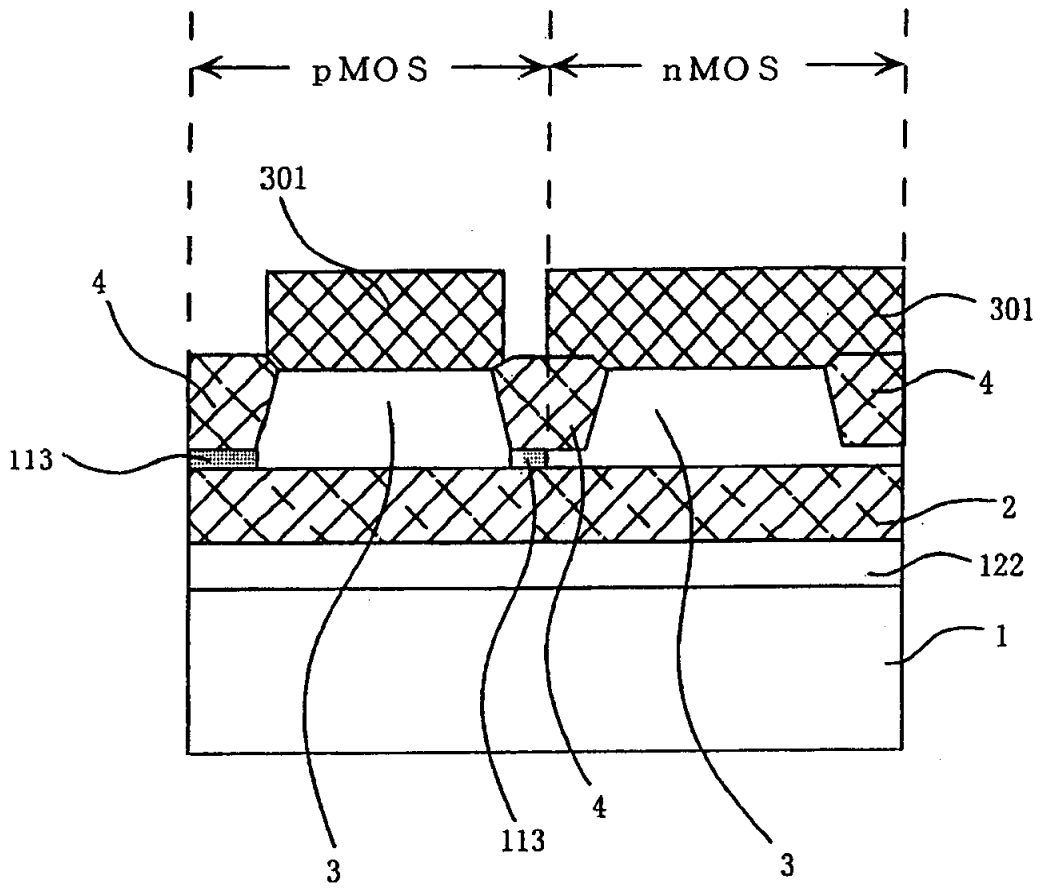


图 23

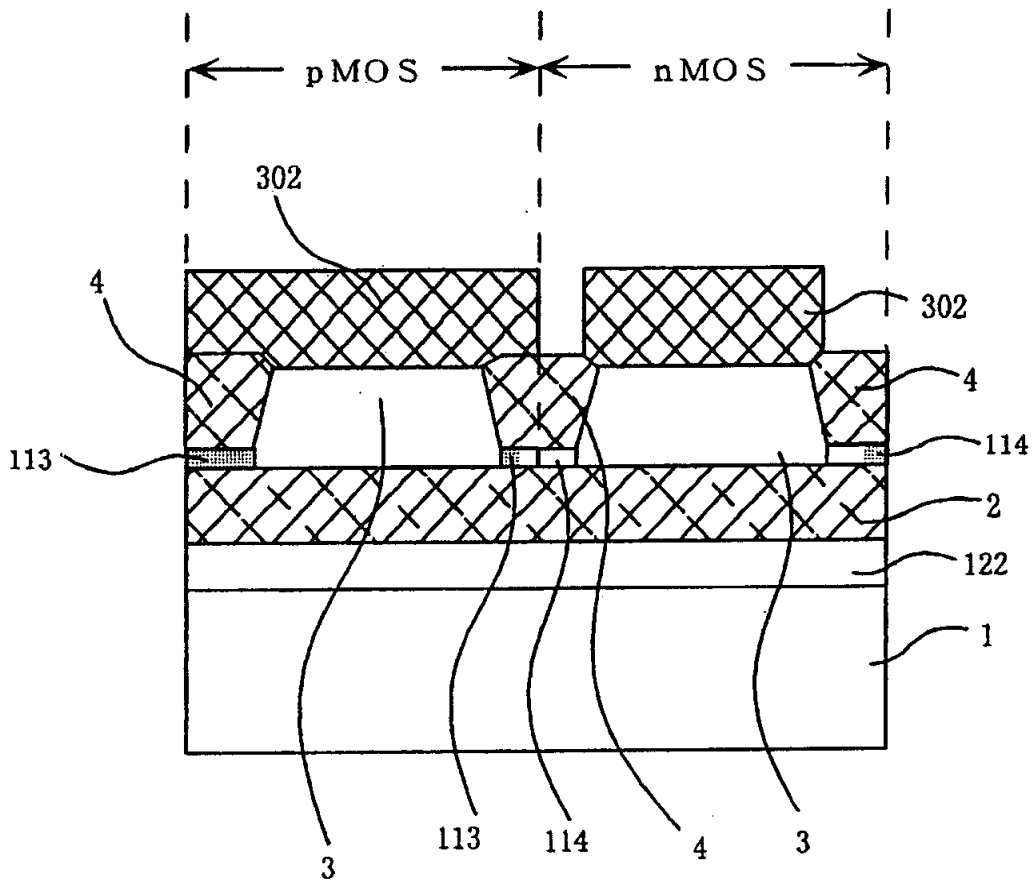


图 24

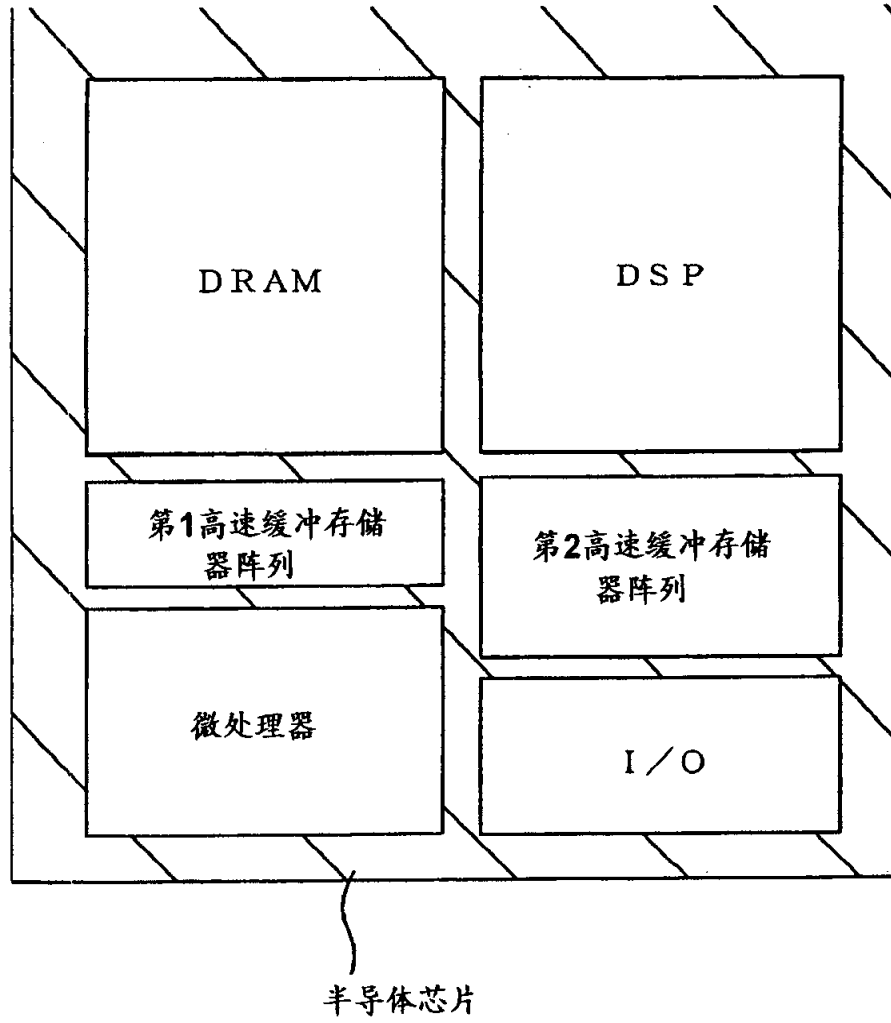


图 25

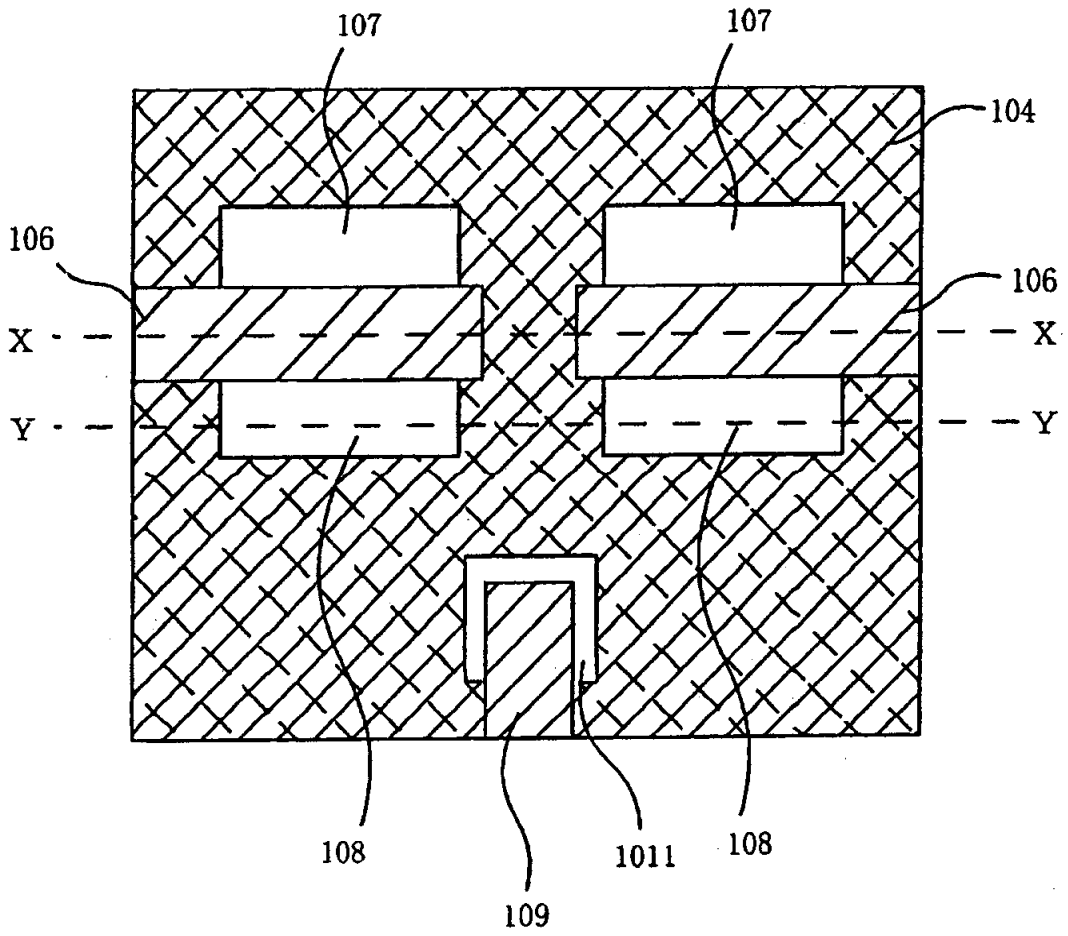


图 26

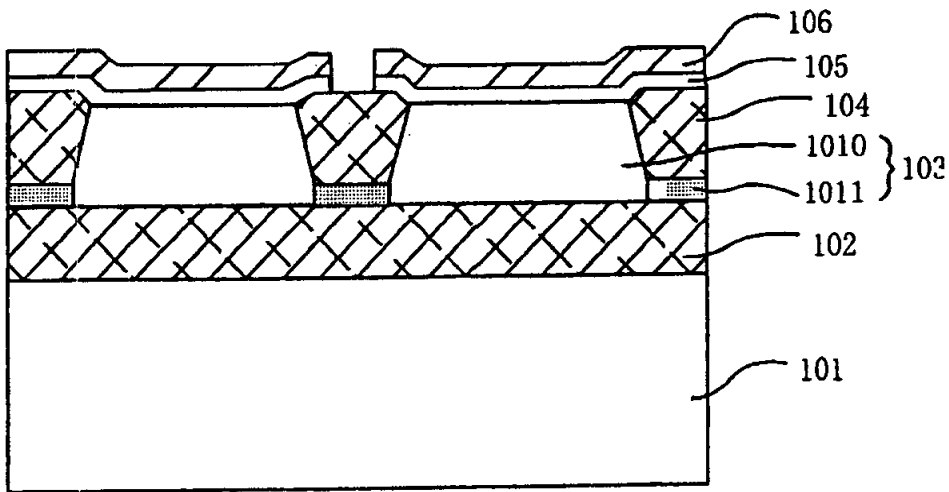


图 27

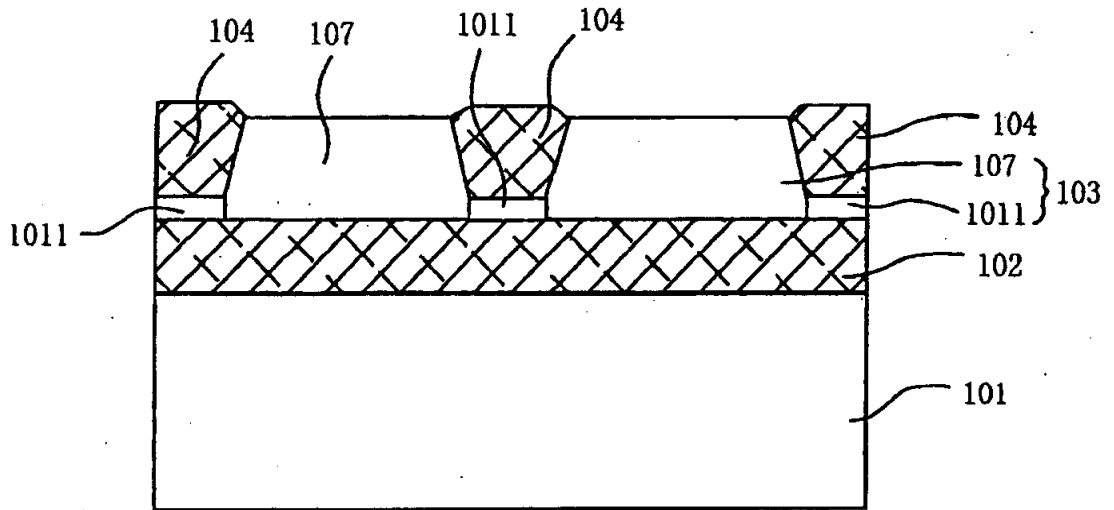


图 28