

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4587500号
(P4587500)

(45) 発行日 平成22年11月24日(2010.11.24)

(24) 登録日 平成22年9月17日(2010.9.17)

(51) Int.Cl.

F I

G 1 1 C 29/04 (2006.01)

G 1 1 C 29/00 6 0 3 J

G 0 6 F 15/78 (2006.01)

G 0 6 F 15/78 5 1 0 A

G 1 1 C 11/413 (2006.01)

G 1 1 C 11/34 3 4 1 A

G 1 1 C 11/401 (2006.01)

G 1 1 C 11/34 3 4 1 C

G 1 1 C 16/02 (2006.01)

G 1 1 C 11/34 3 7 1 D

請求項の数 6 (全 33 頁) 最終頁に続く

(21) 出願番号 特願平10-320962
 (22) 出願日 平成10年11月11日(1998.11.11)
 (65) 公開番号 特開2000-149588(P2000-149588A)
 (43) 公開日 平成12年5月30日(2000.5.30)
 審査請求日 平成17年11月8日(2005.11.8)
 審判番号 不服2008-6941(P2008-6941/J1)
 審判請求日 平成20年3月21日(2008.3.21)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100089071
 弁理士 玉村 静世
 (72) 発明者 平木 充
 東京都小平市上水本町五丁目20番1号
 株式会社日立製作所 半導体事業本部内
 (72) 発明者 宿利 章二
 東京都小平市上水本町五丁目20番1号
 株式会社日立製作所 半導体事業本部内

最終頁に続く

(54) 【発明の名称】 半導体集積回路、メモリモジュール、記憶媒体、及び半導体集積回路の救済方法

(57) 【特許請求の範囲】

【請求項1】

1 個の半導体基板に、中央処理装置と、電気的に書き換え可能であって前記中央処理装置によってアクセス可能な不揮発性メモリと、前記中央処理装置によってアクセス可能な揮発性メモリとを有する半導体集積回路であって、

前記揮発性メモリは、正規の揮発性メモリセルと冗長用の揮発性メモリセルを複数個有すると共に、前記冗長用の揮発性メモリセルによって不良の正規揮発性メモリセルを救済するための救済情報をラッチする揮発性記憶回路を有し、

前記不揮発性メモリは、正規の不揮発性メモリセルと冗長用の不揮発性メモリセルを複数個有すると共に、前記冗長用の不揮発性メモリセルによって不良の正規不揮発性メモリセルを救済するための救済情報をラッチする揮発性記憶回路を有し、前記不揮発性メモリセルの一部は前記揮発性メモリの救済情報と共に不揮発性メモリの救済情報を記憶するメモリセルとされ、前記半導体集積回路に対する初期化の指示に応答して前記救済情報を不揮発性メモリセルから読み出して出力し、

前記中央処理装置、不揮発性メモリ、及び揮発性メモリの夫々のデータ入出力端子が共通接続されるデータバスに前記夫々の揮発性記憶回路のデータ入力端子が結合され、前記初期化の指示に応答して、不揮発性メモリから出力される救済情報は前記データバスを介して対応する揮発性記憶回路に伝達され、

前記揮発性記憶回路は、前記初期化の指示に応答して、不揮発性メモリからの救済情報をラッチするものであり、

10

20

前記不揮発性メモリは、救済情報格納用の不揮発性メモリセルに対する書換えを許容する動作モードと、その書換えを抑止する動作モードとを有し、更に、不揮発性メモリセルに対する書換えを許容する動作モードとして、前記半導体集積回路の外部に接続される書き込み装置により前記不揮発性メモリセルに対する書換えを許容する動作モードと、中央処理装置による命令実行に従って前記不揮発性メモリセルに対する書換えを許容する動作モードとを有するものであることを特徴とする半導体集積回路。

【請求項 2】

前記揮発性メモリを複数個有し、夫々の揮発性メモリの揮発性記憶回路が前記データバスに接続されて成るものであることを特徴とする請求項 1 記載の半導体集積回路。

【請求項 3】

前記不揮発性メモリは、半導体集積回路に対する初期化の指示に応答して前記救済情報を不揮発性メモリセルから複数サイクルに分けて順番に読み出して出力し、

前記揮発性記憶回路は、前記データバスの信号線に夫々共通接続され、救済情報の前記読み出しサイクル毎に、順番にデータバスに対してラッチ動作を行うものであることを特徴とする請求項 1 又は 2 記載の半導体集積回路。

【請求項 4】

前記揮発性記憶回路は半導体集積回路に初期化を指示するリセット信号の第 1 の状態に応答して前記不揮発性メモリから出力される前記救済情報をラッチし、前記リセット信号の第 1 の状態から第 2 の状態への変化に応答して中央処理装置がリセット例外処理を開始するものであることを特徴とする請求項 1 記載の半導体集積回路。

【請求項 5】

半導体集積回路に初期化を指示するリセット信号の第 1 の状態に応答して初期化されるクロック制御回路を有し、クロック制御回路は、前記リセット信号の第 1 の状態から第 2 の状態への変化に応答して前記揮発性記憶回路に前記不揮発性メモリからの前記救済情報をラッチさせ、その後、中央処理装置にリセット例外処理を開始させるものであることを特徴とする請求項 1 記載の半導体集積回路。

【請求項 6】

前記不揮発性メモリは診断プログラムを格納する不揮発性メモリセルを有し、

前記診断プログラムは、前記不揮発性メモリ及び揮発性メモリに対して不良検出を行い、新たな不良のメモリセルを救済するための救済情報を不揮発性メモリの救済情報格納用の不揮発性メモリセルに書き込む処理を前記中央処理装置に実行させるものであることを特徴とする請求項 1 記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、中央処理装置のような制御処理装置と共に DRAM（ダイナミック・ランダム・アクセス・メモリ）や SRAM（スタティック・ランダム・アクセス・メモリ）等の揮発性メモリとフラッシュメモリなどの電氣的に書き換え可能な不揮発性メモリを半導体基板に搭載した半導体集積回路に関し、例えば、DRAM 混載 LSI（大規模半導体集積回路）更にはシステム LSI などと称されるシステムオンチップ型の大規模集積回路に適用して有効な技術に関するものである。

【0002】

【従来の技術】

今日、半導体集積回路の大規模化は、DRAM 混載 LSI やシステム LSI と称されるようなシステムオンチップ化に至る勢いである。

【0003】

半導体集積回路においては、その規模が増大すればするほど、その内部に生ずる欠陥が無視できなくなってくる。特に、DRAM、SRAM、フラッシュメモリ等のメモリは、それらが比較的小面積で大きい記憶容量を持つことが期待される傾向にあり、極く微細な加工とそれに伴う信号の微小化などにより欠陥を発生し易い。そこで、多少の欠陥の発生に

10

20

30

40

50

もかかわらずに、期待するシステム動作が可能にするため、冗長回路技術の適用が大切となる。

【 0 0 0 4 】

半導体集積回路の大規模化においては、応々にして、所望の回路特性を得るためのトリミング技術の適用が望まれる。トリミング技術によって、内部電圧、電流のようなアナログ量やタイミング信号のタイミングのような準アナログとみなせる量が、半導体集積回路の製造ばらつき等にかかわらずに、所望の値に充分に近付けられる。

【 0 0 0 5 】

大規模半導体集積回路のための冗長回路技術と、トリミング技術とには、既知のものを参照できる。1つは、本出願人によって出願されたところのフラッシュメモリのような電気的に書き換え可能な不揮発性メモリのメモリセルを欠陥救済情報のプログラムに用いる発明（特開平7-334999号公報、対応米国特許第5561627号公報記載）である。この発明においては、不揮発性メモリの欠陥メモリセルを特定するような救済情報を当該不揮発性メモリのメモリセルに格納し、初期化動作などに際してその救済情報を内部のラッチ回路にラッチさせ、ラッチされた救済情報とアクセスアドレスとを比較し、一致する場合にはそのアクセスを冗長メモリセルのアクセスに切換える方法が採られる。

10

【 0 0 0 6 】

また、更に1つは、本出願人によって出願されたところの、フラッシュメモリのような不揮発性メモリの一部の記憶領域にトリミング情報を格納して利用する発明（特開平10-214496号公報、対応米国特許出願第09/016300号）である。すなわち、その発明では、フラッシュメモリの動作電源を提供する電圧クランプ手段の出力クランプ電圧を微調整するためのトリミング回路が設けられ、このトリミング回路の状態を決定するためのトリミング情報がフラッシュメモリのメモリセルにプログラムされる。プログラムされたトリミング情報は、リセット動作においてフラッシュメモリから読み出され、そしてレジスタに内部転送される。転送されたトリミング情報を用いてトリミング回路の状態が決定される。これによって、電圧クランプ手段から出力されるクランプ電圧は、半導体集積回路の製造ばらつきにかかわらずに、フラッシュメモリの動作のための好適な値にトリミングされる。

20

【 0 0 0 7 】

システムLSIについて記載された文献の例としては「電子材料（1998年1月に株式会社工業調査会より発行）」第34～第38頁があり、CPU（中央処理装置）と共にフラッシュメモリとDRAMのような揮発性メモリ等を混載した例がその図4に示されている。不揮発性メモリとDRAMを同一プロセスで形成する技術は、米国特許第5057448号公報等で既に提供されている。また、CPUと共にフラッシュメモリ及びDRAMを一つの半導体基板に搭載した半導体集積回路を開示する公知例として、特開昭64-52293号公報及び特開平10-124381号公報もある。

30

【 0 0 0 8 】

【発明が解決しようとする課題】

本出願人による前記先の出願は、一つのフラッシュメモリ中の閉じた範囲内において欠陥救済やトリミングに当該フラッシュメモリの記憶素子を用いようとするものである。本発明者は、システムオンチップなどに代表されるような集積度の大規模化に鑑み、大規模集積回路に搭載された一つの回路モジュールである不揮発性メモリを別の回路モジュールとの関係で効率的に利用することについて検討した。この検討過程において本発明者は、不揮発性メモリの記憶情報を当該不揮発性メモリとは別の揮発性メモリの欠陥救済等に利用することを考えた。本発明者は、揮発性メモリのそのような利用の検討において、次のような新たな課題を認識した。

40

【 0 0 0 9 】

すなわち不揮発性メモリに救済情報を持たせるのにその救済情報を揮発性メモリに反映させる処理が必要となる。そのような情報の反映は、揮発性メモリの構成に應ずる欠陥の増大や記憶容量の大容量化に従う欠陥の増大に対応するような救済情報量の増大があったと

50

しても、高速に実現できるようにすることが望まれる。

【 0 0 1 0 】

この検討の後で行なわれた調査において、キャッシュメモリの欠陥救済にプログラマブル R O Mを用いる公知技術（特開平 6 - 1 3 1 8 9 7 号公報）が見出された。しかし、同公知技術のプログラマブル R O Mはキャッシュメモリ内の冗長メモリ制御回路に付属する専用の回路要素であって、キャッシュメモリ内に閉じた範囲内での救済策に過ぎず、結果論的に対比したとしても本発明者による前記検討課題に対して何ら示唆を与えるものではなかった。

【 0 0 1 1 】

本発明の目的は、制御処理装置によってアクセス可能にされた不揮発性メモリと揮発性メモリとが搭載された大規模な論理構成を有する回路において、欠陥救済のような結合変更の変更効率を向上させることができる半導体集積回路を提供することにある。

10

【 0 0 1 2 】

更に、本発明は、大規模な論理を有する故にコスト低減の要請が厳しくなる半導体集積回路の歩留まり向上によってコスト低減を実現することを目的とする。

【 0 0 1 3 】

本発明の他の目的は、D R A MやS R A M等の揮発性メモリをメモリモジュールとして含む半導体集積回路において、前記メモリモジュールの欠陥救済に関する仕様を統一化することにより、メモリモジュールの使い勝手を向上させることにある。

20

【 0 0 1 4 】

本発明のさらに他の目的は、コンピュータを用いて半導体集積回路を設計する際に利用されるところの設計データが記憶されたデータ記憶媒体を提供することにある。

【 0 0 1 5 】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【 0 0 1 6 】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【 0 0 1 7 】

30

本発明による第1の半導体集積回路（1 A , 1 C）は、1個の半導体基板に、中央処理装置のような制御処理装置（1 0）によってアクセス可能にされる電氣的に書き換え可能な不揮発性メモリ（1 1）と、前記制御処理装置によってアクセス可能な揮発性メモリ（1 2 , 1 3）とを有し、揮発性メモリの欠陥救済に対応するような接続変更をするために不揮発性メモリの記憶情報を利用する。すなわち、前記揮発性メモリは、正規の揮発性メモリセルのような第1の揮発性メモリセルと冗長用の揮発性メモリセルのような第2の揮発性メモリセルを複数個有し、前記第2の揮発性メモリセルによって前記第1の揮発性メモリセルを差しかえ可能とするための結合制御情報を保持する揮発性記憶回路（1 2 A R , 1 3 A R）を有する。前記不揮発性メモリは、複数個の不揮発性メモリセルを有し、その一部は前記結合制御情報を記憶する不揮発性メモリセルとされ、前記半導体集積回路に対する初期化動作指示のような結合制御情報の読み出し設定動作によって前記結合制御情報を不揮発性メモリセルから読み出して出力する。前記揮発性記憶回路は、前記読み出し設定動作によって、不揮発性メモリからの結合制御情報を取り込み保存する。

40

【 0 0 1 8 】

本発明による第2の半導体集積回路（1 B）は、前記に加えて不揮発性メモリの欠陥救済にも不揮発性メモリの記憶情報を利用する。すなわち、前記揮発性メモリは、複数の正規の揮発性メモリセルと冗長用の揮発性メモリセルと前記冗長用の揮発性メモリセルによって不良の正規揮発性メモリセルを救済するための救済情報を保持する揮発性記憶回路（1 2 A R , 1 3 A R）とを有する。前記不揮発性メモリは、複数の正規の不揮発性メモリセルと冗長用の不揮発性メモリセルと前記冗長用の不揮発性メモリセルによって不良の正規

50

不揮発性メモリセルを救済するための救済情報を保持する揮発性記憶回路（１１ＡＲ）とを有する。前記不揮発性メモリセルの一部は前記揮発性メモリの救済情報及び不揮発性メモリの救済情報を記憶するメモリセルとされる。不揮発性メモリセルの一部に記憶されている救済情報は、前記半導体集積回路に対する初期化動作のような読み出し設定動作の実行によって不揮発性メモリセルから読み出され、前記揮発性メモリにおける前記揮発性記憶回路及び前記不揮発性メモリにおける前記揮発性記憶回路にそれぞれ供給され保持される。

【００１９】

前記第１及び第２の半導体集積回路によれば、欠陥救済のような結合制御のための情報は、ヒューズ素子のような素子にかえて不揮発性メモリに書き込まれることになり、ヒューズ素子の使用のときに必要となるようなヒューズプログラム回路を不用にすることができる。それに応じて、ヒューズ切断のためのレーザ切断装置のような比較的高価となりがちな製造装置の使用や工程を制限することができるようになり、製造コストの削減が可能となる。ヒューズ素子を設けるときには、半導体集積回路の配線として考慮されるアルミニウム配線層や、信号伝播遅延時間の更なる短縮が期待される銅配線のようなレーザ切断を困難とする層にかかわらずに、ヒューズ素子の切断を可能とするために、ヒューズ素子を半導体基板上の比較的上層部分に位置させた方が良好とする構造上の理由から、更に半導体基板表面を覆う絶縁膜、表面保護膜へのレーザ光による熱的ダメージ付与を回避するために、ヒューズ素子上の絶縁膜、表面保護膜にレーザ照射用開口を設けておかなければならず、製造プロセスが複雑になるという理由から、半導体集積回路それ自体も高価になる。加えて、ヒューズ素子を設けるときには、レーザ光照射の都合などから、素子それ自体のサイズの縮小化が制限され、半導体基板のサイズが比較的大きなものになってしまう。ヒューズプログラム回路を用いなければ、製造プロセスも簡素になる。結合制御情報を記憶するために不揮発性メモリを利用する場合には、情報の書換えが任意の時期にでき、かつ複数回にわたってできるという利点を享受することができる。これによって、例えばバーン・イン工程のような半導体集積回路の製造の比較的後の工程で発生した欠陥に対するような結合変更や、システム若しくは回路基板に実装してから経時的に発生する欠陥に対するような結合変更についても充分に応えることが可能である。これにより、不揮発性メモリと一緒に揮発性メモリが搭載された大規模な論理構成を有する回路を、製造後に変更できることにより充分に利用することができるようになる。したがって、大規模な論理を有する半導体集積回路の歩留まり向上によってコスト低減を実現することができる。

【００２０】

前記不揮発性メモリ、及び揮発性メモリの夫々のデータ入出力端子が共通接続されるデータバス（１６）に前記夫々の揮発性記憶回路（１１ＡＲ，１２ＡＲ，１３ＡＲ）のデータ入力端子を結合し、中央処理装置のような制御処理装置による初期化動作のような結合制御情報の読み出し設定動作によって、不揮発性メモリから出力される結合制御情報を前記データバスを介して対応する揮発性記憶回路に伝達させることができる。これにより、制御処理装置による前記不揮発性メモリのアクセスと言う点で当該不揮発性メモリの汎用利用性を保証することができる。

【００２１】

揮発性メモリにおける揮発性記憶回路を前記データバスに接続する構成を採用すれば、前記揮発性メモリの数が増えても、救済情報のような結合制御情報の伝達のための特別の配線の追加などを考慮しなくて良い。

【００２２】

結合救済情報全体のビット数がデータバスのビット数以下であればデータバスの信号線を個々の揮発性記憶回路のデータ入力端子に別々に接続することによって、全ての揮発性記憶回路に結合制御情報を並列的にロードすればよい。

【００２３】

半導体集積回路の規模が大きい場合には、それに応じて欠陥のような結合変更の頻度も高まり、結合制御情報が増大する可能性が大きくなる。増大した結合制御情報に対してデー

10

20

30

40

50

タバス幅すなわちデータバスのビット数が小さい場合には、各揮発性記憶回路への結合制御情報のロードを直列的に行わせることができる。すなわち、この場合には、半導体集積回路に対する初期化の指示のような設定動作の指示にตอบสนองして前記結合制御情報を不揮発性メモリセルから複数サイクルに分けて順番に読み出しデータバスに出力させるときに、前記データバスを介して読み出しサイクル毎に供給される結合制御情報を前記読み出しサイクル毎に、順番に前記揮発性記憶回路に取り込ませ、保持させればよい。

【0024】

特に、システムオンチップなどに代表される集積度の大規模化に鑑みると、次のことが明らかであろう。すなわち、上述のように大規模集積回路に搭載された一つの回路モジュール又はメモリモジュールである不揮発性メモリを別の回路モジュール又はメモリモジュールとの関係で効率的に利用可能なように、不揮発性メモリの記憶情報を当該不揮発性メモリとは別の揮発性メモリの欠陥救済等の結合制御に利用するようにしている。この場合の前記データバスを介する結合制御情報の転送、そして、結合制御情報の複数サイクルに分けた直列的な内部転送による手段は、揮発性メモリの大容量に従って欠陥のような結合制御対象となる情報が増えるとき、その情報量の増大に対してその情報を個々の揮発性メモリに反映させる処理を高速に実現できるようにする、と言う点で優れている。

10

【0025】

前記揮発性記憶回路への結合制御情報のロードを簡単な構成で行うには、前記揮発性記憶回路は半導体集積回路に初期化を指示するリセット信号（RESET）のリセット期間指示を意味する第1の状態にตอบสนองして前記不揮発性メモリから出力される前記結合制御情報を保持し、前記リセット信号の第1の状態からリセット解除ないしは終了を意味する第2の状態への変化にตอบสนองして制御処理装置がリセット例外処理を開始するようにすればよい。この場合、リセット信号は、結合制御情報のロードに必要な期間だけ第1の状態に維持される必要がある。換言すれば、リセット信号によるリセット解除タイミングが早過ぎてはならない。

20

【0026】

リセット信号のリセット解除タイミングの実質的な制約なしに結合制御情報のロード動作が十分にできるように、半導体集積回路に初期化を指示するリセット信号（RESET）の第1の状態（リセット期間）にตอบสนองして初期化されるクロック制御回路（19, 20）を設けることができる。このクロック制御回路は、前記リセット信号の第1の状態から第2の状態への変化にตอบสนองして前記揮発性記憶回路に前記不揮発性メモリからの前記結合制御情報を取り込ませ保持させ、その後、中央処理装置にリセット例外処理を開始させる。

30

【0027】

不揮発性メモリが書き換え可能であることに応じて、そこに予め書き込まれていた結合制御情報が誤って書き換えられてしまうおそれが出てくる。そのような不都合を極力排除するには、前記不揮発性メモリには、救済情報格納用の不揮発性メモリセルに対する書換えを許容する動作モードと抑止する動作モードとをモードビット（MB2）によって設定可能にするといよい。

【0028】

また、半導体集積回路の外部に接続される書き込み装置により前記不揮発性メモリセルに対する書換えを許容する動作モードと、中央処理装置による命令実行に従って前記不揮発性メモリセルに対する書換えを許容する動作モードとをモードビット（MB1）によって設定可能にすることもできる。このようにすれば、結合制御情報の書き込みを実装ボード上で（すなわちオンボードで）又は書き込み装置の何れにおいても実施することができる。半導体集積回路の実装後に生ずる欠陥に対応するような結合変更を容易に実現可能にするには、オンボード書き込みモードをサポートすることが望ましい。

40

【0029】

オンボード書き込みによる欠陥救済要求のような結合制御情報の更新のために、前記不揮発性メモリは診断プログラムを格納してもよい。前記診断プログラムは、前記不揮発性メモリ及び揮発性メモリに対して不良検出を行い、新たな不良のメモリセルを救済するため

50

の救済情報を不揮発性メモリの救済情報格納用の不揮発性メモリセルに書き込む処理を前記中央処理装置に実行させる。

【0030】

本発明による第3の半導体集積回路(30)は、不揮発性メモリ(11)に格納して用いる情報を欠陥に対する救済情報以外にも拡張したものである。すなわち、1個の半導体基板に、夫々データバス(16)を共有する中央処理装置(10)のような制御処理装置と、電氣的に書き換え可能であって前記制御処理装置によってアクセス可能な不揮発性メモリ(11)と、前記制御処理装置によってアクセス可能な揮発性メモリ(12、13)とを有する。前記不揮発性メモリ及び揮発性メモリは、前記データバスにデータ入力端子が接続するレジスタ手段(11AR, 12AR, 13AR, AR, 31DR, 12DR, 13DR)を夫々有し、夫々対応する前記レジスタ手段に設定された機能制御情報に従ってそれぞれの機能の一部が決定されるようにされる。前記不揮発性メモリは、複数個の不揮発性メモリセルを有し、その一部は前記機能制御情報を含む初期化データを記憶する不揮発性メモリセルとされる。前記不揮発性メモリはまた、初期化データ記憶用の不揮発性メモリセルに対する書換えを許容する動作モードと抑止する動作モードとを有し、前記半導体集積回路に対する初期化の指示に応答して不揮発性メモリセルから前記初期化データを読み出して出力するようにされる。前記レジスタ手段は、前記半導体集積回路に対する初期化の指示に応答して前記不揮発性メモリからの初期化データを取り込み、保持する。

10

【0031】

この第3の半導体集積回路において、リセットの指示に応答してデータ量の多い初期化データを各レジスタ手段に確実にロードするには、半導体集積回路に初期化を指示するリセット信号の第1の状態に응答して初期化されるようなクロック制御回路を設けると良い。このクロック制御回路は、例えば前記リセット信号の第1の状態から第2の状態への変化のような状態変化に응答して相互に活性タイミングがずらされた複数相の第1のタイミング信号を出力し、その後、前記制御処理装置にリセット例外処理を開始させるための第2のタイミング信号を出力するようにされる。前記不揮発性メモリは、前記複数相の第1のタイミング信号の活性タイミングに응答して前記初期化データを不揮発性メモリセルから複数サイクルに分けて順番に読み出してデータバスへ出力する。前記レジスタ手段は、不揮発性メモリからの前記初期化データの読み出しサイクル毎に、順番にデータバスのデータを取り込み保持する入力設定動作を行う。

20

30

【0032】

前記不揮発性メモリは、これに対応される前記レジスタ手段が保持した情報を、冗長用の不揮発性メモリセルによって不良の正規不揮発性メモリセルを救済するための救済情報として利用することができる。

【0033】

前記揮発性メモリは、これに対応される前記レジスタ手段が保持した情報を、冗長用の揮発性メモリセルによって不良の正規揮発性メモリセルを救済するための救済情報として利用することができる。

【0034】

前記揮発性メモリは、揮発性メモリセルとしてダイナミック型メモリセルを有し、その揮発性メモリに対応される前記レジスタ手段が保持した情報を、前記ダイナミック型メモリセルのリフレッシュインターバルを規定するための制御情報として利用する構成にされても良い。

40

【0035】

前記揮発性メモリは、また、これに対応される前記レジスタ手段が保持した情報を、内部制御信号のタイミングを規定するための制御情報として利用する構成にされても良い。

【0036】

この第3の半導体集積回路においても前記と同様に、不揮発性メモリと一緒に揮発性メモリが搭載された大規模な論理構成を有する回路の結合変更を効率的に行なうことができる。したがって、大規模な論理を有する半導体集積回路の歩留まり向上によってコスト低減

50

を実現することができる。

【0037】

前記不揮発性メモリは例えばフラッシュメモリであり、一部の不揮発性メモリセルには前記制御処理装置が実行するプログラムを格納させることができる。前記揮発性メモリは例えばDRAMであり、前記中央処理装置のワークメモリとして利用することができる。前記揮発性メモリを例えばSRAMから成る高速アクセスメモリとすることができる。

【0038】

DRAMやSRAM等の揮発性メモリ(12, 13)をメモリモジュールとして含む半導体集積回路(1A、1B、1C)において、前記メモリモジュールは、そのメモリアレイに関する救済情報を揮発的に記憶するための揮発性記憶回路(12AR、13AR)を含む。前記揮発性記憶回路(12AR、13AR)は、前記半導体集積回路に形成されるべきデータバスに結合可能にされた複数の入力端子乃至入力ノードと、前記半導体集積回路の初期化動作のような救済情報の読み出し設定動作のための制御信号(reset)を受け取るための制御信号入力端子とを有する。前記メモリモジュールは、正規の揮発性メモリセルのような第1揮発性メモリセルの複数と、冗長用の揮発性メモリセルのような第2揮発性メモリセルの複数とを有し、前記揮発性記憶回路(12AR、13AR)は前記第2揮発性メモリセルによって前記第1揮発性メモリセルを差し換え可能にするための救済情報を保持可能にする。

10

【0039】

このように、前記揮発性記憶回路(12AR、13AR)に設定される前記救済情報を前記メモリモジュールの外部から前記メモリモジュール内部の前記揮発性記憶回路(12AR、13AR)へ供給するような構成とし、半導体集積回路に内蔵されるメモリモジュールの欠陥救済に関係する回路乃至機能仕様を標準化乃至統一化する。それによって、前記メモリモジュールをメモリモジュール部品、いわゆる、IP(知的財産)部品として販売する場合、前記メモリモジュールの使い勝手を向上させることができる。

20

【0040】

前記メモリモジュール含む半導体集積回路はコンピュータ(電子計算機)から成る設計装置によって設計されるので、前記揮発性記憶回路(12AR、13AR)の構成を定めるためのレイアウトデータ、回路機能データ乃至結線データなどの設計データは、コンピュータが理解できる様な特定のコンピュータ言語によって記述されたデータとされる。そして、そのデータは、磁気テープ、MO(マグネトー・オプティカル・ディスク)、CD-ROM乃至フロッピーディスクなどの記憶媒体として提供される。また、前記揮発性記憶回路(12AR、13AR)の設計データは、DRAMやSRAM等の揮発性メモリのメモリモジュールの回路機能の設計データと共に、データ記憶媒体に格納されて提供されても良い。さらにまた、前記揮発性記憶回路(12AR、13AR)の設計データは、DRAMやSRAM等の揮発性メモリのメモリモジュールの設計データの内部に組み込まれた状態で、データ記憶媒体に格納されても良い。

30

【0041】

このように、メモリモジュールの設計乃至それを含む半導体集積回路の設計データをコンピュータが理解できる様な特定のコンピュータ言語によって記述された設計データとして記憶媒体に記憶させて提供することにより、メモリモジュールの設計乃至それを含む半導体集積回路の設計を効率的に行うことができる。

40

【0042】

【発明の実施の形態】

《第1のシングルチップマイクロコンピュータ》

図1には本発明の半導体集積回路の一例に係る第1のシングルチップマイクロコンピュータが示される。同図に示されるシングルチップマイクロコンピュータ1Aは、単結晶シリコンなどから成る1個の半導体基板に形成され、システムオンチップされたシステムLSIとして位置付けられる。

【0043】

50

シングルチップマイクロコンピュータ 1 A は、夫々代表的に示された CPU (中央処理装置) 1 0、不揮発性メモリの一例であるフラッシュメモリ 1 1、揮発性メモリの一例である DRAM 1 2、揮発性メモリの別の例である SRAM 1 3、及び入出力回路 1 4 等を有する。各メモリ 1 1、1 2 及び 1 3 は、それぞれメモリモジュールと見なすことができる。前記 CPU 1 0、フラッシュメモリ 1 1、DRAM 1 2、SRAM 1 3 及び入出力回路 1 4 はアドレスバス 1 5、N ビットのデータバス 1 6 及びコントロールバス 1 7 を共有している。

【0044】

前記入出力回路 1 4 は、特に制限されないが、外部アドレスバス 1 8 A、外部データバス 1 8 D 及び外部コントロールバス 1 8 C 等に接続されており、その内部に前記バス 1 8 A、1 8 D、1 8 C に接続されて図示しない入出力ポート、前記外部バス 1 8 A、1 8 D、1 8 C に対するバスサイクルの起動などを制御するバスコントローラ、そして、シリアルインタフェース回路に代表される入出力周辺回路等を有している。

【0045】

前記 CPU 1 0 は、特に制限されないが、演算論理ユニット (ALU)、プログラムカウンタ (PC)、スタックポインタ (SP)、ステータスレジスタ (SR) のような専用レジスタ及びワークエリアとして利用される汎用レジスタ群とからなる実行ユニットと、前記フラッシュメモリ 1 1 に格納されたプログラムデータ乃至オペレーション・システム・プログラムから供給されるプログラム命令が順次に入力される命令レジスタと、前記命令レジスタに格納された命令をデコードし、前記実行ユニットに対する制御信号を発生する命令デコーダとを含む制御ユニットとによって構成される。前記実行ユニットは、前記アドレスバス 1 5、データバス 1 6 及び制御バス 1 7 に結合され、前記アドレスバス 1 5 への選択的なアドレス信号の出力、前記制御バスへの選択的な制御信号の出力、及びデータバスを介するデータの入出力を制御する。したがって、前記 CPU 1 0 は、前記フラッシュメモリ 1 1 に格納されたプログラムデータ乃至オペレーションシステムプログラムにしたがって、前記半導体集積回路の動作を全体として制御する。

【0046】

前記 DRAM 1 2 は CPU 1 0 のワークメモリ又はメインメモリとして利用されるところの比較的大容量のリードライトメモリである。前記 DRAM 1 2 は、システムの大規模化に応じて例えば数ギガ・ビットのような大容量を有する。DRAM 1 2 のメモリセルアレイ 1 2 MA は、正規のワード線 $WLd_0 \sim WLd_Nd$ の他に冗長ワード線 $WLdR$ を有する。正規のワード線 $WLd_0 \sim WLd_Nd$ には正規のダイナミック型メモリセルの選択端子が結合され、冗長ワード線 $WLdR$ には冗長用のダイナミック型メモリセルの選択端子が結合されている。メモリセルの構成は正規用と冗長用で相異なる点は設定されなくても良い。正規のワード線 $WLd_0 \sim WLd_Nd$ の内のどのワード線を冗長ワード線 $WLdR$ の選択に置き換えるかは、救済アドレスレジスタ 1 2 AR に設定される救済情報によって決定される。救済情報に含まれる救済ロウアドレス情報はアドレス比較回路 1 2 AC によってアドレスバッファ 1 2 AB からのロウアドレス信号と比較される。アドレス比較回路 1 2 AC は比較結果が一致するとき、論理値 “1” の検出信号 1 2 を X デコーダ 1 2 XD に与える。検出信号 1 2 が論理値 “1” のとき、X デコーダ 1 2 XD は、アドレスバッファ 1 2 AB からのロウアドレスによるワード線選択動作を抑止し、これに代えて冗長ワード線 $WLdR$ を選択する。これにより、不良のワード線に係るメモリアクセスは冗長ワード線 $WLdR$ に係る冗長用のメモリセルの選択動作に代えられる。DRAM 1 2 のその他の構成は後で説明する。

【0047】

前記 SRAM 1 3 は、例えばレジスタファイルやデータバッファメモリなどの高速アクセスメモリとして利用される。SRAM 1 3 のメモリセルアレイ 1 3 MA は、正規のワード線 $WLs_0 \sim WLs_Ns$ の他に冗長ワード線 $WLsR$ を有する。正規のワード線 $WLs_0 \sim WLs_Nd$ には正規のスタティック型メモリセルの選択端子が結合され、冗長ワード線 $WLsR$ には冗長用のスタティック型メモリセルの選択端子が結合されている。

正規のワード線 $W L s _0 \sim W L s _N s$ の内のどのワード線を冗長ワード線 $W L s R$ の選択に置き換えるかは、救済アドレスレジスタ 13 A R に設定される救済情報によって決定される。救済情報に含まれる救済ロウアドレス情報はアドレス比較回路 13 A C によってアドレスバッファ 13 A B からのロウアドレス信号と比較される。アドレス比較回路 13 A C は比較結果が一致するとき、論理値 “ 1 ” の検出信号 13 を X デコーダ 13 X D に与える。検出信号 13 が論理値 “ 1 ” のとき、X デコーダ 13 X D は、アドレスバッファ 13 A B からのロウアドレスによるワード線選択動作を抑止し、これに代えて冗長ワード線 $W L s R$ を選択する。これにより、不良のワード線に係るメモリアクセスは冗長ワード線 $W L s R$ に係る冗長用のメモリセルの選択動作に代えられる。S R A M 13 のその他の構成は後で説明する。

10

【 0 0 4 8 】

前記フラッシュメモリ 11 は、コントロールゲートとフローティングゲートを有する電氣的に書換え可能な不揮発性メモリセルをマトリクス配置したメモリセルアレイ 11 M A を有する。メモリセルアレイ 11 M A は、前記 C P U 10 の動作プログラムと、前記 D R A M 12 及び S R A M 13 の前記救済情報とを格納する領域として用いられる。前記メモリセルアレイ 11 M A には不揮発性メモリセルのコントロールゲートに結合されたワード線 $W L f _0 \sim W L f _N f$ と不揮発性メモリセルのドレインに結合されたビット線 $B L f _0 \sim B L f _M f$ が設けられている。このワード線 $W L f _0 \sim W L f _N f$ とビット線 $B L f _0 \sim B L f _M f$ の構成は図1の紙面の表裏方向に N 組設けられているものと理解されたい。この例では、ワード線 $W L f _0$ とビット線 $B L f _0$ が交差する位置に配置された N ビット分の不揮発性メモリセルが前記救済情報の格納領域になる。フラッシュメモリ 11 の消去、書き込み、ベリファイ及び読み出し動作等のタイミング制御等はシーケンスコントローラ 11 S Q が行う。その動作の指示は、特に制限されないが、C P U 10 などからのコマンドによって与えられる。特に制限されないが、フラッシュメモリ 11 は、ワード線単位で消去可能にされている。

20

【 0 0 4 9 】

C P U 10 はフラッシュメモリ 11 等に格納されている命令をフェッチして解読し、その解読結果に従って、命令実行に必要なオペランドを D R A M 12 や S R A M 13 等から取得し、取得したオペランドに演算を施し、その演算結果を再び D R A M 12 や S R A M 13 に格納するといった演算処理を実行して、プログラムに記述された一連のデータ処理を行う。C P U 10 は、リセット信号 R E S E T がハイレベルにされると、実行途中の処理があってもその処理を全て打ち切って、内部回路の所要ノードを所定の論理値状態にイニシャライズする。このリセット期間（リセット信号 R E S E T のハイレベル期間）には C P U 10 内部の初期化だけでなく、図示を省略する周辺回路の内部レジスタに対しても初期化が行なわれる。更に、以下に説明する前記救済アドレスレジスタ 12 A R , 13 A R の初期化も行なわれる。前記リセット信号 R E S E T は、動作電源投入によるパワーオンリセット或いはシステムリセット等の何れの指示にも応答してハイレベルに変化される。リセット信号 R E S E T がローレベルにネゲートされると、C P U 10 はリセット例外処理を開始する。リセット期間中における C P U 10 内部の初期化は、プログラムカウンタ、スタックポインタ、及びステータスレジスタなどの制御用レジスタ等に対して行なわれる。また、パワーオンリセットの場合には電源が投入されてからリセットが解除されるまでの間に、クロック発生回路の動作が安定化され、リセット解除後には安定したクロック信号が C P U 10 などに供給可能にされる。尚、図 1 においてクロックパルスジェネレータは図示を省略してあるが、実際には、振動子と分周回路などを有し、動作基準クロック信号を C P U 10 と始めとする種々の内部回路にクロック信号を供給するようになっている。

30

40

【 0 0 5 0 】

前記フラッシュメモリ 11 は、リセット信号 R E S E T のリセット期間に応答して救済情報のリード動作を行う。即ち、シーケンスコントローラ 11 S Q はリセット期間を検出すると、リード動作可能にセンスアンプ 11 S A 及び出力バッファ 11 O B を活性化する。

50

また、Xデコーダ11XD及びYデコーダ11YDは前記リセット信号RESETによって指示されるリセット期間にตอบสนองして、ワード線WLf__0及びビット線BLf__0を選択する。これにより、前記救済情報を格納したNビットのメモリセルの記憶情報はNビットのデータバス16に出力される。

【0051】

前記救済アドレスレジスタ12AR, 13ARは救済情報を格納するために例えばN/2ビット分のスタティックラッチを有する。特に制限されないが、救済アドレスレジスタ12ARを構成するスタティックラッチのデータ入力端子は、リセット信号RESETのハイレベル(論理値“1”)の期間にNビットのデータバス16の下位N/2ビットに導通され、その間に入力したデータを、リセット信号RESETのローレベルへの反転動作によってラッチすることができる。他方の救済アドレスレジスタ13ARを構成するスタティックラッチのデータ入力端子は、リセット信号RESETのハイレベル(論理値“1”)の期間にNビットのデータバス16の上位N/2ビットに導通され、その間に入力したデータを、リセット信号RESETのローレベルへの反転動作によってラッチすることができる。したがって、リセット期間が終了されると、フラッシュメモリ10からデータバス16に読み出された下位側の救済情報がDRAM12の救済アドレスレジスタ12ARに、上位側の救済情報がSRAM13の救済アドレスレジスタ13ARにラッチされる。それ以降、DRAM12、SRAM13では救済情報で特定されるロウアドレスのアクセスがあれば、冗長ワード線による救済が行われる。

【0052】

図2には救済情報の詳細な一例が示される。この例では前述の通り救済情報は全部で最大Nビットである。SRAM13の救済情報においてAS3~AS0は救済対象ロウアドレス情報であり、RE__Sはその救済対象ロウアドレス情報の有効性を示すSRAM救済イネーブルビットである。このビットRE__Sは論理値“1”によってロウアドレス情報AS3~AS0の有効性を示す。救済アドレスレジスタ13ARにロードされたSRAM救済イネーブルビットRE__Sは、論理値“1”の場合にはアドレス比較回路13ACを活性化し、論理値“0”の場合にはアドレス比較回路13ACを非活性状態に保って検出信号13を不一致レベル“0”に固定する。同様にDRAM12の救済情報においてAD3~AD0は救済対象ロウアドレス情報であり、RE__Dはその救済対象ロウアドレス情報の有効性を示すDRAM救済イネーブルビットである。このビットRE__Dは論理値“1”によってロウアドレス情報AD3~AD0の有効性を示す。救済アドレスレジスタ12ARにロードされたDRAM救済イネーブルビットRE__Dは、論理値“1”の場合にはアドレス比較回路12ACを活性化し、論理値“0”の場合にはアドレス比較回路12ACを非活性状態に保って検出信号12を不一致レベル“0”に固定する。

【0053】

図3にはリセット期間における救済情報のイニシャルロード処理のタイミングが示される。電源投入によるパワーオンリセット、或いはシステムリセットなどによって、リセット信号RESETがハイレベルにされている期間がリセット期間である。投入された電源が安定すると、ワード線WLf__0とYセクタYsf__0が選択され、データバス16にはDRAM12とSRAM13の救済情報が並列的に読み出される。読み出されたDRAM12の救済情報は救済アドレスレジスタ12ARに、SRAM13の救済情報は救済アドレスレジスタ13ARにロードされ、ロードデータはリセット解除によってラッチされる。

【0054】

図1において、フラッシュメモリ11の前記シーケンスコントローラ11SQは、モードレジスタ11MRを有し、モードレジスタ11MRの設定内容に従ってフラッシュメモリ11の動作を決定する。

【0055】

モードレジスタ11MRは公知のフラッシュメモリと同様に、書き込み動作を指示する書き込みイネーブルビット、消去動作を指示する消去イネーブルビット等を有する。図示を

省略する前記書き込みイネーブルビット、消去イネーブルビットによって書き込み動作、消去動作が指示されたとき、メモリセルアレイ 11 MA におけるアクセス可能な範囲はモードビット MB 2 の設定状態によって決る。また、その時のアクセス主体は、モードビット MB 1 の値によって決る。すなわち、モードレジスタ 11 MR はデータバス 16 を介してアクセス可能であるが、その内の特定のモードビット MB 1 には、シングルチップマイクロコンピュータ（以下単にマイクロコンピュータとも称する）1 A の外部端子 P 1 の値を直接反映させることも可能である。モードビット MB 1 は、マイクロコンピュータの外部に接続される E P R O M ライタなどの書き込み装置によりフラッシュメモリ 11 に対する書換えを許容する動作モード（E P R O M ライタモード）を指定するビットとされる。モードビット MB 1 が論理値“1”にされると、マイクロコンピュータ 1 A は見掛け上フラッシュメモリ単体の半導体集積回路（バススレーブ）と等価な外部インタフェース機能を持つように外部入出力回路 14 の機能が変更され、また、C P U 10 の動作も停止される。すなわち、前記モードビット MB 1 の論理値“1”にตอบสนองして、C P U 10 のアドレスバス 15、データバス 16 及びコントロールバス 17 に結合されるバッファ回路はハイインピーダンス状態とされて、C P U 10 が各バス 15、16、17 から電氣的に切り離される。この E P R O M ライタモードにおいて、外部入出力回路 14 は外部からアドレス信号を入力してアドレスバス 15 に供給し、外部からのリード信号によるリード動作の指示にตอบสนองしてデータバス 16 のデータを外部に出力し、また、外部からのライト信号によるライト動作の指示にตอบสนองしてデータを入力してデータバス 16 に供給する。一方、前記モードビット MB 1 が論理値“0”のときフラッシュメモリ 11 は C P U 10 の制御によってアクセス可能にされる。すなわち、C P U 10 の各バス 15、16、17 に結合されるバッファ回路は、モードビット MB 1 の論理値“0”にตอบสนองして、C P U 10 を各バス 15、16、17 と電氣的に接続する。

【0056】

前記モードレジスタ 11 MR のモードビット MB 2 は、前記ワード線 W L f _ 0 と Y セクタ Y S f _ 0 とによって選択可能な救済情報格納用の不揮発性メモリセルに対する書換えを許容するか否かを決定する制御ビットであり、論理値“0”によって救済情報の書換えを可能にし、論理値“1”によって救済情報の書換えを阻止する。シーケンスコントローラ 11 S Q は、モードビット MB 2 が論理値“1”のとき、消去動作及び書き込み動作において、ロウアドレス信号に拘わらずワード線 W L f _ 0 のレベルを消去及び書き込みの双方を共に阻止する電圧、例えば 0 V にする。これにより、ワード線単位で行なわれる消去、N ビット単位で行なわれる書き込み動作は、ワード線 W L f _ 0 に接続するメモリセルに対して一切阻止される。モードビット MB 2 が論理値“0”のときはワード線 W L f _ 0 のメモリセルに対しても自由に消去及び書き込みが可能にされる。

【0057】

前記動作モードの設定が可能にされるマイクロコンピュータ 1 A において、D R A M 1 2 及び S R A M 1 3 に対する欠陥救済は、図 4 の (A) に例示さるようう、先ず、マイクロコンピュータ 1 A のメーカーによるウェーハプロセスで形成されたチップに対する最初のプローブ検査 (S 1) の結果に対して行うことができる (S 2)。このときの救済では、モードビット MB 1 によってマイクロコンピュータ 1 A を E P R O M ライタモードとし、テスト若しくは E P R O M ライタのような専用書き込み装置を用いてフラッシュメモリ 11 をアクセスできるようにし、モードビット MB 2 を論理値“0”にして、フラッシュメモリ 11 の所定領域に救済情報を書き込む。その後、再度プローブ検査を行って (S 3)、パッケージング (S 4)、電源電圧 V d d を通常動作時より高くして信頼性をテストするバーン・イン・テスト (S 5) を経て、選別 (S 6) が行なわれる。バーン・イン・テストなどの影響で新たな不良が発見された不良品には欠陥救済の機会を与えることができる (S 7)。例えば、ステップ S 2 で欠陥の無かったマイクロコンピュータ 1 A にバーン・イン・テストなどにより欠陥が顕在化した場合、前述と同じようにして、欠陥を救済することができる (S 7)。欠陥救済品に対して再度選別 (S 8) が行なわれた後、製品が出荷される (S 9)。その製品を購入したユーザは当該マイクロコンピュータを所要の回

10

20

30

40

50

路基板に実装し、実装された回路は適宜動作されることになる（S10）。この動作中には前記モードビットMB2を論理値“1”にして、救済情報が誤って書き換えられないようにしておく。このオンボード状態で動作されるマイクロコンピュータ1Aに、必要に応じて欠陥診断用のテストプログラム（診断プログラム）を実行させて、欠陥の有無を判定し、発見された欠陥に対しては、オンボード状態でマイクロコンピュータ1Aに内蔵のCPU10を介して欠陥救済を施すことができる（S11）。例えば、製造工程において全く欠陥の無かったマイクロコンピュータ1Aが経時的に回路素子若しくは回路要素の特性が劣化して欠陥を生じた場合や、動作温度、動作電圧などの動作環境の変化に応じて新たに欠陥が生じた場合にも、それに対処することができる。ヒューズを用いた欠陥救済技術である図4の（B）と比較した場合、救済可能な時期は3倍以上に増える。

10

【0058】

前記オンボード書き込みによる欠陥救済のための診断プログラム及びオンボード書き込み時に実行される書き込みプログラムはフラッシュメモリ11のワード線WLF₀以外の領域に格納しておくことができる。診断プログラムの実行は割り込みなどによってCPU10に任意に指示し、或いはタイマなどを用いて自動的に実行できるようにしてもよい。診断プログラムの内容はここでは詳細に図示しないが、SRAM12及びDRAM13に所定のテストパターンを書き込んでから読み出し、読み出したデータと期待値データとを比較して欠陥の有無を判定し、欠陥があれば、救済可能な冗長構成が余っているかを調べる処理を行なう。救済可能な冗長構成が余っている場合には、その欠陥を救済するための救済情報をフラッシュメモリ10の救済情報格納用の不揮発性メモリセルに書き込むため、前記CPU10に前記書き込みプログラムを実行させて、救済情報をフラッシュメモリ11の所定のメモリセルへ書き込ませる処理を行う。救済可能な冗長構成が余っていない場合には、CPU10はエラーステータスビットをセットし、それに応じた割り込み処理（例えばサービスマンコールの表示）を行うようにすることができる。

20

【0059】

前記システムLSIとしてのシングルチップマイクロコンピュータ1Aは、欠陥救済のためのヒューズプログラム回路が不用になり、ヒューズ切断のための装置や工程が省け、テストコストを削減することができる。銅配線系プロセスのようなヒューズのレーザ熔断開口部の形成プロセスが複雑であると言う事情に対しても、ヒューズプログラム回路を用いないので、製造プロセスが簡素になる。例えば図5に例示されるように、その表面に図示しないMOSFETのような回路素子が形成される単結晶シリコンからなるシリコン基板（Si基板）100上の最下層のポリシリコン配線層102の上にそれぞれ窒化チタン（TiN）層105、111、117等を介して形成される銅配線層が第1層106から第5層（112、118、124、130）までであるとする、レーザ溶断可能なポリシリコンヒューズをファイナルパッシベーション膜132を通して露出させるための開口133を形成するとき、配線層平坦化のための配線埋め込み溝を形成するときのエッチング用ストッパである何層もの窒化シリコン（SiN）層131、127、125、121、119、115、113、109、107、103を一度にエッチングで除去することが難しいため、層間絶縁膜（酸化シリコン）128、126、122等のエッチングのためのエッチングガスとSiN層のエッチングガスを交互に何回も切り換えなければならず、製造工程数が著しく増えてしまう。欠陥救済にヒューズプログラム回路を用いなければ銅配線を用いるプロセスにおいて何ら問題を生じない。すなわち、本発明の半導体集積回路1Aないし後述される半導体集積回路1B及び1Cは、図5のデバイス断面図からヒューズ102Cを省いたデバイス構造とされる。それによって、配線抵抗が小さく、且つ、高周波動作が可能な半導体集積回路1A、1B、1Cを提供できる。

30

40

【0060】

また、フラッシュメモリ11に対する救済情報の書き換えが可能であるから、バーン・インの後に発生した欠陥も新たに救済でき、更に、システム若しくは回路基板に実装してから経時的に発生する欠陥に対しても救済を施すことが可能である。

【0061】

50

これにより、CPU 10と共に、フラッシュメモリ 11と一緒にDRAM 12やSRAM 13などの揮発性メモリが搭載された大規模な論理構成を有するシングルチップマイクロコンピュータ 1A等の回路の欠陥に対して救済効率を向上させることができる。したがって、大規模な論理を有する半導体集積回路 1Aの歩留まり向上によってコスト低減を実現することができる。

【0062】

ここで、前記DRAM 12、SRAM 13及びフラッシュメモリ 11について以上で説明を省略した構成について補足説明を行う。

【0063】

《DRAM》

前記DRAM 12において、メモリセルアレイ 12MAは、図6に例示されるようなアドレス選択用MOSFET Qsと情報保持用キャパシタCsとからなり、選択用端子としてのMOSFET Qsのゲートが対応するワード線WLに接続され、データ入出力端子としてのMOSFET Qsのドレインもしくはソースが対応するビット線BLに接続された、公知のダイナミック型メモリセルDMCを多数備える。キャパシタCsの1つの電極は、共通電極PLとされ、電源電圧の半分に等しいような所定の電源が与えられる。メモリセルアレイ 12MAは、図7に例示されるように、スタティックラッチ形態のセンスアンプSAdに対して公知の折り返しビット線構造を有し、ビット線BLd₀～BLd_{Md}を備えている。ビット線BLd₀～BLd_{Md}と交差する方向にはワード線WLd₀～WLd_{Nd}が配置され、更に、欠陥救済のための冗長ワード線WLdRが設けられている。特に図示はしないが冗長ビット線を採用することも可能である。ビット線BLd₀～BLd_{Md}はYセクタYSd₀～YSd_{Md}を介してコモンデータ線12CDに共通接続される。図1に示されるように、前記ワード線WLd₀～WLd_{Nd}と冗長ワード線WLdRはXデコーダ12XDによって一本が選択される。YセクタYSd₀～YSd_{Md}はYデコーダ12YDのデコード出力によって一つがオン状態にされる。図1において、メモリセルアレイ 12MA及びYセクタYSd₀～YSd_{Md}は紙面の表裏方向にN組設けられていると理解されたい。したがって、Xデコーダ12XD及びYデコーダ12YDによる選択動作が行われると、コモンデータ線12CDにはNビット単位でデータの入出力が行なわれることになる。書き込みデータはデータバス16から入力バッファ12IBに供給され、入力データに従って書き込みバッファ12WBがコモンデータ線12CDを介してビット線をドライブする。データ読み出し動作ではビット線からコモンデータ線12CDに伝達された読み出しデータをメインアンプ12MAで増幅し、これを出力バッファ12OBからデータバス16に出力する。

【0064】

前記冗長ワード線WLdRによって救済すべき正規ワード線のロウアドレスを特定する救済情報は前記救済アドレスレジスタ12ARに設定されている。この救済アドレスレジスタ12ARは複数ビットのスタティックラッチから成り、そのデータ入力端子は、リセット信号RESETのハイレベルに応答してデータバス16に導通され、データバス16から救済情報がロードされる。ロードされた救済情報が有効であるとき、その救済情報はアドレス比較回路12ACによって前記アドレスバッファ12ABからのロウアドレス信号と比較される。比較結果が一致のとき、検出信号12が論理値“1”にされ、それ以外は論理値“0”にされる。前記Xデコーダ12XD及びYデコーダ12YDは、アドレスバス15のアドレス信号がアドレスバッファ12ABを介して供給され、供給されたアドレス信号をデコードする。特にXデコーダ12XDは、アドレス比較回路12ACから供給される検出信号12が不一致を意味する論理値“0”のときはアドレスバッファ12ABからのロウアドレス信号をデコードするが、検出信号12が一致を意味する論理値“1”のときにはアドレスバッファ12ABからのロウアドレス信号のデコードが禁止され、代わりに冗長ワード線WLdRを選択する。これにより、不良のワード線に係るメモリアクセスは冗長ワード線WLdRに係る冗長用のメモリセルの選択動作に代えられる。

【0065】

10

20

30

40

50

D R A M 1 2 の内部タイミング制御はタイミングコントローラ 1 2 T C が行う。タイミングコントローラ 1 2 T C にはコントロールバス 1 7 を介して C P U 1 0 からリード信号及びライト信号等のストロブ信号が供給されると共に、アドレスバス 1 5 からメモリ選択信号とみなされる複数ビットのアドレス信号が供給される。タイミングコントローラ 1 2 C T によって D R A M 1 2 の動作選択が検出されると、X デコーダ 1 2 X D 等の回路が活性化され、リード信号によって読み出し動作が指示されているときは、メモリセルアレイ 1 2 M A で選択されたメモリセルの記憶情報がメインアンプ 1 2 M A や出力バッファ 1 2 O B を介してデータバス 1 6 に出力され、ライト信号によって書き込み動作が指示されているときは、メモリセルアレイ 1 2 M A で選択されたメモリセルには、入力バッファ 1 2 I B 及び書き込みバッファ 1 2 W B を介して入力されたデータが書き込まれる。

10

【 0 0 6 6 】

《 S R A M 》

前記 S R A M 1 3 は、メモリセルアレイ 1 3 M A に、図 8 に例示されるような公知の C M O S スタティック型メモリセル S M C を多数備える。すなわち、C M O S スタティック型メモリセル S M C は、図 8 のように P チャンネル型 M O S F E T Q P 1、Q P 2 と N チャンネル型 M O S F E T Q N 1 ないし Q N 4 とからなる。Q P 1 と Q N 1 の相互、Q P 2 と Q N 2 の相互は、それぞれ C M O S インバータを構成するとみなされ、その入力端子と出力端子が交差接続されることによって全体として 1 つの C M O S ラッチ回路を構成する。Q N 3 と Q N 4 は、選択スイッチを構成する。Q N 3 と Q N 4 のゲートは、メモリセルの選択端子を構成し、対応するワード線 W L に接続される。対応する対のビット線 B L、B B L に接続された Q N 3、Q N 4 のドレインもしくはソースは、メモリセルのデータ入出力端子とされる。メモリセルは抵抗負荷型のスタティックラッチ形態に構成してもよい。メモリセルアレイ 1 3 M A は、図 9 に例示されるように、相補ビット線 B L s __ 0、B L B s __ 0 ~ B L s __ M s、B L B s __ M s を備えている。相補ビット線 B L s __ 0、B L B s __ 0 ~ B L s __ M s、B L B s __ M s と交差する方向にはワード線 W L s __ 0 ~ W L s __ N s が配置され、更に、欠陥救済のための冗長ワード線 W L s R が設けられている。特に図示はしないが冗長ビット線を採用することも可能である。相補ビット線 B L s __ 0、B L B s __ 0 ~ B L s __ M s、B L B s __ M s は Y セレクタ Y S s __ 0、Y S B s __ 0 ~ Y S s __ M s、Y S B s __ M s を介してコモンデータ線 1 3 C D に共通接続される。図 1 に示されるように、前記ワード線 W L s __ 0 ~ W L s __ N s と冗長ワード線 W L s R は X デコーダ 1 3 X D によって一本が選択される。Y セレクタ Y S s __ 0、Y S B s __ 0 ~ Y S s __ M s、Y S B s __ M s は Y デコーダ 1 3 Y D のデコード出力によって一対がオン状態にされる。図 1 において、メモリセルアレイ 1 3 M A 及び Y セレクタ Y S s __ 0、Y S B s __ 0 ~ Y S s __ M s、Y S B s __ M s は紙面の表裏方向に N 組設けられていると理解されたい。したがって、X デコーダ 1 3 X D 及び Y デコーダ 1 3 Y D による選択動作が行われると、コモンデータ線 1 3 C D には N ビット単位でデータの入出力が行なわれることになる。書き込みデータはデータバス 1 6 から入力バッファ 1 3 I B に供給され、入力データに従って書き込みバッファ 1 3 W B がコモンデータ線 1 3 C D を介してビット線をドライブする。データ読み出し動作ではビット線からコモンデータ線 1 3 C D に伝達された読み出しデータをセンスアンプ 1 3 S A で増幅し、これを出力バッファ 1 3 O B からデータバス 1 6 に出力する。

20

30

40

【 0 0 6 7 】

前記冗長ワード線 W L s R によって救済すべき正規ワード線のロウアドレスを特定する救済情報は救済アドレスレジスタ 1 3 A R に設定されている。この救済アドレスレジスタ 1 3 A R は複数ビットのスタティックラッチから成り、そのデータ入力端子は、リセット信号 R E S E T のハイレベルに応答してデータバス 1 6 に導通され、データバス 1 6 から救済情報がロードされる。ロードされた救済情報が有効であるとき、その救済情報はアドレス比較回路 1 3 A C によって前記アドレスバッファ 1 3 A B からのロウアドレス信号と比較される。比較結果が一致のとき、検出信号 1 3 が論理値 “ 1 ” にされ、それ以外は論理値 “ 0 ” にされる。前記 X デコーダ 1 3 X D 及び Y デコーダ 1 3 Y D は、アドレスバス

50

15のアドレス信号がアドレスバッファ13ABを介して供給され、供給されたアドレス信号をデコードする。特にXデコーダ13XDは、アドレス比較回路13ACから供給される検出信号13 が不一致を意味する論理値“0”のときはアドレスバッファ13ABからのロウアドレス信号をデコードするが、検出信号13 が一致を意味する論理値“1”のときにはアドレスバッファ12ABからのロウアドレス信号のデコードが禁止され、代わりに冗長ワード線WLsRを選択する。これにより、不良のワード線に係るメモリアクセスは冗長ワード線WLsRに係る冗長用のメモリセルの選択動作に代えられる。

【0068】

SRAM13の内部タイミング制御はタイミングコントローラ13TCが行う。タイミングコントローラ13TCにはコントロールバス17を介してCPU10からリード信号及びライト信号等のストロブ信号が供給されると共に、アドレスバス15からメモリ選択信号とみなされる複数ビットのアドレス信号が供給される。タイミングコントローラ13CTによってSRAM13の動作選択が検出されると、Xデコーダ13XD等の回路が活性化され、リード信号によって読み出し動作が指示されているときは、メモリセルアレイ13MAで選択されたメモリセルの記憶情報がセンスアンプ13SAや出力バッファ13OBを介してデータバス16に出力され、ライト信号によって書き込み動作が指示されているときは、メモリセルアレイ13MAで選択されたメモリセルには、入力バッファ13IB及び書き込みバッファ13WBを介して入力されたデータが書き込まれる。

【0069】

《フラッシュメモリ》

前記フラッシュメモリ11は、メモリセルアレイ11MAに、図10に例示される不揮発性メモリセル(フラッシュメモリセル)FMCを多数備える。メモリセルFMCは、コントロールゲート(CG)、フローティングゲート(FG)、ソース(SC)及びドレイン(DR)を持つ1個のメモリセルトランジスタによって構成される。メモリセルアレイ11MAは、図11に例示されるように、フラッシュメモリセルFMCのドレインが結合されたビット線BLf__0~BLf__Mf、フラッシュメモリセルFMCのコントロールゲートが結合されたワード線WLf__0~WLf__Nf、及びフラッシュメモリセルFMCのソースが結合されたソース線SLfを有する。特に制限されないが、この例では、ソース線SLfは各メモリセルFMCに共通化されている。ビット線BLf__0~BLf__MfはYセクタYSf__0~YSf__Mfを介してコモンデータ線11CDに共通接続される。図1に示されるように、前記ワード線WLf__0~WLf__Nfに対する選択動作はXデコーダ11XDによって行う。選択ワード線と非選択ワード線に対する供給電圧は、消去、書き込み、読み出しの各動作に応じて前記シーケンスコントローラ11SQが制御する。YセクタYSf__0~YSf__MfはYデコーダ11YDのデコード出力によって一つがオン状態にされる。図1において、メモリセルアレイ11MA及びYセクタYSf__0~YSf__Mfは紙面の表裏方向にN組設けられていると理解されたい。したがって、Xデコーダ11XD及びYデコーダ11YDによる選択動作が行われると、メモリセルとコモンデータ線11CDとの間ではNビット単位でデータの入出力が可能になる。書き込みデータはデータバス16から入力バッファ11IBに供給され、入力データに従って書き込みバッファ11WBがコモンデータ線11CDを介してビット線をドライブする。データ読み出し動作ではビット線からコモンデータ線11CDに伝達された読み出しデータをセンスアンプ11SAで増幅し、これを出力バッファ11OBからデータバス16に出力する。この例では、消去動作はワード線単位で行なわれる。尚、図1に図示を省略したソース線には、消去、書き込み、読み出しの各動作モードに応じたソース線電圧が前記シーケンスコントローラ11SQから与えられる。

【0070】

フラッシュメモリ11のシーケンス制御及び電圧制御は前記シーケンスコントローラ11SQが行う。ここでは、シーケンスコントローラ11SQによる電圧制御態様を説明する。まず、メモリセルFMC(Nチャンネル型のMOS形式メモリセルトランジスタ)は、フローティングゲート内の電荷の多い・少ないに応じて情報を保持する事が可能である。

例えばフローティングゲート内に電荷が注入されるとメモリセルのしきい値電圧は上昇する。コントロールゲートに印加する電圧値以上にしきい値電圧を上げる事によりメモリ電流は流れなくなる。またフローティングゲートから電荷を放出することによってそのしきい値電圧は低下される。コントロールゲートに印加される電圧値よりもしきい値電圧が低くされることにより、メモリ電流が流れるようになる。例えば、図12に例示されるように、低いしきい値電圧の状態を“0”情報保持状態（例えば書き込み状態）、高いしきい値電圧の状態を“1”情報保持状態（例えば消去状態）と割り当てる事が可能となる。これは定義上の事であるので、逆の定義を与えても何ら問題は無い。メモリ動作はリード（read）、書き込み（program）及び消去（erase）に大別される。書き込みベリファイ及び消去ベリファイはリードと実質的に同じである。

10

【0071】

読み出し動作では、コントロールゲートCGに読み出し電位（例えば $V_{cc} = 5V$ ）が印加される。このときの選択メモリセルの記憶情報は、そのメモリセルに電流が流れるか流れないかによって、その“0”、“1”が判定される。消去においては、図13に例示されるように、コントロールゲートCGに正電圧（例えば $10V$ ）を印加しメモリセルのソースに負電圧（例えば $-10V$ ）を印加する。ドレインDRはフローティングであってもよいし、或いはウェルと同じ負電圧（例えば $-10V$ ）であってもよい。このことによりフローティングゲート内にトンネル効果によって電荷を注入する事が可能となる。その結果、メモリセルFMCのしきい値電圧が上昇する。消去ベリファイは、ベリファイのためのワード線電圧が異なるだけで前記読み出し動作と実質的に同じである。書き込みにおいては、図13に例示されるように、コントロールゲートCGに負電位（例えば $-10V$ ）を印加し、ドレインDRには正電圧（例えば $7V$ ）を与え、ソースSCをフローティングにする。このことによりドレインに正電圧が印加されたメモリセルのみ電荷の放出が行なわれる。その結果、メモリセルFMCのしきい値電圧は減少する。この後の書き込みベリファイ動作も前記読み出しと同様に行われる。

20

【0072】

《第2のシングルチップマイクロコンピュータ》

図14には本発明に係る半導体集積回路の別の例である第2のシングルチップマイクロコンピュータが示される。同図に示されるシングルチップマイクロコンピュータ1Bは、欠陥救済用の冗長構成を有する点が図1のものと相違される。すなわち、メモリセルアレイ11MAは、正規のワード線 $WLf_0 \sim WLf_Nf$ の他に冗長ワード線 $WLfR$ を有する。冗長ワード線 $WLfR$ にも前記メモリセルFMCのコントロールゲートが結合され、それらのドレインは対応するビット線に、ソースは前記ソース線に結合されている。正規のワード線 $WLf_0 \sim WLf_Nf$ の内のどのワード線を冗長ワード線 $WLfR$ の選択に置き換えるかは、救済アドレスレジスタ11ARに設定される救済情報によって決定される。救済情報に含まれる救済ロウアドレス情報はアドレス比較回路11ACによってアドレスバッファ11ABからのロウアドレス信号と比較される。アドレス比較回路11ACは比較結果が一致するとき、論理値“1”の検出信号11をXデコーダ11XDに与える。検出信号11が論理値“1”のとき、Xデコーダ11XDは、アドレスバッファ11ABからのロウアドレスによるワード線選択動作を抑止し、これに代えて冗長ワード線 $WLfR$ を選択する。これにより、不良のワード線に係るメモリアクセスは冗長ワード線 $WLfR$ に係る冗長用のメモリセルの選択動作に代えられる。

30

40

【0073】

この構成において、リセット期間中における救済情報のデータバス16への読み出しは図1の場合と同様に1回で行われる構成に変わりはない。したがって、図14の場合には、全部で最大Nビットの救済情報を1回で3個の救済アドレスレジスタ11AR, 12AR, 13ARに振り分けなければならない。これを満足するように、3個の救済アドレスレジスタ11AR, 12AR, 13ARのデータ入力端子は、Nビットのデータバスの各ビットの信号線と重複することなく別々に結合させているものとする。

【0074】

50

図 15 にはフラッシュメモリ 11 の救済情報格納領域に格納された救済情報の一例が示されている。図 2 に比べて、フラッシュメモリ 11 の救済ロウアドレス AF3 ~ AF0 とフラッシュメモリの救済イネーブルビット RE__F が増えている。データバス 16 に読み出される救済情報が全部で N ビットであるなら、データバス 16 の信号線は、図 15 の配列を維持して対応する救済アドレスレジスタ 11AR, 12AR, 13AR のデータ入力端子に結合されている。前記ビット RE__F は論理値 “1” によってロウアドレス情報 AF3 ~ AF0 の有効性を示す。救済アドレスレジスタ 11AR にロードされた救済イネーブルビット RE__F は、論理値 “1” の場合にはアドレス比較回路 11AC を活性化し、論理値 “0” の場合にはアドレス比較回路 11AC を非活性状態に保って検出信号 11 を不一致レベル “0” に固定する。

10

【0075】

図 16 にはリセット期間における救済情報のイニシャルロード処理のタイミングが示される。電源投入によるパワーオンリセット、或いはシステムリセットなどによって、リセット信号 RESET がハイレベルにされている期間がリセット期間である。投入された電源が安定すると、ワード線 WL f__0 と Y セクタ Y S f__0 が選択され、データバス 16 にはフラッシュメモリ 11、DRAM 12 及び SRAM 13 の救済情報が並列的に読み出される。読み出されたフラッシュメモリ 11 の救済情報は救済アドレスレジスタ 11AR に、DRAM 12 の救済情報は救済アドレスレジスタ 12AR に、SRAM 13 の救済情報は救済アドレスレジスタ 13AR にロードされ、ロードデータはリセット解除によってラッチされる。

20

【0076】

このシングルチップマイクロコンピュータ 1B によればフラッシュメモリ 11 で発生する欠陥に対しても救済することができる。その他の点は図 1 のシングルチップマイクロコンピュータ 1A と同じであり、その詳細な説明は省略する。

【0077】

《第 3 のシングルチップマイクロコンピュータ》

図 17 には本発明に係る半導体集積回路の更に別の例である第 3 のシングルチップマイクロコンピュータが示される。同図に示されるシングルチップマイクロコンピュータ 1C は、フラッシュメモリから救済情報を読み出す動作を複数サイクルとし、複数の救済アドレスレジスタには救済情報の読み出しサイクル毎に順番にデータをラッチさせるようにした点が図 1 のものと相違される。すなわち、シングルチップマイクロコンピュータ 1C には、リセット信号 RESET によるリセット指示（リセット期間）にตอบสนองして初期化されるクロック制御回路として、クロックパルスジェネレータ（CPG）19 と制御回路 20 を設ける。

30

【0078】

前記クロックパルスジェネレータ 19 は例えば発振子を用いた発振回路と分周回路或いは PLL 回路等を有し、動作電源が投入され、リセット信号 RESET がアサートされて内部動作が安定してクロック信号を発生可能になった後、リセット信号 RESET がネゲートされるのにตอบสนองして、クロック信号 CLK R を発生する。図 18 に例示されるように、クロック信号 CLK R は、特に制限されないが、3 回発生され、これが前記制御回路 20 に与えられる。CPU 10 はクロックパルスジェネレータ 19 から発生されるリセット信号 RST によって初期化される。CPU 10 のリセット期間は、図 18 に例示されるように、クロック信号 CLK R の 3 発目が発生されるまでである。リセット信号 RST によるリセット期間が終了すると、CPU 10 は、クロックパルスジェネレータ 19 から発生されるクロック信号 CLK に同期して、リセット例外処理を開始する。

40

【0079】

CPU 10 に対するリセット信号 RST によるリセット期間において、制御回路 20 は救済情報のイニシャルロード制御を行う。即ち、図 18 に例示されるように、制御回路 20 は、クロック信号 CLK R の第 1 サイクル及び第 2 サイクルの期間に制御信号 W0 をアサートし、その第 1 サイクルにตอบสนองして制御信号 B0 をアサートし、第 2 サイクルに

50

答して制御信号 B 1 をアサートする。前記シーケンスコントローラ 1 1 S Q は制御信号 W 0 のアサート期間にตอบสนองしてセンスアンプ 1 1 S A 及び出力バッファ 1 1 O B を活性化し、読み出し動作可能にフラッシュメモリの電圧制御を行う。前記 X デコーダ 1 1 X D は制御信号 W 0 のアサート期間にตอบสนองしてワード線 W L f _ 0 に読み出し選択レベルを与える。Y デコーダ 1 1 Y D は制御信号 B 0 のアサート期間に Y セクタ Y S f _ 0 によってビット線 B L f _ 0 を選択する。これにより、制御信号 B 0 のアサート期間（クロック信号 C L K R の第 1 サイクル）にデータバス 1 6 には、ワード線 W L f _ 0 とビット線 B L f _ 0 との交差位置にある N ビットのメモリセルから救済情報が読み出される。このとき、前記制御信号 B 0 は D R A M 1 2 の救済アドレスレジスタ 1 2 A R に供給され、前記制御信号 B 0 のハイレベル期間でデータバス 1 6 のデータを入力し、ローレベルによってその入力データをラッチするから、その救済情報が救済アドレスレジスタ 1 2 A R にラッチされる。また、Y デコーダ 1 1 Y D は次の制御信号 B 1 のアサート期間では Y セクタ Y S f _ 1 によってビット線 B L f _ 1 を選択する。これにより、制御信号 B 1 のアサート期間（クロック信号 C L K R の第 2 サイクル）にデータバス 1 6 には、ワード線 W L f _ 0 とビット線 B L f _ 1 との交差位置にある N ビットのメモリセルから救済情報が読み出される。このとき、前記制御信号 B 1 は S R A M 1 3 の救済アドレスレジスタ 1 3 A R に供給され、当該レジスタ 1 3 A R は前記制御信号 B 1 のハイレベル期間でデータバス 1 6 のデータを入力し、ローレベルによってその入力データをラッチするから、その救済情報が救済アドレスレジスタ 1 3 A R にラッチされる。

10

【 0 0 8 0 】

20

したがって、ワード線 W L f _ 0 とビット線 B L f _ 0 との交差位置にあるメモリセルに D R A M 1 2 の救済情報を格納し、ワード線 W L f _ 0 とビット線 B L f _ 1 との交差位置にあるメモリセルに S R A M 1 3 の救済情報を格納しておけば、シングルチップマイクロコンピュータ 1 C のリセット指示にตอบสนองして、救済情報を N ビット単位で順番に D R A M 1 2 及び S R A M 1 3 に内部転送することができる。一つの回路に対する救済情報の内部転送回数は 1 回に限定されず、当該回路の論理規模に比例する冗長の論理規模に応じて適宜決定することができる。例えば、Y デコーダに供給する制御信号の数を増やし、制御信号毎に別々の Y セクタを選択させ、救済情報を入力する回路の救済アドレスレジスタの数も必要に応じて増やせばよい。図 1 で説明した構成の場合には、救済情報の初期ロード動作の期間はリセット信号 R E S E T のリセット期間に依存する。初期ロードすべき救済情報の量が多い場合には、マイクロコンピュータの外部でリセット信号 R E S E T によるリセット期間を制御しなければならない。図 1 7 の場合には、リセット信号 R E S E T によってクロックパルスジェネレータ 1 9 の動作が安定化した後は、マイクロコンピュータ 1 C 内部の制御回路 2 0 が救済情報のイニシャルロード処理を自律的に制御するから、初期ロードすべき救済情報の量が多い場合であっても、マイクロコンピュータ外部で特別な操作を要することなく、救済情報のイニシャルロードを確実に行うことができる。その他の点は図 1 のシングルチップマイクロコンピュータ 1 A と同じであり、その詳細な説明は省略する。

30

【 0 0 8 1 】

また、システムオンチップ化などに代表される集積度の大規模化に鑑みると、大規模集積回路に搭載された一つの回路モジュールであるフラッシュメモリ 1 1 を別の回路モジュールとの関係で効率的に利用するために、フラッシュメモリ 1 1 の記憶情報を当該フラッシュメモリ 1 1 とは別の S R A M 1 3 や D R A M 1 2 の欠陥救済等に利用した。このとき、前記データバス 1 6 を介する救済情報の内部転送、そして、救済情報の複数サイクルに分けた直列的な内部転送による構成は、S R A M 1 3 や D R A M 1 2 等の大容量に従って欠陥が増えるのに比例して救済情報が増えるとき、救済情報量の増大に対してその情報を個々の S R A M 1 3 や D R A M 1 2 に反映させる処理を高速に実現できるようにする、という点で重要である。

40

【 0 0 8 2 】

《ブロック置換》

50

今まで説明した冗長への置き換えはアドレス比較によって行うものであったが、図 19 に例示されるように、メモリマットも若しくはメモリブロックの置換によって行うことも可能である。例えば、メモリマット M A T 0 ~ M A T 7 は正規メモリセルがマトリクス配置されたメモリブロックである。この例では、各メモリブロック毎に 1 ビットのデータ入出力端子 D 0 ~ D 7 が割当てられ、その間には Y セクタ回路 Y S W 0 ~ Y S W 7、リード・ライト回路（センスアンプ及びライトアンプ）R W 0 ~ R W 7 等が配置されている。欠陥救済用のメモリセルがマトリクス配置された冗長メモリマット M A T R が設けられ、この冗長メモリマット M A T R には冗長用の Y セクタ回路 Y S W R 及びリードライト回路 R W R が接続されている。メモリマット M A T 0 ~ M A T 7 及び冗長メモリマット M A T R は相互に同じ回路構成を有している。Y セクタ回路 Y S W 0 ~ Y S W 7、Y S W R は、対応するメモリマットから 1 本のビット線若しくは 1 対の相補ビット線を選択する。

10

【 0 0 8 3 】

メモリマット M A T 0 ~ M A T 7 の内の一つを冗長メモリマット M A T R に置き換え可能にするために、セクタ S E L 0 ~ S E L 7 が設けられている。セクタ S E L 0 ~ S E L 7 は、リードライト回路 R W R の入出力端子とリードライト回路 R W 0 ~ R W 7 の入出力端子との何れか一方を選択してデータ入出力端子 D 0 ~ D 7 に接続する。セクタ S E L 0 ~ S E L 7 に対する選択制御信号はデコーダ D L が生成し、デコーダ D L には救済情報レジスタ A R から救済情報が与えられる。救済情報のイニシャルロードの手法は前記と同じである。

【 0 0 8 4 】

20

図 19 の例に従えば、救済情報は、救済イネーブルビット R E と、3 ビットの選択ビット A 2 ~ A 0 から成る。デコーダ D L は選択ビット A 2 ~ A 0 の相補信号に対してデコード論理を構成するアンドゲート A N D 0 ~ A N D 7 によって構成され、アンドゲート A N D 0 ~ A N D 7 の出力が対応するセクタ S E L 0 ~ S E L 7 の選択端子に供給される。各アンドゲート A N D 0 ~ A N D 7 には救済イネーブルビット R E が供給され、これが論理値 “ 1 ” の救済イネーブル状態にされたとき、デコード動作を行うことができる。換言すれば、救済イネーブルビット R E が論理値 “ 0 ” の状態では、各アンドゲート A N D 0 ~ A N D 7 の出力選択信号は全て非選択レベルに強制される。

【 0 0 8 5 】

メモリマットも若しくはメモリブロックの置換によって救済を行えば、アドレス比較動作が不要であり、アクセスタイムの高速化に資することができる。また、救済可能な規模に対して救済情報のビット数が少なく済む。したがって大容量 D R A M などの場合には好適である。但し、冗長によって占有されるチップ面積はアドレス比較を行う構成に比べて大きくなる。図 19 の構成は、前記 S R A D 1 3、D R A M 1 2、フラッシュメモリ 1 1 の何れにも適用することが可能である。

30

【 0 0 8 6 】

《トリミング回路への適用》

以上の説明では冗長のための救済情報をフラッシュメモリ 1 1 に格納して用いる例を説明したが、救済情報の代わりに、又は、救済情報と共に、トリミング情報を格納して用いるようにすることも可能である。以下、トリミング情報を用いて回路特性を決定することができる回路の例を幾つか説明する。

40

【 0 0 8 7 】

図 20 には降圧電源回路を有するシングルチップマイクロコンピュータの一例が示される。降圧電源回路 3 1 はシングルチップマイクロコンピュータ 3 0 の外部から与えられる 5 V や 3 . 3 V のような電源電圧 V D D を降圧して内部電源電圧 V D L を生成する。降圧された内部電源電圧 V D L は C P U 1 0、フラッシュメモリ 1 1、D R A M 1 2、S R A M 1 3 などの動作電源として用いられる。このような降圧電圧 V D L を用いるのは、集積度及び動作速度を向上させるために回路素子が微細化されているとき、回路動作の信頼性を保証するため、更には低消費電力を実現するためである。外部とインタフェースされる入出力回路 1 4 は、外部電源電圧 V D D を動作電源とする。V S S は回路の接地電圧である

50

。この降圧電源回路 31 は、内部電源電圧 V_{DL} のレベルを規定するための参照電圧を決定する制御情報（電圧トリミング情報）をラッチする電圧トリミングレジスタ 31DR を有する。このレジスタ 31DR に対する電圧トリミング情報のイニシャルロードは、前述の救済情報のイニシャルロードと同様に、リセットの指示に応答して前記フラッシュメモリ 11 からデータバス 16 に電圧トリミング情報が読み出され、読み出された電圧トリミング情報がレジスタ 31DR にラッチされる。

【0088】

図 21 には前記降圧電源回路 31 の一例が示される。降圧電圧は n チャンネル型 MOS トランジスタ $M5$ と抵抗素子 $R5$ から成るソースフォロア回路から出力される。トランジスタ $M5$ のコンダクタンスはオペアンプ $AMP2$ によって負帰還制御される。電圧 V_{DL} は論理的に制御電圧 V_{DL1} に等しくされる。制御電圧 V_{DL1} は、 n チャンネル型 MOS トランジスタ $M4$ と抵抗素子 $R0 \sim R4$ から成るソースフォロア回路から出力される。トランジスタ $M4$ のコンダクタンスはオペアンプ $AMP1$ によって負帰還制御される。その帰還系は、抵抗 $R0 \sim R4$ による抵抗分圧比を選択可能なスイッチ MOS トランジスタ $M0 \sim M3$ が設けられて、トリミング回路を構成している。スイッチ MOS トランジスタ $M0 \sim M3$ の選択は、2 ビットの電圧トリミング情報 $TR1, TR0$ をデコードするデコーダ $DEC1$ が行う。そのようにして形成される帰還電圧は基準電圧発生回路 $VGE1$ で発生される基準電圧とオペアンプ $AMP1$ で比較される。このオペアンプ $AMP1$ は、制御電圧 V_{DL1} が参照電圧 V_{ref} に等しくなるように負帰還制御を行う。

【0089】

前記降圧電源回路 31 の素子特性が、製造プロセスの影響によって、比較的大きくばらつた場合、内部電源電圧 V_{DL1} が設計値的な所望範囲内に入るようにデコーダ $DEC1$ で選択する抵抗分圧比を変更する。そのための情報は、デバイステストによって把握される回路特性から予め得ることができ、前述のように、EPROM ライトモードなどによってフラッシュメモリ 11 の所定領域（前記救済情報の格納領域に相当する所定アドレスエリア）に予め書き込んでおけばよい。マイクロコンピュータ 30 がリセットされるとき、その電圧トリミング情報 $TR0, TR1$ はフラッシュメモリ 11 から電圧トリミングレジスタ 31DR にイニシャルロードされる。

【0090】

図 22 には DRAM 12 のデータ保持モードにおいて、メモリセルのリフレッシュ間隔を制御するリフレッシュタイマの一例が示される。CM はモニタ用ストレージキャパシタであり、ダイナミック型メモリセルのストレージキャパシタよりも僅かにデータ保持時間が短くなるように設計されている。 n チャンネル型 MOS トランジスタ $M15$ はモニタ用ストレージキャパシタ CM に対する充電用トランジスタである。このトランジスタ $M15$ は、図 23 に例示されるように、リフレッシュ動作期間にオン動作され、データ保持期間にオフ状態にされる。データ保持期間においてノード V_N の電圧はモニタ用ストレージキャパシタ CM のリークによってレベル低下される。レベル低下の度合は、コンパレータ $AMP3$ によって検出する。コンパレータ $AMP3$ はノード V_N のレベルが参照電圧 V_{R1} よりも低くなると、ハイレベルを出力する。この状態はセット・リセット型のフリップフロップ FF をセット状態にする。これによってカウンタ CNT が計数動作を開始し、リフレッシュクロック REF を生成する。このリフレッシュクロック REF に同期してリフレッシュ動作が行われる。例えば、図示を省略するリフレッシュアドレスカウンタを順次インクリメントしながらリフレッシュクロック REF のクロックサイクルに同期してワード線単位のリフレッシュ動作を行う。カウンタ CNT のオーバーフローによるキャリーによってフリップフロップ FF がリセットされ、一連のフレッシュ動作を終了する。リフレッシュ動作中、トランジスタ $M15$ はオン状態にされ、モニタ用ストレージキャパシタ CM は、次のリフレッシュタイミングを検出するために充電されている。リフレッシュ動作が終了すると、トランジスタ $M15$ はカット・オフ状態にされ、再びリークによるリフレッシュタイミングの検出動作が行われる。

【0091】

前記モニタ用ストレージキャパシタCMの電荷保持特性は、プロセスの影響を受けて変動することが予想され、例えば、DRAMの正規のメモリセルのストレージキャパシタの平均的な電荷保持特性を有している場合には、それよりも電荷保持特性の多くのメモリセルでデータエラー若しくはデータ破壊生じてしまう。そこで、モニタ用ストレージキャパシタCMの電荷保持性能に応じて、参照電圧VR1を調整可能な参照電圧発生回路12RFを採用することができる。

【0092】

この参照電圧発生回路12RFは、図22に例示されるように、nチャンネル型MOSトランジスタM14と抵抗素子R10～R14から成るソースフォロア回路から出力される。トランジスタM14のコンダクタンスはオペアンプAMP4によって負帰還制御される。その帰還系は、抵抗R10～R14による抵抗分圧比を選択可能なスイッチMOSトランジスタM10～M13が設けられて、トリミング回路を構成している。スイッチMOSトランジスタM10～M13の選択は、2ビットの電圧トリミング情報RF1, RF0をデコードするデコーダDEC2が行う。そのようにして形成される帰還電圧は基準電圧発生回路VGE2で発生される基準電圧VRとオペアンプAMP4で比較される。このオペアンプAMP4は、参照電圧VR1が基準電圧VRに等しくなるように負帰還制御を行う。

【0093】

前記モニタ用ストレージキャパシタCMの電荷保持性能が製造プロセスの影響により許容範囲を越えて変動した場合、デコーダDEC2で選択する抵抗分圧比を適当に変更する。そのための情報は、デバイステストによって把握されるキャパシタCMの電荷保持性能から予め得ることができ、前述のように、EPROMライタモードなどによってフラッシュメモリ11の所定領域（前記救済情報の格納領域に相当する所定アドレスエリア）に予め書き込んでおけばよい。マイクロコンピュータ30がリセットされるとき、その電圧トリミング情報TR0, TR1はフラッシュメモリ11からリフレッシュ最適化レジスタ12DRにイニシャルロードされる。

【0094】

図24にはSRAM13のタイミングコントローラ13TCにおけるタイミング調整用ディレイ回路の一例として、センスアンプ活性化信号SAのディレイ回路が示される。タイミングコントローラ13TCは、直列4段の遅延回路DL0～DL3と、各遅延回路DL0～DL3の出力を選択するCMOSトランスファゲートTG0～TG3を有する。CMOSトランスファゲートTG0～TG3の出力はワイヤード・オアされ、その結合ノードの信号がセンスアンプ活性化信号SAとしてセンスアンプ13SAに供給される。何れのCMOSトランスファゲートTG0～TG3をオン動作させるかは、2ビットのタイミング調整情報TM0, TM1をデコードするデコーダDEC3が行う。

【0095】

SRAM13のアクセス速度が製造プロセスの影響により変動した場合、高速アクセスや或いはデータ読み出し動作の安定化という観点より、それに応じてセンスアンプの活性化タイミングを調整することが望ましい場合がある。それに応じて、CMOSトランスファゲートTG0～TG3の選択状態を決定すればよい。そのための情報は、デバイステストによって把握されるアクアエス速度性能などから予め得ることができ、前述のように、EPROMライタモードなどによってフラッシュメモリ11の所定領域（前記救済情報の格納領域に相当する所定アドレスエリア）に予め書き込んでおけばよい。マイクロコンピュータ30がリセットされるとき、そのタイミング調整情報TM0, TM1は、救済情報と同じ手順によってフラッシュメモリ11からデータバス16を介してタイミング調整レジスタ13DRにイニシャルロードされる。

【0096】

図14の欠陥救済、図21の電圧トリミング、図22のリフレッシュインターバル最適化、図24のタイミングコントローラのタイミング調整、の夫々で説明した技術は、図20に例示される一つのシングルチップマイクロコンピュータ30のような半導体集積回路に

10

20

30

40

50

纏めて適用することができる。そのとき、フラッシュメモリ 11 に格納される情報は、回路の一部の機能を決定する初期化データとして位置付けることができ、例えば、図 25 の様なフォーマットでフラッシュメモリ 11 のメモリセルアレイ 11MA に格納される。

【0097】

図 26 には、コンピュータを使用して、半導体集積回路を設計するためのシステムの一例が示されている。

【0098】

同図において、100 はパーソナルコンピュータの様なコンピュータ（電子計算機とも記す）を示しており、101 はデータを前記電子計算機に入力するためのキーボードである。また、102 は、例えばフロッピーディスクの様な記録媒体である。

10

【0099】

この記録媒体には、予め半導体集積回路の設計に必要なデータが記録されている。例えば、図 1 に示されている様な半導体集積回路を設計するために、記録媒体 102 には、フラッシュメモリ（11）の構成を定めるデータ 103、DRAM（12）の構成を定めるデータ 104、救済アドレスレジスタ（12AR）の構成を定めるデータ 105、データバス（16）の構成を定めるデータ 106 等が記録されている。

【0100】

設計しようとしている物に応じて必要なデータを、前記記録媒体から電子計算機に読み出すことにより、電子計算機上で半導体集積回路の設計を行うことが出来る。

【0101】

20

前記各データは、電子計算機が理解できるような特定のコンピュータ言語で書かれたプログラム（例えば RTL（Register Transfer Level）モデルや HDL（Hardware Description Language）モデル）、或いは実際に半導体集積回路を製造する際に使われるマスクに関するデータ（座標データ、接続配線データ）でも良い。勿論この両者を組み合わせたものを前記データとしても良い。

【0102】

前記説明では、救済アドレスレジスタの構成を定めるデータが、データ 105 であるとしたが、勿論電気的特性を変更するために使われるレジスタ（例えば、図 20 に示されている電圧トリミングレジスタ、図 22 に示されているリフレッシュ最適化レジスタ、図 24 に示されているタイミング調整レジスタ、或いは図 25 に示されるようなそれらの複合レジスタ）の構成がこのデータ 105 によって定められるようにしても良い。

30

【0103】

また、図 1 では、DRAM（12）内に救済アドレスレジスタ（12AR）及びアドレス比較回路（12AC）が設けられている様に説明されているが、これらを DRAM（メモリアレイ 12MA、デコーダ 12XD、12YD、Yセクタ、書き込みバッファ、入力バッファ、メインアンプ、出力バッファ）の構成を定めるデータ 104 とは別のデータ 105 としてもよい。勿論、図 1 に示されている DRAM（12）を一つのデータ群として扱っても良い。

【0104】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

40

【0105】

例えば、本発明に係る半導体集積回路はシングルチップマイクロコンピュータに限定されず、また、シングルチップマイクロコンピュータの内蔵回路モジュールの種類も前記の例に限定されず、適宜変更である。また、電氣的に書換え可能な不揮発性メモリには、フラッシュメモリに限定されず、選択 MOS トランジスタと MNOS（メタル・ナイトライド・オキサイド・セミコンダクタ）形式の記憶トランジスタとから成るメモリセルを採用してもよい。また、フラッシュメモリの書き込み、消去の電圧印加状態は前記に限定されず適宜変更可能である。また、不揮発性メモリは 4 値以上の多値の情報を記憶するものであ

50

ってもよい。また、揮発性メモリはSRAM、DRAMに限定されず、強誘電体メモリ等であってもよい。

【0106】

DRAM、SRAM、フラッシュメモリのようなメモリにおいて、冗長ワード線は、アドレス比較回路によるアドレス比較結果によって選択されることになるので、その選択タイミングが正規ワード線のそれに比べて遅れがちとなる。その種のタイミングの遅れは、特に半導体集積回路が著しく早い動作サイクルをもって動作すべきときは無視できなくなる。そのような場合のために、面積の若干の増加が許容されるなら、冗長用のダイナミック型メモリセルにおける情報記憶用容量を正規用メモリセルにおけるそれよりもそのサイズを増大させたり、冗長用のスタティック型メモリセルやフラッシュ型メモリセルにおけるトランジスタのコンダクタンスを増大させるようにそのサイズを増大させることもできる。すなわち、この場合には、選択の冗長メモリセルからビット線に与えられる読み出し信号量を増大させることができ、それに応じて読み出しセンス動作タイミングを早めても正常なデータ読み出しが可能となる。これによって、冗長ワード線の選択タイミングの遅れによる影響は、メモリセル選択後のセンス動作の高速化によって実質的に軽減できる。

【0107】

図22に関して説明したようなDRAMのリフレッシュ期間の調整技術は、変更可能である。いくつかのダイナミック型メモリセルのデータ保持時間特性が図22の容量CMの充電電圧保持特性に対し、比較的大きくずれている場合には、それらダイナミック型メモリセルの正常な動作期間内にリフレッシュ動作が繰り返されるように、図22の基準電圧V_{R1}を積極的に変更することができる。DRAMのリフレッシュ動作保証のためのトリミングは、図22に代えて、半導体集積回路のシステムクロック信号のようなクロック信号をカウントし、リフレッシュタイミング信号を形成するカウンタないしはタイマーのカウント数を変更する構成を採用することもできる。また、本発明はシステムオンチップされたシステムLSIにおいてその効果は大きい、システムLSI以外の論理LSIにも適用できることは言うまでもない。さらに図1、図14又は図15において、各メモリモジュール11, 12, 13は1本の冗長ワードラインを含むように説明されたが、その本数は複数本とされても良い。それによって、救済効率が向上するばかりでなく、図14(A)に従う欠陥救済ステップS2、S7及びS10の各ステップにおいて、そのステップで検出された欠陥を救済できる。

【0108】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0109】

すなわち、欠陥救済のような結合変更のためのヒューズプログラム回路が不用になり、ヒューズ切断のための装置や工程が省け、テストコストを削減することができ、しかも、銅配線系プロセスのようなプロセスに対してもヒューズのレーザ熔断開口部を形成することを要しないため製造プロセスが簡素になる。不揮発性メモリに対する結合制御情報の書換えが可能であるから、バーン・イン工程のような製造工程の後の方で発生する欠陥やシステム若しくは回路基板に実装してから発生する欠陥に対するような結合変更要求に充分に応えることができる。

【0110】

これにより、中央処理装置のような制御処理装置と共に、不揮発性メモリと一緒に揮発性メモリが搭載された大規模な論理構成を有する回路の結合変更を効率的に行なうことができる。したがって、大規模な論理を有する半導体集積回路の歩留まり向上によってコスト低減を実現することができる。

【0111】

特に、システムオンチップなどの大規模化に鑑みると、大規模集積回路に搭載された不揮発性メモリを別の回路モジュールとの関係で効率的に利用するために、不揮発性メモリの

10

20

30

40

50

記憶情報を当該不揮発性メモリとは別の揮発性メモリの結合変更等に利用するようにしたが、データベースを介する結合制御情報の転送、そして、結合制御情報の複数サイクルに分けた直列的な転送による手段は、揮発性メモリの大容量に従って結合変更の機会が増えるとき、その制御情報量の増大に対してその情報を個々の揮発性メモリに反映させる処理を高速に実現できるようにする、と言う点で優れている。

【図面の簡単な説明】

【図 1】本発明の半導体集積回路の一例に係る第 1 のシングルチップマイクロコンピュータのブロック図である。

【図 2】図 1 のシングルチップマイクロコンピュータで用いる救済情報の詳細な一例を示す説明図である。

10

【図 3】リセット期間における救済情報のイニシャルロード処理の一例を示すタイミングチャートである。

【図 4】シングルチップマイクロコンピュータに対して欠陥救済可能な時期を製造工程から時系列的に示したフローチャートである。

【図 5】銅配線系プロセスに対してヒューズのレーザ熔断開口部の様子を概略的に示したデバイス断面図である。

【図 6】ダイナミック型メモリセルの一例を示す回路図である。

【図 7】DRAM のメモリセルアレイの一例を示す概略説明図である。

【図 8】CMOS スタティック型メモリセルの一例を示す回路図である。

【図 9】SRAM のメモリセルアレイの一例を示す概略説明図である。

20

【図 10】フラッシュメモリセルの一例を示す回路図である。

【図 11】フラッシュメモリのメモリセルアレイの一例を示す概略説明図である。

【図 12】フラッシュメモリにおける書き込み状態及び消去状態の一例を示す説明図である。

【図 13】フラッシュメモリの書き込み動作及び消去動作の夫々における電圧印加状態の一例を示す説明図である。

【図 14】本発明に係る半導体集積回路の別の例である第 2 のシングルチップマイクロコンピュータのブロック図である。

【図 15】第 2 のシングルチップマイクロコンピュータにおける救済情報の一例を示す説明図である。

30

【図 16】第 2 のシングルチップマイクロコンピュータにおける救済情報のイニシャルロード処理の一例を示すタイミングチャートである。

【図 17】本発明に係る半導体集積回路の更に別の例である第 3 のシングルチップマイクロコンピュータのブロック図である。

【図 18】第 3 のシングルチップマイクロコンピュータにおいてリセット期間に救済情報をイニシャルロードする処理の一例を示すタイミングチャートである。

【図 19】メモリマットも若しくはメモリブロックの置換によって欠陥救済を行う構成を採用したメモリの一例を概略的に示すブロック図である。

【図 20】降圧電源回路を有するシングルチップマイクロコンピュータの一例を示すブロック図である。

40

【図 21】降圧電源回路の一例を示す回路図である。

【図 22】DRAM 12 のデータ保持モードにおいてメモリセルのリフレッシュ間隔を制御するリフレッシュタイマの一例を示す回路図である。

【図 23】図 23 に例示されるリフレッシュタイマの動作の一例を示すタイミングチャートである。

【図 24】SRAM 13 のタイミングコントローラにおけるセンスアンプ活性化信号のタイミング調整回路の一例を示す回路図である。

【図 25】図 14 の欠陥救済、図 21 の電圧トリミング、図 22 のリフレッシュインターバル最適化、図 24 のタイミングコントローラのタイミング調整、の夫々で説明した技術を図 20 に例示される一つのシングルチップマイクロコンピュータに纏めて適用したとき

50

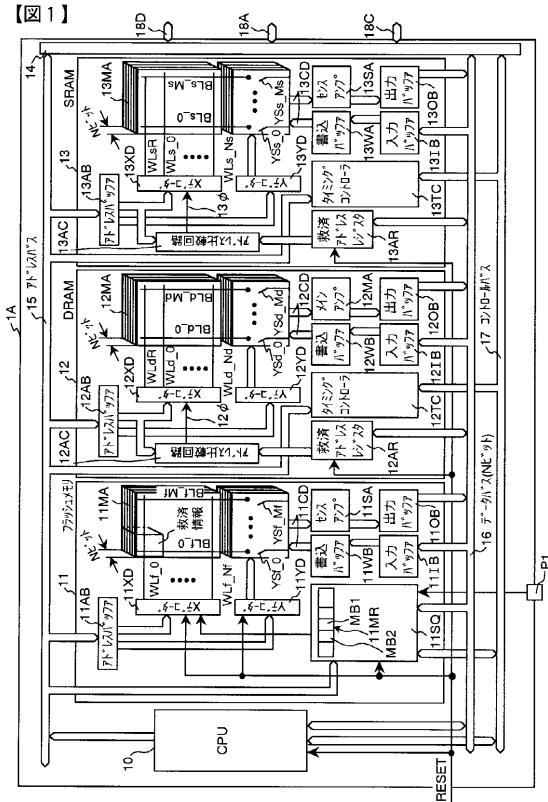
、フラッシュメモリに格納される初期化データのフォーマットの一例を示す説明図である。

【図26】コンピュータを使用して本発明に従う半導体集積回路を設計するためのシステムの一例を示す概念図である。

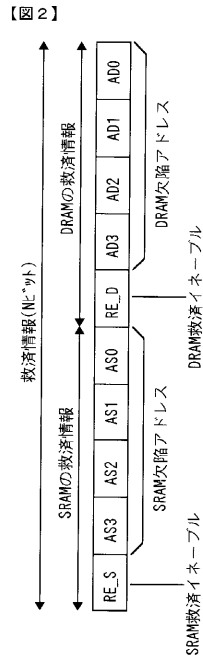
【符号の説明】

| | | |
|-------------------------|-------------------|----|
| 1 A S , 1 B , 1 C | シングルチップマイクロコンピュータ | |
| 1 0 | C P U | |
| 1 1 | フラッシュメモリ | |
| F M C | フラッシュメモリセル | |
| W L f _ 0 ~ W L f _ M f | 正規ワード線 | 10 |
| W L f R | 冗長ワード線 | |
| B L f _ 0 ~ B L f M f | ビット線 | |
| 1 1 M A | メモリセルアレイ | |
| 1 1 S Q | シーケンスコントローラ | |
| 1 1 M R | モードレジスタ | |
| M B 1 , M B 2 | モードビット | |
| 1 1 A C | アドレス比較回路 | |
| 1 1 A R | 救済アドレスレジスタ | |
| 1 2 | D R A M | |
| D M C | ダイナミック型メモリセル | 20 |
| W L d _ 0 ~ W L d _ M d | 正規ワード線 | |
| W L d R | 冗長ワード線 | |
| B L d _ 0 ~ B L d M d | ビット線 | |
| 1 2 M A | メモリセルアレイ | |
| 1 2 T C | タイミングコントローラ | |
| 1 2 A R | 救済アドレスレジスタ | |
| 1 2 A C | アドレス比較回路 | |
| 1 2 R F | 参照電圧発生回路 | |
| D E C 2 | デコーダ | |
| 1 2 D R | リフレッシュ最適化レジスタ | 30 |
| 1 3 | S R A M | |
| S M C | スタティック型メモリセル | |
| W L s _ 0 ~ W L s _ M s | 正規ワード線 | |
| W L s R | 冗長ワード線 | |
| B L s _ 0 ~ B L s M s | ビット線 | |
| 1 3 M A | メモリセルアレイ | |
| 1 3 T C | タイミングコントローラ | |
| 1 3 A R | 救済アドレスレジスタ | |
| 1 3 A C | アドレス比較回路 | |
| D E C 3 | デコーダ | 40 |
| 1 3 D R | タイミング調整レジスタ | |
| 1 5 | アドレスバス | |
| 1 6 | データバス | |
| 1 7 | コントロールバス | |
| 3 0 | シングルチップマイクロコンピュータ | |
| 3 1 | 降圧電圧発生回路 | |
| D E C 1 | デコーダ | |
| 3 1 D R | 電圧トリミングレジスタ | |

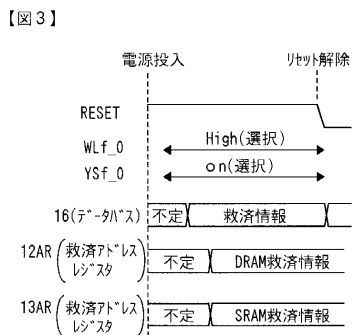
【図 1】



【図 2】

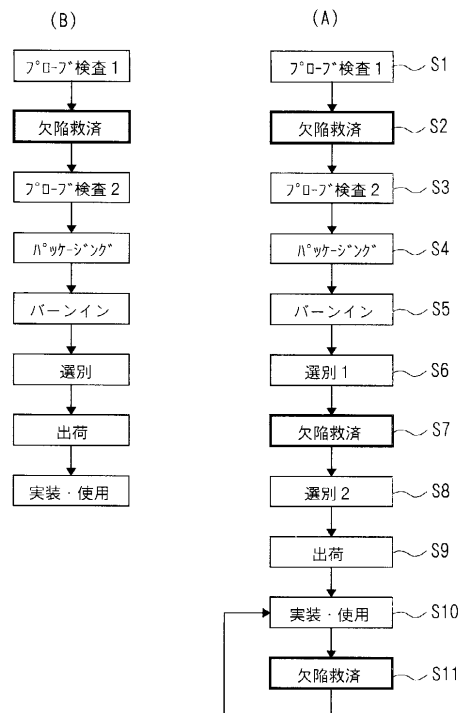


【図 3】

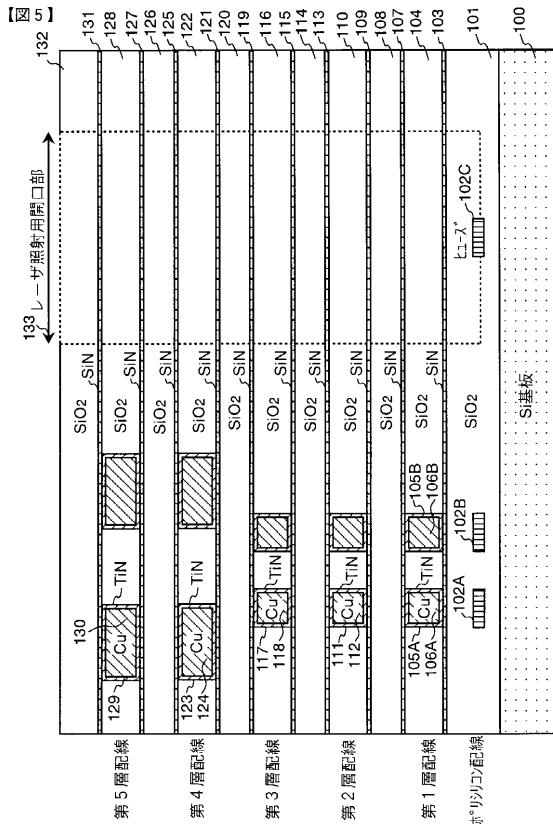


【図 4】

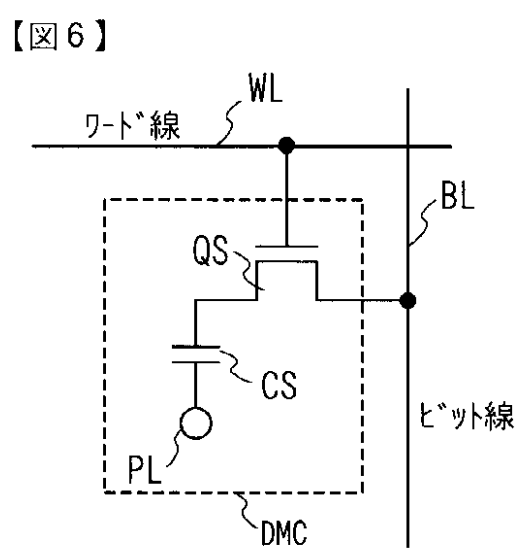
【図 4】



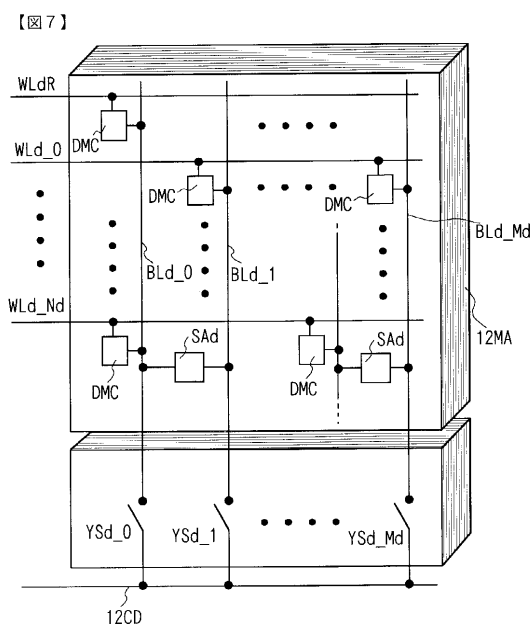
【 図 5 】



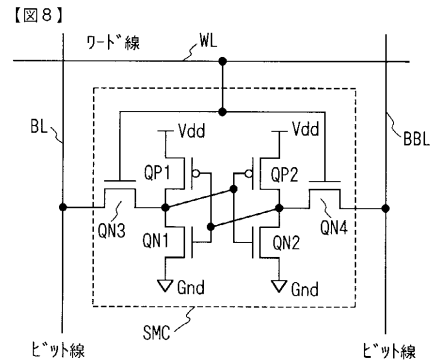
【 図 6 】



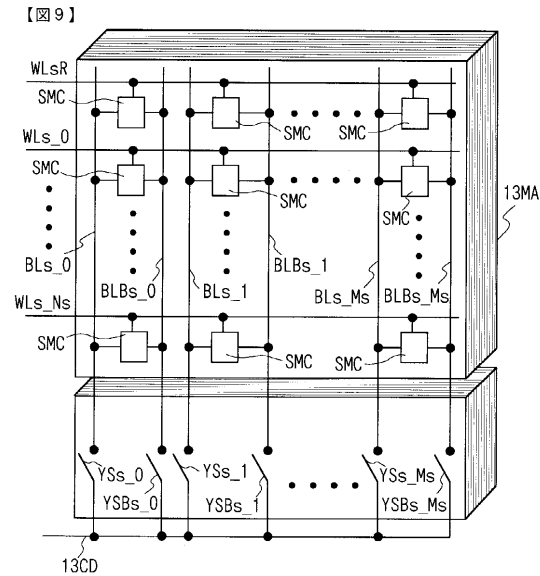
【圖 7】



【 図 8 】

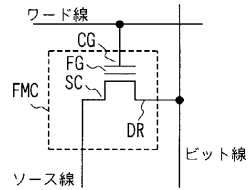


【図 9】



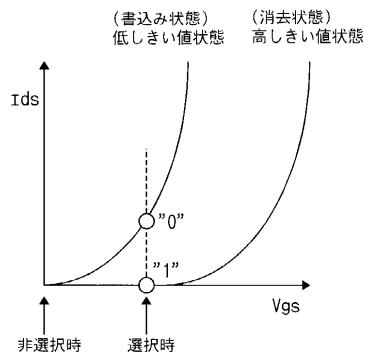
【図 10】

【図 10】



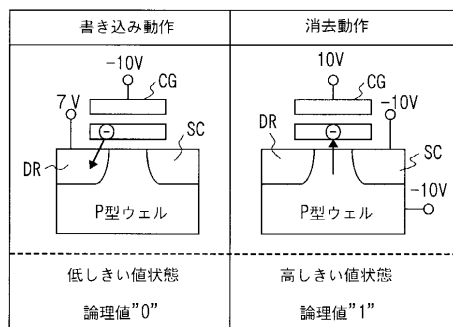
【図 12】

【図 12】



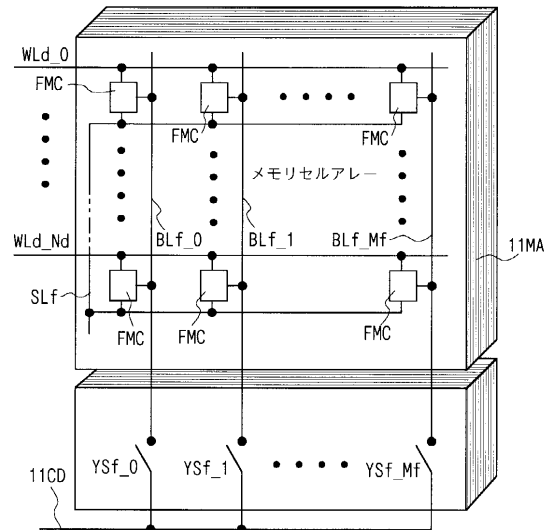
【図 13】

【図 13】



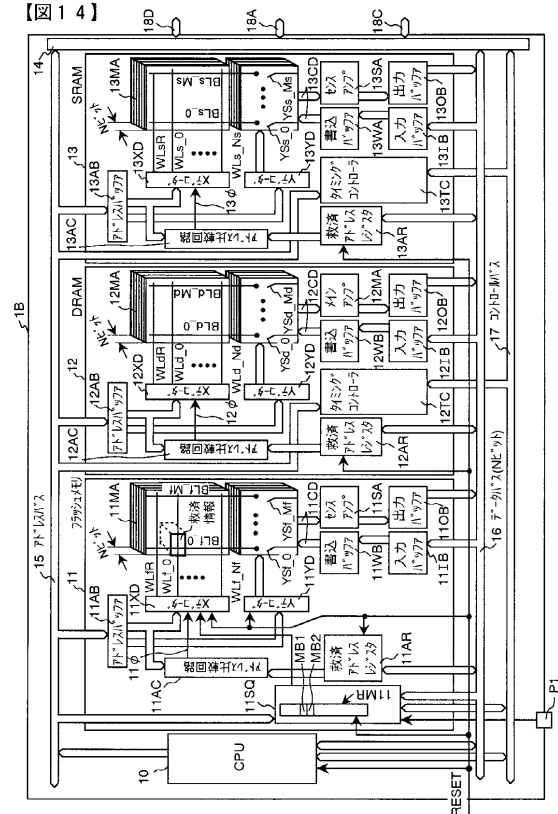
【図 11】

【図 11】

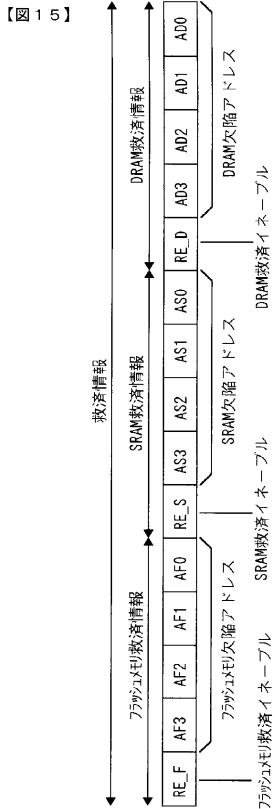


【図 14】

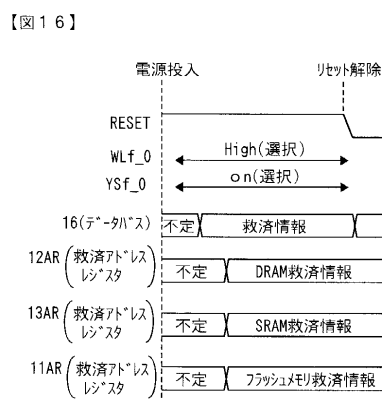
【図 14】



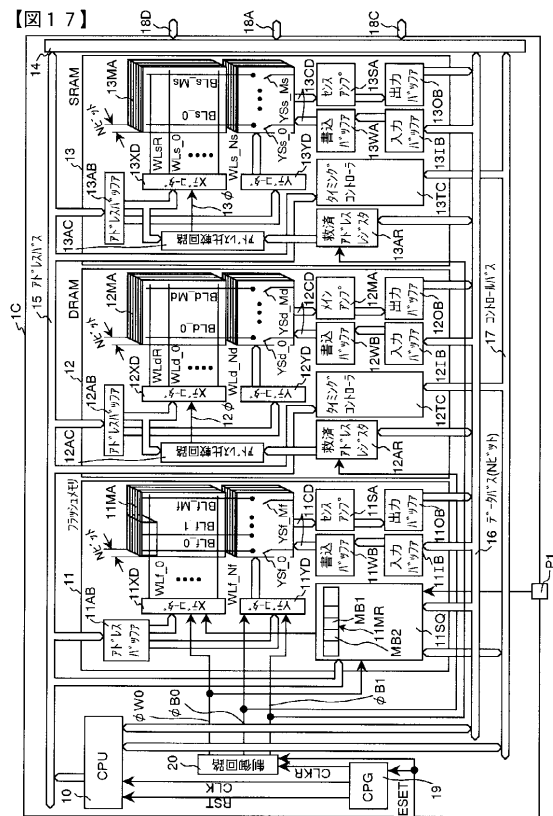
【図 15】



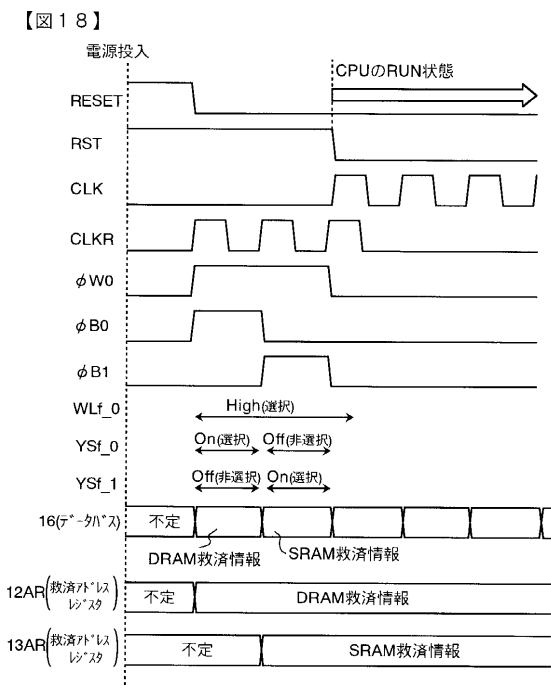
【図 16】



【図 17】

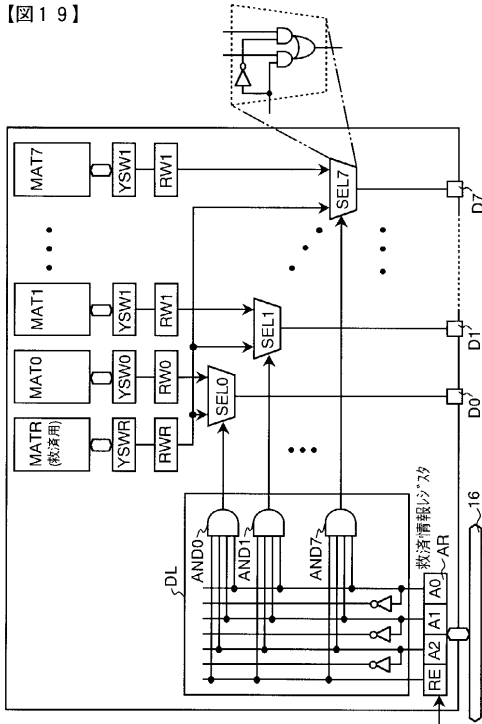


【図 18】



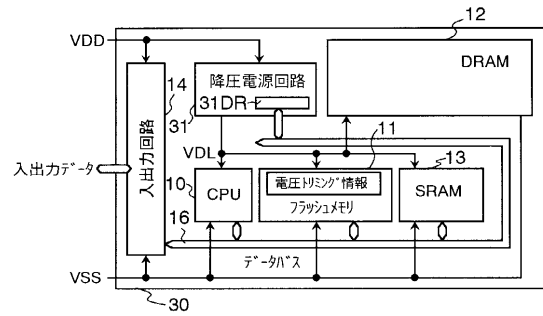
【図 19】

【図 19】



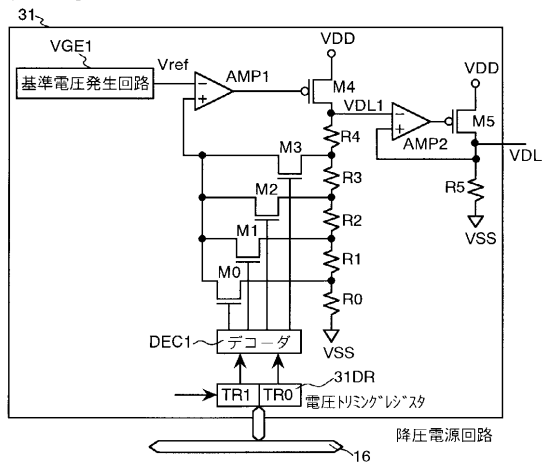
【図 20】

【図 20】



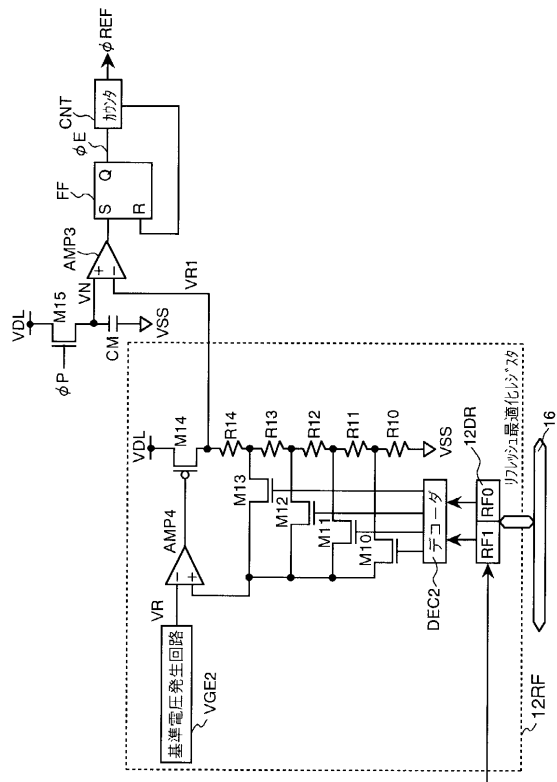
【図 21】

【図 21】



【図 22】

【図 22】



 フロントページの続き

(51)Int.Cl.

F I

G 1 1 C 16/06 (2006.01)
H 0 1 L 27/115 (2006.01)
H 0 1 L 21/8247 (2006.01)
H 0 1 L 27/10 (2006.01)

G 1 1 C 17/00 6 0 1 E
 G 1 1 C 17/00 6 0 1 Q
 G 1 1 C 17/00 6 3 9 Z
 H 0 1 L 27/10 4 3 4
 H 0 1 L 27/10 4 6 1

合議体

審判長 北島 健次

審判官 高橋 宣博

審判官 近藤 幸浩

(56)参考文献 特開 2 0 0 0 - 1 2 3 5 9 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G11C 29/00