[19]中华人民共和国国家知识产权局

[51]Int.Cl[6]
H01L 21/306
H01L 21/28 H01L 21/8242

[12]发明专利申请公开说明书

[21]申请号 98125960.X

[43]公开日 1999年12月8日

[11]公开号 CN 1237784A

[22]申请日 98.12.30 [21]申请号 98125960.X
[30]优先权
[32]98.6.2 [33]KR [31]20444/98
[71]申请人 三星电子株式会社
地址 韩国京畿道
[72]发明人 片正友

[74]专利代理机构 中国专利代理(香港)有限公司
代理人 邹光新 陈景峻

权利要求书2页 说明书9页 附图页数5页

[54]发明名称 用半球形晶粒制造电容的方法

[57]摘要

一种制造包括一个在其表面具有半球形晶粒的下电极层,一个上电极层和一个 夹在上下电极层之间的介质层的半导体器件的方法,该方法包括对一个用来做 下电极层的导电层的干法蚀刻,该工艺以使得下电极层表面的掺杂物浓度增加 同时具有最小的蚀刻损伤的方式进行。按照本方法,有可能抑制生长在下电极 层上的半球形晶粒的表面掺杂物浓度的降低。这样,就得到了高的Cmin/Cmax比。

ISSN1008-4274

权　利　要　求　书

1. 一种制造半导体器件的方法，该器件包括一个在其表面具有半球形晶粒的下电极层，一个上电极层和一个夹在上下电极层之间的介质层，该方法包括以下步骤:

对一个导电层的干法蚀刻，用来做下电极层，该工艺以使得下电极层表面的掺杂物浓度增加同时保证其蚀刻损伤最小的方式进行。

2. 根据权利要求 1 的方法，其中干法蚀刻步骤以使得下电极层的侧壁具有垂直轮廓的方式进行。

3. 根据权利要求 1 的方法，其中干法蚀刻步骤按照使用溴化氢（HBr）气体，氯（Cl_2）气和二氧化氮（HeO_2）气体的等离子体蚀刻工艺来进行。

4. 根据权利要求 3 的方法，其中溴化氢气体，氯气和二氧化氮气体的比例为: 8:2:1。

5. 一种制造包括一个下电极层、一个上电极层和一个夹在上下电极层之间的介质层的半导体器件的方法，该方法包括以下步骤:

采用干法蚀刻工艺将导电层做成一定图案，从而构成下电极层;

以及在下电极层的暴露表面生长半球形晶粒;

其中干法蚀刻工艺以使得导电层具有最小的蚀刻损伤的的方式进行，这样在随后生长半球形晶粒的过程中，下电极层中的掺杂离子可以从下电极层迁移到半球形晶粒的暴露表面。

6. 根据权利要求 5 的方法，其中干法蚀刻工艺步骤以使得下电极层的侧壁具有垂直轮廓的方式进行。

7. 根据权利要求 5 的方法，其中干法蚀刻步骤按照使用溴化氢（HBr）气体，氯（Cl_2）气和二氧化氮（HeO_2）气体的等离子体蚀刻工艺来进行。

8. 根据权利要求 7 的方法，其中溴化氢气体，氯气和二氧化氮气体的比例为: 8:2:1。

9. 一种制造动态随机存取存储器的方法，该存储器包含许多存储单元，每个单元包括一个由源区、漏区和栅极构成的存取晶体管以及一个由下电极层、介质层和上电极层构成的存储电容，本方法包括以下步骤:

在带有晶体管的半导体衬底上做一个绝缘层;

对绝缘层进行蚀刻，从而形成一个可将源区暴露在外的接触孔；

做好接触孔后在所得到的结构的整个上表面淀积一个导电层；

以使得导电层表面上的掺杂物浓度增加并且具有最小的蚀刻损伤的方式对导电层进行干法蚀刻，从而形成一个通过接触孔和源区相接触的下电极层；

在下电极层的上表面生长半球形晶粒。

10. 根据权利要求 9 的方法，其中，以使得导电层具有最小的蚀刻损伤的方式对导电层进行干法蚀刻，这样在随后的生长半球形晶粒的过程中，下电极层中的掺杂离子就可以从下电极层迁移到半球形晶粒的暴露表面。

11. 根据权利要求 9 的方法，其中干法蚀刻工艺步骤以使得下电极层的侧壁具有垂直轮廓的方式进行。

12. 根据权利要求 9 的方法，其中干法蚀刻步骤按照使用溴化氢（HBr）气体，氯（Cl_2）气和二氧化氦（HeO_2）气体的等离子体蚀刻工艺来进行。

13. 根据权利要求 12 的方法，其中溴化氢气体，氯气和二氧化氦气体的比例为：8:2:1。

14. 根据权利要求 9 的方法，其中导电层是采用低压化学汽相淀积工艺，通过在做好接触孔后所得到的结构的整个上表面淀积一个掺杂非晶硅层得到的。

15. 根据权利要求 14 的方法，其中非晶硅层的表面部分在生长半球形晶粒的步骤中转变成多晶硅层。

16. 根据权利要求 9 的方法，还包括以下步骤：

在半球形晶粒生长步骤完成以后，在下电极层上形成一个介质层；

在介质层上形成一个上电极层。

说　明　书

用半球形晶粒制造电容的方法

本发明涉及一种制造半导体器件的方法，尤其是制造一种具有半球形晶粒结构的电容的方法，从而提高最小电容值和最大电容值之比（以下称为“Cmin/Cmax”比）。

在半导体存储器件中，像动态随机存取存储器（DRAM），包括许多存储单元，每个单元由一个存取晶体管和一个存储电容构成，电容值对提高单元的存储特性很重要，因为它可以改善存储器件的读出能力并降低软性出错率（SER）。然而，近来半导体器件的高集成度趋势不可避免地减少了每个单元的面积，从而导致电容所占面积的减少。有鉴于此，从根本上要求在提高集成度的同时提高每单元面积的电容值 。

一般而言，电容值正比于上下电极层所占面积的大小。人们一直在进行各种努力，在有限的空间内提高下电极层的表面积。其中大多数方法都和下电极层的结构有关。由于这些努力，电容已经从最初提出的平板电容结构，发展到像叠层电容和带槽的电容之类的三维电容结构。然而，上述通过改进下电极层结构来提高电容值的种种努力面临着有限的设计规则和复杂的制造过程等问题。为此，提出了一些利用下电极层的物理特性来提高电容值的建议。这些提议中，有一种在美国专利 5,385,863 中公布了，该专利是通过在下电极层表面形成半球形晶粒（HSG）来增大下电极层的表面积。按照这种方法，采用低压化学汽相淀积（LPCVD）法在基片上形成非晶硅层。然后在非晶硅层中注入磷（P）离子。紧接着，对非晶硅层的表面进行清洁，以去掉上面存在的天然氧化膜。然后将清洁好的基片放入超高真空 CVD 装置的空腔中。空腔维持 10^{-9} torr 的超高真空。在空腔中，将基片加热到从 500℃到 620℃范围内的预定温度。在该条件下，将源气体如硅烷（SiH_4）或乙硅烷(Si_2H_4)充入空腔中，这样在非晶硅层表面就形成了晶核。这种技术一般称为“引晶工艺”。形成晶核以后，将基片放入高真空中进行热处理。通过热处理后，晶核就生长成半球形晶粒。结果是非晶硅层转变成了具有不规则表面的多晶硅层。

下面，将结合图 1 和图 2 介绍一种制造具有半球形晶粒的电容的常规方法。以下描述只围绕一个单元来进行。

参照图 1，首先在一个带有晶体管（未示出）的半导体衬底 10 上形成一个绝缘层 12。然后用光刻工艺对绝缘层 12 进行蚀刻，从而形成一个接触孔，通过它可以将一个有源区，例如晶体管的源区暴露出来。接着采用 LPCVD 工艺在包括接触孔 14 的绝缘层 12 上淀积非晶硅层 16。然后在非晶硅层 16 中掺入磷（P）离子。之后，在非晶硅层 16 上做一个光刻胶薄膜图形 18，以备制作构成电容的一部分的下电极层之用。将光刻胶薄膜图形 18 作为蚀刻掩模，利用氯气基等离子体对非晶硅层 16 进行干法蚀刻，使得加工出来的图形与预想的下电极层的形状一致。在对非晶硅层 16 进行干法蚀刻的同时，它的侧壁被破坏了。结果得到了一个斜的侧壁轮廓。

如图 2 所示，光刻后将光刻胶薄膜图形 18 去掉，将刻成形的非晶硅层 16 暴露出来。接着，采用熟知的引晶工艺和热处理工艺在非晶硅层 16 上生长半球形晶粒 20。然后在 800℃的温度下对非晶硅层 16 进行热处理，从而使非晶硅层 16 转变成可用作下电极层的多晶硅层。虽然没有示出，在具有半球形晶粒 20 的下电极层上顺序地制作了一个介质层和一个上电极层，这样就得到了一个电容。

图 3 是图 2 所示的半球形晶粒 20 中的一个晶粒的放大图。参照图 3，可以发现没有磷（P）离子 24 迁移到半球形晶粒 20 的表面 22。这是因为在对非晶硅层 16 进行干法蚀刻的过程中所造成的非晶硅层 16 的侧壁的光刻损伤，使得在随后的半球形晶粒生长过程中非晶硅较易结晶，这样就形成了影响 P 离子迁移的晶粒边界。

当半球形晶粒 20 表面 22 的掺杂物，即 P 离子的浓度降低时，电容的容值随着电容上所加的偏压方向，也就是介质层上所加的电场方向而变。将对此进行更详细的介绍。

典型情况下，当数据储存在电容中后，在由介质层两个节点间的电压差而产生的电场的作用下，电子或空穴都集中在电容下电极层的表面。特别地，如果介质层下节点的电压比上节点的电压高，那么在介质层上所加电场的作用下，下电极层中的空穴将向上电极层迁移。结果是，那些空穴集中在下电极层的表面。当半球形晶粒表面的掺杂物浓度下降时，下电极层表面的载流子彼此复合，从而形成一个耗尽

层。这个耗尽层可作为寄生电容。假设分别用"Cd"和"Cc"来代表这种寄生电容和由介质层构成的电容的容值，那么关系式 Cd<<Cc 成立。

由于上电极层，耗尽层产生的寄生电容，以及介质层形成的电容和下电极层串联耦合在一起，总电容值 Ct 如下式所示:

Ct=(Cc*Cd)/(Cc+Cd)

考虑到关系式 Cd<<Cc，由上式可知关系式 Ct<Cc 成立。这意味着 Cmin/Cmax 比降低了。

对 DRAM 产品而言，最小电容值 Cmin 有很重要的意义。这是因为在存储数据"1 时使用了“高”电平。所谓使用“高”电平是指将这样一个高电平加在电容的下节点。换句话说，就是上节点的电压比下节点的电压高。结果是，如果半球形晶粒表面的掺杂物的浓度降低，那么与存储数据“0”的情况相比，在存储数据“1”时，电容的充电量将降低。这种不对称的电容值导致整个半导体芯片性能的降低。

因此，本发明目的之一是提供一种制造电容的方法，这种方法可以增加具有半球形晶粒的下电极层表面上掺杂物的浓度，以获得高的 Cmin/Cmax 比。

本发明的另一个目的是提供一种制造电容的方法，这种方法可以使下电极层中的掺杂离子迁移到在下电极层表面形成的半球形晶粒的表面，以获得高的 Cmin/Cmax 比。

本发明的另一个目的是提供一种制造 DRAM 器件的方法，这种方法可以增加存储电容的下电极层表面上掺杂物的浓度，以获得高的 Cmin/Cmax 比。

按照一个方面，本发明提供了一种制造半导体器件的方法，该器件包括一个在其中一个表面上具有半球形晶粒的下电极层，一个上电极层和一个夹在上下电极层之间的介质层，本发明包括以下步骤：对导电层进行干法蚀刻来制做下电极层，使得下电极层在具有最小蚀刻损伤的同时其表面上掺杂物的浓度也增加。

优选地，干法蚀刻步骤按使得下电极层的侧壁具有垂直的轮廓的方式进行。

优选地，干法蚀刻步骤按照使用溴化氢（HBr）气体，氯（Cl_2）气和二氧化氮（HeO_2）气体的等离子体蚀刻工艺来进行。而且溴化氢气体，氯气和二氧化氮气体的比例最好是 8:2:1。

按照另一个方面，本发明提供了一种制造包括一个下电极层，一个上电极层和一个夹在上下电极层之间的介质层的半导体器件的方法，它包括以下步骤：采用干法蚀刻工艺在导电层上作成一定图案，从而制成一个下电极层；在下电极层的暴露表面生长半球形晶粒；其中干法蚀刻工艺以使得导电层具有最小的蚀刻损伤的方式进行，这样在后来生长半球形晶粒的过程中下电极层中的掺杂离子就可以从下电极层迁移到半球形晶粒的暴露表面。

按照另一方面，本发明提供一种制造动态随机存取存储器的方法，该存储器包含许多存储单元，每个单元包括一个由源区，漏区和栅极构成的存取晶体管以及一个由下电极层，介质层和上电极层构成的存储电容，本发明包括以下步骤：在带有晶体管的半导体衬底上做一个绝缘层；对绝缘层进行蚀刻，从而形成一个可将源区暴露在外的接触孔；做好接触孔后在所得到的结构的整个上表面淀积一个导电层；以使得导电层表面上的掺杂物浓度增加并且具有最小的蚀刻损伤的方式对导电层进行干法蚀刻，从而形成一个通过接触孔和源区相接触的下电极层；在下电极层的上表面生长半球形晶粒。

优选地，要以使得导电层具有最小的蚀刻损伤的方式对导电层进行干法蚀刻，这样在后来生长半球形晶粒的过程中下电极层中的掺杂离子就可以从下电极层迁移到半球形晶粒的暴露表面。

优选地，干法蚀刻步骤以使得下电极层的侧壁具有垂直轮廓的方式完成。

优选地，导电层要依据低压化学汽相淀积工艺，在做好接触孔后所得到的结构的整个上表面淀积一个掺杂的非晶硅层来制作。

优选地，在生长半球形晶粒的过程中非晶硅层的表面部分转变成多晶硅层。

优选地，本方法还包括以下步骤：在生长半球形晶粒步骤之后，在下电极层上做一个介质层，然后在介质层上做一个上电极层。

根据上述本发明的电容制作方法，采用干法蚀刻工艺在电容的下电极层制成一定图案，同时使得非晶硅层的蚀刻损伤最小。这个形成图案的过程完成以后，在下电极层上生长半球形晶粒。这样，下电极层中的掺杂离子就可以容易地从下电极层迁移到半球形晶粒的表面，从而避免半球形晶粒表面掺杂物浓度的降低。于是就获得了高的

Cmin/Cmax 比。

从以下参照附图给出的各实施例的介绍中，显而易见本发明的其它目的和方面。

图 1 和图 2 分别给出了制造半导体器件中的电容的常规方法的横截面示意图；

图 3 是图 2 中所示半球形晶粒之一的放大图；

图 4 是应用了本发明一个实施例的 DRAM 器件的一部分的横截面示意图；

图 5 到 9 的横截面图分别示意了根据本发明制造图 4 中 DRAM 器件的方法。

图 4 是应用了本发明一个实施例的 DRAM 器件的一部分的横截面示意图。

参照图 4，在由场氧化膜 102 确定的半导体衬底 100 的有源区 104 上分别制作一对存取晶体管 T1 和 T2。这些存取晶体管 T1 和 T2 的源区 110 做在衬底 100 的表面。在衬底 100 的表面还做了一个公共漏区 112，它通过沟道区 111 分别与源区 110 隔开。在沟道区 111 上分别形成了栅氧化膜 106。在栅氧化膜 106 上分别做了栅电极 108。在每个栅电极 108 的两个侧壁都形成有侧壁绝缘薄膜 109。优选地，栅电极 108 包括一个由掺杂的多晶硅层 108a 和一个金属硅化物层 108b 构成的聚合物层。字线 113 分别放置在场氧化膜 102 的上面，使得它们从邻近的存取晶体管的栅电极分别延伸到存取晶体管 T1 和 T2。

第一个中间层绝缘薄膜 114 覆盖在字线 113 和存取晶体管 T1 和 T2 上面。穿过第一个中间层绝缘薄膜 114 做了第一个接触孔 116，使得公共漏区 112 可以通过第一个接触孔 116 部分地暴露出来。在第一个接触孔 116 中塞进了一个由掺杂的多晶硅或钨做的柱销 118，使得它可以和公共漏区 112 相接触。该柱销 118 和一个由掺杂多晶硅，金属，聚合物，或硅化物构成的位线 120 耦合在一起。

在位线 120 和第一个中间层绝缘薄膜 114 上顺序淀积了第二个中间层绝缘薄膜 122 和一个绝缘层 123。还做了一个一直穿透第一个和第二个中间层绝缘薄膜 114 和绝缘层 123 的第二个接触孔 124，这样使得源区 110 可以分别通过第二个接触孔 124 部分地暴露出来。存储电容 C1 和 C2 放置在绝缘层 123 上。存储电容 C1 和 C2 的每一个都有

一个具有半球形晶粒 128 的下电极层 126。存储电容 C1 和 C2 的每个电极层分别通过第二个接触孔 124 与源区 110 相接触。介质层 130 和上电极层 132 顺序地淀积在下电极层 126 上。

下面将结合图 5 到图 9，详细介绍根据本发明制造具有上述结构的 DRAM 器件的方法。

图 5 示意了形成绝缘层 123 和第二个接触孔 124 的步骤。首先，准备一个 P 型半导体衬底 100。采用熟知的元件隔离工艺，例如局部硅氧化（LOCOS）工艺或改进的 LOCOS 工艺，在衬底 100 上形成场氧化膜 102，从而将衬底 100 分成有源区 104 和无源区。之后，采用干法或湿法氧化工艺，分别在有源区 104 上面制做栅氧化膜 106。紧接着，在得到的结构上面淀积一个导电层，然后采用光刻工艺使其形成一定图案，这样就做成了栅电极 108。优选地，栅电极 108 包括一个由掺杂的多晶硅层 108a 和一个金属硅化物层 108b 构成的聚合物层。以栅电极 108 为离子注入掩模，将 N 型杂质离子注入到有源区 104 的表面，从而形成源区 110 和一个公共漏区 112。这样，就得到了存取晶体管 T1 和 T2。

之后，在得到的包含存取晶体管 T1 和 T2 的结构上形成第一个中间层绝缘薄膜 114。然后对第一个中间层绝缘薄膜 114 进行蚀刻，将其覆盖在漏区 112 上的部分去掉，从而得到一个可将漏区 112 部分暴露出来的第一个接触孔 116。接着，在第一个接触孔 116 中塞入一个柱销 118。优选地，柱销 118 由掺杂多晶硅或钨做成。然后在得到的结构的整个上表面，包括柱销 118 的上表面和第一个中间层绝缘薄膜 114 的表面上淀积一个导电层。采用光刻工艺将这个导电层作成一定图案，从而形成一个位线 120。优选地，位线 120 由掺杂多晶硅，金属，聚合物，或硅化物制成。

然后，在做好位线 120 后得到的结构的上面淀积一个由诸如硼磷硅玻璃（BPSG）薄膜构成的，厚度约为 3,000Å 的第二个中间层绝缘薄膜 122。在第二个中间层绝缘薄膜 122 上淀积一个由诸如高温氧化物（ HTO）薄膜构成的，厚度约为 2,000Å 的绝缘薄膜 123。在随后的制作非晶硅层的干法蚀刻工艺中把绝缘层 123 作为蚀刻阻挡层。之后，对第一个和第二个中间层绝缘薄膜 114 和 122，以及绝缘层 123 进行蚀刻，将它们覆盖在源区 110 上的部分去掉，从而形成可分别将

源区 110 暴露出来的第二个接触孔 124。

图 6 示出了制作掺杂非晶硅层 125 和光刻胶薄膜图形 127 的步骤。如图 6 所示，在做好第二个接触孔 124 后得到的结构上面，采用 LPCVD 工艺，淀积一个 N 型掺杂，如 P 离子 140，厚度约为 6500 Å 的非晶硅层 125。第二个接触孔 124 中填入非晶硅层 125。或者，在形成非晶硅层 125 之前，在第二个接触孔 124 中填入掺 P 的多晶硅层。优选地，非晶硅层 125 的掺杂浓度为 1×10^{20} 个原子/厘米 ^{3}。

非晶硅层 125 做好以后，在其上面涂一层光刻胶薄膜。然后通过曝光和显影将光刻胶薄膜做成一定图案，从而在将要制作电容下电极层的区域构成一个光刻胶薄膜图形 127。

图 7 示出了制作下电极层 126 和半球形晶粒 128 的步骤。用光刻胶薄膜图形 127 作光刻掩模，对非晶硅层 125 进行干法蚀刻，从而制成下电极层 126，用来构成彼此绝缘的各单元中的电容。优选地，干法蚀刻采用使用溴化氢（HBr）气体，氯（Cl_2）气和二氧化氮（HeO_2）气体的等离子体蚀刻工艺来进行，这样下电极层 126 具有垂直轮廓。这点将详细介绍。首先将基片放入由应用材料公司制造的 P-5000 装置的空腔中。在空腔中，对非晶硅层 125 进行干法蚀刻，直到检测到蚀刻阻挡层，蚀刻条件为：腔压约为 100mT，流动情况下 RF 功率约为 350W，在腔内，溴化氢气体的流速约为 120SCCM（每分钟标准立方厘米），氯气的流速约为 30 SCCM，二氧化氮气体的流速约为 15SCCM。之后，在条件：腔压约为 80mT，流动情况下 RF 功率约为 200W，在腔内，溴化氢气体的流速约为 50SCCM，氯气的流速约为 10 SCCM，二氧化氮气体的流速约为 5SCCM 下，对非晶硅层 124 过蚀刻约 120 秒。

在干法蚀刻过程中，氯气是一种主要的蚀刻剂，而二氧化氮（HeO_2）气体用来增加在非晶硅层 125 和由氧化物薄膜构成的绝缘层 123 之间的选择性。溴化氢（HBr）气体用来增加在非晶硅层 125 和光刻胶薄膜 127 之间的选择性。优选地，溴化氢气体，氯气和二氧化氮气体的使用比例为：8:2:1。按照本发明的干法蚀刻工艺，非晶硅层 125 可以垂直蚀刻。因而，有可能在维持下电极层 126 中高浓度 P 离子的同时使非晶硅层的侧壁蚀刻损伤最小。

为了通过减少相邻下电极层 126 的间距来提高存储单元的集成度，可在对非晶硅层 125 进行干法蚀刻之前完成一道聚合物生成工

艺。在聚合物生成工艺中，在光刻胶薄膜图形 127 的每个侧壁上形成一层聚合物薄膜。聚合物生成工艺在形成光刻胶薄膜图形 127 之后进行，持续约 45 秒作为平行平面系统，采用由 LRC 公司制造的彩虹 4528 装置，条件为：腔压约为 400mT，流动情况下 RF 功率约为 200W，在腔内，氢气的流速约为 200SCCM，CHF_3 气体的流速约为 30 SCCM，CF_4 气体的流速约为 15SCCM。通过该聚合物生成工艺，在光刻胶薄膜图形 127 的侧壁淀积了作为该工艺的副产品的聚合物。当用这种由聚合物形成的光刻胶薄膜图形 127 作为掩模并采用上述干法蚀刻工艺将非晶硅层 125 做成特定形状时，有可能将相邻下电极层 126 的间距减小到 0.2μm。

采用上述干法蚀刻工艺做好非晶硅下电极层 126 后，通过用灰砂抛光和剥离的方法将光刻胶薄膜图形 127 去掉。对暴露出来的下电极层 126 的表面进行清洗。用氢氟酸将每个下电极层 126 表面上的天然氧化物薄膜去掉。然后将清洁好的基片放入超高真空 CVD 装置的空腔中。在空腔内，为了在非晶硅下电极层 126 的表面生长半球形晶粒 128，对基片采用熟知的引晶工艺和热处理工艺。对此将详细介绍。首先，超高真空 CVD 装置的空腔维持 10^{-9} Torr 的超高真空。在该状态下，将腔内基片加热到从 500℃到 620℃范围内的预定温度。在该条件下，将源气体如硅烷（SiH_4）或乙硅烷(Si_2H_4)充入空腔中，这样在非晶硅下电极层上就形成了晶核。形成晶核以后，将基片放入高真空中进行热处理。通过热处理后，晶核就生长成半球形晶粒。结果是通过 800℃热处理，非晶硅下电极层转变成了具有不规则表面的多晶硅层。

图 8 是一个半球形晶粒的放大图。参照图 8，可知 P 离子 140 可以很好地迁移到半球形晶粒 128 的表面 129。这是因为对非晶硅层 125 的干法蚀刻是在保证对非晶硅层 125 的蚀刻损伤最小的情况下进行的，这样在非晶硅下电极层 126 的侧壁上就没有任何缺陷。因此，P 离子可以很容易地从下电极层 126 迁移到半球形晶粒 128 的表面 129，从而抑制半球形晶粒表面 129 上掺杂物浓度的减小。

图 9 完整地示出了电容 C1 和 C2 的制作步骤。在做好具有上述半球形晶粒 128 的下电极层 126 之后，分别在下电极层 126 上形成一个具有，例如 ONO(氧化物/氮化物/氧化物)结构的介质层 120，如图 9 所示。之后，采用 LPCVD 工艺，在每个介质层 120 上淀积 N 型掺杂，

例如 P 离子，厚度约为 2000Å 的多晶硅层，从而形成一个上电极层 132。这样，就得到了存储电容 C1 和 C2。

由上述介绍显而易见，根据本发明的制造电容的方法，采用干法蚀刻工艺将电容下电极层制成特定图案，同时使得非晶硅层的蚀刻损伤最小。该步骤完成后，在下电极层上生长半球形晶粒。于是，下电极层中的掺杂离子可以容易地从下电极层迁移到半球形晶粒的表面，从而抑制半球形晶粒表面上掺杂物浓度的减小。这样，就得到了高的 Cmin/Cmax 比。

虽然本发明的优选例是为了说明问题给出的，那些该领域的专家知道，在不偏离下面的权利要求中所给出的本发明范围和精神的条件下，各种修改和增减都是可能的。

说 明 书 附 图

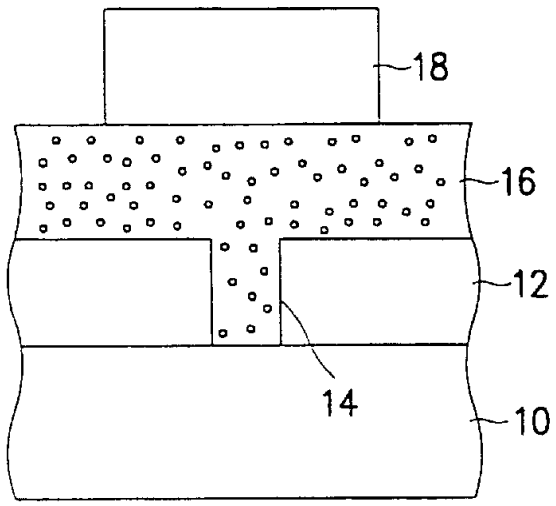

图 1

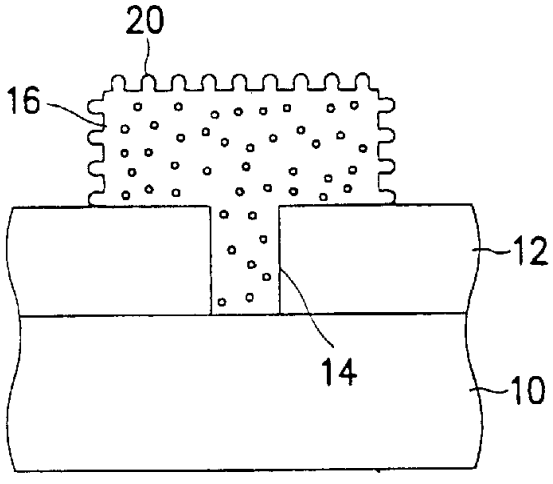

图 2

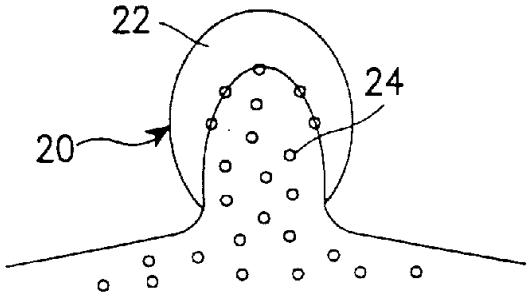
22
24
20

图 3

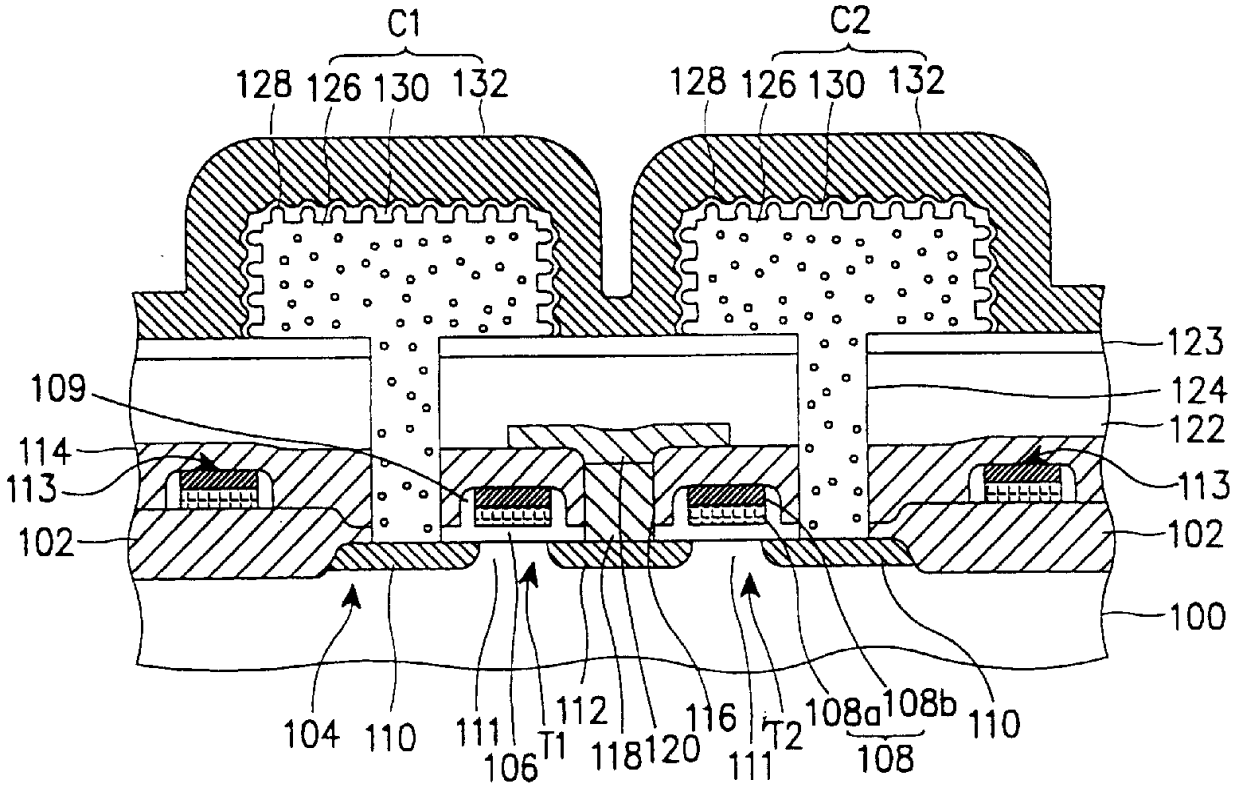
C1
C2
128
126
130
132
123
124
122
109
114
113
102
100
104
110
111
106
T1
112
118
120
116
T2
108a
108b
108

图 4

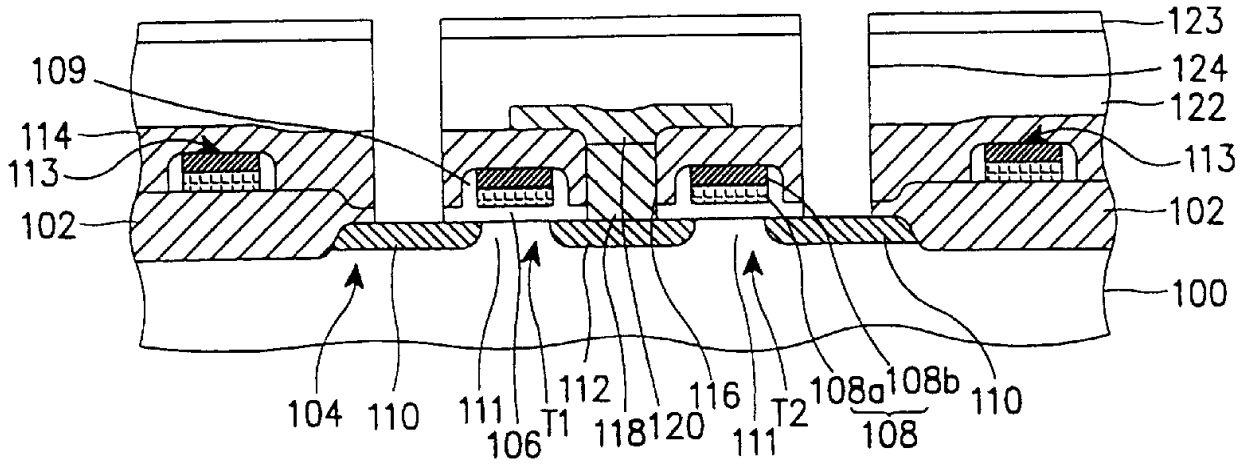
123
124
122
109
114
113
113
102
102
100
104
110
111
106
T1
112
118
120
116
111
T2
108a
108b
108
110

图 5

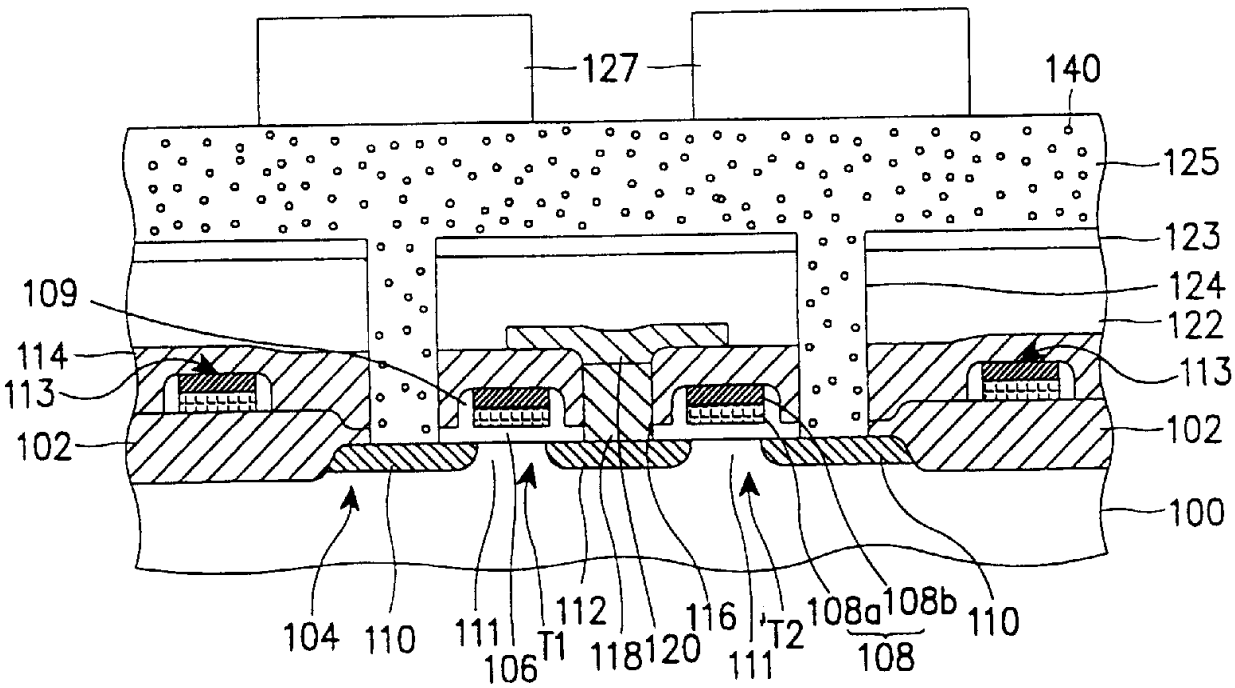
127
140
125
123
124
122
109
114
113
113
102
102
100
104
110
111
106
T1
112
118
120
116
111
T2
108a
108b
108
110

图 6

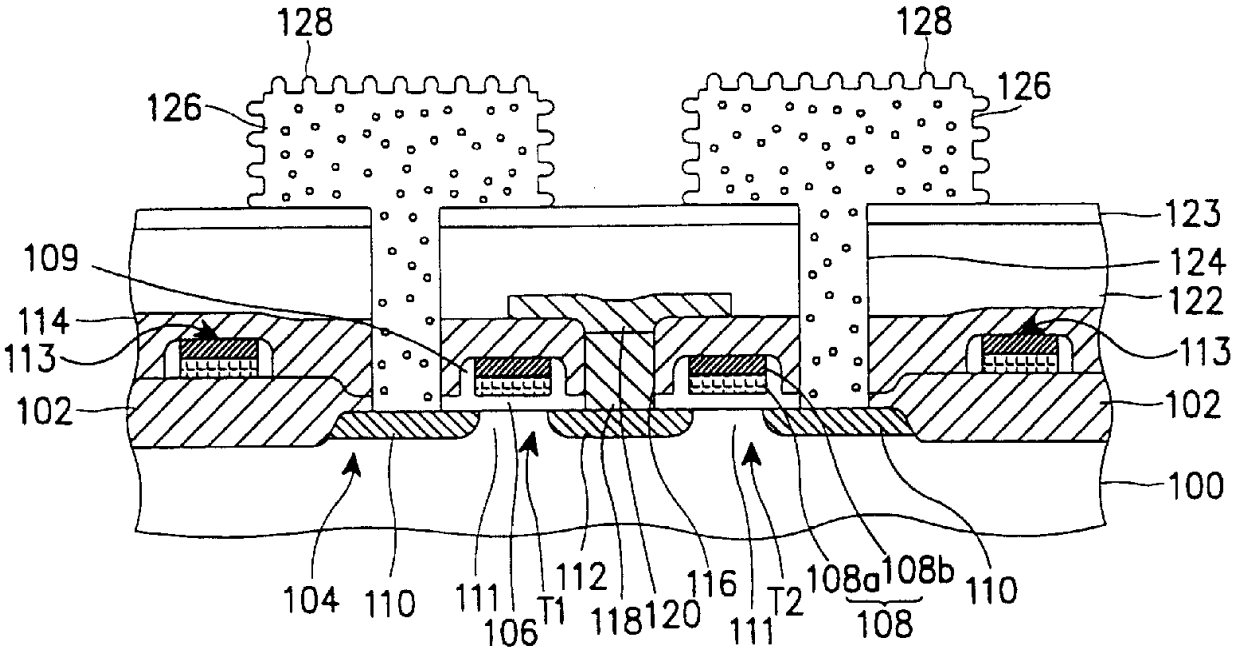
128
128
126
126
123
109
124
114
122
113
113
102
102
100
104
110
111
106
T1
112
118
120
116
111
T2
108a
108b
108
110

图 7

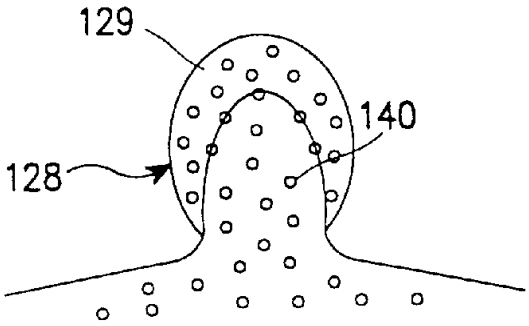
129
140
128

图 8

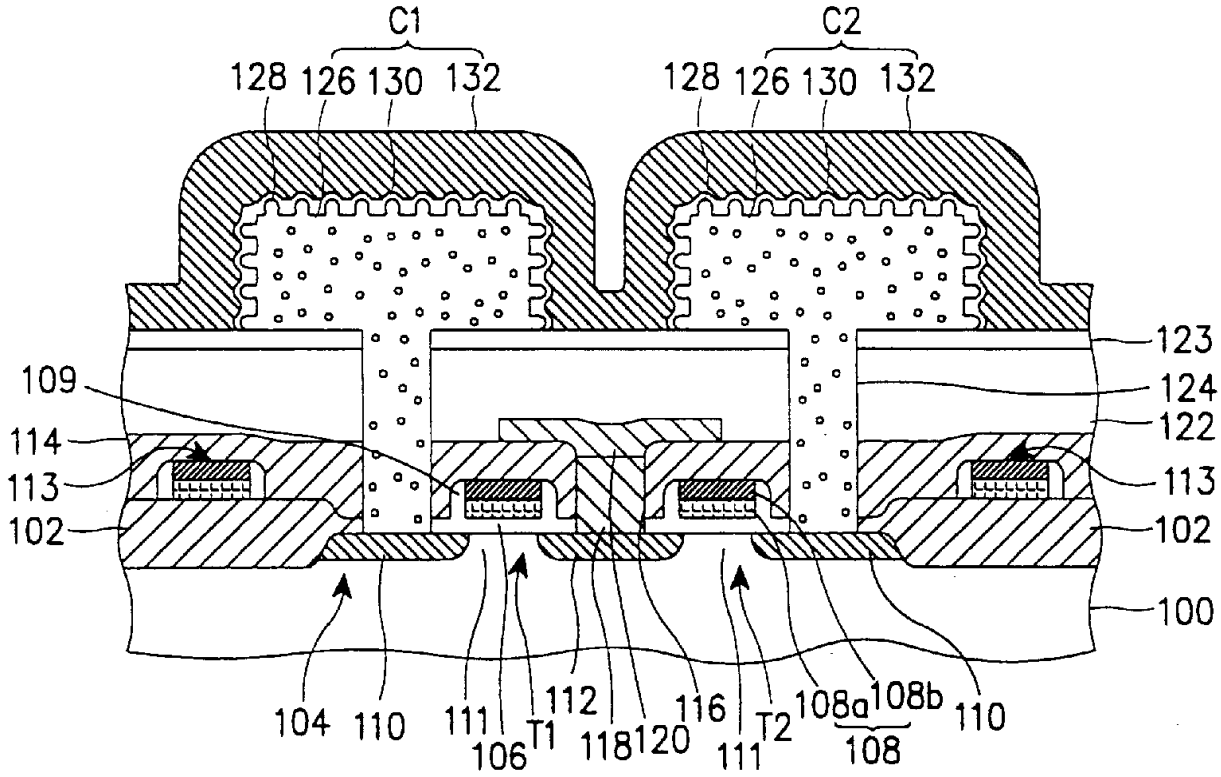
C1
C2
128
126
130
132
123
124
122
109
114
113
102
100
104
110
111
106
T1
112
118
120
116
T2
108a
108b
108

图 9