

1. 一种显示用驱动集成电路，其特征在于：
具有：
输入来自外部微处理器单元的信号的接口电路；
5 对通过上述接口电路从上述外部微处理器单元输入指令数据进行译码的指令译码器；
写入通过上述接口电路从上述外部微处理器单元输入的显示数据的存储装置；以及
根据上述存储装置中写入的显示数据，进行显示驱动的显示驱动
10 装置，
上述接口电路包括下述端子：
以串行方式输入 $N+1$ 位的一单位数据串的第一输入端子，上述一单位数据串具有上述外部微处理器单元同时处理的 N 位的数据组以及识别该数据组是上述指令数据还是上述显示数据的 1 位识别数据；
15 输入串行时钟信号的第二输入端子；以及
输入芯片选择信号的第三输入端子。
2. 根据权利要求 1 所述的显示用驱动集成电路，其特征在于：
上述接口电路具有：
上述芯片选择信号激活时，对上述串行时钟信号进行 $1/(N+1)$ 分
20 频后输出的分频电路；
上述芯片选择信号激活时，根据上述串行时钟信号，使 $N+1$ 位的上述一单位数据串中的各数据依次移位，以并行方式输出 $N+1$ 位的上述一单位数据串数据的 $N+1$ 位移位寄存器；以及
根据上述分频电路的输出，锁存 $N+1$ 位的上述一单位数据串的 $N+1$
25 位锁存电路。
3. 根据权利要求 2 所述的显示用驱动集成电路，其特征在于：
上述指令译码器根据上述分频电路的输出，生成向上述存储装置写入显示数据时所供给的时序信号。
4. 根据权利要求 2 所述的显示用驱动集成电路，其特征在于：
30 上述芯片选择信号在激活期间内，在 $N+1$ 位的上述一单位数据串之间具有非激活的脉冲，

利用上述脉冲,使上述分频电路和上述 N+1 位移位寄存器复位。

5. 一种电子装置,其特征在于:

具有:

显示用驱动集成电路;

5 将芯片选择信号、串行数据输入信号及串行时钟信号供给上述显示用驱动集成电路的微处理器单元; 以及

由上述显示用驱动集成电路进行显示驱动控制的显示装置,

上述显示用驱动集成电路具有:

输入来自上述微处理器单元的信号的接口电路;

10 对通过上述接口电路从上述微处理器单元输入的指令数据进行译码的指令译码器;

写入通过上述接口电路从上述微处理器单元输入的显示数据的存储装置; 以及

15 根据上述存储装置中写入的显示数据,进行显示驱动的显示驱动装置,

上述接口电路包括下述端子:

以串行方式输入 N+1 位的一单位数据串的第一输入端子,上述一单位数据串具有上述微处理器单元同时处理的 N 位的数据组、以及识别该数据组是上述指令数据还是上述显示数据的 1 位识别数据;

20 输入串行时钟信号的第二输入端子; 以及

输入芯片选择信号的第三输入端子。

6. 根据权利要求 5 所述的电子装置,其特征在于:

上述接口电路具有:

25 上述芯片选择信号激活时,对上述串行时钟信号进行 $1/(N+1)$ 分频后输出的分频电路;

上述芯片选择信号激活时,根据上述串行时钟信号,使 N+1 位的上述一单位数据串中的各数据依次移位,以并行方式输出 N+1 位的上述一单位数据串数据的 N+1 位移位寄存器; 以及

30 根据上述分频电路的输出,锁存 N+1 位的上述一单位数据串的 N+1 位锁存电路。

7. 根据权利要求 6 所述的电子装置,其特征在于:

上述指令译码器根据上述分频电路的输出，生成向上述存储装置写入显示数据时所供给的时序信号。

8. 根据权利要求 6 或 7 所述的电子装置，其特征在于：

- 上述芯片选择信号在激活期间内，在 $N+1$ 位的上述一单位数据串
- 5 之间具有非激活的脉冲，
- 利用上述脉冲，使上述分频电路和上述 $N+1$ 位移位寄存器复位。

显示用驱动集成电路及使用该集成电路的电子装置

技术领域

- 5 本发明涉及使用串行接口的显示用驱动 IC (集成电路) 及使用它的电子装置。

背景技术

近年来, 由于单片微控制器的高集成化, 从而能用单片微控制器控制多个外围 IC。这时, 由于各个外围 IC 的固有情况不同, 所以不允许无限地增大单片微控制器的端子数, 在芯片大小的范围内所允许的端子数方面存在物理上的制约。因此, 在单片微控制器与外围 IC 之间进行串行传送, 使相互之间的端子数减少。

作为这种串行传送方式, 已知有 I²C 总线。该所谓 I²C 总线, 意思是以激活地实施 IC 相互之间的相互控制为目的, 只由双向的串行数据线路 (SDA: SERIAL DATA LINE) 和串行时钟线路 (SCL: SERIAL CLOCK LINE) 两条总线构成。

图 6 表示初始的 I²C 总线通信协议, 继开始条件位 S 之后的 1 字节的信息由从属地址和读/写指定位构成。所谓从属地址, 是指识别连接在成为主要的单片微控制器的总线上的多个从属 IC 用的固有地址。

20 如图 6 所示, 继包含该从属地址的 1 字节信息之后, 以 1 字节为单位, 传送指令数据、显示数据等, 在各字节之后必须有来自从属地址的确认响应位 (确认位) A。

这里在图 6 中, 包含该从属地址的 1 字节信息之后的 1 字节信息由 1 位的延续位 C 和 7 位的指令数据构成。如果延续位 C = 0, 则继该位 C 之后的 7 位的数据意味着是最后的指令数据, 如果 C = 1, 则意味着还继续有以 1 字节为单位的其他的指令数据。而且, 根据需要, 在最后的指令之后也可以以 1 字节为单位发送显示数据, 传送到确认响应位之后的停止条件位 P 时结束。

30 在图 6 中的 I²C 总线通信协议中, 由于将 1 字节中的 1 位作为延续位 C 使用, 所以指令数据只能使用 7 位。这样, 在特开平 7-13913 号公报中也公开了将 1 字节数据中的高位比特作为其他功能用的技术。在该公报中, 将控制外围电路的状态的数据例如分配给 1 字节的串行

数据的高位中的 2 比特。

为了能发送 1 字节或其以上位数的指令数据，公开了图 7、图 8 所示的 I²C 总线通信协议。

5 如图 7 所示，继包含从属地址的 1 字节的信息及确认响应位 A 之后，发送包含控制字节及指令数据的 2 字节的信息。在后半部分的指令数据中通过发送低位的 8 比特指令位，并发送前半部分的控制字节中剩余的高位比特的指令位，由此能发送由 1 字节（8 位）以上的数据构成的指令数据。另外，控制字节的最高位比特 C0 具有作为延续位的功能。

10 在图 8 中，在控制字节的高位的第二比特中设有判断是否有后继的指令或数据用的 D/C 位。

I²C 总线通信协议包括能用作多路复用主要总线而成为主要的多个微控制器来控制总线的规格等系统内的全部格式和程序，所以通用性强，然而为了控制特定的 IC，使用许多规约未必方便。

15 另外，串行传送方式与并行传送方式相比，具有能大幅度减少端子数的优点，但不能否认数据传送的高速化变坏。可是，例如在液晶显示用驱动器等中起因于液晶画面的大型化等，数据传送的高速化要求很强。

可是，在上述的 I²C 总线通信协议中，数据传送的高速化有极限。20 这是因为在指令、数据的各字节的开头必须有包含从属地址的 1 字节，在各个 1 字节的信息之后必须有由从属 IC 发送的确认响应位 A。这样，在主-从之间传送的信息增多，所以妨碍数据传送的高速化。另外确认响应位 A 的存在本身，由于以下原因，致使串行时钟信号的传送速度下降，妨碍了数据传送的高速化。

25 图 9 表示串行数据线路 SDA 的信号线 L，电源电压 VCC 通过上拉电阻 R1 加在信号线 L 上，同时信号线 L 本身有布线电容 C。在从属 IC 一侧设有由 MOS 晶体管构成的开关 SW，通过将该开关 SW 导通，使信号线 L1 的电荷放电，电位为 0V，将上述的确认响应位 A 由从属 IC 传送给主要的微控制器。图 9 所示的电阻 R3 是从 IC 的端子到基板的总电阻（ITO 布线电阻、连接器电阻等）。这时，由于开关 SW 有导通电阻 R2，30 所以为了使信号线 L1 的电荷放电，需要一定的时间，该时间与由电阻 R1、R2、R3 及布线电容 C 决定的时间常数有关。因此，串行时钟

信号的频率需要根据该时间常数确定，标准方式时为 100KHz，优先方式时为 400KHz 左右，快速方式时为 3.4Mhz 左右。

另外，在为了实现高性能的微控制器所采用的半导体工艺过程中实现了微细化，根据工艺的微细化程度，使电源电压低压化。

5 如果进行电源电压的低压化，则输出从属 IC 的确认响应位 A 用的由 MOS 晶体管形成的开关 SW 的导通电阻 R2 增大。因此，使信号线 L1 的电荷放电的时间常数也变大，因此妨碍了数据传送的高速化。

另外，用上拉电阻 R1 和电阻 R2+R3 进行分压，生成确认响应位 A 的 0 电平，电阻 R2+R3 越大，0 电位的电位变得越高，所允许的噪声容
10 限变小。

发明内容

因此，本发明的目的在于提供这样一种显示用驱动 IC 及使用它的电子装置，该显示用驱动 IC 采用串行传送方式，既能减少端子引脚数，又能激活地进行指令、数据传送，而且能与数据传送的高速化、接口
15 信号的低压化相对应。

本发明的显示用驱动 IC 的特征在于，有：

输入来自外部 MPU（微处理器单元）的信号的接口电路；

对通过上述接口电路从上述外部 MPU 输入的指令数据进行译码的指令译码器；

20 写入通过上述接口电路从上述外部 MPU 输入的显示数据的存储装置；以及

根据上述存储装置中写入的显示数据，进行显示驱动的显示驱动装置，

上述接口电路包括下述端子：

25 以串行方式输入 N+1 位的一单位数据串的第一输入端子，上述一单位数据串有上述外部 MPU 同时处理的 N 位的数据组、以及识别该数据组是上述指令数据还是上述显示数据的 1 位识别数据；

输入串行时钟信号的第二输入端子；以及

输入芯片选择信号的第三输入端子。

30 如果采用本发明，则当变更显示用驱动 IC 内的存储装置的内容时，只使用第一至第三输入端子，就能将必要的信号从外部 MPU 传送给显示用驱动 IC。即，在用芯片选择信号能输入显示用驱动 IC 的状态

之后，只要根据串行时钟信号，将指令数据、显示数据及识别它们的识别数据从外部 MPU 以串行方式传送给显示用驱动 IC 即可。

5 这里，串行数据输入信号将由指令/数据识别用的 1 位识别数据、以及 N 位的指令或显示数据构成的 N+1 位作为单位数据串。因此，作为指令数据及显示数据的位数，能分配外部 MPU 同时处理的 N 位。

另外，显示用驱动 IC 每当输入来自外部 MPU 的 N 位的数据时，不需要象上述的 I²C 总线通信协议那样反馈确认响应位 A。因此，预先上拉与第一输入端子连接的信号线，在输入 N 位的信息时，不需要放电到低电平，因此，能谋求数据传送的高速化。

10 这里，上述接口电路最好有：

上述芯片选择信号激活时对上述串行时钟信号进行 1/(N+1) 分频后输出的分频电路；

15 上述芯片选择信号激活时，根据上述串行时钟信号，使 N+1 位的上述一单位数据串中的各数据依次移位，以并行方式输出 N+1 位的上述一单位数据串数据的 N+1 位移位寄存器；以及

根据上述分频电路的输出，锁存 N+1 位的上述一单位数据串的 N+1 位锁存电路。

利用该结构，对串行输入的 N+1 位的数据进行串行 - 并行变换，能对每个 N+1 位的一单位数据串进行锁存。

20 另外，上述指令译码器根据上述分频电路的输出，能生成向上述存储装置写入显示数据时供给的时序信号。

例如，根据分频电路的输出，能生成写入信号等，不需要接收从外部 MPU 供给的写入指令。因此，能减轻外部 MPU 的负担，同时能省略写入信号用的信号线、输入端子。

25 另外，上述芯片选择信号在激活期间内，在 N+1 位的上述一单位数据串之间能有成为非激活的脉冲。最好利用该脉冲使上述分频电路和上述 N+1 位移位寄存器复位。

30 这样，根据来自分频电路的输出，能将数据锁存在 N+1 位锁存电路中，所以不会错误地识别 N+1 位的单位数据串的界线。其结果，能减少数据传送错误。

本发明的电子装置的特征在于有：

上述的显示用驱动 IC；

将上述芯片选择信号、串行数据输入信号及串行时钟信号供给上述显示用驱动 IC 的 MPU; 以及

由上述显示用驱动 IC 进行显示驱动控制的显示装置。

5 在该电子装置中, 为了由显示用驱动 IC 改写显示数据, 外部 MPU 中必要的引脚数为 3 个即可, 相应地能确保该部分以外的被控制电路用的端子数。

附图说明

图 1 是安装了本发明的一实施例的液晶显示驱动 IC 的液晶模块的简略剖面图。

10 图 2 是图 1 所示的液晶显示驱动 IC 的框图。

图 3 是图 2 所示的 MPU 接口的框图。

图 4 是图 3 所示的 MPU 接口中输入的各种信号及 1/9 分频电路的输出信号的时序图。

15 图 5 是安装了图 1 所示的液晶模块的电子装置之一例的携带电话的简略斜视图。

图 6 是表示符合现有技术的第一代的 I²C 总线通信协议的串行数据串的简略说明图。

图 7 是表示符合现有技术的第二代的 I²C 总线通信协议的串行数据串的简略说明图。

20 图 8 是表示符合现有技术的第三代的 I²C 总线通信协议的串行数据串的简略说明图。

图 9 是表示反馈图 6 至图 8 所示的确认响应位用的信号线的结构的简略说明图。

具体实施方式

25 以下, 参照附图说明将本发明应用于携带电话用的液晶装置的实施例。

(液晶装置的总体概要)

30 图 1 是携带电话的显示装置分的简略剖面图。如图 1 所示, 携带电话的显示装置分由以下部分构成: 安装了液晶显示驱动 IC10 的液晶模块 20; 安装了 MPU3000 的印刷电路板 30; 以及将液晶模块 20 和印刷电路板 30 导电性地连接起来的连接部、例如交替地形成了导电

部和绝缘部的橡胶制连接构件（斑纹橡胶）40。在从图1的背面向表面的方向上沿纵向交替地重叠导电部和绝缘部，构成橡胶制连接构件。通过将压力均匀地作用在该橡胶制连接构件40的纵向上，能将液晶模块20和印刷电路板30的端子之间导电性地连接起来。

5 液晶模块20有液晶显示装置28，它是将液晶26密封在两个玻璃基板22、24之间构成的，液晶显示驱动IC被安装在一个基板24的延长部分上。液晶模块20构成单纯矩阵或有源矩阵等的液晶装置，但在本实施例中，构成了单纯矩阵液晶显示装置，它是在两个玻璃基板中的一个上形成分段电极，在另一个上形成共用电极而构成的。

10 另外，该液晶模块20如果是透射型液晶装置，则装有背照光或侧照光，但如果是反射型的，则不需要光源。

如图5所示，该液晶模块20配置在携带电话机500上，且使液晶显示装置28露出。携带电话机500除了液晶显示装置28以外，还有受话部510、送话部520、操作部530、以及天线540等。而且，MPU300
15 根据由天线540接收的信息、或通过操作部530操作输入的信息，将指令数据或显示数据输出给液晶模块20。

（液晶显示驱动IC）

图2是表示液晶显示驱动IC的框图。在图2中，在该液晶显示驱动IC10中设有：电源电路50、显示存储器例如显示数据RAM60、作为
20 显示驱动器的分段（SEG）驱动器70及共用（COM）驱动器80、振荡电路90、显示时序发生电路92等液晶驱动所必要的构成部分。显示数据RAM60备有（132×65个）存储元件，该个数与在132条分段电极SEG0～SEG131和65条共用电极COM0～COM64的交点上形成的像素数相同。

25 在液晶显示驱动IC10中还设有MPU接口100、指令译码器110、内部总线120。在本实施例中，在该MPU接口100上设有输入来自MPU3000的各种信号用的第一～第四输入端子101～104。指令数据、显示数据等串行数据输入信号（SI）被输入第一输入端子101，串行时钟信号（SCL）被输入第二输入端子102，芯片选择信号（XCS）
30 被输入第三输入端子103，复位信号（XRES）被输入第四输入端子104。

这里，作为串行数据输入信号（S1）输入的指令数据及显示数据

由 MPU3000 同时处理的位数构成，在本实施例中为 1 字节（8 位）。指令数据及显示数据的位数也可以作为一个字（16 位）或一个长字（32 位）。

当芯片选择信号（XCS）激活（例如低电平激活）时，MPU 接口 100 根据串行时钟信号（SCL），传送串行数据输入信号（SI），进行串行-并行变换后输出。

如果串行数据输入信号（SI）是指令数据，则 MPU 接口 100 将该指令数据以并行方式传送给指令译码器 110，如果串行数据输入信号（SI）是显示数据时，将该显示数据以并行方式传送给内部总线 120。

被译码后的指令数据除了用作电源电路 50、显示时序发生电路 92 的工作指令以外，还用来指定与显示数据 RAM60 连接的页地址电路 61、列地址电路 62、行地址电路 63 的各地址。

另一方面，并行的显示数据通过内部总线 120、显示数据 RAM60 的 I/O 缓冲器 64，按照由指令指定的页及列的各地址，被写入显示数据 RAM60 内的存储元件中。

显示数据 RAM60 具有作为液晶模块 20 的液晶显示装置 28 的半帧存储器或帧存储器的功能。根据来自显示时序发生电路 92 的时序信号，进行地址指定，将被写入显示数据 RAM60 中的显示数据读出后，锁存在显示数据锁存电路 65 中。被锁存在显示数据锁存电路 65 中的显示数据被分段（SEG）驱动器 70 变换成液晶驱动所必要的例如 5 电平的电位 V1~V5 后，被供给液晶显示装置 28 的分段电极 SEG0~SEG131。

根据来自显示时序发生电路 92 的时序信号，一边切换共用电极 COM0~COM64 的选择，一边进行对该分段电极 SEG0~SEG131 的电位供给，由此显示并驱动液晶显示装置 28。

（MPU 接口及其输入的详细说明）

图 3 是 MPU 接口 100 的框图。在图 3 中，该 MPU 接口 100 有 9 位移位寄存器 200、9 位锁存电路 210、以及 1/9 分频电路 220。通过第三输入端子输入的芯片选择信号 XCS 被输入到 9 位移位寄存器 200 和 1/9 分频电路 220 的复位端子 R 上。输入到第一输入端子 101 上的串行数据输入信号（SI）被输入到第一“与”门 240 的一个输入端上。

输入到第二输入端子 102 上的串行时钟信号 (SCL) 被输入到第二“与”门 242 的一个输入端上。由反相器 244 将芯片选择信号 (XCS) 反相后的信号分别输入到第一、第二“与”门 240、242 的另一输入端上。因此, 在芯片选择信号 (XCS) 呈低电平的激活状态时, 从第一、第二“与”

5 门 240、242 直接输出串行数据输入信号 (SI) 和串行时钟信号 (SCL) 的逻辑, 在芯片选择信号非激活 (高电平) 时, 被经常固定在低电平。

这里, 在图 4 中示出了被输入到第一至第三输入端子 101~103 上的串行数据输入信号 (SI)、串行时钟信号 (SCL)、芯片选择信号 (XCS)、以及 1/9 分频电路 220 的输出信号 X。

10 如图 4 所示, 芯片选择信号 (XCS) 呈低电平激活状态, 通过从高电平变成低电平, 能向该液晶显示驱动 IC10 传送数据。在该芯片选择信号 (XCS) 激活期间内, 串行时钟信号 (SCL) 的每 9 个时钟有变成高电平的脉冲 400。

串行数据输入信号 (SI) 是以 9 位为单位数据串的数据。该单位

15 数据串由开头位 D/C 和 8 位 (1 字节) 数据构成。开头位 D/C 是识别后面连续的 8 位数据是指令数据还是显示数据用的信号。如果开头位 D/C = 0, 则后面连续的 8 位数据是指令数据, 如果开头位 D/C = 1, 则后面连续的 8 位数据是显示数据。在 MPU300 将 8 位的并行的指令数据或显示数据变换成串行数据时, 将识别数据 D/C 插入该开头位中, 生成

20 该串行数据输入信号 (SI)。

串行时钟信号 (SCL) 是传送串行数据输入信号 (SI) 的时钟。

而且, 来自 9 位锁存电路 210 的输出端子 Q1~Q8 的 8 位并行数据被输出给内部总线 120, 来自输出端子 Q9 的识别数据 D/C 被输入到指令译码器 110 中。根据该识别数据 D/C 的逻辑, 指令译码器 110 判断

25 是否受理 8 位数据。如果识别数据 D/C = 0, 则来自 9 位锁存电路 210 的输出端子 Q1~Q8 的 8 位并行数据 (指令数据) 由指令译码器 110 接受, 并对其译码。如果识别数据 D/C = 1, 则来自 9 位锁存电路 210 的输出端子 Q1~Q8 的 8 位并行数据 (显示数据) 被输入到 I/O 缓冲器 64 中。

30 另外, 1/9 分频电路 220 的输出信号 X 被供给指令译码器 110。该输出信号 X 被指令译码器 110 译码后, 除了作为显示 RAM60 的写入信

号 WR 来供给以外，还作为例如使页地址置位等的寄存器 60A（参照图 3）被置位用的时钟信号，供给页地址电路 61。

另外，被输入 MPU 接口 100 的第四输入端子 104 的复位信号 XRES 用来使液晶模块 20 的工作停止。

5 （液晶显示驱动 IC 的工作）

说明在图 5 所示的携带电话机 500 中，例如对操作部 530 进行操作，显示对方电话号码目录的情况。另外，在以下的说明中，在液晶显示装置 28 中例如时序显示等的显示工作在继续进行，如图 4 所示，复位信号（XRES）变成非激活（高电平）。这时，芯片选择信号
10 （XCS）即使是变成高电平的非激活，但在液晶显示装置 28 中，根据图 2 所示的显示数据 RAM60 中存储的图像信息，继续进行显示驱动。

这时，如果通过操作部 530 输入信息，则使液晶显示驱动 IC10 的芯片选择信号（XCS）激活，同时与串行时钟信号同步地以串行方式输出指令数据、显示数据，以便 MPU300 在液晶显示装置 28 上显示基于
15 输入信息的图像。

当芯片选择信号（XCS）呈低电平激活时，如图 4 所示，液晶显示驱动 IC10 的 1/9 分频电路 220 对串行时钟信号（SCL）进行 1/9 分频。在图 4 中，通过使第八系统时钟（SCL）下降，而使 1/9 分频电路 220 的输出信号 X 从高电平变为低电平。

20 如果芯片选择信号（XCS）呈高电平，则该 1/9 分频电路 220 被复位。芯片选择信号（XCS）在下述情况下有高电平的脉冲 400，即当串行时钟信号 SCL 上升时，移位寄存器 200 取入数据 D0，而且，当 1/9 分频电路 220 的输出信号 X 上升时，锁存电路 210 将数据 D0 ~ D9 锁存后变成高电平的脉冲 400。因此，根据该脉冲 400，1/9 分频电路
25 220 被复位。

另外，芯片选择信号（XCS）变成低电平激活时，9 位移位寄存器 200 使依次输入数据输入到端子 D 上的串行数据输入信号（SI）在被输入到时钟端子 CL 上的串行时钟信号（SCL）上升时依次移位，从输出端子 Q1 ~ Q9 以并行方式输出。

30 来自 1/9 分频电路 220 的输出信号 X 被输入到 9 位锁存电路 210 的时钟端子 CL 上。该输出信号 X 在从低电平变成高电平的脉冲 400 上

升时（图 4 所示的第九系统时钟（SCL）上升时），取入 9 位移位寄存器 200 的输出端子 Q1 ~ Q9 的数据，其次在该输出信号 X 呈低电平之前被锁存。

5 这样，根据来自 1/9 分频电路 220 的输出信号 X，将数据锁存在 9 位锁存电路 210 中，所以不会错误地识别 9 位的单位数据串的界线。其结果，能减少数据传送错误。

其结果，从 9 位锁存电路 210 的端子 Q1 ~ Q8 以并行方式输出 8 位数据 D0 ~ D7，从输出端子 Q9 输出识别数据 D/C。

10 该 8 位数据 D0 ~ D7 被输入到指令译码器 110 中，根据识别数据 D/C 的逻辑状态，判断是否由指令译码器 110 受理了来自 9 位锁存电路 210 的端子 Q1 ~ Q8 的 8 位数据 D0 ~ D7。因此，指令数据在指令译码器 110 中被译码，显示数据被输入到 I/O 缓冲器 64 中。

15 另外，在指令数据中，有时将 8 位数据中的例如高位的 2 位分配给作为识别指令用的识别位。这时在高位的 2 位为 0、1 的情况下，由指令译码器 110 识别低位的 6 位例如是页地址的情况，该 6 位地址被置于寄存器中。此外，还能举出不具有指令的识别位、全部 1 字节都是指令参数的情况，以及 1 字节是指令的识别位，而将其后的另 1 字节作为参数的 2 字节指令等多字节指令的情况等。

20 另外，1/9 分频电路 220 的输出信号 X 被输入指令译码器 110 中，生成图 4 所示的写入信号 WR。该写入信号 WR 被输入 I/O 缓冲器 64 中，将供给 I/O 缓冲器 64 的显示数据作为传送给显示数据 RAM60 的写入时序信号用。

25 另外，该写入信号 WR 被供给页地址电路 61 的页地址寄存器（图中未示出），将 6 位的页地址作为置于页地址寄存器中的时钟信号利用。

30 这样，在本实施例中，变更液晶显示装置 28 的显示画面时，只用第一至第三输入端子 101 ~ 103，能由 MPU300 将必要的信号传送给液晶显示驱动 IC10。即，在使液晶显示驱动 IC10 呈能用芯片选择信号（XCS）输入的状态后，由 MPU300 根据串行时钟信号（SCL），将指令数据、显示数据及识别它们的识别数据 D/C 以串行方式传送给液晶显示驱动 IC10 即可。

这里，串行数据输入信号(SI)将由指令/数据识别用的D/C位以及1字节的指令数据或显示数据构成的9位作为单位数据串。因此，作为指令数据及显示数据的位数，能分配MPU同时处理的1字节(8位)。

- 5 另外，液晶显示驱动IC10输入来自MPU300的1字节信息时，不需要象上述的I²C总线通信协议那样反馈确认响应位A。因此，预先上拉与第一输入端子连接的信号线并输入1字节的信息时，不需要放电到低电平，因此，能谋求数据传送的高速化。

10 另外，根据1/9分频电路220的输出信号X以生成写入信号WR等时，不需要接收从MPU300供给的写入指令。因此，能减轻MPU300的负担，同时能省略写入信号用的信号线、输入端子。

另外，本发明不限于上述的实施例，在本发明的要旨的范围内可以进行各种变形实施。例如，在上述的实施例中，将指令数据及显示数据作为1字节(8位)，使串行数据输入信号(SI)的单位数据串的位数为9，但不受此限。将指令数据及显示数据扩展为1字(N=16
15 位)或1长字(N=32位)时，可以使串行数据输入信号(SI)的单位数据串的位数为(1+N)。这时，也可以使移位寄存器200、锁存电路210的位数为(1+N)，分频电路220进行1/(1+N)分频。

20 另外，本发明也能适用于这样的装置，即能由使用者切换以串行方式输入还是以并行方式输入指令数据、显示数据等。因为至少在串行输入时能按照本发明的结构进行工作。

25 另外，本发明的显示用驱动IC并不只限于液晶显示中使用的装置，能适用于其他方式的显示装置。本发明的电子装置也不限于携带电话，也能适用于接收串行数据的输入驱动除了液晶以外的显示装置的其他种类的电子装置。

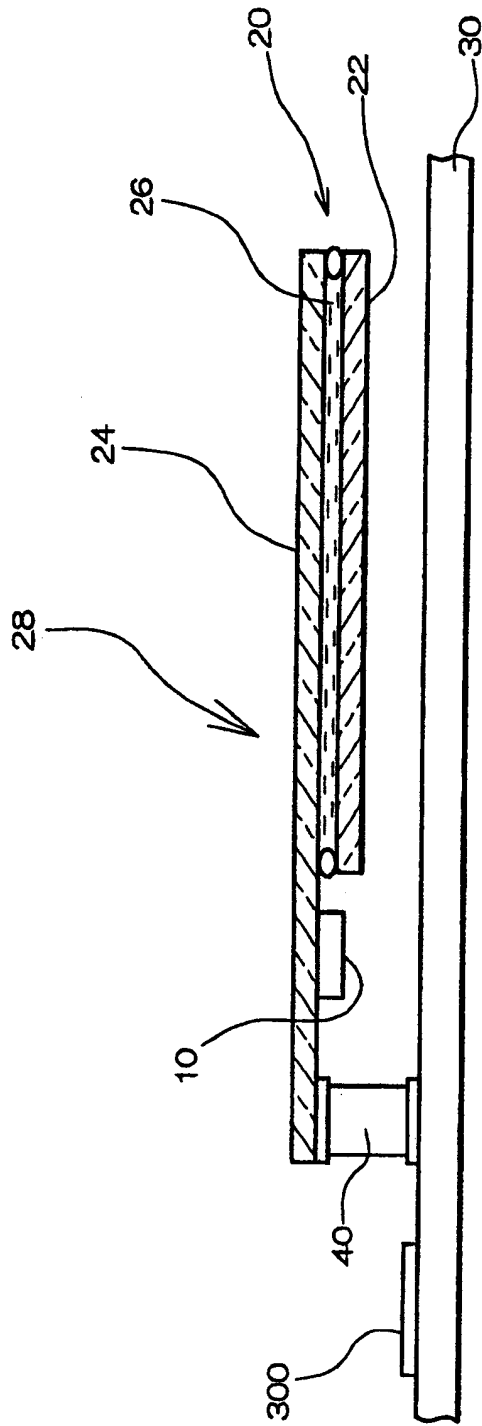


图1

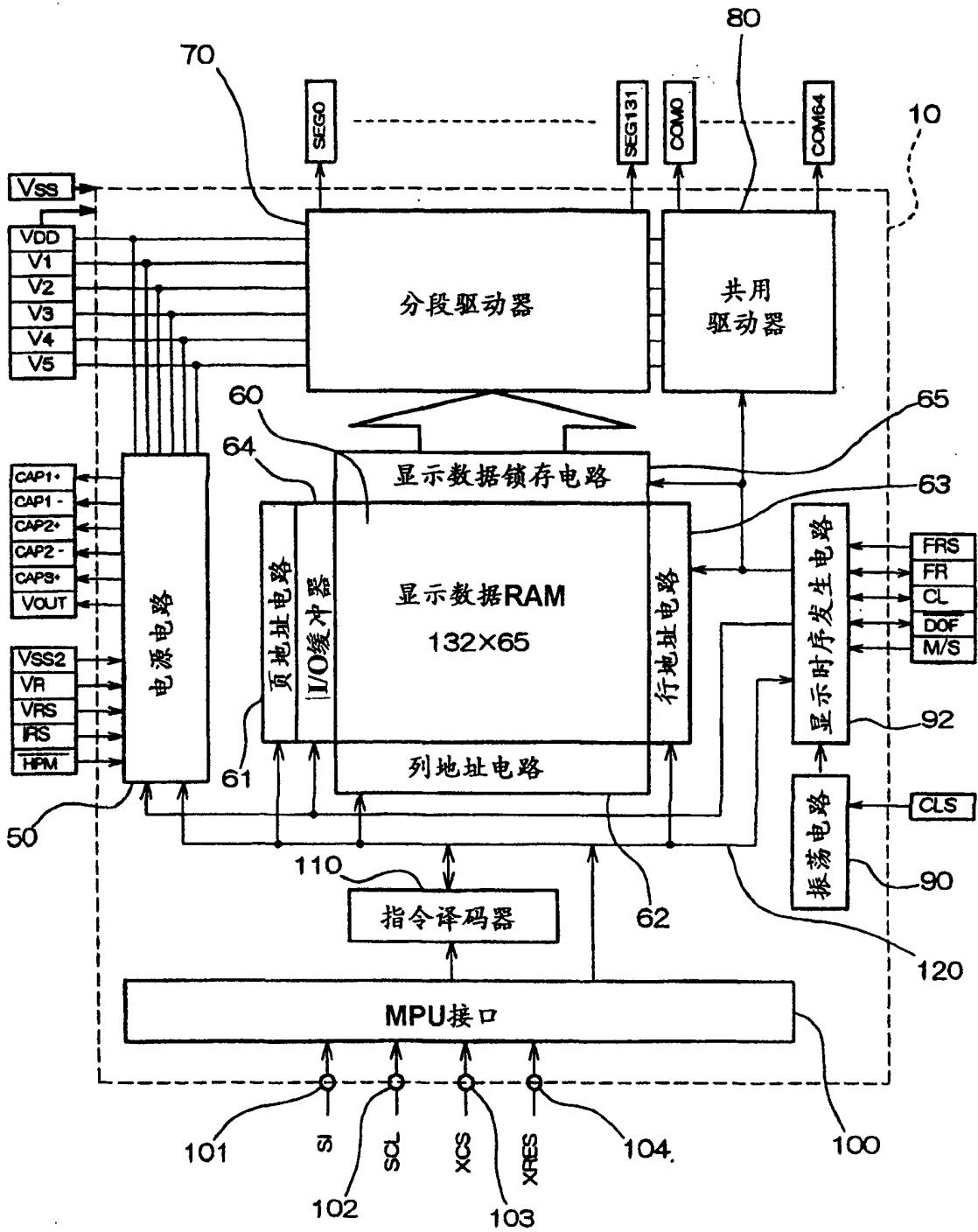


图 2

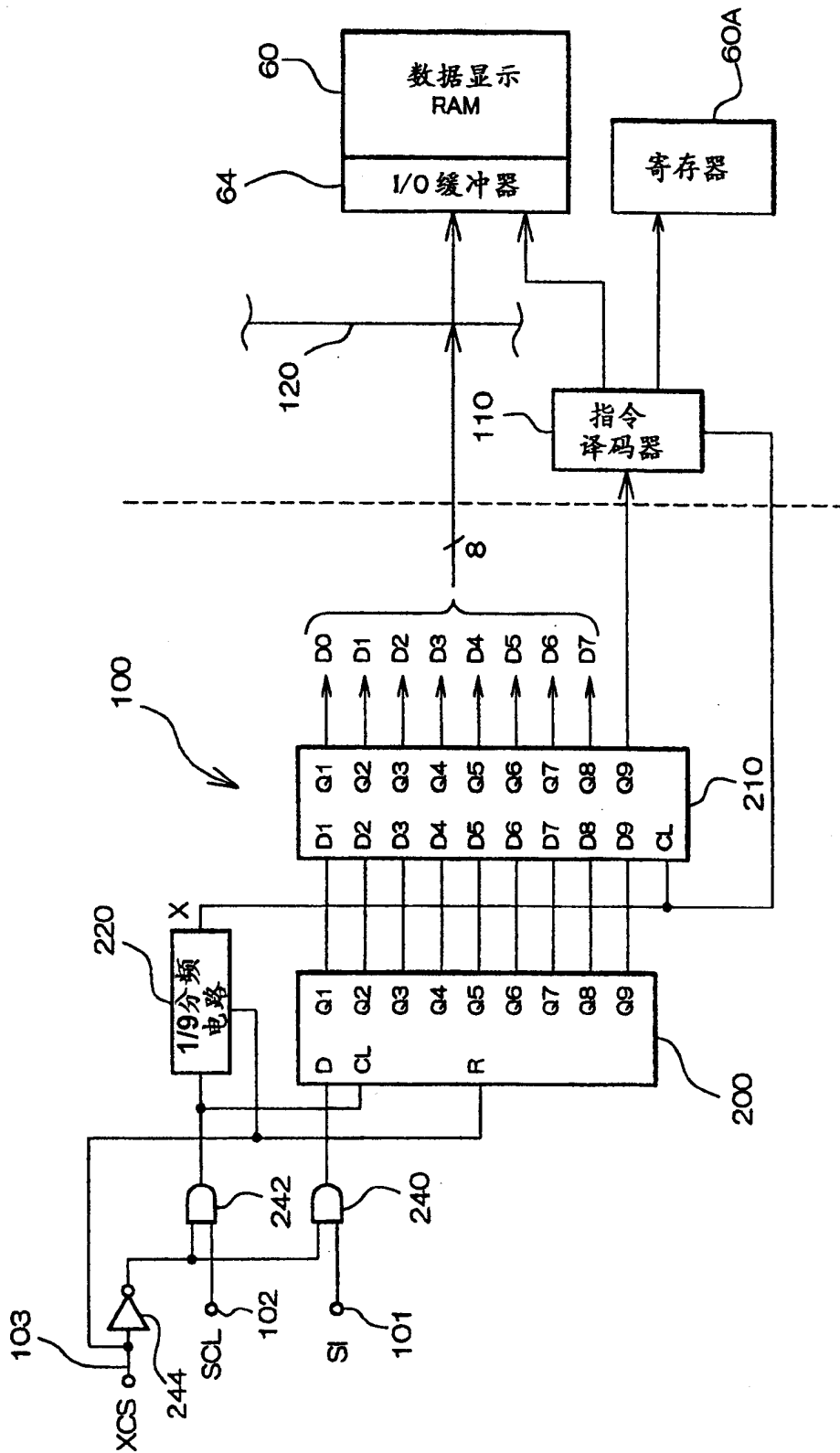


图 3

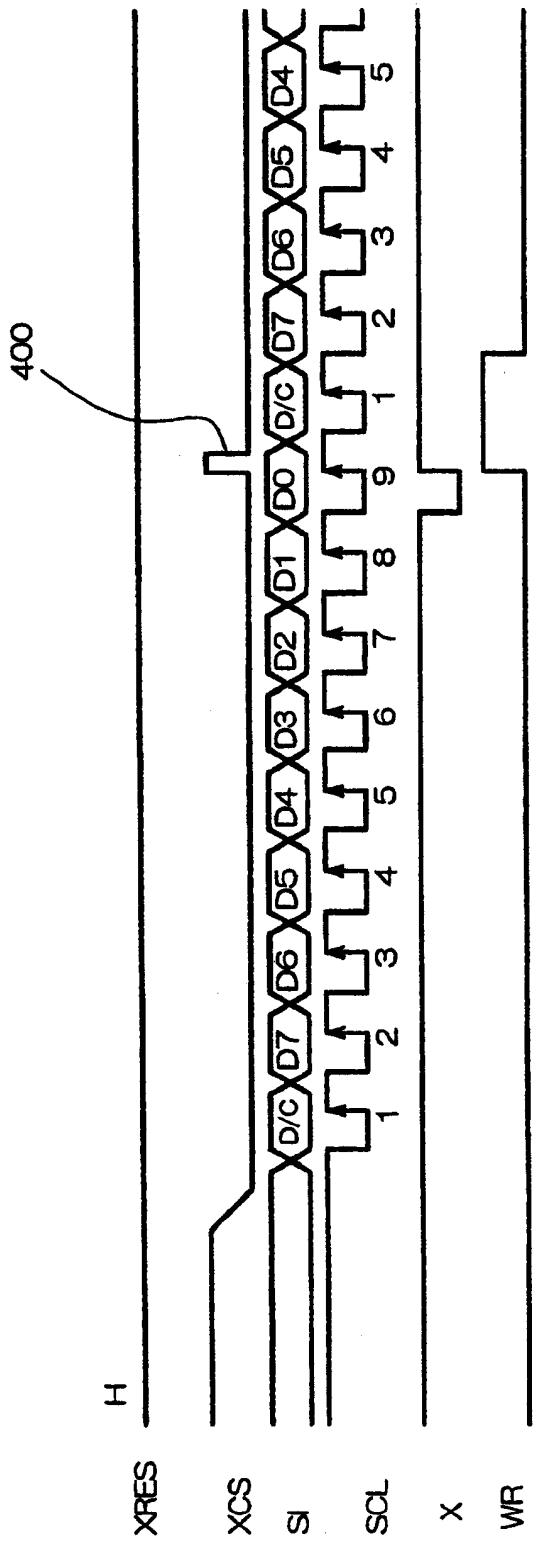


图 4

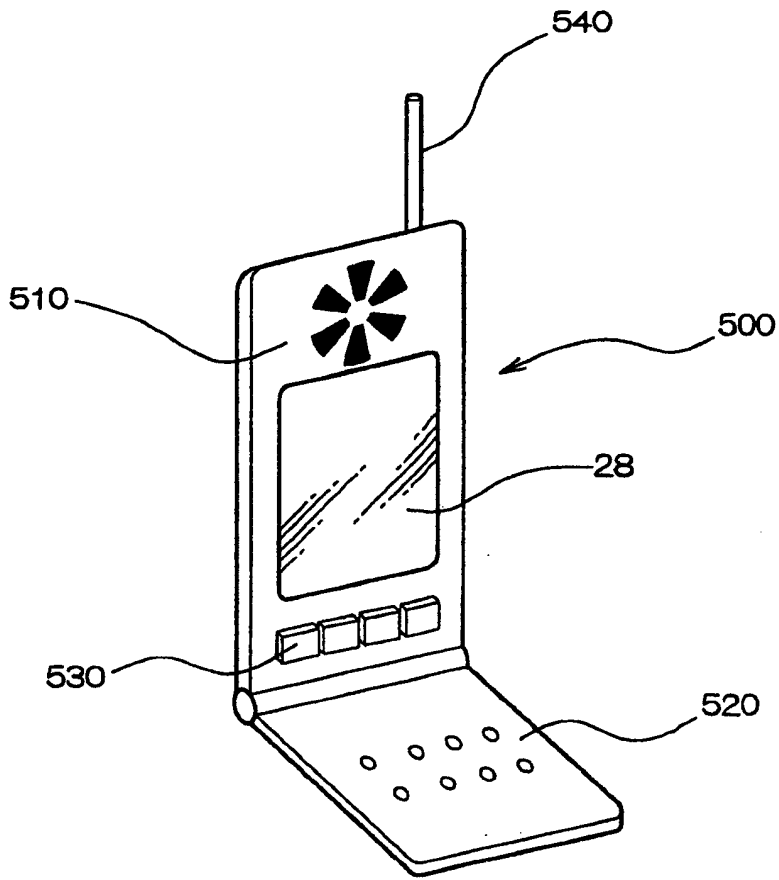


图 5

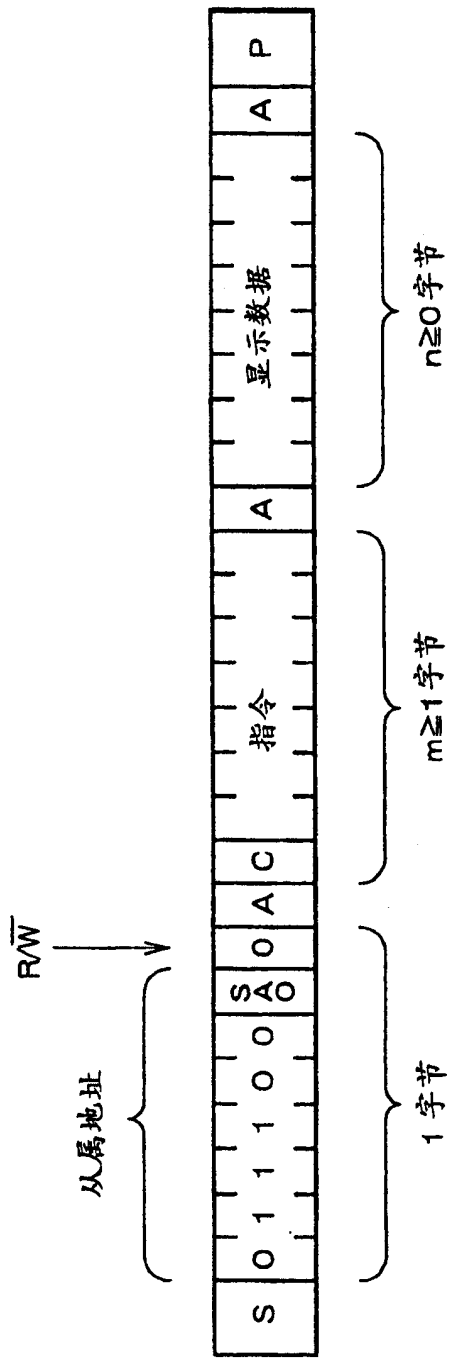


图 6

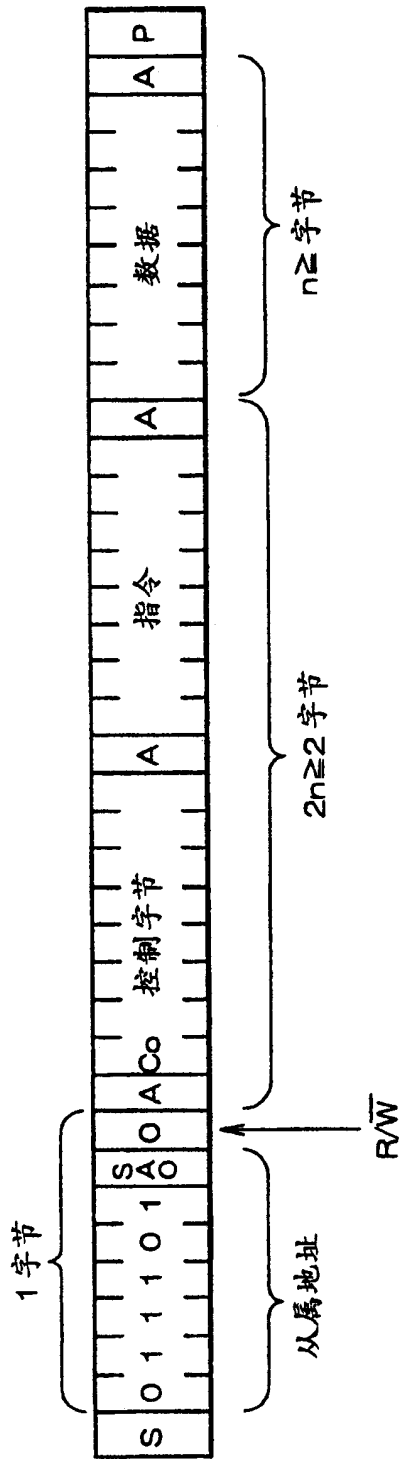


图 7

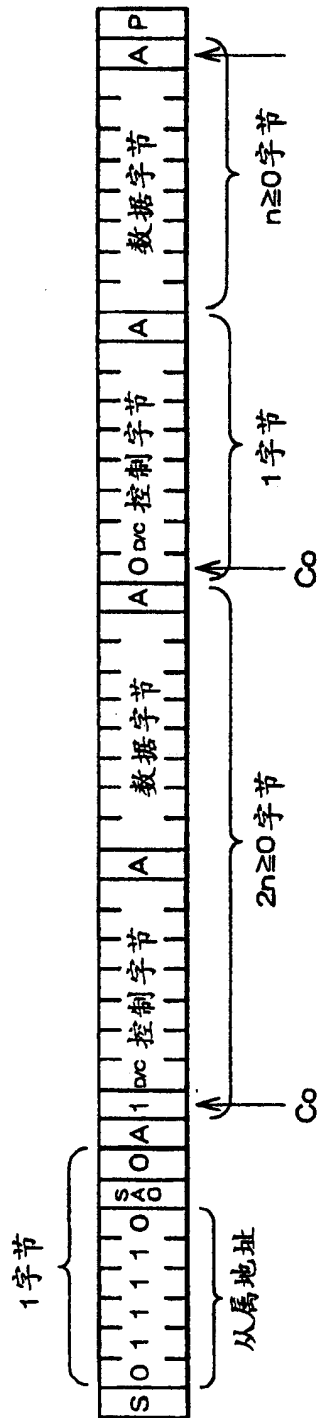


图 8

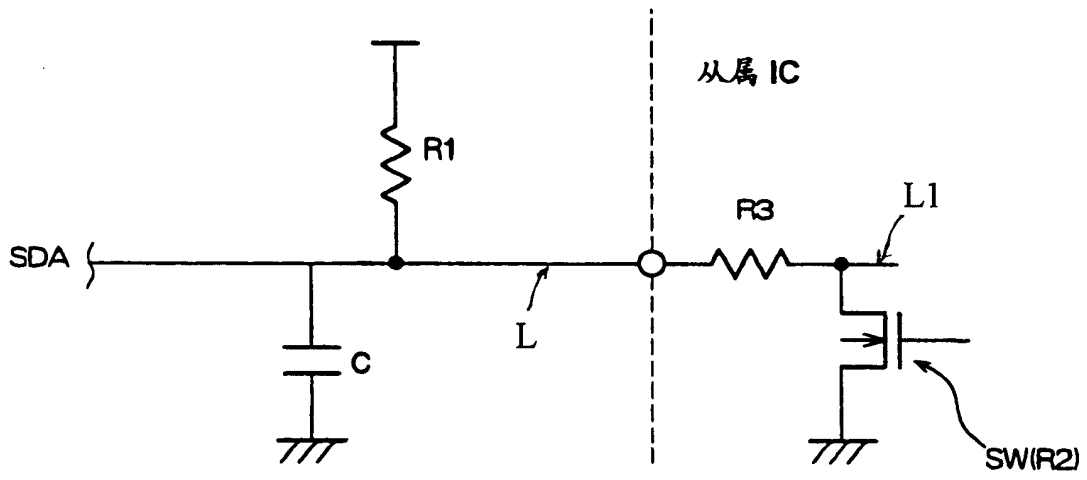


图 9