



**República Federativa do Brasil**  
Ministério da Indústria, Comércio Exterior  
e Serviços  
Instituto Nacional da Propriedade Industrial

**(11) PI 0414295-0 B1**

**(22) Data do Depósito:** 12/07/2004

**(45) Data de Concessão:** 07/03/2017



---

**(54) Título:** CONTROLADOR CONFIGURÁVEL E MÉTODO DE AQUISIÇÃO DE UMA PLURALIDADE DE SINAIS

**(51) Int.Cl.:** G05B 19/042

**(30) Prioridade Unionista:** 22/09/2003 US 10/667.640

**(73) Titular(es):** KODAK IL, LTD.

**(72) Inventor(es):** VITALY BURKATOVSKY

"CONTROLADOR CONFIGURÁVEL E MÉTODO DE AQUISIÇÃO DE UMA PLURALIDADE DE SINAIS".

#### CAMPO DE APLICAÇÃO

[001] O presente pedido de patente de invenção refere-se em geral a sistemas de controladores, tendo parâmetros de operação analógicos e digitais e, mais particularmente, a um dispositivo de controle de Computador para Chapa (CTP|Computer to Plate), tal como uma placa de impressão eletrônica, compreendendo uma lógica programável e conectada a periféricos analógicos e digitais.

#### ESTADO DA TÉCNICA

[002] Tecnologias modernas podem incluir muitos processos que precisam ser controlados e automatizados. Utilizando o exemplo dos sistemas CTP, estes processos podem compreender, por exemplo: carga e descarga de placa, transporte, centralização e perfuração, balanceamento de cabeçote, etc. Controladores eletrônicos são utilizados para controlar estas tarefas.

[003] Uma série de controladores eletrônicos em uso atualmente baseia-se em microprocessadores que utilizam software para definição da operação do sistema. No entanto, por causa dos diferentes tipos de sensores com diferentes hardwares de condicionamento de sinal ou diferentes cargas com diferentes tipos de drivers, utilizar a mesma placa do controlador em diferentes máquinas não é comumente viável somente através de alterações no software. Portanto, nos modelos atuais, as funções de controle desejadas são alcançadas através da modificação do modelo e alimentação de novos circuitos para cada modelo. Isto implica que um sistema de controle feito para um tipo de sensor ou

carga não funcionará com outro tipo sem que haja mudanças significativas no hardware.

[004] Uma restrição adicional dos controladores eletrônicos existentes, que são programados para realizar ações de controle desejadas, é que os microprocessadores são limitados em termos de interface. Esta limitação é causada pelo fato de que a arquitetura dos microprocessadores é orientada para computação em vez de controle. O ambiente real de um aplicativo de controle tipicamente envolve o processamento de um número significativo de sinais e dispositivos (p.ex., sensores, interruptores, motores, etc.), sendo alguns deles analógicos por natureza. Consequentemente, uma quantidade considerável de circuitos é necessária além do microprocessador, tais como buffers, decodificadores, drivers, circuitos de retorno, multiplexadores, conversores analógico-digitais e digital-analógicos, circuitos de condicionamento de sinal, etc.

[005] A figura 1 mostra um exemplo de soluções típicas de hardware necessárias para proporcionar aquisição de diferentes tipos de sinal.

[006] A solução para os sinais lógicos do codificador de motor 10 inclui filtragem pelo filtro 70 e armazenamento temporário por buffer de entrada lógica 130 (o filtro passa-baixa 70 deve ter uma frequência de corte relativamente alta para passar os sinais do codificador).

[007] Para receber os sinais de interruptores ópticos com ranhuras 20 com saída aberta do coletor, um resistor de pull-up 80 e um buffer 140 são necessários. Além disso, um filtro de passa-baixa (não exibido) pode ser

inserido.

[008] Para interruptores de porta com intertravamento 30, geralmente utilizados em loop de segurança de alimentação de tensão padrão 12V ou 24V, um divisor de tensão 90 é necessário para reduzir o sinal da tensão de entrada ao nível para alimentação lógica (geralmente 5 ou 3,3V), um filtro de passa-baixa 150 é necessário para reduzir a oscilação e os ruídos externos (a frequência de corte deste filtro é diferente da frequência de corte do filtro 70 e o buffer 160 é necessário para ajustar o sinal à lógica configurável da unidade digital 200.

[009] Uma das opções para transferência de sinais analógicos, por exemplo, dois sinais de sensor de pressão 40 e 50, inclui um multiplexador 100 conectado a um ADC (Analog to Digital Converter|Conversor Analógico-Digital) 170.

[010] Algumas aplicações utilizam interruptores de lâminas com indicador de LED embutido 60, p.ex., o interruptor magneticamente operado NORGREN tipo QM/34. Neste caso, a solução pode basear-se em um filtro 10 e um comparador de tensão 190, utilizando a referência 180 como limite.

[011] Caso a máquina tenha uma arquitetura modular, por exemplo, uma máquina manual que pode ser melhorada para uma máquina semiautomática ou totalmente automática através do fornecimento de subsistemas adicionais controlados, o processo de automação pode ser realizado por um controlador multi I/O único, destinado a todas as configurações possíveis da máquina ou por três controladores

menores diferentes, sendo cada um dedicado à configuração manual, semiautomática ou totalmente automática da máquina, respectivamente.

[012] A desvantagem do controlador multi I/O único é sua utilização ineficiente, especialmente em máquinas manuais, uma vez que o hardware do controlador destinado a módulos automáticos e semiautomáticos não é utilizado.

[013] A desvantagem de três controladores dedicados diferentes é o alto custo em serviços e o preço relativamente elevado.

[014] Presumamos que a meta seja desenvolver um controlador para uma máquina de CTP manual (nível de mínimo automação), compreendendo subsistemas de detecção de posição de placa, carga e descarga de placa. O subsistema necessário inclui um codificador de motor, dez sensores ópticos com ranhuras e saída aberta de coletor e seis interruptores de porta com intertravamento.

[015] A solução de hardware adequada para aquisição de sinais, de acordo com a figura 1, será a seguinte:

[016] Para o codificador do motor (sinais CODIFICADOR A e CODIFICADOR B) - dois filtros 70 e dois buffers de entrada lógica 130 são necessários.

[017] Para dez sensores ópticos com ranhuras e saída aberta de coletor - dez resistores de pull-up 80 e dez buffers de entrada lógica 140 são adequados. Além disso, dez filtros de passa-baixa (não exibidos) podem ser inseridos.

[018] Para seis interruptores de porta com

intertravamento - seis divisores de tensão 90, seis filtros 150 e seis buffers de entrada lógica 160 são necessários.

[019] Para atualização ao modo semiautomático, a máquina de CTP precisará de hardware adicional para fornecer controle e aquisição de sinal para os novos subsistemas de automação de centralização e perfuração de placas, compreendendo, por exemplo, três motores DC com codificadores, oito interruptores com ranhuras, dois sensores analógicos de pressão e dois sensores de proximidade.

[020] Neste caso, o controlador deve suportar seis (3 x 2) entradas de codificador em vez das duas para a máquina manual, oito entradas para interruptores com ranhuras em vez de 10 e circuitos para suportar dois sensores curtos analógicos e dois sensores curtos de placa, que não foram utilizados na máquina manual.

[021] A figura 2 mostra um exemplo de soluções típicas de hardware necessárias para fornecer controle de diferentes tipos de carga.

[022] Uma solução possível para acionar o motor de passo 55 pode ser implementada pelo controlador integrado do motor de passo 120 (p.ex., controlador de motor de passo L297, da SGS-Thomson Microelectronics) conectado às saídas da unidade digital configurável 200 e ao driver 145 (p.ex., driver duplo de ponte completa - L298, da SGS-Thomson Microelectronics) conectado entre o controlador do motor de passo 120 e o motor de passo 55. Este hardware dedicado para controle do motor de passo não pode ser utilizado para controle de válvula ou motor DC que pode ser necessário para diferentes ambientes de controle de outro modelo, por

exemplo, para maquinário semiautomático ou totalmente automático.

[023] De forma similar, o driver do motor DC 115 (p.ex., driver de motor PWM de ponte completa DMOS 3948, da ALLEGRO Microsystems, Inc) conectado entre a unidade digital configurável 200 e o motor DC 50 não pode ser utilizado para controle de relé ou válvulas separadas e os drivers baixos 155 (p.ex., Driver de Fonte Fechada 6810, da ALLEGRO Microsystems, Inc), controlados pela unidade digital configurável 200 e que acionam as válvulas de 20 mA 60, não podem ser utilizados para aplicações de acionamento de solenoide de controle de alta corrente por conta da baixa capacidade de corrente.

[024] Como pode ser visto, o hardware do controlador escolhido para a máquina manual não pode ser utilizado para controlar os subsistemas da máquina semiautomática por conta das diferenças em soluções de hardware para aquisição dos diferentes tipos de sensor e para controle dos diferentes tipos de carga.

[025] Uma situação semelhante ocorre no momento da atualização de semiautomático para totalmente automático ou ao tentar utilizar o controlador para uma família diferente de máquinas.

[026] Os Pedidos de Patente Norte-americana publicados N° US2001/0015918 e US2001/0039190 tentam melhorar as deficiências mencionadas anteriormente ao fornecer um controlador eletrônico configurável, compreendendo circuitos de controle para fornecer funções de controle, interface de entrada, interface de saída, interface de usuário, interface de energia e uma unidade de

memória não volátil conectada ao circuito de controle e a todas as unidades de interface anteriores, a fim de configurá-las.

[027] No entanto, existem algumas barreiras à utilização desta solução em máquinas mais complexas, tais como Computador para Chapa (CTP):

1. As entradas dos microcontroladores ainda não são universais. Isto significa que um sensor analógico não pode ser conectado à entrada digital do controlador;
2. As entradas digitais de um microcontrolador não podem fornecer o ajuste de histerese e o controle de limite de entrada necessários para aprovação da entrada a partir dos sensores com níveis lógicos baixos e altos diferentes (por exemplo, o nível lógico baixo do interruptor magneticamente operado NORGREN tipo QM/34 está no intervalo de 2V, por causa de um indicador de LED embutido. Ao mesmo tempo, a ALTA tensão mínima de entrada do buffer de entrada digital MOTOROLA SN74LS240 é de 2V. Tal diferença em níveis de tensão pode causar falhas na aquisição de sinal do QM34).
3. A solução fornecida envolve redundância de hardware na placa do controlador; a arquitetura do controlador deve incluir todos os blocos funcionais possíveis, configurados pela memória NV, para cobrir a aquisição dos diferentes sensores e, dependendo da configuração, alguns dos blocos funcionais não serão utilizados.
4. A solução apresentada fornece um intervalo de controle relativamente baixo. Por exemplo, a aquisição do sinal multiplexado do controlador leva à diminuição no tempo de resposta do controlador. Esta desvantagem pode tornar-se crítica ao lidar, por exemplo, com um controlador de

dispositivo CTP, possivelmente manipulando mais de 100 sensores.

5. O uso de um tipo fixo de interruptor conectado a um dos lados da carga limita as opções de conexão de carga (caso o interruptor seja do tipo alta potência, então, o outro lado da carga deve ser conectado ao comum (terra) e se o interruptor for do tipo baixa potência, o outro lado da carga deve ser conectado à fonte de tensão fornecida. Geralmente, ambas as conexões de carga (para comum e para fonte de tensão) são utilizadas, mas os Pedidos de Patente mencionados podem apenas suportar um tipo de conexões de carga.

6. Não há possibilidade de alterar a direção da corrente das cargas necessárias, por exemplo, para reversão dos motores DC.

[028] Assim, há a necessidade de uma arquitetura de controlador flexível e universal que permita uma operacionalidade e capacidade de atualização melhorada e facilite a adaptação de um controlador existente para uma nova máquina.

#### SUMÁRIO

[029] De acordo com um aspecto do presente pedido de patente de invenção, é fornecido um controlador configurável, compreendendo: um módulo de controle de sincronização; uma pluralidade de módulos de aquisição de sinal configurável conectada ao referido módulo de controle de sincronização; uma lógica de controle conectada à referida pluralidade de módulos de aquisição de sinal; uma pluralidade de células de entrada idênticas respectivamente conectada à referida pluralidade de módulos de aquisição de sinal, cada uma da referida pluralidade de células de entrada

adicionalmente conectada a um pino de entrada respectivo do referido controlador; e um gerador de sinal de sincronização conectado ao referido módulo de controle de sincronização e à referida pluralidade de células de entrada, caracterizado por cada uma dentre a referida pluralidade de células de entrada ser operável para conversão de parâmetros de sinal de entrada em parâmetros com base no tempo e em que cada um dos referidos módulos de aquisição de sinal é configurado para converter os referidos parâmetros com base no tempo em uma forma digital requerida.

[030] De acordo com uma aplicação, cada uma dentre a referida pluralidade de células de entrada idênticas compreende um comparador, o referido comparador adaptado para receber um sinal de entrada a partir do pino de entrada respectivo e um sinal de sincronização a partir do referido gerador de sinal de sincronização e para emitir um sinal.

[031] O sinal de sincronização pode ter formato de dentes de serra.

[032] De acordo com outra aplicação, o controlador configurável adicionalmente compreende uma pluralidade de módulos de lógica de controle de saída configuráveis conectada à referida lógica de controle e o referido controlador adicionalmente compreende uma pluralidade de drivers de saída de alta potência e baixa potência conectada aos referidos módulos de lógica de controle de saída configuráveis, os referidos drivers adicionalmente conectados a uma pluralidade de pinos de saída do referido controlador.

[033] De acordo com uma configuração, pelo menos, um dos referidos módulos de lógica de controle de

saída configuráveis 25 é conectado a um par de drivers de alta potência e drivers de baixa potência, os referidos drivers conectados através dos pinos de saída respectivos do referido controlador a um dos lados de uma carga, caracterizado pelo referido módulo de lógica de controle de saída configurável ser configurado para acionar apenas um dos referidos drivers de alta potência e drivers de baixa potência, dependendo da conexão do outro lado da referida carga.

[034] De acordo com uma segunda configuração, pelo menos, um dos referidos módulos de lógica de controle de saída configuráveis é conectado a um dos referidos drivers de baixa potência ou a um dos referidos drivers de alta potência, o referido driver conectado através de um pino de saída respectivo do referido controlador a uma carga, caracterizado pelo referido módulo de lógica de controle de saída configurável ser configurado para acionar um dos referidos drivers.

[035] De acordo com uma terceira configuração, um primeiro e segundo dentre os referidos módulos de lógica de controle de saída configuráveis são conectados respectivamente a um driver de alta potência e a um driver de baixa potência, o referido driver de alta potência e o referido driver de baixa potência conectados através de dois pinos de saída respectivos do referido controlador a dois lados de uma carga, em que os referidos primeiro e segundo módulos de lógica de controle de saída configuráveis são configurados para controle do referido par de drivers de alta potência e drivers baixa potência por duas fontes de sinal independentes.

[036] De acordo com uma quarta configuração, pelo menos, um dentre os referidos módulos de lógica de controle de saída configuráveis é conectado a dois dos referidos drivers de alta potência, os dois drivers de alta potência conectados através dos pinos de saída respectivos do referido controlador a um lado de uma carga, caracterizado pelo referido módulo de lógica de controle de saída configurável ser configurado para controle simultâneo dos dois referidos drivers de alta potência.

[037] De acordo com outra aplicação, pelo menos, um dos referidos drivers de alta potência ou drivers de baixa potência é conectado a uma das referidas células de entrada.

[038] A célula de entrada pode ser operável para medição da corrente de, pelo menos, um referido driver de alta potência ou driver de baixa potência ou para detectar a conectividade de, pelo menos, um referido driver de alta potência ou driver de baixa potência.

[039] A célula de entrada pode, alternativamente, ser operável para confirmação da comutação de, pelo menos, um referido driver de alta potência ou driver de baixa potência.

[040] Em outro aspecto do presente pedido de patente de invenção, é fornecido um método para aquisição de uma pluralidade de sinais, compreendendo as etapas de: fornecimento de um módulo de controle de sincronização; configuração de uma pluralidade de módulos de aquisição de sinal configurável conectada ao referido módulo de controle de sincronização; fornecimento de uma lógica de controle conectada à referida pluralidade de módulos de aquisição de

señal; fornecimento de uma pluralidade de células de entrada idênticas respectivamente conectada à referida pluralidade de módulos de aquisição de señal; fornecimento de um gerador de señal de sincronização conectado ao referido módulo de controle de sincronização e à referida pluralidade de células de entrada, adquirindo uma pluralidade de sinais de entrada, cada um dos referidos sinais adquiridos por uma dentre a referida pluralidade de células de entrada idênticas; conversão dos referidos parâmetros de señal em uma pluralidade de parâmetros com base no tempo; e conversão da referida pluralidade de parâmetros com base no tempo em formas digitais requeridas.

[041] De acordo com uma aplicação, a etapa de conversão dos referidos parâmetros de sinais adquiridos em uma pluralidade de parâmetros com base no tempo compreende as etapas de: recebimento de um señal de sincronização a partir do referido gerador de señal de sincronização e comparação do referido señal de entrada adquirido com o referido señal de sincronização.

[042] O señal de sincronização pode ter formato de dentes de serra.

[043] De acordo com ainda outro aspecto do presente pedido de patente de invenção, é fornecido um controlador configurável para controle de uma pluralidade de cargas, compreendendo: uma lógica de controle; uma pluralidade de módulos de lógica de controle de saída configuráveis conectada à referida lógica de controle; e uma pluralidade de drivers de saída de alta potência e baixa potência conectada aos referidos módulos de lógica de controle de saída configuráveis, os referidos drivers

adicionalmente conectados a uma pluralidade de pinos de saída do referido controlador.

[044] De acordo com uma configuração, pelo menos, um dos referidos módulos de lógica de controle de saída configuráveis é conectado a um driver de alta potência e a um driver de baixa potência, os referidos drivers conectados através de pinos de saída respectivos do referido controlador a um dos lados de uma carga, caracterizado pelo referido módulo de lógica de controle de saída configurável ser configurado para acionar apenas um dos referidos drivers de alta potência e drivers de baixa potência, dependendo da conexão do outro lado da referida carga.

[045] De acordo com uma segunda configuração, pelo menos, um dos referidos módulos de lógica de controle de saída configuráveis é conectado a um dos referidos drivers de baixa potência ou a um dos referidos drivers de alta potência, o referido driver conectado através de um pino de saída respectivo do referido controlador a uma carga, caracterizado pelo referido módulo de lógica de controle de saída configurável ser configurado para acionar um dos referidos drivers.

[046] De acordo com uma terceira configuração, um primeiro e segundo dentre os referidos módulos de lógica de controle de saída configuráveis são conectados a um driver de alta potência e um driver de baixa potência, respectivamente, o referido driver de alta potência e o referido driver de baixa potência conectados através de dois pinos de saída respectivos do referido controlador a dois lados de uma carga, caracterizado pelo referido primeiro e segundo módulos de lógica de controle de

saída configuráveis serem configurados para controle do referido par de drivers de alta potência e drivers de baixa potência por duas fontes de sinal independentes.

[047] De acordo com uma quarta configuração, pelo menos, um dentre os referidos módulos de lógica de controle de saída configuráveis é conectado a dois dos referidos drivers de alta potência, os dois drivers de alta potência conectados através dos pinos de saída respectivos do referido controlador a um lado de uma carga, caracterizado pelo referido módulo de lógica de controle de saída configurável ser configurado para controle simultâneo dos dois referidos drivers de alta potência.

[048] De acordo com um aspecto adicional do presente pedido de patente de invenção, é fornecido um método de controle de uma pluralidade de cargas, compreendendo as etapas de: fornecimento de uma lógica de controle; fornecimento de uma pluralidade de módulos de lógica de controle de saída configuráveis conectada à referida lógica de controle; fornecimento de uma pluralidade de drivers de saída de alta potência e baixa potência conectada aos referidos módulos de lógica de controle de saída configuráveis, os referidos drivers adicionalmente conectados a uma pluralidade de pinos de saída do referido controlador; e configuração de cada uma dentre a pluralidade de módulos de lógica de controle de saída configuráveis para acionamento de, pelo menos, um dos referidos drivers de alta potência e drivers de baixa potência, a referida configuração de acordo com as conexões entre as referidas cargas e os referidos drivers.

[049] De acordo com uma configuração, pelo

menos, um dos referidos módulos de lógica de controle de saída configuráveis é conectado a um driver de alta potência e um driver de baixa potência, os referidos drivers conectados através de pinos de saída respectivos do referido controlador a um dos lados de uma carga, caracterizado pelo referido módulo de lógica de controle de saída configurável ser configurado para acionar apenas um dos referidos drivers de alta potência e drivers de baixa potência, dependendo da conexão do outro lado da referida carga.

[050] De acordo com uma segunda configuração, pelo menos, um dos referidos módulos de lógica de controle de saída configuráveis é conectado a um dos referidos drivers de baixa potência ou a um dos referidos drivers de alta potência, o referido driver conectado através de um pino de saída respectivo do referido controlador a uma carga, caracterizado pelo referido módulo de lógica de controle de saída configurável ser configurado para acionar um dos referidos drivers.

[051] De acordo com uma terceira configuração, um primeiro e segundo dentre os referidos módulos de lógica de controle de saída configuráveis são conectados a um driver de alta potência e um driver de baixa potência, respectivamente, o referido driver de alta potência e o referido driver de baixa potência conectados através de dois pinos de saída respectivos do referido controlador a dois lados de uma carga, caracterizados pelo referido primeiro e segundo módulos de lógica de controle de saída configuráveis serem configurados para controle do referido par de drivers de alta potência e drivers de baixa potência por duas fontes de sinal independentes.

[052] De acordo com uma quarta configuração, pelo menos, um dentre os referidos módulos de lógica de controle de saída configuráveis é conectado a dois dos referidos drivers de alta potência, os dois referidos drivers de alta potência conectados através de pinos de saída respectivos do referido controlador a um lado de uma carga, caracterizado pelo referido módulo de lógica de controle de saída configurável ser configurado para controle simultâneo dos dois referidos drivers de alta potência.

#### BREVE DESCRIÇÃO DOS DESENHOS

[053] Para um melhor entendimento do presente pedido de patente de invenção e para mostrar como ele poderá ser posto em prática, far-se-á referência aos desenhos anexos, para fins exclusivamente exemplares. Nos desenhos anexos:

[054] A figura 1 mostra um exemplo de soluções típicas de hardware necessárias para fornecer a aquisição de diferentes tipos de sinal de entrada.

[055] A figura 2 mostra um exemplo de soluções típicas de hardware necessárias para fornecer controle de diferentes tipos de carga.

[056] A figura 3 é um diagrama de blocos geral do controlador do presente pedido de patente de invenção.

[057] A figura 4 é um desenho esquemático de uma aplicação da célula de entrada, de acordo com o presente pedido de patente de invenção.

[058] A figura 5 é um desenho esquemático de uma aplicação preferida da célula de entrada, de acordo com o presente pedido de patente de invenção.

[059] A figura 6 mostra os diagramas de sincronismo temporal da célula de entrada da figura 5 e o módulo de aquisição de sinal, de acordo com o presente pedido de patente de invenção, configurado para aquisição do sensor analógico.

[060] A figura 7 é um diagrama de blocos do módulo de aquisição de sinal, de acordo com o presente pedido de patente de invenção, configurado para aquisição do sensor analógico.

[061] A figura 8 é um diagrama de blocos da aplicação do módulo de aquisição de sinal, de acordo com o presente pedido de patente de invenção, para fins de sensores de saída de totens e postes.

[062] A figura 9 mostra os diagramas de sincronismo temporal que descrevem a aquisição de sinal dos sensores de saída de totem e poste.

[063] A figura 10 mostra os diagramas de sincronismo temporal que descrevem a funcionalidade do módulo de aquisição de sinal, de acordo com o presente pedido de patente de invenção, para sensores de proximidade com indicação de LED.

[064] A figura 11 é um diagrama de blocos de uma aplicação preferida do controlador que aciona diferentes cargas, tais como solenoide, relé e lâmpada.

[065] A figura 12 mostra uma aplicação preferida de controle de motor DC ou AC.

[066] A figura 13 mostra uma aplicação preferida de controle de motor de passo.

[067] A figura 14 é um diagrama de blocos de uma implementação preferida de retornos de corrente e tensão

no controlador.

#### DESCRIÇÃO DETALHADA

[068] O presente pedido de patente de invenção fornece uma arquitetura configurável de controlador para superar as deficiências dos controladores existentes.

[069] Antes de explicar detalhadamente, pelo menos, uma aplicação do presente pedido de patente de invenção, deve-se entender que o presente pedido de patente de invenção não é limitado em sua aplicação aos detalhes de construção e disposição dos componentes definidos na descrição a seguir ou ilustrados nos desenhos. O presente pedido de patente de invenção é apropriado a outras aplicações ou praticáveis ou executáveis de várias formas. Além disso, deve-se compreender que a fraseologia e a terminologia empregadas neste documento possuem fins descritivos e não devem ser consideradas como limitantes.

[070] A figura 3 é um diagrama de blocos do controlador 230 do presente pedido de patente de invenção, compreendendo o gerador de sinal de sincronização 250, a unidade digital configurável 200, tal como FPGA ou CPLD, que compreende, pelo menos, o módulo de sincronização 270, a lógica de controle 370, uma série de módulos de aquisição de sinal 260 configurada para aceitar sinais oriundos dos pinos de entrada 210 do controlador 230 através de células de entrada idênticas 240, os módulos de lógica de controle de saída configuráveis 280 configurados para fornecer controle das cargas conectadas ao pinos de saída 380 do controlador 230 através dos drivers de saída de alta potência 350 e/ou drivers de saída de baixa potência 360.

[071] O sistema proposto é projetado para

suportar vários ambientes periféricos, utilizando sua capacidade de configuração.

[072] O módulo de sincronização 270 da unidade digital configurável 200 é configurado para gerar os sinais básicos dependentes de tempo, para sincronização do trabalho das células de entrada 240 e dos módulos de aquisição de sinal 260. Esta sincronização é necessária para conversão dos valores dos sinais de entrada para parâmetros com base no tempo (p.ex., largura do pulso, atraso, ciclo de trabalho, frequência, etc.) pelas células de entrada 240, e, em seguida, para conversão destes parâmetros com base no tempo em formato digital através dos módulos de aquisição de sinal 260 configurados. Uma implementação possível do módulo de sincronização 270 pode ser, por exemplo, um contador, que conta os pulsos recebidos com intervalo constante entre eles. A sequência destes pulsos pode ser obtida a partir do relógio do sistema, por exemplo. A saída (dados de referência 290) do contador 270 é conectada a cada um dos blocos de aquisição de sinal 260 e também ao gerador de sinal de sincronização 250 como dados sincronizados 275. O gerador de sinal de sincronização 250 é implementado, por exemplo, como um conversor digital-analógico. Enquanto o contador 270 funcionar, o valor dos dados sincronizados 275, que são iguais aos dados de referência 290, é periodicamente alterado de 0 até seu valor máximo, o que causa uma tensão  $V_{sync}$  com formato de dente de serra na rede de saída 255 do gerador de sinal de sincronização 250. Esta tensão é transferida para a segunda entrada das células de entrada 240. A primeira entrada das células de entrada 240 é conectada ao pino de entrada 210 correspondente do controlador 230,

respectivamente. O sinal de saída da célula de entrada 240 (pino 3) é conectada à entrada 1 do bloco de aquisição de sinal 260 correspondente. Em uma aplicação alternativa do módulo de controle de sincronização 270, os dados sincronizados 275 e os dados de referência 290 podem não ser iguais, conforme será exemplificado em conjunto com a figura 4.

[073] A implementação dos blocos de aquisição de sinal 260 configuráveis pode variar de acordo com o tipo de sinal que precisa ser aceito e, logo, suporta os diferentes ambientes periféricos.

[074] Dois exemplos de possíveis aplicações da célula de entrada 240 são mostrados nas Figs. 4 e 5. A célula de entrada da figura 4 se baseia no conversor de tensão-frequência 225, por exemplo, o LM131, da National Semiconductor. Para esta implementação, o módulo de controle de sincronização 270 deve ser configurado, de modo que os dados sincronizados 255 apresentem uma sequência de pulsos curtos, que aparecem periodicamente (uma vez por período de contagem). Os dados de referência 290 devem ser implementados conforme descrito acima com referência à figura 3. O gerador de sinal de sincronização 250 pode ser implementado, por exemplo, como um buffer ou amplificador. Os pulsos curtos de sincronização 255 oriundos do gerador de sinal de sincronização 250 reiniciarão o conversor de tensão-frequência 225 e, após a conclusão de cada reinício, a frequência proporcional ao valor de tensão de entrada aparecerá na saída do conversor e na rede 220 adequadamente. Esta frequência passa para a entrada do módulo de aquisição de sinal 260 correspondente, que deve ser configurado para

converter o valor de frequência para o formato digital (um ou mais bits) conveniente para realização do controlador (por exemplo, através de contagem dos pulsos recebidos a cada 10 unidades de tempo equivalentes ao período de contagem do módulo de controle de sincronização 270).

[075] Uma aplicação preferida da célula de entrada 240 é exibida na figura 5. A célula contém um comparador 235, por exemplo, o LM2901, da Texas Instruments. A entrada 1 do comparador 235 é conectada à rede de saída do gerador de sinal de sincronização 250. A entrada 2 do comparador 235 é conectada ao pino de entrada 210 do controlador 230. A saída 3 do comparador 235 é, na verdade, a saída da célula de entrada 240 e deve ser conectada à entrada de um módulo de aquisição de sinal 260 da unidade digital configurável 200. Resistores 215 são opcionais e destinados a influenciar a entrada do comparador caso um sensor tipo interruptor ou saída aberta de coletor for utilizado. Estes resistores devem possuir resistência relativamente elevada (dezenas ou centenas de kOhms) para eliminar sua influência no sensor. Para suportar a presente aplicação da célula de entrada 240, o módulo de sincronização 270 deve ser configurado como o contador descrito acima. Os dados de referência 290 e os dados sincronizados 275 do contador são iguais neste caso. Além disso, para suportar a presente aplicação da célula de entrada 240, o gerador de sinal de sincronização 250 deve ser implementado, por exemplo, como um conversor digital-analógico.

[076] Enquanto o controlador estiver energizado, o comparador 235 da célula de entrada de aquisição de sinal 240 compara a tensão Vsync com formato de

dente de serra oriunda da saída do gerador de sinal de sincronização 250 através da rede 255, com o sinal Vinp do detector periférico, conectado através do pino de entrada 210 do controlador 230 à entrada positiva do comparador 235. O resultado da comparação é o sinal de saída Vcell da célula de entrada 240.

[077] A flexibilidade do dispositivo controlador do presente pedido de patente de invenção será explicada pela descrição de sua funcionalidade com diferentes tipos exemplares de detectores periféricos.

#### EXEMPLO 1 - FUNCIONALIDADE DO CONTROLADOR COM SENSORES ANALÓGICOS DE SAÍDA

[078] A figura 6 mostra diagramas de sincronismo temporal da célula de entrada 240 da figura 5 (linhas 1, 2, 3) e do módulo de aquisição de sinal 260 (linhas 4, 5) para aquisição de sinal analógico, p.ex., sensores de pressão, nos quais a tensão de saída varia de acordo com a pressão testada.

[079] Neste caso, o sinal analógico de entrada Vinp (linha 2) é comparado pelo comparador 235 da célula de entrada 240 com a tensão de sincronização com formato de dente de serra Vsync (linha 1). Quando o sinal Vinp é maior que Vsync, a tensão de saída Vcell do comparador 235 (linha 3) é alta; do contrário, é baixa. O sinal Vcell entra no bloco de aquisição de sinal 260 através da rede 220.

[080] A figura 7 é um diagrama de blocos do bloco de aquisição de sinal 260 configurado para aquisição de sinal analógico. O bloco consiste no bloco de detecção de borda de descida 500 e do registro de dados 510. O bloco de

detecção de borda de descida 500 gera um pulso longo V latch do relógio do sistema toda vez que o sinal Vcell, oriundo da célula de entrada 240 em direção à entrada 1 do bloco de aquisição de sinal 260, altera seu valor de alto para baixo. Este pulso permite a retenção dos dados de referência 290, recebidos da segunda entrada do bloco de aquisição de sinal 260, no registro de dados 510. De acordo com a equação do comparador ( $V_{sync} = V_{inp}$ ), os dados retidos possuem valor igual à tensão de saída do sensor analógico a ser medida. Estes dados retidos aparecem na saída 3 do módulo de aquisição de sinal 260 e podem ser utilizados como valor de sinal de entrada para fins de controlador.

#### EXEMPLO 2 - FUNCIONALIDADE DO CONTROLADOR COM INTERRUPTORES ÓPTICOS COM RANHURAS E SAÍDA DE TOTEM OU POSTE

[081] A figura 8 é um diagrama de blocos da aplicação do bloco de aquisição de sinal 260 para fins de sensores de saída de totem ou poste, p.ex., OPTEC OPB900W tipo lacuna ampla.

[082] A configuração do módulo de aquisição de sinal 260 destinado a suportar os interruptores de Saída de Totem ou Poste compreende um gerador de frequência de limite 550, conectado com sua entrada ao barramento de dados de referência 290 enviados à segunda entrada do módulo 260, e conectados à sua saída (sinal Vthr\_freq) à primeira entrada da porta AND 560. A segunda entrada da porta AND 560 recebe o Vcell de saída da célula de entrada 240 através da entrada 1 do módulo 260. O sinal de saída da porta AND (Vand\_gate) é conectado ao RESET da entrada do contador 570. O bit mais significativo (Qn) da saída do contador é invertido pelo inversor 580 e conectado à entrada Chip Enable (CE) do

contador 570 e à saída 3 do módulo de aquisição de sinal 260.

[083] A figura 9 mostra os diagramas de sincronismo temporal que descrevem a aquisição de sinal dos sensores de totem e poste. O sinal Vcell (curva 3), gerado pela célula de entrada é resultado de uma comparação entre uma tensão Vsync com formato de dente de serra (curva 1) e o sinal de entrada Vinp oriundo do interruptor de Saída de Totem ou poste (curva 2). O sinal Vcell é aceito pela primeira entrada da porta AND 560 do bloco de aquisição de sinal 260. A segunda entrada da porta AND recebe o sinal de frequência de limite Vthr\_freq, gerado a partir de DATA pelo gerador de frequência de limite 550. Este módulo gera a frequência com o período igual ao ciclo de contagem de dados do módulo de sincronização 270 (de zero até o valor máximo). O ciclo de trabalho desta frequência deve ser predeterminado, de acordo com o limite desejado, para determinação do nível lógico de sinal de entrada. A curva 4 mostra a frequência de limite com ciclo de trabalho igual a 50%.

[084] Isto significa que o sinal de frequência de limite será alto apenas quando o valor de referência da tensão de dente de serra for maior que metade de seu valor máximo.

[085] A porta AND 560, neste caso, faz a função de detector, que detecta a ultrapassagem pelo sinal de entrada do valor de 50% da tensão máxima de Vsync. Cada vez que Vcell for alto e Vthr\_freq for alto, a saída da porta AND (curva 5) também será alta, indicando assim que Vinp está acima do valor de limite predeterminado (neste exemplo, 50% do máximo de Vsync).

[086] Enquanto o Vand\_gate for baixo, o contador 570 contará até que o bit mais significativo fique alto. Neste momento, o inversor 580 bloqueará o contador pelo nível lógico baixo em sua saída e o contador permanecerá nesta condição. Enquanto Vinp estiver acima do limite predeterminado 15, o reinício ocorrerá e os pulsos da saída da porta AND reiniciarão o contador e seu bit mais significativo (MSB|most significant bit) será baixo. O valor do MSB invertido mostra a situação do sensor (curva 6).

[087] Outra aplicação (não exibida) do bloco de aquisição de sinal 260, fornecendo histerese, pode também ser implementada.

EXEMPLO 3 - FUNCIONALIDADE DO CONTROLADOR COM SENSORES DE PROXIMIDADE (P.EX., INTERRUPTOR MAGNETICAMENTE OPERADO NORGREN TIPO QM/34) COM INDICADOR DE LED EMBUTIDO

[088] A arquitetura do bloco de aquisição de sinal 260 deve ser a mesma que a exibida na figura 8, mas o gerador da frequência de limite 550 deve ser ligeiramente alterado. Os diagramas de sincronismo temporal, que descrevem a funcionalidade do bloco de aquisição de sinal 260 destinados a sensores de proximidade com sinalização de LED são mostrados na figura 10.

[089] O sinal Vinp do sensor de proximidade (curva 2) possui valor maior de seu estado lógico baixo que o descrito no exemplo anterior para sensor de saída de totem ou poste (figura 9, curva 2). Isto significa que a melhor aquisição do sensor de proximidade será em limite maior, por exemplo, 70% do valor máximo de Vsync, em vez de 50% no exemplo anterior. Conforme foi exibido, o ciclo de trabalho

de Vthr\_freq define o limite para geração da situação do sinal de entrada (Alto ou baixo). Logo, para aumentar o limite, o gerador de frequência de limite 550 deve ser configurado de modo que Vthr\_freq (curva 4) seja baixo, enquanto Vsync (curva 1) é menor que 70% de seu valor máximo e Vthr\_freq deve ser alto enquanto Vsync for maior que 70% de seu valor máximo. Em outras palavras, Vthr\_freq terá 30% (100% - 70%) de ciclo de trabalho, que é um limite ideal para aquisição de sinal de entrada. A lógica de geração de sinal para Vand\_gate (curva 5) e Vstatus (curva 6) é a mesma do exemplo anterior.

[090] A flexibilidade do controlador para controle de diferentes tipos de carga é fornecida (figura 3) através da configuração dos módulos de lógica de controle de saída configuráveis 280 e conexão a uma quantidade predeterminada de drivers de baixa potência 360 e alta potência 350. Cada driver é controlado pelos módulos de lógica de controle de saída configuráveis 280 da unidade digital configurável 200 e conectados por suas saídas (HD\_OUT ou LD\_OUT), respectivamente, a um pino de saída 380 do controlador 230. Cada driver de alta potência 350 consiste em uma unidade de controle de interruptor de alta potência 310 e um interruptor de energia de alta potência 320; cada driver de baixa potência 360 consiste em uma unidade de controle de interruptor de baixa potência 330 e um interruptor de energia de baixa potência 340. As aplicações de drivers de alta potência e inferior para cargas específicas são conhecidas. A novidade de seus usos no controlador do presente pedido de patente de invenção reside no fato de que, para alcançar a flexibilidade do controlador,

os blocos específicos de controle de saída configuráveis 280 são configurados na lógica configurável da unidade digital 200 para controle das cargas predeterminadas. Os drivers 350 e 360 podem ser agrupados em diferentes combinações. Cada combinação de drivers adequados para controle de uma carga específica é suportada pela configuração do módulo de lógica de controle de saída configurável 280, destinado ao controle do grupo mencionado.

[091] Os exemplos de controle de diferentes tipos de carga, tais como DC [direct current | corrente direta], AC [alternate current|corrente alternada] e motor de passo, além de válvulas, solenoide e relé, e a habilidade de aumentar a capacidade de corrente do controlador são mostrados nas Figs. 11, 12 e 13.

#### EXEMPLO 4 - FUNCIONALIDADE DO CONTROLADOR COM CARGAS DE SOLENOIDE, RELÉ OU LÂMPADAS

[092] A figura 11 é um diagrama de blocos de uma aplicação preferida do controlador, acionando diferentes cargas, tais como solenoide, relé, lâmpada e etc.

[093] Para controlar cargas independentemente da conexão do segundo pino da carga (figura 11A), o presente controlador fornece uma configuração de módulo de lógica de controle de saída configurável 280 para dois drivers 350 e 360, conectada ao segundo pino da carga. Quando a carga 390 é conectada ao terminal de aterramento (linha sólida), o módulo de lógica de controle de saída configurável 280 realiza o controle através do driver de alta potência 350 com o driver de baixa potência em estado desligado. De forma similar, se a carga 390 estiver conectada para energizar o terminal Vdd (linha tracejada), o módulo de

lógica de controle de saída configurável 280 realiza o controle através do driver de baixa potência 360 com o driver de alta potência em estado desligado.

[094] Uma carga pode também ser controlada por um único driver de alta potência ou um driver de baixa potência, dependendo da segunda conexão do terminal da carga (figura 11B). Quando for um terminal de aterramento 25, o controle deve ser fornecido pelo driver de alta potência e quando for um terminal de energia, o controle deve ser fornecido pelo driver de baixa potência. Cada um dos canais de controle deve ter seu próprio módulo de controle configurável 280.

[095] O controle seguro de carga fornecido por duas fontes independentes (por exemplo, a fonte de controle e a fonte de permissão de condição) é mostrado na figura 11C. Neste caso, a carga 390 é conectada entre as saídas do driver de alta potência 350 e do driver de baixa potência 360. A arquitetura de controle de segurança é suportada pela configuração de dois módulos de lógica de controle de saída configuráveis conectados aos drivers de alta potência e drivers de baixa potência, respectivamente, e controlados por duas fontes independentes de sinal através da lógica configurável da unidade digital 200.

[096] O aumento da capacidade de corrente do controlador pode ser alcançado através da conexão da carga de alta corrente a mais de uma saída do controlador. Por exemplo, para aumentar a capacidade de corrente da saída do controlador por um fator de dois, a carga conectada à terra é controlada por dois drivers de alta potência 350 (figura 11D). Este controle é fornecido pela configuração do módulo

de lógica de controle de saída configurável 280, responsável pelo controle simultâneo dos dois drivers de alta potência.

#### EXEMPLO 5 - FUNCIONALIDADE DO CONTROLADOR COM MOTORES DC E AC.

[097] A aplicação preferida de controle de motor AC e DC é mostrada na figura 12. O motor DC 50 é conectado entre conexões comuns de drivers de alta potência 350 e baixa potência 360. Os quatro drivers configurados neste exemplo formam um circuito de acionamento de ponte. O controle do motor é fornecido pela configuração do módulo de controle 280 correspondente com todas as suas funções lógicas voltadas para o suporte aos circuitos de controle de ponte. A configuração da figura 12 pode também ser utilizada para acionamento de motores AC, fornecendo controle PWM ao circuito de ponte e, desta forma, obtendo AC na saída de ponte.

#### EXEMPLO 6 - FUNCIONALIDADE DO CONTROLADOR COM MOTORES DE PASSO.

[098] A aplicação preferida de controle de motor de passo é mostrada na figura 13. Cada bobinagem de motor de passo 55 é conectada à saída de um circuito de acionamento de ponte, conforme descrito acima. A sincronização da corrente e lógica de bobinagem do motor de passo necessária para controle do motor de passo é realizada pelo módulo de lógica de saída 280, configurado para este fim, que é conectado por suas saídas, respectivamente, aos drivers de baixa potência 350 e alta potência 360.

[099] Resumindo os exemplos de 4 a 6, pode-se perceber que, por meio da configuração dos módulos de lógica de controle de saída configuráveis 280, juntamente

com a capacidade de combinar drivers de alta potência e baixa potência e conectá-los às cargas, o presente pedido de patente de invenção fornece um controlador universal e flexível, adaptável a diferentes ambientes de máquina. Alguns deles são:

- Controle separado de cargas dependentes de conexão de cargas;
- Controle separado de cargas independente de conexão de cargas;
- Conexão segura de cargas por dois canais independentes;
- Controle de motores de passo, DC e AC;
- Aumento da capacidade de corrente para aplicações de cargas de alta corrente, p.ex., solenoides, relés, motores, etc.

#### EXEMPLO 7 - RETORNOS NA FUNCIONALIDADE DO CONTROLADOR

[100] A aplicação preferida do controlador 230, utilizando células de entrada 240 para fornecer retorno de corrente e tensão é mostrada na figura 14.

[101] O sinal proporcional à corrente do driver de alta potência 350 é medida pela célula de entrada 240a e pelo bloco de aquisição de sinal 260a. Os dados de medição podem ser utilizados, por exemplo, para fornecer proteção contra curto-circuito do driver e sua carga. Em outras palavras, a lógica de controle 370 forçará o módulo de lógica de controle de saída configurável 280a a um estado desligado, caso o valor medido de corrente seja maior que um valor predeterminado contido na lógica de controle 370, realizando, desta forma, a proteção de curto-circuito. A célula de entrada pode também ser conectada a qualquer driver de baixa potência para medir a corrente (de carga) dos drivers. A proteção de curto-circuito funcionará da mesma

forma, conforme descrito para a proteção de corrente do driver de alta potência.

[102] Outro tipo de retorno é implementado através da célula de entrada 240b conectada por sua entrada 1 à saída do driver de baixa potência 360. Neste caso, o retorno pode ser utilizado para detectar conexão ou desconexão de carga. Caso a carga seja conectada ao driver de baixa potência e o driver estiver em estado desligado, então, o potencial de tensão de alimentação de carga aparecerá no pino de saída 380b do controlador 230 e na saída do driver de baixa potência 360, respectivamente. Este alto valor pode ser detectado pela célula de entrada 240b e pelo bloco de aquisição de sinal 260b. A detecção do valor de alta tensão na saída do driver de baixa potência significa que a carga está conectada ao driver. Quando a carga está desconectada, a saída do driver de baixa potência terá um valor baixo e a detecção deste valor indicará a desconexão da carga. Esta conexão pode ser também utilizada para confirmação de comutação do driver de baixa potência. Os mesmos objetivos podem ser atingidos através da conexão da célula de entrada à saída do driver de alta potência.

[103] Será apreciado por especialistas na técnica que o presente pedido de patente de invenção não é limitado, em particular, ao que foi mostrado e descrito no presente documento. Mais propriamente, o escopo do presente pedido de patente de invenção é definido pelas reivindicações anexas e inclui combinações e subcombinações dos diversos recursos descritos acima no presente documento, assim como suas variações e modificações que ocorreriam àqueles especialistas na técnica mediante leitura da descrição

precedente.

#### Legenda das Figuras

##### Figura 1

70: FILTRO A;  
80: RESISTOR PULL-UP;  
90: DIVISOR DE TENSÃO;  
100: MUX;  
110: FILTRO C;  
130: BUFFER;  
140: BUFFER;  
150: FILTRO B;  
160: BUFFER;  
170: ADC;  
180: REFERÊNCIA;  
190: COMPARADOR; e  
200: UNIDADE DIGITAL.

##### Figura 2

115: DRIVER DE MOTOR DC;  
120: CONTROLADOR DE MOTOR DE PASSO;  
145: DRIVER DE PONTE DUPLA; e  
200: UNIDADE DIGITAL.

##### Figura 3

250: GERADOR DE SINAL DE SINCRONIZAÇÃO;  
240: CÉLULA DE ENTRADA 1, CÉLULA DE ENTRADA 2 e CÉLULA DE ENTRADA N;  
210: ENTRADA 1, ENTRADA 2 e ENTRADA;  
270: MÓDULO DE CONTROLE DE SINCRONIZAÇÃO;  
260: MÓDULO DE AQUISIÇÃO DE SINAL 1, MÓDULO DE AQUISIÇÃO DE SINAL 2 e MÓDULO DE AQUISIÇÃO DE SINAL N;  
370: LÓGICA DE CONTROLE;

280: MÓDULOS DE LÓGICA DE CONTROLE DE SAÍDA;  
 310: CONTROLE DE INTERRUPTOR;  
 330: CONTROLE DE INTERRUPTOR;  
 3.1: HD\_SAÍDA  $1 \cdot I$   
 3.2: HD\_SAÍDA N;  
 3.3: LD\_SAÍDA 1; e  
 3.4: LD\_SAÍDA N.

Figura 4

210: PINO DE ENTRADA;  
 240: CÉLULA DE ENTRADA  
 4.1: REINÍCIO;  
 4.2: Vin;  
 4.3: Vout;  
 4.4: Vinp;  
 4.5: Vsync;  
 4.6: Vcell; e  
 4.7: Vcc.

Figura 5

210: PINO DE ENTRADA;  
 240: CÉLULA DE ENTRADA  
 5.1: Vcc;  
 5.2: Vinp;  
 5.3: Vsync; e  
 5.4: Vcell.

Figura 6

6.1: Vsync; e  
 2S 6.2: Vinp.

Figura 7

7.1: DADOS DE REFERÊNCIA;  
 7.2: Vcell;

7.3: Vsys\_clk;  
 7.4: Vlatck;  
 7.5: VALOR DE FECHAMENTO;  
 7.6: BLOCO DE DETECÇÃO DE BORDA DE DESCIDA;  
 7.7: CLK;  
 7.8: D (n);  
 7.9: Q (n);  
 7.10: REGISTRO DE DADOS; e  
 7.11: CE.

#### Figura 8

8.1: DADOS DE REFERÊNCIA;  
 8.2: Vcell;  
 8.3: GERADOR DE FREQUÊNCIA LIMITE;  
 8.4: Vthr\_freq;  
 8.5: Vand\_gate;  
 8.6: RELÓGIO DO SISTEMA;  
 8.7: CONTADOR;  
 8.8: CE;  
 8.9: R;  
 8.10: CLK; e  
 8.11: STATUS.

#### Figura 9

9.1: Vsync; e  
 9.2: Vinp.

#### Figura 10

10.1: Vsync; e  
 10.2: Vinp.

#### Figura 11

280: MÓDULO DE LÓGICA DE CONTROLE DE SAÍDA;  
 350: DRIVER DE ALTA POTÊNCIA;

360: DRIVER DE BAIXA POTÊNCIA;

390: CARGA;

11.1: Vdd; e

11.2: GND.

Figura 12

280: MÓDULO DE LÓGICA DE CONTROLE DE SAÍDA;

350: DRIVER DE ALTA POTÊNCIA;

360: DRIVER DE BAIXA POTÊNCIA;

12.1: HD\_SAÍDA 1;

12.2: LD\_SAÍDA 1;

12.3: HD\_OUT 2; e

12.4: LD\_OUT 2.

Figura 13

280: MÓDULO DE LÓGICA DE CONTROLE DE SAÍDA;

350: DRIVER DE ALTA POTÊNCIA;

360: DRIVER DE BAIXA POTÊNCIA;

13.1: HD\_SAÍDA 1; e

13 .2: LD\_SAÍDA 1.

Figura 14

370: LÓGICA DE CONTROLE;

280a: MÓDULO DE LÓGICA DE CONTROLE DE SAÍDA;

260a: AQUISIÇÃO DE SINAL;

350: DRIVER DE ALTA POTÊNCIA;

240a: CÉLULA DE ENTRADA;

250: GERADOR DE SINAL DE SINCRONIZAÇÃO;

270: MÓDULO DE CONTROLE DE SINCRONIZAÇÃO;

240b: CÉLULA DE ENTRADA;

280b: MÓDULO DE LÓGICA DE CONTROLE DE SAÍDA; e

360: DRIVER DE BAIXA POTÊNCIA.

### REIVINDICAÇÕES

1. "CONTROLADOR CONFIGURÁVEL", caracterizado por compreender: um módulo de controle de sincronização (270); uma pluralidade de módulos de aquisição de sinal (260) configurável conectada ao módulo de controle de sincronização (270); uma lógica de controle (370) conectada à pluralidade de módulos de aquisição de sinal (260) configurável; uma pluralidade de células de entrada idênticas (240) respectivamente conectada à pluralidade de módulos de aquisição de sinal (260) configurável, cada uma dentre a pluralidade de células de entrada idênticas sendo, ainda, conectada a um pino de entrada (210) respectivo do controlador (230) configurável; e um gerador de sinal de sincronização (250) conectado ao módulo de controle de sincronização (270) e à pluralidade de células de entrada idênticas, em que cada uma dentre a pluralidade de células de entrada idênticas é capaz de converter parâmetros do sinal de entrada em parâmetros com base no tempo; e em que cada um dos módulos de aquisição de sinal (260) configurável é configurado para converter os parâmetros com base no tempo em uma forma digital requerida.

2. "CONTROLADOR CONFIGURÁVEL", de acordo com a reivindicação 1, caracterizado por cada uma dentre a pluralidade de células de entrada idênticas compreender um comparador (235), o comparador (235) adaptado para receber um sinal de entrada do pino de entrada (210) respectivo do controlador (230) configurável, e um sinal de sincronização do gerador de sinal de sincronização (250) e para emitir um sinal.

3. "CONTROLADOR CONFIGURÁVEL", de acordo com

a reivindicação 2, caracterizado por o sinal de sincronização compreender um formato de dentes de serra.

4. "CONTROLADOR CONFIGURÁVEL", de acordo com a reivindicação 1, caracterizado por compreender, ainda: uma pluralidade de módulos de lógica de controle de saída configuráveis (280) conectada à lógica de controle (370), e uma pluralidade de drivers de saída de alta potência (350) e drivers de saída de baixa potência (360) conectada aos módulos de lógica de controle de saída configuráveis (280), a pluralidade de drivers de saída de alta potência (350) e drivers de saída de baixa potência (360) sendo, ainda, conectada a uma pluralidade de pinos de saída do controlador (230) configurável.

5. "CONTROLADOR CONFIGURÁVEL", de acordo com a reivindicação 4, caracterizado por pelo menos, uma dentre a pluralidade de módulos de lógica de controle de saída configuráveis (280) ser conectada a um par de drivers de saída de alta potência (350) e drivers de saída de baixa potência (360) da pluralidade de drivers de saída de alta potência (350) e drivers de saída de baixa potência (360), um par de drivers de saída de alta potência (350) e drivers de saída de baixa potência (360) sendo conectado através dos pinos de saída respectivos do controlador (230) configurável a um lado de uma carga, em que a pluralidade de módulos de lógica de controle de saída configuráveis é configurada para acionar apenas um dentre o driver de saída de alta potência (350) e o driver de saída de baixa potência (360) a partir de um par de drivers de saída de alta potência (350) e drivers de saída de baixa potência (360), dependendo de uma segunda conexão lateral da carga.

6. "CONTROLADOR CONFIGURÁVEL", de acordo com a reivindicação 4, caracterizado por pelo menos, uma dentre a pluralidade de módulos de lógica de controle de saída configuráveis ser conectada a um dos drivers de baixa potência (360) ou a um dos drivers de alta potência (350) da pluralidade de drivers de saída de alta potência (350) e drivers de saída de baixa potência (360), um dos drivers de baixa potência (360) ou um dos drivers de alta potência (350) sendo conectado através de um pino de saída (380) respectivo do controlador (230) configurável a uma carga, em que a pluralidade de módulos de lógica de controle de saída configuráveis é configurada para acionar um dos drivers de baixa potência (360) ou um dos drivers de alta potência (350).

7. "CONTROLADOR CONFIGURÁVEL", de acordo com a reivindicação 4, caracterizado por um primeiro módulo de lógica de controle de saída configurável e um segundo módulo de lógica de controle de saída configurável serem conectados respectivamente a um par de drivers de alta potência (350) e drivers de baixa potência (360) a partir da pluralidade de drivers de saída de alta potência (350) e drivers de saída de baixa potência (360), um par de drivers de alta potência (350) e drivers de baixa potência (360) sendo conectado a dois lados de uma carga através de dois pinos de saída respectivos do controlador configurável, em que o primeiro módulo de lógica de controle de saída configurável e o segundo módulo de lógica de controle de saída configurável são configurados para controlar um par de drivers de alta potência (350) e drivers de baixa potência (360) por duas fontes de sinal independentes.

8. "CONTROLADOR CONFIGURÁVEL", de acordo com a reivindicação 4, caracterizado por, pelo menos, uma dentre a pluralidade de módulos de lógica de controle de saída configuráveis ser conectada a dois drivers de alta potência (350) a partir da pluralidade de drivers de saída de alta potência (350) e drivers de saída de baixa potência (360), os dois drivers de alta potência (350) sendo conectados a um lado de uma carga através dos pinos de saída respectivos do controlador (230) configurável, em que a pluralidade de módulos de lógica de controle de saída configuráveis é configurada para simultaneamente controlar os dois drivers de alta potência (350).

9. "CONTROLADOR CONFIGURÁVEL", de acordo com a reivindicação 4, caracterizado por, pelo menos, um dos drivers de alta potência (350) ou um dos drivers de baixa potência (360) da pluralidade de drivers de saída de alta potência (350) e drivers de saída de baixa potência (360) ser conectado a uma das células de entrada.

10. "CONTROLADOR CONFIGURÁVEL", de acordo com a reivindicação 9, caracterizado por a célula de entrada (240) ser capaz de medir a corrente de, pelo menos, um dos drivers de alta potência (350) ou um dos drivers de baixa potência (360) da pluralidade de drivers de saída de alta potência (350) e drivers de saída de baixa potência (360).

11. "CONTROLADOR CONFIGURÁVEL", de acordo com a reivindicação 10, caracterizado por a célula de entrada (240) ser capaz de detectar a conectividade de, pelo menos, um dos drivers de alta potência (350) ou um dos drivers de baixa potência (360) da pluralidade de drivers de saída de alta potência (350) e de drivers de saída de baixa potência

(360).

12. "CONTROLADOR CONFIGURÁVEL", de acordo com a reivindicação 10, caracterizado por a célula de entrada (240) ser capaz de confirmar a comutação de, pelo menos, um dos drivers de alta potência (350) ou um dos drivers de baixa potência (360) da pluralidade de drivers de saída de alta potência (350) e drivers de saída de baixa potência (360).

13. "MÉTODO DE AQUISIÇÃO DE UMA PLURALIDADE DE SINAIS", caracterizado por, compreender as etapas de: (a) fornecimento de um módulo de controle de sincronização (270); (b) configuração de uma pluralidade de módulos de aquisição de sinal (260) configurável conectada ao módulo de controle de sincronização (270); (c) fornecimento de uma lógica de controle conectada à pluralidade de módulos de aquisição de sinal (260) configurável; (d) fornecimento de uma pluralidade de células de entrada idênticas respectivamente conectada à pluralidade de módulos de aquisição de sinal (260) configurável; (e) fornecimento de um gerador de sinal de sincronização (250) conectado ao módulo de controle de sincronização (270) e à pluralidade de células de entrada idênticas; (f) aquisição de uma pluralidade de sinais de entrada, cada uma dentre a pluralidade de sinais de entrada sendo adquirida por uma da pluralidade de células de entrada idênticas; (g) conversão da pluralidade de sinais de entrada em uma pluralidade de parâmetros com base no tempo; e (h) conversão da pluralidade de parâmetros com base no tempo em formas digitais requeridas.

14. "MÉTODO", de acordo com a reivindicação 13, caracterizado por a etapa (g) (g1) receber um sinal de sincronização do gerador de sinal de sincronização (250); e

(g2) comparar a pluralidade de sinal de entrada com o sinal de sincronização.

15. "MÉTODO", de acordo com a reivindicação 14, caracterizado por o sinal de sincronização compreender um formato de dentes de serra.

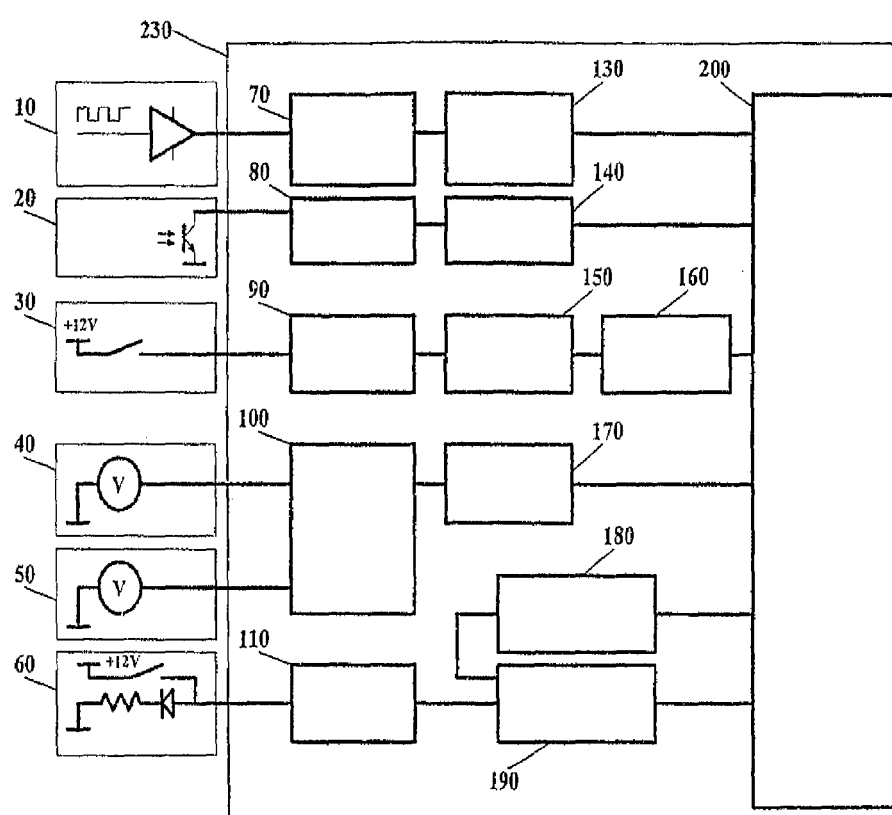


FIG.1

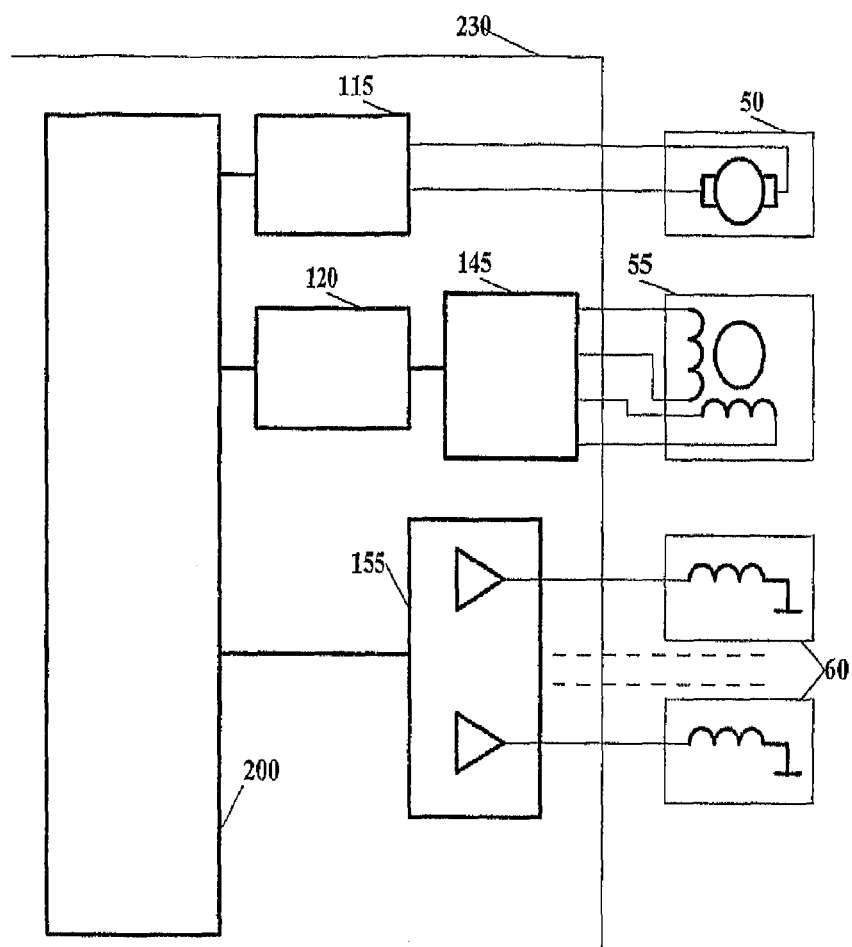


FIG. 2

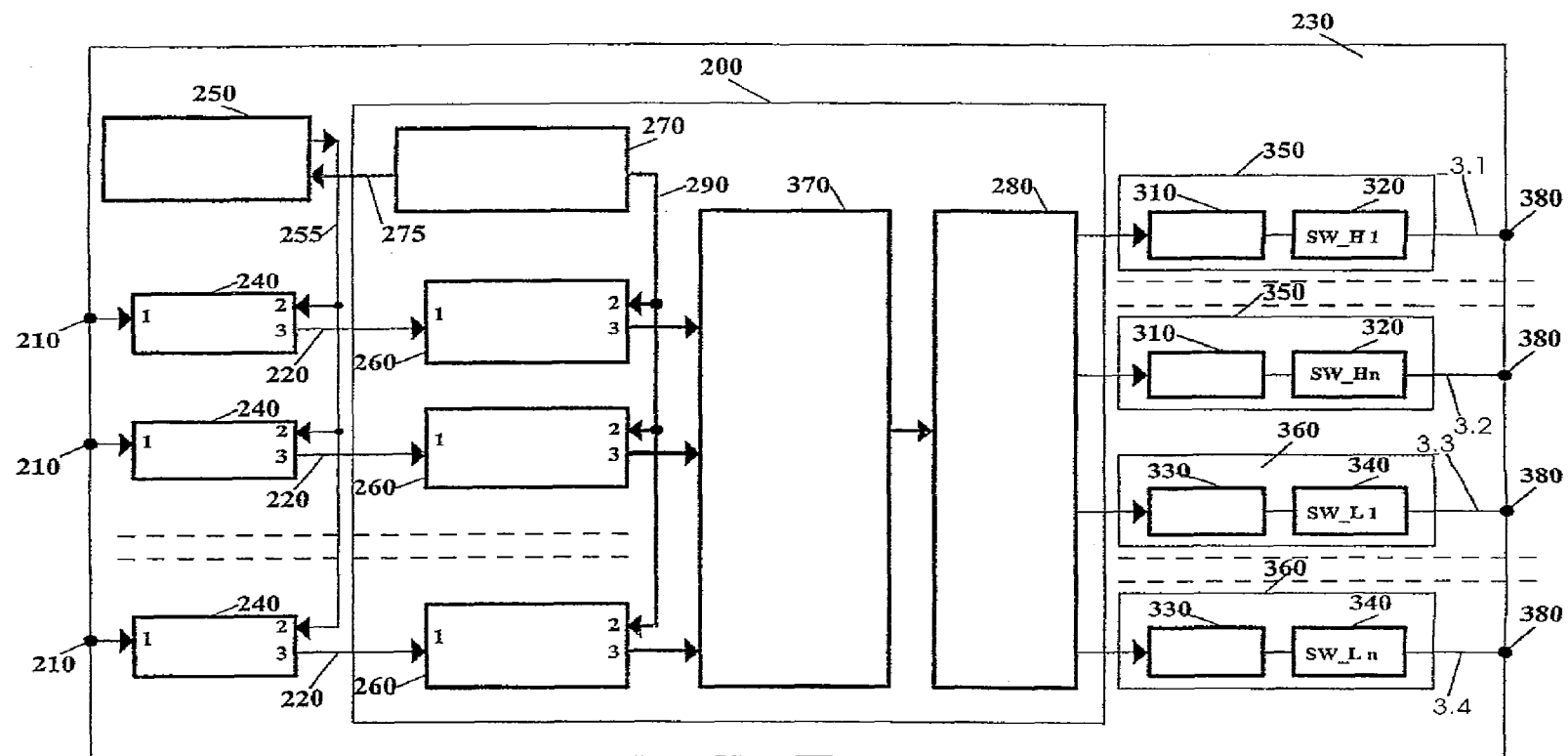


FIG.3

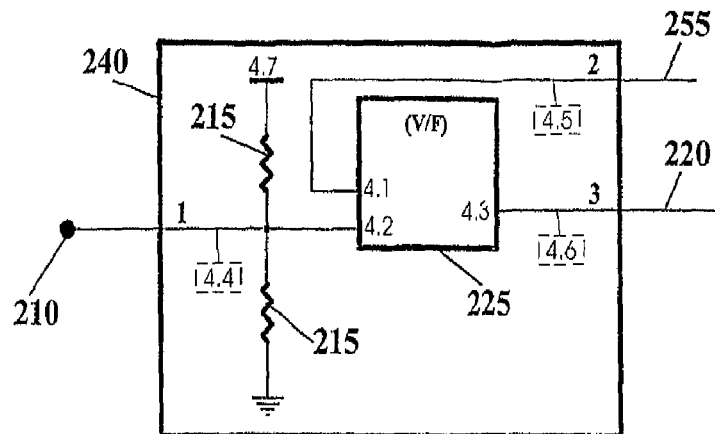


FIG. 4

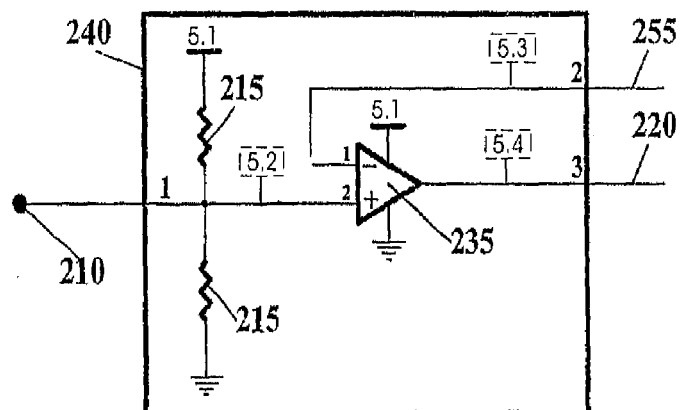


FIG. 5



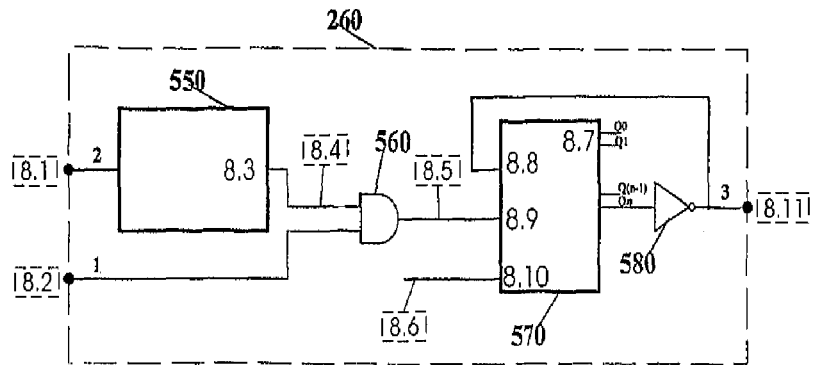


FIG.8

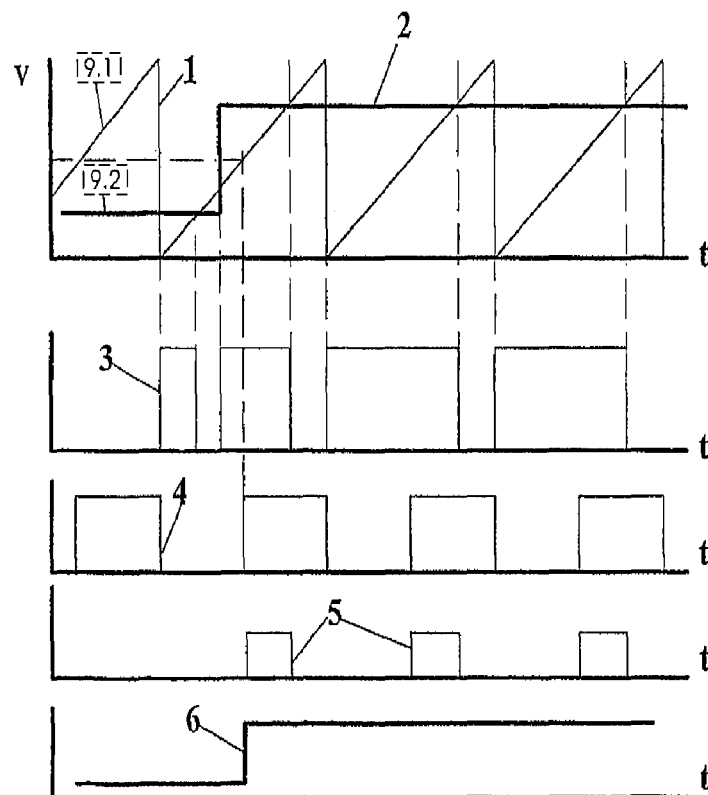


FIG.9

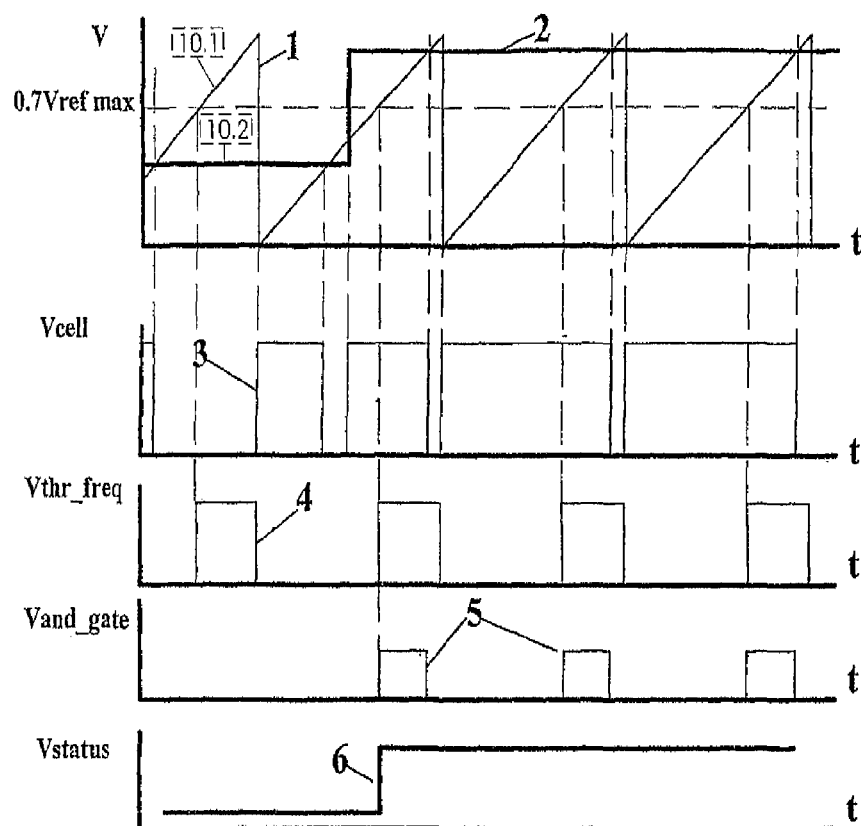


FIG.10

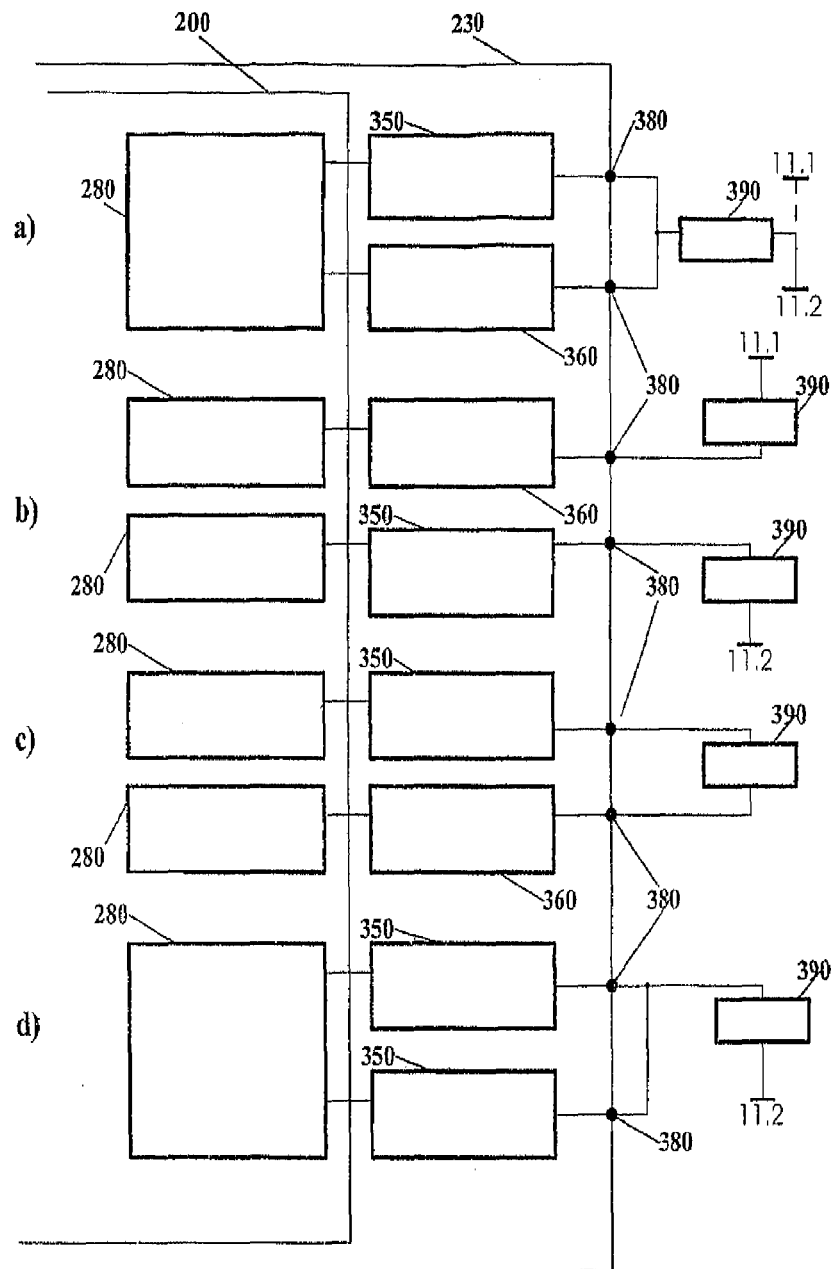


FIG.11

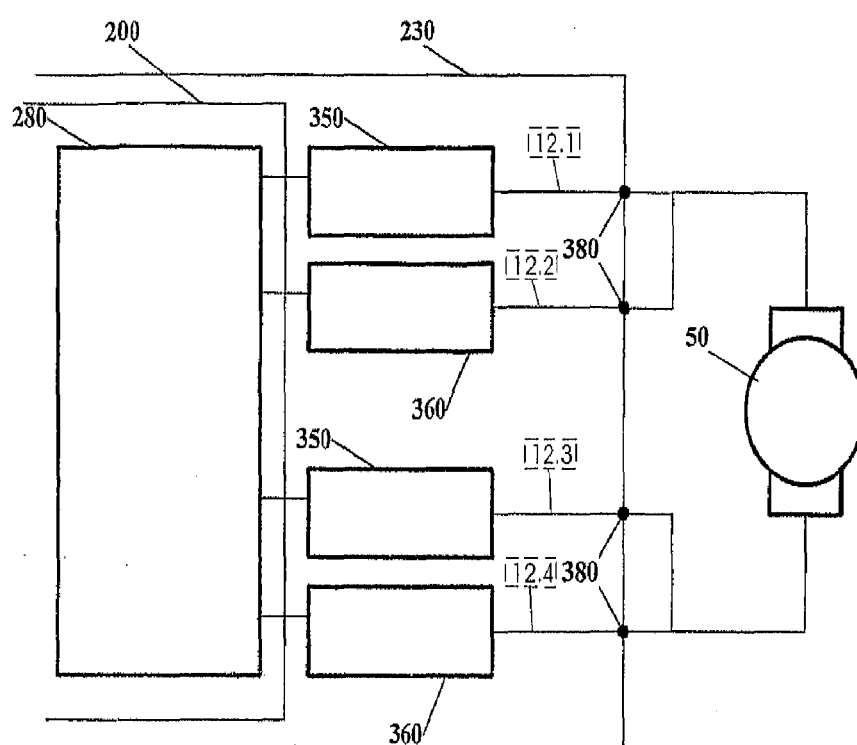


FIG.12

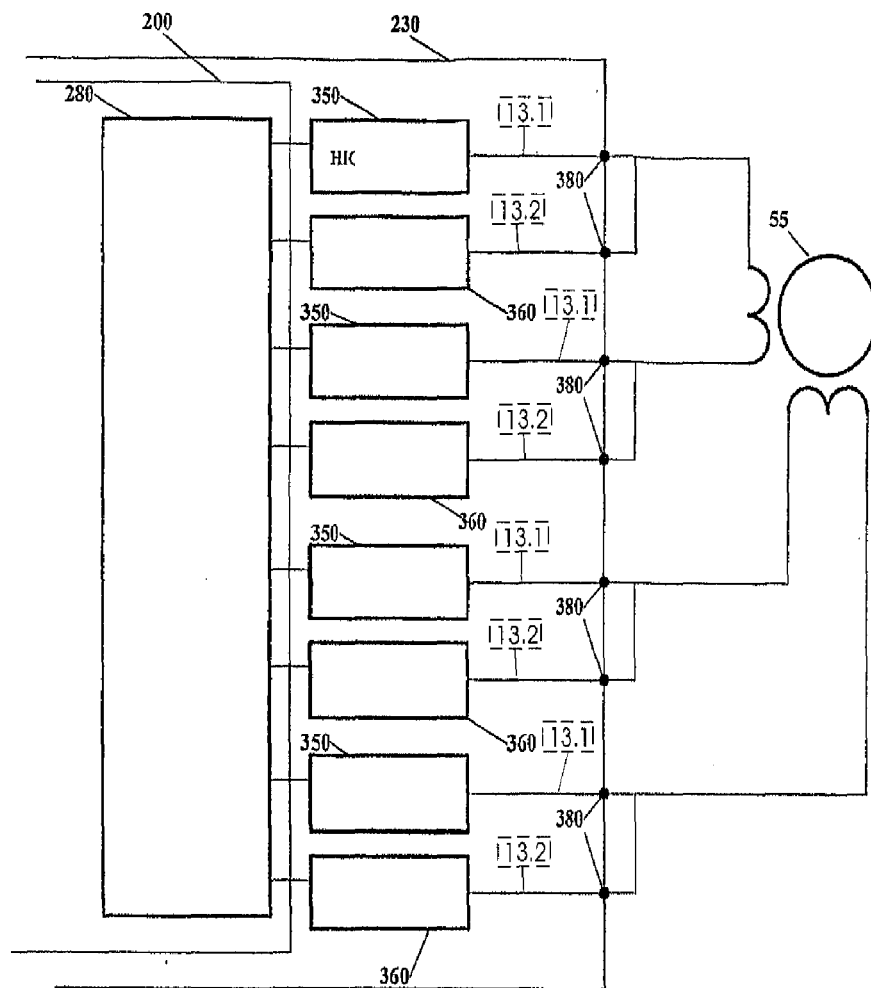


FIG.13

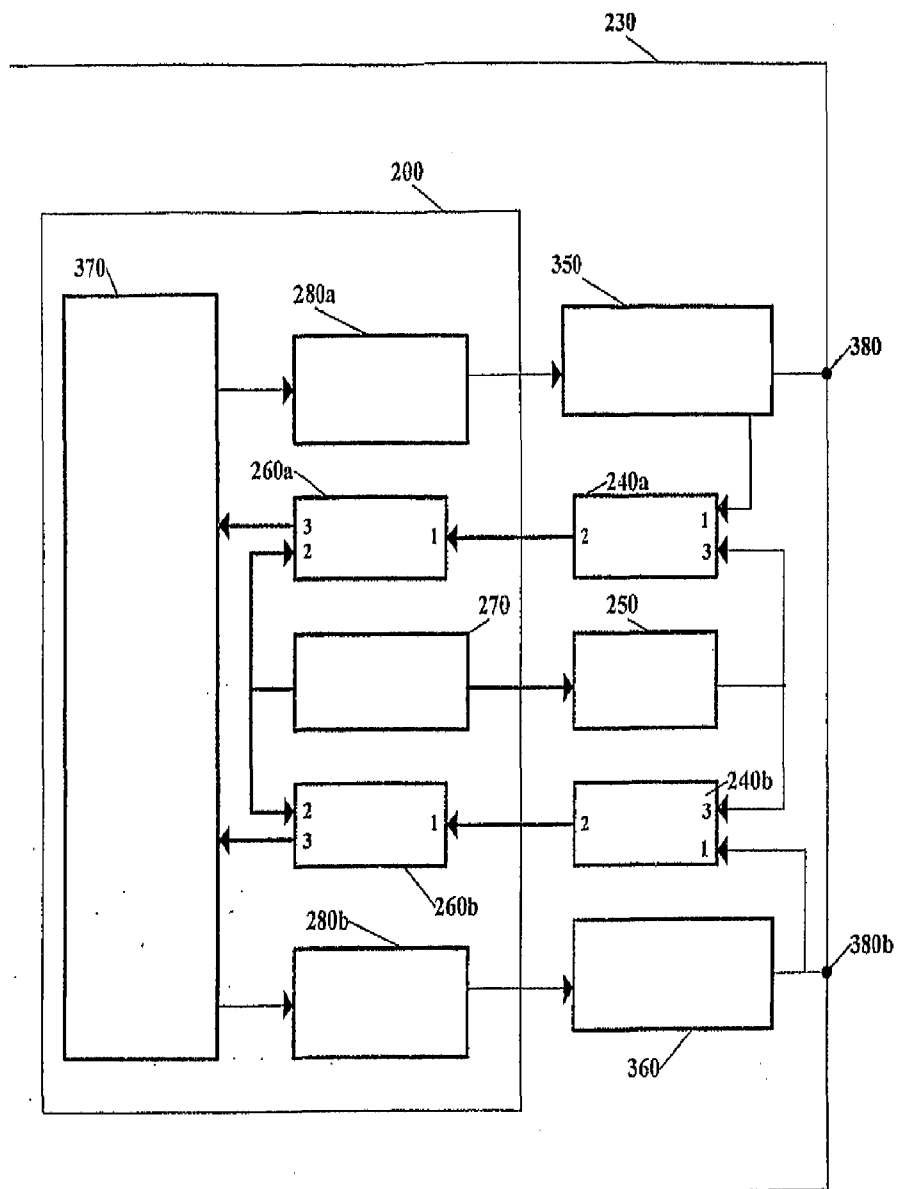


FIG. 14