



(12) 发明专利申请

(10) 申请公布号 CN 105190896 A

(43) 申请公布日 2015. 12. 23

(21) 申请号 201480024429. 2

(51) Int. Cl.

(22) 申请日 2014. 05. 05

H01L 29/778(2006. 01)

(30) 优先权数据

13/886, 688 2013. 05. 03 US

(85) PCT国际申请进入国家阶段日

2015. 10. 30

(86) PCT国际申请的申请数据

PCT/US2014/036838 2014. 05. 05

(87) PCT国际申请的公布数据

W02014/179808 EN 2014. 11. 06

(71) 申请人 德克萨斯仪器股份有限公司

地址 美国德克萨斯州

(72) 发明人 N·蒂皮兰尼 S·彭德哈卡尔

J·约翰

(74) 专利代理机构 北京纪凯知识产权代理有限

公司 11245

代理人 赵蓉民 赵志刚

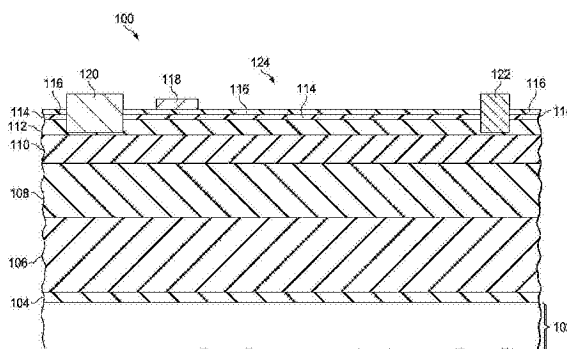
权利要求书2页 说明书5页 附图4页

(54) 发明名称

RESURF III-N 高电子迁移率晶体管

(57) 摘要

本发明涉及一种包括 GaN FET(124) 的半导体装置 (100), 在阻挡层 (112) 下面的低缺陷层 (110) 以及电隔离层 (108) 中的至少一个 III-N 半导体层中, 所述半导体装置 (100) 具有 n 型掺杂质。所述 n 型掺杂的载流子面密度是二维电子气的载流子面密度的 1% 到 200%。



1. 一种半导体装置,其包括:
基底;
在所述基底上方形成的电隔离层,所述电隔离层主要包括氮化镓;
在所述电隔离层上方形成的低缺陷层,所述低缺陷层主要包括氮化镓;
在所述低缺陷层上形成的 III-N 半导体材料的阻挡层;以及
在所述阻挡层上方形成的氮化镓场效应晶体管即 GaN FET 的栅极;
其中所述电隔离层和所述低缺陷层中的至少一个包括添加的 n 型杂质以至于所述添加的 n 型杂质的载流子面密度为所述低缺陷层中的二维电子气的载流子面密度的 1% 到 200%,所述二维电子气通过所述低缺陷层上所述阻挡层的形成而生成。
2. 根据权利要求 1 所述的半导体装置,且包括在所述电隔离层和所述低缺陷层之间形成的 p 型氮化镓层,所述 p 型氮化镓层在所述 GaN FET 的源极触点下和所述栅极下延伸,所述 p 型氮化镓层的载流子面密度是所述低缺陷层的载流子面密度的 70% 到 140%。
3. 根据权利要求 2 所述的半导体装置,其中所述 p 型氮化镓层不在所述 GaN FET 的漏极触点下延伸。
4. 根据权利要求 2 所述的半导体装置,其中所述 p 型氮化镓层的 p 型杂质种类主要为镁。
5. 根据权利要求 2 所述的半导体装置,其中所述 GaN FET 的源极触点与所述 p 型氮化镓层电接触。
6. 根据权利要求 1 所述的半导体装置,其中所述电隔离层基本没有所述添加的 n 型杂质。
7. 根据权利要求 1 所述的半导体装置,其中所述低缺陷层基本没有所述添加的 n 型杂质。
8. 根据权利要求 1 所述的半导体装置,其中大部分所述添加的 n 型杂质的 n 型杂质种类从由硅和锗组成的组中选取。
9. 根据权利要求 1 所述的半导体装置,其中所述添加的 n 型杂质的 n 型杂质种类主要是碳。
10. 根据权利要求 1 所述的半导体装置,其中所述添加的 n 型杂质的所述载流子面密度是所述二维电子气的所述载流子面密度的 10% 到 200%。
11. 根据权利要求 1 所述的半导体装置,其中所述添加的 n 型杂质的平均掺杂密度为 $1 \times 10^{16} \text{cm}^{-3}$ 到 $1 \times 10^{17} \text{cm}^{-3}$ 。
12. 根据权利要求 1 所述的半导体装置,其中所述添加的 n 型杂质基本均匀分布。
13. 根据权利要求 1 所述的半导体装置,其中对所述添加的 n 型杂质分级以便在添加的 n 型杂质底部处的掺杂密度比所述添加的 n 型杂质顶部处的掺杂密度高。
14. 一种半导体装置,其包括:
基底;
在所述基底上方形成的 p 型氮化镓层;
在所述 p 型氮化镓层上方形成的低缺陷层,所述低缺陷层主要包括氮化镓;
在所述低缺陷层上形成的 III-N 半导体材料的阻挡层;以及
在所述阻挡层上方形成的氮化镓场效应晶体管即 GaN FET 的栅极;

其中：

所述低缺陷层包括添加的 n 型杂质以至于所述添加的 n 型杂质的载流子面密度是所述低缺陷层中的二维电子气的载流子面密度的 1% 到 200%，所述二维电子气通过所述低缺陷层上的所述阻挡层的形成生成；且

所述 p 型氮化镓层的载流子面密度是所述低缺陷层的所述载流子面密度的 70% 到 140%。

15. 根据权利要求 14 所述的半导体装置，其中所述 p 型氮化镓层的 p 型杂质种类主要是镁。

16. 根据权利要求 14 所述的半导体装置，其中所述 GaN FET 的源极触点与所述 p 型氮化镓层电接触。

17. 根据权利要求 14 所述的半导体装置，其中所述添加的 n 型杂质的 n 型杂质种类主要为硅。

18. 根据权利要求 14 所述的半导体装置，其中所述添加的 n 型杂质的 n 型杂质种类主要为碳。

19. 根据权利要求 14 所述的半导体装置，其中所述添加的 n 型杂质的平均掺杂密度为 $1 \times 10^{16} \text{cm}^{-3}$ 到 $1 \times 10^{17} \text{cm}^{-3}$ 。

20. 根据权利要求 14 所述的半导体装置，其中所述添加的 n 型杂质基本均匀分布。

RESURF III-N 高电子迁移率晶体管

技术领域

[0001] 本发明总体涉及半导体装置,且更具体地,涉及 RESURF III-N 高电子迁移率晶体管 (HEMT)。

背景技术

[0002] 氮化镓场效应晶体管 (GaN FET) 在二维电子气下面的半导体层中可具有陷阱,其在操作过程中引起不期望的不稳定性。

发明内容

[0003] 在形成 GaN FET 通道的二维电子气下面的至少一个 III-N 半导体层中,包括 GaN FET 的半导体装置具有 n 型掺杂剂。N 型掺杂的载流子面密度遮蔽二维电子气免受其下面的陷阱电荷和图像电荷。

附图说明

[0004] 图 1 至图 4 为包括 GaN FET 的示例性半导体装置的横截面图。

具体实施方式

[0005] 下列描述相关主题且在此以引用的方式并入:申请号 US 13/886,378;US 2014/0042452A1;申请号 US 13/886,429(与此同时提交对应的 PCT 申请 TI-71209W0);申请号 US 13/886,652(与此同时提交对应的 PCT 申请 TI-71492W0);申请号 US13/886,709;以及申请号 US 13/886,744(与此同时提交对应的 PCT 申请 TI-72605W0)。

[0006] 包括 GaN FET 的半导体装置在形成 GaN FET 通道的二维电子气下面的至少一个 III-N 半导体层中具有 n 型掺杂。n 型掺杂的载流子面密度遮蔽二维电子气免受其下面的陷阱电荷和图像电荷。

[0007] III-氮化物 (III-N) 半导体材料为这样的材料,其中族 III(硼族)元素(硼、铝、镓,铟)在半导体材料中提供一部分原子且氮原子提供剩余物。III-N 半导体材料的实例为氮化镓、硼氮化镓、铝氮化镓、氮化铟和铟铝氮化镓。III-N 材料可用可变下标书写以表示可能的化学计量学的范围。例如,铝氮化镓可写为 $Al_xGa_{1-x}N$,且铟铝氮化镓可写为 $In_xAl_yGa_{1-x-y}N$ 。GaN FET 为包括 III-N 半导体材料的场效应晶体管的实例。

[0008] 在一个实施例中,“载流子面密度”为用于感兴趣结构的每单位顶部表面积的自由载流子的净面密度(例如,每平方厘米的载流子)。在第一实例中,二维电子气的载流子面密度是生成二维电子气的阻挡层的顶部表面处一平方厘米下的二维电子气中的电子数量。在第二实例中,n 型掺杂层的载流子面密度为 n 型掺杂层的顶部表面处一平方厘米下的 n 型掺杂层的传导带中的电子数量。掺杂层的载流子面密度可通过沿垂直轴,垂直于掺杂层的顶部表面,从掺杂层的底部表面到顶部表面对掺杂密度积分(例如,每立方厘米的载流子)进行估计。

[0009] 降低的表面场 (RESURF) 区域对降低邻近半导体区域中的电场是有用的。在一个实例中, RESURF 区域为具有与邻接半导体区域的导电类型相反的导电类型的半导体区域。在 Philips J, Res. 35 1-13, 1980 (飞利浦杂志, 1980 年 35 期 1-13) 中 Appels 等人在“Thin Layer High Voltage Devices (薄层高电压装置)”中描述了 RESURF 结构。

[0010] 图 1 至图 4 为包括 GaN FET 的示例性半导体装置的横截面图。参照图 1, 半导体装置 100 在基底 102 上形成, 基底 102 可为, 例如, 硅片, 或其它适于 GaN FET 制造的基底。失配隔离层 104 在基底 102 上形成。失配隔离层 104 可为, 例如, 100 至 300 纳米的氮化铝。缓冲层 106 在失配隔离层 104 上形成。缓冲层 106 可为, 例如, 1 至 7 微米厚且包括 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 分级层的叠层, 其在失配隔离层 104 处富含铝, 而在缓冲层 106 的顶部表面处富含镓。

[0011] 电隔离层 108 在缓冲层 106 上形成。电隔离层 108 可为, 例如, 300 至 2000 纳米的半绝缘氮化镓。电隔离层 108 可为, 例如, 半绝缘以在电隔离层 108 下面的层和电隔离层 608 上面的层之间提供所需水平的电隔离。可替换地, 电隔离层 108 可掺杂有 n 型或 p 型杂质以降低电荷陷阱对半导体装置 100 中的电流密度的不良影响。

[0012] 低缺陷层 110 在电隔离层 108 上形成。低缺陷层 110 可为, 例如, 25 至 1000 纳米的氮化镓。低缺陷层 110 可经形成以便最小化晶体缺陷, 所述晶体缺陷可对电子迁移率有不利影响。低缺陷层 110 的形成方法可导致低缺陷层 110 掺杂有碳、铁或其它杂质种类, 例如, 具有少于 10^{17}cm^{-3} 的掺杂密度。

[0013] 阻挡层 112 在低缺陷层 110 上形成。阻挡层 112 可为, 例如, 2 至 30 纳米的 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 或 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ 。阻挡层 112 中族 III 元素的组合物可为, 例如, 24% 至 28% 的氮化铝和 72% 至 76% 的氮化镓。在低缺陷层 110 上形成阻挡层 112 在正好在阻挡层 112 下面的低缺陷层 110 中生成二维电子气, 其中具有电子密度即载流子面密度, 例如, 1×10^{12} 至 $2 \times 10^{13}\text{cm}^{-2}$ 。可选择的覆盖层 114 可在阻挡层 112 上形成。覆盖层 114 可为, 例如, 2 至 5 纳米的氮化镓。可选择的栅极介电层 116 可在阻挡层 112 和覆盖层 114 (如果存在的话) 上方形成, 从而提供所需的阈值电压。栅极介电层 116 可包括, 例如, 氮化硅。

[0014] 在电隔离层 108 和 / 或低缺陷层 110 的形成过程中, n 型杂质被添加以至于电隔离层 108 和低缺陷层 110 的载流子面密度为二维电子气下面的陷阱电荷和图像电荷提供屏蔽。在目前实例的一个版本中, 电隔离层 108 和低缺陷层 110 的载流子面密度可为二维电子气的载流子面密度的 10% 至 200%。

[0015] 添加的 n 型杂质可主要包括, 例如, 硅和 / 或锗杂质。添加的 n 型杂质可在电隔离层 108 和 / 或低缺陷层 110 的外延生长过程中添加。可替换地, 在形成电隔离层 108 和 / 或低缺陷层 110 后, 添加的 n 型杂质可通过离子注入添加。添加的 n 型杂质的平均掺杂密度可为, 例如, $1 \times 10^{16}\text{cm}^{-3}$ 至 $1 \times 10^{17}\text{cm}^{-3}$ 。添加的 n 型杂质的分布可基本均匀, 或可被分级以至于掺杂区域底部处的掺杂密度比掺杂区域顶部处的掺杂密度高。

[0016] 栅极 118 在阻挡层 112 和栅极介电层 116 (如果存在的话) 的上方形成。栅极 118 可包括, 例如, III-N 半导体材料以提供耗尽型 FET。其它类型的栅极在目前实例的范围内。源极触点 120 经形成延伸到阻挡层 112 中, 以便形成连接到低缺陷层 110 中的二维电子气的隧穿连接 (tunneling connection)。类似地, 漏极触点 122 经形成延伸到阻挡层 112 中, 以便形成连接到二维电子气的隧穿连接。栅极 118、源极触点 120 和漏极触点 122 是半导体装置 100 的 GaN FET 124 的部分。在目前实例的一个版本中, 半导体装置 100 可包括其

它有源组件,诸如除 GaN FET 124 之外的晶体管或二极管。在另一个版本中, GaN FET 124 可为半导体装置 110 的唯一有源组件。源极触点 120 可以与栅极 118 横向分开,例如,500 至 1500 纳米。漏极触点 122 与栅极 118 横向分开一段距离,该距离取决于 GaN FET 124 的最大操作电压。例如,在设计用于 200 伏特最大操作电压的 GaN FET 124 中,漏极触点 122 可以与栅极 118 横向分开 1 至 8 微米。在设计用于 600 伏特最大操作电压的 GaN FET 124 中,漏极触点 122 可以与栅极 118 横向分开 8 至 20 微米。GaN FET 124 可在图 1 描述的层结构中和在不同的层结构上形成。

[0017] 参照图 2,半导体装置 200 在基底 202 上形成,失配隔离层 204 在基底 202 上形成,缓冲层 206 在失配隔离层 204 上形成,且电隔离层 208 在缓冲层 206 上形成,例如,如参照图 1 所述的。在目前实例中,电隔离层 208 没有如参照图 1 所讨论的添加的 n 型杂质。

[0018] p 型氮化镓层 226 在电隔离层 208 上形成。p 型氮化镓层 226 可为,例如,200 纳米至 1200 纳米厚,且可包括低分数的铝和 / 或镉以匹配电隔离层 208 的化学计量关系。p 型氮化镓层 226 掺杂有 p 型杂质,诸如具有 $1 \times 10^{17} \text{cm}^{-3}$ 至 $8 \times 10^{19} \text{cm}^{-3}$ 示例性掺杂密度的镁。P 型杂质可在 p 型氮化镓层 226 的外延生长过程中添加或在形成 p 型氮化镓层 226 后可通过离子注入添加。

[0019] 低缺陷层 210 在 p 型氮化镓层 226 上形成。低缺陷层 210 可为,例如,50 至 1000 纳米的氮化镓。N 型杂质添加到低缺陷层 210 以至于低缺陷层 210 的载流子面密度是随后生成的二维电子气的载流子面密度的 1% 至 200%。p 型氮化镓层 226 的掺杂密度经选择以提供低缺陷层 210 的载流子面密度的 70% 至 140% 的载流子面密度。

[0020] 例如,参照图 1 所述,阻挡层 212 在低缺陷层 210 上形成。如参照图 1 所述,在低缺陷层 210 上形成阻挡层 212 在低缺陷层 210 中生成了二维电子气。可选择的覆盖层 214 可在阻挡层 212 上形成。可选择的栅极凹处 228 可在阻挡层 212 中形成。覆盖层 214 在栅极凹处 228 中形成。栅极 218,例如,钛钨的金属栅极 218,在栅极凹处 228 中的覆盖层 214 上形成以提供耗尽型 FET。在栅极凹处 228 中形成栅极 218 可以提供期望的阈值电压。其它类型的栅极在目前实例的范围内。

[0021] 漏极触点 222 在阻挡层 212 中形成,例如,参照图 1 所述。源极触点 220 在阻挡层 212 中形成以与二维电子气电接触。源极触点 220 也可选择地与 p 型氮化镓层 226 电接触。栅极 218、源极触点 220 和漏极触点 222 是半导体装置 200 的 GaN FET 224 的部分。

[0022] 在半导体装置 200 的操作过程中,通过低缺陷层 210 中的添加的 n 型杂质提供的电子可有利地填充低缺陷层 210 中的一部分陷阱。P 型氮化镓层 226 可提供 RESURF 层以有利地降低来自栅极 218 的电场且因此减少移进和移出陷阱的电子移动。

[0023] 参照图 3,半导体装置 300 在基底 302 上形成,失配隔离层 304 在基底 302 上形成,缓冲层 306 在失配隔离层 304 上形成,且电隔离层 308 在缓冲层 306 上形成,例如,参照图 1 所述。

[0024] 图形化的 P 型氮化镓层 326 在电隔离层 308 上形成,从源极触点区域延伸,经过栅极区域,且在漏极区域前停止。图形化的 P 型氮化镓层 326 的厚度和掺杂特性如参照图 2 所述。在目前实例的一个版本中,通过植入掩膜,部分 p 型氮化镓层 326 可通过离子植入 p 型杂质到电隔离层 308 的顶部部分形成,从而转化其为具有所需掺杂密度的 p 型。在另一个版本中,均厚 (blanket) p 型氮化镓层可使用外延生长工艺生长,且随后用刻蚀工艺图形

化。

[0025] 低缺陷层 310 在部分 p 型氮化镓层 326 和电隔离层 308 上形成。低缺陷层 310 可为,例如,50 至 1000 纳米的氮化镓。在低缺陷层 310,和可能电隔离层 308 的形成过程中,n 型杂质被添加以至于低缺陷层 310 和电隔离层 308 的载流子面密度为随后生成的二维电子气的载流子面密度的 1% 至 200%。部分 p 型氮化镓层 326 的掺杂密度经选择以提供低缺陷层 310 的载流子面密度的 70% 至 140% 的载流子面密度。

[0026] 例如,参照图 1 所述,阻挡层 312 在低缺陷层 310 上形成。参照图 1 所述,在低缺陷层 310 上形成阻挡层 312 在低缺陷层 310 中生成了二维电子气。可选择的覆盖层 314 可在阻挡层 312 上形成。可选择的栅极凹处 328 可在阻挡层 312 中形成。覆盖层 314 在栅极凹处 328 中形成。栅极介电层 316 在覆盖层 314(如果存在的话)上方和阻挡层 312 上方形成。栅极介电层 316 可为,例如,10 至 20 纳米的氮化硅,其通过低压化学气相沉积 (LPCVD) 或等离子体增强化学气相沉积 (PECVD) 形成。在目前实例的其它版本中,栅极介电层 316 可包括氮化硅、二氧化硅,氧氮化硅和 / 或氧化铝中的一层或更多层。栅极介电层 316 在栅极凹处 328 中形成。金属栅极 318 在栅极凹处 328 中的栅极介电层 316 上形成以提供增强型 FET。在栅极凹处 328 中形成栅极 318 可提供所需的阈值电压。其它类型的栅极在目前实例的范围内。

[0027] 参照图 2 所述,源极触点 320 在阻挡层 312 中形成以与二维电子气和部分 p 型氮化镓层 326 电接触。例如,参照图 1 所述,漏极触点 322 在阻挡层 312 中形成。栅极 318、源极触点 320 和漏极触点 322 为半导体装置 300 的 GaN FET 324 的部分。

[0028] 在半导体装置 300 的操作过程中,低缺陷层 310 中添加的 n 型杂质可有利地填充如参照图 1 和图 2 所述的一部分陷阱。参照图 2 所述,部分 P 型氮化镓层 326 可提供 RESURF 层以有利地降低来自栅极 318 的电场。与图 2 的 GaN FET 224 相比,形成在漏极区前终止的部分 p 型氮化镓层 326 可增加 GaN FET 324 的漏极源极击穿电压。

[0029] 参照图 4,半导体装置 400 在基底 402 上形成,失配隔离层 404 在基底 402 上形成,且缓冲层 406 在失配隔离层 404 上形成,例如,参照图 1 所述。

[0030] p 型氮化镓层 426 在缓冲层 406 上形成。P 型氮化镓层 426 的厚度和掺杂特点如参照图 2 所述。低缺陷层 410 在 p 型氮化镓层 426 上形成。低缺陷层 410 可为,例如,50 至 1000 纳米的氮化镓。在低缺陷层 410 的形成过程中,n 型杂质被添加以至于低缺陷层 410 和电隔离层 408 的载流子面密度是随后生成的二维电子气的载流子面密度的 1% 至 200%。p 型氮化镓层 426 的掺杂密度经选择以提供低缺陷层 410 的载流子面密度的 70% 至 140% 的载流子面密度。

[0031] 例如,参照图 1 所述,阻挡层 412 在低缺陷层 410 上形成。参照图 1 所述,在低缺陷层 410 上形成阻挡层 412 在低缺陷层 410 中生成了二维电子气。可选择的覆盖层 414 可在阻挡层 412 上形成。P 型 III-N 半导体栅极 418 在覆盖层 414 上形成以提供增强型 FET。P 型 III-N 半导体栅极 418 可包括,例如, $Al_xGa_{1-x}N$ 或 $In_xAl_yGa_{1-x-y}N$ 中的一层或更多层。P 型 III-N 半导体栅极 418 可包括半导体材料上方的金属层。

[0032] 参照图 2 所述,源极触点 420 在阻挡层 412 中形成以与二维电子气和 p 型氮化镓层 426 电接触。例如,参照图 1 所述,漏极触点 422 在阻挡层 412 中形成。栅极 418、源极触点 420 和漏极触点 422 是半导体装置 400 的 GaN FET 424 的部分。

[0033] 在半导体装置 400 的操作过程中,低缺陷层 410 中的添加的 n 型杂质可有利地填充如参照图 1 和图 2 所述的一部分陷阱。参照图 2 所述,P 型氮化镓层 426 可提供 RESURF 层以有利地降低来自栅极 418 的电场。在缓冲层 406 上形成 p 型氮化镓层 426 可有利地降低半导体装置 400 的制造成本和复杂性。

[0034] 本领域技术人员应该理解,可对所述实施例进行修改,且也应理解,在本权利要求范围内的许多其它实施例是可行的。

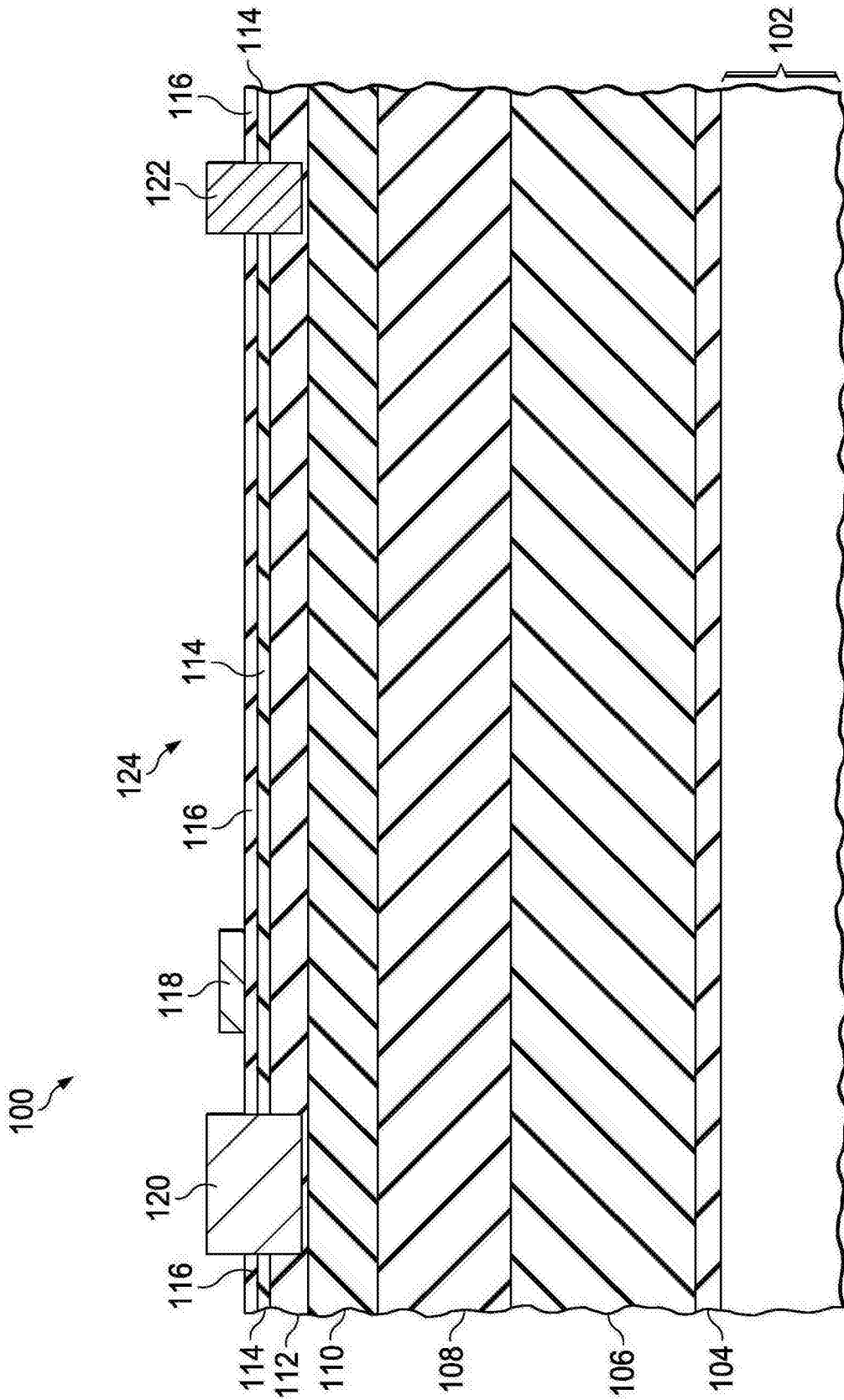


图 1

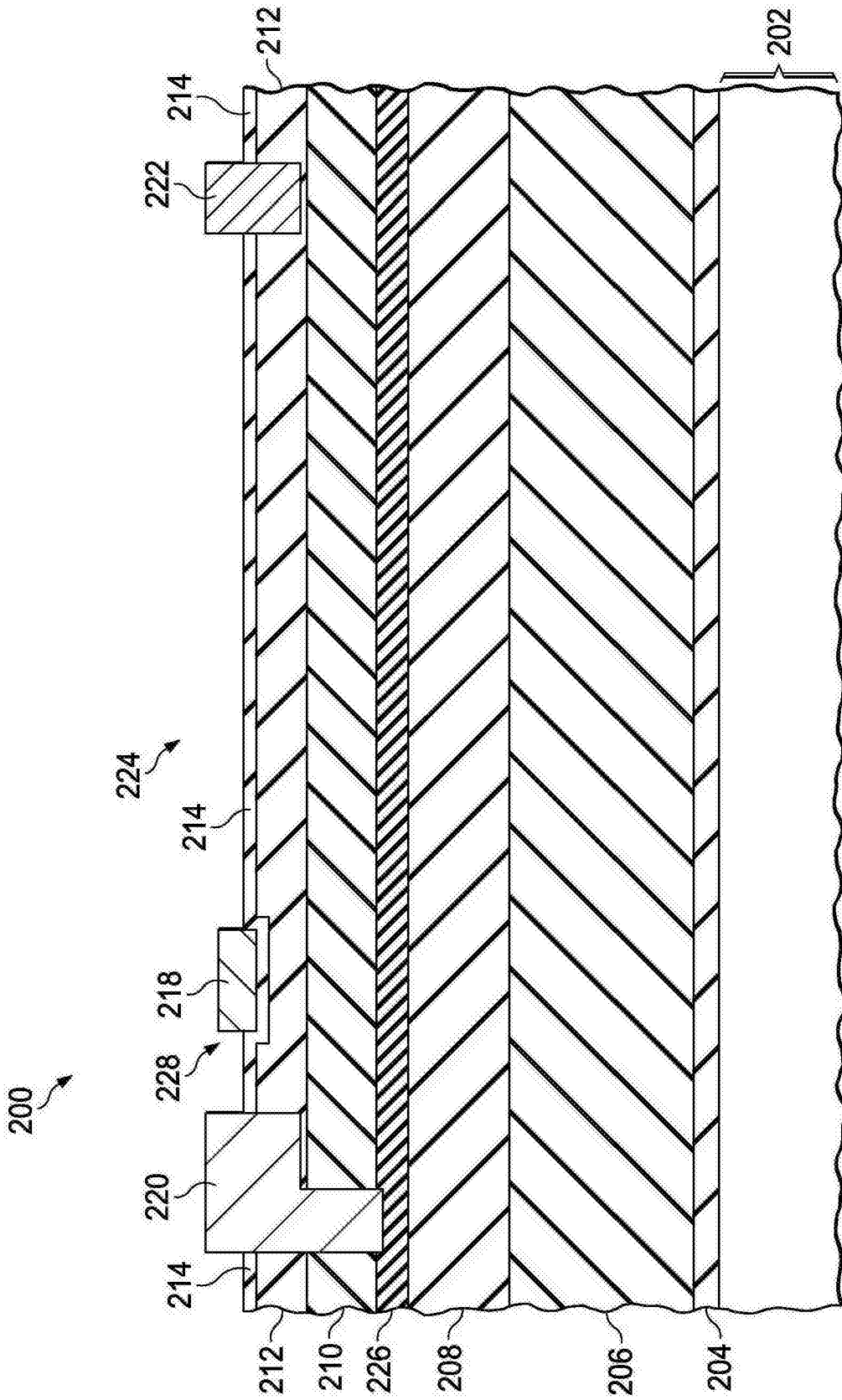


图 2

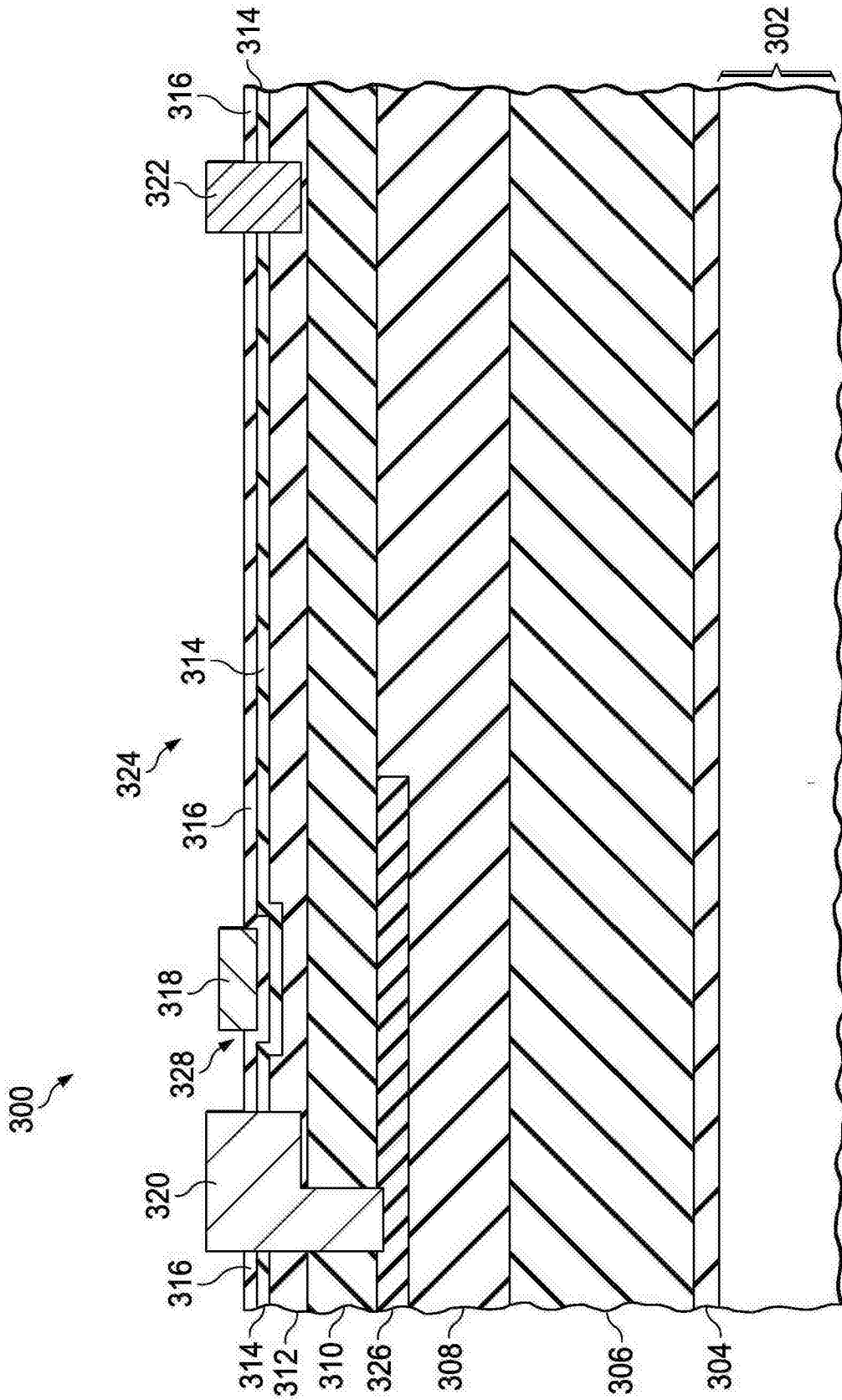


图 3

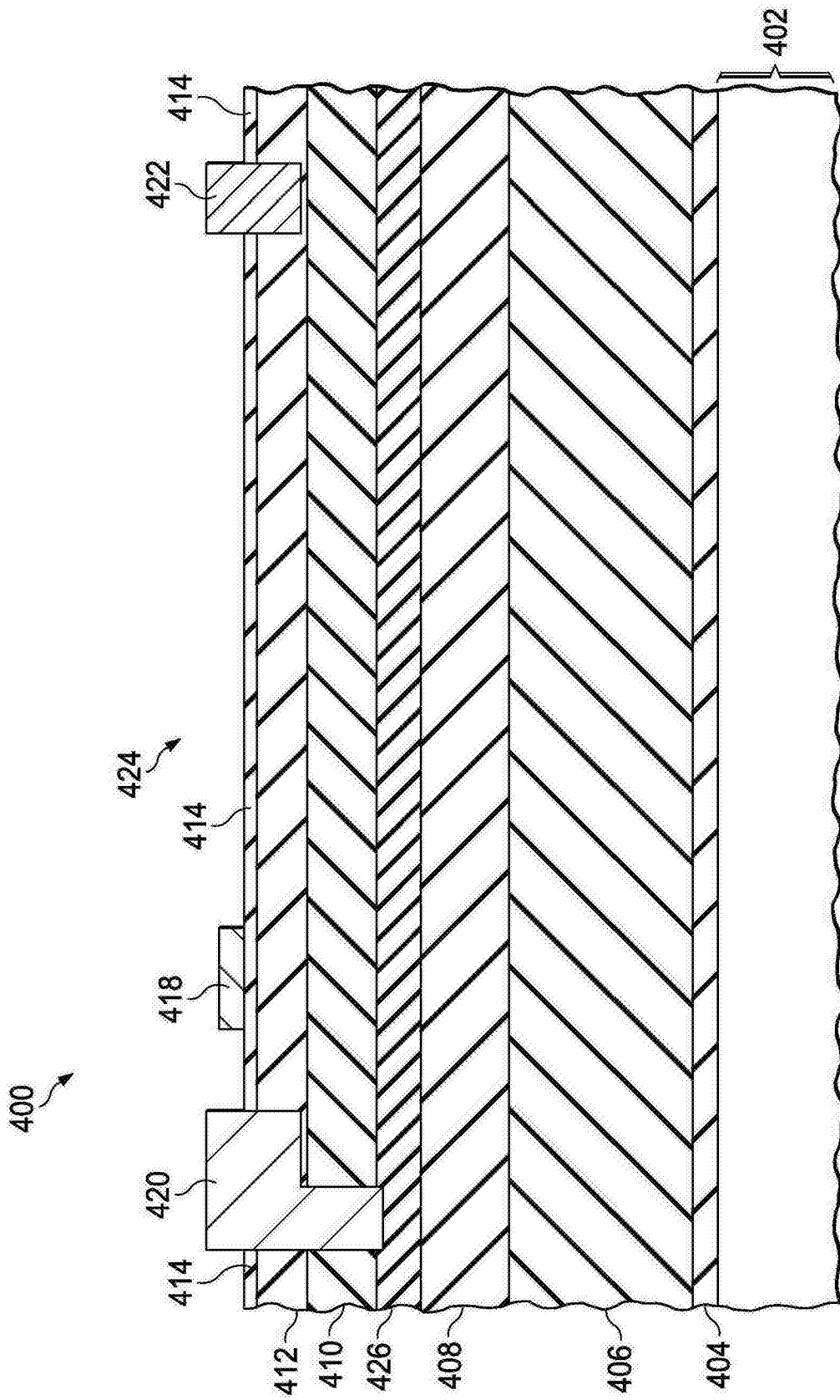


图 4