(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年3月31日(31.03.2022)

WIPO | PCT

(10) 国際公開番号
WO 2022/064308 A1

(51) 国際特許分類:
G11C 11/22 (2006.01)

(21) 国際出願番号： PCT/IB2021/058181

(22) 国際出願日： 2021年9月9日(09.09.2021)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2020-158038 2020年9月22日(22.09.2020) JP

(71) 出願人: 株式会社半導体エネルギー研究所 **(SEMICONDUCTOR ENERGY LABORATORY CO., LTD.)** [JP/JP]; 〒2430036 神奈川県厚木市長谷398 Kanagawa (JP).

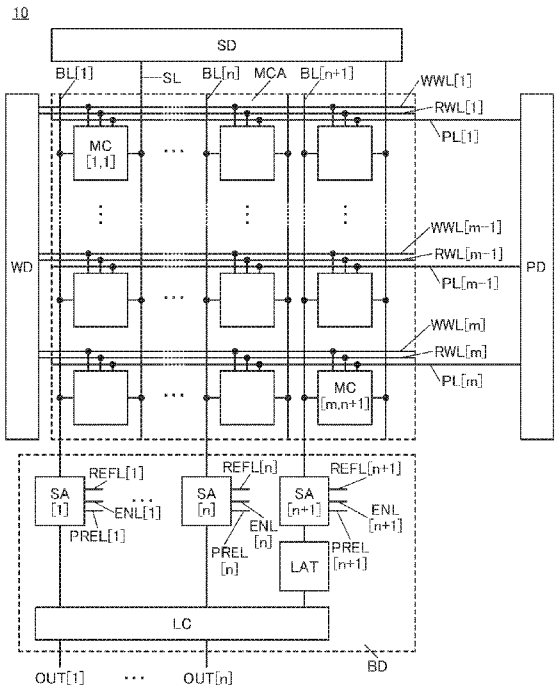
(72) 発明者: 岡本佑樹 **(OKAMOTO, Yuki)**; 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP). 大貫達也 **(ONUKI, Tatsuya)**; 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP). 松嵜隆徳 **(MATSUZAKI, Takanori)**; 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,

(54) **Title:** DRIVING METHOD OF SEMICONDUCTOR DEVICE

(54) 発明の名称： 半導体装置の駆動方法

図1



(57) **Abstract:** In the present invention, a highly reliable semiconductor device is provided. This semiconductor device is provided with: a memory cell having a first ferroelectric capacitor; and a reference memory cell having a second ferroelectric capacitor. In a first period, first binary data is written into the memory cell, and first reference binary data is written into the reference memory cell. In a second period, the first binary data is read from the memory cell, and the first reference binary data is read from the reference memory cell. In a third period, a logical operation of the first binary

WO 2022/064308 A1

[続葉有]

HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))
- 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

data and the first reference binary data is carried out. In a fourth period, second binary data is written into the memory cell, and second reference binary data is written into the reference memory cell. The first binary data has a different value from the value of the second binary data, and the first reference binary data has a different value from the value of the second reference binary data.

(57) 要約:信頼性の高い半導体装置を提供する。 第１の強誘電キャパシタを有するメモリセルと、第２の強誘電キャパシタを有する参照メモリセルと、が設けられる半導体装置。第１の期間において、メモリセルへの第１の２値データの書き込み、及び参照メモリセルへの第１の参照２値データの書き込みを行う。第２の期間において、メモリセルからの第１の２値データの読み出し、及び参照メモリセルからの第１の参照２値データの読み出しを行う。第３の期間において、第１の２値データと、第１の参照２値データと、の論理演算を行う。第４の期間において、メモリセルへの第２の２値データの書き込み、及び参照メモリセルへの第２の参照２値データの書き込みを行う。第１の２値データの値と、第２の２値データの値と、は異なり、第１の参照２値データの値と、第２の参照２値データの値と、は異なる。

明細書

発明の名称

半導体装置の駆動方法

技術分野

［０００１］

本発明の一態様は、半導体装置、及びその駆動方法に関する。

［０００２］

なお本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、駆動方法、又は、製造方法に関するものである。又は、本発明の一態様は、プロセス、マシン、マニュファクチャ、又は、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、蓄電装置、撮像装置、記憶装置、信号処理装置、センサ、プロセッサ、電子機器、システム、それらの駆動方法、それらの製造方法、又はそれらの検査方法を一例として挙げることができる。

背景技術

［０００３］

近年、半導体装置の開発が進められ、ＬＳＩ、ＣＰＵ、メモリ等が主に半導体装置に用いられている。ＣＰＵは、半導体ウェハを加工し、チップ化された半導体集積回路（少なくともトランジスタ及びメモリ）を有し、接続端子である電極が形成された半導体素子の集合体である。

［０００４］

ＬＳＩ、ＣＰＵ、メモリ等の半導体回路（ＩＣチップ）は、回路基板、例えばプリント配線基板に実装され、様々な電子機器の部品の一つとして用いられる。

［０００５］

また、絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。該トランジスタは集積回路（ＩＣ）、画像表示装置（単に表示装置とも表記する）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料、及び酸化物半導体等が知られている。

［０００６］

また、非特許文献１に示すように、強誘電体（ｆｅｒｒｏｅｌｅｃｔｒｉｃ）を用いたメモリセルの研究開発が活発に行われている。また、次世代の強誘電性メモリのために、強誘電性のHfO_2ベースの材料の研究（非特許文献２）、ハフニウム酸化物薄膜の強誘電性に関する研究（非特許文献３）、及びHfO_2薄膜の強誘電性（非特許文献４）等、酸化ハフニウムに関する研究も活発に行われている。

［先行技術文献］

［非特許文献］

［０００７］

［非特許文献１］Ｔ．Ｓ．Ｂｏｅｓｃｋｅ，ｅｔ ａｌ，“Ｆｅｒｒｏｅｌｅｃｔｒｉｃｉｔｙ ｉｎ ｈａｆｎｉｕｍ ｏｘｉｄｅ ｔｈｉｎ ｆｉｌｍｓ”，ＡＰＬ９９，２０１１

［非特許文献２］Ｚｈｅｎ Ｆａｎ，ｅｔ ａｌ，“Ｆｅｒｒｏｅｌｅｃｔｒｉｃ HfO_2－ｂａｓｅｄ ｍａｔｅｒｉａｌｓ ｆｏｒ ｎｅｘｔ－ｇｅｎｅｒａｔｉｏｎ ｆｅｒｒｏｅｌｅｃ

ｔｒｉｃ ｍｅｍｏｒｉｅｓ”，ＪＯＵＲＮＡＬ ＯＦ ＡＤＶＡＮＣＥＤ ＤＩＥＬＥＣＴＲＩＣＳ，Ｖｏｌ．６，Ｎｏ．２，２０１６

［非特許文献３］Ｊｕｎ Ｏｋｕｎｏ，ｅｔ ａｌ，“ＳｏＣ ｃｏｍｐａｔｉｂｌｅ １Ｔ１Ｃ ＦｅＲＡＭ ｍｅｍｏｒｙ ａｒｒａｙ ｂａｓｅｄ ｏｎ ｆｅｒｒｏｅｌｅｃｔｒｉｃ $Hf_{0.5}Zr_{0.5}O_2$”，ＶＬＳＩ ２０２０

［非特許文献４］鳥海　明、「HfO_2薄膜の強誘電性」、応用物理学会、第８８巻、第９号、２０１９

発明の概要

発明が解決しようとする課題

［０００８］

強誘電体を用いたメモリセルに書き込まれたデータの読み出しを繰り返し行うと、強誘電体における分極反転が繰り返し行われる場合がある。これにより、疲労劣化が発生し、メモリセルへのデータの書き込み時等における強誘電体の分極が小さくなる場合がある。よって、半導体装置の信頼性が低下する場合がある。

［０００９］

本発明の一態様は、信頼性の高い半導体装置、及びその駆動方法を提供することを課題の一とする。又は、本発明の一態様は、新規な半導体装置、及びその駆動方法を提供することを課題の一とする。

［００１０］

なお本発明の一態様の課題は、上記列挙した課題に限定されない。上記列挙した課題は、他の課題の存在を妨げるものではない。なお他の課題は、以下の記載で述べる、本項目で言及していない課題である。本項目で言及していない課題は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した課題、及び他の課題のうち、少なくとも一つの課題を解決するものである。なお、本発明の一態様は、上記列挙した課題、及び他の課題の全てを解決する必要はない。

課題を解決するための手段

［００１１］

本発明の一態様は、強誘電キャパシタを有するメモリセルが設けられる半導体装置の駆動方法であって、第１の期間において、メモリセルに、２値データを書き込み、第２の期間において、メモリセルから、２値データを読み出し、第３の期間において、強誘電キャパシタに分極反転を発生させることにより、メモリセルに２値データを書き戻す、半導体装置の駆動方法である。

［００１２］

又は、上記態様において、第３の期間において、２値データの値に関わらず、強誘電キャパシタに分極反転を発生させてもよい。

［００１３］

又は、上記態様において、半導体装置は、参照メモリセルを有し、第１の期間において、参照メモリセルに、参照２値データを書き込み、第２の期間において、参照メモリセルから、参照２値データを読み出し、第２の期間において、メモリセルから読み出された２値データと、参照メモリセルから読み出された参照２値データと、の論理演算を行ってもよい。

［００１４］

又は、上記態様において、論理演算は、排他的論理和であってもよい。

［００１５］

又は、上記態様において、メモリセルは、第１のトランジスタと、第２のトランジスタと、第３のトランジスタと、を有し、第１のトランジスタのソース又はドレインの一方は、第２のトランジスタのゲート、及び強誘電キャパシタの一方の電極と電気的に接続され、第２のトランジスタのソース又はドレインの一方は、第３のトランジスタのソース又はドレインの一方と電気的に接続され、第３のトランジスタのソース又はドレインの他方は、第１のトランジスタのソース又はドレインの他方と電気的に接続され、第１の期間、及び第３の期間において、第１のトランジスタをオン状態、第３のトランジスタをオフ状態とし、第２の期間において、第１のトランジスタをオフ状態、第３のトランジスタをオン状態としてもよい。

［００１６］

又は、上記態様において、強誘電キャパシタは、誘電体を有し、誘電体は、酸化ハフニウム及び／又は酸化ジルコニウムを有してもよい。

［００１７］

又は、本発明の一態様は、第１の強誘電キャパシタを有するメモリセルと、第２の強誘電キャパシタを有する参照メモリセルと、が設けられる半導体装置の駆動方法であって、第１の期間において、メモリセルへの第１の２値データの書き込み、及び参照メモリセルへの第１の参照２値データの書き込みを行い、第２の期間において、メモリセルからの第１の２値データの読み出し、及び参照メモリセルからの第１の参照２値データの読み出しを行い、第３の期間において、第１の２値データと、第１の参照２値データと、の論理演算を行い、第４の期間において、メモリセルへの第２の２値データの書き込み、及び参照メモリセルへの第２の参照２値データの書き込みを行い、第１の２値データの値と、第２の２値データの値と、は異なり、第１の参照２値データの値と、第２の参照２値データの値と、は異なる、半導体装置の駆動方法である。

［００１８］

又は、上記態様において、半導体装置は、第１のセンスアンプ回路、及び第２のセンスアンプ回路を有し、第１のセンスアンプ回路は、メモリセルと電気的に接続され、第２のセンスアンプ回路は、参照メモリセルと電気的に接続され、第３の期間において、第１のセンスアンプ回路と、第２のセンスアンプ回路と、を活性化状態にしてもよい。

［００１９］

又は、上記態様において、メモリセルは、第１のトランジスタと、第２のトランジスタと、第３のトランジスタと、を有し、第１のトランジスタのソース又はドレインの一方は、第２のトランジスタのゲート、及び第１の強誘電キャパシタの一方の電極と電気的に接続され、第２のトランジスタのソース又はドレインの一方は、第３のトランジスタのソース又はドレインの一方と電気的に接続され、第１のトランジスタのソース又はドレインの他方、及び第３のトランジスタのソース又はドレインの他方は、第１のセンスアンプ回路と電気的に接続され、第１の期間、及び第４の期間において、第１のトランジスタをオン状態、第３のトランジスタをオフ状態とし、第２の期間、及び第３の期間において、第１のトランジスタをオフ状態、第３のトランジスタをオン状態としてもよい。

［００２０］

又は、上記態様において、第１の強誘電キャパシタは、第１の誘電体を有し、第２の強誘電キャパシタは、第２の誘電体を有し、第１の誘電体、及び第２の誘電体は、酸化ハフニウム及び／又は酸化ジルコニウムを有してもよい。

［００２１］

又は、上記態様において、論理演算は、排他的論理和であってもよい。

発明の効果

［００２２］

本発明の一態様により、信頼性の高い半導体装置、及びその駆動方法を提供することができる。又は、本発明の一態様により、新規な半導体装置、及びその駆動方法を提供することができる。

［００２３］

なお本発明の一態様の効果は、上記列挙した効果に限定されない。上記列挙した効果は、他の効果の存在を妨げるものではない。なお他の効果は、以下の記載で述べる、本項目で言及していない効果である。本項目で言及していない効果は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した効果、及び他の効果のうち、少なくとも一つの効果を有するものである。従って本発明の一態様は、場合によっては、上記列挙した効果を有さない場合もある。

図面の簡単な説明

［００２４］

図１は、半導体装置の構成例を示すブロック図である。

図２Ａ、及び図２Ｂは、メモリセルの構成例を示す回路図である。

図３Ａは、誘電体のヒステリシス特性の一例を示すグラフである。図３Ｂ１、及び図３Ｂ２は、メモリセルの駆動方法の一例を示す回路図である。

図４Ａ、及び図４Ｂは、メモリセルの駆動方法の一例を示すタイミングチャートである。

図５Ａは、メモリセルの構成例を示す回路図である。図５Ｂ１、及び図５Ｂ２は、メモリセルの駆動方法の一例を示すタイミングチャートである。

図６は、半導体装置の構成例を示す断面模式図である。

図７Ａ乃至図７Ｃは、トランジスタの構成例を示す断面模式図である。

図８は、半導体装置の構成例を示す断面模式図である。

図９Ａ、及び図９Ｂは、トランジスタの構成例を示す断面模式図である。

図１０は、トランジスタの構成例を示す断面模式図である。

図１１Ａ乃至図１１Ｃは、トランジスタの構成例を示す断面模式図である。

図１２は、トランジスタの構成例を示す断面模式図である。

図１３Ａ、及び図１３Ｂは、トランジスタの構成例を示す断面模式図である。

図１４Ａ、及び図１４Ｂは、トランジスタの構成例を示す断面模式図である。

図１５は、トランジスタの構成例を示す断面模式図である。

図１６は、半導体装置の構成例を示す断面模式図である。

図１７は、半導体装置の構成例を示す断面模式図である。

図１８ＡはＩＧＺＯの結晶構造の分類を説明する図であり、図１８Ｂは結晶性ＩＧＺＯのＸＲＤスペクトルを説明する図であり、図１８Ｃは結晶性ＩＧＺＯの極微電子線回折パターンを説明する図である。

図１９Ａは半導体ウェハの一例を示す斜視図であり、図１９Ｂはチップの一例を示す斜視図であり、図１９Ｃ、及び図１９Ｄは電子部品の一例を示す斜視図である。

図２０は、ＣＰＵを説明するブロック図である。

図２１Ａ乃至図２１Ｊは、製品の一例を説明する斜視図、又は、模式図である。

図２２Ａ乃至図２２Ｅは、製品の一例を説明する斜視図、又は、模式図である。

発明を実施するための形態

［００２５］

本明細書等において、金属酸化物（ｍｅｔａｌ　ｏｘｉｄｅ）とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体（透明酸化物導電体を含む）、酸化物半導体（Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ又は単にＯＳともいう）等に分類される。例えば、トランジスタの活性層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、金属酸化物が増幅作用、整流作用、及びスイッチング作用の少なくとも１つを有するトランジスタのチャネル形成領域を構成し得る場合、当該金属酸化物を、金属酸化物半導体（ｍｅｔａｌ　ｏｘｉｄｅ　ｓｅｍｉｃｏｎｄｕｃｔｏｒ）と呼称することができる。また、ＯＳトランジスタと記載する場合においては、金属酸化物又は酸化物半導体を有するトランジスタと換言することができる。

［００２６］

また、本明細書等において、窒素を有する金属酸化物も金属酸化物（ｍｅｔａｌ　ｏｘｉｄｅ）と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物（ｍｅｔａｌ　ｏｘｙｎｉｔｒｉｄｅ）と呼称してもよい。

［００２７］

また、本明細書等において、各実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて、本発明の一態様とすることができる。また、１つの実施の形態の中に、複数の構成例が示される場合は、互いに構成例を適宜組み合わせることが可能である。

［００２８］

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）と、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）との少なくとも一つの内容に対して、適用、組み合わせ、又は置き換え等を行うことができる。

［００２９］

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

［００３０］

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）と、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）との少なくとも一つの図に対して、組み合わせることにより、さらに多くの図を構成させることができる。

［００３１］

本明細書に記載の実施の形態については、図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなく、その形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態の発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの

説明は省略する場合がある。また、斜視図等において、図面の明確性を期すために、一部の構成要素の記載を省略している場合がある。

［００３２］

本明細書等において、複数の要素に同じ符号を用いる場合、特に、それらを区別する必要があるときには、符号に“＿１”、“［ｎ］”、“［ｍ，ｎ］”等の識別用の符号を付記して記載する場合がある。

［００３３］

また、本明細書の図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値等に限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつき等を含むことが可能である。

［００３４］

また、本明細書等において、「第１」、「第２」、「第３」という序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。例えば、本明細書等の実施の形態の一において「第１」に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲において「第２」に言及された構成要素とすることもありうる。また例えば、本明細書等の実施の形態の一において「第１」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略することもありうる。

［００３５］

また、本明細書等において、「上に」、「下に」等の配置を示す語句は、構成同士の位置関係を、図面を参照して説明するために、便宜上用いている場合がある。また、構成同士の位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書等で説明した語句に限定されず、状況に応じて適切に言い換えることができる。例えば、「導電体の上面に位置する絶縁体」の表現では、示している図面の向きを１８０度回転することによって、「導電体の下面に位置する絶縁体」と言い換えることができる。

［００３６］

また、「上」、及び「下」の用語は、構成要素の位置関係が直上又は直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層Ａ上の電極Ｂ」の表現であれば、絶縁層Ａの上に電極Ｂが直接接して形成されている必要はなく、絶縁層Ａと電極Ｂとの間に他の構成要素を含むものを除外しない。

［００３７］

また、本明細書等において、「膜」、「層」等の語句は、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。又は、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。又は、場合によっては、又は、状況に応じて、「膜」、「層」等の語句を使わずに、別の用語に入れ替えることが可能である。例えば、「導電層」又は「導電膜」という用語を、「導電体」という用語に変更することが可能な場合がある。又は、例えば、「絶縁層」、「絶縁膜」という用語を、「絶縁体」という用語に変更することが可能な場合がある。

［００３８］

また、本明細書等において「電極」、「配線」、「端子」等の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」、又は「配線」の用語は、複数の「電極」又は「配線」が一体となって形成されている場合等も含む。また、例えば、「端子」は「配線」又は「電極」の一部として用いられることがあり、その逆もまた同様である。更に、「端子」の用語は、複数の「電極」、「配線」、「端子」等が一体となって形成されている場合等も含む。そのため、例えば、「電極」は「配線」又は「端子」の一部とすることができ、また、例えば、「端子」は「配線」又は「電極」の一部とすることができる。また、「電極」、「配線」、「端子」等の用語は、場合によって、「領域」等の用語に置き換える場合がある。

［００３９］

また、本明細書等において、「配線」、「信号線」、「電源線」等の用語は、場合によっては、又は、状況に応じて、互いに入れ替えることが可能である。例えば、「配線」という用語を、「信号線」という用語に変更することが可能な場合がある。また、例えば、「配線」という用語を、「電源線」等の用語に変更することが可能な場合がある。また、その逆も同様で、「信号線」、「電源線」等の用語を、「配線」という用語に変更することが可能な場合がある。「電源線」等の用語は、「信号線」等の用語に変更することが可能な場合がある。また、その逆も同様で「信号線」等の用語は、「電源線」等の用語に変更することが可能な場合がある。また、配線に印加されている「電位」という用語を、場合によっては、又は、状況に応じて、「信号」等という用語に変更することが可能な場合がある。また、その逆も同様で、「信号」等の用語は、「電位」という用語に変更することが可能な場合がある。

［００４０］

（実施の形態１）

本実施の形態では、本発明の一態様の半導体装置、及びその駆動方法について説明する。

［００４１］

本発明の一態様は、メモリセルを有する半導体装置に関し、例えば記憶装置に関する。本発明の一態様の半導体装置が有するメモリセルには、強誘電性を有し得る材料を誘電体として用いた容量が設けられる。当該半導体装置を駆動させる場合、メモリセルに例えば２値データを書き込んで保持させた後、当該２値データを読み出し、書き戻す。ここで、メモリセルに保持された２値データの値が“０”又は“１”のいずれであっても、１回の読み出しと、１回の書き戻しと、を行う期間内に、上記誘電体を１回分極反転させる。つまり、メモリセルに保持された２値データの値が“０”の場合における上記誘電体の分極反転の回数と、“１”の場合における上記誘電体の分極反転の回数と、を同一にする。これにより、例えばメモリセルに保持された２値データの値が“０”である場合は、上記誘電体を分極反転させずに読み出し及び書き戻しを行い、例えばメモリセルに保持された２値データの値が“１”である場合は、上記誘電体を合計２回分極反転させて読み出し及び書き戻しを行う場合より、半導体装置の信頼性を高めることができる。

［００４２］

＜半導体装置の構成例＞

図１は、本発明の一態様の半導体装置である半導体装置１０の構成例を示すブロック図である。半導体装置１０は、例えば記憶装置とすることができる。

［００４３］

半導体装置１０には、ｍ行ｎ＋１列（ｍ，ｎは１以上の整数）のメモリセルＭＣがマトリクス状に配列されたメモリセルアレイＭＣＡが設けられる。また、半導体装置１０は、ワード線駆動回路ＷＤと、プレート線駆動回路ＰＤと、電位生成回路ＳＤと、ビット線駆動回路ＢＤと、を有する。

［００４４］

ワード線駆動回路ＷＤは、配線ＷＷＬを介してメモリセルＭＣと電気的に接続され、また配線ＲＷＬを介してメモリセルＭＣと電気的に接続される。プレート線駆動回路ＰＤは、配線ＰＬを介してメモリセルＭＣと電気的に接続される。電位生成回路ＳＤは、配線ＳＬを介してメモリセルＭＣと電気的に接続される。ビット線駆動回路ＢＤは、配線ＢＬを介してメモリセルＭＣと電気的に接続される。

［００４５］

ここで、同一行のメモリセルＭＣは、同一の配線ＷＷＬ、及び同一の配線ＲＷＬを介してワード線駆動回路ＷＤと電気的に接続することができ、同一の配線ＰＬを介してプレート線駆動回路ＰＤと電気的に接続することができる。また、同一列のメモリセルＭＣは、同一の配線ＢＬを介してビット線駆動回路ＢＤと電気的に接続することができる。

［００４６］

本明細書等において、例えば１行１列目のメモリセルＭＣをメモリセルＭＣ［１，１］と記載して示し、ｍ行ｎ＋１列目のメモリセルＭＣをメモリセルＭＣ［ｍ，ｎ＋１］と記載して示す。また、例えば１行目のメモリセルＭＣと電気的に接続される配線ＷＷＬ、配線ＲＷＬ、及び配線ＰＬを、それぞれ配線ＷＷＬ［１］、配線ＲＷＬ［１］、及び配線ＰＬ［１］と記載して示し、ｍ行目のメモリセルＭＣと電気的に接続される配線ＷＷＬ、配線ＲＷＬ、及び配線ＰＬを、それぞれ配線ＷＷＬ［ｍ］、配線ＲＷＬ［ｍ］、及び配線ＰＬ［ｍ］と記載して示す。さらに、例えば１列目のメモリセルＭＣと電気的に接続される配線ＢＬを、配線ＢＬ［１］と記載して示し、ｎ＋１列目のメモリセルＭＣと電気的に接続される配線ＢＬを、配線ＢＬ［ｎ＋１］と記載して示す。なお、他の要素でも同様の記載をする場合がある。

［００４７］

ワード線駆動回路ＷＤは、配線ＷＷＬの電位、及び配線ＲＷＬの電位を制御する機能を有する。具体的には、ワード線駆動回路ＷＤは、配線ＷＷＬの電位を制御することにより、データを書き込むメモリセルＭＣを選択する機能を有し、配線ＲＷＬの電位を制御することにより、データを読み出すメモリセルＭＣを選択する機能を有する。

［００４８］

プレート線駆動回路ＰＤは、配線ＰＬの電位を制御する機能を有する。電位生成回路ＳＤは、配線ＳＬの電位を制御する機能を有する。電位生成回路ＳＤは、例えば配線ＳＬに定電位を供給することができ、例えば配線ＳＬに接地電位を供給することができる。

［００４９］

ビット線駆動回路ＢＤは、メモリセルＭＣに書き込むデータを生成し、所定の列のメモリセルＭＣに供給する機能を有する。また、ビット線駆動回路ＢＤは、メモリセルＭＣに書き込まれたデータを読み出して出力する機能を有する。

［００５０］

ビット線駆動回路ＢＤの詳細を説明する。ビット線駆動回路ＢＤは、センスアンプ回路ＳＡ［１］乃至センスアンプ回路ＳＡ［ｎ＋１］と、ラッチ回路ＬＡＴと、論理演算回路ＬＣと、を有する。

センスアンプ回路ＳＡは、配線ＢＬ、配線ＲＥＦＬ、配線ＥＮＬ、及び配線ＰＲＥＬと電気的に接続される。また、センスアンプ回路ＳＡ［１］乃至センスアンプ回路ＳＡ［ｎ］は、論理演算回路ＬＣと電気的に接続され、センスアンプ回路ＳＡ［ｎ＋１］は、ラッチ回路ＬＡＴを介して論理演算回路ＬＣと電気的に接続される。論理演算回路ＬＣは、配線ＯＵＴ［１］乃至配線ＯＵＴ［ｎ］と電気的に接続される。なお、ラッチ回路ＬＡＴ、及び論理演算回路ＬＣは、ビット線駆動回路ＢＤの外部にあってもよい。また、半導体装置１０は、ラッチ回路ＬＡＴを有さなくてもよい。半導体装置１０がラッチ回路ＬＡＴを有さない場合、センスアンプ回路ＳＡ［ｎ＋１］から出力されるデータを、論理回路ＬＣに例えば直接入力することができる。

［００５１］

センスアンプ回路ＳＡは、配線ＢＬの電位と、配線ＲＥＦＬの電位と、の差を増幅する機能を有する。例えば、配線ＢＬの電位が、配線ＲＥＦＬの電位より高い場合は、センスアンプ回路ＳＡは高電位を出力することができる。一方、配線ＢＬの電位が、配線ＲＥＦＬの電位より低い場合は、センスアンプ回路ＳＡは低電位を出力することができる。これにより、ビット線駆動回路ＢＤは、２値データ、具体的には２値のデジタルデータをメモリセルＭＣに書き込むことができ、またメモリセルＭＣに書き込まれた２値データを読み出すことができる。例えば、配線ＢＬの電位が配線ＲＥＦＬの電位より高い場合は、メモリセルＭＣに“０”が書き込まれる、又は“０”が読み出されているとすることができる。一方、配線ＢＬの電位が配線ＲＥＦＬの電位より低い場合は、メモリセルＭＣに“１”が書き込まれる、又は“１”が読み出されているとすることができる。

［００５２］

配線ＥＮＬには、センスアンプ回路ＳＡを活性化するか否かを制御する、イネーブル信号を供給することができる。イネーブル信号は、例えば２値のデジタル信号とすることができる。例えば、配線ＥＮＬの電位が高電位である場合は、センスアンプ回路ＳＡを活性化状態とすることができ、配線ＢＬの電位と、配線ＲＥＦＬの電位と、の差が増幅される。一方、配線ＥＮＬの電位が低電位である場合は、センスアンプ回路ＳＡを非活性化状態とすることができ、上記増幅は行われない。

［００５３］

配線ＰＲＥＬには、配線ＢＬ、及び配線ＲＥＦＬの電位をプリチャージするか否かを制御する、プリチャージ信号を供給することができる。プリチャージ信号は、例えば２値のデジタル信号とすることができる。例えば、配線ＰＲＥＬの電位が高電位である場合は、配線ＢＬを高電位にプリチャージすることができる。また、配線ＲＥＦＬの電位を、メモリセルＭＣから値が“０”のデータが読み出されている場合の配線ＢＬの電位と、メモリセルＭＣから値が“１”のデータが読み出されている場合の配線ＢＬの電位と、の間の電位とすることができる。

［００５４］

なお、配線ＥＮＬ［１］乃至配線ＥＮＬ［ｎ＋１］に供給する電位を、互いに共通としてもよい。この場合、配線ＥＮＬ［１］乃至配線ＥＮＬ［ｎ＋１］を、互いに電気的に接続する構成とすることができる。また、配線ＰＲＥＬ［１］乃至配線ＰＲＥＬ［ｎ＋１］に供給する電位を、互いに共通としてもよい。この場合、配線ＰＲＥＬ［１］乃至配線ＰＲＥＬ［ｎ＋１］を、互いに電気的に接続する構成とすることができる。

［００５５］

ラッチ回路ＬＡＴは、センスアンプ回路ＳＡ［ｎ＋１］から出力されるデータを保持する機能を有する。つまり、ラッチ回路ＬＡＴは、ｎ＋１列目のメモリセルＭＣから出力されるデータを保持す

ることができる。ラッチ回路ＬＡＴは、１ビットのデータを保持できるラッチ回路を、m個有することができる。これにより、ラッチ回路ＬＡＴは、メモリセルＭＣ［１，ｎ＋１］乃至メモリセルＭＣ［m，ｎ＋１］から読み出されたデータをすべて保持することができる。

［００５６］

論理演算回路ＬＣは、入力されたデータを用いた論理演算を行う機能を有する。論理演算回路ＬＣは、例えば、センスアンプ回路ＳＡから出力されたデータと、ラッチ回路ＬＡＴから出力されたデータと、の論理演算を行う機能を有する。演算結果を表すデータは、配線ＯＵＴから出力される。論理演算回路ＬＣは、例えば、センスアンプ回路ＳＡ［１］から出力されたデータと、ラッチ回路ＬＡＴから出力されたデータと、の論理演算を行い、演算結果を表すデータを配線ＯＵＴ［１］から出力することができる。また、論理演算回路ＬＣは、例えば、センスアンプ回路ＳＡ［ｎ］から出力されたデータと、ラッチ回路ＬＡＴから出力されたデータと、の論理演算を行い、演算結果を表すデータを配線ＯＵＴ［ｎ］から出力することができる。

［００５７］

以上より、論理演算回路ＬＣは、センスアンプ回路ＳＡ［１］乃至センスアンプ回路ＳＡ［ｎ］から出力されるデータのそれぞれに対して、センスアンプ回路ＳＡ［ｎ＋１］から出力されるデータとの論理演算を行う。また、センスアンプ回路ＳＡ［ｎ＋１］は、ｎ＋１列目のメモリセルＭＣから読み出されるデータを増幅する機能を有する。以上より、メモリセルＭＣ［１，ｎ＋１］乃至メモリセルＭＣ［m，ｎ＋１］は、参照メモリセルということができる。また、参照メモリセルに書き込まれるデータ、及び参照メモリセルから読み出されるデータは、参照データということができる。さらに、２値の参照データを、参照２値データということができる。

［００５８］

＜メモリセルの構成例＞

図２Ａは、メモリセルＭＣの構成例を示す回路図である。メモリセルＭＣは、トランジスタＭ１と、トランジスタＭ２と、トランジスタＭ３と、容量ＦＥＣと、を有する。

［００５９］

以下では、トランジスタＭ１乃至トランジスタＭ３が、ｎチャネル型トランジスタであるとして説明を行うが、電位の大小関係を適宜逆転させること等により、トランジスタＭ１乃至トランジスタＭ３の少なくとも一部がｐチャネル型トランジスタであっても、以下の説明を適用することができる。例えば、トランジスタＭ２及びトランジスタＭ３がｐチャネル型トランジスタである場合、配線ＳＬの電位は高電位とすることができる。

［００６０］

トランジスタＭ１のソース又はドレインの一方は、トランジスタＭ２のゲートと電気的に接続される。トランジスタＭ２のゲートは、容量ＦＥＣの一方の電極と電気的に接続される。トランジスタＭ２のソース又はドレインの一方は、トランジスタＭ３のソース又はドレインの一方と電気的に接続される。

［００６１］

トランジスタＭ１のソース又はドレインの他方、及びトランジスタＭ３のソース又はドレインの他方は、配線ＢＬと電気的に接続される。トランジスタＭ２のソース又はドレインの他方は、配線ＳＬと電気的に接続される。トランジスタＭ１のゲートは、配線ＷＷＬと電気的に接続される。トランジスタＭ３のゲートは、配線ＲＷＬと電気的に接続される。容量ＦＥＣの他方の電極は、配線Ｐ

Ｌと電気的に接続される。
［００６２］
ここで、トランジスタＭ１のソース又はドレインの一方と、トランジスタＭ２のゲートと、容量ＦＥＣの一方の電極と、が電気的に接続されるノードを、ノードＮとする。
［００６３］
トランジスタＭ１及びトランジスタＭ３は、スイッチング素子としての機能を有する。具体的には、トランジスタＭ１のゲートの電位を高電位とすることにより、トランジスタＭ１をオン状態とすることができ、トランジスタＭ１のゲートの電位を低電位とすることにより、トランジスタＭ１をオフ状態とすることができる。つまり、配線ＷＷＬの電位を高電位とすることにより、トランジスタＭ１をオン状態とすることができ、配線ＷＷＬの電位を低電位とすることにより、トランジスタＭ１をオフ状態とすることができる。同様に、トランジスタＭ３のゲートの電位を高電位とすることにより、トランジスタＭ３をオン状態とすることができ、トランジスタＭ３のゲートの電位を低電位とすることにより、トランジスタＭ３をオフ状態とすることができる。つまり、配線ＲＷＬの電位を高電位とすることにより、トランジスタＭ３をオン状態とすることができ、配線ＲＷＬの電位を低電位とすることにより、トランジスタＭ３をオフ状態とすることができる。トランジスタＭ１及びトランジスタＭ３は、スイッチング素子としての機能を有することから、トランジスタＭ１及びトランジスタＭ３は、線形領域で駆動させることが好ましい。
［００６４］
トランジスタＭ２は、ノードＮに保持された電位を増幅する、増幅トランジスタとしての機能を有する。よって、トランジスタＭ２は、飽和領域で駆動させることが好ましい。
［００６５］
容量ＦＥＣは、誘電体として強誘電性を有し得る材料を有する容量である。本明細書等において、強誘電性を有し得る材料を誘電体として用いた容量を、強誘電キャパシタという。
［００６６］
強誘電性を有しうる材料としては、酸化ハフニウム、酸化ジルコニウム、ＨｆＺｒO_X（Ｘは０よりも大きい実数とする）、酸化ハフニウムに元素Ｊ１（ここでの元素Ｊ１は、ジルコニウム（Ｚｒ）、シリコン（Ｓｉ）、アルミニウム（Ａｌ）、ガドリニウム（Ｇｄ）、イットリウム（Ｙ）、ランタン（Ｌａ）、ストロンチウム（Ｓｒ）等。）を添加した材料、酸化ジルコニウムに元素Ｊ２（ここでの元素Ｊ２は、ハフニウム（Ｈｆ）、シリコン（Ｓｉ）、アルミニウム（Ａｌ）、ガドリニウム（Ｇｄ）、イットリウム（Ｙ）、ランタン（Ｌａ）、ストロンチウム（Ｓｒ）等。）を添加した材料、等が挙げられる。また、強誘電性を有しうる材料として、ＰｂＴｉO_X、チタン酸バリウムストロンチウム（ＢＳＴ）、チタン酸ストロンチウム、チタン酸ジルコン酸鉛（ＰＺＴ）、タンタル酸ビスマス酸ストロンチウム（ＳＢＴ）、ビスマスフェライト（ＢＦＯ）、チタン酸バリウム、等のペロブスカイト構造を有する圧電性セラミックを用いてもよい。また、強誘電性を有しうる材料としては、例えば、上記に列挙した材料から選ばれた複数の材料、又は、上記に列挙した材料から選ばれた複数の材料からなる積層構造とすることができる。ところで、酸化ハフニウム、酸化ジルコニウム、ＨｆＺｒO_X、及び酸化ハフニウムに元素Ｊ１を添加した材料等は、成膜条件だけでなく、各種プロセス等によっても結晶構造（特性）が変わり得る可能性があるため、本明細書等では強誘電性を発現する材料のみを強誘電体と呼ぶだけでなく、強誘電性を有しうる材料と呼んでいる。

［００６７］

中でも強誘電性を有しうる材料として、酸化ハフニウム、あるいは酸化ハフニウム及び酸化ジルコニウムを有する材料は、数ｎｍといった薄膜に加工しても強誘電性を有しうることができるため、好ましい。

［００６８］

また、強誘電性を有しうる材料の膜厚は、１００ｎｍ以下、好ましくは５０ｎｍ以下、より好ましくは２０ｎｍ以下、さらに好ましくは、１０ｎｍ以下（代表的には、２ｎｍ以上９ｎｍ以下）にすることができる。また、強誘電性を有しうる材料としてＨｆＺｒO_X用いる場合、原子層堆積（ＡＬＤ：Ａｔｏｍｉｃ　Ｌａｙｅｒ　Ｄｅｐｏｓｉｔｉｏｎ）法、特に熱ＡＬＤ法を用いて成膜することが好ましい。

［００６９］

また、熱ＡＬＤ法を用いて、強誘電性を有しうる材料を成膜する場合、プリカーサとして炭化水素（Ｈｙｄｒｏ　Ｃａｒｂｏｎ、ＨＣともいう）を含まない材料を用いると好適である。強誘電性を有しうる材料中に、水素、及び炭素のいずれか一方又は双方が含まれる場合、強誘電性を有しうる材料の結晶化を阻害する場合がある。このため、上記のように、炭化水素を含まないプリカーサを用いることで、強誘電性を有しうる材料中の、水素、及び炭素のいずれか一方又は双方の濃度を低減することが好ましい。例えば、炭化水素を含まないプリカーサとしては、塩素系材料があげられる。なお、強誘電性を有しうる材料として、酸化ハフニウム及び酸化ジルコニウムを有する材料（ＨｆＺｒO_x）を用いる場合、プリカーサとしては、ＨｆＣｌ$_4$、及び／又はＺｒＣｌ$_4$を用いればよい。

［００７０］

また、熱ＡＬＤ法を用いて、強誘電性を有しうる材料を成膜する場合、酸化剤はH_2O又はO_3を用いることができる。ただし、熱ＡＬＤ法の酸化剤としては、これに限定されない。例えば、熱ＡＬＤ法の酸化剤としては、O_2、O_3、N_2O、NO_2、H_2O、及びH_2O_2の中から選ばれるいずれか一又は複数を含んでもよい。

［００７１］

また、強誘電性を有しうる材料の結晶構造は、特に限定されない。例えば、強誘電性を有しうる材料の結晶構造としては、立方晶系、正方晶系、直方晶系、及び単斜晶系の中から選ばれるいずれか一又は複数とすればよい。特に強誘電性を有しうる材料としては、直方晶系の結晶構造を有すると、強誘電性が発現するため好ましい。又は、強誘電性を有しうる材料として、アモルファス構造と、結晶構造とを有する複合構造としてもよい。

［００７２］

強誘電性を有しうる材料は、絶縁体であって、外部から電場を与えることによって内部に分極が生じ、かつ当該電場をゼロにしても分極が残る性質を有するため、不揮発性の記憶素子として応用することができる。そのため、当該材料を、容量の一対の電極に挟まれる誘電体として用いることで、当該容量を「強誘電性を有しうるキャパシタ」、「強誘電キャパシタ」とすることができる。また、本明細書等では、強誘電性を有しうる材料は、当該キャパシタの一方の電極と他方の電極との間に有する、という場合がある。なお、強誘電性を有しうるキャパシタを用いた記憶回路は、ＦｅＲＡＭ（Ｆｅｒｒｏｅｌｅｃｔｒｉｃ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）、強誘電体メモリ等と呼ばれることがある。

［００７３］

なお、本明細書等において、強誘電キャパシタ（例えば、容量ＦＥＣ）の回路記号は、図２Ａのとおり、容量の回路記号に斜線を加えたものとしている。また、別の回路記号としては、図２Ｂのとおり、容量の回路記号において、互いに平行である２本の線の間に複数の斜線を加えたものとしてもよい。

［００７４］

トランジスタＭ１乃至トランジスタＭ３として、チャネル形成領域にシリコンを有するトランジスタ（以下、Ｓｉトランジスタという）を適用することができる。特に、トランジスタＭ１乃至トランジスタＭ３として、チャネル形成領域に単結晶シリコンを有するトランジスタ、又は低温ポリシリコンを有するトランジスタを適用すると、トランジスタＭ１乃至トランジスタＭ３のオン電流を高めることができる。これにより、メモリセルＭＣを高速に駆動させることができるため、半導体装置１０を高速に駆動させることができる。また、トランジスタＭ１乃至トランジスタＭ３として、チャネル形成領域にアモルファスシリコンを有するトランジスタを適用してもよい。

［００７５］

また、トランジスタＭ１乃至トランジスタＭ３として、Ｓｉトランジスタ以外のトランジスタを適用してもよい。例えば、トランジスタＭ１乃至トランジスタＭ３として、ＯＳトランジスタを適用することができる。ＯＳトランジスタは、高耐圧であるという特性を有する。よって、トランジスタＭ１乃至トランジスタＭ３をＯＳトランジスタとすることにより、トランジスタＭ１乃至トランジスタＭ３を微細化しても、トランジスタＭ１乃至トランジスタＭ３に高電圧を印加することができる。トランジスタＭ１乃至トランジスタＭ３を微細化することにより、メモリセルＭＣの占有面積を小さくすることができる。よって、メモリセルＭＣを高密度に配置することができる。これにより、半導体装置１０を、記憶容量が大きな半導体装置とすることができる。

［００７６］

また、例えばメモリセルＭＣが有するトランジスタＭ１乃至トランジスタＭ３をＯＳトランジスタとし、ワード線駆動回路ＷＤ、プレート線駆動回路ＰＤ、電位生成回路ＳＤ、及びビット線駆動回路ＢＤが有するトランジスタをＳｉトランジスタとすることができる。これにより、メモリセルアレイＭＣＡを、ワード線駆動回路ＷＤ、プレート線駆動回路ＰＤ、電位生成回路ＳＤ、又はビット線駆動回路ＢＤと重なる領域を有するように積層して設けることができる。これにより、半導体装置１０の記憶容量を維持しつつ、半導体装置１０を小型化することができる。なお、ワード線駆動回路ＷＤ、プレート線駆動回路ＰＤ、電位生成回路ＳＤ、及びビット線駆動回路ＢＤが有するトランジスタをＯＳトランジスタとする場合であっても、これらの回路と、メモリセルアレイＭＣＡと、が重なる領域を有するように積層して設けることができる。

［００７７］

なお、トランジスタＭ１乃至トランジスタＭ３をＯＳトランジスタとする場合、トランジスタＭ１乃至トランジスタＭ３のチャネル形成領域が有する金属酸化物は、インジウム、ガリウム、亜鉛の少なくとも一を含む酸化物であることが好ましい。また、当該酸化物の代わりとしては、インジウム、元素Ｍ（元素Ｍとしては、例えば、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、又はマグネシウム等から選ばれた一種、又は複数種等が挙げられる。）、亜鉛の少なくとも一を含む酸化物を用いてもよい。

［００７８］

ここで、トランジスタＭ１乃至トランジスタＭ３の全てを、同一種類のトランジスタとしなくてもよい。例えば、トランジスタＭ１乃至トランジスタＭ３の一部をＳｉトランジスタとし、残りをＯＳトランジスタとしてもよい。例えば、トランジスタＭ１乃至トランジスタＭ３のうち、高電圧が印加されるトランジスタをＯＳトランジスタとし、他のトランジスタをＳｉトランジスタとしてもよい。

［００７９］

＜誘電体の特性＞

強誘電キャパシタが有する誘電体は、ヒステリシス特性を有する。図３Ａは、当該ヒステリシス特性の一例を示すグラフである。図３Ａにおいて、横軸は誘電体に印加する電圧を示す。当該電圧は、例えば容量ＦＥＣの一方の電極の電位から、容量ＦＥＣの他方の電極の電位を引いた値とすることができる。つまり、例えばノードＮの電位から、配線ＰＬの電位を引いた値を、誘電体に印加する電圧とすることができる。

［００８０］

また、図３Ａにおいて、縦軸は誘電体の分極を示し、正の値の場合は負電荷が容量ＦＥＣの一方の電極側に偏り、正電荷が容量ＦＥＣの他方の電極側に偏っていることを示す。一方、分極が負の値の場合は、負電荷が容量ＦＥＣの他方の電極側に偏り、正電荷が容量ＦＥＣの一方の電極側に偏っていることを示す。

［００８１］

なお、図３Ａのグラフの横軸に示す電圧を、容量ＦＥＣの他方の電極の電位から、容量ＦＥＣの一方の電極の電位を引いた値としてもよい。また、図３Ａのグラフの縦軸に示す分極を、負電荷が容量ＦＥＣの他方の電極側に偏り、正電荷が容量ＦＥＣの一方の電極側に偏っている場合に正の値とし、負電荷が容量ＦＥＣの一方の電極側に偏り、正電荷が容量ＦＥＣの他方の電極側に偏っている場合に負の値としてもよい。

［００８２］

図３Ａに示すように、誘電体のヒステリシス特性は、曲線１１と、曲線１２と、により表すことができる。曲線１１と曲線１２の交点における電圧を、ＶＳＰ、及び－ＶＳＰとする。

［００８３］

誘電体に－ＶＳＰ以下の電圧を印加した後に、誘電体に印加する電圧を高くしていくと、誘電体の分極は、曲線１１に沿って増加する。一方、誘電体にＶＳＰ以上の電圧を印加した後に、誘電体に印加する電圧を低くしていくと、誘電体の分極は、曲線１２に沿って減少する。よって、ＶＳＰ、及び－ＶＳＰは、飽和分極電圧ということができる。なお、例えばＶＳＰを第１の飽和分極電圧と呼び、－ＶＳＰを第２の飽和分極電圧という場合がある。

［００８４］

ここで、誘電体の分極が曲線１１に沿って変化する際の、誘電体の分極が０である場合における、誘電体に印加される電圧をＶｃとする。また、誘電体の分極が曲線１２に沿って変化する際の、誘電体の分極が０である場合における、誘電体に印加される電圧を－Ｖｃとする。Ｖｃ、及び－Ｖｃは、抗電圧ということができる。Ｖｃの値、及び－Ｖｃの値は、－ＶＳＰとＶＳＰの間の値であるということができる。なお、例えばＶｃを第１の抗電圧と呼び、－Ｖｃを第２の抗電圧と呼ぶ場合がある。

［００８５］

なお、第１の飽和分極電圧の絶対値と、第２の飽和分極電圧の絶対値と、は異なってもよい。また、第１の抗電圧の絶対値と、第２の抗電圧の絶対値と、は異なってもよい。

［００８６］

＜半導体装置の駆動方法の一例＞

以下では、半導体装置１０の駆動方法の一例を説明する。以下の説明において、容量ＦＥＣの誘電体に印加される電圧とは、ノードＮの電位から配線ＰＬの電位を引いた値を示すものとする。

［００８７］

図３Ｂ１、及び図３Ｂ２は、半導体装置１０の駆動方法の一例を示す回路図である。図３Ｂ１、及び図３Ｂ２において、“Ｈ”は高電位を示し、“Ｌ”は低電位を示す。メモリセルＭＣの駆動方法等を示す他の図面においても同様の記載をする。

［００８８］

また、図３Ｂ１、及び図３Ｂ２において、オフ状態となるトランジスタを、×印を付して示している。さらに、容量ＦＥＣの誘電体に印加される電圧を、強調のために一点鎖線で囲って示している。

［００８９］

図３Ｂ１には、メモリセルＭＣに値が“０”の２値データを書き込む例を示し、図３Ｂ２には、メモリセルＭＣに値が“１”の２値データを書き込む例を示す。ここで、図３Ｂ１、又は図３Ｂ２に示す動作が行われる期間を、書き込み期間ということができる。

［００９０］

図３Ｂ１、及び図３Ｂ２に示すように、書き込み期間において、配線ＷＷＬの電位を高電位とし、配線ＲＷＬの電位を低電位とする。これにより、トランジスタＭ１がオン状態となり、トランジスタＭ３がオフ状態となる。

［００９１］

メモリセルＭＣに値が“０”の２値データを書き込む場合は、図３Ｂ１に示すように、配線ＢＬの電位をＧＮＤとし、配線ＰＬの電位をＶｗとする。ＧＮＤは、例えば接地電位とすることができる。Ｖｗは、ＶＳＰ以上とすることが好ましい。なお、ＧＮＤは、半導体装置１０を本発明の一態様の趣旨を充足するように駆動させることができるのであれば、必ずしも接地電位としなくてもよい。

［００９２］

以下では、ＶｗはＶＳＰ以上の高さの電位であり、ＧＮＤは接地電位であるとして説明を行う。また、配線ＢＬ、及び配線ＰＬに供給される電位について、Ｖｗを高電位、ＧＮＤを低電位として説明を行う。

［００９３］

図３Ｂ１に示す例では、容量ＦＥＣの誘電体に電圧－Ｖｗが印加される。これにより、容量ＦＥＣの一方の電極側（ノードＮ側）に正電荷が偏り、容量ＦＥＣの他方の電極側（配線ＰＬ側）に負電荷が偏る。よって、メモリセルＭＣに値が“０”の２値データを書き込むことができる。また、容量ＦＥＣの誘電体に印加される電圧を高くしていくと、当該誘電体の電圧がＶＳＰ未満である場合において、曲線１１に沿って当該誘電体の分極が増加する。

［００９４］

メモリセルＭＣに値が“１”の２値データを書き込む場合は、図３Ｂ２に示すように、配線ＢＬの電位をＶｗとし、配線ＰＬの電位をＧＮＤとする。これにより、容量ＦＥＣの誘電体に電圧Ｖｗが

印加される。よって、容量ＦＥＣの一方の電極側（ノードＮ側）に負電荷が偏り、容量ＦＥＣの他方の電極側（配線ＰＬ側）に正電荷が偏る。これにより、メモリセルＭＣに値が“１”の２値データを書き込むことができる。また、容量ＦＥＣの誘電体に印加される電圧を低くしていくと、当該誘電体の電圧が－ＶＳＰより高い場合において、曲線１２に沿って当該誘電体の分極が減少する。

［００９５］

なお、図３Ｂ１に示す動作を行うことによりメモリセルＭＣに値が“１”の２値データが書き込まれるとし、図３Ｂ２に示す動作を行うことによりメモリセルＭＣに値が“０”の２値データが書き込まれるとしてもよい。

［００９６］

図４Ａ、及び図４Ｂは、半導体装置１０の駆動方法を示すタイミングチャートである。図４Ａでは、メモリセルＭＣに値が“０”の２値データが書き込まれて保持されている状態で、メモリセルＭＣからの２値データの読み出し、及び書き戻しを行う例を示す。図４Ｂでは、メモリセルＭＣに値が“１”の２値データが書き込まれて保持されている状態で、メモリセルＭＣからの２値データの読み出し、及び書き戻しを行う例を示す。なお、図４Ａ、及び図４Ｂに示すタイミングチャートでは、トランジスタＭ１乃至トランジスタＭ３は全てｎチャネル型トランジスタとしている。

［００９７］

まず、メモリセルＭＣに値が“０”の２値データが保持されている場合について説明する。この場合、図４Ａに示すように、時刻Ｔ１０乃至時刻Ｔ１１において、配線ＷＷＬの電位を低電位とする。これにより、トランジスタＭ１がオフ状態となる。また、配線ＲＷＬの電位を低電位とする。これにより、トランジスタＭ３がオフ状態となる。さらに、配線ＰＬの電位をＧＮＤとする。

［００９８］

また、配線ＥＮＬの電位を低電位とする。これにより、センスアンプ回路ＳＡが非活性状態となる。なお、ノードＮの電位は、ＧＮＤであるとする。

［００９９］

以上のような状態で、配線ＰＲＥＬの電位を高電位とする。これにより、配線ＢＬ、及び配線ＲＥＦＬがプリチャージされる。よって、配線ＢＬの電位が例えばＶｗとなり、配線ＳＬの電位より高くなる。また、配線ＲＥＦＬの電位が、ＧＮＤとＶｗの間の電位となる。

［０１００］

時刻Ｔ１１乃至時刻Ｔ１２において、配線ＲＷＬの電位を高電位とする。これにより、トランジスタＭ３がオン状態となる。また、配線ＰＲＥＬの電位を低電位とする。これにより、配線ＢＬ、及び配線ＲＥＦＬのプリチャージが終了する。

［０１０１］

時刻Ｔ１２乃至時刻Ｔ１３において、配線ＰＬの電位をＶｗとする。容量ＦＥＣ等による容量結合により、ノードＮの電位が上昇する。ここで、ノードＮの容量結合係数は１未満であり、時刻Ｔ１２以前におけるノードＮの電位はＧＮＤであることから、電位上昇後のノードＮの電位は、Ｖｗより低くなる。なお、ノードＮの電位が上昇しても、容量ＦＥＣの誘電体において分極反転は発生しないものとする。つまり、ノードＮの電位から配線ＰＬの電位を引いた値は、Ｖｃ以下であるとする。

［０１０２］

本明細書等において、容量ＦＥＣ等の強誘電キャパシタの誘電体において分極反転させることを、

強誘電キャパシタに分極反転を発生させるという場合がある。

［０１０３］

なお、時刻Ｔ１１乃至時刻Ｔ１２において、配線ＰＬの電位をＶｗとし、時刻Ｔ１２乃至時刻Ｔ１３において、配線ＲＷＬの電位を高電位としてもよい。また、時刻Ｔ１１乃至時刻Ｔ１２では配線ＰＲＥＬの電位を高電位のままとし、時刻Ｔ１２乃至時刻Ｔ１３において配線ＰＲＥＬの電位を低電位としてもよい。

［０１０４］

以上より、時刻Ｔ１１乃至時刻Ｔ１３において、トランジスタＭ３がオン状態となり、ノードＮの電位が上昇するということができる。配線ＢＬの電位が配線ＳＬの電位より高くなるようにプリチャージされているため、配線ＢＬの電位が、トランジスタＭ２のゲートと電気的に接続されるノードＮの電位に応じて低下する。これにより、メモリセルＭＣに保持された、値が“０”のデータが、メモリセルＭＣから読み出されたとすることができる。

［０１０５］

時刻Ｔ１３乃至時刻Ｔ１４において、配線ＥＮＬの電位を高電位とする。これにより、センスアンプ回路ＳＡが活性化状態となり、配線ＢＬの電位と、配線ＲＥＦＬの電位と、の差が増幅される。ここで、配線ＥＮＬが高電位となった時点において、配線ＢＬの電位が配線ＲＥＦＬの電位より高いものとすると、配線ＢＬの電位が高電位であるＶｗとなり、配線ＲＥＦＬの電位が低電位であるＧＮＤとなる。これにより、メモリセルＭＣから読み出された、値が“０”のデータを、センスアンプ回路ＳＡから出力することができる。

［０１０６］

以上、半導体装置１０が時刻Ｔ１０乃至時刻Ｔ１４における動作を行うことにより、メモリセルＭＣに保持されたデータを読み出し、配線ＯＵＴから出力することができる。よって、時刻Ｔ１０乃至時刻Ｔ１４は、読み出し期間ということができる。また、配線ＢＬのプリチャージ行う期間である時刻Ｔ１０乃至時刻Ｔ１１を除いた、時刻Ｔ１１乃至時刻Ｔ１４を、読み出し期間ということができる。

［０１０７］

時刻Ｔ１４乃至時刻Ｔ１５において、配線ＷＷＬの電位を高電位とする。これにより、トランジスタＭ１がオン状態となる。また、配線ＲＷＬの電位を低電位とする。これにより、トランジスタＭ３がオフ状態となる。トランジスタＭ１がオン状態となることにより、ノードＮの電位が、配線ＢＬの電位であるＶｗとなる。

［０１０８］

時刻Ｔ１４乃至時刻Ｔ１５において、ノードＮの電位、及び配線ＰＬの電位が共にＶｗとなる。よって、容量ＦＥＣの誘電体に印加される電圧は、０Ｖとなる。図３Ａ等に示すように、容量ＦＥＣの誘電体に印加される電圧が０Ｖとなっても、当該誘電体において分極反転は発生しない。

［０１０９］

時刻Ｔ１５乃至時刻Ｔ１６において、配線ＰＬの電位をＧＮＤとする。これにより、容量ＦＥＣの誘電体に印加される電圧が、Ｖｗとなる。よって、当該誘電体において分極反転が発生し、値が“１”のデータがメモリセルＭＣに書き込まれる。つまり、時刻Ｔ１０乃至時刻Ｔ１４においてメモリセルＭＣから読み出された２値データの値を反転させた２値データが、メモリセルＭＣに書き戻される。

［０１１０］

時刻Ｔ１６乃至時刻Ｔ１７において、配線ＥＮＬの電位を低電位とする。これにより、センスアンプ回路ＳＡが非活性状態となる。また、配線ＢＬの電位をＧＮＤとする。トランジスタＭ１はオン状態であるため、ノードＮの電位はＧＮＤとなる。

［０１１１］

時刻Ｔ１７において、配線WWＬの電位を低電位とする。これにより、トランジスタＭ１がオフ状態となる。

［０１１２］

以上、半導体装置１０が時刻Ｔ１４乃至時刻Ｔ１７における動作を行うことにより、メモリセルＭＣにデータを書き戻すことができる。よって、時刻Ｔ１４乃至時刻Ｔ１７は、書き戻し期間ということができる。また、時刻Ｔ１４乃至時刻Ｔ１７のうち、センスアンプ回路ＳＡが活性化状態である時刻Ｔ１４乃至時刻Ｔ１６を、書き戻し期間ということができる。

［０１１３］

次に、メモリセルＭＣに値が“１”の２値データが保持されている場合について説明する。この場合、図４Ｂに示すように、時刻Ｔ２０乃至時刻Ｔ２１において、配線WWＬの電位を低電位とする。これにより、トランジスタＭ１がオフ状態となる。また、配線ＲＷＬの電位を低電位とする。これにより、トランジスタＭ３がオフ状態となる。さらに、配線ＰＬの電位をＧＮＤとする。

［０１１４］

また、配線ＥＮＬの電位を低電位とする。これにより、センスアンプ回路ＳＡが非活性状態となる。なお、ノードＮの電位は、ＧＮＤであるとする。

［０１１５］

以上のような状態で、配線ＰＲＥＬの電位を高電位とする。これにより、配線ＢＬ、及び配線ＲＥＦＬがプリチャージされる。よって、配線ＢＬの電位が例えばＶｗとなり、配線ＳＬの電位より高くなる。また、配線ＲＥＦＬの電位が、ＧＮＤとＶｗの間の電位となる。

［０１１６］

時刻Ｔ２１乃至時刻Ｔ２２において、配線ＲＷＬの電位を高電位とする。これにより、トランジスタＭ３がオン状態となる。また、配線ＰＲＥＬの電位を低電位とする。これにより、配線ＢＬ、及び配線ＲＥＦＬのプリチャージが終了する。

［０１１７］

時刻Ｔ２２乃至時刻Ｔ２３において、配線ＰＬの電位をＶｗとする。容量ＦＥＣ等による容量結合により、ノードＮの電位が上昇する。ここで、メモリセルＭＣには値が“１”のデータが保持されていることから、図３Ｂ２に示すように、容量ＦＥＣの一方の電極側（ノードＮ側）に負電荷が偏っている。よって、ノードＮの容量結合係数は、メモリセルＭＣに値が“０”のデータが保持されている場合より大きくなる。したがって、時刻Ｔ２２乃至時刻Ｔ２３におけるノードＮの電位の上昇幅は、図４Ａに示す時刻Ｔ１２乃至時刻Ｔ１３におけるノードＮの電位の上昇幅より大きくなる。なお、ノードＮの容量結合係数は１未満であり、時刻Ｔ２２以前におけるノードＮの電位はＧＮＤであることから、電位上昇後のノードＮの電位は、Ｖｗより低くなる。また、ノードＮの電位が上昇しても、容量ＦＥＣの誘電体において分極反転は発生しないものとする。つまり、ノードＮの電位から配線ＰＬの電位を引いた値は、－Ｖｃ以上であるとする。

［０１１８］

なお、時刻Ｔ２１乃至時刻Ｔ２２において、配線ＰＬの電位をＶｗとし、時刻Ｔ２２乃至時刻Ｔ２３において、配線ＲＷＬの電位を高電位としてもよい。また、時刻Ｔ２１乃至時刻Ｔ２２では配線ＰＲＥＬの電位を高電位のままとし、時刻Ｔ２２乃至時刻Ｔ２３において配線ＰＲＥＬの電位を低電位としてもよい。

［０１１９］

以上より、時刻Ｔ２１乃至時刻Ｔ２３において、トランジスタＭ３がオン状態となり、ノードＮの電位が上昇するということができる。配線ＢＬの電位が配線ＳＬの電位より高くなるようにプリチャージされているため、配線ＢＬの電位が、トランジスタＭ２のゲートと電気的に接続されるノードＮの電位に応じて低下する。具体的には、時刻Ｔ２２乃至時刻Ｔ２３における配線ＢＬの電位の低下幅は、図４Ａに示す時刻Ｔ１２乃至時刻Ｔ１３における配線ＢＬの電位の低下幅より大きくなる。よって、例えば時刻Ｔ２３における配線ＢＬの電位は、時刻Ｔ１３における配線ＢＬの電位より低くなる。これにより、メモリセルＭＣに保持された、値が“１”のデータが、メモリセルＭＣから読み出されたとすることができる。

［０１２０］

時刻Ｔ２３乃至時刻Ｔ２４において、配線ＥＮＬの電位を高電位とする。これにより、センスアンプ回路ＳＡが活性化状態となり、配線ＢＬの電位と、配線ＲＥＦＬの電位と、の差が増幅される。ここで、配線ＥＮＬが高電位となった時点において、配線ＢＬの電位が配線ＲＥＦＬの電位より低いものとすると、配線ＢＬの電位が低電位であるＧＮＤとなり、配線ＲＥＦＬの電位が高電位であるＶｗとなる。これにより、メモリセルＭＣから読み出された、値が“１”のデータを、センスアンプ回路ＳＡから出力することができる。

［０１２１］

以上、半導体装置１０が時刻Ｔ２０乃至時刻Ｔ２４における動作を行うことにより、メモリセルＭＣに保持されたデータを読み出し、配線ＯＵＴから出力することができる。よって、時刻Ｔ２０乃至時刻Ｔ２４は、読み出し期間ということができる。また、配線ＢＬのプリチャージ行う期間である時刻Ｔ２０乃至時刻Ｔ２１を除いた、時刻Ｔ２１乃至時刻Ｔ２４を、読み出し期間ということができる。

［０１２２］

なお、時刻Ｔ２２乃至時刻Ｔ２３において、配線ＰＬの電位上昇に遅れて、ノードＮの電位が上昇する場合がある。この場合、容量ＦＥＣの誘電体に、瞬間的に大電圧（負の方向に大きな電圧）が印加される。これにより、当該誘電体において分極反転が発生し、メモリセルＭＣに保持されたデータが破壊される可能性がある。

［０１２３］

時刻Ｔ２４乃至時刻Ｔ２５において、配線ＷＷＬの電位を高電位とする。これにより、トランジスタＭ１がオン状態となる。また、配線ＲＷＬの電位を低電位とする。これにより、トランジスタＭ３がオフ状態となる。トランジスタＭ１がオン状態となることにより、ノードＮの電位が、配線ＢＬの電位であるＧＮＤとなる。

［０１２４］

時刻Ｔ２４乃至時刻Ｔ２５において、ノードＮの電位がＧＮＤとなる。一方、配線ＰＬの電位は、Ｖｗのままである。よって、容量ＦＥＣの誘電体に印加される電圧が、－Ｖｗとなる。したがって、当該誘電体において分極反転が発生し、値が“０”のデータがメモリセルＭＣに書き込まれる。つ

まり、時刻Ｔ２０乃至時刻Ｔ２４においてメモリセルＭＣから読み出された２値データの値を反転させた２値データが、メモリセルＭＣに書き戻される。なお、時刻Ｔ２２乃至時刻Ｔ２３において、メモリセルＭＣに保持されたデータが破壊された場合は、時刻Ｔ２４乃至時刻Ｔ２５では、容量ＦＥＣの誘電体における分極反転は発生しない。

［０１２５］

時刻Ｔ２５乃至時刻Ｔ２６において、配線ＰＬの電位がＧＮＤとなる。これにより、ノードＮの電位、及び配線ＰＬの電位が共にＧＮＤとなる。よって、容量ＦＥＣの誘電体に印加される電圧は、０Ｖとなる。図３Ａ等に示すように、容量ＦＥＣの誘電体に印加される電圧が０Ｖとなっても、当該誘電体において分極反転は発生しない。

［０１２６］

時刻Ｔ２６乃至時刻Ｔ２７において、配線ＥＮＬの電位を低電位とする。これにより、センスアンプ回路ＳＡが非活性状態となる。

［０１２７］

時刻Ｔ２７において、配線ＷＷＬの電位を低電位とする。これにより、トランジスタＭ１がオフ状態となる。

［０１２８］

以上、半導体装置１０が時刻Ｔ２４乃至時刻Ｔ２７における動作を行うことにより、メモリセルＭＣにデータを書き戻すことができる。よって、時刻Ｔ２４乃至時刻Ｔ２７は、書き戻し期間ということができる。また、時刻Ｔ２４乃至時刻Ｔ２７のうち、センスアンプ回路ＳＡが活性化状態である時刻Ｔ２４乃至時刻Ｔ２６を、書き戻し期間ということができる。

［０１２９］

以上のように、メモリセルＭＣに保持された２値データの値が“０”であるか“１”であるかに関わらず、１回の読み出し期間と、１回の書き戻し期間と、を通して、容量ＦＥＣの誘電体における分極反転が合計１回発生する。

［０１３０］

ここで、メモリセルＭＣが、図５Ａに示す構成である場合を考える。図５Ａに示すメモリセルＭＣは、図２Ａに示すメモリセルＭＣから、トランジスタＭ２、及びトランジスタＭ３を省略した構成である。図５Ａに示すメモリセルＭＣでは、トランジスタＭ１のゲートには配線ＷＬが電気的に接続される。

［０１３１］

図５Ｂ１、及び図５Ｂ２は、メモリセルＭＣが図５Ａに示す構成である場合における、半導体装置１０の駆動方法を示すタイミングチャートである。図５Ｂ１では、メモリセルＭＣに値が“０”の２値データが書き込まれて保持されている状態で、メモリセルＭＣからの２値データの読み出し、及び書き戻しを行う例を示す。図５Ｂ２では、メモリセルＭＣに値が“１”の２値データが書き込まれて保持されている状態で、メモリセルＭＣからの２値データの読み出し、及び書き戻しを行う例を示す。

［０１３２］

図５Ｂ１に示す例では、時刻Ｔ３０乃至時刻Ｔ３３において、メモリセルＭＣに保持されているデータが読み出される。つまり、時刻Ｔ３０乃至時刻Ｔ３３は、読み出し期間である。また、時刻Ｔ３３乃至時刻Ｔ３５において、メモリセルＭＣにデータが書き戻される。つまり、時刻Ｔ３３乃至

時刻Ｔ３５は、書き戻し期間である。時刻Ｔ３０以前において、値が“０”の２値データが保持されていることから、容量ＦＥＣの一方の電極側（ノードＮ側）に正電荷が偏り、容量ＦＥＣの他方の電極側（配線ＰＬ側）に負電荷が偏っている。この場合、時刻Ｔ３０乃至時刻Ｔ３５において、容量ＦＥＣの誘電体における分極反転は発生しない。つまり、メモリセルＭＣに保持されている２値データの値が“０”である場合は、読み出し期間と、書き戻し期間と、を通して、容量ＦＥＣの誘電体における分極反転は発生しない。

［０１３３］

図５Ｂ２に示す例では、時刻Ｔ４０乃至時刻Ｔ４３において、メモリセルＭＣに保持されているデータが読み出される。つまり、時刻Ｔ４０乃至時刻Ｔ４３は、読み出し期間である。また、時刻Ｔ４３乃至時刻Ｔ４５において、メモリセルＭＣにデータが書き戻される。つまり、時刻Ｔ４３乃至時刻Ｔ４５は、書き戻し期間である。時刻Ｔ３０以前において、値が“１”の２値データが保持されていることから、容量ＦＥＣの一方の電極側（ノードＮ側）に負電荷が偏り、容量ＦＥＣの他方の電極側（配線ＰＬ側）に正電荷が偏っている。この場合、時刻Ｔ４１乃至時刻Ｔ４２、及び時刻Ｔ４３乃至時刻Ｔ４４において、容量ＦＥＣの誘電体における分極反転が発生する。つまり、メモリセルＭＣに保持されている２値データの値が“１”である場合は、１回の読み出し期間と、１回の書き戻し期間と、を通して、容量ＦＥＣの誘電体における分極反転が合計２回発生する。

［０１３４］

以上より、値が“１”のデータが保持されることが多いメモリセルＭＣが有する容量ＦＥＣの誘電体では、分極反転が多数回発生することとなる。これにより、当該誘電体において疲労劣化が発生しやすくなる。よって、半導体装置１０が有するメモリセルＭＣが図５Ａに示す構成である場合、半導体装置１０の信頼性が低下する場合がある。一方、半導体装置１０が有するメモリセルＭＣが例えば図２Ａに示す構成である場合、メモリセルＭＣに保持されるデータの値が“１”であっても、１回の読み出し期間と、１回の書き戻し期間と、を通して発生する、容量ＦＥＣの誘電体における分極反転の回数は１回である。以上より、メモリセルＭＣを例えば図２Ａに示す構成とすることにより、メモリセルＭＣを図５Ａに示す構成とする場合より、半導体装置１０の信頼性を高めることができる。

［０１３５］

ここで、図４Ａ、及び図４Ｂに示す方法でメモリセルＭＣを駆動させる場合、メモリセルＭＣへのデータの書き戻しのたびに、メモリセルＭＣに保持されるデータの値が反転する。しかしながら、配線ＯＵＴから出力されるデータの値は、データの書き戻しがあっても変化しないことが好ましい。データの書き戻しがあっても配線ＯＵＴから出力されるデータの値が変化しないようにするために、センスアンプ回路ＳＡと配線ＯＵＴの間に、論理演算回路ＬＣを設ける。

［０１３６］

具体的には、例えばメモリセルＭＣ［ｉ，１］乃至メモリセルＭＣ［ｉ，ｎ］（ｉは１以上ｍ以下の整数）から読み出されたデータと、メモリセルＭＣ［ｉ，ｎ＋１］から読み出されたデータと、の論理演算を、論理演算回路ＬＣが行う。当該論理演算は、排他的論理和とすることができる。演算結果は、配線ＯＵＴから出力される。具体的には、メモリセルＭＣ［ｉ，１］から読み出されたデータと、メモリセルＭＣ［ｉ，ｎ＋１］から読み出されたデータと、の排他的論理和を表すデータを、配線ＯＵＴ［１］から出力する。また、メモリセルＭＣ［ｉ，ｎ］から読み出されたデータと、メモリセルＭＣ［ｉ，ｎ＋１］から読み出されたデータと、の排他的論理和を表すデータを、

配線ＯＵＴ［ｎ］から出力する。これにより、例えばメモリセルＭＣ［ｉ，ｎ＋１］に値が“０”のデータが保持されている場合は、メモリセルＭＣ［ｉ，１］乃至メモリセルＭＣ［ｉ，ｎ］に保持されているデータと同じ値のデータが、配線ＯＵＴ［１］乃至配線ＯＵＴ［ｎ］からそれぞれ出力される。一方、例えばメモリセルＭＣ［ｉ，ｎ＋１］に値が“１”のデータが保持されている場合は、メモリセルＭＣ［ｉ，１］乃至メモリセルＭＣ［ｉ，ｎ］に保持されているデータの値を反転させた値のデータが、配線ＯＵＴ［１］乃至配線ＯＵＴ［ｎ］からそれぞれ出力される。例えばｉ行目のメモリセルＭＣに対してデータの書き戻しを行う場合、メモリセルＭＣ［ｉ，１］乃至メモリセルＭＣ［ｉ，ｎ＋１］の全てについて、保持されているデータの値が反転する。以上により、メモリセルＭＣへのデータの書き戻しによりメモリセルＭＣに保持されるデータの値が反転しても、読み出し期間において、配線ＯＵＴからは所望の値のデータを出力し続けることができる。

［０１３７］

以上より、ｎ＋１列目のメモリセルＭＣに保持されるデータは、１乃至ｎ列目のメモリセルＭＣから読み出されるデータの値を反転させるか否かを表すデータとすることができる。よって、ｎ＋１列目のメモリセルＭＣは、参照メモリセルということができる。また、ｎ＋１列目のメモリセルＭＣに保持されるデータは、参照データということができる。メモリセルＭＣに保持されるデータは、２値データとすることができるため、ｎ＋１列目のメモリセルＭＣに保持されるデータは、参照２値データということができる。

［０１３８］

表１は、半導体装置１０の駆動方法の一例を示す表である。表１では、半導体装置１０がステップＳ１乃至ステップＳ８で示される駆動モードにより駆動する例を示している。表示１には、各ステップの動作を行った後における、メモリセルＭＣ［ｉ，ｊ１］、メモリセル［ｉ，ｊ２］（ｊ１，ｊ２は１以上ｎ以下の整数）、メモリセルＭＣ［ｉ，ｎ＋１］に保持されるデータの値、及び配線ＯＵＴ［ｊ１］、配線ＯＵＴ［ｊ２］から出力されるデータの値を示している。

［０１３９］

［表１］

駆動モード	MCに保持されるデータ			BDから出力されるデータ	
	MC[i, j1]	MC[i, j2]	MC[i, n+1]	OUT[j1]	OUT[j2]
初期化(S1)	0	0	0	–	–
書き込み(S2)	0	1	0	–	–
読み出し+書き戻し(S3)	1	0	1	0	1
読み出し+書き戻し(S4)	0	1	0		
読み出し+書き戻し(S5)	1	0	1		
書き込み(S6)	0	1	1	–	–
読み出し+書き戻し(S7)	1	0	0	1	0
読み出し+書き戻し(S8)	0	1	1		

［０１４０］

まず、ステップＳ１において、例えば全てのメモリセルＭＣに、値が“０”のデータを書き込む。つまり、例えば全てのメモリセルＭＣに対して、図３Ｂ１に示す動作を行う。これにより、メモリセルＭＣに保持されるデータを初期化する。

［０１４１］

次に、ステップＳ２において、１乃至ｎ列目のメモリセルＭＣに、所望のデータを書き込む。具体

的には、値が“０”のデータを書き込むメモリセルＭＣは図３Ｂ１に示す動作を行い、値が“１”のデータを書き込むメモリセルＭＣは図３Ｂ２に示す動作を行う。表１では、メモリセルＭＣ［ｉ，ｊ１］には値が“０”のデータを書き込み、メモリセルＭＣ［ｉ，ｊ２］には値が“１”のデータを書き込むとしている。また、ステップＳ２において、ｎ＋１列目のメモリセルＭＣに、値が“０”のデータを書き込む。

［０１４２］

その後、ステップＳ３において、メモリセルＭＣに保持されているデータを読み出した後、データの書き戻しを行う。具体的には、値が“０”のデータが保持されているメモリセルＭＣは図４Ａに示す動作を行い、値が“１”のデータが保持されているメモリセルＭＣは図４Ｂに示す動作を行う。

［０１４３］

ステップＳ３の開始時点（ステップＳ２の終了時点）では、ｎ＋１列目のメモリセルＭＣには値が“０”のデータが保持されている。よって、配線ＯＵＴ［１］乃至配線ＯＵＴ［ｎ］からは、ステップＳ３の開始時点（ステップＳ２の終了時点）において１乃至ｎ列目のメモリセルＭＣに保持されているデータがそのまま出力される。前述のように、ステップＳ３の開始時点（ステップＳ２の終了時点）においてメモリセルＭＣ［ｉ，ｊ１］に保持されているデータの値は“０”で、メモリセルＭＣ［ｉ，ｊ２］に保持されているデータの値は“１”である。以上より、ｉ行目のメモリセルＭＣに保持されているデータを読み出す場合、配線ＯＵＴ［ｊ１］からは値が“０”のデータが出力され、配線ＯＵＴ［ｊ２］からは値が“１”のデータが出力される。

［０１４４］

また、メモリセルＭＣにデータを書き戻すことにより、メモリセルＭＣに保持されるデータが反転する。よって、表１に示すように、ステップＳ３の終了時点では、メモリセルＭＣ［ｉ，ｊ１］に保持されるデータの値は“１”となり、メモリセルＭＣ［ｉ，ｊ２］に保持されるデータの値は“０”となる。

［０１４５］

ステップＳ４においても、ステップＳ３と同様に、メモリセルＭＣに保持されているデータを読み出した後、データの書き戻しを行う。

［０１４６］

ステップＳ４の開始時点（ステップＳ３の終了時点）では、ｎ＋１列目のメモリセルＭＣには値が“１”のデータが保持されている。よって、配線ＯＵＴ［１］乃至配線ＯＵＴ［ｎ］からは、ステップＳ４の開始時点（ステップＳ３の終了時点）において１乃至ｎ列目のメモリセルＭＣに保持されているデータの値を反転させた値のデータが出力される。前述のように、ステップＳ４の開始時点（ステップＳ３の終了時点）においてメモリセルＭＣ［ｉ，ｊ１］に保持されているデータの値は“１”で、メモリセルＭＣ［ｉ，ｊ２］に保持されているデータの値は“０”である。以上より、ｉ行目のメモリセルＭＣに保持されているデータを読み出す場合、配線ＯＵＴ［ｊ１］からは値が“０”のデータが出力され、配線ＯＵＴ［ｊ２］からは値が“１”のデータが出力される。つまり、ステップＳ３で配線ＯＵＴから出力されたデータと同じ値のデータが、ステップＳ４でも配線ＯＵＴから出力される。

［０１４７］

ステップＳ５においても、ステップＳ３等と同様に、メモリセルＭＣに保持されているデータを読み出した後、データの書き戻しを行う。これにより、ステップＳ３と同様に、配線ＯＵＴ［ｊ１］

から値が“０”のデータが出力され、配線ＯＵＴ［ｊ２］から値が“１”のデータが出力される。
［０１４８］
次に、ステップＳ６において、１乃至ｎ列目のメモリセルＭＣに、所望のデータを書き込む。具体的には、ステップＳ２と同様に、値が“０”のデータを書き込むメモリセルＭＣは図３Ｂ１に示す動作を行い、値が“１”のデータを書き込むメモリセルＭＣは図３Ｂ２に示す動作を行う。これにより、１乃至ｎ列目のメモリセルＭＣに保持されるデータを更新することができる。
［０１４９］
表１では、メモリセルＭＣ［ｉ，ｊ１］には値が“０”のデータを書き込み、メモリセルＭＣ［ｉ，ｊ２］には値が“１”のデータを書き込むとしている。また、ステップＳ６において、ｎ＋１列目のメモリセルＭＣには、データの書き込みを行わない。表１に示す例では、ステップＳ５の終了時点ではｎ＋１列目のメモリセルＭＣに値が“１”のデータが保持されている。よって、ステップＳ６の終了時点において、ｎ＋１列目のメモリセルＭＣには、値が“１”のデータが引き続き保持される。
［０１５０］
なお、ステップＳ６において、ｎ＋１列目のメモリセルＭＣに保持されているデータの値によらず、ｎ＋１列目のメモリセルに値が“０”のデータを書き込んでもよい。
［０１５１］
次に、ステップＳ７において、ステップＳ３等と同様に、メモリセルＭＣに保持されているデータを読み出した後、データの書き戻しを行う。
［０１５２］
ステップＳ７の開始時点（ステップＳ６の終了時点）では、ｎ＋１列目のメモリセルＭＣには値が“１”のデータが保持されている。よって、配線ＯＵＴ［１］乃至配線ＯＵＴ［ｎ］からは、ステップＳ７の開始時点（ステップＳ６の終了時点）において１乃至ｎ列目のメモリセルＭＣに保持されているデータの値を反転させた値のデータが出力される。前述のように、ステップＳ７の開始時点（ステップＳ６の終了時点）においてメモリセルＭＣ［ｉ，ｊ１］に保持されているデータの値は“０”で、メモリセルＭＣ［ｉ，ｊ２］に保持されているデータの値は“１”である。以上より、ｉ行目のメモリセルＭＣに保持されているデータを読み出す場合、配線ＯＵＴ［ｊ１］からは値が“１”のデータが出力され、配線ＯＵＴ［ｊ２］からは値が“０”のデータが出力される。
［０１５３］
ステップＳ８においても、ステップＳ７等と同様に、メモリセルＭＣに保持されているデータを読み出した後、データの書き戻しを行う。これにより、ステップＳ７と同様に、配線ＯＵＴ［ｊ１］から値が“１”のデータが出力され、配線ＯＵＴ［ｊ２］から値が“０”のデータが出力される。
［０１５４］
以上のように、本発明の一態様の半導体装置の駆動方法では、メモリセルＭＣへのデータの書き戻しによりメモリセルＭＣに保持されるデータの値が反転しても、読み出し期間において、配線ＯＵＴからは所望の値のデータを出力し続けることができる。
［０１５５］
本実施の形態は、本明細書等で示す他の実施の形態と適宜組み合わせることができる。
［０１５６］
（実施の形態２）

本実施の形態では、上記実施の形態で説明した半導体装置の構成例、及び上記の実施の形態で説明した半導体装置に適用できるトランジスタの構成例について説明する。
［０１５７］
＜半導体装置の構成例１＞
図６は、一例として、上記実施の形態で説明した半導体装置であって、当該半導体装置は、トランジスタ３００と、トランジスタ５００と、容量６００と、を有する。また、図７Ａにはトランジスタ５００のチャネル長方向の断面図、図７Ｂにはトランジスタ５００のチャネル幅方向の断面図を示しており、図７Ｃにはトランジスタ３００のチャネル幅方向の断面図を示している。
［０１５８］
トランジスタ５００は、チャネル形成領域に金属酸化物を有するトランジスタ（ＯＳトランジスタ）である。トランジスタ５００は、オフ電流が小さく、また、高温でも電界効果移動度が変化しにくい特性を有する。トランジスタ５００を、半導体装置、例えば、上記実施の形態で説明した、図２Ａ等に示すメモリセルＭＣが有するトランジスタＭ１等に適用することにより、高温でも動作能力が低下しにくい半導体装置を実現できる。
［０１５９］
トランジスタ５００は、例えば、トランジスタ３００の上方に設けられ、容量６００は、例えば、トランジスタ３００、及びトランジスタ５００の上方に設けられている。なお、容量６００は、上記実施の形態で説明した、図２Ａ等に示す容量ＦＥＣ等とすることができる。
［０１６０］
トランジスタ３００は、基板３１０上に設けられ、素子分離層３１２、導電体３１６、絶縁体３１５、基板３１０の一部からなる半導体領域３１３、ソース領域又はドレイン領域として機能する低抵抗領域３１４ａ、及び低抵抗領域３１４ｂを有する。なお、トランジスタ３００は、例えば、上記実施の形態で説明した、図２Ａ等に示すトランジスタＭ２等に適用することができる。
［０１６１］
また、基板３１０としては、半導体基板（例えば単結晶基板又はシリコン基板）を用いることが好ましい。
［０１６２］
トランジスタ３００は、図７Ｃに示すように、半導体領域３１３の上面及びチャネル幅方向の側面が絶縁体３１５を介して導電体３１６に覆われている。このように、トランジスタ３００をＦｉｎ型とすることにより、実効上のチャネル幅が増大することによりトランジスタ３００のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ３００のオフ特性を向上させることができる。
［０１６３］
なお、トランジスタ３００は、ｐチャネル型、あるいはｎチャネル型のいずれでもよい。
［０１６４］
半導体領域３１３のチャネルが形成される領域、その近傍の領域、ソース領域、又はドレイン領域となる低抵抗領域３１４ａ、及び低抵抗領域３１４ｂ等において、シリコン系半導体等の半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。又は、Ｇｅ（ゲルマニウム）、ＳｉＧｅ（シリコンゲルマニウム）、ＧａＡｓ（ガリウムヒ素）、ＧａＡｌＡｓ（ガリウムアルミニウムヒ素）、ＧａＮ（窒化ガリウム）等を有する材料で形成してもよい。結晶格子に応力を与え、格

子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。又はＧａＡｓとＧａＡｌＡｓ等を用いることで、トランジスタ３００をＨＥＭＴ（Ｈｉｇｈ　Ｅｌｅｃｔｒｏｎ　Ｍｏｂｉｌｉｔｙ　Ｔｒａｎｓｉｓｔｏｒ）としてもよい。

［０１６５］

低抵抗領域３１４ａ、及び低抵抗領域３１４ｂは、半導体領域３１３に適用される半導体材料に加え、ヒ素、リン等のｎ型の導電性を付与する元素、又はホウ素等のｐ型の導電性を付与する元素を含む。

［０１６６］

ゲート電極として機能する導電体３１６は、ヒ素、リン等のｎ型の導電性を付与する元素、もしくはホウ素等のｐ型の導電性を付与する元素を含むシリコン等の半導体材料、金属材料、合金材料、又は金属酸化物材料等の導電性材料を用いることができる。

［０１６７］

なお、導電体の材料によって仕事関数が決まるため、当該導電体の材料を選択することで、トランジスタのしきい値電圧を調整することができる。具体的には、導電体に窒化チタン、窒化タンタル等の材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステン、アルミニウム等の金属材料を積層として用いることが好ましく、特にタングステンを用いることが耐熱性の点で好ましい。

［０１６８］

素子分離層３１２は、基板３１０上に形成されている複数のトランジスタ同士を分離するために設けられている。素子分離層は、例えば、ＬＯＣＯＳ（ＬＯＣａｌ　Ｏｘｉｄａｔｉｏｎ　ｏｆ　Ｓｉｌｉｃｏｎ）法、ＳＴＩ（Ｓｈａｌｌｏｗ　Ｔｒｅｎｃｈ　Ｉｓｏｌａｔｉｏｎ）法、メサ分離法等を用いて形成することができる。

［０１６９］

なお、図６に示すトランジスタ３００は一例であり、その構造に限定されず、回路構成、駆動方法等に応じて適切なトランジスタを用いればよい。例えば、トランジスタ３００は、図７Ｃに示すＦＩＮ型ではなく、プレーナ型の構造としてもよい。また、例えば、半導体装置をＯＳトランジスタのみの単極性回路とする場合、図８に示すとおり、トランジスタ３００の構成を、酸化物半導体を用いているトランジスタ５００と同様の構成にすればよい。なお、トランジスタ５００の詳細については後述する。なお、本明細書等において、単極性回路とは、ｎチャネル型トランジスタ又はｐチャネル型トランジスタの一方のみの極性のトランジスタを含む回路のことをいう。

［０１７０］

なお、図８において、トランジスタ３００は、基板３１０Ａ上に設けられているが、この場合、基板３１０Ａとしては、図６の半導体装置の基板３１０と同様に半導体基板を用いてもよい。また、基板３１０Ａとしては、例えば、ＳＯＩ基板、ガラス基板、石英基板、プラスチック基板、サファイアガラス基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、又は基材フィルム等を用いることができる。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、又はソーダライムガラス等がある。可撓性基板、貼り合わせフィルム、基材フィルム等の一例としては、以下のものがあげられる。例えば、ポリエチレンテレフタレート（ＰＥＴ）、ポリエチレンナフタレート（ＰＥＮ）、ポリエーテルサル

フォン（ＰＥＳ）、ポリテトラフルオロエチレン（ＰＴＦＥ）に代表されるプラスチックがある。又は、一例としては、アクリル等の合成樹脂等がある。又は、一例としては、ポリプロピレン、ポリエステル、ポリフッ化ビニル、又はポリ塩化ビニル等がある。又は、一例としては、ポリアミド、ポリイミド、アラミド、エポキシ樹脂、無機蒸着フィルム、又は紙類等がある。

［０１７１］

図６に示すトランジスタ３００には、絶縁体３２０、絶縁体３２２、絶縁体３２４、絶縁体３２６が、基板３１０側から順に積層して設けられている。

［０１７２］

絶縁体３２０、絶縁体３２２、絶縁体３２４、及び絶縁体３２６として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム等を用いればよい。

［０１７３］

なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。また、本明細書中において、酸化窒化アルミニウムとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化アルミニウムとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

［０１７４］

絶縁体３２２は、絶縁体３２０及び絶縁体３２２に覆われているトランジスタ３００等によって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体３２２の上面は、平坦性を高めるために化学機械研磨（ＣＭＰ：Ｃｈｅｍｉｃａｌ　Ｍｅｃｈａｎｉｃａｌ　Ｐｏｌｉｓｈｉｎｇ）法等を用いた平坦化処理により平坦化されていてもよい。

［０１７５］

また、絶縁体３２４には、基板３１０、又はトランジスタ３００等から、トランジスタ５００が設けられる領域に、水素、不純物等が拡散しないようなバリア性を有する膜を用いることが好ましい。

［０１７６］

水素に対するバリア性を有する膜の一例として、ＣＶＤ法で形成した窒化シリコンを用いることができる。ここで、トランジスタ５００等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ５００と、トランジスタ３００との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

［０１７７］

水素の脱離量は、例えば、昇温脱離ガス分析法（ＴＤＳ）等を用いて分析することができる。例えば、絶縁体３２４の水素の脱離量は、ＴＤＳ分析において、膜の表面温度が５０℃から５００℃の範囲において、水素原子に換算した脱離量が、絶縁体３２４の面積当たりに換算して、10×10^{15}ａｔｏｍｓ／ｃｍ^{2}以下、好ましくは5×10^{15}ａｔｏｍｓ／ｃｍ^{2}以下であればよい。

［０１７８］

なお、絶縁体３２６は、絶縁体３２４よりも誘電率が低いことが好ましい。例えば、絶縁体３２６の比誘電率は４未満が好ましく、３未満がより好ましい。また例えば、絶縁体３２６の比誘電率は、絶縁体３２４の比誘電率の０．７倍以下が好ましく、０．６倍以下がより好ましい。誘電率が低い

材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。
［０１７９］
また、絶縁体３２０、絶縁体３２２、絶縁体３２４、及び絶縁体３２６には容量６００、又はトランジスタ５００と接続する導電体３２８、及び導電体３３０等が埋め込まれている。なお、導電体３２８、及び導電体３３０は、プラグ又は配線としての機能を有する。また、プラグ又は配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、及び導電体の一部がプラグとして機能する場合もある。
［０１８０］
各プラグ、及び配線（導電体３２８、導電体３３０等）の材料としては、金属材料、合金材料、金属窒化物材料、又は金属酸化物材料等の導電性材料を、単層又は積層して用いることができる。耐熱性と導電性を両立するタングステン、モリブデン等の高融点材料を用いることが好ましく、タングステンを用いることが好ましい。又は、アルミニウム、銅等の低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。
［０１８１］
絶縁体３２６、及び導電体３３０上に、配線層を設けてもよい。例えば、図６において、絶縁体３５０、絶縁体３５２、及び絶縁体３５４が、絶縁体３２６、及び導電体３３０の上方に、順に積層して設けられている。また、絶縁体３５０、絶縁体３５２、及び絶縁体３５４には、導電体３５６が形成されている。導電体３５６は、トランジスタ３００と接続するプラグ、又は配線としての機能を有する。なお導電体３５６は、導電体３２８、及び導電体３３０と同様の材料を用いて設けることができる。
［０１８２］
なお、例えば、絶縁体３５０は、絶縁体３２４と同様に、水素、水等の不純物に対するバリア性を有する絶縁体を用いることが好ましい。また、絶縁体３５２、及び絶縁体３５４としては、絶縁体３２６と同様に、配線間に生じる寄生容量を低減するために、比誘電率が比較的低い絶縁体を用いることが好ましい。また、導電体３５６は、水素、水等の不純物に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体３５０が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ３００とトランジスタ５００とは、バリア層により分離することができ、トランジスタ３００からトランジスタ５００への水素の拡散を抑制することができる。
［０１８３］
なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ３００からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体３５０と接する構造であることが好ましい。
［０１８４］
また、絶縁体３５４、及び導電体３５６上には、絶縁体３６０と、絶縁体３６２と、絶縁体３６４が順に積層されている。
［０１８５］

絶縁体３６０は、絶縁体３２４等と同様に、水、水素等の不純物に対するバリア性を有する絶縁体を用いることが好ましい。そのため、絶縁体３６０としては、例えば、絶縁体３２４等に適用できる材料を用いることができる。

［０１８６］

絶縁体３６２、及び絶縁体３６４は、層間絶縁膜、及び平坦化膜としての機能を有する。また、絶縁体３６２、及び絶縁体３６４は、絶縁体３２４と同様に、水、水素等の不純物に対するバリア性を有する絶縁体を用いることが好ましい。このため、絶縁体３６２、及び／又は絶縁体３６４としては、絶縁体３２４に適用できる材料を用いることができる。

［０１８７］

また、絶縁体３６０、絶縁体３６２、及び絶縁体３６４のそれぞれの、一部の導電体３５６と重畳する領域に開口部が形成されて、当該開口部を埋めるように導電体３６６が設けられている。また、導電体３６６は、絶縁体３６２上にも形成されている。導電体３６６は、一例として、トランジスタ３００と接続するプラグ、又は配線としての機能を有する。なお、導電体３６６は、導電体３２８、及び導電体３３０と同様の材料を用いて設けることができる。

［０１８８］

絶縁体３６４、及び導電体３６６上には絶縁体５１０、絶縁体５１２、絶縁体５１４、及び絶縁体５１６が、順に積層して設けられている。絶縁体５１０、絶縁体５１２、絶縁体５１４、及び絶縁体５１６のいずれかは、酸素、水素に対してバリア性のある物質を用いることが好ましい。

［０１８９］

例えば、絶縁体５１０、及び絶縁体５１４には、基板３１０、又はトランジスタ３００を設ける領域等から、トランジスタ５００が設けられている領域に、水素、不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。したがって、絶縁体３２４と同様の材料を用いることができる。

［０１９０］

水素に対するバリア性を有する膜の一例として、ＣＶＤ法で形成した窒化シリコンを用いることができる。ここで、トランジスタ５００等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ５００と、トランジスタ３００との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

［０１９１］

また、水素に対するバリア性を有する膜として、例えば、絶縁体５１０、及び絶縁体５１４には、酸化アルミニウム、酸化ハフニウム、酸化タンタル等の金属酸化物を用いることが好ましい。

［０１９２］

特に、酸化アルミニウムは、酸素、及びトランジスタの電気特性の変動要因となる水素、水分等の不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中及び作製後において、水素、水分等の不純物のトランジスタ５００への混入を防止することができる。また、トランジスタ５００を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ５００に対する保護膜として用いることに適している。

［０１９３］

また、例えば、絶縁体５１２、及び絶縁体５１６には、絶縁体３２０と同様の材料を用いることが

できる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体５１２、及び絶縁体５１６として、酸化シリコン膜、酸化窒化シリコン膜等を用いることができる。

［０１９４］

また、絶縁体５１０、絶縁体５１２、絶縁体５１４、及び絶縁体５１６には、導電体５１８、及びトランジスタ５００を構成する導電体（例えば、図７Ａ、及び図７Ｂに示す導電体５０３）等が埋め込まれている。なお、導電体５１８は、容量６００、又はトランジスタ３００と接続するプラグ、又は配線としての機能を有する。導電体５１８は、導電体３２８、及び導電体３３０と同様の材料を用いて設けることができる。

［０１９５］

特に、絶縁体５１０、及び絶縁体５１４と接する領域の導電体５１８は、酸素、水素、及び水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ３００とトランジスタ５００とは、酸素、水素、及び水に対するバリア性を有する層で、分離することができ、トランジスタ３００からトランジスタ５００への水素の拡散を抑制することができる。

［０１９６］

絶縁体５１６の上方には、トランジスタ５００が設けられている。

［０１９７］

図７Ａ、及び図７Ｂに示すように、トランジスタ５００は、絶縁体５１４上の絶縁体５１６と、絶縁体５１４又は絶縁体５１６に埋め込まれるように配置された導電体５０３（導電体５０３ａ、及び導電体５０３ｂ）と、絶縁体５１６上、及び導電体５０３上の絶縁体５２２と、絶縁体５２２上の絶縁体５２４と、絶縁体５２４上の酸化物５３０ａと、酸化物５３０ａ上の酸化物５３０ｂと、酸化物５３０ｂ上の導電体５４２ａと、導電体５４２ａ上の絶縁体５７１ａと、酸化物５３０ｂ上の導電体５４２ｂと、導電体５４２ｂ上の絶縁体５７１ｂと、酸化物５３０ｂ上の絶縁体５５２と、絶縁体５５２上の絶縁体５５０と、絶縁体５５０上の絶縁体５５４と、絶縁体５５４上に位置し、酸化物５３０ｂの一部と重なる導電体５６０（導電体５６０ａ、及び導電体５６０ｂ）と、絶縁体５２２、絶縁体５２４、酸化物５３０ａ、酸化物５３０ｂ、導電体５４２ａ、導電体５４２ｂ、絶縁体５７１ａ、及び絶縁体５７１ｂ上に配置される絶縁体５４４と、を有する。ここで、図７Ａ、及び図７Ｂに示すように、絶縁体５５２は、絶縁体５２２の上面、絶縁体５２４の側面、酸化物５３０ａの側面、酸化物５３０ｂの側面及び上面、導電体５４２の側面、絶縁体５７１の側面、絶縁体５４４の側面、絶縁体５８０の側面、及び絶縁体５５０の下面と接する。また、導電体５６０の上面は、絶縁体５５４の上部、絶縁体５５０の上部、絶縁体５５２の上部、及び絶縁体５８０の上面と高さが概略一致するように配置される。また、絶縁体５７４は、導電体５６０の上面、絶縁体５５２の上部、絶縁体５５０の上部、絶縁体５５４の上部、及び絶縁体５８０の上面の少なくともいずれかの一部と接する。なお、本明細書等において、導電体５４２ａと導電体５４２ｂをまとめて導電体５４２といい、絶縁体５７１ａと絶縁体５７１ｂをまとめて絶縁体５７１という場合がある。他の要素も同様の表現をする場合がある。

［０１９８］

絶縁体５８０、及び絶縁体５４４には、酸化物５３０ｂに達する開口が設けられる。当該開口内に、絶縁体５５２、絶縁体５５０、絶縁体５５４、及び導電体５６０が配置されている。また、トランジスタ５００のチャネル長方向において、絶縁体５７１ａ、及び導電体５４２ａと、絶縁体５７１

ｂ、及び導電体５４２ｂと、の間に導電体５６０、絶縁体５５２、絶縁体５５０、及び絶縁体５５４が設けられている。絶縁体５５４は、導電体５６０の側面と接する領域と、導電体５６０の底面と接する領域と、を有する。

［０１９９］

酸化物５３０は、絶縁体５２４の上に配置された酸化物５３０ａと、酸化物５３０ａの上に配置された酸化物５３０ｂと、を有することが好ましい。酸化物５３０ｂ下に酸化物５３０ａを有することで、酸化物５３０ａよりも下方に形成された構造物から、酸化物５３０ｂへの不純物の拡散を抑制することができる。

［０２００］

なお、トランジスタ５００では、酸化物５３０が、酸化物５３０ａ、及び酸化物５３０ｂの２層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、トランジスタ５００は、酸化物５３０ｂの単層、又は３層以上の積層構造を有する構成とすることができる。又は、酸化物５３０ａ、及び酸化物５３０ｂのそれぞれが積層構造を有する構成とすることができる。

［０２０１］

導電体５６０は、第１のゲート（トップゲートともいう。）電極として機能し、導電体５０３は、第２のゲート（バックゲートともいう。）電極として機能する。また、絶縁体５５２、絶縁体５５０、及び絶縁体５５４は、第１のゲート絶縁体として機能し、絶縁体５２２、及び絶縁体５２４は、第２のゲート絶縁体として機能する。なお、ゲート絶縁体は、ゲート絶縁層、又はゲート絶縁膜と呼ぶ場合もある。また、導電体５４２ａは、ソース又はドレインの一方として機能し、導電体５４２ｂは、ソース又はドレインの他方として機能する。また、酸化物５３０の導電体５６０と重畳する領域の少なくとも一部はチャネル形成領域として機能する。

［０２０２］

ここで、図７Ａにおけるチャネル形成領域近傍の拡大図を図９Ａに示す。酸化物５３０ｂに酸素が供給されることで、導電体５４２ａと導電体５４２ｂの間の領域にチャネル形成領域が形成される。よって、図９Ａに示すように、酸化物５３０ｂは、トランジスタ５００のチャネル形成領域として機能する領域５３０ｂｃと、領域５３０ｂｃを挟むように設けられ、ソース領域又はドレイン領域として機能する領域５３０ｂａ及び領域５３０ｂｂと、を有する。領域５３０ｂｃは、少なくとも一部が導電体５６０と重畳している。言い換えると、領域５３０ｂｃは、導電体５４２ａと導電体５４２ｂの間の領域に設けられている。領域５３０ｂａは、導電体５４２ａに重畳して設けられており、領域５３０ｂｂは、導電体５４２ｂに重畳して設けられている。

［０２０３］

チャネル形成領域として機能する領域５３０ｂｃは、領域５３０ｂａ及び領域５３０ｂｂよりも、酸素欠損（本明細書等では、金属酸化物中の酸素欠損をV_O（ｏｘｙｇｅｎ　ｖａｃａｎｃｙ）と呼称する場合がある。）が少なく、又は不純物濃度が低いため、キャリア濃度が低い高抵抗領域である。よって領域５３０ｂｃは、ｉ型（真性）又は実質的にｉ型であるということができる。

［０２０４］

金属酸化物を用いたトランジスタは、金属酸化物中のチャネルが形成される領域に不純物又は酸素欠損（V_O）が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸素欠損（V_O）近傍の水素が、酸素欠損（V_O）に水素が入った欠陥（以下、V_OHと呼称する場合が

ある。）を形成し、キャリアとなる電子を生成する場合がある。このため、酸化物半導体中のチャネルが形成される領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性（ゲート電極に電圧を印加しなくてもチャネルが存在し、トランジスタに電流が流れる特性）となりやすい。したがって、酸化物半導体中のチャネルが形成される領域では、不純物、酸素欠損、及びV_OHはできる限り低減されていることが好ましい。

［０２０５］

また、ソース領域又はドレイン領域として機能する領域５３０ｂａ及び領域５３０ｂｂは、酸素欠損（V_O）が多く、又は水素、窒素、金属元素等の不純物濃度が高い、ことでキャリア濃度が増加し、低抵抗化した領域である。すなわち、領域５３０ｂａ及び領域５３０ｂｂは、領域５３０ｂｃと比較して、キャリア濃度が高く、低抵抗なｎ型の領域である。

［０２０６］

ここで、チャネル形成領域として機能する領域５３０ｂｃのキャリア濃度は、$1\times10^{18}cm^{-3}$以下であることが好ましく、$1\times10^{17}cm^{-3}$未満であることがより好ましく、$1\times10^{16}cm^{-3}$未満であることがさらに好ましく、$1\times10^{13}cm^{-3}$未満であることがさらに好ましく、$1\times10^{12}cm^{-3}$未満であることがさらに好ましい。なお、チャネル形成領域として機能する領域５３０ｂｃのキャリア濃度の下限値については、特に限定は無いが、例えば、$1\times10^{-9}cm^{-3}$とすることができる。

［０２０７］

また、領域５３０ｂｃと領域５３０ｂａ又は領域５３０ｂｂとの間に、キャリア濃度が、領域５３０ｂａ及び領域５３０ｂｂのキャリア濃度と同等、又はそれよりも低く、領域５３０ｂｃのキャリア濃度と同等、又はそれよりも高い、領域が形成されていてもよい。つまり、当該領域は、領域５３０ｂｃと領域５３０ｂａ又は領域５３０ｂｂとの接合領域として機能する。当該接合領域は、水素濃度が、領域５３０ｂａ及び領域５３０ｂｂの水素濃度と同等、又はそれよりも低く、領域５３０ｂｃの水素濃度と同等、又はそれよりも高くなる場合がある。また、当該接合領域は、酸素欠損が、領域５３０ｂａ及び領域５３０ｂｂの酸素欠損と同等、又はそれよりも少なく、領域５３０ｂｃの酸素欠損と同等、又はそれよりも多くなる場合がある。

［０２０８］

なお、図９Ａでは、領域５３０ｂａ、領域５３０ｂｂ、及び領域５３０ｂｃが酸化物５３０ｂに形成される例について示しているが、本発明はこれに限られるものではない。例えば、上記の各領域が酸化物５３０ｂだけでなく、酸化物５３０ａまで形成されてもよい。

［０２０９］

また、酸化物５３０において、各領域の境界を明確に検出することが困難な場合がある。各領域内で検出される金属元素、ならびに水素、及び窒素等の不純物元素の濃度は、領域ごとの段階的な変化に限らず、各領域内でも連続的に変化していてもよい。つまり、チャネル形成領域に近い領域であるほど、金属元素、ならびに水素、及び窒素等の不純物元素の濃度が減少していればよい。

［０２１０］

トランジスタ５００は、チャネル形成領域を含む酸化物５３０（酸化物５３０ａ、及び酸化物５３０ｂ）に、半導体として機能する金属酸化物（以下、酸化物半導体ともいう。）を用いることが好ましい。

［０２１１］

また、半導体として機能する金属酸化物は、バンドギャップが２ｅＶ以上、好ましくは２．５ｅＶ以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

［０２１２］

酸化物５３０として、例えば、インジウム、元素M及び亜鉛を有するＩｎ－Ｍ－Ｚｎ酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、錫、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、又はマグネシウム等から選ばれた一種、又は複数種）等の金属酸化物を用いるとよい。また、酸化物５３０として、Ｉｎ－Ｇａ酸化物、Ｉｎ－Ｚｎ酸化物、インジウム酸化物を用いてもよい。

［０２１３］

ここで、酸化物５３０ｂに用いる金属酸化物における、元素Mに対するＩｎの原子数比が、酸化物５３０ａに用いる金属酸化物における、元素Mに対するＩｎの原子数比より大きいことが好ましい。

［０２１４］

このように、酸化物５３０ｂの下に酸化物５３０ａを配置することで、酸化物５３０ａよりも下方に形成された構造物からの、酸化物５３０ｂに対する、不純物及び酸素の拡散を抑制することができる。

［０２１５］

また、酸化物５３０ａ及び酸化物５３０ｂが、酸素以外に共通の元素を有する（主成分とする）ことで、酸化物５３０ａと酸化物５３０ｂの界面における欠陥準位密度を低くすることができる。酸化物５３０ａと酸化物５３０ｂとの界面における欠陥準位密度を低くすることができるため、界面散乱によるキャリア伝導への影響が小さく、高いオン電流が得られる。

［０２１６］

酸化物５３０ｂは、結晶性を有することが好ましい。特に、酸化物５３０ｂとして、ＣＡＡＣ－ＯＳ（ｃ－ａｘｉｓ ａｌｉｇｎｅｄ ｃｒｙｓｔａｌｌｉｎｅ ｏｘｉｄｅ ｓｅｍｉｃｏｎｄｕｃｔｏｒ）を用いることが好ましい。

［０２１７］

ＣＡＡＣ－ＯＳは、結晶性の高い、緻密な構造を有しており、不純物、及び欠陥（例えば、酸素欠損（V_O等）が少ない金属酸化物である。特に、金属酸化物の形成後に、金属酸化物が多結晶化しない程度の温度（例えば、４００℃以上６００℃以下）で加熱処理することで、ＣＡＡＣ－ＯＳをより結晶性の高い、緻密な構造にすることができる。このようにして、ＣＡＡＣ－ＯＳの密度をより高めることで、当該ＣＡＡＣ－ＯＳ中の不純物又は酸素の拡散をより低減することができる。

［０２１８］

一方、ＣＡＡＣ－ＯＳは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。したがって、ＣＡＡＣ－ＯＳを有する金属酸化物は、物理的性質が安定する。そのため、ＣＡＡＣ－ＯＳを有する金属酸化物は熱に強く、信頼性が高い。

［０２１９］

酸化物半導体を用いたトランジスタは、酸化物半導体中のチャネルが形成される領域に不純物及び酸素欠損が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸素欠損近傍の水素が、酸素欠損に水素が入った欠陥（以下、V_OHと呼ぶ場合がある。）を形成し、キャ

リアとなる電子を生成する場合がある。このため、酸化物半導体中のチャネルが形成される領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性（ゲート電極に電圧を印加しなくてもチャネルが存在し、トランジスタに電流が流れる特性）となりやすい。したがって、酸化物半導体中のチャネルが形成される領域では、不純物、酸素欠損、及びV_OHはできる限り低減されていることが好ましい。言い換えると、酸化物半導体中のチャネルが形成される領域は、キャリア濃度が低減され、ｉ型（真性化）又は実質的にｉ型であることが好ましい。

［０２２０］

これに対して、酸化物半導体の近傍に、加熱により脱離する酸素（以下、過剰酸素と呼ぶ場合がある。）を含む絶縁体を設け、熱処理を行うことで、当該絶縁体から酸化物半導体に酸素を供給し、酸素欠損、及びV_OHを低減することができる。ただし、ソース領域又はドレイン領域に過剰な量の酸素が供給されると、トランジスタ５００のオン電流の低下、又は電界効果移動度の低下を引き起こすおそれがある。さらに、ソース領域又はドレイン領域に供給される酸素の量が基板面内でばらつくことで、トランジスタを有する半導体装置の特性にばらつきが出ることになる。

［０２２１］

よって、酸化物半導体中において、チャネル形成領域として機能する領域５３０ｂｃは、キャリア濃度が低減され、ｉ型又は実質的にｉ型であることが好ましいが、ソース領域又はドレイン領域として機能する領域５３０ｂａ及び領域５３０ｂｂは、キャリア濃度が高く、ｎ型であることが好ましい。つまり、酸化物半導体の領域５３０ｂｃの酸素欠損、及びV_OHを低減し、領域５３０ｂａ及び領域５３０ｂｂには過剰な量の酸素が供給されないようにすることが好ましい。

［０２２２］

そこで、本実施の形態では、酸化物５３０ｂ上に導電体５４２ａ及び導電体５４２ｂを設けた状態で、酸素を含む雰囲気でマイクロ波処理を行い、領域５３０ｂｃの酸素欠損、及びV_OHの低減を図る。ここで、マイクロ波処理とは、例えばマイクロ波を用いて高密度プラズマを発生させる電源を有する装置を用いた処理のことを指す。

［０２２３］

酸素を含む雰囲気でマイクロ波処理を行うことで、マイクロ波、又はＲＦ等の高周波を用いて酸素ガスをプラズマ化し、当該酸素プラズマを作用させることができる。このとき、マイクロ波、又はＲＦ等の高周波を領域５３０ｂｃに照射することもできる。プラズマ、マイクロ波等の作用により、領域５３０ｂｃのV_OHを分断し、水素Ｈを領域５３０ｂｃから除去し、酸素欠損V_Oを酸素で補填することができる。つまり、領域５３０ｂｃにおいて、「$V_OH \rightarrow H + V_O$」という反応が起きて、領域５３０ｂｃの水素濃度を低減することができる。よって、領域５３０ｂｃ中の酸素欠損、及びV_OHを低減し、キャリア濃度を低下させることができる。

［０２２４］

また、酸素を含む雰囲気でマイクロ波処理を行う際、マイクロ波、又はＲＦ等の高周波、酸素プラズマ等の作用は、導電体５４２ａ及び導電体５４２ｂに遮蔽され、領域５３０ｂａ及び領域５３０ｂｂには及ばない。さらに、酸素プラズマの作用は、酸化物５３０ｂ、及び導電体５４２を覆って設けられている、絶縁体５７１、及び絶縁体５８０によって、低減することができる。これにより、マイクロ波処理の際に、領域５３０ｂａ及び領域５３０ｂｂで、V_OHの低減、及び過剰な量の酸素供給が発生しないので、キャリア濃度の低下を防ぐことができる。

［０２２５］

また、絶縁体５５２となる絶縁膜の成膜後、又は絶縁体５５０となる絶縁膜の成膜後に、酸素を含む雰囲気でマイクロ波処理を行うとことが好ましい。このように絶縁体５５２、又は絶縁体５５０を介して、酸素を含む雰囲気でマイクロ波処理を行うことで、効率良く領域５３０ｂｃ中へ酸素を注入することができる。また、絶縁体５５２を導電体５４２の側面、及び領域５３０ｂｃの表面と接するように配置することで、領域５３０ｂｃへ必要量以上の酸素の注入を抑制し、導電体５４２の側面の酸化を抑制することができる。また、絶縁体５５０となる絶縁膜の成膜時に導電体５４２の側面の酸化を抑制することができる。

［０２２６］

また、領域５３０ｂｃ中に注入される酸素は、酸素原子、酸素分子、酸素ラジカル（Ｏラジカルともいう、不対電子をもつ原子又は分子、あるいはイオン）等様々な形態がある。なお、領域５３０ｂｃ中に注入される酸素は、上述の形態のいずれか一又は複数であれば好ましく、特に酸素ラジカルであると好適である。また、絶縁体５５２、及び絶縁体５５０の膜質を向上させることができるので、トランジスタ５００の信頼性が向上する。

［０２２７］

このようにして、酸化物半導体の領域５３０ｂｃで選択的に酸素欠損、及びV_OHを除去して、領域５３０ｂｃをｉ型又は実質的にｉ型とすることができる。さらに、ソース領域又はドレイン領域として機能する領域５３０ｂａ及び領域５３０ｂｂに過剰な酸素が供給されるのを抑制し、ｎ型の電気特性を維持することができる。これにより、トランジスタ５００の電気特性の変動を抑制し、基板面内でトランジスタ５００の電気特性のばらつきを少なくすることができる。

［０２２８］

以上のような構成にすることで、トランジスタ特性のばらつきが少ない半導体装置を提供することができる。また、信頼性が良好な半導体装置を提供することができる。また、良好な電気特性を有する半導体装置を提供することができる。

［０２２９］

また、図７Ｂに示すように、トランジスタ５００のチャネル幅方向の断面視において、酸化物５３０ｂの側面と酸化物５３０ｂの上面との間に、湾曲面を有してもよい。つまり、当該側面の端部と当該上面の端部は、湾曲してもよい（以下、ラウンド状ともいう。）。

［０２３０］

上記湾曲面での曲率半径は、０ｎｍより大きく、導電体５４２と重なる領域の酸化物５３０ｂの膜厚より小さい、又は、上記湾曲面を有さない領域の長さの半分より小さいことが好ましい。上記湾曲面での曲率半径は、具体的には、０ｎｍより大きく２０ｎｍ以下、好ましくは１ｎｍ以上１５ｎｍ以下、さらに好ましくは２ｎｍ以上１０ｎｍ以下とする。このような形状にすることで、絶縁体５５２、絶縁体５５０、絶縁体５５４、及び導電体５６０の、酸化物５３０ｂへの被覆性を高めることができる。

［０２３１］

酸化物５３０は、化学組成が異なる複数の酸化物層の積層構造を有することが好ましい。具体的には、酸化物５３０ａに用いる金属酸化物において、主成分である金属元素に対する元素Ｍの原子数比が、酸化物５３０ｂに用いる金属酸化物における、主成分である金属元素に対する元素Ｍの原子数比より、大きいことが好ましい。また、酸化物５３０ａに用いる金属酸化物において、Ｉｎに対する元素Ｍの原子数比が、酸化物５３０ｂに用いる金属酸化物における、Ｉｎに対する元素Ｍの原

子数比より大きいことが好ましい。また、酸化物５３０ｂに用いる金属酸化物において、元素Mに対するＩｎの原子数比が、酸化物５３０ａに用いる金属酸化物における、元素Mに対するＩｎの原子数比より大きいことが好ましい。

［０２３２］

また、酸化物５３０ｂは、ＣＡＡＣ－ＯＳ等の結晶性を有する酸化物であることが好ましい。ＣＡＡＣ－ＯＳ等の結晶性を有する酸化物は、不純物、及び欠陥（酸素欠損等）が少なく、結晶性の高い、緻密な構造を有している。よって、ソース電極又はドレイン電極による、酸化物５３０ｂからの酸素の引き抜きを抑制することができる。これにより、熱処理を行っても、酸化物５３０ｂから酸素が引き抜かれることを低減できるので、トランジスタ５００は、製造工程における高い温度（所謂サーマルバジェット）に対して安定である。

［０２３３］

ここで、酸化物５３０ａと酸化物５３０ｂの接合部において、伝導帯下端はなだらかに変化する。換言すると、酸化物５３０ａと酸化物５３０ｂの接合部における伝導帯下端は、連続的に変化又は連続接合するともいうことができる。このようにするためには、酸化物５３０ａと酸化物５３０ｂとの界面に形成される混合層の欠陥準位密度を低くするとよい。

［０２３４］

具体的には、酸化物５３０ａと酸化物５３０ｂが、酸素以外に共通の元素を主成分として有することで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物５３０ｂがＩｎ－M－Ｚｎ酸化物の場合、酸化物５３０ａとして、Ｉｎ－M－Ｚｎ酸化物、M－Ｚｎ酸化物、元素Mの酸化物、Ｉｎ－Ｚｎ酸化物、インジウム酸化物等を用いてもよい。

［０２３５］

具体的には、酸化物５３０ａとして、Ｉｎ：M：Ｚｎ＝１：３：４［原子数比］もしくはその近傍の組成、又はＩｎ：M：Ｚｎ＝１：１：０．５［原子数比］もしくはその近傍の組成の金属酸化物を用いればよい。また、酸化物５３０ｂとして、Ｉｎ：M：Ｚｎ＝１：１：１［原子数比］もしくはその近傍の組成、又はＩｎ：M：Ｚｎ＝４：２：３［原子数比］もしくはその近傍の組成の金属酸化物を用いればよい。なお、近傍の組成とは、所望の原子数比の±３０％の範囲を含む。また、元素Mとして、ガリウムを用いることが好ましい。

［０２３６］

なお、金属酸化物をスパッタリング法により成膜する場合、上記の原子数比は、成膜された金属酸化物の原子数比に限られず、金属酸化物の成膜に用いるスパッタリングターゲットの原子数比であってもよい。

［０２３７］

また、図７Ａ等に示すように、酸化物５３０の上面及び側面に接して、酸化アルミニウム等により形成される絶縁体５５２を設けることにより、酸化物５３０と絶縁体５５２の界面及びその近傍に、酸化物５３０に含まれるインジウムが偏在する場合がある。これにより、酸化物５３０の表面近傍が、インジウム酸化物に近い原子数比、又はＩｎ－Ｚｎ酸化物に近い原子数比になる。このように酸化物５３０、特に酸化物５３０ｂの表面近傍のインジウムの原子数比が大きくなることで、トランジスタ５００の電界効果移動度を向上させることができる。

［０２３８］

酸化物５３０ａ及び酸化物５３０ｂを上述の構成とすることで、酸化物５３０ａと酸化物５３０ｂ

との界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ５００は大きいオン電流、及び高い周波数特性を得ることができる。

［０２３９］

絶縁体５１２、絶縁体５１４、絶縁体５４４、絶縁体５７１、絶縁体５７４、絶縁体５７６、及び絶縁体５８１の少なくとも一は、水、水素等の不純物が、基板側から、又は、トランジスタ５００の上方からトランジスタ５００に拡散するのを抑制するバリア絶縁膜として機能することが好ましい。したがって、絶縁体５１２、絶縁体５１４、絶縁体５４４、絶縁体５７１、絶縁体５７４、絶縁体５７６、及び絶縁体５８１の少なくとも一は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（N_2O、ＮＯ、NO_2等）、銅原子等の不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい）絶縁性材料を用いることが好ましい。又は、酸素（例えば、酸素原子、酸素分子等の少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料を用いることが好ましい。

［０２４０］

なお、本明細書において、バリア絶縁膜とは、バリア性を有する絶縁膜のことを指す。本明細書において、バリア性とは、対応する物質の拡散を抑制する機能（透過性が低いともいう）とする。又は、対応する物質を、捕獲、及び固着する（ゲッタリングともいう）機能とする。

［０２４１］

絶縁体５１２、絶縁体５１４、絶縁体５４４、絶縁体５７１、絶縁体５７４、絶縁体５７６、及び絶縁体５８１としては、水、水素等の不純物、及び酸素の拡散を抑制する機能を有する絶縁体を用いることが好ましく、例えば、酸化アルミニウム、酸化マグネシウム、酸化ハフニウム、酸化ガリウム、インジウムガリウム亜鉛酸化物、窒化シリコン、又は窒化酸化シリコン等を用いることができる。例えば、絶縁体５１２、絶縁体５４４、及び絶縁体５７６として、より水素バリア性が高い、窒化シリコン等を用いることが好ましい。また、例えば、絶縁体５１４、絶縁体５７１、絶縁体５７４、及び絶縁体５８１として、水素を捕獲及び水素を固着する機能が高い、酸化アルミニウム又は酸化マグネシウム等を用いることが好ましい。これにより、水、水素等の不純物が絶縁体５１２、及び絶縁体５１４を介して、基板側からトランジスタ５００側に拡散することを抑制できる。又は、水、水素等の不純物が絶縁体５８１よりも外側に配置されている層間絶縁膜等から、トランジスタ５００側に拡散するのを抑制することができる。又は、絶縁体５２４等に含まれる酸素が、絶縁体５１２、及び絶縁体５１４を介して基板側に、拡散するのを抑制することができる。又は、絶縁体５８０等に含まれる酸素が、絶縁体５７４等を介してトランジスタ５００より上方に、拡散するのを抑制することができる。この様に、トランジスタ５００を、水、水素等の不純物、及び酸素の拡散を抑制する機能を有する絶縁体５１２、絶縁体５１４、絶縁体５７１、絶縁体５４４、絶縁体５７４、絶縁体５７６、及び絶縁体５８１で取り囲む構造とすることが好ましい。

［０２４２］

ここで、絶縁体５１２、絶縁体５１４、絶縁体５４４、絶縁体５７１、絶縁体５７４、絶縁体５７６、及び絶縁体５８１として、アモルファス構造を有する酸化物を用いることが好ましい。例えば、AlO_x（ｘは０より大きい任意数）、又はMgO_y（ｙは０より大きい任意数）等の金属酸化物を用いることが好ましい。このようなアモルファス構造を有する金属酸化物では、酸素原子がダングリングボンドを有しており、当該ダングリングボンドで水素を捕獲又は固着する性質を有する場合

がある。このようなアモルファス構造を有する金属酸化物をトランジスタ５００の構成要素として用いる、又はトランジスタ５００の周囲に設けることで、トランジスタ５００に含まれる水素、又はトランジスタ５００の周囲に存在する水素を捕獲又は固着することができる。特にトランジスタ５００のチャネル形成領域に含まれる水素を捕獲又は固着することが好ましい。アモルファス構造を有する金属酸化物をトランジスタ５００の構成要素として用いる、又はトランジスタ５００の周囲に設けることで、良好な特性を有し、信頼性の高いトランジスタ５００、及び半導体装置を作製することができる。

［０２４３］

また、絶縁体５１２、絶縁体５１４、絶縁体５４４、絶縁体５７１、絶縁体５７４、絶縁体５７６、及び絶縁体５８１は、アモルファス構造であることが好ましいが、一部に多結晶構造の領域が形成されていてもよい。また、絶縁体５１２、絶縁体５１４、絶縁体５４４、絶縁体５７１、絶縁体５７４、絶縁体５７６、及び絶縁体５８１は、アモルファス構造の層と、多結晶構造の層と、が積層された多層構造であってもよい。例えば、アモルファス構造の層の上に多結晶構造の層が形成された積層構造でもよい。

［０２４４］

絶縁体５１２、絶縁体５１４、絶縁体５４４、絶縁体５７１、絶縁体５７４、絶縁体５７６、及び絶縁体５８１の成膜は、例えば、スパッタリング法を用いて行えばよい。スパッタリング法は、成膜ガスに水素を含む分子を用いなくてよいので、絶縁体５１２、絶縁体５１４、絶縁体５４４、絶縁体５７１、絶縁体５７４、絶縁体５７６、及び絶縁体５８１の水素濃度を低減することができる。なお、成膜方法は、スパッタリング法に限られるものではなく、化学気相成長（ＣＶＤ：Ｃｈｅｍｉｃａｌ　Ｖａｐｏｒ　Ｄｅｐｏｓｉｔｉｏｎ）法、分子線エピタキシー（ＭＢＥ：Ｍｏｌｅｃｕｌａｒ　Ｂｅａｍ　Ｅｐｉｔａｘｙ）法、パルスレーザ堆積（ＰＬＤ：Ｐｕｌｓｅｄ　Ｌａｓｅｒ　Ｄｅｐｏｓｉｔｉｏｎ）法、原子層堆積（ＡＬＤ：Ａｔｏｍｉｃ　Ｌａｙｅｒ　Ｄｅｐｏｓｉｔｉｏｎ）法等を適宜用いてもよい。

［０２４５］

また、絶縁体５１２、絶縁体５４４、及び絶縁体５７６の抵抗率を低くすることが好ましい場合がある。例えば、絶縁体５１２、絶縁体５４４、及び絶縁体５７６の抵抗率を概略1×10^{13}Ω ｃｍとすることで、半導体装置作製工程のプラズマ等を用いる処理において、絶縁体５１２、絶縁体５４４、及び絶縁体５７６が、導電体５０３、導電体５４２、導電体５６０等のチャージアップを緩和することができる場合がある。絶縁体５１２、絶縁体５４４、及び絶縁体５７６の抵抗率は、好ましくは、1×10^{10}Ω ｃｍ以上1×10^{15}Ω ｃｍ以下とする。

［０２４６］

また、絶縁体５１６、絶縁体５７４、絶縁体５８０、及び絶縁体５８１は、絶縁体５１４よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体５１６、絶縁体５８０、及び絶縁体５８１として、酸化シリコン、酸化窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素及び窒素を添加した酸化シリコン、空孔を有する酸化シリコン等を適宜用いればよい。

［０２４７］

また、絶縁体５８１は、一例として、層間膜、平坦化膜等として機能する絶縁体とすることが好ましい。

［０２４８］

導電体５０３は、酸化物５３０、及び導電体５６０と、重なるように配置する。ここで、導電体５０３は、絶縁体５１６に形成された開口に埋め込まれて設けることが好ましい。また、導電体５０３の一部が絶縁体５１４に埋め込まれる場合がある。

［０２４９］

導電体５０３は、導電体５０３ａ、及び導電体５０３ｂを有する。導電体５０３ａは、当該開口の底面及び側壁に接して設けられる。導電体５０３ｂは、導電体５０３ａに形成された凹部に埋め込まれるように設けられる。ここで、導電体５０３ｂの上部の高さは、導電体５０３ａの上部の高さ及び絶縁体５１６の上部の高さと概略一致する。

［０２５０］

ここで、導電体５０３ａは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（N_2O、ＮＯ、NO_2等）、銅原子等の不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。又は、酸素（例えば、酸素原子、酸素分子等の少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

［０２５１］

導電体５０３ａに、水素の拡散を低減する機能を有する導電性材料を用いることにより、導電体５０３ｂに含まれる水素等の不純物が、絶縁体５２４等を介して、酸化物５３０に拡散するのを防ぐことができる。また、導電体５０３ａに、酸素の拡散を抑制する機能を有する導電性材料を用いることにより、導電体５０３ｂが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、チタン、窒化チタン、タンタル、窒化タンタル、ルテニウム、酸化ルテニウム等を用いることが好ましい。したがって、導電体５０３ａとしては、上記導電性材料を単層又は積層とすればよい。例えば、導電体５０３ａは、窒化チタンを用いればよい。

［０２５２］

また、導電体５０３ｂは、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることが好ましい。例えば、導電体５０３ｂは、タングステンを用いればよい。

［０２５３］

導電体５０３は、第２のゲート電極として機能する場合がある。その場合、導電体５０３に印加する電位を、導電体５６０に印加する電位と、連動させず、独立して変化させることで、トランジスタ５００のしきい値電圧（Ｖｔｈ）を制御することができる。特に、導電体５０３に負の電位を印加することにより、トランジスタ５００のＶｔｈをより大きくし、オフ電流を低減することが可能となる。したがって、導電体５０３に負の電位を印加したほうが、印加しない場合よりも、導電体５６０に印加する電位が０Ｖのときのドレイン電流を小さくすることができる。

［０２５４］

また、導電体５０３の電気抵抗率は、上記の導電体５０３に印加する電位を考慮して設計され、導電体５０３の膜厚は当該電気抵抗率に合わせて設定される。また、絶縁体５１６の膜厚は、導電体５０３とほぼ同じになる。ここで、導電体５０３の設計が許す範囲で導電体５０３及び絶縁体５１６の膜厚を薄くすることが好ましい。絶縁体５１６の膜厚を薄くすることで、絶縁体５１６中に含まれる水素等の不純物の絶対量を低減することができるので、当該不純物が酸化物５３０に拡散するのを低減することができる。

［０２５５］

なお、導電体５０３は、上面から見て、酸化物５３０の導電体５４２ａ及び導電体５４２ｂと重ならない領域の大きさよりも、大きく設けるとよい。特に、図７Ｂに示すように、導電体５０３は、酸化物５３０ａ及び酸化物５３０ｂのチャネル幅方向の端部よりも外側の領域においても、延伸していることが好ましい。つまり、酸化物５３０のチャネル幅方向における側面の外側において、導電体５０３と、導電体５６０とは、絶縁体を介して重畳していることが好ましい。当該構成を有することで、第１のゲート電極として機能する導電体５６０の電界と、第２のゲート電極として機能する導電体５０３の電界によって、酸化物５３０のチャネル形成領域を電気的に取り囲むことができる。本明細書において、第１のゲート、及び第２のゲートの電界によって、チャネル形成領域を電気的に取り囲むトランジスタの構造を、ｓｕｒｒｏｕｎｄｅｄ　ｃｈａｎｎｅｌ（Ｓ－ｃｈａｎｎｅｌ）構造とよぶ。

［０２５６］

なお、本明細書等において、Ｓ－ｃｈａｎｎｅｌ構造のトランジスタとは、一対のゲート電極の一方及び他方の電界によって、チャネル形成領域を電気的に取り囲むトランジスタの構造を表す。また、本明細書等で開示するＳ－ｃｈａｎｎｅｌ構造は、Ｆｉｎ型構造及びプレーナ型構造とは異なる。Ｓ－ｃｈａｎｎｅｌ構造を採用することで、短チャネル効果に対する耐性を高める、別言すると短チャネル効果が発生し難いトランジスタとすることができる。

［０２５７］

また、図７Ｂに示すように、導電体５０３は延伸させて、配線としても機能させている。ただし、これに限られることなく、導電体５０３の下に、配線として機能する導電体を設ける構成にしてもよい。また、導電体５０３は、必ずしも各トランジスタに一個ずつ設ける必要はない。例えば、導電体５０３を複数のトランジスタで共有する構成にしてもよい。

［０２５８］

なお、トランジスタ５００では、導電体５０３は、導電体５０３ａ、及び導電体５０３ｂを積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体５０３は、単層、又は３層以上の積層構造として設ける構成にしてもよい。

［０２５９］

絶縁体５２２、及び絶縁体５２４は、ゲート絶縁体として機能する。

［０２６０］

絶縁体５２２は、水素（例えば、水素原子、水素分子等の少なくとも一）の拡散を抑制する機能を有することが好ましい。また、絶縁体５２２は、酸素（例えば、酸素原子、酸素分子等の少なくとも一）の拡散を抑制する機能を有することが好ましい。例えば、絶縁体５２２は、絶縁体５２４よりも水素及び酸素の一方又は双方の拡散を抑制する機能を有することが好ましい。

［０２６１］

絶縁体５２２は、絶縁性材料であるアルミニウム及びハフニウムの一方又は双方の酸化物を含む絶縁体を用いるとよい。当該絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）等を用いることが好ましい。このような材料を用いて絶縁体５２２を形成した場合、絶縁体５２２は、酸化物５３０から基板側への酸素の放出と、トランジスタ５００の周辺部から酸化物５３０への水素等の不純物の拡散と、を抑制する層として機能する。よって、絶縁体５２２を設けることで、水素等の不純物が、トランジスタ５００の

内側へ拡散することを抑制し、酸化物５３０中の酸素欠損の生成を抑制することができる。また、導電体５０３が、絶縁体５２４、又は酸化物５３０が有する酸素と反応することを抑制することができる。

［０２６２］

又は、上記絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。又は、これらの絶縁体を窒化処理してもよい。また、絶縁体５２２は、これらの絶縁体に酸化シリコン、酸化窒化シリコン又は窒化シリコンを積層して用いてもよい。

［０２６３］

また、絶縁体５２２は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム等の、いわゆるｈｉｇｈ－ｋ材料を含む絶縁体を単層又は積層で用いてもよい。トランジスタの微細化、及び高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流等の問題が生じる場合がある。ゲート絶縁体として機能する絶縁体にｈｉｇｈ－ｋ材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。また、絶縁体５２２として、チタン酸ジルコン酸鉛（ＰＺＴ）、チタン酸ストロンチウム（$SrTiO_3$）、（Ｂａ，Ｓｒ）TiO_3（ＢＳＴ）等の誘電率が高い物質を用いることができる場合もある。

［０２６４］

酸化物５３０と接する絶縁体５２４は、例えば、酸化シリコン、酸化窒化シリコン等を適宜用いればよい。

［０２６５］

また、トランジスタ５００の作製工程中において、酸化物５３０の表面が露出した状態で、加熱処理を行うと好適である。当該加熱処理は、例えば、１００℃以上６００℃以下、より好ましくは３５０℃以上５５０℃以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、又は酸化性ガスを１０ｐｐｍ以上、１％以上、もしくは１０％以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物５３０に酸素を供給して、酸素欠損（V_O）の低減を図ることができる。また、加熱処理は減圧状態で行ってもよい。又は、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で加熱処理した後に、脱離した酸素を補うために、酸化性ガスを１０ｐｐｍ以上、１％以上、又は１０％以上含む雰囲気で行ってもよい。又は、酸化性ガスを１０ｐｐｍ以上、１％以上、又は１０％以上含む雰囲気で加熱処理した後に、連続して窒素ガスもしくは不活性ガスの雰囲気で加熱処理を行ってもよい。

［０２６６］

なお、酸化物５３０に加酸素化処理を行うことで、酸化物５３０中の酸素欠損を、供給された酸素により修復させる、別言すると「V_O＋Ｏ→ｎｕｌｌ」という反応を促進させることができる。さらに、酸化物５３０中に残存した水素に供給された酸素が反応することで、当該水素をH_2Oとして除去する（脱水化する）ことができる。これにより、酸化物５３０中に残存していた水素が酸素欠損に再結合してV_OHが形成されるのを抑制することができる。

［０２６７］

なお、絶縁体５２２、及び絶縁体５２４が、２層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。また、絶縁体５２４は、酸化物５３０ａと重畳して島状に形成してもよい。この場合、絶縁体５４４が、絶縁体５

２４の側面及び絶縁体５２２の上面に接する構成になる。

［０２６８］

導電体５４２ａ、及び導電体５４２ｂは酸化物５３０ｂの上面に接して設けられる。導電体５４２ａ及び導電体５４２ｂは、それぞれトランジスタ５００のソース電極又はドレイン電極として機能する。

［０２６９］

導電体５４２（導電体５４２ａ、及び導電体５４２ｂ）としては、例えば、タンタルを含む窒化物、チタンを含む窒化物、モリブデンを含む窒化物、タングステンを含む窒化物、タンタル及びアルミニウムを含む窒化物、チタン及びアルミニウムを含む窒化物等を用いることが好ましい。本発明の一態様においては、タンタルを含む窒化物が特に好ましい。また、例えば、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物等を用いてもよい。これらの材料は、酸化しにくい導電性材料、又は、酸素を吸収しても導電性を維持する材料であるため、好ましい。

［０２７０］

なお、酸化物５３０ｂ等に含まれる水素が、導電体５４２ａ又は導電体５４２ｂに拡散する場合がある。特に、導電体５４２ａ及び導電体５４２ｂに、タンタルを含む窒化物を用いることで、酸化物５３０ｂ等に含まれる水素は、導電体５４２ａ又は導電体５４２ｂに拡散しやすく、拡散した水素は、導電体５４２ａ又は導電体５４２ｂが有する窒素と結合することがある。つまり、酸化物５３０ｂ等に含まれる水素は、導電体５４２ａ又は導電体５４２ｂに吸い取られる場合がある。

［０２７１］

また、導電体５４２の側面と導電体５４２の上面との間に、湾曲面が形成されないことが好ましい。当該湾曲面が形成されない導電体５４２とすることで、チャネル幅方向の断面における、導電体５４２の断面積を大きくすることができる。これにより、導電体５４２の導電率を大きくし、トランジスタ５００のオン電流を大きくすることができる。

［０２７２］

絶縁体５７１ａは、導電体５４２ａの上面に接して設けられており、絶縁体５７１ｂは、導電体５４２ｂの上面に接して設けられている。絶縁体５７１は、少なくとも酸素に対するバリア絶縁膜として機能することが好ましい。したがって、絶縁体５７１は、酸素の拡散を抑制する機能を有することが好ましい。例えば、絶縁体５７１は、絶縁体５８０よりも酸素の拡散を抑制する機能を有することが好ましい。絶縁体５７１としては、例えば、窒化シリコン等のシリコンを含む窒化物を用いればよい。また、絶縁体５７１は、水素等の不純物を捕獲する機能を有することが好ましい。その場合、絶縁体５７１としては、アモルファス構造を有する金属酸化物、例えば、酸化アルミニウム又は酸化マグネシウム等の絶縁体を用いればよい。特に、絶縁体５７１として、アモルファス構造を有する酸化アルミニウム、又はアモルファス構造の酸化アルミニウムを用いることで、より効果的に水素を捕獲又は固着できる場合があるため好ましい。これにより、良好な特性を有し、信頼性の高いトランジスタ５００、及び半導体装置を作製することができる。

［０２７３］

絶縁体５４４は、絶縁体５２４、酸化物５３０ａ、酸化物５３０ｂ、導電体５４２、及び絶縁体５７１を覆うように設けられる。絶縁体５４４として、水素を捕獲及び水素を固着する機能を有することが好ましい。その場合、絶縁体５４４としては、窒化シリコン又は、アモルファス構造を有す

る金属酸化物、例えば、酸化アルミニウム又は酸化マグネシウム等の絶縁体を含むことが好ましい。また、例えば、絶縁体５４４として、酸化アルミニウムと、当該酸化アルミニウム上の窒化シリコンの積層膜を用いてもよい。

［０２７４］

上記のような絶縁体５７１及び絶縁体５４４を設けることで、酸素に対するバリア性を有する絶縁体で導電体５４２を包み込むことができる。つまり、絶縁体５２４、及び絶縁体５８０に含まれる酸素が、導電体５４２に拡散するのを防ぐことができる。これにより、絶縁体５２４、及び絶縁体５８０に含まれる酸素によって、導電体５４２が直接酸化されて抵抗率が増大し、オン電流が低減するのを抑制することができる。

［０２７５］

絶縁体５５２は、ゲート絶縁体の一部として機能する。絶縁体５５２としては、酸素に対するバリア絶縁膜を用いることが好ましい。絶縁体５５２としては、上述の絶縁体５７４に用いることができる絶縁体を用いればよい。絶縁体５５２として、アルミニウム及びハフニウムの一方又は双方の酸化物を含む絶縁体を用いるとよい。当該絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）、ハフニウム及びシリコンを含む酸化物（ハフニウムシリケート）等を用いることができる。本実施の形態では、絶縁体５５２として、酸化アルミニウムを用いる。この場合、絶縁体５５２は、少なくとも酸素と、アルミニウムと、を有する絶縁体となる。

［０２７６］

図７Ｂに示すように、絶縁体５５２は、酸化物５３０ｂの上面及び側面、酸化物５３０ａの側面、絶縁体５２４の側面、及び絶縁体５２２の上面に接して設けられる。つまり、酸化物５３０ａ、酸化物５３０ｂ、及び絶縁体５２４の導電体５６０と重なる領域は、チャネル幅方向の断面において、絶縁体５５２に覆われている。これにより、熱処理等を行った際に、酸化物５３０ａ及び酸化物５３０ｂで酸素が脱離するのを、酸素に対するバリア性を有する絶縁体５５２でブロックすることができる。よって、酸化物５３０ａ及び酸化物５３０ｂに酸素欠損（Ｖｏ）が形成されるのを低減することができる。これにより、領域５３０ｂｃに形成される、酸素欠損（Ｖｏ）、及びV_oHを低減することができる。よって、トランジスタ５００の電気特性を良好にし、信頼性を向上させることができる。

［０２７７］

また、逆に、絶縁体５８０及び絶縁体５５０等に過剰な量の酸素が含まれていても、当該酸素が酸化物５３０ａ及び酸化物５３０ｂに過剰に供給されるのを抑制することができる。よって、領域５３０ｂｃを介して、領域５３０ｂａ及び領域５３０ｂｂが過剰に酸化され、トランジスタ５００のオン電流の低下、又は電界効果移動度の低下を起こすのを抑制することができる。

［０２７８］

また、図７Ａに示すように、絶縁体５５２は、導電体５４２、絶縁体５７１、絶縁体５４４、及び絶縁体５８０、それぞれの側面に接して設けられる。よって、導電体５４２の側面が酸化され、当該側面に酸化膜が形成されるのを低減することができる。これにより、トランジスタ５００のオン電流の低下、又は電界効果移動度の低下を起こすのを抑制することができる。

［０２７９］

また、絶縁体５５２は、絶縁体５５４、絶縁体５５０、及び導電体５６０と、ともに、絶縁体５８

０等に形成された開口に設ける必要がある。トランジスタ５００の微細化を図るにあたって、絶縁体５５２の膜厚は薄いことが好ましい。絶縁体５５２の膜厚は、０．１ｎｍ以上、０．５ｎｍ以上、又は１．０ｎｍ以上とすることが好ましく、かつ１．０ｎｍ以下、３．０ｎｍ以下、又は５．０ｎｍ以下とすることが好ましい。なお、上述した下限値、及び上限値はそれぞれ組み合わせることができるものとする。この場合、絶縁体５５２は、少なくとも一部において、上記のような膜厚の領域を有していればよい。また、絶縁体５５２の膜厚は絶縁体５５０の膜厚より薄いことが好ましい。この場合、絶縁体５５２は、少なくとも一部において、絶縁体５５０より膜厚が薄い領域を有していればよい。

［０２８０］

絶縁体５５２を上記のように膜厚を薄く成膜するには、ＡＬＤ法を用いて成膜することが好ましい。ＡＬＤ法は、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱ＡＬＤ（Ｔｈｅｒｍａｌ　ＡＬＤ）法、プラズマ励起されたリアクタントを用いるＰＥＡＬＤ（Ｐｌａｓｍａ　Ｅｎｈａｎｃｅｄ　ＡＬＤ）法等がある。ＰＥＡＬＤ法では、プラズマを利用することで、より低温での成膜が可能となり好ましい場合がある。

［０２８１］

ＡＬＤ法は、原子の性質である自己制御性を利用し、一層ずつ原子を堆積することができるので、極薄の成膜が可能、アスペクト比の高い構造への成膜が可能、ピンホール等の欠陥の少ない成膜が可能、被覆性に優れた成膜が可能、低温での成膜が可能、等の効果がある。よって、絶縁体５５２を絶縁体５８０等に形成された開口の側面等に被覆性良く、上記のような薄い膜厚で成膜することができる。

［０２８２］

なお、ＡＬＤ法で用いるプリカーサには炭素等を含むものがある。このため、ＡＬＤ法により設けられた膜は、他の成膜法により設けられた膜と比較して、炭素等の不純物を多く含む場合がある。なお、不純物の定量は、二次イオン質量分析法（ＳＩＭＳ：Ｓｅｃｏｎｄａｒｙ　Ｉｏｎ　Ｍａｓｓ　Ｓｐｅｃｔｒｏｍｅｔｒｙ）、又はＸ線光電子分光法（ＸＰＳ：Ｘ－ｒａｙ　Ｐｈｏｔｏｅｌｅｃｔｒｏｎ　Ｓｐｅｃｔｒｏｓｃｏｐｙ）を用いて行うことができる。

［０２８３］

絶縁体５５０は、ゲート絶縁体の一部として機能する。絶縁体５５０は、絶縁体５５２の上面に接して配置することが好ましい。絶縁体５５０は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素及び窒素を添加した酸化シリコン、空孔を有する酸化シリコン等を用いることができる。特に、酸化シリコン、及び酸化窒化シリコンは熱に対し安定であるため好ましい。この場合、絶縁体５５０は、少なくとも酸素とシリコンと、を有する絶縁体となる。

［０２８４］

絶縁体５５０は、絶縁体５２４と同様に、絶縁体５５０中の水、水素等の不純物濃度が低減されていることが好ましい。絶縁体５５０の膜厚は、１ｎｍ以上、又は０．５ｎｍ以上とすることが好ましく、かつ１５ｎｍ以下、又は２０ｎｍ以下とすることが好ましい。なお、上述した下限値、及び上限値はそれぞれ組み合わせることができるものとする。この場合、絶縁体５５０は、少なくとも一部において、上記のような膜厚の領域を有していればよい。

［０２８５］

図７Ａ、及び図７Ｂ等では、絶縁体５５０を単層とする構成について示したが、本発明はこれに限られず、２層以上の積層構造としてもよい。例えば図９Ｂに示すように、絶縁体５５０を、絶縁体５５０ａと、絶縁体５５０ａ上の絶縁体５５０ｂの２層の積層構造にしてもよい。

［０２８６］

図９Ｂに示すように、絶縁体５５０を２層の積層構造とする場合、下層の絶縁体５５０ａは、酸素を透過しやすい絶縁体を用いて形成し、上層の絶縁体５５０ｂは、酸素の拡散を抑制する機能を有する絶縁体を用いて形成することが好ましい。このような構成にすることで、絶縁体５５０ａに含まれる酸素が、導電体５６０へ拡散するのを抑制することができる。つまり、酸化物５３０へ供給する酸素量の減少を抑制することができる。また、絶縁体５５０ａに含まれる酸素による導電体５６０の酸化を抑制することができる。例えば、絶縁体５５０ａは、上述した絶縁体５５０に用いることができる材料を用いて設け、絶縁体５５０ｂは、アルミニウム及びハフニウムの一方又は双方の酸化物を含む絶縁体を用いるとよい。当該絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）、ハフニウム及びシリコンを含む酸化物（ハフニウムシリケート）等を用いることができる。本実施の形態では、絶縁体５５０ｂとして、酸化ハフニウムを用いる。この場合、絶縁体５５０ｂは、少なくとも酸素と、ハフニウムと、を有する絶縁体となる。また、絶縁体５５０ｂの膜厚は、０．５ｎｍ以上、又は１．０ｎｍ以上とすることが好ましく、かつ３．０ｎｍ以下、又は５．０ｎｍ以下とすることが好ましい。なお、上述した下限値、及び上限値はそれぞれ組み合わせることができるものとする。この場合、絶縁体５５０ｂは、少なくとも一部において、上記のような膜厚の領域を有していればよい。

［０２８７］

なお、絶縁体５５０ａに酸化シリコン、酸化窒化シリコン等を用いる場合、絶縁体５５０ｂは、比誘電率が高いｈｉｇｈ－ｋ材料である絶縁性材料を用いてもよい。ゲート絶縁体を、絶縁体５５０ａと絶縁体５５０ｂとの積層構造とすることで、熱に対して安定、かつ比誘電率の高い積層構造とすることができる。したがって、ゲート絶縁体の物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁体として機能する絶縁体の等価酸化膜厚（ＥＯＴ）の薄膜化が可能となる。よって、絶縁体５５０の絶縁耐圧を高くすることができる。

［０２８８］

絶縁体５５４は、ゲート絶縁体の一部として機能する。絶縁体５５４としては、水素に対するバリア絶縁膜を用いることが好ましい。これにより、導電体５６０に含まれる水素等の不純物が、絶縁体５５０、及び酸化物５３０ｂに拡散するのを防ぐことができる。絶縁体５５４としては、上述した絶縁体５７６に用いることができる絶縁体を用いればよい。例えば、絶縁体５５４としてＰＥＡＬＤ法で成膜した窒化シリコンを用いればよい。この場合、絶縁体５５４は、少なくとも窒素と、シリコンと、を有する絶縁体となる。

［０２８９］

また、絶縁体５５４が、さらに酸素に対するバリア性を有してもよい。これにより、絶縁体５５０に含まれる酸素が、導電体５６０へ拡散するのを抑制することができる。

［０２９０］

また、絶縁体５５４は、絶縁体５５２、絶縁体５５０、及び導電体５６０と、ともに、絶縁体５８０等に形成された開口に設ける必要がある。トランジスタ５００の微細化を図るにあたって、絶縁体５５４の膜厚は薄いことが好ましい。絶縁体５５４の膜厚は、０．１ｎｍ以上、０．５ｎｍ以上、

又は１．０ｎｍ以上とすることが好ましく、かつ３．０ｎｍ以下、又は５．０ｎｍ以下とすることが好ましい。なお、上述した下限値、及び上限値はそれぞれ組み合わせることができるものとする。この場合、絶縁体５５４は、少なくとも一部において、上記のような膜厚の領域を有していればよい。また、絶縁体５５４の膜厚は絶縁体５５０の膜厚より薄いことが好ましい。この場合、絶縁体５５４は、少なくとも一部において、絶縁体５５０より膜厚が薄い領域を有していればよい。

［０２９１］

導電体５６０は、トランジスタ５００の第１のゲート電極として機能する。導電体５６０は、導電体５６０ａと、導電体５６０ａの上に配置された導電体５６０ｂと、を有することが好ましい。例えば、導電体５６０ａは、導電体５６０ｂの底面及び側面を包むように配置されることが好ましい。また、図７Ａ及び図７Ｂに示すように、導電体５６０の上部の高さの位置は、絶縁体５５０の上部の高さの位置と概略一致している。なお、図７Ａ及び図７Ｂでは、導電体５６０は、導電体５６０ａと導電体５６０ｂの２層構造として示しているが、導電体５６０は、当該２層構造以外としては、単層構造、又は３層以上の積層構造とすることができる。

［０２９２］

導電体５６０ａは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子、銅原子等の不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。又は、酸素（例えば、酸素原子、酸素分子等の少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

［０２９３］

また、導電体５６０ａが酸素の拡散を抑制する機能を持つことにより、絶縁体５５０に含まれる酸素により、導電体５６０ｂが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、チタン、窒化チタン、タンタル、窒化タンタル、ルテニウム、酸化ルテニウム等を用いることが好ましい。

［０２９４］

また、導電体５６０は、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、導電体５６０ｂは、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることができる。また、導電体５６０ｂは、積層構造とすることができる。具体的には、例えば、導電体５６０ｂは、チタン、又は窒化チタンと上記導電性材料との積層構造とすることができる。

［０２９５］

また、トランジスタ５００では、導電体５６０は、絶縁体５８０等に形成されている開口を埋めるように自己整合的に形成される。導電体５６０をこのように形成することにより、導電体５４２ａと導電体５４２ｂとの間の領域に、導電体５６０を位置合わせすることなく確実に配置することができる。

［０２９６］

また、図７Ｂに示すように、トランジスタ５００のチャネル幅方向において、絶縁体５２２の底面を基準としたときの、導電体５６０の、導電体５６０と酸化物５３０ｂとが重ならない領域の底面の高さは、酸化物５３０ｂの底面の高さより低いことが好ましい。ゲート電極として機能する導電体５６０が、絶縁体５５０等を介して、酸化物５３０ｂのチャネル形成領域の側面及び上面を覆う構成とすることで、導電体５６０の電界を酸化物５３０ｂのチャネル形成領域全体に作用させやすくなる。よって、トランジスタ５００のオン電流を増大させ、周波数特性を向上させることができ

る。絶縁体５２２の底面を基準としたときの、酸化物５３０ａ及び酸化物５３０ｂと、導電体５６０とが、重ならない領域における導電体５６０の底面の高さと、酸化物５３０ｂの底面の高さと、の差は、０ｎｍ以上、３ｎｍ以上、又は５ｎｍ以上とすることが好ましく、かつ２０ｎｍ以下、５０ｎｍ以下、又は１００ｎｍ以下とすることが好ましい。なお、上述した下限値、及び上限値はそれぞれ組み合わせることができるものとする。

［０２９７］

絶縁体５８０は、絶縁体５４４上に設けられ、絶縁体５５０、及び導電体５６０が設けられる領域に開口が形成されている。また、絶縁体５８０の上面は、平坦化されていてもよい。

［０２９８］

層間膜として機能する絶縁体５８０は、誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。絶縁体５８０は、例えば、絶縁体５１６と同様の材料を用いて設けることが好ましい。特に、酸化シリコン及び酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、酸化窒化シリコン、空孔を有する酸化シリコン等の材料は、加熱により脱離する酸素を含む領域を容易に形成することができるため好ましい。

［０２９９］

絶縁体５８０は、絶縁体５８０中の水、水素等の不純物濃度は低減されていることが好ましい。例えば、絶縁体５８０は、酸化シリコン、酸化窒化シリコン等のシリコンを含む酸化物を適宜用いればよい。

［０３００］

絶縁体５７４は、水、水素等の不純物が、上方から絶縁体５８０に拡散するのを抑制するバリア絶縁膜として機能することが好ましく、水素等の不純物を捕獲する機能を有することが好ましい。また、絶縁体５７４は、酸素の透過を抑制するバリア絶縁膜として機能することが好ましい。絶縁体５７４としては、アモルファス構造を有する金属酸化物、例えば、酸化アルミニウム等の絶縁体を用いればよい。この場合、絶縁体５７４は、少なくとも酸素と、アルミニウムと、を有する絶縁体となる。絶縁体５１２と絶縁体５８１に挟まれた領域内で、絶縁体５８０に接して、水素等の不純物を捕獲する機能を有する、絶縁体５７４を設けることで、絶縁体５８０等に含まれる水素等の不純物を捕獲し、当該領域内における、水素の量を一定値にすることができる。特に、絶縁体５７４として、アモルファス構造を有する酸化アルミニウムを用いることで、より効果的に水素を捕獲又は固着できる場合があるため好ましい。これにより、良好な特性を有し、信頼性の高いトランジスタ５００、及び半導体装置を作製することができる。

［０３０１］

絶縁体５７６は、水、水素等の不純物が、上方から絶縁体５８０に拡散するのを抑制するバリア絶縁膜として機能する。絶縁体５７６は、絶縁体５７４の上に配置される。絶縁体５７６としては、窒化シリコン又は窒化酸化シリコン等の、シリコンを含む窒化物を用いることが好ましい。例えば、絶縁体５７６としてスパッタリング法で成膜された窒化シリコンを用いればよい。絶縁体５７６をスパッタリング法で成膜することで、密度が高い窒化シリコン膜を形成することができる。また、絶縁体５７６として、スパッタリング法で成膜された窒化シリコンの上に、さらに、ＰＥＡＬＤ法又は、ＣＶＤ法で成膜された窒化シリコンを積層してもよい。

［０３０２］

また、トランジスタ５００の第１端子、又は第２端子の一方は、プラグとして機能する導電体５４０ａに電気的に接続され、トランジスタ５００の第１端子、又は第２端子の他方は、導電体５４０ｂに電気的に接続されている。なお、本明細書等では、導電体５４０ａ、及び導電体５４０ｂをまとめて導電体５４０と呼ぶこととする。

［０３０３］

導電体５４０ａは、一例として、導電体５４２ａと重畳する領域に設けられている。具体的には、導電体５４２ａと重畳する領域において、図７Ａに示す絶縁体５７１、絶縁体５４４、絶縁体５８０、絶縁体５７４、絶縁体５７６、及び絶縁体５８１、更に図６に示す絶縁体５８２、及び絶縁体５８６には開口部が形成されており、導電体５４０ａは、当該開口部の内側に設けられている。また、導電体５４０ｂは、一例として、導電体５４２ｂと重畳する領域に設けられている。具体的には、導電体５４２ｂと重畳する領域において、図７Ａに示す絶縁体５７１、絶縁体５４４、絶縁体５８０、絶縁体５７４、絶縁体５７６、及び絶縁体５８１、更に図６に示す絶縁体５８２、及び絶縁体５８６には開口部が形成されており、導電体５４０ｂは、当該開口部の内側に設けられている。なお、絶縁体５８２、及び絶縁体５８６については後述する。

［０３０４］

さらに、図７Ａに示すとおり、導電体５４２ａと重畳する領域の開口部の側面と導電体５４０ａとの間には、不純物に対してバリア性を有する絶縁体として、絶縁体５４１ａを設けてもよい。同様に、導電体５４２ｂと重畳する領域の開口部の側面と導電体５４０ｂとの間には、不純物に対してバリア性を有する絶縁体として、絶縁体５４１ｂを設けてもよい。なお、本明細書等では、絶縁体５４１ａ、及び絶縁体５４１ｂをまとめて絶縁体５４１と呼ぶこととする。

［０３０５］

導電体５４０ａ及び導電体５４０ｂは、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体５４０ａ及び導電体５４０ｂは積層構造としてもよい。

［０３０６］

また、導電体５４０を積層構造とする場合、絶縁体５７４、絶縁体５７６、絶縁体５８１、絶縁体５８０、絶縁体５４４、及び絶縁体５７１の近傍に配置される第１の導電体には、水、水素等の不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、酸化ルテニウム等を用いることが好ましい。また、水、水素等の不純物の透過を抑制する機能を有する導電性材料は、単層又は積層で用いてもよい。また、絶縁体５７６より上層に含まれる水、水素等の不純物が、導電体５４０ａ及び導電体５４０ｂを通じて酸化物５３０に混入することを抑制することができる。

［０３０７］

絶縁体５４１ａ及び絶縁体５４１ｂとしては、絶縁体５４４等に用いることができるバリア絶縁膜を用いればよい。例えば、絶縁体５４１ａ及び絶縁体５４１ｂとして、窒化シリコン、酸化アルミニウム、窒化酸化シリコン等の絶縁体を用いればよい。絶縁体５４１ａ及び絶縁体５４１ｂは、絶縁体５８０に接して設けられるので、絶縁体５８０等に含まれる水、水素等の不純物が、導電体５４０ａ及び導電体５４０ｂを通じて酸化物５３０に混入するのを抑制することができる。特に、窒化シリコンは水素に対するブロッキング性が高いので好適である。また、絶縁体５８０に含まれる酸素が導電体５４０ａ及び導電体５４０ｂに吸収されるのを防ぐことができる。

［０３０８］

絶縁体５４１ａ及び絶縁体５４１ｂを、図７Ａに示すように積層構造にする場合、絶縁体５８０等の開口の内壁に接する第１の絶縁体と、その内側の第２の絶縁体は、酸素に対するバリア絶縁膜と、水素に対するバリア絶縁膜を組み合わせて用いることが好ましい。

［０３０９］

例えば、第１の絶縁体として、ＡＬＤ法で成膜された酸化アルミニウムを用い、第２の絶縁体として、ＰＥＡＬＤ法で成膜された窒化シリコンを用いればよい。このような構成にすることで、導電体５４０の酸化を抑制し、さらに、導電体５４０に水素が混入するのを低減することができる。

［０３１０］

なお、トランジスタ５００では、絶縁体５４１の第１の絶縁体及び絶縁体５４１の第２の導電体を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、絶縁体５４１を単層、又は３層以上の積層構造として設ける構成にしてもよい。また、トランジスタ５００では、導電体５４０の第１の導電体及び導電体５４０の第２の導電体を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体５４０を単層、又は３層以上の積層構造として設ける構成にしてもよい。

［０３１１］

また、図６に示すとおり、導電体５４０ａの上部、及び導電体５４０ｂの上部に接して配線として機能する導電体６１０、導電体６１２等を配置してもよい。導電体６１０、導電体６１２は、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることが好ましい。また、当該導電体は、積層構造としてもすることができる。具体的には、例えば、当該導電体は、チタン、又は窒化チタンと上記導電性材料との積層としてもよい。なお、当該導電体は、絶縁体に設けられた開口に埋め込むように形成してもよい。

［０３１２］

なお、本発明の一態様の半導体装置に含まれるトランジスタの構造は、図６、図７Ａ、図７Ｂ、及び図８に示したトランジスタ５００に限定されない。本発明の一態様の半導体装置に含まれるトランジスタの構造は、状況に応じて、変更してもよい。

［０３１３］

例えば、図６、図７Ａ、図７Ｂ、及び図８に示すトランジスタ５００は、図１０に示す構成としてもよい。図１０のトランジスタは、酸化物５４３ａ、及び酸化物５４３ｂを有する点で、図６、図７Ａ、図７Ｂ、及び図８に示すトランジスタ５００と異なっている。なお、本明細書等では、酸化物５４３ａ、及び酸化物５４３ｂをまとめて酸化物５４３と呼ぶこととする。また、図１０のトランジスタのチャネル幅方向の断面の構成については、図７Ｂ示すトランジスタ５００の断面と同様の構成とすることができる。

［０３１４］

酸化物５４３ａは、酸化物５３０ｂと導電体５４２ａの間に設けられ、酸化物５４３ｂは、酸化物５３０ｂと導電体５４２ｂの間に設けられる。ここで、酸化物５４３ａは、酸化物５３０ｂの上面、及び導電体５４２ａの下面に接することが好ましい。また、酸化物５４３ｂは、酸化物５３０ｂの上面、及び導電体５４２ｂの下面に接することが好ましい。

［０３１５］

酸化物５４３は、酸素の透過を抑制する機能を有することが好ましい。ソース電極、又はドレイン

電極として機能する導電体５４２と酸化物５３０ｂとの間に酸素の透過を抑制する機能を有する酸化物５４３を配置することで、導電体５４２と、酸化物５３０ｂとの間の電気抵抗が低減されるので好ましい。このような構成とすることで、トランジスタ５００の電気特性、電界効果移動度、及び信頼性を向上させることができる場合がある。

［０３１６］

また、酸化物５４３として、元素Ｍを有する金属酸化物を用いてもよい。特に、元素Ｍは、アルミニウム、ガリウム、イットリウム、又は錫を用いるとよい。また、酸化物５４３は、酸化物５３０ｂよりも元素Ｍの濃度が高いことが好ましい。また、酸化物５４３として、酸化ガリウムを用いてもよい。また、酸化物５４３として、Ｉｎ－Ｍ－Ｚｎ酸化物等の金属酸化物を用いてもよい。具体的には、酸化物に用いる金属酸化物において、Ｉｎに対する元素Ｍの原子数比が、酸化物５３０ｂに用いる金属酸化物における、Ｉｎに対する元素Ｍの原子数比より大きいことが好ましい。また、酸化物５４３の膜厚は、０．５ｎｍ以上、又は１ｎｍ以上であることが好ましく、かつ２ｎｍ以下、３ｎｍ以下、又は５ｎｍ以下であることが好ましい。なお、上述した下限値、及び上限値はそれぞれ組み合わせることができるものとする。また、酸化物５４３は、結晶性を有すると好ましい。酸化物５４３が結晶性を有する場合、酸化物５３０中の酸素の放出を好適に抑制することが出来る。例えば、酸化物５４３としては、六方晶等の結晶構造であれば、酸化物５３０中の酸素の放出を抑制できる場合がある。

［０３１７］

絶縁体５８１上には、絶縁体５８２が設けられ、絶縁体５８２上には絶縁体５８６が設けられている。

［０３１８］

絶縁体５８２は、酸素、及び水素に対してバリア性のある物質を用いることが好ましい。したがって、絶縁体５８２には、絶縁体５１４と同様の材料を用いることができる。例えば、絶縁体５８２には、酸化アルミニウム、酸化ハフニウム、酸化タンタル等の金属酸化物を用いることが好ましい。

［０３１９］

また、絶縁体５８６は、絶縁体３２０と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体５８６として、酸化シリコン膜、酸化窒化シリコン膜等を用いることができる。

［０３２０］

続いて、図６、及び図８に示す半導体装置に含まれている。容量６００、及びその周辺の配線、又はプラグについて説明する。なお、図６、及び図８に示すトランジスタ５００の上方には、容量６００と、配線、及び／又はプラグが設けられている。

［０３２１］

容量６００は、一例として、導電体６１０と、導電体６２０、絶縁体６３０とを有する。

［０３２２］

導電体５４０ａ又は導電体５４０ｂの一方、導電体５４６、及び絶縁体５８６上には、導電体６１０が設けられている。導電体６１０は、容量６００の一対の電極の一方としての機能を有する。

［０３２３］

また、導電体５４０ａ、又は導電体５４０ｂの他方、及び絶縁体５８６上には、導電体６１２が設けられる。導電体６１２は、トランジスタ５００と、上方に配置される回路素子、配線等と、を電

気的に接続するプラグ、配線、端子等としての機能を有する。
［０３２４］
なお、導電体６１２、及び導電体６１０は、同時に形成してもよい。
［０３２５］
導電体６１２、及び導電体６１０には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、又は上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。又は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物等の導電性材料を適用することもできる。
［０３２６］
図６では、導電体６１２、及び導電体６１０は単層構造を示したが、当該構成に限定されず、２層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、及び導電性が高い導電体に対して密着性が高い導電体を形成してもよい。
［０３２７］
絶縁体５８６、導電体６１０上には、絶縁体６３０が設けられている。絶縁体６３０は、容量６００の一対の電極に挟まれる誘電体として機能する。
［０３２８］
絶縁体６３０としては、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウム、酸化ジルコニウム等を用いることができる。また、絶縁体６３０は、上述した材料を用いて、積層又は単層として設けることができる。
［０３２９］
また、例えば、絶縁体６３０には、酸化窒化シリコン等の絶縁耐力が大きい材料と、高誘電率（ｈｉｇｈ－ｋ）材料との積層構造を用いてもよい。当該構成により、容量６００は、高誘電率（ｈｉｇｈ－ｋ）の絶縁体を有することで、十分な容量を確保でき、絶縁耐力が大きい絶縁体を有することで、絶縁耐力が向上し、容量６００の静電破壊を抑制することができる。
［０３３０］
なお、高誘電率（ｈｉｇｈ－ｋ）材料（高い比誘電率の材料）の絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウム及びハフニウムを有する酸化物、アルミニウム及びハフニウムを有する酸化窒化物、シリコン及びハフニウムを有する酸化物、シリコン及びハフニウムを有する酸化窒化物又はシリコン及びハフニウムを有する窒化物等がある。
［０３３１］
又は、絶縁体６３０は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（ＰＺＴ）、チタン酸ストロンチウム（$SrTiO_3$）又は（Ｂａ、Ｓｒ）TiO_3（ＢＳＴ）等のｈｉｇｈ－ｋ材料を含む絶縁体を単層又は積層で用いてもよい。また、絶縁体６３０としては、ハフニウムと、ジルコニウムとが含まれる化合物等を用いても良い。半導体装置の微細化、及び高集積化が進むと、ゲート絶縁体、及び容量素子に用いる誘電体の薄膜

化により、トランジスタ、容量素子等のリーク電流等の問題が生じる場合がある。ゲート絶縁体、及び容量素子に用いる誘電体として機能する絶縁体にｈｉｇｈ－ｋ材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減、及び容量素子の容量の確保が可能となる。

［０３３２］

絶縁体６３０を介して、導電体６１０と重畳するように、導電体６２０を設ける。導電体６１０は、容量６００の一対の電極の一方としての機能を有する。

［０３３３］

なお、導電体６２０は、金属材料、合金材料、又は金属酸化物材料等の導電性材料を用いることができる。耐熱性と導電性を両立するタングステン、モリブデン等の高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、導電体等の他の構造と同時に形成する場合は、低抵抗金属材料であるＣｕ（銅）、Ａｌ（アルミニウム）等を用いればよい。また、例えば、導電体６２０は、導電体６１０に適用できる材料を用いることができる。また、導電体６２０は、単層構造ではなく、２層以上の積層構造としてもよい。

［０３３４］

導電体６２０、及び絶縁体６３０上には、絶縁体６４０が設けられている。絶縁体６４０としては、例えば、トランジスタ５００が設けられている領域に、水素、不純物等が拡散しないようなバリア性を有する膜を用いることが好ましい。したがって、絶縁体３２４と同様の材料を用いることができる。

［０３３５］

絶縁体６４０上には、絶縁体６５０が設けられている。絶縁体６５０は、絶縁体３２０と同様の材料を用いて設けることができる。また、絶縁体６５０は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。そのため、絶縁体６５０としては、例えば、絶縁体３２４に適用できる材料とすることができる。

［０３３６］

ところで、図６、及び図８に示す容量６００は、プレーナ型としているが、容量素子の形状はこれに限定されない。容量６００は、プレーナ型ではなく、例えば、シリンダ型としてもよい。

［０３３７］

また、容量６００の上方には、配線層を設けてもよい。例えば、図６において、絶縁体４１１、絶縁体４１２、絶縁体４１３、及び絶縁体４１４が、絶縁体６５０の上方に、順に設けられている。また、絶縁体４１１、絶縁体４１２、及び絶縁体４１３には、プラグ、又は配線として機能する導電体４１６が設けられている構成を示している。また、導電体４１６は、一例として、後述する導電体６６０に重畳する領域に設けることができる。

［０３３８］

また、絶縁体６３０、絶縁体６４０、及び絶縁体６５０には、導電体６１２と重畳する領域に開口部が設けられ、当該開口部を埋めるように導電体６６０が設けられている。導電体６６０は、上述した配線層に含まれている導電体４１６に電気的に接続するプラグ、配線として機能する。

［０３３９］

絶縁体４１１、及び絶縁体４１４は、例えば、絶縁体３２４等と同様に、水、水素等の不純物に対するバリア性を有する絶縁体を用いることが好ましい。そのため、絶縁体４１１、及び絶縁体４１４としては、例えば、絶縁体３２４等に適用できる材料を用いることができる。

［０３４０］

絶縁体４１２、及び絶縁体４１３は、例えば、絶縁体３２６と同様に、配線間に生じる寄生容量を低減するために、比誘電率が比較的低い絶縁体を用いることが好ましい。

［０３４１］

また、導電体６１２、及び導電体４１６は、例えば、導電体３２８、及び導電体３３０と同様の材料を用いて設けることができる。

［０３４２］

＜トランジスタと強誘電キャパシタの構成例＞

次に、金属酸化物がチャネル形成領域に含まれているトランジスタ５００内に、またその周辺に強誘電性を有しうる誘電体が設けられている構成について説明する。

［０３４３］

図１１Ａは、図６、図７Ａ等のトランジスタ５００の構成に強誘電性を有しうる誘電体が設けられた、トランジスタの構成の一例を示している。

［０３４４］

図１１Ａに示すトランジスタは、第２のゲート絶縁体として機能する絶縁体５２２を絶縁体５２０に置き換えた構成となっている。絶縁体５２０は、一例として、強誘電性を有しうる誘電体を用いることができる。

［０３４５］

このため、図１１Ａのトランジスタは、第２のゲート電極として機能する導電体５０３と、酸化物５３０と、の間に強誘電キャパシタを設けることができる。換言すると、図１１Ａのトランジスタは、第２のゲート絶縁体の一部に強誘電性を有しうる誘電体が設けられた、ＦｅＦＥＴ（Ｆｅｒｒｏｅｌｅｃｔｒｉｃ　ＦＥＴ）とすることができる。

［０３４６］

なお、強誘電性を有しうる材料として、上記実施の形態に示した容量ＦＥＣの誘電体に用いることができる材料と同様の材料を用いることができる。

［０３４７］

また、図１１Ａにおいて、絶縁体５２０は１層として図示したが、絶縁体５２０は、強誘電性を有しうる誘電体を含む２層以上の絶縁膜としてもよい。その具体的な一例のトランジスタを図１１Ｂに示す。図１１Ｂにおいて、例えば、絶縁体５２０は、絶縁体５２０ａと絶縁体５２０ｂとを有する。絶縁体５２０ａは、絶縁体５１６と、導電体５０３と、のそれぞれの上面に設けられ、絶縁体５２０ｂは、絶縁体５２０ａの上面に設けられている。

［０３４８］

絶縁体５２０ａとしては、例えば、強誘電性を有しうる誘電体を用いることができる。また、絶縁体５２０ｂとしては、例えば、酸化シリコン等を用いることができる。また、例えば、逆に絶縁体５２０ａに酸化シリコンを用いて、絶縁体５２０ｂに強誘電性を有しうる誘電体を用いてもよい。

［０３４９］

図１１Ｂに示すとおり、絶縁体５２０を２層として、一方の層に強誘電性を有しうる誘電体を設けて、他方の層に酸化シリコンを設けることで、ゲート電極として機能する導電体５０３と酸化物５３０との間に流れる電流リークを抑えることができる。

［０３５０］

また、図１１Ｃには、絶縁体５２０を３層とする、トランジスタの構成例を示している。図１１Ｃにおいて、絶縁体５２０は、例えば、絶縁体５２０ａと、絶縁体５２０ｂと、絶縁体５２０ｃと、を有する。絶縁体５２０ｃは、絶縁体５１６と、導電体５０３と、のそれぞれの上面に設けられ、絶縁体５２０ａは、絶縁体５２０ｃの上面に設けられ、絶縁体５２０ｂは、絶縁体５２０ａの上面に設けられている。

［０３５１］

絶縁体５２０ａとしては、例えば、強誘電性を有しうる誘電体を用いることができる。また、絶縁体５２０ｂ、及び絶縁体５２０ｃとしては、例えば、酸化シリコン等を用いることができる。

［０３５２］

図１１Ａ乃至図１１Ｃに示す、トランジスタと強誘電キャパシタのそれぞれの構成は、例えば、上記実施の形態で説明した、図２Ａ等に示すトランジスタＭ１及び容量ＦＥＣ等に適用することができる。

［０３５３］

図１２は、図１１Ａ乃至図１１Ｃのそれぞれのトランジスタとは異なる、図６、図７Ａ等のトランジスタ５００の構成に強誘電性を有しうる誘電体が設けられた、トランジスタの構成の一例を示している。

［０３５４］

図１２に示すトランジスタは、第１のゲート絶縁体として機能する絶縁体５５２、絶縁体５５０、及び絶縁体５５４と、第１のゲート電極として機能する導電体５６０と、絶縁体５８０の一部の領域と、の上方に、強誘電性を有しうる誘電体が設けられた、トランジスタの構成の一例を示している。

［０３５５］

具体的には、絶縁体５５２と、絶縁体５５０と、絶縁体５５４と、導電体５６０と、絶縁体５８０の一部の領域と接するように、絶縁体５６１が設けられている。絶縁体５６１は、一例として、図１１Ａの絶縁体５２０に適用できる、強誘電性を有しうる誘電体を用いることができる。

［０３５６］

また、絶縁体５６１の上部には、導電体５６２が接するように設けられている。導電体５６２としては、例えば、導電体３２８、及び導電体３３０と同様の材料を用いて設けることができる。

［０３５７］

このため、図１２のトランジスタの構成によって、第１のゲート電極として機能する導電体５０３と、導電体５６２と、の間に強誘電キャパシタを設けることができる。

［０３５８］

なお、絶縁体５６１は、図１１Ｂ、及び図１１Ｃに示した絶縁体５２０と同様に、２層以上の積層構造としてもよい。

［０３５９］

また、図１２に示す、トランジスタと強誘電キャパシタのそれぞれの構成は、例えば、上記実施の形態で説明した、図２Ａ等に示すトランジスタＭ２及び容量ＦＥＣ等に適用することができる。

［０３６０］

図１３Ａは、図１１Ａ乃至図１１Ｃ、及び図１２のそれぞれのトランジスタとは異なる、図６、図７Ａ等のトランジスタ５００の構成に強誘電性を有しうる誘電体が設けられた、トランジスタの構

成の一例を示している。
［０３６１］
図１３Ａに示すトランジスタには、導電体５４２ｂに重畳する領域における、絶縁体５４４、絶縁体５７１ｂ、絶縁体５８０、絶縁体５７４、絶縁体５７６、絶縁体５８１に設けられている開口部内に、絶縁体６０２が設けられている。具体的には、当該開口部内において、当該開口部の側面に絶縁体５４１ｂが設けられ、絶縁体５４１ｂ上と、当該開口部の底部である導電体５４２ｂ上と、に導電体５４０ｂが設けられ、絶縁体５８１の一部の領域上と、導電体５４０ｂ上と、に絶縁体６０２が設けられ、残りの開口部を埋めるように、絶縁体６０２上に導電体６１３が設けられている。
［０３６２］
なお、別の具体的な構成例としては、当該開口部内において、当該開口部の側面に絶縁体５４１ｂが設けられ、絶縁体５４１ｂ上に導電体５４０ｂが設けられ、絶縁体５８１の一部の領域上と、導電体５４０ｂ上と、当該開口部の底部である導電体５４２ｂ上と、に絶縁体６０２が設けられ、残りの開口部を埋めるように、絶縁体６０２上に導電体６１３が設けられていてもよい。
［０３６３］
絶縁体６０２は、一例として、図１１Ａの絶縁体５２０に適用できる、強誘電性を有しうる誘電体を用いることができる。
［０３６４］
導電体６１３は、例えば、導電体３２８、及び導電体３３０と同様の材料を用いて設けることができる。
［０３６５］
このため、図１３Ａのトランジスタの構成によって、導電体５４２ｂに重畳する領域に含まれる開口部内に、導電体５４０ｂと、導電体６１３と、の間に強誘電キャパシタを設けることができる。
［０３６６］
なお、絶縁体６０２は、図１１Ｂ、及び図１１Ｃに示す絶縁体５２０と同様に、２層以上の積層構造としてもよい。
［０３６７］
また、図１３Ａに示す、トランジスタと強誘電キャパシタのそれぞれの構成は、例えば、上記実施の形態で説明した、図２Ａ等に示すトランジスタＭ２及び容量ＦＥＣ等に適用することができる。
［０３６８］
図１３Ｂは、図１１Ａ乃至図１１Ｃ、図１２、及び図１３Ａのそれぞれのトランジスタとは異なる、図６、図７Ａ等のトランジスタ５００の構成に強誘電性を有しうる誘電体が設けられた、トランジスタの構成の一例を示している。
［０３６９］
図１３Ｂに示すトランジスタは、第１のゲート絶縁体として機能する絶縁体５５２、絶縁体５５０、及び絶縁体５５４を絶縁体５５３に置き換えた構成となっている。絶縁体５５３は、一例として、図１１Ａの絶縁体５２０に適用できる、強誘電性を有しうる誘電体を用いることができる。
［０３７０］
このため、図１３Ｂのトランジスタは、第１のゲート電極として機能する導電体５６０と、酸化物５３０と、の間に強誘電キャパシタを設けることができる。換言すると、図１３Ｂのトランジスタは、第１のゲート絶縁体の一部に強誘電性を有しうる誘電体が設けられた、ＦｅＦＥＴとすること

ができる。
［０３７１］
なお、絶縁体５５３は、図１１Ｂ、及び図１１Ｃに示す絶縁体５２０と同様に、２層以上の積層構造としてもよい。
［０３７２］
また、図１３Ｂでは、絶縁体５５２、絶縁体５５０、及び絶縁体５５４を絶縁体５５３に置き換えた構成としたが、別の構成例としては、絶縁体５５２、絶縁体５５０、及び絶縁体５５４の少なくとも一を絶縁体５５３に置き換えて、残りの絶縁体と絶縁体５５３との積層構造とした構成としてもよい。
［０３７３］
また、図１３Ｂに示す、トランジスタと強誘電キャパシタのそれぞれの構成は、例えば、上記実施の形態で説明した、図２Ａ等に示すトランジスタＭ２及び容量ＦＥＣ等に適用することができる。
［０３７４］
図１４Ａは、トランジスタ５００の周辺に、強誘電性を有しうる誘電体を含む容量が設けられた、トランジスタ５００と当該容量の構成の一例を示している。
［０３７５］
図１４Ａに示すトランジスタは、一例として、導電体５４２ｂと重畳する領域において、絶縁体５４４、絶縁体５７１ｂ、絶縁体５８０、絶縁体５７４、絶縁体５７６、絶縁体５８１に複数の開口部が形成されている。また、１つの開口部の内側には、プラグとして機能する導電体５４０ｃが設けられ、また、当該開口部の側面と導電体５４０ｃとの間には、不純物に対してバリア性を有する絶縁体として、絶縁体５４１ｃが設けられている。また、別の１つの開口部の内側には、プラグとして機能する導電体５４０ｄが設けられ、また、当該開口部の側面と導電体５４０ｄとの間には、不純物に対してバリア性を有する絶縁体として、絶縁体５４１ｄが設けられている。なお、導電体５４０ｃ、及び導電体５４０ｄとしては、例えば、導電体５４０ａ、及び導電体５４０ｂに適用できる材料を用いることができ、また、絶縁体５４１ｃ、及び絶縁体５４１ｄとしては、例えば、絶縁体５４１ａ、及び絶縁体５４１ｂに適用できる材料を用いることができる。
［０３７６］
導電体５４０ｃ、及び導電体５４０ｄの上部には、絶縁体６０１が接するように設けられている。絶縁体６０１は、一例として、図１１Ａの絶縁体５２０に適用できる、強誘電性を有しうる誘電体を用いることができる。
［０３７７］
また、絶縁体６０１の上部には、導電体６１１が接するように設けられている。導電体６１１としては、例えば、導電体３２８、及び導電体３３０と同様の材料を用いて設けることができる。
［０３７８］
このため、図１４Ａに示す構成によって、プラグとして機能する導電体５４０ｃ及び導電体５４０ｄと、導電体６１１と、の間に強誘電キャパシタを設けることができる。
［０３７９］
なお、絶縁体６０１は、図１１Ｂ、及び図１１Ｃに示す絶縁体５２０と同様に、２層以上の積層構造としてもよい。
［０３８０］

また、図１４Ａでは、絶縁体６０１に接しているプラグの数は２つ（導電体５４０ｃ及び導電体５４０ｄ）となっているが、当該プラグの数は１つでもよいし、３つ以上としてもよい。換言すると、図１４Ａでは、絶縁体６０１に重畳する領域において、プラグとして導電体を有する２つの開口部が設けられた例を図示したが、絶縁体６０１に重畳する領域に設けられる開口部は１つでもよいし、３つ以上としてもよい。

［０３８１］

また、図１４Ａに示す、トランジスタと強誘電キャパシタのそれぞれの構成は、例えば、上記実施の形態で説明した、図２Ａ等に示すトランジスタＭ２及び容量ＦＥＣ等に適用することができる。

［０３８２］

図１４Ｂは、図１４Ａとは異なる、トランジスタ５００の周辺に、強誘電性を有しうる誘電体を含む容量が設けられた、トランジスタ５００と当該容量の構成の一例を示している。

［０３８３］

図１４Ｂに示すトランジスタにおいて、プラグとして機能する導電体５４０ｂ上に位置する導電体６１０、及び絶縁体５８１の一部の領域の上面には、絶縁体６３１が設けられている。絶縁体６３１は、一例として、図１１Ａの絶縁体５２０に適用できる、強誘電性を有しうる誘電体を用いることができる。

［０３８４］

また、絶縁体６３１の上面には、導電体６２０が設けられ、また、絶縁体５８１と、導電体６１２と、導電体６２０と、絶縁体６３１の一部の領域と、の上面には、絶縁体６４０、及び絶縁体６５０が順に設けられている。

［０３８５］

このため、図１４Ｂに示す構成によって、導電体６１０と、導電体６２０と、の間に強誘電キャパシタを設けることができる。

［０３８６］

なお、絶縁体６３１は、図１１Ｂ、及び図１１Ｃに示す絶縁体５２０と同様に、２層以上の積層構造としてもよい。

［０３８７］

図１４Ｂに示すトランジスタと強誘電キャパシタのそれぞれの構成は、例えば、上記実施の形態で説明した、図２Ａ等に示すトランジスタＭ１及び容量ＦＥＣ等に適用することができる。

［０３８８］

図１５は、図１４Ａ、及び図１４Ｂとは異なる、トランジスタ５００の周辺に、強誘電性を有しうる誘電体を含む容量が設けられた、トランジスタ５００と当該容量の構成の一例を示している。

［０３８９］

図１５において、絶縁体５１６には複数の開口が形成されており、一の開口には導電体５０３が埋め込まれており、別の開口には導電体５０３Ａが埋め込まれている。

［０３９０］

導電体５０３Ａとしては、例えば、導電体５０３に適用できる材料を用いることができる。

［０３９１］

また、導電体５０３Ａの上部には、絶縁体５１７と、導電体５１９と、が順に設けられている。また、絶縁体５１７、及び導電体５１９上には、図７Ａのトランジスタ５００で説明した絶縁体５２

２が覆われている。また、絶縁体５２２上には、図７Ａのトランジスタ５００で説明した絶縁体５４４が覆われている。

［０３９２］

絶縁体５１７としては、一例として、図１１Ａの絶縁体５２０に適用できる、強誘電性を有しうる誘電体を用いることができる。

［０３９３］

導電体５１９としては、例えば、導電体３２８、及び導電体３３０と同様の材料を用いて設けることができる。

［０３９４］

このため、図１５に示す構成によって、導電体５０３Ａと、導電体５１９と、の間に強誘電キャパシタを設けることができる。

［０３９５］

なお、絶縁体５１７は、図１１Ｂ、及び図１１Ｃに示す絶縁体５２０と同様に、２層以上の積層構造としてもよい。

［０３９６］

また、絶縁体５８１まで設けた後に、導電体５０３に重畳する領域において、絶縁体５２２、絶縁体５４４、絶縁体５８０、絶縁体５７４、絶縁体５７６、及び絶縁体５８１に開口部が形成される。また、当該開口部の内側には、プラグとして機能する導電体５４０ｅが設けられ、また、当該開口部の側面と導電体５４０ｅとの間には、不純物に対してバリア性を有する絶縁体として、絶縁体５４１ｅが設けられている。なお、導電体５４０ｅとしては、例えば、導電体５４０ａ、及び導電体５４０ｂに適用できる材料を用いることができ、また、絶縁体５４１ｅとしては、例えば、絶縁体５４１ａ、及び絶縁体５４１ｂに適用できる材料を用いることができる。

［０３９７］

また、プラグとして機能する導電体５４０ａ及び５４０ｅと、絶縁体５８１の一部の領域の上面には、導電体６１１が設けられている。導電体６１１としては、例えば、導電体３２８、及び導電体３３０と同様の材料を用いて設けることができる。

［０３９８］

また、導電体６１１と、絶縁体５８１の一部の領域と、の上面には、絶縁体６４０、及び絶縁体６５０が順に設けられている。

［０３９９］

図１５に示すトランジスタと強誘電キャパシタのそれぞれの構成は、例えば、上記実施の形態で説明した、図２Ａ等に示すトランジスタＭ１及び容量ＦＥＣ等に適用することができる。

［０４００］

＜半導体装置の構成例２＞

次に、上述した半導体装置に、強誘電キャパシタを備えた場合の構成例を説明する。

［０４０１］

図１６は、図６に示した半導体装置において、絶縁体５８２、及び導電体５４６の上面に位置する容量６００の構成を変更した例を示している。

［０４０２］

具体的には、容量６００は、一例として、導電体６１０と、導電体６２０と、絶縁体６３０と、絶

縁体６３１と、を有する。特に、絶縁体６３１としては、図１４Ｂで説明したとおり、強誘電性を有しうる誘電体を用いることができる。
［０４０３］
図１６において、導電体６１０、及び導電体６１２は、図６の導電体６１０、及び導電体６１２と同様の材料とすることができる。また、図１６において、導電体６１０、及び導電体６１２は、図６の導電体６１０、及び導電体６１２と同様の方法で形成することができる。
［０４０４］
また、図１６において、絶縁体６３０は、導電体６１０と、絶縁体５８６の一部の領域と、の上面に設けられている。また、絶縁体６３１は、絶縁体６３０の上面に設けられ、導電体６２０は、絶縁体６３１の上面に設けられている。
［０４０５］
絶縁体６３０としては、例えば、図６の絶縁体６３０に適用できる材料を用いることができる。
［０４０６］
また、図１６において、絶縁体６４０は、絶縁体６３０の端部を含む領域と、絶縁体６３１の端部を含む領域と、導電体６２０と、絶縁体５８６の一部の領域と、の上面に設けられている。
［０４０７］
絶縁体６４０としては、例えば、図６の絶縁体６４０に適用できる材料を用いることができる。
［０４０８］
図１６のとおり、容量６００の構成を適用することによって、図６に示した半導体装置に、強誘電キャパシタを設けることができる。
［０４０９］
次に、図１６とは異なる、強誘電キャパシタを備えた場合の半導体装置の構成例について、説明する。
［０４１０］
図１７に示す半導体装置は、図１６の半導体装置の変形例であって、絶縁体５７１、絶縁体５４４、絶縁体５７４、絶縁体５７６、絶縁体５８１、絶縁体６４１、絶縁体６４２等によって、トランジスタ５００と、容量６００を取り囲む構造となっている。
［０４１１］
また、図６、及び図１６のそれぞれの半導体装置では、基板３１０から絶縁体５７４までが順に設けられた後に、絶縁体５１４まで達する開口部が設けられているが、図１７の半導体装置では、基板３１０から絶縁体６４０までが順に設けられた後に、絶縁体５１４まで達する開口部が設けられている。
［０４１２］
また、図１７の半導体装置において、当該開口部の底部と、絶縁体６４０と、の上面には、絶縁体６４１、絶縁体６４２、及び絶縁体６５０が順に設けられている。
［０４１３］
絶縁体６４１、絶縁体６４２としては、例えば、水、水素等の不純物が、トランジスタ５００、及び容量６００の上方からトランジスタ５００、及び容量６００に拡散するのを抑制するバリア絶縁膜として機能することが好ましい。
［０４１４］

絶縁体６４１の成膜方法としては、例えば、スパッタリング法を用いることができる。例えば、絶縁体６４１として、スパッタリング法で成膜した窒化シリコンを用いることができる。スパッタリング法は、成膜ガスに水素を含む分子を用いなくてよいので、絶縁体６４１の水素濃度を低減することができる。絶縁体６４１の水素濃度が低減されていることで、絶縁体６４１から、導電体６１０、導電体６１２、及び絶縁体５８６に水素が拡散することを抑制できる。

［０４１５］

絶縁体６４２としては、例えば、ＡＬＤ法、特にＰＥＡＬＤ法を用いて成膜することが好ましい。例えば、絶縁体６４２として、ＰＥＡＬＤ法で成膜した窒化シリコンを用いることができる。これにより、絶縁体６４２を被覆性良く成膜することができるので、下地の凹凸によって絶縁体６４１にピンホール又は段切れ等が形成されたとしても、絶縁体６４２でそれらを覆うことで、水素が導電体６１０、導電体６１２、及び絶縁体５８６に拡散することを低減することができる。

［０４１６］

図１７に示す構成を適用することによって、水、水素等の不純物が、絶縁体５１２、絶縁体５１４、絶縁体６４１、絶縁体６４２等を介して、トランジスタ５００、及び容量６００側への拡散を防ぐことができる。また、絶縁体５８０等に含まれる酸素が、絶縁体５７４、絶縁体６４１、絶縁体６４２等を介して、外部への拡散を防ぐことができる。

［０４１７］

酸化物半導体を有するトランジスタを用いた半導体装置として、本実施の形態で説明した本構造を適用することにより、当該トランジスタの電気特性の変動を抑制するとともに、信頼性を向上させることができる。

［０４１８］

また、酸化物半導体を有するトランジスタを用いた半導体装置において、積層構造、微細化、高集積化等を図ることで、半導体装置を構成する回路の面積を低減することができる。特に、半導体装置に含まれる容量素子として、強誘電キャパシタを用いることによって、当該容量素子の静電容量の値を大きくすることができるため、容量素子の微細化を図ることができる。このため、当該容量素子を含む回路の面積を低減することができる。また、本実施の形態で説明したとおり、トランジスタ及び容量素子を積層することにより、半導体装置の回路面積の増加を抑えつつ、回路規模が大きくすることができる。

［０４１９］

本実施の形態は、本明細書等で示す他の実施の形態と適宜組み合わせることができる。

［０４２０］

（実施の形態３）

本実施の形態では、上記の実施の形態で説明したＯＳトランジスタに用いることができる金属酸化物（以下、酸化物半導体ともいう。）について説明する。

［０４２１］

金属酸化物は、少なくともインジウム又は亜鉛を含むことが好ましい。特にインジウム及び亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、スズ等が含まれていることが好ましい。また、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウム、コバルト等から選ばれた一種、又は複数種が含まれていてもよい。

［０４２２］

＜結晶構造の分類＞

まず、酸化物半導体における、結晶構造の分類について、図１８Ａを用いて説明を行う。図１８Ａは、酸化物半導体、代表的にはＩＧＺＯ（Ｉｎと、Ｇａと、Ｚｎと、を含む金属酸化物）の結晶構造の分類を説明する図である。

［０４２３］

図１８Ａに示すように、酸化物半導体は、大きく分けて「Ａｍｏｒｐｈｏｕｓ（無定形）」と、「Ｃｒｙｓｔａｌｌｉｎｅ（結晶性）」と、「Ｃｒｙｓｔａｌ（結晶）」と、に分類される。また、「Ａｍｏｒｐｈｏｕｓ」の中には、ｃｏｍｐｌｅｔｅｌｙ　ａｍｏｒｐｈｏｕｓが含まれる。また、「Ｃｒｙｓｔａｌｌｉｎｅ」の中には、ＣＡＡＣ（ｃ－ａｘｉｓ－ａｌｉｇｎｅｄ　ｃｒｙｓｔａｌｌｉｎｅ）、ｎｃ（ｎａｎｏｃｒｙｓｔａｌｌｉｎｅ）、及びＣＡＣ（Ｃｌｏｕｄ－Ａｌｉｇｎｅｄ　Ｃｏｍｐｏｓｉｔｅ）が含まれる。なお、「Ｃｒｙｓｔａｌｌｉｎｅ」の分類には、ｓｉｎｇｌｅ　ｃｒｙｓｔａｌ、ｐｏｌｙ　ｃｒｙｓｔａｌ、及びｃｏｍｐｌｅｔｅｌｙ　ａｍｏｒｐｈｏｕｓは除かれる。また、「Ｃｒｙｓｔａｌ」の中には、ｓｉｎｇｌｅ　ｃｒｙｓｔａｌ、及びｐｏｌｙ　ｃｒｙｓｔａｌが含まれる。

［０４２４］

なお、図１８Ａに示す太枠内の構造は、「Ａｍｏｒｐｈｏｕｓ（無定形）」と、「Ｃｒｙｓｔａｌ（結晶）」との間の中間状態であり、新しい境界領域（Ｎｅｗ　ｃｒｙｓｔａｌｌｉｎｅ　ｐｈａｓｅ）に属する構造である。すなわち、当該構造は、エネルギー的に不安定な「Ａｍｏｒｐｈｏｕｓ（無定形）」、及び「Ｃｒｙｓｔａｌ（結晶）」とは全く異なる構造と言い換えることができる。

［０４２５］

なお、膜又は基板の結晶構造は、Ｘ線回折（ＸＲＤ：Ｘ－Ｒａｙ　Ｄｉｆｆｒａｃｔｉｏｎ）スペクトルを用いて評価することができる。ここで、「Ｃｒｙｓｔａｌｌｉｎｅ」に分類されるＣＡＡＣ－ＩＧＺＯ膜のＧＩＸＤ（Ｇｒａｚｉｎｇ－Ｉｎｃｉｄｅｎｃｅ　ＸＲＤ）測定で得られるＸＲＤスペクトルを図１８Ｂに示す。なお、ＧＩＸＤ法は、薄膜法又はＳｅｅｍａｎｎ－Ｂｏｈｌｉｎ法ともいう。以降、図１８Ｂに示すＧＩＸＤ測定で得られるＸＲＤスペクトルを、単にＸＲＤスペクトルと記す場合がある。なお、図１８Ｂに示すＣＡＡＣ－ＩＧＺＯ膜の組成は、Ｉｎ：Ｇａ：Ｚｎ＝４：２：３［原子数比］近傍である。また、図１８Ｂに示すＣＡＡＣ－ＩＧＺＯ膜の厚さは、５００ｎｍである。

［０４２６］

図１８Ｂに示すように、ＣＡＡＣ－ＩＧＺＯ膜のＸＲＤスペクトルでは、明確な結晶性を示すピークが検出される。具体的には、ＣＡＡＣ－ＩＧＺＯ膜のＸＲＤスペクトルでは、$2\theta=31^\circ$近傍に、ｃ軸配向を示すピークが検出される。なお、図１８Ｂに示すように、$2\theta=31^\circ$近傍のピークは、ピーク強度（ｉｎｔｅｎｓｉｔｙ）が検出された角度を軸に左右非対称である。

［０４２７］

また、膜又は基板の結晶構造は、極微電子線回折法（ＮＢＥＤ：Ｎａｎｏ　Ｂｅａｍ　Ｅｌｅｃｔｒｏｎ　Ｄｉｆｆｒａｃｔｉｏｎ）によって観察される回折パターン（極微電子線回折パターンともいう。）にて評価することができる。ＣＡＡＣ－ＩＧＺＯ膜の回折パターンを、図１８Ｃに示す。図１８Ｃは、電子線を基板に対して平行に入射するＮＢＥＤによって観察される回折パターンである。なお、図１８Ｃに示すＣＡＡＣ－ＩＧＺＯ膜の組成は、Ｉｎ：Ｇａ：Ｚｎ＝４：２：３［原子

数比］近傍である。また、極微電子線回折法では、プローブ径を１ｎｍとして電子線回折が行われる。

［０４２８］

図１８Ｃに示すように、ＣＡＡＣ－ＩＧＺＯ膜の回折パターンでは、ｃ軸配向を示す複数のスポットが観察される。

［０４２９］

＜＜酸化物半導体の構造＞＞

なお、酸化物半導体は、結晶構造に着目した場合、図１８Ａとは異なる分類となる場合がある。例えば、酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、上述のＣＡＡＣ－ＯＳ、及びｎｃ－ＯＳがある。また、非単結晶酸化物半導体には、多結晶酸化物半導体、擬似非晶質酸化物半導体（ａ－ｌｉｋｅ ＯＳ：ａｍｏｒｐｈｏｕｓ－ｌｉｋｅ　ｏｘｉｄｅ　ｓｅｍｉｃｏｎｄｕｃｔｏｒ）、非晶質酸化物半導体、等が含まれる。

［０４３０］

ここで、上述のＣＡＡＣ－ＯＳ、ｎｃ－ＯＳ、及びａ－ｌｉｋｅ　ＯＳの詳細について、説明を行う。

［０４３１］

［ＣＡＡＣ－ＯＳ］

ＣＡＡＣ－ＯＳは、複数の結晶領域を有し、当該複数の結晶領域はｃ軸が特定の方向に配向している酸化物半導体である。なお、特定の方向とは、ＣＡＡＣ－ＯＳ膜の厚さ方向、ＣＡＡＣ－ＯＳ膜の被形成面の法線方向、又はＣＡＡＣ－ＯＳ膜の表面の法線方向である。また、結晶領域とは、原子配列に周期性を有する領域である。なお、原子配列を格子配列とみなすと、結晶領域とは、格子配列の揃った領域でもある。さらに、ＣＡＡＣ－ＯＳは、ａ－ｂ面方向において複数の結晶領域が連結する領域を有し、当該領域は歪みを有する場合がある。なお、歪みとは、複数の結晶領域が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。つまり、ＣＡＡＣ－ＯＳは、ｃ軸配向し、ａ－ｂ面方向には明らかな配向をしていない酸化物半導体である。

［０４３２］

なお、上記複数の結晶領域のそれぞれは、１つ又は複数の微小な結晶（最大径が１０ｎｍ未満である結晶）で構成される。結晶領域が１つの微小な結晶で構成されている場合、当該結晶領域の最大径は１０ｎｍ未満となる。また、結晶領域が多数の微小な結晶で構成されている場合、当該結晶領域の大きさは、数十ｎｍ程度となる場合がある。

［０４３３］

また、Ｉｎ－Ｍ－Ｚｎ酸化物（元素Ｍは、アルミニウム、ガリウム、イットリウム、スズ、チタン等から選ばれた一種、又は複数種）において、ＣＡＡＣ－ＯＳは、インジウム（Ｉｎ）、及び酸素を有する層（以下、Ｉｎ層）と、元素Ｍ、亜鉛（Ｚｎ）、及び酸素を有する層（以下、（Ｍ，Ｚｎ）層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Ｍは、互いに置換可能である。よって、（Ｍ，Ｚｎ）層にはインジウムが含まれる場合がある。また、Ｉｎ層には元素Ｍが含まれる場合がある。なお、Ｉｎ層にはＺｎが含まれる場合もある。当該層状構造は、例えば、高分解能ＴＥＭ像において、格子像として観察される。

［０４３４］

ＣＡＡＣ－ＯＳ膜に対し、例えば、ＸＲＤ装置を用いて構造解析を行うと、θ／２θ スキャンを用いたＯｕｔ－ｏｆ－ｐｌａｎｅ　ＸＲＤ測定では、ｃ軸配向を示すピークが２θ＝３１°又はその近傍に検出される。なお、ｃ軸配向を示すピークの位置（２θ の値）は、ＣＡＡＣ－ＯＳを構成する金属元素の種類、組成等により変動する場合がある。

［０４３５］

また、例えば、ＣＡＡＣ－ＯＳ膜の電子線回折パターンにおいて、複数の輝点（スポット）が観測される。なお、あるスポットと別のスポットとは、試料を透過した入射電子線のスポット（ダイレクトスポットともいう。）を対称中心として、点対称の位置に観測される。

［０４３６］

上記特定の方向から結晶領域を観察した場合、当該結晶領域内の格子配列は、六方格子を基本とするが、単位格子は正六角形とは限らず、非正六角形である場合がある。また、上記歪みにおいて、五角形、七角形等の格子配列を有する場合がある。なお、ＣＡＡＣ－ＯＳにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリー）を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、ＣＡＡＣ－ＯＳが、ａ－ｂ面方向において酸素原子の配列が稠密でないこと、金属原子が置換することで原子間の結合距離が変化すること、等によって、歪みを許容することができるためと考えられる。

［０４３７］

なお、明確な結晶粒界が確認される結晶構造は、いわゆる多結晶（ｐｏｌｙｃｒｙｓｔａｌ）と呼ばれる。結晶粒界は、再結合中心となり、キャリアが捕獲されトランジスタのオン電流の低下、電界効果移動度の低下等を引き起こす可能性が高い。よって、明確な結晶粒界が確認されないＣＡＡＣ－ＯＳは、トランジスタの半導体層に好適な結晶構造を有する結晶性の酸化物の一つである。なお、ＣＡＡＣ－ＯＳを構成するには、Ｚｎを有する構成が好ましい。例えば、Ｉｎ－Ｚｎ酸化物、及びＩｎ－Ｇａ－Ｚｎ酸化物は、Ｉｎ酸化物よりも結晶粒界の発生を抑制できるため好適である。

［０４３８］

ＣＡＡＣ－ＯＳは、結晶性が高く、明確な結晶粒界が確認されない酸化物半導体である。よって、ＣＡＡＣ－ＯＳは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入、及び欠陥の生成等によって低下する場合があるため、ＣＡＡＣ－ＯＳは不純物、欠陥（酸素欠損等）等の少ない酸化物半導体ともいえる。従って、ＣＡＡＣ－ＯＳを有する酸化物半導体は、物理的性質が安定する。そのため、ＣＡＡＣ－ＯＳを有する酸化物半導体は熱に強く、信頼性が高い。また、ＣＡＡＣ－ＯＳは、製造工程における高い温度（所謂サーマルバジェット）に対しても安定である。したがって、ＯＳトランジスタにＣＡＡＣ－ＯＳを用いると、製造工程の自由度を広げることが可能となる。

［０４３９］

［ｎｃ－ＯＳ］

ｎｃ－ＯＳは、微小な領域（例えば、１ｎｍ以上１０ｎｍ以下の領域、特に１ｎｍ以上３ｎｍ以下の領域）において原子配列に周期性を有する。別言すると、ｎｃ－ＯＳは、微小な結晶を有する。なお、当該微小な結晶の大きさは、例えば、１ｎｍ以上１０ｎｍ以下、特に１ｎｍ以上３ｎｍ以下であることから、当該微小な結晶をナノ結晶ともいう。また、ｎｃ－ＯＳは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、ｎｃ－Ｏ

Ｓは、分析方法によっては、ａ－ｌｉｋｅ　ＯＳ、及び非晶質酸化物半導体と区別が付かない場合がある。例えば、ｎｃ－ＯＳ膜に対し、ＸＲＤ装置を用いて構造解析を行うと、θ／２θ スキャンを用いたＯｕｔ－ｏｆ－ｐｌａｎｅ　ＸＲＤ測定では、結晶性を示すピークが検出されない。また、ｎｃ－ＯＳ膜に対し、ナノ結晶よりも大きいプローブ径（例えば５０ｎｍ以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、ｎｃ－ＯＳ膜に対し、ナノ結晶の大きさと近いかナノ結晶より小さいプローブ径（例えば１ｎｍ以上３０ｎｍ以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう。）を行うと、ダイレクトスポットを中心とするリング状の領域内に複数のスポットが観測される電子線回折パターンが取得される場合がある。

［０４４０］

［ａ－ｌｉｋｅ　ＯＳ］

ａ－ｌｉｋｅ　ＯＳは、ｎｃ－ＯＳと非晶質酸化物半導体との間の構造を有する酸化物半導体である。ａ－ｌｉｋｅ　ＯＳは、鬆又は低密度領域を有する。即ち、ａ－ｌｉｋｅ　ＯＳは、ｎｃ－ＯＳ及びＣＡＡＣ－ＯＳと比べて、結晶性が低い。また、ａ－ｌｉｋｅ　ＯＳは、ｎｃ－ＯＳ及びＣＡＡＣ－ＯＳと比べて、膜中の水素濃度が高い。

［０４４１］

＜＜酸化物半導体の構成＞＞

次に、上述のＣＡＣ－ＯＳの詳細について、説明を行う。なお、ＣＡＣ－ＯＳは材料構成に関する。

［０４４２］

［ＣＡＣ－ＯＳ］

ＣＡＣ－ＯＳとは、例えば、金属酸化物を構成する元素が、０．５ｎｍ以上１０ｎｍ以下、好ましくは、１ｎｍ以上３ｎｍ以下、又はその近傍のサイズで偏在した材料の一構成である。なお、以下では、金属酸化物において、一つ又は複数の金属元素が偏在し、該金属元素を有する領域が、０．５ｎｍ以上１０ｎｍ以下、好ましくは、１ｎｍ以上３ｎｍ以下、又はその近傍のサイズで混合した状態をモザイク状、又はパッチ状ともいう。

［０４４３］

さらに、ＣＡＣ－ＯＳとは、第１の領域と、第２の領域と、に材料が分離することでモザイク状となり、当該第１の領域が、膜中に分布した構成（以下、クラウド状ともいう。）である。つまり、ＣＡＣ－ＯＳは、当該第１の領域と、当該第２の領域とが、混合している構成を有する複合金属酸化物である。

［０４４４］

ここで、Ｉｎ－Ｇａ－Ｚｎ酸化物におけるＣＡＣ－ＯＳを構成する金属元素に対するＩｎ、Ｇａ、及びＺｎの原子数比のそれぞれを、［Ｉｎ］、［Ｇａ］、及び［Ｚｎ］と表記する。例えば、Ｉｎ－Ｇａ－Ｚｎ酸化物におけるＣＡＣ－ＯＳにおいて、第１の領域は、［Ｉｎ］が、ＣＡＣ－ＯＳ膜の組成における［Ｉｎ］よりも大きい領域である。また、第２の領域は、［Ｇａ］が、ＣＡＣ－ＯＳ膜の組成における［Ｇａ］よりも大きい領域である。又は、例えば、第１の領域は、［Ｉｎ］が、第２の領域における［Ｉｎ］よりも大きく、且つ、［Ｇａ］が、第２の領域における［Ｇａ］よりも小さい領域である。また、第２の領域は、［Ｇａ］が、第１の領域における［Ｇａ］よりも大きく、且つ、［Ｉｎ］が、第１の領域における［Ｉｎ］よりも小さい領域である。

［０４４５］

具体的には、上記第１の領域は、インジウム酸化物、インジウム亜鉛酸化物等が主成分である領域である。また、上記第２の領域は、ガリウム酸化物、ガリウム亜鉛酸化物等が主成分である領域である。つまり、上記第１の領域を、Ｉｎを主成分とする領域と言い換えることができる。また、上記第２の領域を、Ｇａを主成分とする領域と言い換えることができる。

［０４４６］

なお、上記第１の領域と、上記第２の領域とは、明確な境界が観察できない場合がある。

［０４４７］

例えば、Ｉｎ－Ｇａ－Ｚｎ酸化物におけるＣＡＣ－ＯＳでは、エネルギー分散型Ｘ線分光法（ＥＤＸ：Ｅｎｅｒｇｙ　Ｄｉｓｐｅｒｓｉｖｅ　Ｘ－ｒａｙ　ｓｐｅｃｔｒｏｓｃｏｐｙ）を用いて取得したＥＤＸマッピングにより、Ｉｎを主成分とする領域（第１の領域）と、Ｇａを主成分とする領域（第２の領域）とが、偏在し、混合している構造を有することが確認できる。

［０４４８］

ＣＡＣ－ＯＳをトランジスタに用いる場合、第１の領域に起因する導電性と、第２の領域に起因する絶縁性とが、相補的に作用することにより、スイッチングさせる機能（Ｏｎ／Ｏｆｆさせる機能）をＣＡＣ－ＯＳに付与することができる。つまり、ＣＡＣ－ＯＳとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。導電性の機能と絶縁性の機能とを分離させることで、双方の機能を最大限に高めることができる。よって、ＣＡＣ－ＯＳをトランジスタに用いることで、高いオン電流（I_{on}）、高い電界効果移動度（μ）、及び良好なスイッチング動作を実現することができる。

［０４４９］

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、ａ－ｌｉｋｅ　ＯＳ、ＣＡＣ－ＯＳ、ｎｃ－ＯＳ、ＣＡＡＣ－ＯＳのうち、二種以上を有していてもよい。

［０４５０］

＜酸化物半導体を有するトランジスタ＞

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

［０４５１］

上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

［０４５２］

トランジスタには、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のキャリア濃度は$1\times10^{17}cm^{-3}$以下、好ましくは$1\times10^{15}cm^{-3}$以下、さらに好ましくは$1\times10^{13}cm^{-3}$以下、より好ましくは$1\times10^{11}cm^{-3}$以下、さらに好ましくは$1\times10^{10}cm^{-3}$未満であり、$1\times10^{-9}cm^{-3}$以上である。なお、酸化物半導体膜のキャリア濃度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性と言う。なお、キャリア濃度の低い酸化物半導体を、高純度真性又は実質的に高純度真性な酸化物半導体を呼称する場合がある。

［０４５３］

また、高純度真性又は実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、ト

ラップ準位密度も低くなる場合がある。
［０４５４］
また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。
［０４５５］
従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。
［０４５６］
＜不純物＞
ここで、酸化物半導体中における各不純物の影響について説明する。
［０４５７］
酸化物半導体において、第１４族元素の一つであるシリコン、炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体におけるシリコン、炭素の濃度と、酸化物半導体との界面近傍のシリコン、炭素の濃度（二次イオン質量分析法（ＳＩＭＳ：Ｓｅｃｏｎｄａｒｙ　Ｉｏｎ　Ｍａｓｓ　Ｓｐｅｃｔｒｏｍｅｔｒｙ）により得られる濃度）を、2×10^{18}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは2×10^{17}ａｔｏｍｓ／ｃｍ^{3}以下とする。
［０４５８］
また、酸化物半導体にアルカリ金属又はアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属又はアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、ＳＩＭＳにより得られる酸化物半導体中のアルカリ金属又はアルカリ土類金属の濃度を、1×10^{18}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは2×10^{16}ａｔｏｍｓ／ｃｍ^{3}以下にする。
［０４５９］
また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、ｎ型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体に用いたトランジスタはノーマリーオン特性となりやすい。又は、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、ＳＩＭＳにより得られる酸化物半導体中の窒素濃度を、5×10^{19}ａｔｏｍｓ／ｃｍ^{3}未満、好ましくは5×10^{18}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは1×10^{18}ａｔｏｍｓ／ｃｍ^{3}以下、さらに好ましくは5×10^{17}ａｔｏｍｓ／ｃｍ^{3}以下にする。
［０４６０］
また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、ＳＩＭＳにより得られる水素濃度を、1×10^{20}ａｔｏｍｓ

／ｃｍ^{3}未満、好ましくは１×１０^{19}ａｔｏｍｓ／ｃｍ^{3}未満、より好ましくは５×１０^{18}ａｔｏｍｓ／ｃｍ^{3}未満、さらに好ましくは１×１０^{18}ａｔｏｍｓ／ｃｍ^{3}未満にする。

［０４６１］

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

［０４６２］

本実施の形態は、本明細書等で示す他の実施の形態と適宜組み合わせることができる。

［０４６３］

（実施の形態４）

本実施の形態は、上記実施の形態に示す半導体装置等が形成された半導体ウェハ、及び当該半導体装置が組み込まれた電子部品の一例を示す。

［０４６４］

＜半導体ウェハ＞

初めに、半導体装置等が形成された半導体ウェハの例を、図１９Ａを用いて説明する。

［０４６５］

図１９Ａに示す半導体ウェハ４８００は、ウェハ４８０１と、ウェハ４８０１の上面に設けられた複数の回路部４８０２と、を有する。なお、ウェハ４８０１の上面において、回路部４８０２の無い部分は、スペーシング４８０３であり、ダイシング用の領域である。

［０４６６］

半導体ウェハ４８００は、ウェハ４８０１の表面に対して、前工程によって複数の回路部４８０２を形成することで作製することができる。また、その後に、ウェハ４８０１の複数の回路部４８０２が形成された反対側の面を研削して、ウェハ４８０１の薄膜化してもよい。この工程により、ウェハ４８０１の反り等を低減し、部品としての小型化を図ることができる。

［０４６７］

次の工程としては、ダイシング工程が行われる。ダイシングは、一点鎖線で示したスクライブラインＳＣＬ１及びスクライブラインＳＣＬ２（ダイシングライン、又は切断ラインと呼ぶ場合がある）に沿って行われる。なお、スペーシング４８０３は、ダイシング工程を容易に行うために、複数のスクライブラインＳＣＬ１が平行になるように設け、複数のスクライブラインＳＣＬ２が平行になるように設け、スクライブラインＳＣＬ１とスクライブラインＳＣＬ２が垂直になるように設けるのが好ましい。

［０４６８］

ダイシング工程を行うことにより、図１９Ｂに示すようなチップ４８００ａを、半導体ウェハ４８００から切り出すことができる。チップ４８００ａは、ウェハ４８０１ａと、回路部４８０２と、スペーシング４８０３ａと、を有する。なお、スペーシング４８０３ａは、極力小さくなるようにするのが好ましい。この場合、隣り合う回路部４８０２の間のスペーシング４８０３の幅が、スクライブラインＳＣＬ１の切りしろと、又はスクライブラインＳＣＬ２の切りしろとほぼ同等の長さであればよい。

［０４６９］

なお、本発明の一態様の素子基板の形状は、図１９Ａに図示した半導体ウェハ４８００の形状に限定されない。例えば、矩形の形状の半導体ウェハあってもよい。素子基板の形状は、素子の作製工

程、及び素子を作製するための装置に応じて、適宜変更することができる。
［０４７０］
＜電子部品＞
図１９Ｃに電子部品４７００及び電子部品４７００が実装された基板（実装基板４７０４）の斜視図を示す。図１９Ｃに示す電子部品４７００は、モールド４７１１内にチップ４８００ａを有している。なお、図１９Ｃに示すチップ４８００ａには、回路部４８０２が積層された構成を示している。つまり、回路部４８０２として、上記の実施の形態で説明した半導体装置を適用することができる。図１９Ｃは、電子部品４７００の内部を示すために、一部を省略している。電子部品４７００は、モールド４７１１の外側にランド４７１２を有する。ランド４７１２は電極パッド４７１３と電気的に接続され、電極パッド４７１３はチップ４８００ａとワイヤ４７１４によって電気的に接続されている。電子部品４７００は、例えばプリント基板４７０２に実装される。このような電子部品が複数組み合わされて、それぞれがプリント基板４７０２上で電気的に接続されることで実装基板４７０４が完成する。
［０４７１］
図１９Ｄに電子部品４７３０の斜視図を示す。電子部品４７３０は、ＳｉＰ（Ｓｙｓｔｅｍ ｉｎ ｐａｃｋａｇｅ）又はMCM（Ｍｕｌｔｉ Ｃｈｉｐ Ｍｏｄｕｌｅ）の一例である。電子部品４７３０は、パッケージ基板４７３２（プリント基板）上にインターポーザ４７３１が設けられ、インターポーザ４７３１上に半導体装置４７３５、及び複数の半導体装置４７１０が設けられている。
［０４７２］
電子部品４７３０では、半導体装置４７１０を有する。半導体装置４７１０としては、例えば、上記実施の形態で説明した半導体装置、広帯域メモリ（ＨＢＭ：Ｈｉｇｈ Ｂａｎｄｗｉｄｔｈ Ｍｅｍｏｒｙ）等とすることができる。また、半導体装置４７３５は、ＣＰＵ、ＧＰＵ、ＦＰＧＡ、記憶装置等の集積回路（半導体装置）を用いることができる。
［０４７３］
パッケージ基板４７３２は、セラミック基板、プラスチック基板、又はガラスエポキシ基板等を用いることができる。インターポーザ４７３１は、シリコンインターポーザ、樹脂インターポーザ等を用いることができる。
［０４７４］
インターポーザ４７３１は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電気的に接続する機能を有する。複数の配線は、単層又は多層で設けられる。また、インターポーザ４７３１は、インターポーザ４７３１上に設けられた集積回路をパッケージ基板４７３２に設けられた電極と電気的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」又は「中間基板」と呼ぶ場合がある。また、インターポーザ４７３１に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板４７３２を電気的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、ＴＳＶ（Ｔｈｒｏｕｇｈ Ｓｉｌｉｃｏｎ Ｖｉａ）を用いることも出来る。
［０４７５］
インターポーザ４７３１としてシリコンインターポーザを用いることが好ましい。シリコンインターポーザでは能動素子を設ける必要が無いため、集積回路よりも低コストで作製することができる。一方で、シリコンインターポーザの配線形成は半導体プロセスで行なうことができるため、樹脂イ

ンターポーザでは難しい微細配線の形成が容易である。

［０４７６］

ＨＢＭでは、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、ＨＢＭを実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、ＨＢＭを実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

［０４７７］

また、シリコンインターポーザを用いたＳｉＰ、ＭＣＭ等では、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する２．５Ｄパッケージ（２．５次元実装）では、シリコンインターポーザを用いることが好ましい。

［０４７８］

また、電子部品４７３０と重ねてヒートシンク（放熱板）を設けてもよい。ヒートシンクを設ける場合は、インターポーザ４７３１上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品４７３０では、半導体装置４７１０と半導体装置４７３５の高さを揃えることが好ましい。

［０４７９］

電子部品４７３０を他の基板に実装するため、パッケージ基板４７３２の底部に電極４７３３を設けてもよい。図１９Ｄでは、電極４７３３を半田ボールで形成する例を示している。パッケージ基板４７３２の底部に半田ボールをマトリクス状に設けることで、ＢＧＡ（Ｂａｌｌ　Ｇｒｉｄ　Ａｒｒａｙ）実装を実現できる。また、電極４７３３を導電性のピンで形成してもよい。パッケージ基板４７３２の底部に導電性のピンをマトリクス状に設けることで、ＰＧＡ（Ｐｉｎ　Ｇｒｉｄ　Ａｒｒａｙ）実装を実現できる。

［０４８０］

電子部品４７３０は、ＢＧＡ及びＰＧＡに限らず様々な実装方法を用いて他の基板に実装することができる。例えば、ＳＰＧＡ（Ｓｔａｇｇｅｒｅｄ　Ｐｉｎ　Ｇｒｉｄ　Ａｒｒａｙ）、ＬＧＡ（Ｌａｎｄ　Ｇｒｉｄ　Ａｒｒａｙ）、ＱＦＰ（Ｑｕａｄ　Ｆｌａｔ　Ｐａｃｋａｇｅ）、ＱＦＪ（Ｑｕａｄ　Ｆｌａｔ　Ｊ－ｌｅａｄｅｄ　ｐａｃｋａｇｅ）、又はＱＦＮ（Ｑｕａｄ　Ｆｌａｔ　Ｎｏｎ－ｌｅａｄｅｄ　ｐａｃｋａｇｅ）等の実装方法を用いることができる。

［０４８１］

本実施の形態は、本明細書等で示す他の実施の形態と適宜組み合わせることができる。

［０４８２］

（実施の形態５）

本実施の形態では、上記の実施の形態の半導体装置を備えることができるＣＰＵについて説明する。

［０４８３］

図２０は、上記の実施の形態で説明した半導体装置を一部に用いたＣＰＵの一例の構成を示すブロック図である。

［０４８４］

図２０に示すＣＰＵは、基板１１９０上に、ＡＬＵ１１９１（ＡＬＵ：Ａｒｉｔｈｍｅｔｉｃ　ｌｏｇｉｃ　ｕｎｉｔ、演算回路）、ＡＬＵコントローラ１１９２、インストラクションデコーダ１

１９３、インタラプトコントローラ１１９４、タイミングコントローラ１１９５、レジスタ１１９６、レジスタコントローラ１１９７、バスインターフェース１１９８（Ｂｕｓ　Ｉ／Ｆ）、書き換え可能なＲＯＭ１１９９、及びＲＯＭインターフェース１１８９（ＲＯＭ　Ｉ／Ｆ）を有している。基板１１９０は、半導体基板、ＳＯＩ基板、ガラス基板等を用いる。ＲＯＭ１１９９及びＲＯＭインターフェース１１８９は、別チップに設けてもよい。もちろん、図２０に示すＣＰＵは、その構成を簡略化して示した一例にすぎず、実際のＣＰＵはその用途によって多種多様な構成を有している。例えば、図２０に示すＣＰＵ又は演算回路を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作するような構成、つまりＧＰＵのような構成としてもよい。また、ＣＰＵが内部演算回路、データバスで扱えるビット数は、例えば８ビット、１６ビット、３２ビット、６４ビット等とすることができる。

［０４８５］

バスインターフェース１１９８を介してＣＰＵに入力された命令は、インストラクションデコーダ１１９３に入力され、デコードされた後、ＡＬＵコントローラ１１９２、インタラプトコントローラ１１９４、レジスタコントローラ１１９７、タイミングコントローラ１１９５に入力される。

［０４８６］

ＡＬＵコントローラ１１９２、インタラプトコントローラ１１９４、レジスタコントローラ１１９７、タイミングコントローラ１１９５は、デコードされた命令に基づき、各種制御を行なう。具体的にＡＬＵコントローラ１１９２は、ＡＬＵ１１９１の動作を制御するための信号を生成する。また、インタラプトコントローラ１１９４は、ＣＰＵのプログラム実行中に、外部の入出力装置、周辺回路等からの割り込み要求を、その優先度、マスク状態から判断し、処理する。レジスタコントローラ１１９７は、レジスタ１１９６のアドレスを生成し、ＣＰＵの状態に応じてレジスタ１１９６の読み出し、又は書き込みを行なう。

［０４８７］

また、タイミングコントローラ１１９５は、ＡＬＵ１１９１、ＡＬＵコントローラ１１９２、インストラクションデコーダ１１９３、インタラプトコントローラ１１９４、及びレジスタコントローラ１１９７の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ１１９５は、基準クロック信号を元に、内部クロック信号を生成する内部クロック生成部を備えており、内部クロック信号を上記各種回路に供給する。

［０４８８］

図２０に示すＣＰＵでは、レジスタ１１９６に、メモリセルが設けられている。レジスタ１１９６は、例えば、先の実施の形態に示した半導体装置等を有してもよい。

［０４８９］

図２０に示すＣＰＵにおいて、レジスタコントローラ１１９７は、ＡＬＵ１１９１からの指示に従い、レジスタ１１９６における保持動作の選択を行う。すなわち、レジスタ１１９６が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ１１９６内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ１１９６内のメモリセルへの電源電圧の供給を停止することができる。

［０４９０］

本実施の形態は、本明細書等で示す他の実施の形態と適宜組み合わせることができる。
［０４９１］
（実施の形態６）
本実施の形態では、上記実施の形態で説明した半導体装置を有する電子機器の一例について説明する。なお、図２１Ａ乃至図２１Ｊ、図２２Ａ乃至図２２Ｅには、当該半導体装置を有する電子部品４７００が各電子機器に含まれている様子を図示している。
［０４９２］
［携帯電話］
図２１Ａに示す情報端末５５００は、情報端末の一種である携帯電話（スマートフォン）である。情報端末５５００は、筐体５５１０と、表示部５５１１と、を有しており、入力用インターフェースとして、タッチパネルが表示部５５１１に備えられ、ボタンが筐体５５１０に備えられている。
［０４９３］
情報端末５５００は、上記実施の形態で説明した半導体装置を適用することで、アプリケーションの実行時に生成される一時的なファイル（例えば、ウェブブラウザの使用時のキャッシュ等）を保持することができる。
［０４９４］
情報端末５５００に上記実施の形態で説明した半導体装置を適用することによって、信頼性が高い情報端末５５００を実現することができる。
［０４９５］
［ウェアラブル端末］
また、図２１Ｂには、ウェアラブル端末の一例である情報端末５９００が図示されている。情報端末５９００は、筐体５９０１、表示部５９０２、操作ボタン５９０３、操作子５９０４、バンド５９０５等を有する。
［０４９６］
ウェアラブル端末は、先述した情報端末５５００と同様に、上記実施の形態で説明した半導体装置を適用することで、アプリケーションの実行時に生成される一時的なファイルを保持することができる。
［０４９７］
情報端末５９００に上記実施の形態で説明した半導体装置を適用することによって、信頼性が高い情報端末５９００を実現することができる。
［０４９８］
［情報端末］
また、図２１Ｃには、デスクトップ型情報端末５３００が図示されている。デスクトップ型情報端末５３００は、情報端末の本体５３０１と、ディスプレイ５３０２と、キーボード５３０３と、を有する。
［０４９９］
デスクトップ型情報端末５３００は、先述した情報端末５５００と同様に、上記実施の形態で説明した半導体装置を適用することで、アプリケーションの実行時に生成される一時的なファイルを保持することができる。
［０５００］

なお、上述では、電子機器としてスマートフォン、ウェアラブル端末、デスクトップ用情報端末を例として、それぞれ図２１Ａ乃至図２１Ｃに図示したが、スマートフォン、ウェアラブル端末、デスクトップ用情報端末以外の情報端末を適用することができる。スマートフォン、ウェアラブル端末、デスクトップ用情報端末以外の情報端末としては、例えば、ＰＤＡ（Ｐｅｒｓｏｎａｌ　Ｄｉｇｉｔａｌ　Ａｓｓｉｓｔａｎｔ）、ノート型情報端末、ワークステーション等が挙げられる。

［０５０１］

デスクトップ型情報端末５３００に上記実施の形態で説明した半導体装置を適用することによって、信頼性が高いデスクトップ型情報端末５３００を実現することができる。

［０５０２］

［電化製品］

また、図２１Ｄには、電化製品の一例として電気冷凍冷蔵庫５８００が図示されている。電気冷凍冷蔵庫５８００は、筐体５８０１、冷蔵室用扉５８０２、冷凍室用扉５８０３等を有する。

［０５０３］

電気冷凍冷蔵庫５８００に上記実施の形態で説明した半導体装置を適用することによって、電気冷凍冷蔵庫５８００を、例えば、ＩｏＴ（Ｉｎｔｅｒｎｅｔ　ｏｆ　Ｔｈｉｎｇｓ）として利用することができる。ＩｏＴを利用することによって、電気冷凍冷蔵庫５８００は、電気冷凍冷蔵庫５８００に保存されている食材、その食材の消費期限等の情報を、インターネット等を通じて、上述したような情報端末等に送受信することができる。また、電気冷凍冷蔵庫５８００は、当該情報を送信する際に、当該情報を一時ファイルとして、当該半導体装置に保持することができる。

［０５０４］

本一例では、電化製品として電気冷凍冷蔵庫について説明したが、その他の電化製品としては、例えば、掃除機、電子レンジ、電気オーブン、炊飯器、湯沸かし器、ＩＨ調理器、ウォーターサーバ、エアーコンディショナーを含む冷暖房器具、洗濯機、乾燥機、オーディオビジュアル機器等が挙げられる。

［０５０５］

電気冷凍冷蔵庫５８００に上記実施の形態で説明した半導体装置を適用することによって、信頼性が高い電気冷凍冷蔵庫５８００を実現することができる。

［０５０６］

［ゲーム機］

また、図２１Ｅには、ゲーム機の一例である携帯ゲーム機５２００が図示されている。携帯ゲーム機５２００は、筐体５２０１、表示部５２０２、ボタン５２０３等を有する。

［０５０７］

更に、図２１Ｆには、ゲーム機の一例である据置型ゲーム機７５００が図示されている。据置型ゲーム機７５００は、本体７５２０と、コントローラ７５２２を有する。なお、本体７５２０には、無線又は有線によってコントローラ７５２２を接続することができる。また、図２１Ｆには示していないが、コントローラ７５２２は、ゲームの画像を表示する表示部、ボタン以外の入力インターフェースとなるタッチパネル、スティック、回転式つまみ、スライド式つまみ等を備えることができる。また、コントローラ７５２２は、図２１Ｆに示す形状に限定されず、ゲームのジャンルに応じて、コントローラ７５２２の形状を様々に変更してもよい。例えば、ＦＰＳ（Ｆｉｒｓｔ　Ｐｅｒｓｏｎ　Ｓｈｏｏｔｅｒ）等のシューティングゲームでは、トリガーをボタンとし、銃を模した

形状のコントローラを用いることができる。また、例えば、音楽ゲーム等では、楽器、音楽機器等を模した形状のコントローラを用いることができる。更に、据置型ゲーム機は、コントローラを使わず、代わりにカメラ、深度センサ、マイクロフォン等を備えて、ゲームプレイヤーのジェスチャー、及び／又は音声によって操作する形式としてもよい。

［０５０８］

また、上述したゲーム機の映像は、テレビジョン装置、パーソナルコンピュータ用ディスプレイ、ゲーム用ディスプレイ、ヘッドマウントディスプレイ等の表示装置によって、出力することができる。

［０５０９］

携帯ゲーム機５２００、及び据置型ゲーム機７５００に上記実施の形態で説明した半導体装置を適用することによって、信頼性が高い携帯ゲーム機５２００を実現することができる。

［０５１０］

更に、携帯ゲーム機５２００、及び据置型ゲーム機７５００に上記実施の形態で説明した半導体装置を適用することによって、ゲームの実行中に発生する演算に必要な一時ファイル等の保持をおこなうことができる。

［０５１１］

図２１Ｅ、及び図２１Ｆでは、ゲーム機の一例として携帯ゲーム機、及び据置型ゲーム機を図示しているが、本発明の一態様の電子機器はこれに限定されない。本発明の一態様の電子機器としては、例えば、娯楽施設（ゲームセンター、遊園地等）に設置されるアーケードゲーム機、スポーツ施設に設置されるバッティング練習用の投球マシン等が挙げられる。

［０５１２］

［移動体］

上記実施の形態で説明した半導体装置は、移動体である自動車、及び自動車の運転席周辺に適用することができる。

［０５１３］

図２１Ｇには移動体の一例である自動車５７００が図示されている。

［０５１４］

自動車５７００の運転席周辺には、スピードメーター、タコメーター、走行距離、燃料計、ギア状態、エアコンの設定等を表示することで、様々な情報を提供するインストゥルメントパネルが備えられている。また、運転席周辺には、それらの情報を示す表示装置が備えられていてもよい。

［０５１５］

特に当該表示装置には、自動車５７００に設けられた撮像装置（図示しない。）からの映像を映し出すことによって、ピラー等で遮られた視界、運転席の死角等を補うことができ、安全性を高めることができる。

［０５１６］

上記実施の形態で説明した半導体装置は、情報を一時的に保持することができるため、例えば、当該コンピュータを自動車５７００の自動運転システム、当該コンピュータを道路案内、危険予測等を行うシステム等における、必要な一時的な情報の保持に用いることができる。当該表示装置には、道路案内、危険予測等の一時的な情報を表示する構成としてもよい。また、自動車５７００に備え付けられたドライビングレコーダの映像を保持する構成としてもよい。

［０５１７］

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、飛行体（ヘリコプター、無人航空機（ドローン）、飛行機、ロケット）等も挙げることができる。

［０５１８］

自動車５７００に上記実施の形態で説明した半導体装置を適用することによって、信頼性が高い自動車５７００を実現することができる。

［０５１９］

［カメラ］

上記実施の形態で説明した半導体装置は、カメラに適用することができる。

［０５２０］

図２１Ｈには、撮像装置の一例であるデジタルカメラ６２４０が図示されている。デジタルカメラ６２４０は、筐体６２４１、表示部６２４２、操作ボタン６２４３、シャッターボタン６２４４等を有し、また、デジタルカメラ６２４０には、着脱可能なレンズ６２４６が取り付けられている。なお、ここではデジタルカメラ６２４０を、レンズ６２４６を筐体６２４１から取り外して交換することが可能な構成としたが、レンズ６２４６と筐体６２４１とが一体となっていてもよい。また、デジタルカメラ６２４０は、ストロボ装置、ビューファインダー等を別途装着することができる構成としてもよい。

［０５２１］

デジタルカメラ６２４０に上記実施の形態で説明した半導体装置を適用することによって、信頼性が高いデジタルカメラ６２４０を実現することができる。

［０５２２］

［ビデオカメラ］

上記実施の形態で説明した半導体装置は、ビデオカメラに適用することができる。

［０５２３］

図２１Ｉには、撮像装置の一例であるビデオカメラ６３００が図示されている。ビデオカメラ６３００は、第１筐体６３０１、第２筐体６３０２、表示部６３０３、操作キー６３０４、レンズ６３０５、接続部６３０６等を有する。操作キー６３０４及びレンズ６３０５は第１筐体６３０１に設けられており、表示部６３０３は第２筐体６３０２に設けられている。そして、第１筐体６３０１と第２筐体６３０２とは、接続部６３０６により接続されており、第１筐体６３０１と第２筐体６３０２の間の角度は、接続部６３０６により変更が可能である。表示部６３０３における映像を、接続部６３０６における第１筐体６３０１と第２筐体６３０２との間の角度に従って切り替える構成としてもよい。

［０５２４］

ビデオカメラ６３００で撮影した映像を記録する際、データの記録形式に応じたエンコードを行う必要がある。上述した半導体装置を利用することによって、ビデオカメラ６３００は、エンコードの際に発生する一時的なファイルの保持を行うことができる。

［０５２５］

ビデオカメラ６３００に上記実施の形態で説明した半導体装置を適用することによって、信頼性が高いビデオカメラ６３００を実現することができる。

［０５２６］

［ＩＣＤ］

上記実施の形態で説明した半導体装置は、植え込み型除細動器（ＩＣＤ）に適用することができる。

［０５２７］

図２１Ｊは、ＩＣＤの一例を示す断面模式図である。ＩＣＤ本体５４００は、バッテリー５４０１と、電子部品４７００と、レギュレータと、制御回路と、アンテナ５４０４と、右心房へのワイヤ５４０２、右心室へのワイヤ５４０３とを少なくとも有している。

［０５２８］

ＩＣＤ本体５４００は手術により体内に設置され、二本のワイヤは、人体の鎖骨下静脈５４０５及び上大静脈５４０６を通過させて一方のワイヤ先端が右心室、もう一方のワイヤ先端が右心房に設置されるようにする。

［０５２９］

ＩＣＤ本体５４００は、ペースメーカのとしての機能を有し、心拍数が規定の範囲から外れた場合に心臓に対してペーシングを行う。また、ペーシングによって心拍数が改善しない場合（速い心室頻拍、心室細動等）、電気ショックによる治療が行われる。

［０５３０］

ＩＣＤ本体５４００は、ペーシング及び電気ショックを適切に行うため、心拍数を常に監視する必要がある。そのため、ＩＣＤ本体５４００は、心拍数を検知するためのセンサを有する。また、ＩＣＤ本体５４００は、当該センサ等によって取得した心拍数のデータ、ペーシングによる治療を行った回数、時間等を電子部品４７００に記憶することができる。

［０５３１］

また、アンテナ５４０４で電力が受信でき、その電力はバッテリー５４０１に充電される。また、ＩＣＤ本体５４００は複数のバッテリーを有することにより、安全性を高くすることができる。具体的には、ＩＣＤ本体５４００の一部のバッテリーが使えなくなったとしても残りのバッテリーが機能させることができるため、補助電源としても機能する。

［０５３２］

また、電力を受信できるアンテナ５４０４とは別に、生理信号を送信できるアンテナを有していてもよく、例えば、脈拍、呼吸数、心拍数、体温等の生理信号を外部のモニタ装置で確認できるような心臓活動を監視するシステムを構成してもよい。

［０５３３］

ＩＣＤ本体５４００に上記実施の形態で説明した半導体装置を適用することによって、信頼性が高いＩＣＤ本体５４００を実現することができる。

［０５３４］

［ＰＣ用の拡張デバイス］

上記実施の形態で説明した半導体装置は、ＰＣ（Ｐｅｒｓｏｎａｌ　Ｃｏｍｐｕｔｅｒ）等の計算機、情報端末用の拡張デバイスに適用することができる。

［０５３５］

図２２Ａは、当該拡張デバイスの一例として、持ち運びのできる、情報の記憶が可能なチップが搭載された、ＰＣに外付けする拡張デバイス６１００を示している。拡張デバイス６１００は、例えば、ＵＳＢ（Ｕｎｉｖｅｒｓａｌ　Ｓｅｒｉａｌ　Ｂｕｓ）等でＰＣに接続することで、当該チッ

プによる情報の記憶を行うことができる。なお、図２２Ａは、持ち運びが可能な形態の拡張デバイス６１００を図示しているが、本発明の一態様に係る拡張デバイスは、これに限定されず、例えば、冷却用ファン等を搭載した比較的大きい形態の拡張デバイスとしてもよい。

［０５３６］

拡張デバイス６１００は、筐体６１０１、キャップ６１０２、ＵＳＢコネクタ６１０３及び基板６１０４を有する。基板６１０４は、筐体６１０１に収納されている。基板６１０４には、上記実施の形態で説明した半導体装置等を駆動する回路が設けられている。例えば、基板６１０４には、電子部品４７００、コントローラチップ６１０６が取り付けられている。ＵＳＢコネクタ６１０３は、外部装置と接続するためのインターフェースとして機能する。

［０５３７］

拡張デバイス６１００に上記実施の形態で説明した半導体装置を適用することによって、信頼性が高い拡張デバイス６１００を実現することができる。

［０５３８］

［ＳＤカード］

上記実施の形態で説明した半導体装置は、情報端末、デジタルカメラ等の電子機器に取り付けが可能なＳＤカードに適用することができる。

［０５３９］

図２２ＢはＳＤカードの外観の模式図であり、図２２Ｃは、ＳＤカードの内部構造の模式図である。ＳＤカード５１１０は、筐体５１１１、コネクタ５１１２及び基板５１１３を有する。コネクタ５１１２が外部装置と接続するためのインターフェースとして機能する。基板５１１３は筐体５１１１に収納されている。基板５１１３には、半導体装置及び半導体装置を駆動する回路が設けられている。例えば、基板５１１３には、電子部品４７００、コントローラチップ５１１５が取り付けられている。なお、電子部品４７００とコントローラチップ５１１５とのそれぞれの回路構成は、上述の記載に限定せず、状況に応じて、適宜回路構成を変更してもよい。例えば、電子部品に備えられている書き込み回路、ロードライバ、読み出し回路等は、電子部品４７００でなく、コントローラチップ５１１５に組み込んだ構成としてもよい。

［０５４０］

基板５１１３の裏面側にも電子部品４７００を設けることで、ＳＤカード５１１０の容量を増やすことができる。また、無線通信機能を備えた無線チップを基板５１１３に設けてもよい。これによって、外部装置とＳＤカード５１１０との間で無線通信を行うことができ、電子部品４７００のデータの読み出し、書き込みが可能となる。

［０５４１］

ＳＤカード５１１０に上記実施の形態で説明した半導体装置を適用することによって、信頼性が高いＳＤカード５１１０を実現することができる。

［０５４２］

［ＳＳＤ］

上記実施の形態で説明した半導体装置は、情報端末等電子機器に取り付けが可能なＳＳＤ（Ｓｏｌｉｄ　Ｓｔａｔｅ　Ｄｒｉｖｅ）に適用することができる。

［０５４３］

図２２ＤはＳＳＤの外観の模式図であり、図２２Ｅは、ＳＳＤの内部構造の模式図である。ＳＳＤ

５１５０は、筐体５１５１、コネクタ５１５２及び基板５１５３を有する。コネクタ５１５２が外部装置と接続するためのインターフェースとして機能する。基板５１５３は筐体５１５１に収納されている。基板５１５３には、半導体装置及び半導体装置を駆動する回路が設けられている。例えば、基板５１５３には、電子部品４７００、メモリチップ５１５５、コントローラチップ５１５６が取り付けられている。基板５１５３の裏面側にも電子部品４７００を設けることで、ＳＳＤ５１５０の容量を増やすことができる。メモリチップ５１５５にはワークメモリが組み込まれている。例えば、メモリチップ５１５５には、ＤＲＡＭチップを用いればよい。コントローラチップ５１５６には、プロセッサ、ＥＣＣ回路等が組み込まれている。なお、電子部品４７００と、メモリチップ５１５５と、コントローラチップ５１１５と、のそれぞれの回路構成は、上述の記載に限定せず、状況に応じて、適宜回路構成を変更してもよい。例えば、コントローラチップ５１５６にも、ワークメモリとして機能するメモリを設けてもよい。

［０５４４］

ＳＳＤ５１５０に上記実施の形態で説明した半導体装置を適用することによって、信頼性が高いＳＳＤ５１５０を実現することができる。

［０５４５］

上記実施の形態で説明した半導体装置を、上述した電子機器に含まれている半導体装置に適用することによって、新規の電子機器を提供することができる。

［０５４６］

本実施の形態は、本明細書等で示す他の実施の形態と適宜組み合わせることができる。

［符号の説明］

［０５４７］

１０：半導体装置、１１：曲線、１２：曲線、３００：トランジスタ、３１０：基板、３１０Ａ：基板、３１２：素子分離層、３１３：半導体領域、３１４ａ：低抵抗領域、３１４ｂ：低抵抗領域、３１５：絶縁体、３１６：導電体、３２０：絶縁体、３２２：絶縁体、３２４：絶縁体、３２６：絶縁体、３２８：導電体、３３０：導電体、３５０：絶縁体、３５２：絶縁体、３５４：絶縁体、３５６：導電体、３６０：絶縁体、３６２：絶縁体、３６４：絶縁体、３６６：導電体、４１１：絶縁体、４１２：絶縁体、４１３：絶縁体、４１４：絶縁体、４１６：導電体、５００：トランジスタ、５０３：導電体、５０３ａ：導電体、５０３Ａ：導電体、５０３ｂ：導電体、５１０：絶縁体、５１２：絶縁体、５１４：絶縁体、５１６：絶縁体、５１７：絶縁体、５１８：導電体、５１９：導電体、５２０：絶縁体、５２０ａ：絶縁体、５２０ｂ：絶縁体、５２０ｃ：絶縁体、５２２：絶縁体、５２４：絶縁体、５３０：酸化物、５３０ａ：酸化物、５３０ｂ：酸化物、５３０ｂａ：領域、５３０ｂｂ：領域、５３０ｂｃ：領域、５４０：導電体、５４０ａ：導電体、５４０ｂ：導電体、５４０ｃ：導電体、５４０ｄ：導電体、５４０ｅ：導電体、５４１：絶縁体、５４１ａ：絶縁体、５４１ｂ：絶縁体、５４１ｃ：絶縁体、５４１ｄ：絶縁体、５４１ｅ：絶縁体、５４２：導電体、５４２ａ：導電体、５４２ｂ：導電体、５４３：酸化物、５４３ａ：酸化物、５４３ｂ：酸化物、５４４：絶縁体、５４６：導電体、５５０：絶縁体、５５０ａ：絶縁体、５５０ｂ：絶縁体、５５２：絶縁体、５５３：絶縁体、５５４：絶縁体、５６０：導電体、５６０ａ：導電体、５６０ｂ：導電体、５６１：絶縁体、５６２：導電体、５７１：絶縁体、５７１ａ：絶縁体、５７１ｂ：絶縁体、５７４：絶縁体、５７６：絶縁体、５８０：絶縁体、５８１：絶縁体、５８２：絶縁体、５８６：絶縁体、６００：容量、６０１：絶縁体、６０２：絶縁体、６１０：導電体、６１

１：導電体、６１２：導電体、６１３：導電体、６２０：導電体、６３０：絶縁体、６３１：絶縁体、６４０：絶縁体、６４１：絶縁体、６４２：絶縁体、６５０：絶縁体、６６０：導電体、１１８９：ＲＯＭインターフェース、１１９０：基板、１１９１：ＡＬＵ、１１９２：ＡＬＵコントローラ、１１９３：インストラクションデコーダ、１１９４：インタラプトコントローラ、１１９５：タイミングコントローラ、１１９６：レジスタ、１１９７：レジスタコントローラ、１１９８：バスインターフェース、１１９９：ＲＯＭ、４７００：電子部品、４７０２：プリント基板、４７０４：実装基板、４７１０：半導体装置、４７１１：モールド、４７１２：ランド、４７１３：電極パッド、４７１４：ワイヤ、４７３０：電子部品、４７３１：インターポーザ、４７３２：パッケージ基板、４７３３：電極、４７３５：半導体装置、４８００：半導体ウェハ、４８００ａ：チップ、４８０１：ウェハ、４８０１ａ：ウェハ、４８０２：回路部、４８０３：スペーシング、４８０３ａ：スペーシング、５１１０：ＳＤカード、５１１１：筐体、５１１２：コネクタ、５１１３：基板、５１１５：コントローラチップ、５１５０：ＳＳＤ、５１５１：筐体、５１５２：コネクタ、５１５３：基板、５１５５：メモリチップ、５１５６：コントローラチップ、５２００：携帯ゲーム機、５２０１：筐体、５２０２：表示部、５２０３：ボタン、５３００：デスクトップ型情報端末、５３０１：本体、５３０２：ディスプレイ、５３０３：キーボード、５４００：ＩＣＤ本体、５４０１：バッテリー、５４０２：ワイヤ、５４０３：ワイヤ、５４０４：アンテナ、５４０５：鎖骨下静脈、５４０６：上大静脈、５５００：情報端末、５５１０：筐体、５５１１：表示部、５７００：自動車、５８００：電気冷凍冷蔵庫、５８０１：筐体、５８０２：冷蔵室用扉、５８０３：冷凍室用扉、５９００：情報端末、５９０１：筐体、５９０２：表示部、５９０３：操作ボタン、５９０４：操作子、５９０５：バンド、６１００：拡張デバイス、６１０１：筐体、６１０２：キャップ、６１０３：ＵＳＢコネクタ、６１０４：基板、６１０６：コントローラチップ、６２４０：デジタルカメラ、６２４１：筐体、６２４２：表示部、６２４３：操作ボタン、６２４４：シャッターボタン、６２４６：レンズ、６３００：ビデオカメラ、６３０１：筐体、６３０２：筐体、６３０３：表示部、６３０４：操作キー、６３０５：レンズ、６３０６：接続部、７５００：据置型ゲーム機、７５２０：本体、７５２２：コントローラ

請求の範囲

［請求項１］

強誘電キャパシタを有するメモリセルが設けられる半導体装置の駆動方法であって、

第１の期間において、前記メモリセルに、２値データを書き込み、

第２の期間において、前記メモリセルから、前記２値データを読み出し、

第３の期間において、前記強誘電キャパシタに分極反転を発生させることにより、前記メモリセルに前記２値データを書き戻す、半導体装置の駆動方法。

［請求項２］

請求項１において、

前記第３の期間において、前記２値データの値に関わらず、前記強誘電キャパシタに分極反転を発生させる、半導体装置の駆動方法。

［請求項３］

請求項１又は２において、

前記半導体装置は、参照メモリセルを有し、

前記第１の期間において、前記参照メモリセルに、参照２値データを書き込み、

前記第２の期間において、前記参照メモリセルから、前記参照２値データを読み出し、

前記第２の期間において、前記メモリセルから読み出された前記２値データと、前記参照メモリセルから読み出された前記参照２値データと、の論理演算を行う、半導体装置の駆動方法。

［請求項４］

請求項３において、

前記論理演算は、排他的論理和である、半導体装置の駆動方法。

［請求項５］

請求項１乃至４のいずれか一項において、

前記メモリセルは、第１のトランジスタと、第２のトランジスタと、第３のトランジスタと、を有し、

前記第１のトランジスタのソース又はドレインの一方は、前記第２のトランジスタのゲート、及び前記強誘電キャパシタの一方の電極と電気的に接続され、

前記第２のトランジスタのソース又はドレインの一方は、前記第３のトランジスタのソース又はドレインの一方と電気的に接続され、

前記第３のトランジスタのソース又はドレインの他方は、前記第１のトランジスタのソース又はドレインの他方と電気的に接続され、

前記第１の期間、及び前記第３の期間において、前記第１のトランジスタをオン状態、前記第３のトランジスタをオフ状態とし、

前記第２の期間において、前記第１のトランジスタをオフ状態、前記第３のトランジスタをオン状態とする、半導体装置の駆動方法。

［請求項６］

請求項１乃至５のいずれか一項において、

前記強誘電キャパシタは、誘電体を有し、

前記誘電体は、酸化ハフニウム及び／又は酸化ジルコニウムを有する半導体装置の駆動方法。

［請求項７］

第１の強誘電キャパシタを有するメモリセルと、第２の強誘電キャパシタを有する参照メモリセルと、が設けられる半導体装置の駆動方法であって、

第１の期間において、前記メモリセルへの第１の２値データの書き込み、及び前記参照メモリセルへの第１の参照２値データの書き込みを行い、

第２の期間において、前記メモリセルからの前記第１の２値データの読み出し、及び前記参照メモリセルからの前記第１の参照２値データの読み出しを行い、

第３の期間において、前記第１の２値データと、前記第１の参照２値データと、の論理演算を行い、

第４の期間において、前記メモリセルへの第２の２値データの書き込み、及び前記参照メモリセルへの第２の参照２値データの書き込みを行い、

前記第１の２値データの値と、前記第２の２値データの値と、は異なり、

前記第１の参照２値データの値と、前記第２の参照２値データの値と、は異なる、半導体装置の駆動方法。

［請求項８］

請求項７において、

前記半導体装置は、第１のセンスアンプ回路、及び第２のセンスアンプ回路を有し、

前記第１のセンスアンプ回路は、前記メモリセルと電気的に接続され、

前記第２のセンスアンプ回路は、前記参照メモリセルと電気的に接続され、

前記第３の期間において、前記第１のセンスアンプ回路と、前記第２のセンスアンプ回路と、を活性化状態にする、半導体装置の駆動方法。

［請求項９］

請求項８において、

前記メモリセルは、第１のトランジスタと、第２のトランジスタと、第３のトランジスタと、を有し、

前記第１のトランジスタのソース又はドレインの一方は、前記第２のトランジスタのゲート、及び前記第１の強誘電キャパシタの一方の電極と電気的に接続され、

前記第２のトランジスタのソース又はドレインの一方は、前記第３のトランジスタのソース又はドレインの一方と電気的に接続され、

前記第１のトランジスタのソース又はドレインの他方、及び前記第３のトランジスタのソース又はドレインの他方は、前記第１のセンスアンプ回路と電気的に接続され、

前記第１の期間、及び前記第４の期間において、前記第１のトランジスタをオン状態、前記第３のトランジスタをオフ状態とし、

前記第２の期間、及び前記第３の期間において、前記第１のトランジスタをオフ状態、前記第３のトランジスタをオン状態とする、半導体装置の駆動方法。

［請求項１０］

請求項７乃至９のいずれか一項において、

前記第１の強誘電キャパシタは、第１の誘電体を有し、

前記第２の強誘電キャパシタは、第２の誘電体を有し、

前記第１の誘電体、及び前記第２の誘電体は、酸化ハフニウム及び／又は酸化ジルコニウムを有する半導体装置の駆動方法。

［請求項１１］

請求項７乃至１０のいずれか一項において、

前記論理演算は、排他的論理和である、半導体装置の駆動方法。

図1

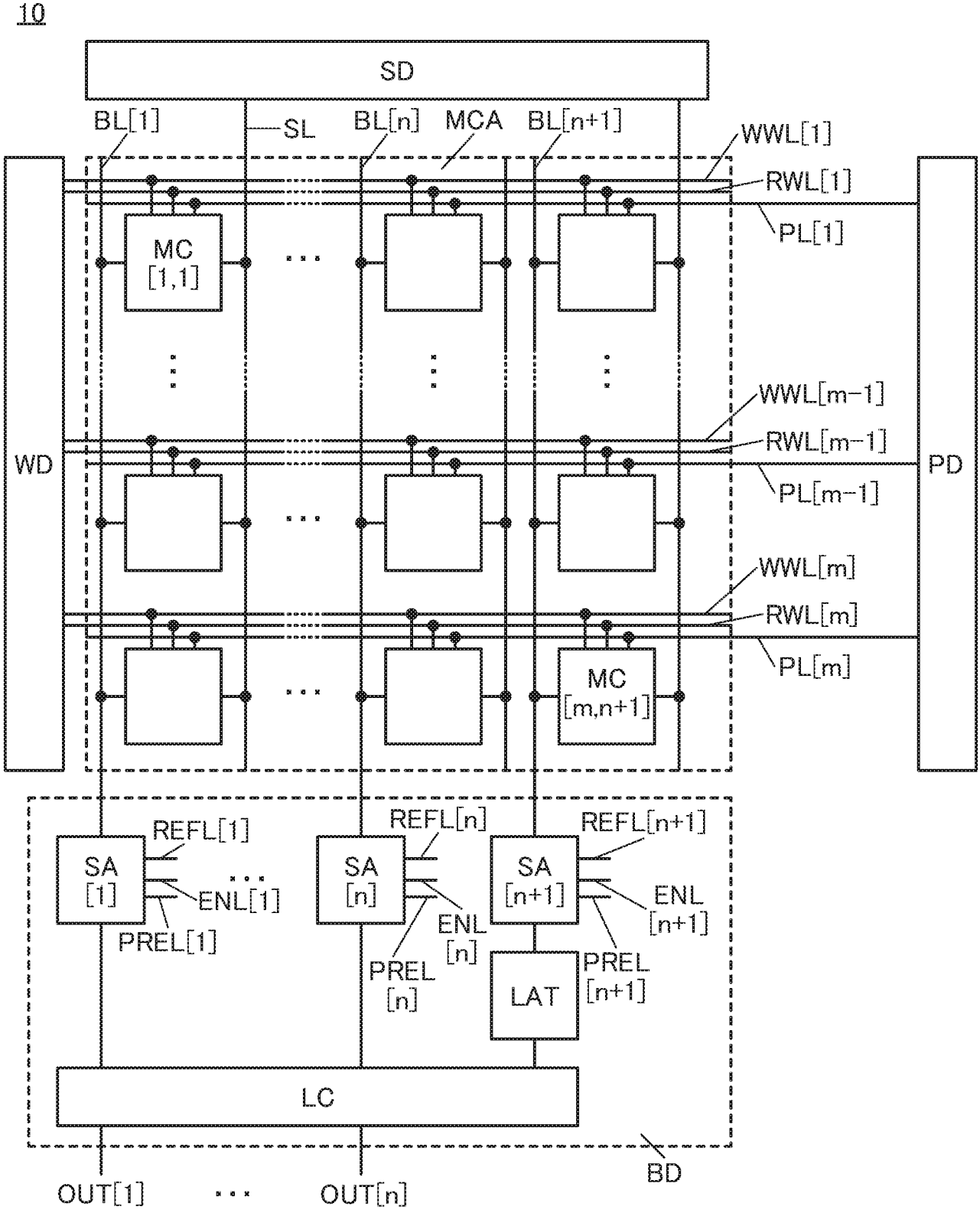

10
SD
BL[1]
SL
BL[n]
MCA
BL[n+1]
WWL[1]
RWL[1]
PL[1]
MC
[1,1]
WWL[m-1]
RWL[m-1]
PL[m-1]
WD
PD
WWL[m]
RWL[m]
PL[m]
MC
[m,n+1]
REFL[1]
REFL[n]
REFL[n+1]
SA
[1]
SA
[n]
SA
[n+1]
ENL[1]
ENL
[n]
ENL
[n+1]
PREL[1]
PREL
[n]
PREL
[n+1]
LAT
LC
BD
OUT[1]
OUT[n]

図2A

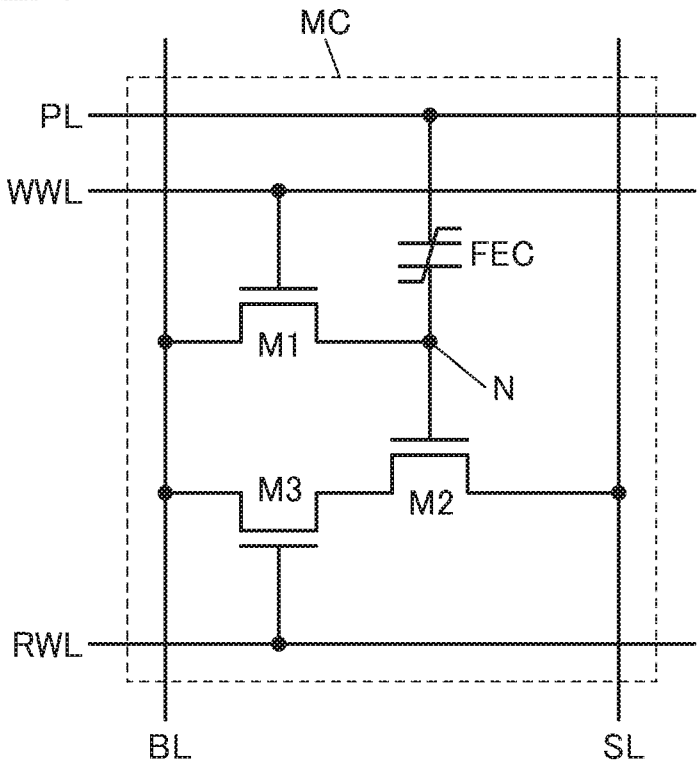


図2B

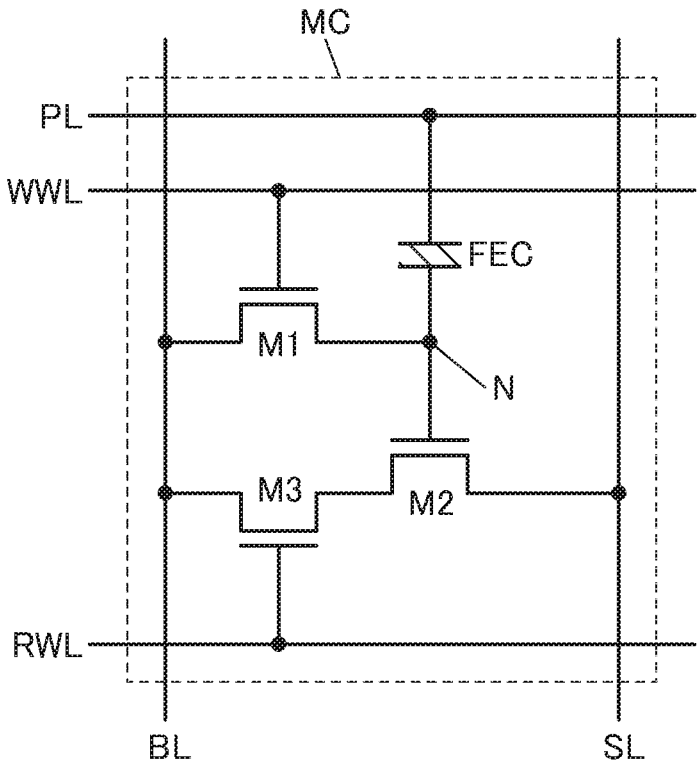


図3A

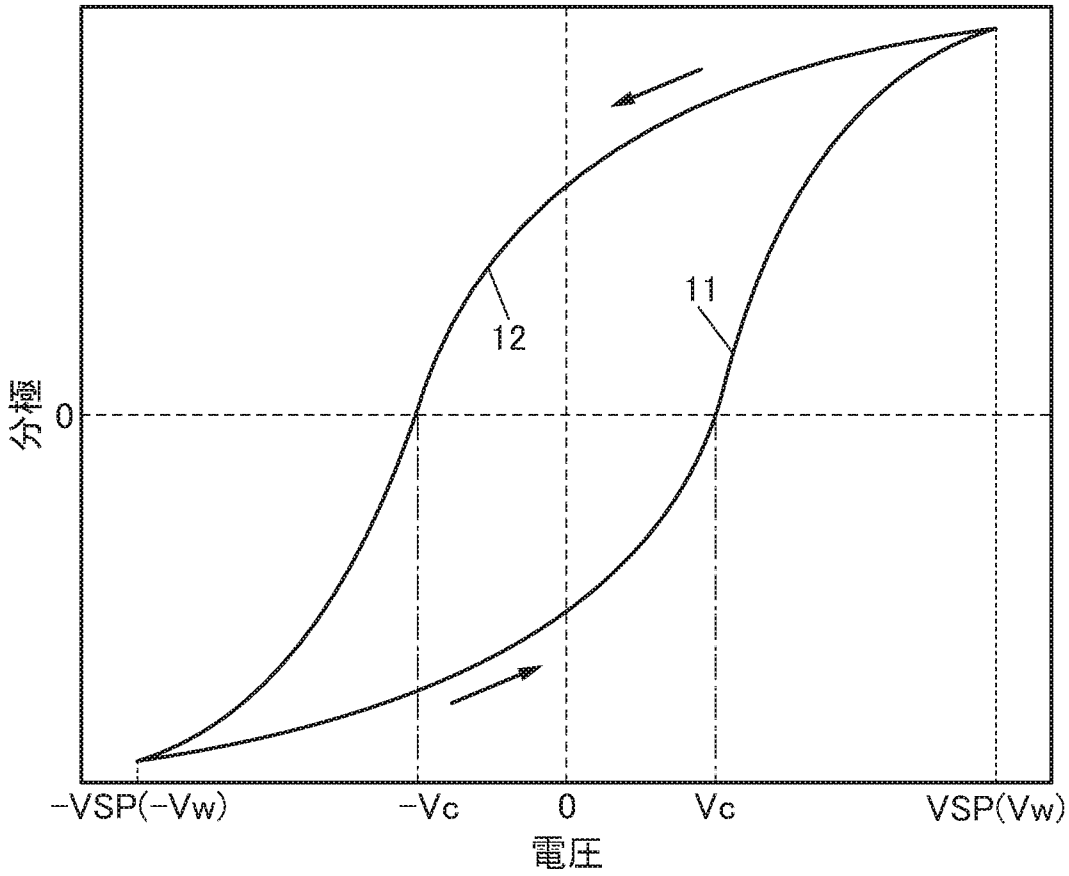


図3B1

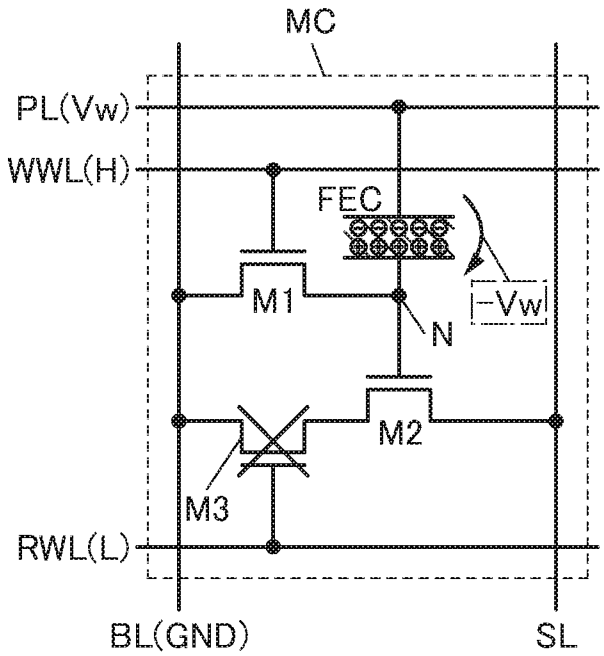


図3B2

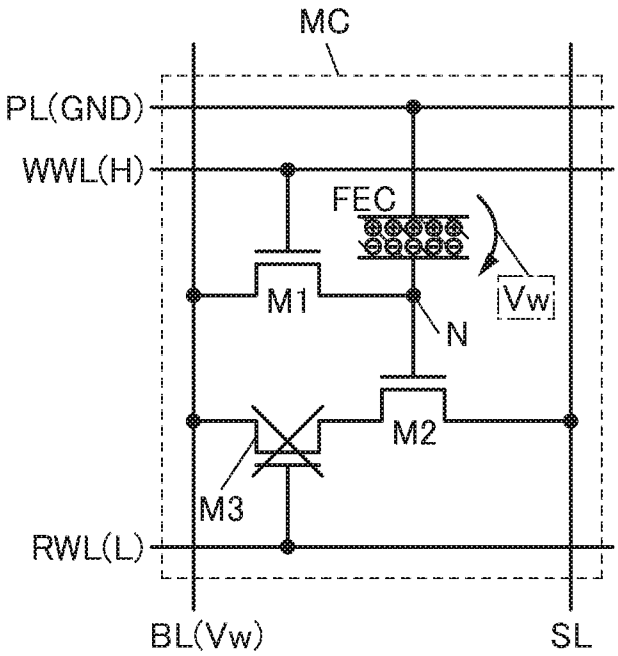


図4A

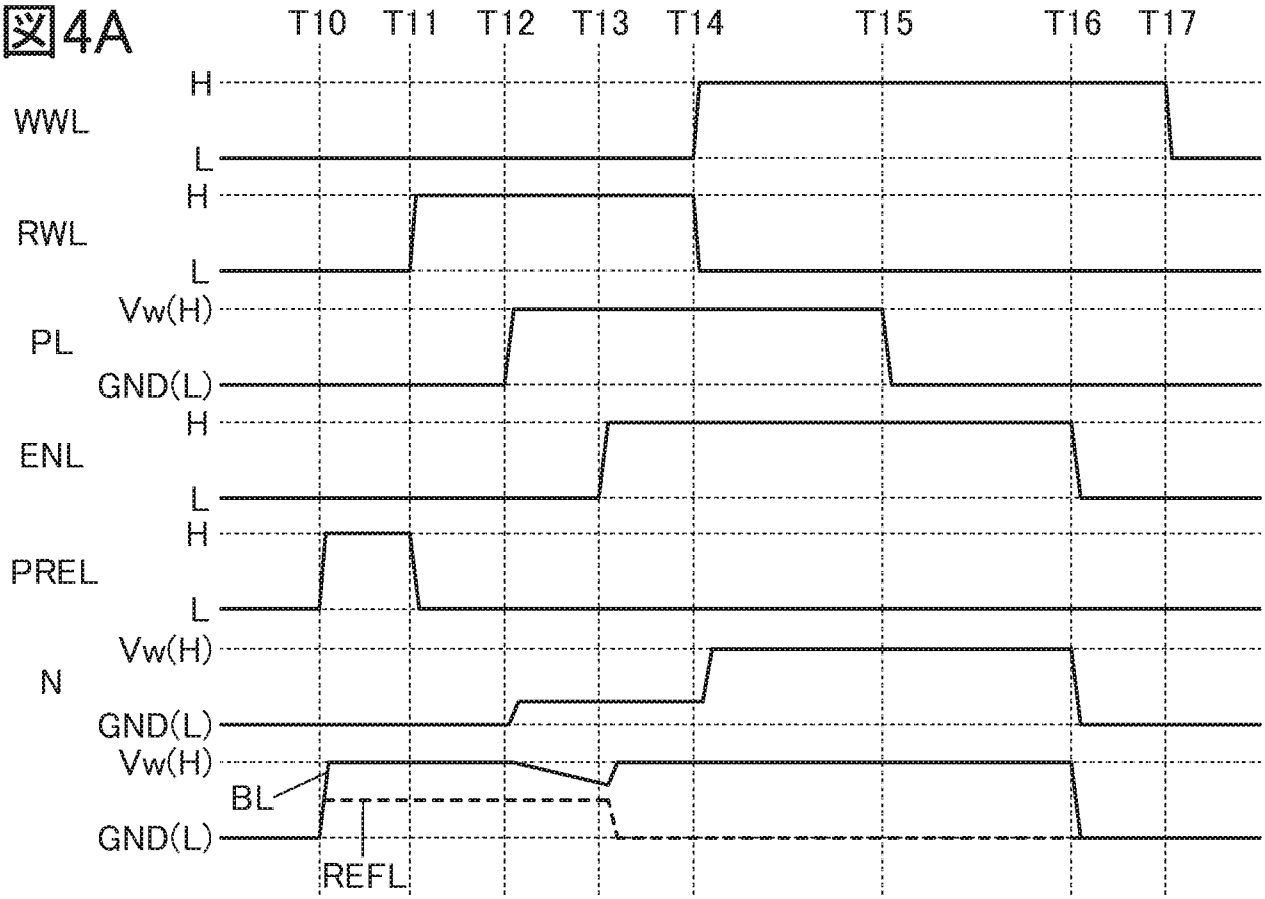

T10
T11
T12
T13
T14
T15
T16
T17
WWL
RWL
PL
ENL
PREL
N
H
L
Vw(H)
GND(L)
BL
REFL

図4B

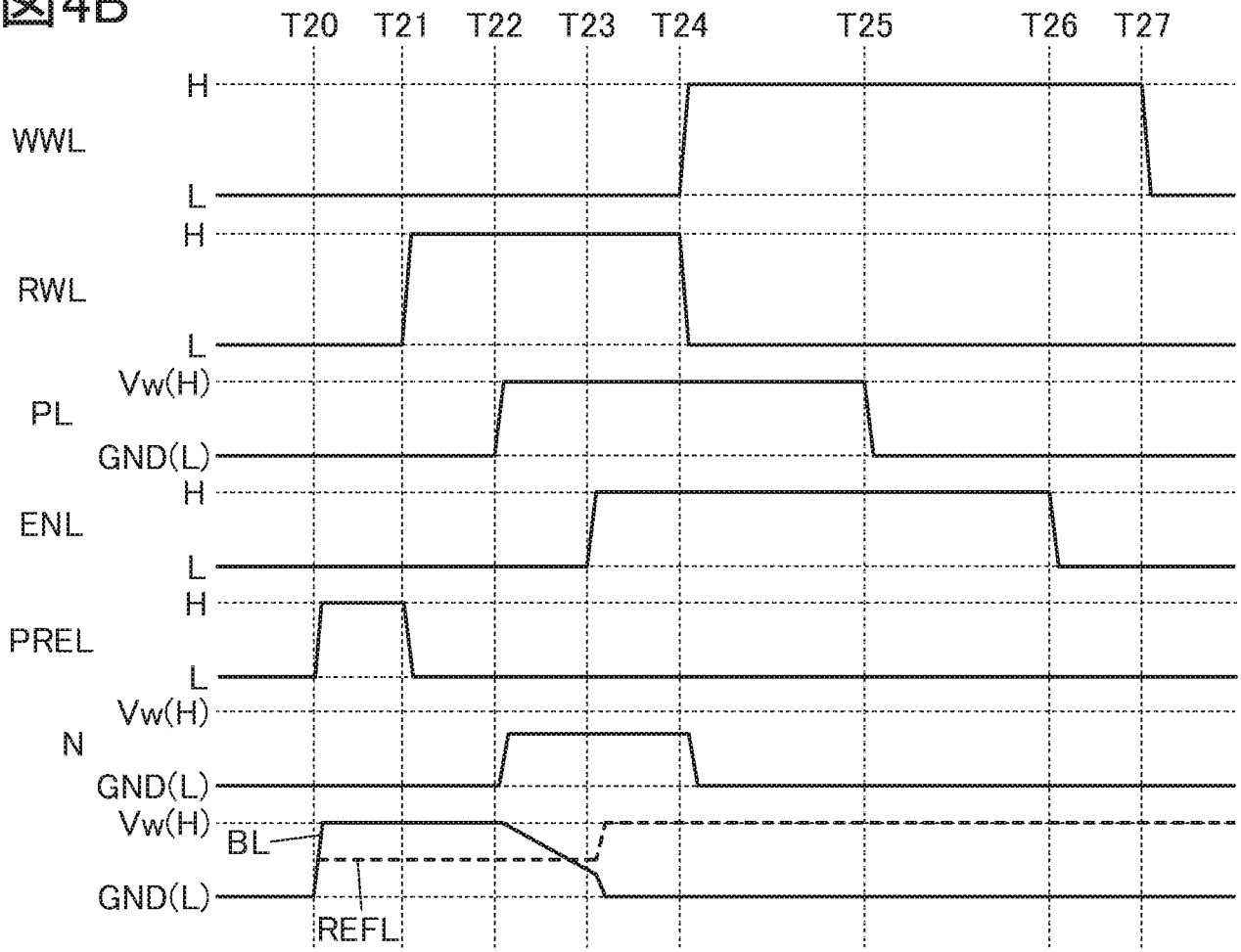

T20
T21
T22
T23
T24
T25
T26
T27
WWL
RWL
PL
ENL
PREL
N
H
L
Vw(H)
GND(L)
BL
REFL

図5A

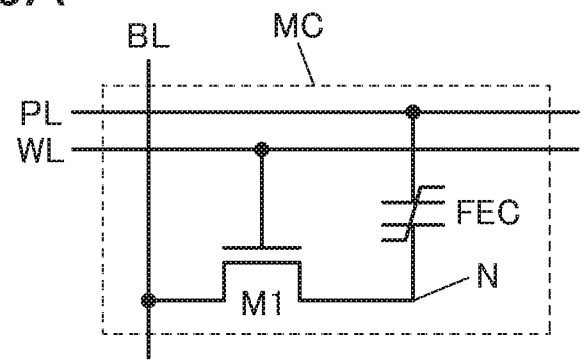


図5B1

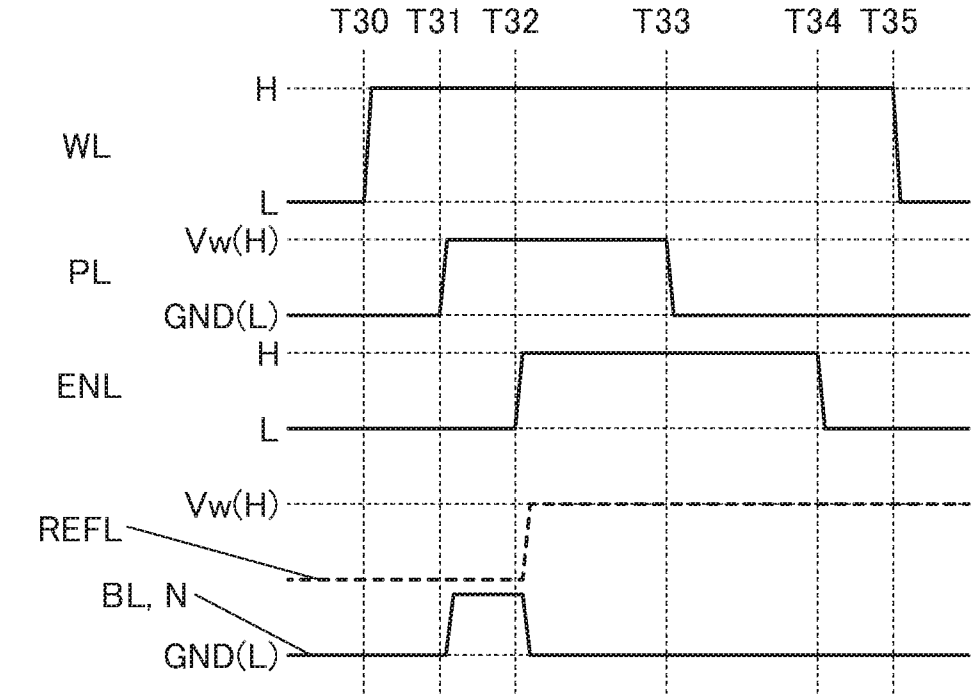


図5B2

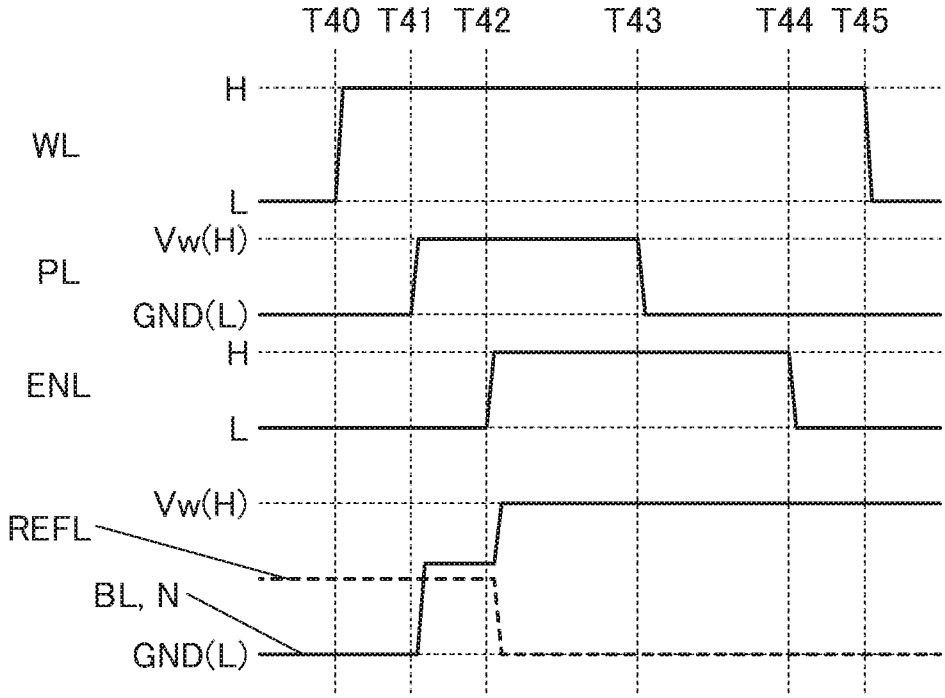


図6

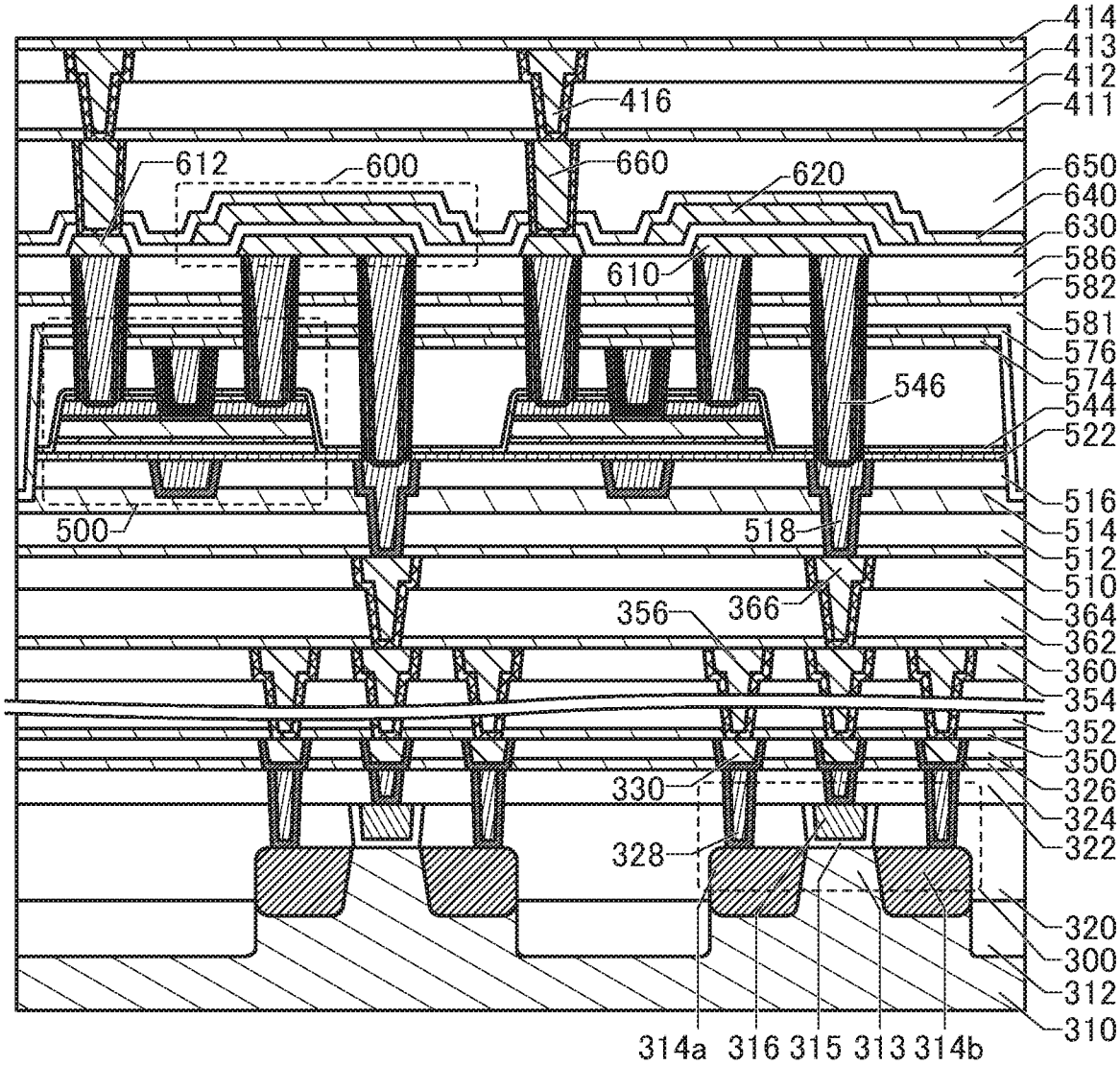

414
413
412
411
416
612
600
660
620
650
640
630
610
586
582
581
576
574
546
544
522
516
500
518
514
512
510
356
366
364
362
360
354
352
350
330
326
324
328
322
320
300
312
310
314a
316
315
313
314b

図7A

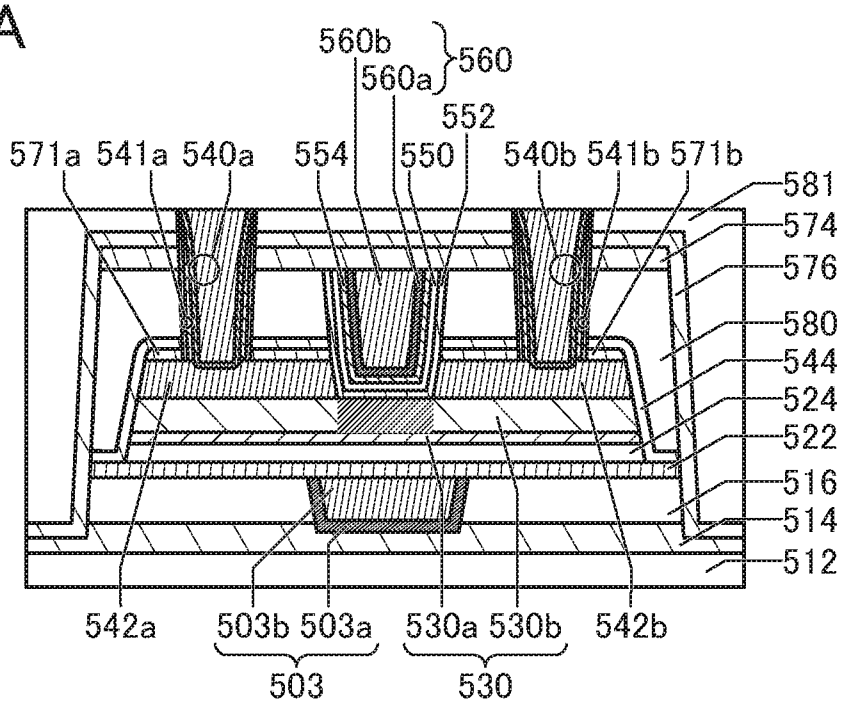

560b
560a
560
552
571a 541a 540a 554 550 540b 541b 571b
581
574
576
580
544
524
522
516
514
512
542a 503b 503a 530a 530b 542b
503
530

図7B

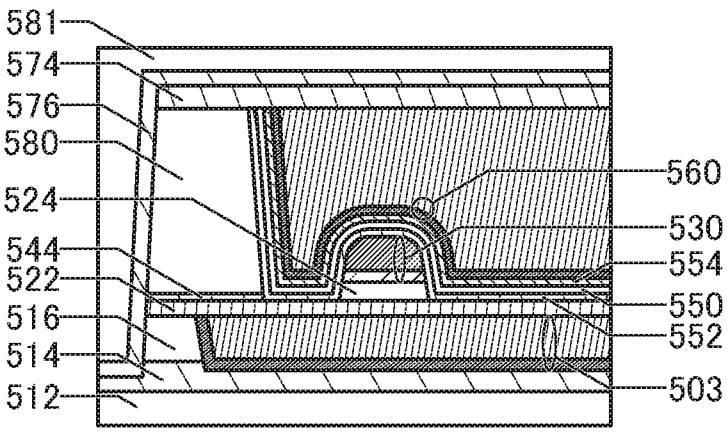

581
574
576
580
524
544
522
516
514
512
560
530
554
550
552
503

図7C

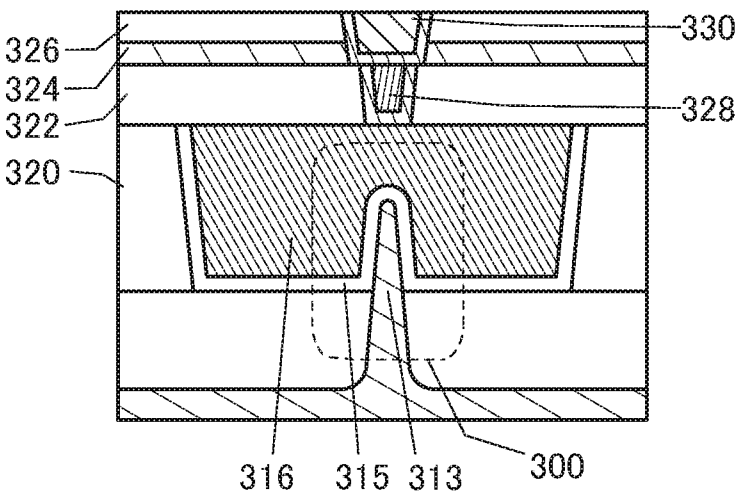

326
324
322
320
330
328
316
315
313
300

図8

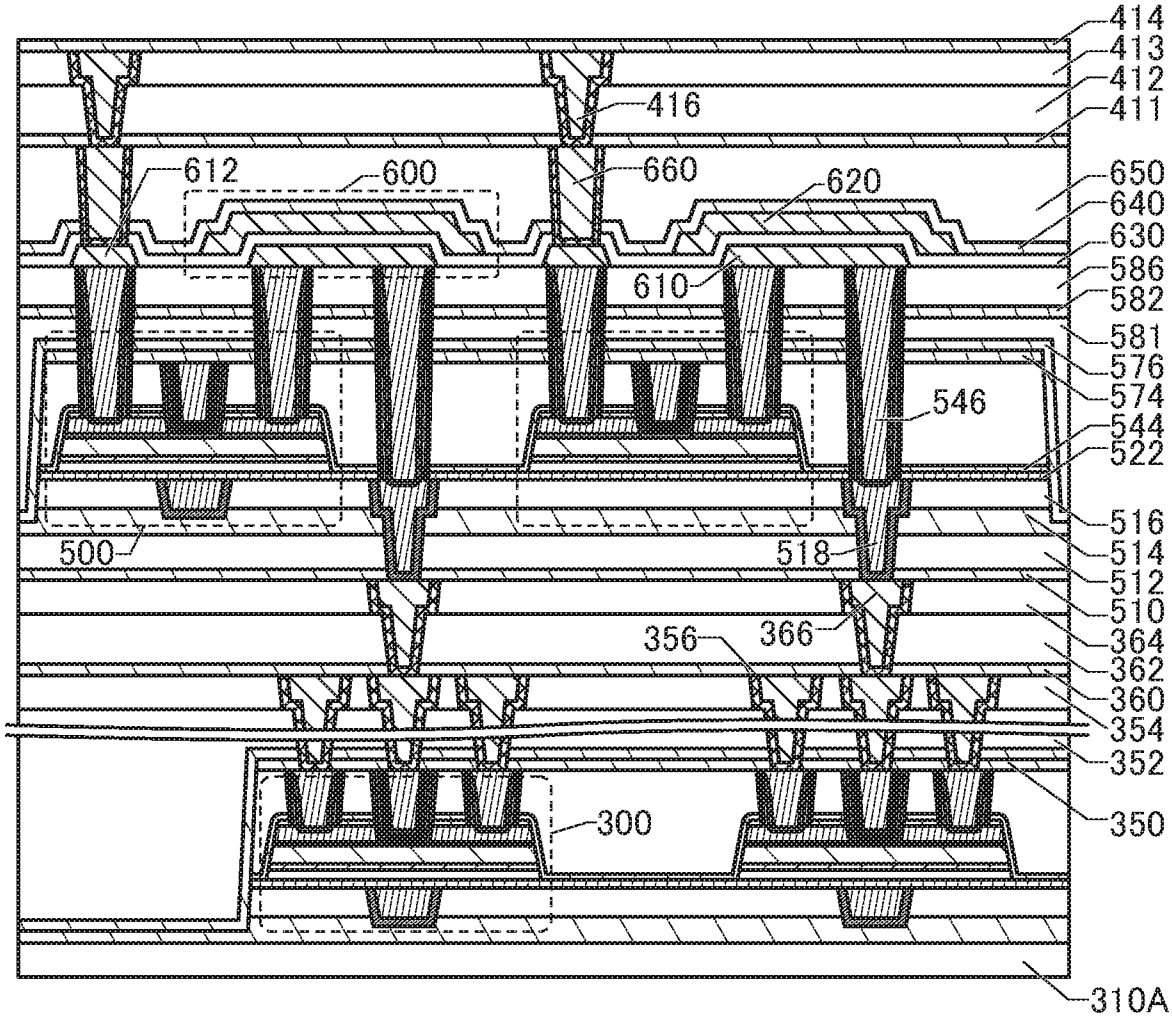

414
413
412
411
416
612
600
660
620
650
640
630
610
586
582
581
576
574
546
544
522
516
500
518
514
512
510
356
366
364
362
360
354
352
300
350
310A

図9A

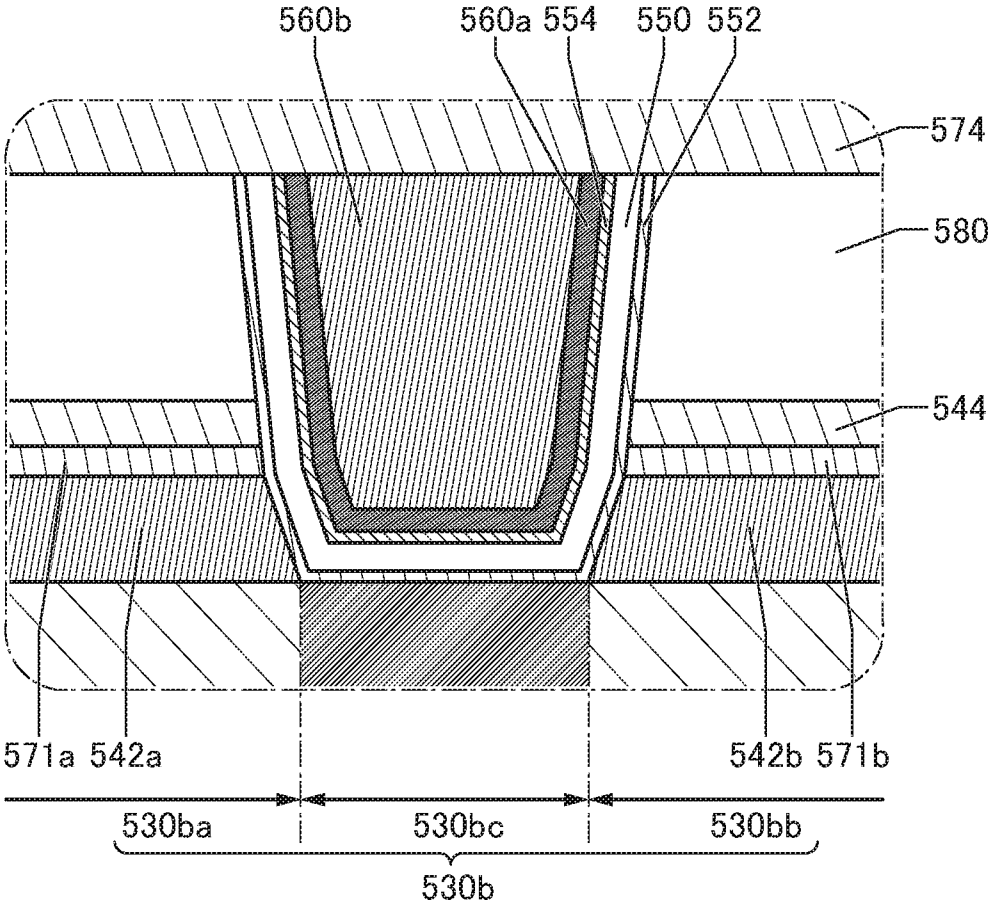

560b
560a 554
550 552
574
580
544
571a 542a
542b 571b
530ba
530bc
530bb
530b

図9B

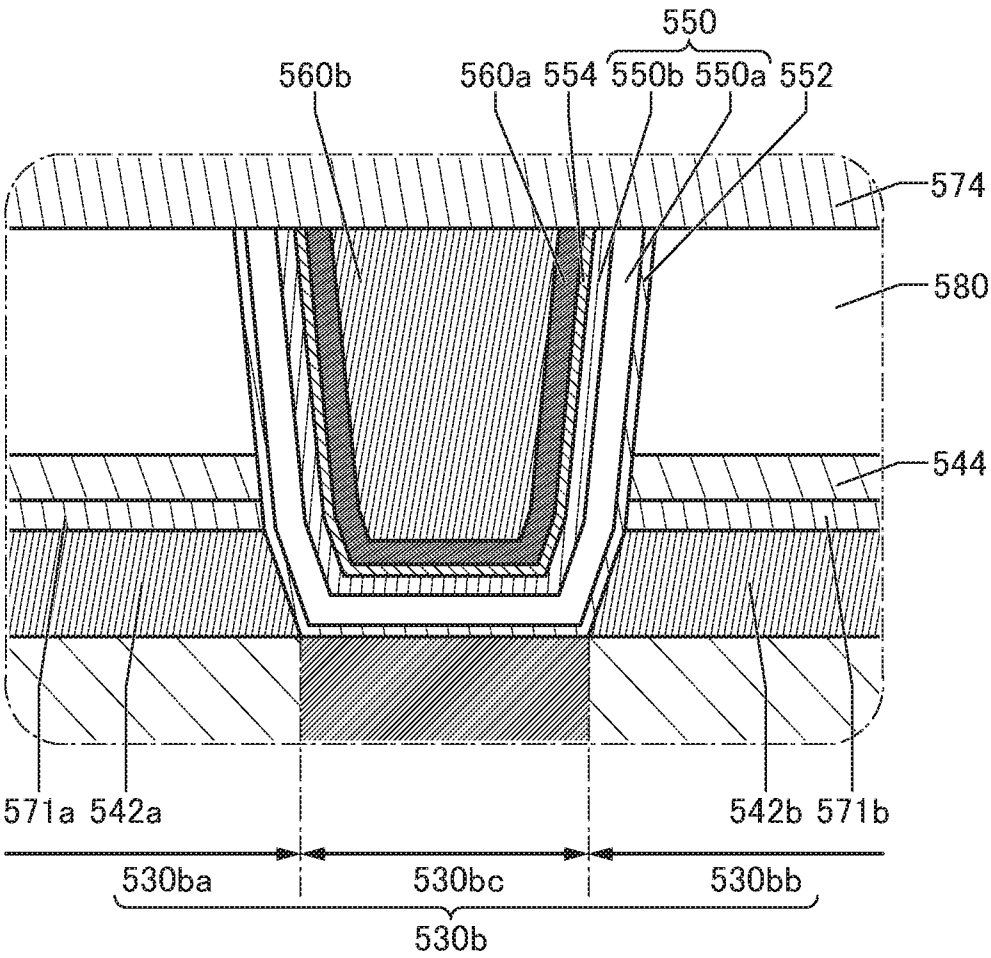

550
560b
560a 554
550b 550a 552
574
580
544
571a 542a
542b 571b
530ba
530bc
530bb
530b

図10

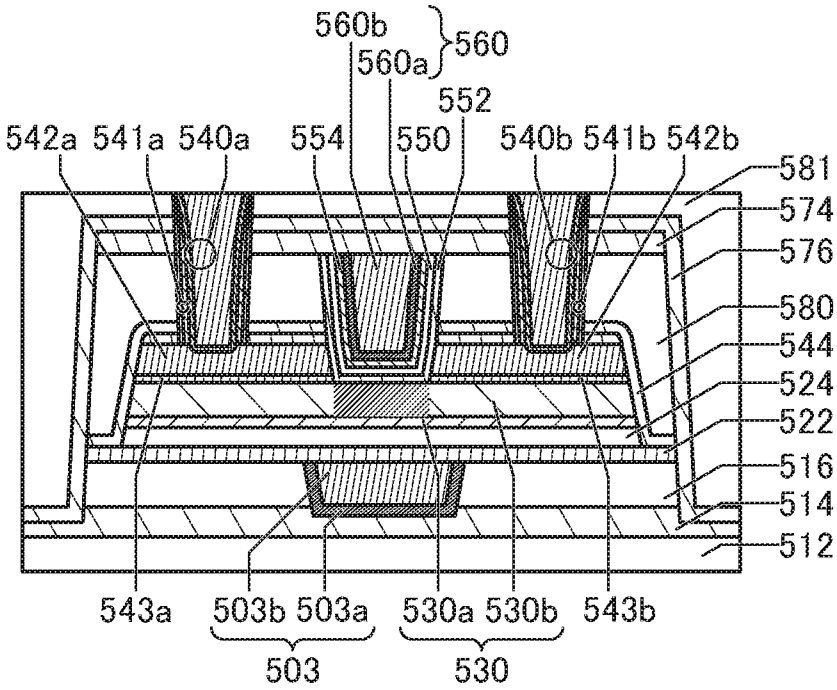

560b
560a
560
552
542a
541a
540a
554
550
540b
541b
542b
581
574
576
580
544
524
522
516
514
512
543a
503b
503a
530a
530b
543b
503
530

図11A

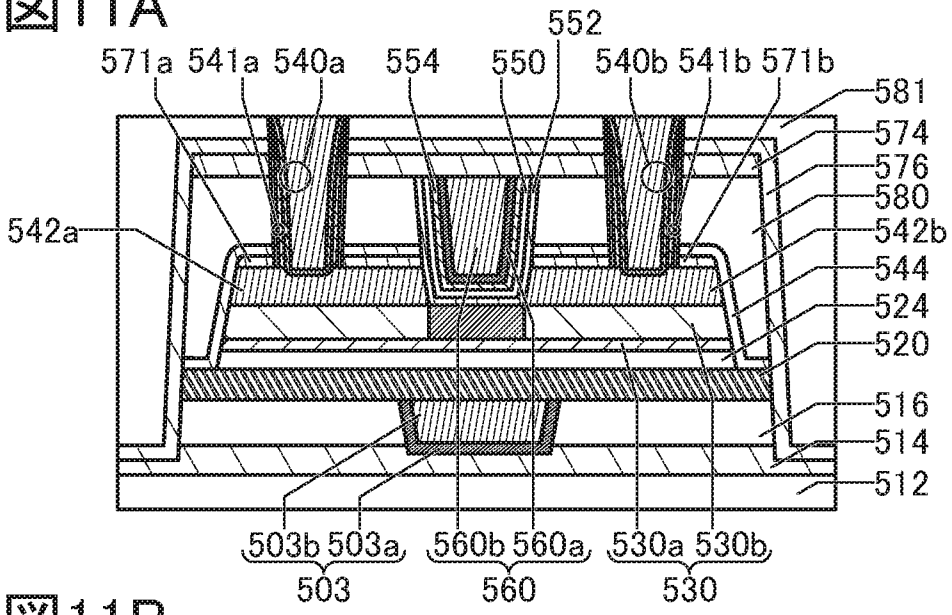


図11B

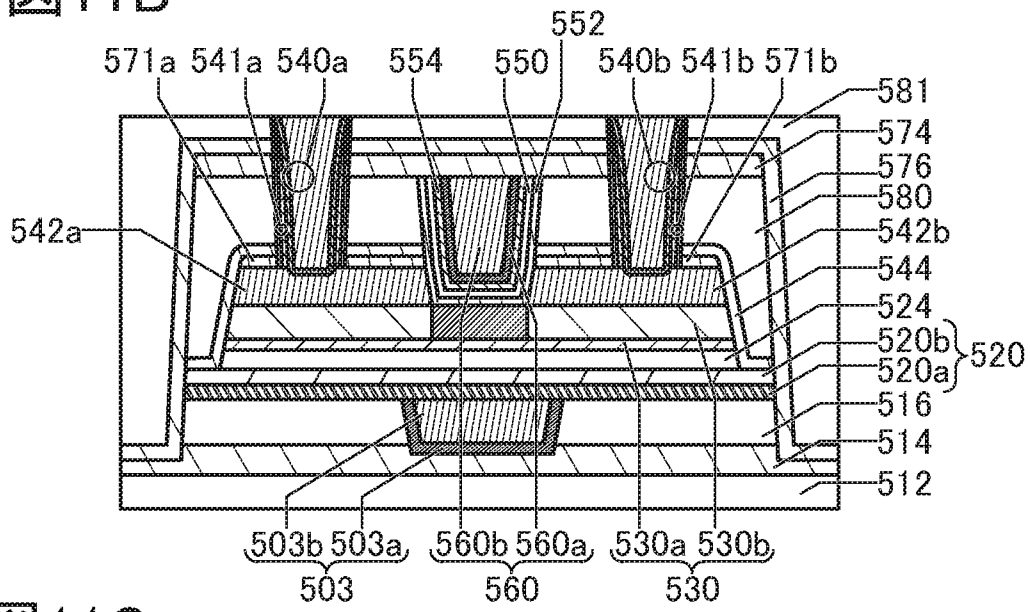


図11C

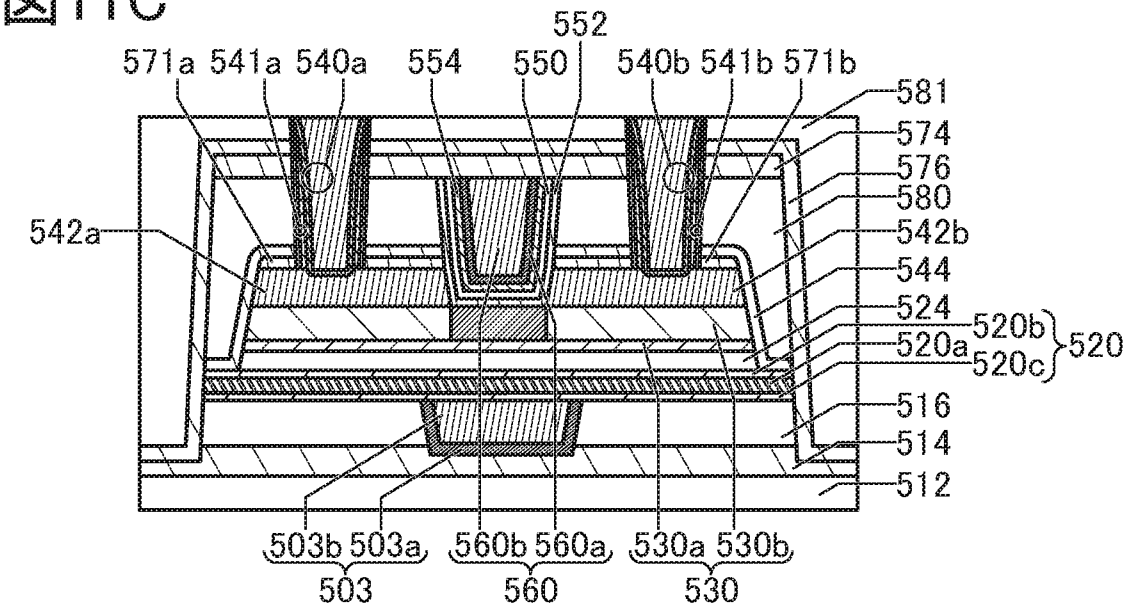


図12

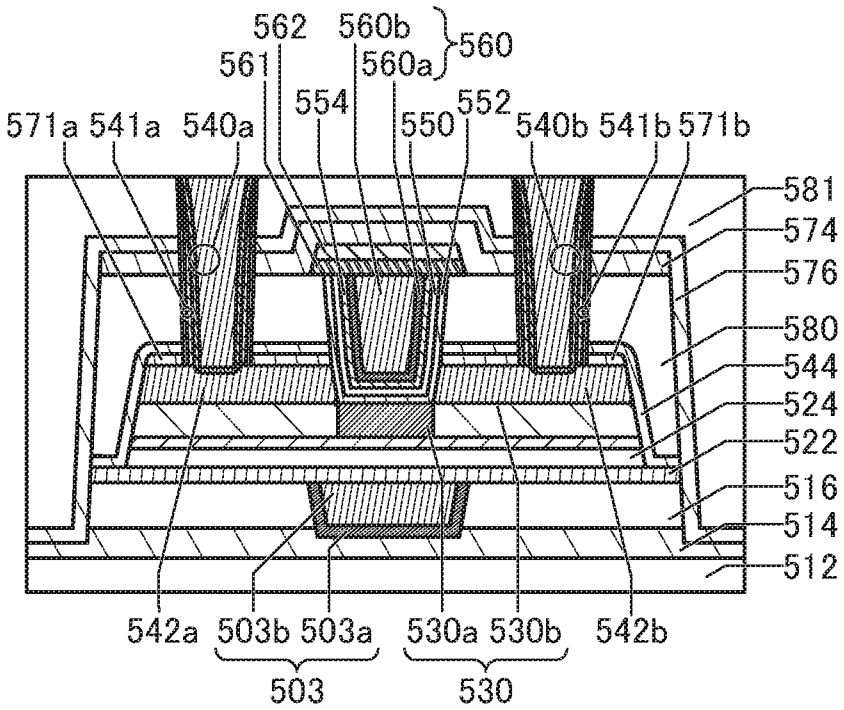

562
560b
560
561
560a
554
552
571a
541a
540a
550
540b
541b
571b
581
574
576
580
544
524
522
516
514
512
542a
503b
503a
530a
530b
542b
503
530

図13A

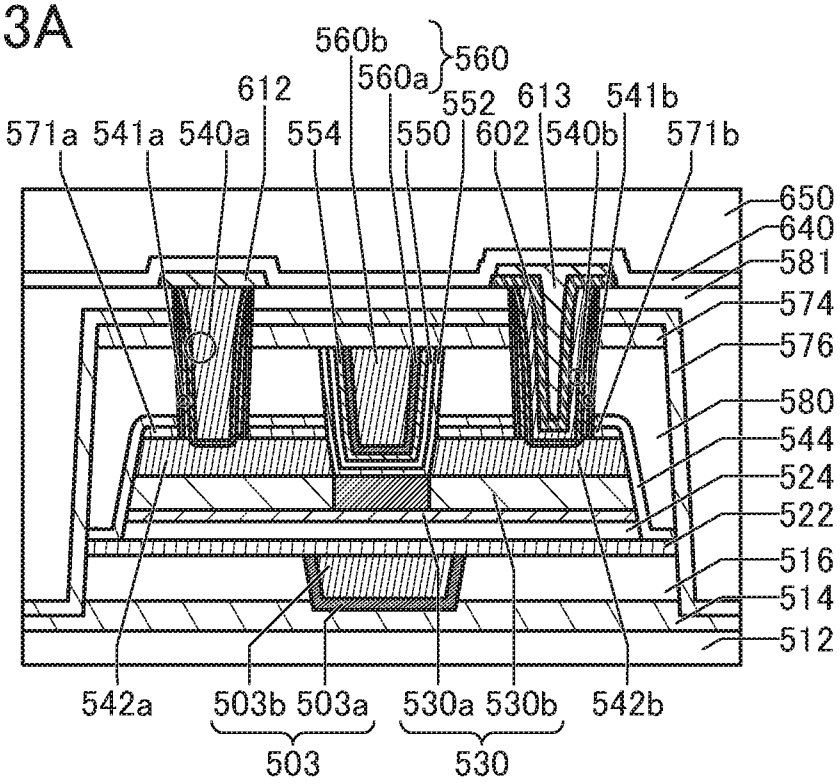

560b
560
560a
612
552
613
541b
571a
541a
540a
554
550
602
540b
571b
650
640
581
574
576
580
544
524
522
516
514
512
542a
503b
503a
530a
530b
542b
503
530

図13B

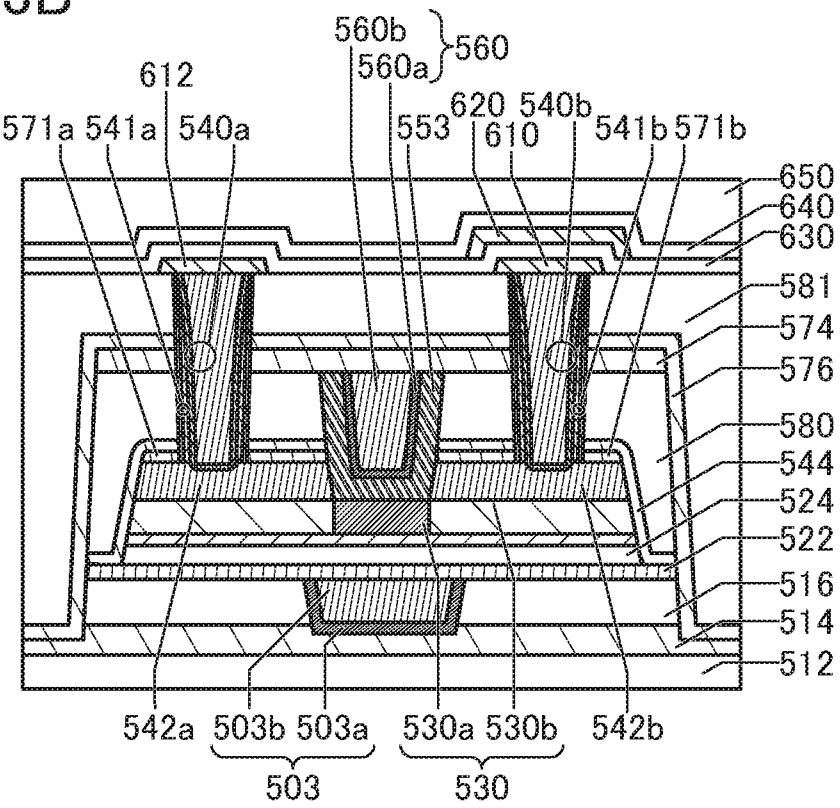

560b
560
560a
612
620
540b
571a
541a
540a
553
610
541b
571b
650
640
630
581
574
576
580
544
524
522
516
514
512
542a
503b
503a
530a
530b
542b
503
530

図14A

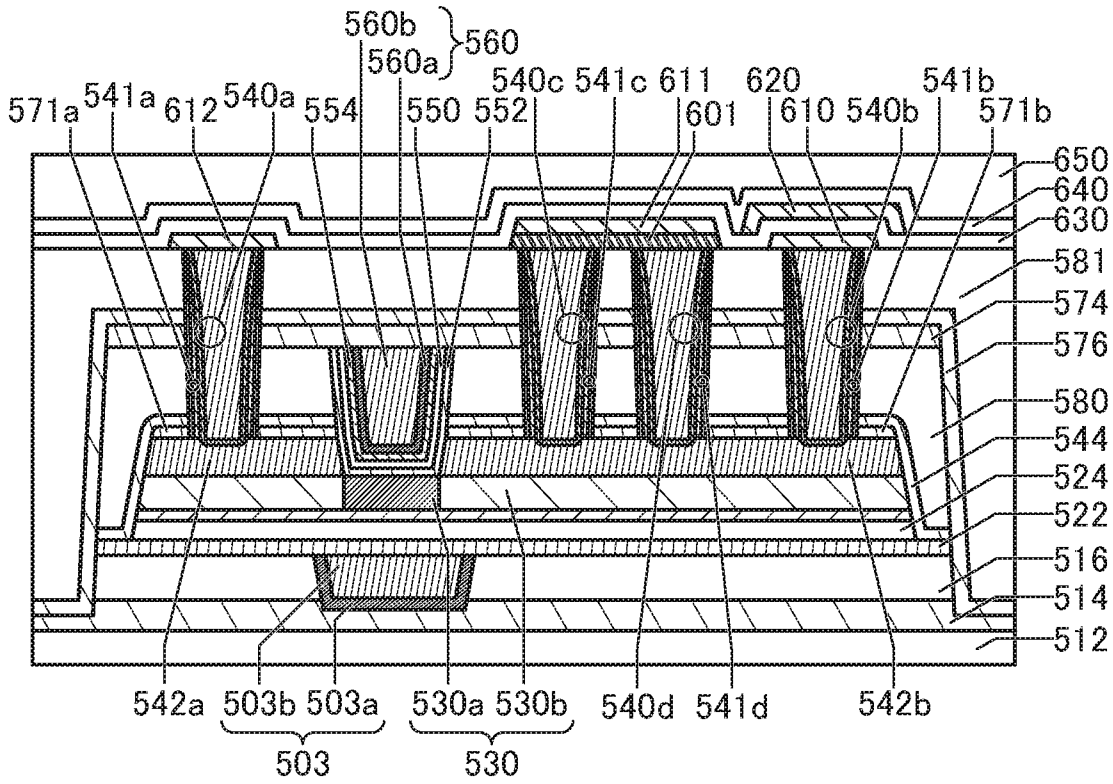

560b
560a
560
571a
541a
612
540a
554
550
552
540c
541c
611
601
620
610
540b
541b
571b
650
640
630
581
574
576
580
544
524
522
516
514
512
542a
503b
503a
503
530a
530b
530
540d
541d
542b

図14B

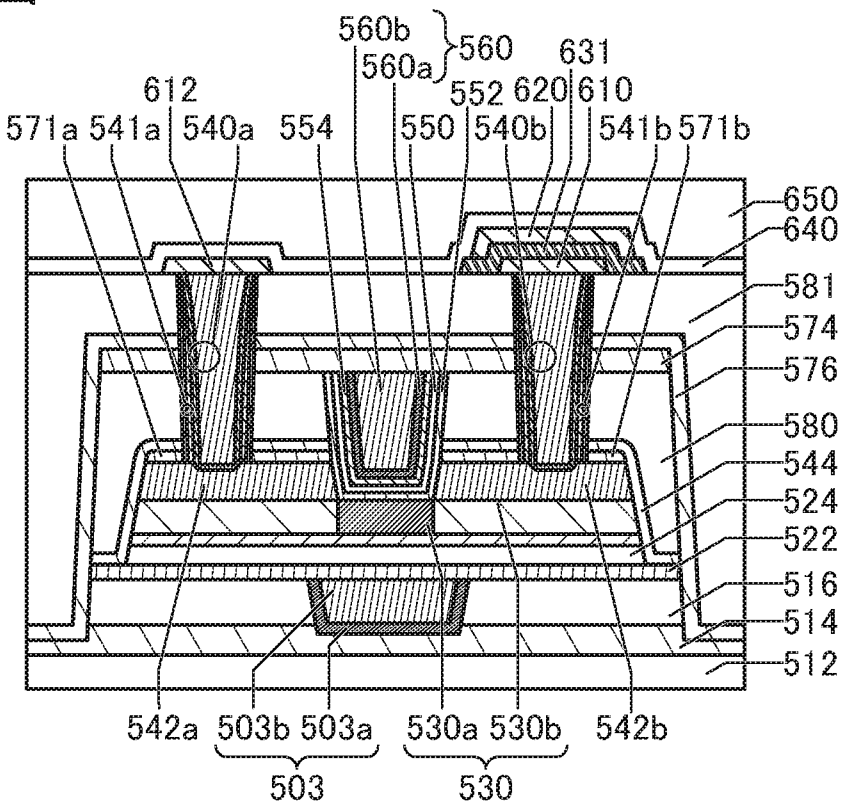

560b
560a
560
631
612
552
620
610
571a
541a
540a
554
550
540b
541b
571b
650
640
581
574
576
580
544
524
522
516
514
512
542a
503b
503a
503
530a
530b
530
542b

図15

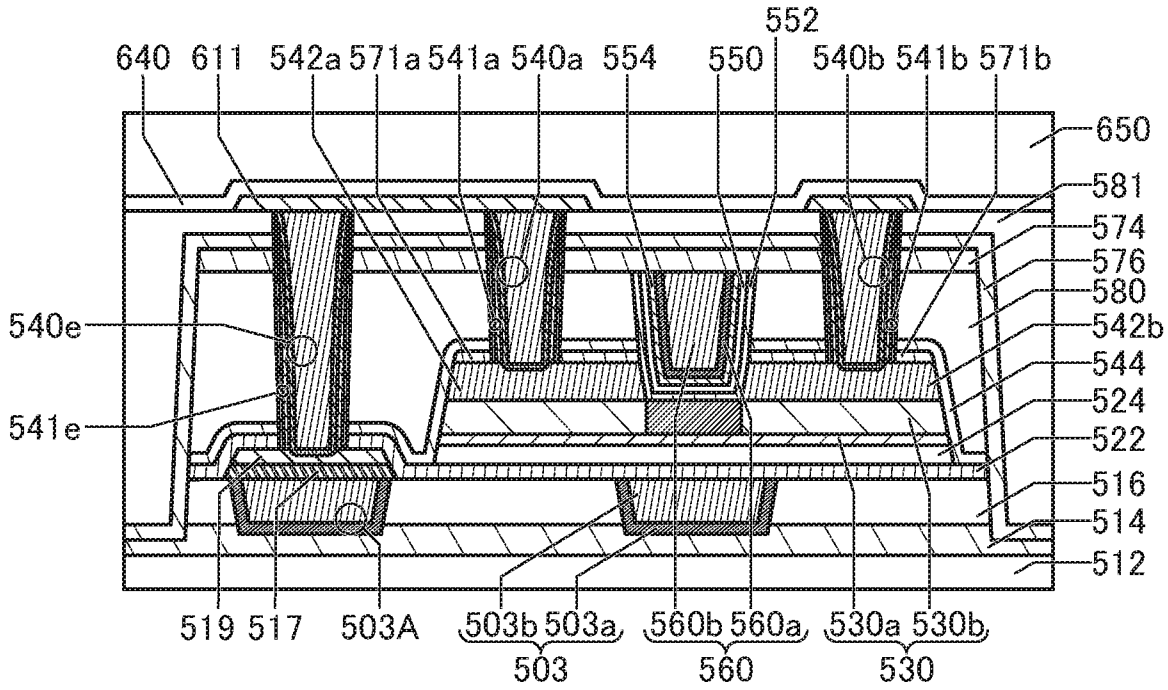

552
640
611
542a
571a
541a
540a
554
550
540b
541b
571b
650
581
574
576
580
542b
544
524
522
516
514
512
540e
541e
519
517
503A
503b
503a
560b
560a
530a
530b
503
560
530

図16

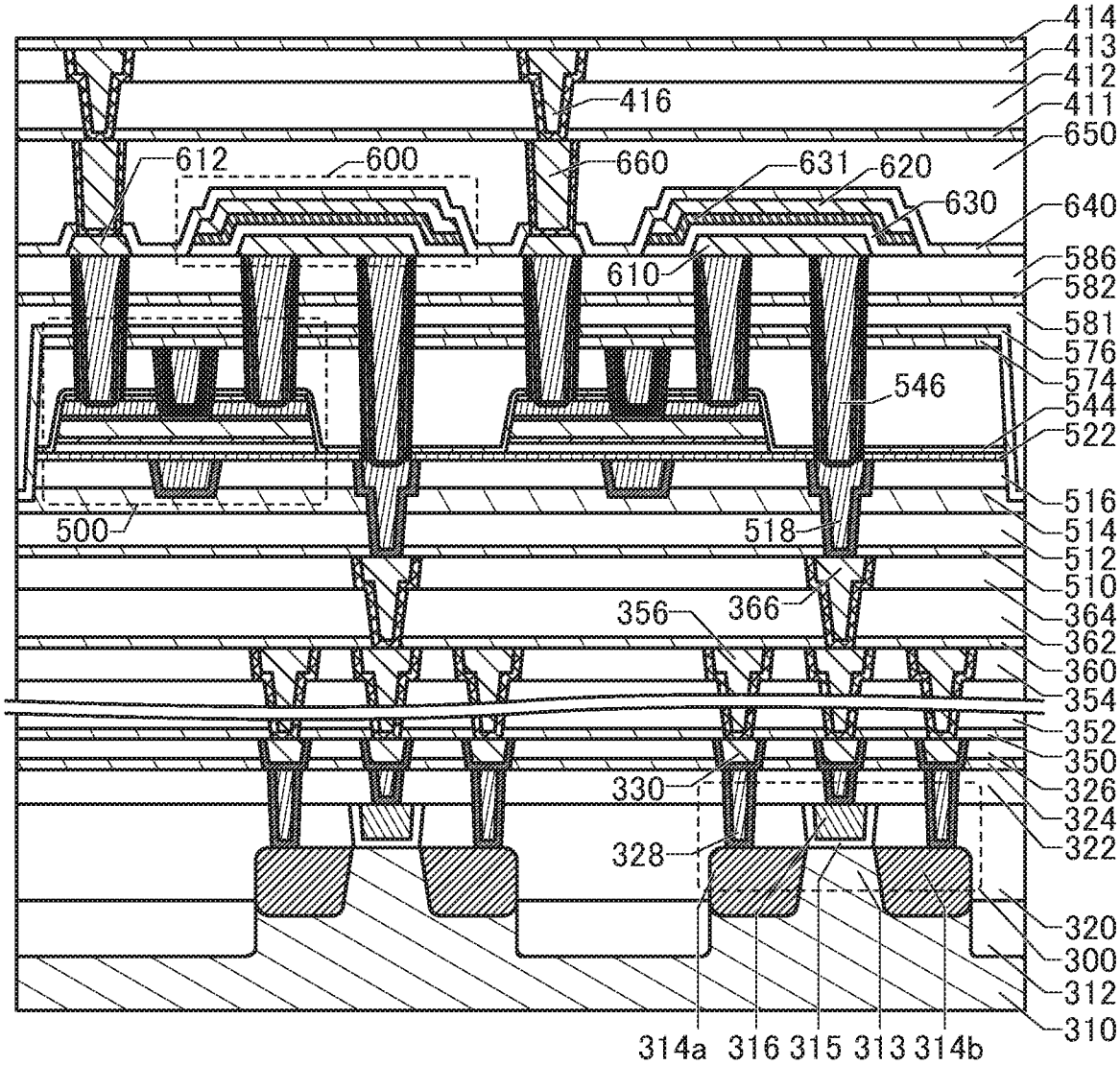

414
413
412
411
650
640
586
582
581
576
574
544
522
516
514
512
510
364
362
360
354
352
350
326
324
322
320
300
312
310
416
612
600
660
631
620
630
610
546
500
518
356
366
330
328
314a
316
315
313
314b

図17

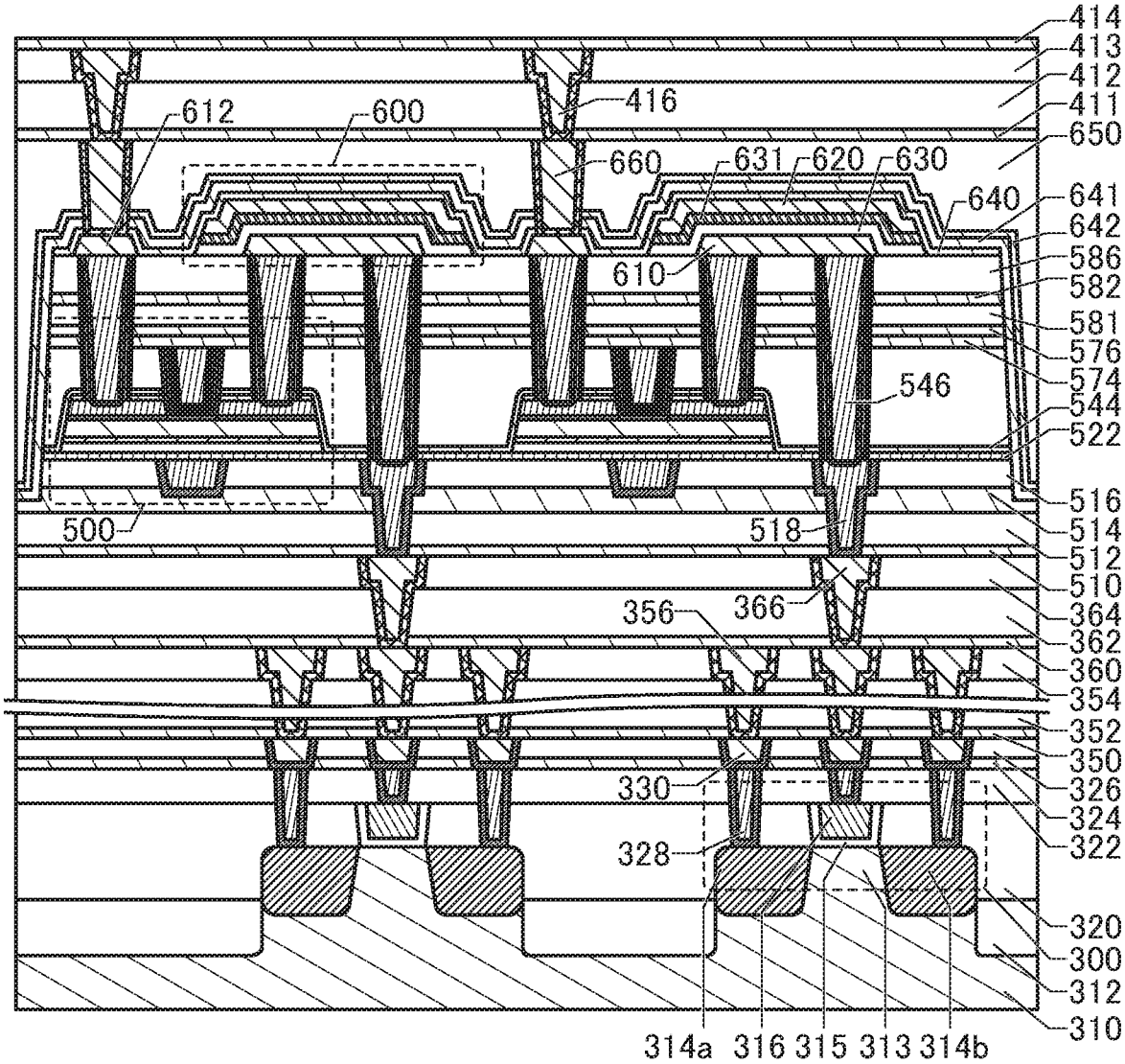

414
413
412
411
650
641
642
586
582
581
576
574
544
522
516
514
512
510
364
362
360
354
352
350
326
324
322
320
300
312
310
612
600
416
660
631
620
630
640
610
546
500
518
356
366
330
328
314a
316
315
313
314b

図18A

中間状態
新しい境界領域

Amorphous (無定形)	Crystalline (結晶性)	Crystal (結晶)
・completely amorphous	・CAAC ・nc ・CAC excluding single crystal and poly crystal	・single crystal ・poly crystal

図18B

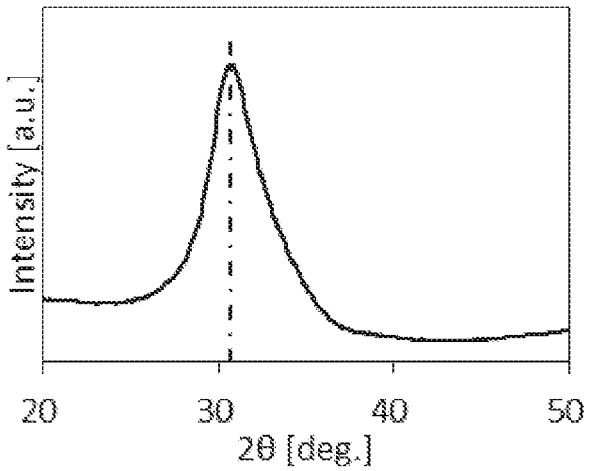


図18C

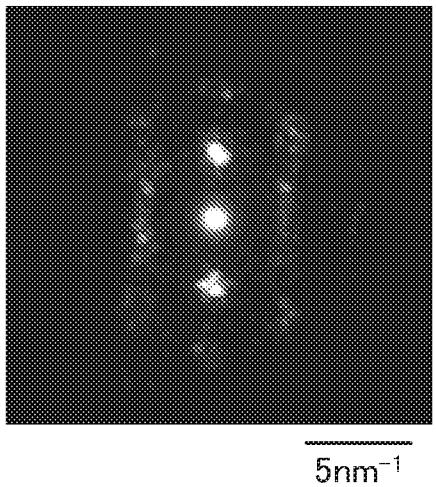


図19A

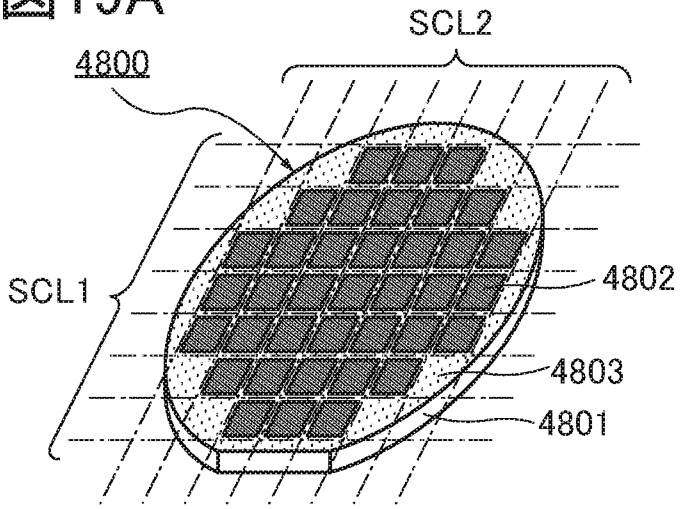


図19B

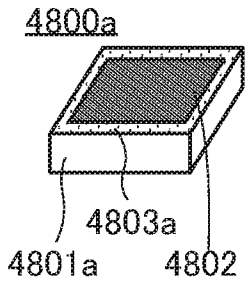


図19C

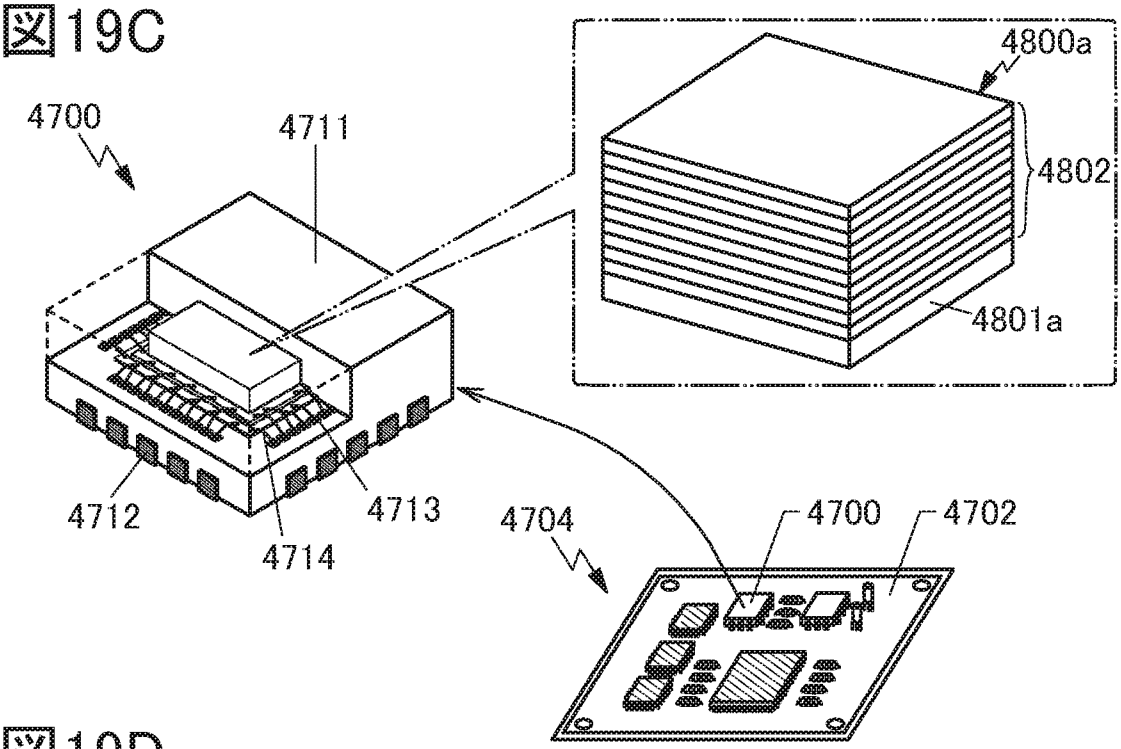


図19D

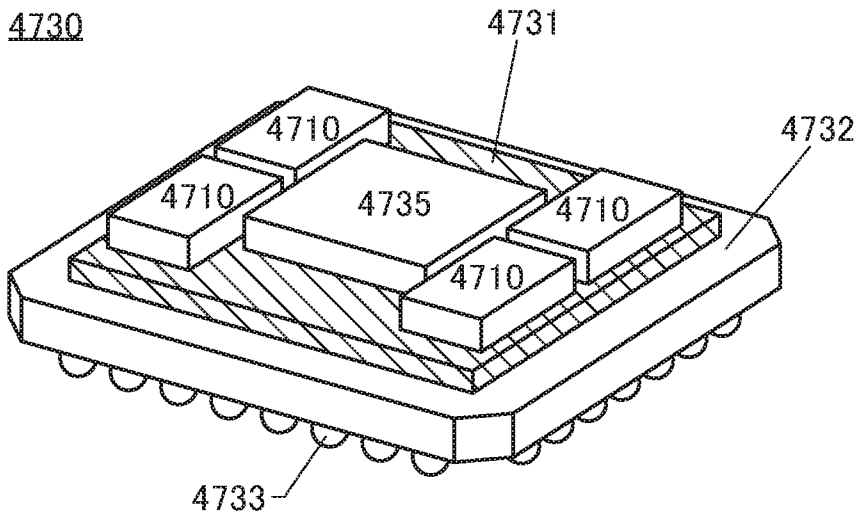


図20

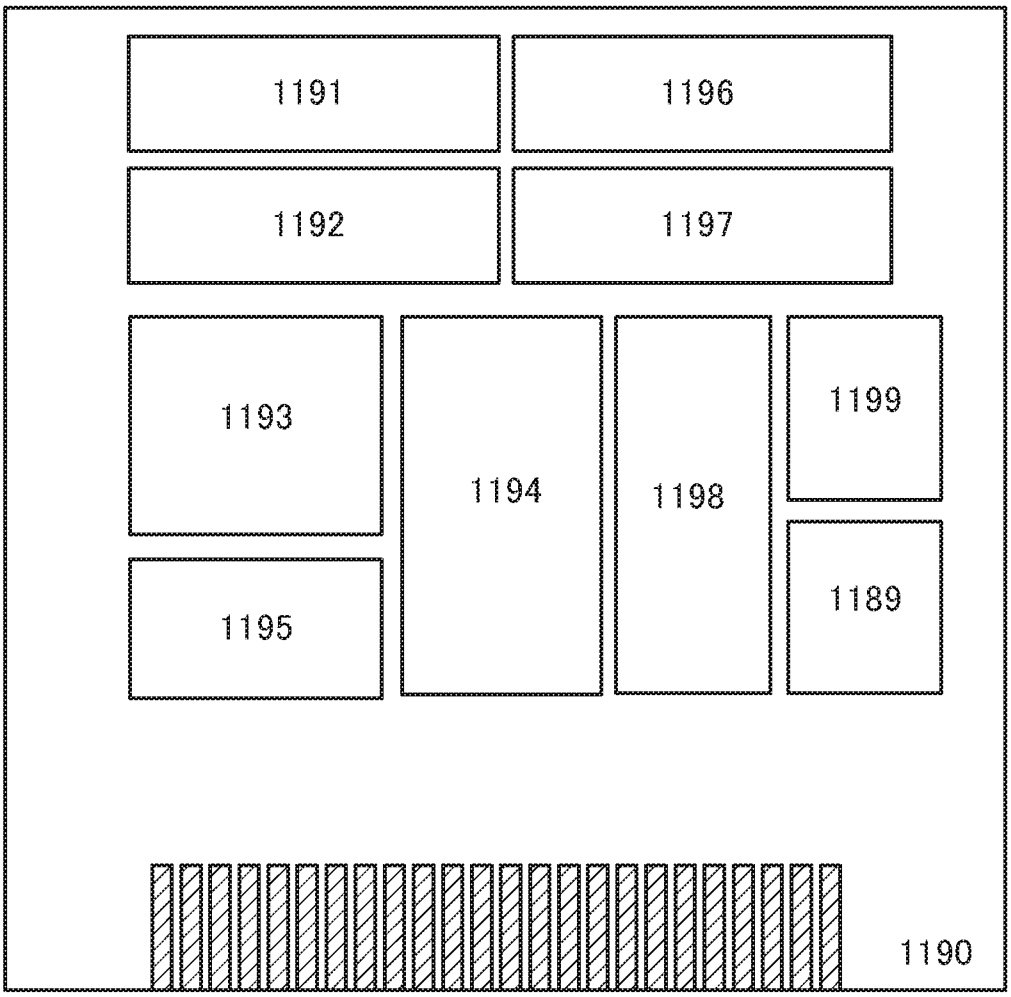


図21A

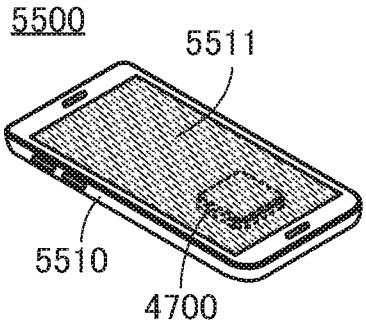


図21B

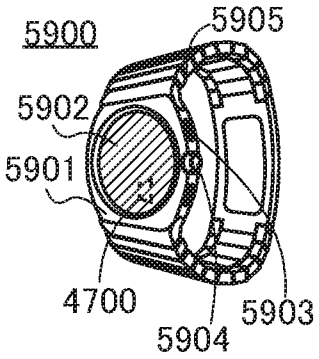


図21C

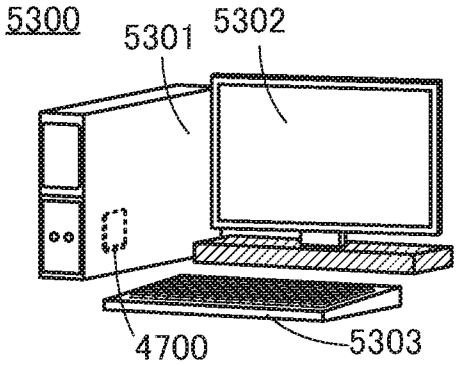


図21D

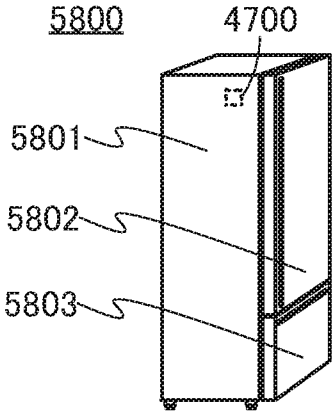


図21E

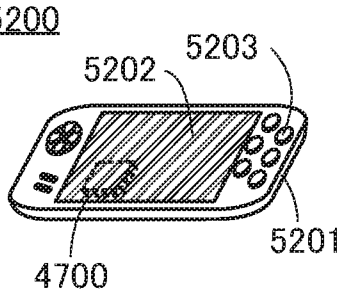


図21F

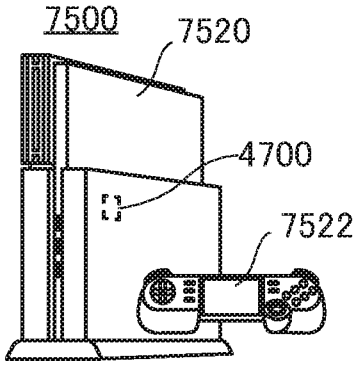


図21G

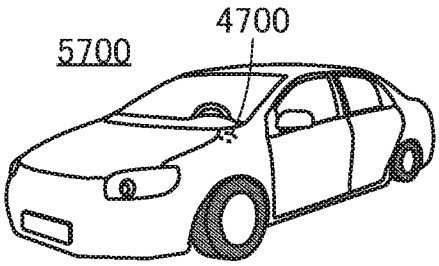


図21H

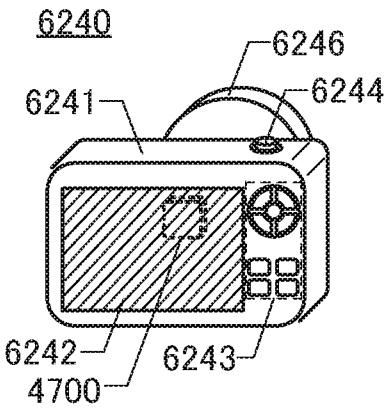


図21I

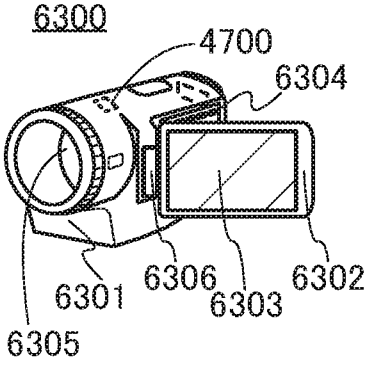


図21J

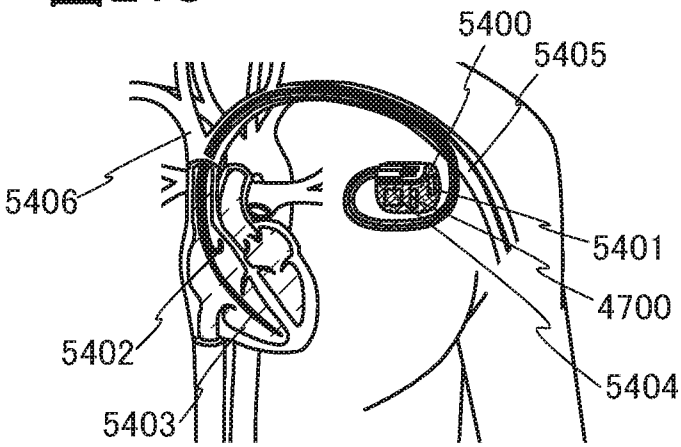


図22A

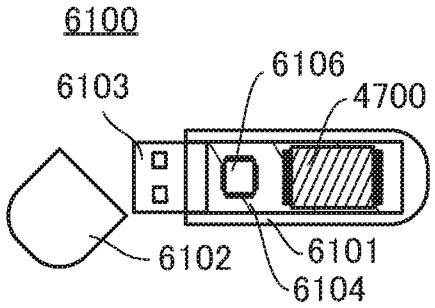


図22B

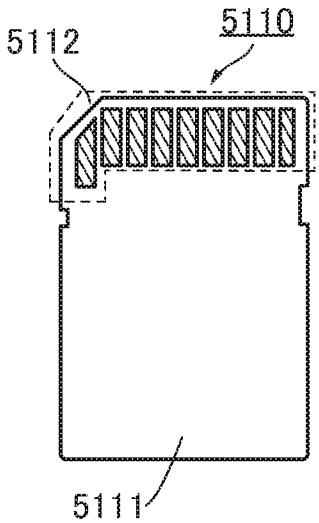


図22C

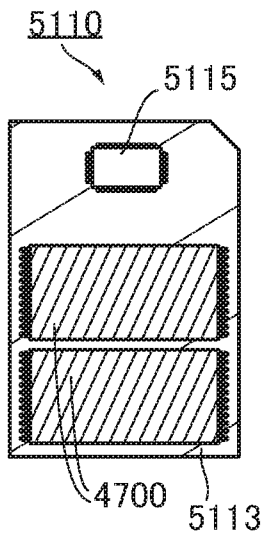


図22D

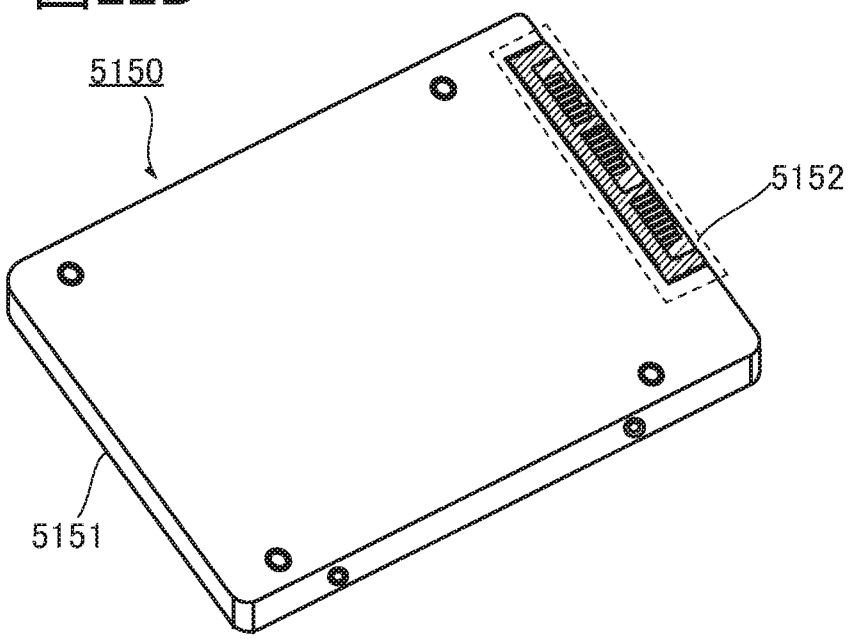
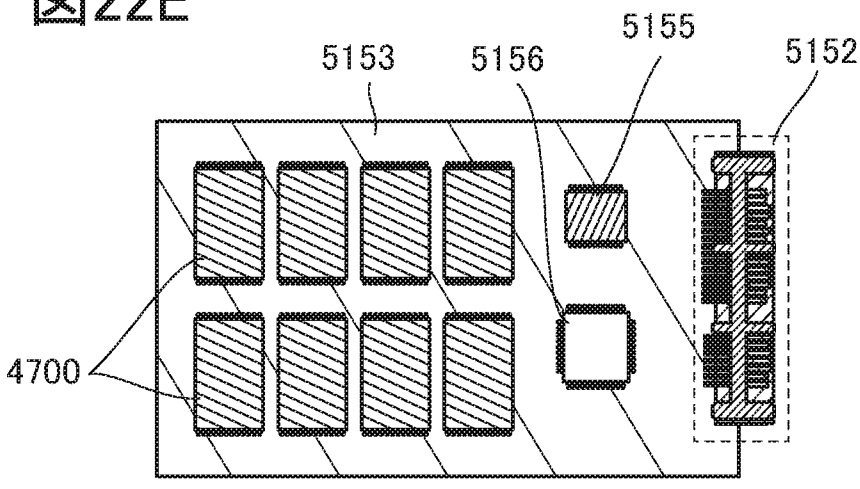


図22E



INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2021/058181

A. CLASSIFICATION OF SUBJECT MATTER

G11C 11/22(2006.01)i
FI: G11C11/22 230

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C11/22

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2021
Registered utility model specifications of Japan 1996-2021
Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 7-226086 A (MATSUSHITA ELECTRIC IND. CO., LTD.) 22 August 1995 (1995-08-22) paragraphs [0026]-[0035], fig. 2, 3	1, 2
Y		3, 4, 6-8, 10, 11
A		5, 9
Y	JP 2008-135136 A (FUJITSU LTD.) 12 June 2008 (2008-06-12) paragraphs [0012], [0013], [0022], [0023], fig. 1	3, 4, 6-8, 10, 11
A	JP 8-97386 A (NEC CORP.) 12 April 1996 (1996-04-12) paragraphs [0019]-[0027], fig. 1-3	1-11

☐ Further documents are listed in the continuation of Box C.

☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
04 November 2021	**16 November 2021**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/IB2021/058181

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 7-226086 A	22 August 1995	US 5546342 A column 4, line 31 to column 6, line 28, fig. 2, 3 CN 1117192 A	
JP 2008-135136 A	12 June 2008	US 2008/0175034 A1 paragraphs [0028], [0029], [0038], [0039], fig. 1	
JP 8-97386 A	12 April 1996	(Family: none)	

国際調査報告

国際出願番号
PCT/IB2021/058181

A.　発明の属する分野の分類（国際特許分類（ＩＰＣ））

G11C 11/22(2006.01)i
FI: G11C11/22 230

B.　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

G11C11/22

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２１年
日本国実用新案登録公報	１９９６－２０２１年
日本国登録実用新案公報	１９９４－２０２１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C.　関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 7-226086 A（松下電器産業株式会社）22.08.1995（1995-08-22） 段落[0026]-[0035]，図2,3	1,2
Y		3,4,6-8,10,11
A		5,9
Y	JP 2008-135136 A（富士通株式会社）12.06.2008（2008-06-12） 段落[0012],[0013],[0022],[0023]，図1	3,4,6-8,10,11
A	JP 8-97386 A（日本電気株式会社）12.04.1996（1996-04-12） 段落[0019]-[0027]，図1-3	1-11

☐ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

*　引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
04.11.2021	16.11.2021

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
後藤　彰 5N 4226
電話番号 03-3581-1101 内線 3586

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/IB2021/058181

引用文献	公表日	パテントファミリー文献	公表日
JP 7-226086 A	22.08.1995	US 5546342 A 第４欄第31行－第6欄第28行，図2,3 CN 1117192 A	
JP 2008-135136 A	12.06.2008	US 2008/0175034 A1 段落[0028],[0029],[0038],[0039]，図1	
JP 8-97386 A	12.04.1996	（ファミリーなし）	