

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号

特表2025-501484
(P2025-501484A)

(43)公表日 令和7年1月22日(2025.1.22)

(51)国際特許分類	F I	テーマコード(参考)
H 0 1 L 21/768(2006.01)	H 0 1 L 21/90 B	5 F 0 3 3
H 0 1 L 21/3205(2006.01)	H 0 1 L 21/88 T	
H 1 0 D 88/00 (2025.01)	H 0 1 L 21/88 J	
H 0 1 L 21/02 (2006.01)	H 0 1 L 27/00 3 0 1 C	
	H 0 1 L 27/00 3 0 1 B	

審査請求 未請求 予備審査請求 未請求 (全50頁) 最終頁に続く

(21)出願番号	特願2024-535228(P2024-535228)	(71)出願人	518065991 アデア セミコンダクター ボンディング テクノロジーズ インコーポレイテッド アメリカ合衆国 カリフォルニア州 9 5 1 3 4 サンノゼ オーチャード パーク ウェイ 3 0 2 5
(86)(22)出願日	令和4年12月12日(2022.12.12)	(74)代理人	100103610 弁理士 吉 田 和彦
(85)翻訳文提出日	令和6年8月9日(2024.8.9)	(74)代理人	100109070 弁理士 須田 洋之
(86)国際出願番号	PCT/US2022/081381	(74)代理人	100119013 弁理士 山崎 一夫
(87)国際公開番号	WO2023/114726	(74)代理人	100130937 弁理士 山本 泰史
(87)国際公開日	令和5年6月22日(2023.6.22)	(74)代理人	100144451
(31)優先権主張番号	63/288,991		
(32)優先日	令和3年12月13日(2021.12.13)		
(33)優先権主張国・地域又は機関	米国(US)		
(81)指定国・地域	AP(BW,CV,GH,GM,KE,LR,LS,MW,MZ ,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW), EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES, FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV 最終頁に続く		最終頁に続く

(54)【発明の名称】 インターコネクト構造体

(57)【要約】

半導体部分、半導体部分上に設けられた非導電層、及び第1の材料で形成され、かつ非導電層内に少なくとも部分的に埋め込まれた内側導電層、内側導電層の下に設けられると共に、これに電氣的に接続された下側導電層、及び内側導電層と下側導電層との間に設けられたバリヤ層を有する半導体素子が開示される。バリヤ層は、第1の材料とは異なる第2の材料で形成され、第2の材料は、 $2.0 \times 10^{-8} \text{m}$ 未満の電気抵抗及び 1200 を超える融点を有する。

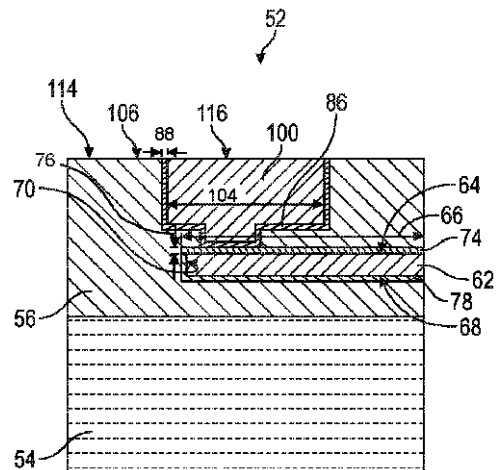


FIG. 3

【特許請求の範囲】

【請求項 1】

半導体素子であって、
半導体部分を有し、
前記半導体部分上に設けられた非導電層を有し、
前記非導電層のキャビティ内に少なくとも部分的に埋め込まれた上側導電層を有し、前記上側導電層は、第 1 の材料で形成され、

前記上側導電層の下に設けられ、かつ前記上側導電層に電氣的に接続された下側導電層を有し、

前記上側導電層と前記下側導電層との間に設けられたバリヤ層を有し、前記バリヤ層は、前記キャビティよりも横方向に幅が広く、前記バリヤ層は、前記第 1 の材料とは異なる第 2 の材料で形成され、前記第 2 の材料は、 20 で $50 \times 10^{-8} \text{ m}$ 未満の電気抵抗率及び 1200 を超える融点を有する、半導体素子。

【請求項 2】

前記第 1 の材料は、銅からなる、請求項 1 記載の半導体素子。

【請求項 3】

前記下側導電層は、銅からなる、請求項 1 記載の半導体素子。

【請求項 4】

前記第 2 の材料は、コバルト、タングステン、バナジウム、モリブデン、及びニッケルのうちの少なくとも 1 つからなる、請求項 1 記載の半導体素子。

【請求項 5】

前記第 2 の材料は、コバルトからなる、請求項 4 記載の半導体素子。

【請求項 6】

前記第 2 の材料は、合金からなる、請求項 4 記載の半導体素子。

【請求項 7】

前記合金は、リン酸コバルト タングステン (CWP)、リン酸コバルト (CoP)、リン酸ニッケル (NiP)、ニッケル タングステン (NiW)、チタン タングステン (TiW)、TiW/Mo、TiW/Co、及びニッケル バナジウム (NiV) のうちの少なくとも 1 つからなる、請求項 6 記載の半導体素子。

【請求項 8】

前記電気抵抗率は、 20 で $4.5 \times 10^{-8} \text{ m}$ から 20 で $30 \times 10^{-8} \text{ m}$ までの範囲にある、請求項 4 記載の半導体素子。

【請求項 9】

前記第 2 の材料の融点は、 1200 から 3600 までの範囲にある、請求項 4 記載の半導体素子。

【請求項 10】

前記非導電層は、酸化シリコンからなる、請求項 1 記載の半導体素子。

【請求項 11】

前記バリヤ層は、前記上側導電層が納められた前記キャビティ内に少なくとも部分的に設けられている、請求項 1 記載の半導体素子。

【請求項 12】

前記上側導電層が納められた前記キャビティの少なくとも一部分を内張りした第 2 のバリヤ層をさらに有し、前記第 2 のバリヤ層は、前記バリヤ層と前記上側導電層との間に設けられている、請求項 1 記載の半導体素子。

【請求項 13】

前記第 2 のバリヤ層は、前記第 2 の材料からなる、請求項 12 記載の半導体素子。

【請求項 14】

前記第 2 のバリヤ層は、前記第 1 の材料及び前記第 2 の材料とは異なる第 3 の材料からなる、請求項 12 記載の半導体素子。

【請求項 15】

10

20

30

40

50

前記第 3 の材料は、金属窒化物からなる、請求項 1 4 記載の半導体素子。

【請求項 1 6】

前記第 3 の材料は、窒化チタン又は窒化タンタルからなる、請求項 1 5 記載の半導体素子。

【請求項 1 7】

前記バリア層の厚さは、前記第 2 のバリア層の厚さよりも厚い、請求項 1 2 記載の半導体素子。

【請求項 1 8】

前記バリア層に被着された中間導電層及び前記中間導電層に被着された第 3 のバリア層をさらに有し、前記上側導電層は、前記第 3 のバリア層に被着されている、請求項 1 記載の半導体素子。

10

【請求項 1 9】

前記中間導電層は、前記バリア層及び 1 つ以上の追加のバリア層によって封入されている、請求項 1 8 記載の半導体素子。

【請求項 2 0】

前記 1 つ以上の追加のバリア層は、前記バリア層からなる、請求項 1 9 記載の半導体素子。

【請求項 2 1】

前記第 3 のバリア層は、前記第 2 の材料からなる、請求項 1 9 記載の半導体素子。

【請求項 2 2】

前記バリア層は、前記中間導電層が納められたキャビティを内張りし、前記バリア層は、実質的にボンディング表面まで前記第 3 のバリア層の上方に垂直に延びている、請求項 2 0 記載の半導体素子。

20

【請求項 2 3】

前記上側導電層の厚さは、前記下側導電層の厚さよりも薄い、請求項 1 8 記載の半導体素子。

【請求項 2 4】

前記下側導電層は、前記非導電層内に埋め込まれた再配線層 (R D L) からなる、請求項 1 記載の半導体素子。

【請求項 2 5】

前記非導電層は、前記半導体部分上に設けられた複数の誘電体層からなる、請求項 1 記載の半導体素子。

30

【請求項 2 6】

前記バリア層に隣接して設けられたマンガンバリア層をさらに有する、請求項 1 記載の半導体素子。

【請求項 2 7】

前記マンガンバリア層は、前記上側導電層が納められたキャビティの少なくとも一部分を内張りし、前記マンガンバリア層は、前記バリア層の内側に設けられている、請求項 2 6 記載の半導体素子。

【請求項 2 8】

前記バリア層は、前記下側導電層の上面の長さに沿って設けられ、前記長さは、前記上側導電層の幅よりも長い、請求項 1 記載の半導体素子。

40

【請求項 2 9】

前記下側導電層は、前記バリア層によって前記上面沿いに、かつ 1 つ以上の追加のバリア層によって前記下側導電層の下面及び側面沿いに封入されている、請求項 2 8 記載の半導体素子。

【請求項 3 0】

前記 1 つ以上の追加のバリア層は、前記第 2 の材料からなる、請求項 2 9 記載の半導体素子。

【請求項 3 1】

50

前記 1 つ以上の追加のバリア層は、前記第 1 の及び前記第 2 の材料とは異なる第 3 の材料からなる、請求項 29 記載の半導体素子。

【請求項 32】

前記下側導電層に電的に接続され、かつ前記半導体部分を貫通した基板貫通ビア (TSV) をさらに有する、請求項 1 記載の半導体素子。

【請求項 33】

前記 TSV を内張りした TSV バリア層をさらに有し、前記 TSV 層は、前記第 2 の材料からなる、請求項 32 記載の半導体素子。

【請求項 34】

前記上側導電層は、デュアルダマシ構造体からなる、請求項 1 記載の半導体素子。 10

【請求項 35】

前記上側導電層は、シングルダマシ構造体からなる、請求項 1 記載の半導体素子。

【請求項 36】

請求項 1 記載の前記半導体素子及び第 2 の半導体素子を有するボンデッド構造体であって、前記半導体素子の第 2 の上側非導電面は、介在する接着剤なしで前記第 2 の半導体素子の第 2 の上側非導電面にダイレクトボンディングされ、前記上側導電層の上側接触面は、前記第 2 の半導体素子の接触構造体にダイレクトボンディングされている、ボンデッド構造体

【請求項 37】

前記第 2 の半導体素子は、 20

第 2 の半導体部分を有し、

前記第 2 の半導体部分上に設けられていて、前記第 2 の上側非導電表面を形成する第 2 の非導電層を有し、前記接触構造体は、前記第 2 の非導電層内に少なくとも部分的に埋め込まれ、

前記接触構造体の下に設けられ、かつ前記接触構造体に電氣的に接続された第 2 の下側導電層を有し、

前記第 2 の半導体素子の第 1 のバリア層は、前記接触構造体と前記第 2 の下側導電層との間に設けられ、前記第 2 の半導体素子の前記第 1 のバリア層は、 20 で 30×10^{-8} m 未満の電気抵抗率及び 1200 を超える融点を有する材料で作られている、請求項 36 記載のボンデッド構造体。 30

【請求項 38】

前記接触構造体は、銅からなり、前記第 2 の半導体素子の前記第 1 のバリア層の前記材料は、コバルト、タングステン、バナジウム、及びニッケルのうちの少なくとも 1 つからなる、請求項 37 記載のボンデッド構造体。

【請求項 39】

半導体素子であって、

半導体部分を有し、

前記半導体部分上に設けられた非導電ボンディング層を有し、前記非導電ボンディング層は、前記半導体素子のボンディング表面の第 1 の部分を形成する上側非導電面を有し、前記上側非導電面は、第 2 の半導体素子にダイレクトボンディング可能に前処理され、 40

前記非導電ボンディング層内に少なくとも部分的に埋め込まれた接触構造体を有し、前記接触構造体は、前記半導体素子の前記ボンディング表面の第 2 の部分を形成し、前記接触構造体は、第 1 の材料からなり、

前記接触構造体の下に設けられていて、かつ前記接触構造体に電氣的に接続された導電層を有し、

前記接触構造体と前記導電層との間に設けられたバリア層を有し、前記バリア層は、前記第 1 の材料とは異なる第 2 の材料からなり、前記第 2 の材料は、コバルト、タングステン、バナジウム、及びニッケルのうちの少なくとも 1 つからなる、半導体素子。

【請求項 40】

前記接触構造体は、銅からなる、請求項 39 記載の半導体素子。 50

- 【請求項 4 1】
前記導電層は、銅からなる、請求項 3 9 記載の半導体素子。
- 【請求項 4 2】
前記バリア層は、コバルトからなる、請求項 3 9 記載の半導体素子。
- 【請求項 4 3】
前記バリア層は、合金からなる、請求項 3 9 記載の半導体素子。
- 【請求項 4 4】
前記合金は、リン酸コバルト タングステン (C W P)、リン酸コバルト (C o P)、リン酸ニッケル (N i P)、ニッケル タングステン (N i W)、及びニッケル バナジウム (N i V) のうちの少なくとも 1 つからなる、請求項 4 3 記載の半導体素子。 10
- 【請求項 4 5】
前記非導電ボンディング層は、酸化シリコンからなる、請求項 3 9 記載の半導体素子。
- 【請求項 4 6】
前記バリア層は、前記接触構造体が納められたキャビティの少なくとも一部分を内張りしている、請求項 3 9 記載の半導体素子。
- 【請求項 4 7】
前記接触構造体が納められたキャビティの少なくとも一部分を内張りする第 2 のバリア層をさらに有し、前記第 2 のバリア層は、前記バリア層と前記接触構造体との間に設けられている、請求項 3 9 記載の半導体素子。 20
- 【請求項 4 8】
前記第 2 のバリア層は、前記第 2 の材料からなる、請求項 4 7 記載の半導体素子。
- 【請求項 4 9】
前記第 2 のバリア層は、前記第 1 の材料及び前記第 2 の材料とは異なる第 3 の材料からなる、請求項 4 7 記載の半導体素子。
- 【請求項 5 0】
前記第 3 の材料は、金属窒化物からなる、請求項 4 9 記載の半導体素子。
- 【請求項 5 1】
前記第 3 の材料は、窒化チタン又は窒化タンタルからなる、請求項 5 0 記載の半導体素子。 30
- 【請求項 5 2】
前記バリア層の厚さは、前記第 2 のバリア層の厚さよりも厚い、請求項 4 7 記載の半導体素子。
- 【請求項 5 3】
前記バリア層に被着された中間導電層及び前記中間導電層に被着された第 3 のバリア層をさらに有し、前記接触構造体は、前記第 3 のバリア層に被着されている、請求項 3 9 記載の半導体素子。
- 【請求項 5 4】
前記第 2 の導電層は、前記第 3 のバリア層及び 1 つ以上の追加のバリア層によって封入されている、請求項 5 3 記載の半導体素子。
- 【請求項 5 5】
前記 1 つ以上の追加のバリア層は、前記バリア層からなる、請求項 5 4 記載の半導体素子。 40
- 【請求項 5 6】
前記第 3 のバリア層は、前記第 2 の材料からなる、請求項 5 4 記載の半導体素子。
- 【請求項 5 7】
前記バリア層は、前記第 2 の導電層が納められたキャビティを内張りし、前記バリア層は、実質的にボンディング表面まで前記第 3 のバリア層の上方に垂直に延びている、請求項 5 5 記載の半導体素子。
- 【請求項 5 8】
前記接触構造体の厚さは、前記第 2 の導電層の厚さよりも薄い、請求項 5 3 記載の半導 50

体素子。

【請求項 5 9】

前記導電層は、前記非導電ボンディング層内に埋め込まれた再配線層（RDL）からなる、請求項 5 3 記載の半導体素子。

【請求項 6 0】

前記非導電ボンディング層は、前記半導体部分上に設けられた複数の誘電体層からなる、請求項 3 9 記載の半導体素子。

【請求項 6 1】

前記バリア層に隣接して設けられたマンガンバリア層をさらに有する、請求項 3 9 記載の半導体素子。

【請求項 6 2】

前記マンガンバリア層は、前記接触構造体が納められたキャピティの少なくとも一部分を内張りし、前記マンガンバリア層は、前記バリア層の内側に設けられている、請求項 6 1 記載の半導体素子。

【請求項 6 3】

前記バリア層は、前記導電層の上面の長さに沿って設けられ、前記長さは、前記接触構造体の幅よりも長い、請求項 3 9 記載の半導体素子。

【請求項 6 4】

前記導電層は、前記バリア層によって前記上面沿いに、かつ 1 つ以上の追加のバリア層によって前記導電層の下面及び側面沿いに封入されている、請求項 6 3 記載の半導体素子

。

【請求項 6 5】

前記 1 つ以上の追加のバリア層は、前記第 2 の材料からなる、請求項 6 4 記載の半導体素子。

【請求項 6 6】

前記 1 つ以上の追加のバリア層は、前記第 1 の及び前記第 2 の材料とは異なる第 3 の材料からなる、請求項 6 4 記載の半導体素子。

【請求項 6 7】

前記導電層に電的に接続され、かつ前記半導体部分を貫通した基板貫通ビア（TSV）をさらに有する、請求項 3 9 記載の半導体素子。

【請求項 6 8】

前記 TSV を内張りした TSV バリア層をさらに有し、前記 TSV 層は、前記第 2 の材料からなる、請求項 6 7 記載の半導体素子。

【請求項 6 9】

前記接触構造体は、デュアルダマシ構造体からなる、請求項 3 9 記載の半導体素子。

【請求項 7 0】

前記接触構造体は、シングルダマシ構造体からなる、請求項 3 9 記載の半導体素子。

【請求項 7 1】

請求項 3 9 記載の前記半導体素子及び前記第 2 の半導体素子を有するボンデッド構造体であって、前記半導体素子の前記上側非導電面は、介在する接着剤なしで前記第 2 の半導体素子の第 2 の上側非導電面にダイレクトボンディングされ、前記接触構造体の前記上側接触面は、前記第 2 の半導体素子の第 2 の接触構造体にダイレクトボンディングされている、ボンデッド構造体

【請求項 7 2】

前記第 2 の半導体素子は、

第 2 の半導体部分を有し、

前記第 2 の半導体部分上に設けられていて、前記第 2 の上側非導電表面を形成する第 2 の非導電層を有し、前記第 2 の接触構造体は、前記第 2 の非導電ボンディング層内に少なくとも部分的に埋め込まれ、

前記第 2 の接触構造体の下に設けられ、かつ前記第 2 の接触構造体に電氣的に接続され

10

20

30

40

50

た第 2 の導電層を有し、

前記第 2 の半導体素子の第 1 のバリア層は、前記第 2 の接触構造体と前記第 2 の導電層との間に設けられ、前記第 2 の半導体素子の前記第 1 のバリア層は、 20 で $30 \times 10^{-8} \text{ m}$ 未満の電気抵抗率及び 1200 を超える融点を有する材料で作られている、請求項 7 1 記載のボンデッド構造体。

【請求項 7 3】

前記第 2 の接触構造体は、銅からなり、前記第 2 の半導体素子の前記第 1 のバリア層の前記材料は、コバルト、タングステン、バナジウム、及びニッケルのうちの少なくとも 1 つからなる、請求項 7 2 記載のボンデッド構造体。

【請求項 7 4】

半導体素子であって、
半導体部分を有し、

前記半導体部分上に設けられた非導電層を有し、

前記非導電ボンディング層内に少なくとも部分的に埋め込まれた接触構造体を有し、前記接触構造体は、前記半導体素子の表面のボンディング表面の少なくとも一部分を形成する上側接触面を有し、前記接触構造体は、第 1 の材料からなり、

前記接触構造体の下に設けられていて、かつ前記接触構造体に電氣的に接続された導電層を有し、

前記導電層を封入した 1 つ以上のバリア層を有し、前記 1 つ以上のバリア層は、前記導電層の上面、下面、及び側面の周りに設けられている、半導体素子。

【請求項 7 5】

前記接触構造体は、銅からなる、請求項 7 4 記載の半導体素子。

【請求項 7 6】

前記導電層は、銅からなる、請求項 7 4 記載の半導体素子。

【請求項 7 7】

前記 1 つ以上のバリア層は、前記導電層の上面の長さに沿って設けられた第 1 のバリア層を含み、前記長さは、前記接触構造体の幅よりも長く、前記バリア層は、前記第 1 の材料とは異なる第 2 の材料からなる、請求項 7 4 記載の半導体素子。

【請求項 7 8】

前記第 2 の材料は、コバルト、タングステン、バナジウム、及びニッケルのうちの少なくとも 1 つからなる、請求項 7 7 記載の半導体素子。

【請求項 7 9】

前記第 2 の材料は、 20 で $30 \times 10^{-8} \text{ m}$ 未満の電気抵抗率及び 1200 を超える融点を有する、請求項 7 7 記載の半導体素子。

【請求項 8 0】

前記 1 つ以上のバリア層は、前記導電層の前記下面及び前記側面に沿って設けられた第 2 のバリア層を含む、請求項 7 7 記載の半導体素子。

【請求項 8 1】

前記第 2 のバリア層は、前記第 2 の材料からなる、請求項 8 0 記載の半導体素子。

【請求項 8 2】

前記第 2 のバリア層は、前記第 2 の材料とは異なる第 3 の材料からなる、請求項 8 0 記載の半導体素子。

【請求項 8 3】

前記第 3 の材料は、金属窒化物からなる、請求項 8 2 記載の半導体素子。

【請求項 8 4】

前記第 3 の材料は、窒化チタン又は窒化タンタルからなる、請求項 8 3 記載の半導体素子。

【請求項 8 5】

前記 1 つ以上のバリア層に被着された第 2 の導電層及び前記第 2 の導電層に被着された第 3 のバリア層をさらに有し、前記接触構造体は、前記第 3 のバリア層に被着されている

10

20

30

40

50

、請求項 77 記載の半導体素子。

【請求項 86】

前記第 2 の導電層は、前記第 3 のバリア層及び 1 つ以上の追加のバリア層によって封入されている、請求項 85 記載の半導体素子。

【請求項 87】

前記第 3 のバリア層は、前記第 2 の材料からなる、請求項 85 記載の半導体素子。

【請求項 88】

前記接触構造体の厚さは、前記第 2 の導電層の厚さよりも薄い、請求項 85 記載の半導体素子。

【請求項 89】

前記導電層は、前記非導電ボンディング層内に埋め込まれた再配線層 (RDL) からなる、請求項 74 記載の半導体素子。

【請求項 90】

半導体素子であって、

前記半導体素子のボンディング表面の第 1 の部分を形成する上側非導電面を備えた半導体部分を有し、前記上側非導電面は、第 2 の半導体素子にダイレクトボンディング可能に前処理され、

前記半導体素子の前記ボンディング表面の第 2 の部分を形成する上側接触面を備えた接触構造体を有し、前記接触構造体は、第 1 の材料で作られ、

前記接触構造体の下に設けられ、かつ前記接触構造体に電氣的に接続された導電バリア層を有し、前記導電バリア層は、前記第 1 の材料とは異なる第 2 の材料からなり、前記第 2 の材料は、 20 で $30 \times 10^{-8} \text{m}$ 未満の電気抵抗率及び 1200 を超える融点を有する、半導体素子。

【請求項 91】

前記接触構造体は、銅からなる、請求項 90 記載の半導体素子。

【請求項 92】

前記接触構造体は、前記導電バリア層のうちの 20% 未満を含む、請求項 91 記載の半導体素子。

【請求項 93】

前記第 2 の材料は、コバルト、タングステン、バナジウム、及びニッケルのうちの少なくとも 1 つからなる、請求項 90 記載の半導体素子。

【請求項 94】

前記第 2 の材料は、コバルトからなる、請求項 93 記載の半導体素子。

【請求項 95】

前記第 2 の材料の電気抵抗率は、 20 で $4.5 \times 10^{-8} \text{m}$ から 20 で $30 \times 10^{-8} \text{m}$ までの範囲にある、請求項 90 記載の半導体素子。

【請求項 96】

前記第 2 の材料の融点は、 1200 から 3600 までの範囲にある、請求項 90 記載の半導体素子。

【請求項 97】

前記接触構造体の厚さは、前記導電層の厚さよりも薄い、請求項 90 記載の半導体素子。

【請求項 98】

前記導電層の厚さは、前記接触構造体の厚さの少なくとも 2 倍である、請求項 97 記載の半導体素子。

【請求項 99】

方法であって、

キャビティを半導体素子の非導電層中に形成するステップと、

下側導電層を前記キャビティ内に設けるステップと、

バリア層を前記下側導電層に被着させるステップと、

10

20

30

40

50

上側導電層を前記バリア層に被着させるステップと、を含み、前記上側導電層は、第 1 の材料で形成され、前記バリア層は、前記第 1 の材料とは異なる第 2 の材料で形成され、前記第 2 の材料は、 20 で $30 \times 10^{-8} \text{ m}$ 未満の電気抵抗率及び 1200 を超える融点を有する、方法。

【請求項 100】

前記第 1 の材料は、銅からなり、前記第 2 の材料は、コバルト、タングステン、バナジウム、及びニッケルのうちの少なくとも 1 つからなる、請求項 99 記載の方法。

【請求項 101】

前記バリア層を被着させるステップは、前記バリア層を前記下側導電層の上面の長さに沿って設けるステップからなり、前記長さは、前記上側導電層の幅よりも長い、請求項 99 記載の半導体素子。 10

【請求項 102】

前記下側導電層を前記バリア層及び 1 つ以上の追加のバリア層によって封入するステップをさらに含む、請求項 101 記載の方法。

【請求項 103】

前記上側導電層を被着させるステップの前に、第 2 の非導電層を前記バリア層及び前記非導電層の少なくとも一部分に被着させるステップと、前記バリア層まで延びる開口部を前記第 2 の非導電層に形成するステップとをさらに含む、請求項 99 記載の方法。

【請求項 104】

第 2 のバリア層を、前記バリア層の少なくとも一部分を覆って前記開口部内に設けるステップをさらに含む、請求項 103 記載の方法。 20

【請求項 105】

前記第 2 のバリア層を設けるステップは、前記第 2 の材料で形成された前記第 2 のバリア層を設けるステップからなる、請求項 104 記載の方法。

【請求項 106】

中間導電層を、前記第 2 のバリア層を覆って前記開口部内に設けるステップをさらに含む、請求項 104 記載の方法。

【請求項 107】

第 3 のバリア層を前記中間導電層に被着させるステップをさらに含む、請求項 106 記載の方法。 30

【請求項 108】

前記第 3 のバリア層を被着させるステップは、前記第 2 の材料で形成された前記第 3 のバリア層を設けるステップからなる、請求項 107 記載の方法。

【請求項 109】

前記上側導電層を前記第 3 のバリア層に被着させるステップをさらに含む、請求項 107 記載の方法。

【請求項 110】

前記第 2 の非導電層の上面をプラズマ処理するステップをさらに含む、請求項 103 記載の方法。

【請求項 111】 40

前記プラズマ処理ステップは、前記第 2 の非導電層を窒素又は酸素を含むプラズマに暴露するステップからなる、請求項 110 記載の方法。

【請求項 112】

前記半導体素子の前記上側導電層を介在する接着剤なしで第 2 の半導体素子の接触構造体にダイレクトボンディングするステップをさらに含む、請求項 99 記載の方法。

【請求項 113】

前記半導体素子の非導電ボンディング層を前記第 2 の半導体素子の第 2 の非導電ボンディング層にダイレクトボンディングするステップをさらに含む、請求項 112 記載の方法。

【請求項 114】 50

前記非導電ボンディング層は、前記非導電層からなる、請求項 1 1 3 記載の方法。

【請求項 1 1 5】

半導体素子であって、

半導体部分を有し、

前記半導体部分上に設けられた非導電層を有し、

前記非導電層内に少なくとも部分的に埋め込まれた上側導電層を有し、前記上側導電層は、第 1 の材料で形成され、

前記上側導電層の下に設けられ、かつ前記上側導電層に電氣的に接続された下側導電層を有し、

前記上側導電層と前記下側導電層との間に設けられたバリヤ層を有し、前記バリヤ層は、前記上側導電層の横方向長さよりも長い横方向長さを有し、前記バリヤ層は、前記第 1 の材料とは異なる第 2 の材料で形成され、前記第 2 の材料は、1 2 0 0 を超える融点を有する、半導体素子。 10

【請求項 1 1 6】

請求項 1 1 5 記載の前記半導体素子及び第 2 の半導体素子を有するボンデッド構造体であって、前記半導体素子の上側非導電面は、介在する接着剤なしで前記第 2 の半導体素子の第 2 の上側非導電面にダイレクトボンディングされ、前記上側導電層の上側接触面は、前記第 2 の半導体素子の接触構造体にダイレクトボンディングされている、ボンデッド構造体

【請求項 1 1 7】

20

半導体素子であって、

半導体部分を有し、

前記半導体部分上に設けられた非導電層を有し、

前記非導電層内に少なくとも部分的に埋め込まれた上側導電層を有し、前記上側導電層は、第 1 の材料で形成され、

前記上側導電層の下に設けられ、かつ前記上側導電層に電氣的に接続された下側導電層を有し、

前記上側導電層と前記下側導電層との間に設けられたバリヤ層を有し、前記バリヤ層は、前記第 1 の材料とは異なる第 2 の材料で形成され、前記第 2 の材料は、2 0 で $5 0 \times 1 0^{-8} \text{ m}$ 未満の電気抵抗率及び 1 2 0 0 を超える融点を有し、

30

前記上側導電層が納められたキャビティの少なくとも一部分を内張りした第 2 のバリヤ層を有する、半導体素子。

【請求項 1 1 8】

前記第 2 のバリヤ層は、前記バリヤ層と前記上側導電層との間に設けられている、請求項 1 1 7 記載の半導体素子。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本技術分野は、インターコネクト構造体、及びインターコネクト構造体を作製する方法に関する。

40

【0 0 0 2】

〔関連出願の引照〕

本願は、2 0 2 1 年 1 2 月 1 3 日に提出された米国特許仮出願第 6 3 / 2 8 8 , 9 9 1 号（発明の名称：INTERCONNECT STRUCTURES）の 3 5 U.S.C § 1 1 9 (e) に基づく優先権主張出願であり、この米国特許仮出願を参照により引用し、全ての目的についてその記載内容全体を本明細書の一部とする。

【背景技術】

【0 0 0 3】

ダイ内又はダイの表面のところに位置するインターコネクト構造体は、信号、電力（パワー）、又はアースをこのダイ内の他の回路又は別のダイ又は素子に伝送する。例えば、

50

半導体素子、例えば半導体ウエハ又は集積化デバイスダイを接着剤なしで互いに積層してダイレクトボンディングすることができる。例えば、幾つかのハイブリッドダイレクトボンデッド構造体では、素子の非導電フィールド領域を互いにダイレクトボンディングすることができ、そして対応の導電接触構造体を互いにダイレクトボンディングすることができる。接触構造体が電氣的に高信頼度であるようにすることが重要であると言える。

【発明の概要】

【0004】

本発明の一観点によれば、半導体素子であって、半導体部分、半導体部分上に設けられた非導電層、及び第1の材料で形成され、かつ非導電層内に少なくとも部分的に埋め込まれた内側導電層、内側導電層の下に設けられるとともに、これに電氣的に接続された下側導電層、及び内側導電層と下側導電層との間に設けられたバリヤ層を有する半導体素子が開示される。バリヤ層は、第1の材料とは異なる第2の材料で形成され、第2の材料は、 20 で $30 \times 10^{-8} \text{ m}$ 未満の電気抵抗及び 1200 を超える融点を有する。

10

【0005】

詳細な説明は、添付の図面に関して提供されている。互いに異なる図で用いる同一の参照符号は、類似又は同一のアイテムを指している。

【0006】

本説明のため、図に記載されたデバイス及びシステムは、多数の部品を有するものとして示されている。本明細書において説明するデバイス及び/又はシステムの種々の具体化例は、これよりも数の少ない部品を含むのが良く、これらは、本開示の範囲内に属したままである。変形例として、デバイス及び/又はシステムの他の具体化例は、追加の部品、又は説明した部品の種々の組み合わせを含むことができ、これは、本発明の範囲内に依然として含まれている。

20

【0007】

これらの観点及び他の観点は、好ましい実施形態についての以下の説明及び添付の図面から明らかになり、添付の図面は、本発明を説明することが意図されていて、本発明を限定するものではない。

【図面の簡単な説明】

【0008】

【図1A】1つの実施形態に従ってダイレクトボンディングされる前における2つの素子の概略側面断面図である。

30

【図1B】1つの実施形態に従ってダイレクトボンディングされた後における図1Aの2つの素子の概略側面断面図である。

【図2A】従来型のインターコネクタについて顕微鏡で得られた側面断面図であり、エレクトロマイグレーションの順序を示す図である。

【図2B】従来型インターコネクタの概略側面断面図であり、本発明に従ってエレクトロマイグレーションの順序を示す図である。

【図3】1つの実施形態としての半導体素子の一部分の概略側面断面図である。

【図4A】従来型インターコネクタを通して流れる電流がポイドを形成する前における従来型インターコネクタの概略断面側面図である。

40

【図4B】ポイドが形成されて回路を通る抵抗を増大させた後における図4Aの従来型インターコネクタの概略側面断面図である。

【図4C】1つの実施形態に従って、電流が半導体素子を通して流れる前における半導体素子の概略断面側面図である。

【図4D】図4Cの半導体素子の概略側面断面図であり、流れのための冗長な(余分の)経路を用いてポイド形成を抑制する電流の流れを示す図である。

【図5A】1つの実施形態に従ってデュアルダマシん特徴部を含むボンデッド構造体の概略断面側面図である。

【図5B】1つの実施形態に従ってシングル及びデュアルダマシん特徴部を含むボンデッド構造体の概略側面断面図である。

50

【図 5 C】1つの実施形態に従ってシングルダマシン特徴部を含むボンデッド構造体の概略断面側面図である。

【図 6】1つの実施形態に従って誘電体層と低抵抗バリア層と導電層との間の層状化の概略断面側面図である。

【図 7 A - 7 D】図 7 A ~ 図 7 D は、従来型インターコネクトを形成することができるマルチステップ方法の一連のステップのうちの一連の概略断面側面図である。

【図 7 E - 7 H】図 7 E ~ 図 7 H は、従来型インターコネクトを形成することができるマルチステップ方法の一連のステップのうちの一連の概略断面側面図である。

【図 8 A - 8 E】図 8 A ~ 図 8 E は、1つの実施形態に従って、ボンデッド構造体を形成することができるマルチステップ方法の一連のステップの1つを示す一連の概略側面断面図である。

10

【図 8 F - 8 I】図 8 F ~ 図 8 I は、1つの実施形態に従って、ボンデッド構造体を形成することができるマルチステップ方法の一連のステップの1つを示す一連の概略側面断面図である。

【図 8 I 1 - 8 K】図 8 I 1 ~ 図 8 K は、1つの実施形態に従って、ボンデッド構造体を形成することができるマルチステップ方法の一連のステップの1つを示す一連の概略側面断面図である。

【図 9 A - 9 D】図 9 A ~ 図 9 D は、1つの実施形態に従って、半導体素子を下側、中間、及び上側導電層を有するよう形成することができるマルチステップ方法の一連のステップのうちの一連の1つを示す概略側面断面図である。

20

【図 9 E】図 9 E は、1つの実施形態に従って、半導体素子を下側、中間、及び上側導電層を有するよう形成することができるマルチステップ方法の一連のステップのうちの一連の1つを示す概略側面断面図である。

【図 10】1つの実施形態としての半導体素子の概略側面断面図である。

【図 11】1つの実施形態に従って図 9 E に示す半導体素子と同様な2つの半導体素子をボンディングすることによって形成されたボンデッド構造体の概略側面断面図である。

【図 12】1つの実施形態に従って図 10 に示す半導体素子と同様な2つの半導体素子をボンディングすることによって形成されたボンデッド構造体の概略側面断面図である。

【図 13 A - 13 D】図 13 A ~ 図 13 D は、1つの実施形態に従って、半導体素子をプラズマ処理の使用により形成することができるマルチステップ方法を示す一連の概略側面断面図である。

30

【図 14 A】1つの実施形態としての半導体素子の概略側面断面図である。

【図 14 B】図 14 A に示す半導体素子と同様な2つの半導体素子をボンディングすることによって形成されたボンデッド構造体の概略側面断面図である。

【図 14 C】1つの実施形態としての半導体素子の概略側面断面図である。

【図 14 D】図 14 C に示す半導体素子と同様な2つの半導体素子をボンディングすることによって形成されたボンデッド構造体の概略側面断面図である。

【図 15 A】1つの実施形態に従って、1つの半導体素子が基板貫通ビア(TSV)を有する2つの半導体素子をダイレクトハイブリッドボンディングすることによって形成されたボンデッド構造体の概略側面断面図である。

40

【図 15 B】1つの実施形態に従って、1つの半導体素子が基板貫通ビア(TSV)を有する2つの半導体素子をダイレクトハイブリッドボンディングすることによって形成されたボンデッド構造体の概略側面断面図である。

【図 16】1つの実施形態に従って、内側マンガンバリア層を含む半導体素子の概略側面断面図である。

【図 17 A】1つの実施形態に従って、1つの半導体素子が基板貫通ビア(TSV)を有する2つの半導体素子をボンディングすることによって形成されたボンデッド構造体の概略側面断面図である。

【図 17 B】1つの実施形態に従って、2つの半導体素子をボンディングすることによって形成されたボンデッド構造体の概略側面断面図である。

50

【図17C】1つの実施形態に従って、内側マンガバリヤ層と基板貫通ビア(TSV)の両方を含む半導体素子の概略側面断面図である。

【発明を実施するための形態】

【0009】

金属インターコネク構造体は、エレクトロマイグレーション及び/又は他の拡散効果の影響を受ける。例えば、エレクトロマイグレーションが起こる場合のあるのは、次の場所であり、すなわち、半導体素子のボンディング層内のメタライゼーション又はインターコネク層(例えば、銅からなるメタライゼーション又はインターコネク層)、集積化デバイスダイのバックエンドオブライン(back-end-of-line: BEO L)内のインターコネク、再配線層(redistribution layer: RDL)内のインターコネク、又は互いに異なる抵抗率又は互いに異なる断面サイズのメタライゼーション層相互間(例えば、BEO L内に埋め込まれた層、又はダイレクトハイブリッドボンディングされるべき半導体素子ボンディング層)に移行部が存在する接触構造体を含むインターコネクを備えた任意他のメタライゼーション層である。

10

【0010】

エレクトロマイグレーションは、回路の導電経路内の金属原子が電子の流れの方向に動くよう誘起される現象である。これは、電子が回路の導電経路に沿って流れているときに原子から金属電子への運動量移動によって引き起こされる場合がある。電子の流れ方向における金属原子のこの運動は、原子が「電子の風」によって影響を受けると称される場合がある。エレクトロマイグレーションにより、短絡「追い風」を作ることによるか開路「向かい風」を生じさせることによるかのいずれかによって回路の破損を引き起こす場合がある。エレクトロマイグレーションにより、短絡「追い風」が生じる場合があり、と言うのは、電子の流れ方向に動く金属原子が意図した導電経路を越えて押され、それにより、金属ウイスカの電氣的接続対象ではない回路部に電氣的に接続可能な金属ウイスカが生じる場合があるからである。また、エレクトロマイグレーションにより、開路「向かい風」が生じる場合があり、と言うのは、電子の流れ方向に移動する金属原子が多すぎる場合には回路を無傷状態に保つために「向かい風」の状態にされるのに十分な金属原子が存在しない場合があるからである。金属原子が移動すると、金属原子はこれが1回そうであった場合には空孔を残し、ひとまとまりの空孔がポイド(図2A及び図2Bの22として示されている)になる場合があり、ポイドがあると、電子の流れが妨げられる場合がある。エレクトロマイグレーションの問題は、例えば、温度の上昇につれ、電流密度が増大するにつれ、しかもインターコネクサイズが小さくなるにつれて、悪化する。エレクトロマイグレーション(例えば、電流の集中)もまた、電流が導電率の高い材料(例えば、銅)から導電率の低い材料(例えば、図4の24として示された従来型バリヤ層)に移動するとき、かつ/或いは幅の広い導電性の高い経路から幅の狭い抵抗性の高い経路に移動しているときに起こる場合がある。

20

30

【0011】

本明細書において開示する種々の実施形態は、バリヤ層なしのインターコネク又はは従来型バリヤ層(図4A及び図4Bの24として示されている)を含むインターコネクと比較して、低電気抵抗率及び高融点を有し、それによりエレクトロマイグレーションを減少させるとともに熱的安定性を増大させることができる改良型バリヤ層を提供することができる。本明細書において開示する幾つかの実施形態は、素子のボンディング層(例えば、ダイレクトハイブリッドボンディング可能に構成された層)内のインターコネク、例えば、金属レベル相互間に移行部の存在するボンディング層内の接触構造体及び/又は下に位置するメタライゼーションに関する。本明細書において開示する実施形態はまた、ダイの他の層内に埋め込まれたメタライゼーション層、例えばBEO L構造体及びRDL構造体内のエレクトロマイグレーションを減少させることができる。

40

【0012】

図1A及び図1Bに示すように、幾つかの実施形態では、明細書において開示するメタライゼーションによる解決策は、ダイレクトボンデッド構造体1のためのボンディング層

50

に関し、このダイレクトボンDED構造体1では、第1の素子2と第2の素子3を介在する接着剤なしで互いにダイレクトボンディングすることができる。図1Aは、ダイレクトボンディング前における素子2, 3を示している。図1Bは、素子2, 3をダイレクトボンディングした後におけるボンDED構造体を示している。2つ以上の半導体素子(例えば、集積化デバイスダイ、ウエハなど)2, 3を互いに積層し又はボンディングすると、ボンDED構造体1を形成することができる。第1の素子2の接触パッド4a(パッド、ビア、トレンチ)を含む導電接触構造体は、第2の素子3の対応の導電接触パッド4b又は他の導電接触構造体に電氣的に接続することができる(例えば、パッドをビアに、パッドをトレンチになど)。ダイレクトボンディングを説明する目的で露出状態の接触パッド4a, 4bだけが図1A及び図1Bに示されているが、当業者であれば認識されるように、ボンディング層は、図2A~図17Cに示すように多数の金属層及びこれら層相互間の接続部を含む配線を含むことができる。任意適当な数の素子をボンDED構造体1内に積層することができる。例えば、第3の素子(図示せず)を第2の素子3上に積層することができ、第2の素子(図示せず)を第3の素子上に積層することができ、その他同様である。基板貫通ビア(TSV、図示せず)を含ませることにより、かかるそれ以上の積層のための電氣的接続を容易にすることができる。追加的に又は代替的に、1つ以上の追加の素子(図示せず)を第1の素子2に沿って互いに隣接して横方向に積層することができる。

10

【0013】

幾つかの実施形態では、素子2, 3は、接着剤なしで互いにダイレクトボンディングされている。種々の実施形態では、非導電又は誘電材料は、第1の素子2の非導電ボンディング層として働くことができ、この非導電ボンディング層は、接着剤なしで第2の素子3の非導電ボンディング層5bとして働くことができる対応の非導電又は誘電フィールド容器にダイレクトボンディングされるのがよい。非導電ボンディング層5a, 5bは、デバイス部分6a, 6b、例えば素子2, 3の半導体(例えば、シリコン)部分のそれぞれのおもて面14上に設けられるのがよい。アクティブデバイス及び/又は回路部は、デバイス部分6a, 6b内又は上にパターン化されると共に/或いは違ったやり方で設けられるのがよい。アクティブデバイス及び/又は回路部は、デバイス部分6a, 6bのおもて面14のところ又はその近くに、かつ/或いはデバイス部分6a, 6bの反対側のうら面15のところ又はその近くに設けられるのがよい。非導電材料を第1の素子2の非導電ボンディング領域又はボンディング層5aという場合がある。幾つかの実施形態では、第1の素子2の非導電ボンディング層5aを誘電体誘電体ボンディング技術を用いて第2の素子3の対応の非導電ボンディング層5bにダイレクトボンディングされるのがよい。例えば、非導電又は誘電体誘電体ボンドは、少なくとも米国特許第9,564,414号明細書、同第9,391,143号明細書、及び同第10,434,749号明細書に開示されたダイレクトボンディング技術を用いて接着剤なしに形成でき、これら米国特許を参照により引用し、これらの記載内容全体を全ての目的について本明細書の一部とする。認識されるべきこととして、種々の実施形態では、非導電ボンディング層5a及び/又は5bは、非導電材料、例えば誘電体、例えば、酸化シリコン、又はアンドープ半導体材料、例えばアンドープシリコンからなるのがよい。

20

30

40

【0014】

図1Aに示すように、種々の実施形態では、ボンディング表面8a, 8bは、1つ以上の非導電部分(例えば、非導電ボンディング層5a, 5bの露出面)及び1つ以上の導電部分(例えば、接触パッド4a, 4bの露出面)を含む。

【0015】

種々の実施形態では、ダイレクトボンドを介在接着剤なしで形成することができる。例えば、ボンディング表面8a, 8bの非導電(例えば、誘電体)部分を高い平滑度に研磨することができる。ボンディング表面8a, 8bの非導電部分を清浄化して、プラズマ及び/又はエッチング剤に暴露すると、この非導電部分を活性化(アクティブ状態にする)ことができる。幾つかの実施形態では、ボンディング表面8a, 8bの非導電部分を

50

活性化後又は活性化中（例えば、プラズマ及び／又はエッチングプロセス中）、化学種で末端基化することができる。理論に束縛されるものではないが、幾つかの実施形態では、活性化プロセスは、ボンディング表面 8 a , 8 b のところでの化学結合を壊すために実施されるのがよく、末端基化プロセスは、ダイレクト接合中における接合エネルギーを向上させる 1 種類以上の追加の化学種をボンディング表面 8 a , 8 b のところに提供することができる。幾つかの実施形態では、活性化及び末端基化は、同一のステップ、例えば、プラズマは、ボンディング表面 8 a , 8 b の活性化及び末端基化を行うことができる。他の実施形態では、ボンディング表面 8 a , 8 b を別個の処理で末端基化を行ってダイレクト接合のための追加の化学種を提供することができる。種々の実施形態では、末端基化化学種は、窒素を含むのがよい。さらに、幾つかの実施形態では、ボンディング表面 8 a , 8 b をフッ素に暴露するのがよい。例えば、層及び／又は接合インターフェース 7（図 1 B に示されている）の近くに 1 つ又は複数のフッ素ピークが生じるのがよい。かくして、ダイレクトボンDED構造体 1 では、2 つのボンディング表面 8 a , 8 b の非導電部分相互間のボンディングインターフェース 7 は、ボンディングインターフェース 7 のインターフェースのところの高い窒素含有量及び／又はフッ素ピークを有する極めて滑らかなインターフェースを構成することができる。種々の実施形態では、ボンディング表面 8 a , 8 b の非導電部分は、非導電ボンディング層 5 a , 5 b の表面を有する。活性化及び／又は末端基化処理の追加の実施例が米国特許第 9 , 5 6 4 , 4 1 4 号明細書、同第 9 , 3 9 1 , 1 4 3 号明細書、及び同第 1 0 , 4 3 4 , 7 4 9 号明細書を通して見受けられ、これら米国特許の各々を参照により引用し、その記載内容全体を全ての目的に関して本明細書の一部とする。

【 0 0 1 6 】

種々の実施形態では、第 1 の素子 2 の導電接触パッド 4 a もまた、第 2 の素子 3 の対応の導電接触パッド 4 b にダイレクトボンディングされるのがよい。例えば、ハイブリッドボンディング技術を用いると、上述したように前処理された共有的にダイレクトにボンディングされた（ダイレクト共有結合）非導電 非導電（誘電体 誘電体）表面を含むボンディングインターフェースに沿って導体 導体ダイレクトボンドを提供することができる。種々の実施形態では、共有的にダイレクトボンディングされた非導電表面は、非導電ボンディング層 5 a , 5 b の表面の露出部分を含む。種々の実施形態では、導体 導体（例えば、接触パッド 4 a 接触パッド 4 b）ダイレクトボンド及び誘電体 誘電体ハイブリッドボンドは、少なくとも米国特許第 9 , 7 1 6 , 0 3 3 号明細書及び同第 9 , 8 5 2 , 9 8 8 号明細書に開示されたダイレクトボンディング技術を用いて形成でき、これら米国特許の各々を参照により引用し、全ての目的についてその記載内容全体を本明細書の一部とする。

【 0 0 1 7 】

例えば、ボンディング表面 8 a , 8 b の非導電（例えば、誘電）部分は、前処理され、そして上述したように介在する接着剤なしで互いにダイレクトボンディングされるのがよい。導電接触パッド 4 a , 4 b（これらは、ボンディング層 5 a , 5 b 内の非導電誘電フィールド領域によって包囲されるのがよい）もまた、介在する接着剤なしで互いにダイレクトボンディングされるのがよい。幾つかの実施形態では、それぞれの接触パッド 4 a , 4 b は、誘電フィールド又は非導電ボンディング層 5 a , 5 b の外部（例えば、上側）ボンディング表面 8 a , 8 b の下に引っ込められるのがよく、例えば、3 0 n m 未満、2 0 n m 未満、1 5 n m 未満、もしくは 1 0 n m 未満引っ込められるのがよく、又は例えば、2 n m から 2 0 n m までの範囲、もしくは 4 n m から 1 0 n m までの範囲内で引っ込められるのがよい。種々の実施形態では、ダイレクトボンディングに先立ち、対向した素子 2 , 3 の凹部は、対向した接触パッド 4 a , 4 b 相互間の隙間全体が 1 5 n m 未満又は 1 0 n m 未満であるよう寸法決めされるのがよい。非導電ボンディング層 5 a , 5 b は、幾つかの実施形態では、室温で接触剤なしで、かつボンディング表面 8 a , 8 b を接触させる外部圧力よりも大きな外部圧力を加えることなく、互いにダイレクトボンディングされるのがよい。アニール時、接触パッド 4 a , 4 b は、膨張して互いに接触し、それにより金属

金属ダイレクトボンドを形成することができ、そしてハイブリッドダイレクトボンディングプロセスを完了させることができる。有益には、カリフォルニア州サンノゼ所在の Adeia (Adeia) 社から商業的に入手できるダイレクトボンドインターコネクト (Direct Bond Interconnect)、すなわち、DBI (登録商標) 技術の使用により、ダイレクトボンディングインターフェース7を横切って接続された高密度 (例えば、規則的なアレイについては小さな又は細かいピッチのパッド4a, 4b) を実現することができる。幾つかの実施形態では、ボンディングパッド4a, 4b、又はボンデッド素子、例えばボンデッド素子2又は3のうちの一方のボンディング表面8a, 8b内に埋め込まれた導電トレースのピッチpは、40ミクロン未満、10ミクロン未満であるのがよく、それどころか2ミクロン未満であってもよい。幾つかの用途に関し、ボンディングパッド4a, 4bのピッチpとボンディングパッドの寸法 (例えば、直径) の比は、5未満、3未満、又は場合によっては望ましくは2未満である。他の用途では、ボンデッド素子、例えばボンデッド素子2又は3のうちの一方のボンディング表面8内に埋め込まれた導電トレースの幅は、0.1ミクロンから5ミクロンまでの範囲にあるのがよい。種々の実施形態では、接触パッド4a, 4b及び/又はトレースは、銅からなるのがよいが、他の金属が適している場合がある。

10

【0018】

かくして、ダイレクトボンディングプロセスでは、第1の素子2を介在接着剤なしで第2の素子3にダイレクトボンディングすることができる。幾つかの構成例では、第1の素子2は、単体化された素子、例えば単体化された集積化デバイスダイから成るのがよい。他の構成例では、図1A及び図1Bに示すように、第1の素子2は、単体化されたときに複数の集積化デバイスダイを形成する複数の (例えば、数十個、数百個、又はそれ以上) のデバイス領域を含むキャリア又は基板 (例えば、ウエハ) から成るのがよい。同様に、第2の素子3は、単体化された素子、例えば図1A及び図1Bに示すように、単体化された集積化デバイスダイから成るのがよい。他の構成例では、第2の素子3は、キャリア又は基板 (例えば、ウエハ) から成るのがよい。したがって、本明細書において開示する実施形態をウエハ ウエハ、ダイ ダイ、ダイ ウエハ、パネル パネル、ダイ パネル、又はウエハ パネルボンディングプロセスに適用することができる。

20

【0019】

本明細書において説明するように、第1の素子2と第2の素子3は、接着剤なしで互いにダイレクトボンディングされるのがよく、これは、堆積プロセスとは異なっている。一用途では、ボンデッド構造体1中の第1の素子2の幅は、第2の素子3の幅とほぼ同じである。幾つかの他の実施形態では、ボンディング構造体1中の第1の素子2の幅は、第2の素子3との幅とは異なっている。同様に、ボンデッド構造体中の大きい方の素子の幅又は面積は、小さい方の素子の幅又は面積よりも少なくとも10%大きいのがよい。したがって、第1及び第2の素子2, 3は、非堆積素子からなる。さらに、堆積層とは異なり、ダイレクトボンデッド構造体1は、ボンディングインターフェース7に沿って欠陥領域を含むのがよく、この欠陥領域中には、ナノポイドが存在する。ナノポイドは、ボンディング表面8a, 8a bの活性化 (例えば、プラズマへの暴露) に起因して形成されるのがよい。上述したように、ボンディングインターフェース7は、アクチベーション及び/又は最後の化学処理プロセスからの物質の濃縮を含む場合がある。例えばアクチベーションのために窒素プラズマを利用する実施形態では、窒素ピークがボンディングインターフェース7のところに形成される場合がある。アクチベーションのために酸素プラズマを利用する実施形態では、酸素ピークがボンディングインターフェース7のところに形成される場合がある。幾つかの実施形態では、ボンディングインターフェース7は、窒化シリコン、オキシ炭窒化シリコン、又は炭窒化シリコン、サファイア、アルミニウムの酸化物、ガラス、セラミック材料、それどころかガラスセラミック又はポリマー材料からなるのがよい。本明細書において説明するように、ダイレクトボンドは、共有結合を含むのがよく、この共有結合は、ファンデルワールス結合よりも強固である。非導電ボンディング層5a, 5bは、高い平滑度に平坦化された研磨ボンディング表面8a, 8a bをさらに有するの

30

40

50

がよい。

【0020】

種々の実施形態では、接触パッド4a, 4b相互間の金属 金属ボンドは、銅結晶粒がボンディングインターフェース7を横切って互いの中に成長するよう接合されるのがよい。幾つかの実施形態では、銅は、ボンドインターフェースを横切る銅の拡散を向上させるために、111結晶面に沿って配向した結晶粒を有するのがよい。ボンディングインターフェース7は、ボンデッド接触パッド4aのところ又はその近くのところで非導電ボンディング層5a, 5b相互間に実質的にギャップが生じないようにになっている。幾つかの実施形態では、バリヤ層(図1A及び図1Bには示さず)が接触パッド4a, 4bの下に設けられるのがよい。しかしながら、他の実施形態では、例えば、米国特許出願公開第2019/0096741号明細書に記載されているように、接触パッド4a, 4bの下にバリヤ層がなくてもよく、この米国特許を参照により引用し、その記載内容全体を全ての目的に関して本明細書の一部とする。

10

【0021】

有益には、本明細書において説明するハイブリッドボンディング技術を用いることにより、隣り合う接触パッド4a又は4b相互間の極めて細かいピッチp、及び/又は小さなパッドサイズの実現が可能になる。例えば、種々の実施形態では、隣り合うパッド4a(又は4b)相互間のピッチp(図1A参照)は、0.5ミクロンから25ミクロンまでの範囲、0.75ミクロンから25ミクロンまでの範囲、1ミクロンから25ミクロンまでの範囲、1ミクロンから10ミクロンまでの範囲、又は1ミクロンから5ミクロンまでの範囲にあるのがよい。さらに、大きい方の横方向寸法(例えば、パッド直径)は、例えば0.25ミクロンから8ミクロンまでの範囲、0.25ミクロンから5ミクロンまでの範囲、又は0.5ミクロンから5ミクロンまでの範囲にあるように小さいのがよい。パッド4a, 4bとは別に、パッドのピッチとほぼ同じピッチの導電ビア及びトレースは、ボンディングインターフェース7のところで非導電ボンディング層5a, 5b内に設けられ又は埋め込まれるのがよい。

20

【0022】

種々の実施形態では、第2の素子3は、単体化デバイスダイからなるのがよく、第1の素子2は、ウエハ又はパネルからなるのがよい。他の実施形態では、素子2, 3の両方は、単体化デバイスダイからなってもよい。かかる実施形態では、第2の素子3は、当初、ウエハの形態又は大きな基板の状態で設けられるのがよく、そして単体化された第1の素子2を形成するよう単体化されるのがよい。しかしながら、単体化プロセス及び/又は他の処理ステップは、デブリを生じさせる場合があり、このデブリは、平坦なボンディング表面8a, 8bを汚染する場合があり、それにより、2つの素子2, 3がボンディングされたときにボイド及び/又は欠陥が後に残される場合がある。したがって、単体化に先立って、保護層をボンディング層表面8a又は8bに被着させるのがよく、その後においてアクチベーション及びダイレクトボンディングを行うのがよく、この目的は、デブリがボンディング表面8a又は8bを汚染するのを阻止することにある。保護層(図示せず)は、有機又は無機層(例えば、フォトレジスト)からなるのがよく、この有機又は無機層をボンディング表面8a又は8b上に堆積させる(例えば、スピコートする)。保護層についての追加の詳細は、米国特許第10,714,449号明細書全体にわたって見受けられ、この米国特許を参照により引用し、全ての目的について、その記載内容全体を本明細書の一部とする。

30

40

【0023】

第1の素子2を含むウエハは、適当な方法を用いて単体化されるのがよい。ボンディング表面8a又は8bに被着された保護層は、有益には、ボンディング表面8a又は8bをデブリから保護することができる。ダイレクトボンディングの前に、保護層は、洗浄剤を用いて、例えば適当な溶剤、例えば保護層の提供業者によって推奨されているアルカリ溶液又は他の適当な洗浄剤を用いてボンディング表面8a, 8bから除去されるのがよい。保護層用洗浄剤は、これが非導電ボンディング層5a又は5bの滑らかなボンディング表

50

面 8 a 又は 8 b を実質的に粗面化せず、しかもその後の洗浄作業後にパッド金属の凹部を増大するように接触パッド 4 a 又は 4 b の金属を実質的にエッチングし又は汚染することがないように選択されるのがよい。過剰のパッド凹部は、深すぎる凹部を形成する場合があります、それにより、適当なアニール条件（例えば、アニール温度及び時間）におけるパッドパッドボンディングを阻止する（又は、パッドパッドボンディングの強度を減少させる）場合がある。洗浄剤は、液体洗浄剤のファンスプレー又は他の既知の方法によって塗布されるのがよい。例えば、洗浄後のボンディング表面 8 a , 8 b を灰化し（例えば、酸素プラズマを用いて）、そして脱イオン化水（DIW）によって洗浄するのがよい。幾つかの実施形態では、洗浄後の素子 2 , 3 をダイレクトボンディング前に活性化するのがよい。他のダイを必要に応じて洗浄済みかつ前処理後の素子 3 のうら面 1 5 を覆ってボンディングするのがよい。種々の必要とされるそれ以上の処理ステップの実施後にボンデッド構造体 1 を既知の方法によってさらに単体化するのがよい。それ以上の処理ステップは、ボンデッド素子 3 のうら面 1 5 を薄化し、又はボンデッド素子 3 のダイのうら面 1 5 を活性化するステップ、及び追加のダイをうら面 1 5 にダイレクトボンディングし又はボンデッド素子 3 のうら面 1 5 を例えば誘電体層で被覆するステップを含むのがよい。

10

【 0 0 2 4 】

図 2 A 及び図 2 B に示すように、幾つかの高温及び / 又は高電流密度用途ではかつ / 或いは小さなインターコネクタに関し、従来型インターコネクタ 2 6 内にエレクトロマイグレーションは、ボイド 2 2 を作る場合がある。例えば、ボイド 2 2 は、導電層相互間のインターフェースのところに形成される場合があり、それにより、接点及び / 又はボンデッド構造体の信頼性を低くする場合がある。図 2 A 及び図 2 B は、横方向トレース（図示せず）を含む場合のある下側の導電層 6 2 と、デュアルダマシン接触パッド及びビアを含む場合のある上側の導電層 1 0 0 とのインターフェースのところにかかるボイド 2 2 を含む従来型インターコネクタ 2 6 を示している。下側導電層 6 2 及び上側導電層 1 0 0 は、非導電層 5 6 内に設けられる場合があり、被導電層 5 6 は、誘電体、例えば無機誘電体、例えば二酸化シリコンからなる場合がある。ビア及び堆積インターフェースのところの導電層 6 2 , 1 0 0 相互間の締め付けは、エレクトロマイグレーションがボイド 2 2 を生じさせる一因となる。図 2 A は、銅からなる場合のある従来型インターコネクタ 2 6 内のエレクトロマイグレーションの破損を示し、図 2 B は、ダイレクトハイブリッドボンディングプロセスにより改造された従来型インターコネクタ 2 6 の略図である。図 2 B では、2 つの素子 4 2 , 4 4 がボンディング表面 1 0 6 のところでダイレクトボンディングされた従来型インターコネクタ 2 6 が示されている。第 1 の素子 4 2 は、非導電層 5 6 内に設けられた下側導電層 6 2 を有する。従来型頂部バリア層 2 8 が下側導電層 6 2 上に設けられている。非導電バリア層 2 8 について以下にさらに説明する。第 2 の素子 4 4 ボンディングインターフェース 1 0 6 のところで第 2 の素子 4 2 にボンディングされている。第 2 の素子 4 4 の下側導電層 1 2 4 及び第 2 の素子 4 4 の接触構造体 1 3 0 を有し、第 2 の素子 4 4 の接触構造体 1 3 0 は、第 1 の素子 4 2 の上側導電層 1 0 0 に類似している。

20

30

【 0 0 2 5 】

ボイド 2 2 によって生じるかかる問題は、銅メタライゼーションには限定されない。したがって、種々の実施形態はこの場合、ボンデッド構造体の半導体素子の接触構造体内におけるエレクトロマイグレーション破損を減少させ、抑制し、又はなくするのがよい。ダイレクトハイブリッドボンディングプロセスにより形成されるボンデッド構造体内のエレクトロマイグレーションによる破損を軽減し又はなくすには、例えば、例えば別の（冗長な又は余分の）電流経路を提供することができる冗長なバリア及び構造体を形成するのがよい。上述したように、かかる冗長なバリア及び構造体は、高温用途、高電流密度用途においてより重要になり、金属インターコネクタ寸法が小さくなるにつれてそうである。

40

【 0 0 2 6 】

図 3 は、種々の実施形態としての半導体素子 5 2 の概略側面断面図である。半導体素子 5 2 は、半導体部分 5 4 を含むのがよい。半導体部分 5 4 は、半導体材料、例えばシリコン又は任意他の適当な半導体材料からなってもよい。半導体部分 5 4 は、1 つ又は多

50

数のデバイス、例えばアクティブデバイス（例えば、トランジスタ）、パッシブデバイス（例えば、抵抗器）などを含むのがよい。非導電層 56（例えば、非導電ボンディング層）が半導体部分 54 上に設けられるのがよく、この非導電層は、半導体素子 52 のボンディング表面 106 の部分を形成する上側非導電表面 114 を有するのがよい。非導電層 56 は、幾つかの実施形態では、誘電体からなるのがよい。例えば、非導電層 56 は、無機誘電体、例えば酸化シリコン、窒化シリコン、炭化シリコン、オキシ炭窒化シリコンなどからなるのがよく、この非導電層は、上述したように、上側非導電表面 114 のところに高い濃度の窒素又はフッ素を含むのがよい。幾つかの実施形態では、非導電層 56 は、半導体部分 54 上に設けられた複数の誘電体層を含む。他の実施形態では、非導電層 56 は、単一の誘電体層からなる。上側非導電表面 114 は、上述したように、第 2 の半導体素子 108（図 8 K に示す）にダイレクトボンディング可能に前処理されるのがよい。

【0027】

図 3 のメタライゼーション構造体は、電氣的に接続された上側接触構造体（例えば、上側導電層 100）と下側導電特徴部（例えば、下側導電層 62）を含む。下側導電層 62 は、上面 64（長さ 66 を有する）、下面 68 及び側面 70 を有するのがよい。下側導電層 62 の下面 68 及び側面 70 は、以下に説明する下側バリア層 78 と一線をなして内張りされるのがよい。図示の半導体素子 52 実施形態の上側導電層 100 は、非導電層 56 内に少なくとも部分的に埋め込まれるのがよい接触構造体を有するのがよく、この上側導電層は、半導体素子 52 のボンディング表面 106 の第 2 の部分を形成する上側接触面 116 を有するのがよい。幾つかの実施形態では、上述したように、上側接触面 116 は、ダイレクトボンディングに先立って、上側非導電表面 114 の下に引っ込められるのがよい。接触構造体は、第 1 の材料で形成されるのがよい。図示のように、接触構造体は、銅からなる上側導電層 100 を有するのがよい。図示の実施形態では、上側導電層 100 は、上側接触面 116 の比較的近くに位置する上側導電層 100 の部分が下側導電層 112 の比較的近くに位置する上側導電層 100 の部分よりも横方向に幅が広い構造体を含むデュアルダマシン構造体を有する。他の実施形態では、上側導電層 100 は、単一のダマシン構造体を有するのがよい。

【0028】

また、図 3 に示すように、半導体素子 52 は、接触構造体（例えば、上側導電層 100）の下に位置しかつこれに電氣的に接続された下側導電特徴部（例えば、下側導電層 62）を有するのがよい。下側導電層 62 は、種々の実施形態では、銅からなるのがよい。図示の実施形態では、下側導電層 62 は、非導電層 56 内に埋め込まれた再配線層（RDL）又はバックエンドオブライン（BEOL）層として働くことができる横方向トレースを有する。RDL は、他の回路及び / 又はビアと横方向に連絡することができる。

【0029】

図 3 の半導体素子 52 は、上側導電層 100 と下側導電層 62 との間に設けられたバリア層 74（「第 1 のバリア層」と別称する）を有するのがよい。バリア層 74 は、上側導電層 100 の第 1 の材料とは異なり、しかも以下に説明する第 2 及び第 3 のバリア層 86、96（第 3 のバリア層 96 は、図 9 D に示されている）の材料とも異なる第 2 の材料で作られるのがよい。第 1 のバリア層 74 の第 2 の材料は、従来型バリア材料、例えば TaN、WN などの熱抵抗率よりも低い熱抵抗率を有するのがよい（第 2 及び第 3 の層 86、96 の材料についての以下の説明を参照されたい）。具体的に言えば、第 1 のバリア層 74 の第 2 の材料の電気抵抗率は、 $20 \text{ } \Omega \cdot \text{cm}$ がかつ $1200 \text{ } \text{m}^2$ を超える融点で $80 \times 10^{-8} \text{ m}$ （例えば、 $60 \times 10^{-8} \text{ m}$ 未満）未満であるのがよい。幾つかの実施形態では、第 2 の材料の電気抵抗率は、 $20 \text{ } \Omega \cdot \text{cm}$ で $4.5 \times 10^{-8} \text{ m}$ から $20 \text{ } \Omega \cdot \text{cm}$ で $60 \times 10^{-10} \text{ m}$ までの範囲、又は $20 \text{ } \Omega \cdot \text{cm}$ で $4.5 \times 10^{-8} \text{ m}$ から $20 \text{ } \Omega \cdot \text{cm}$ で $30 \times 10^{-8} \text{ m}$ までの範囲にあるのがよい。幾つかの実施形態では、第 2 の材料の融点は、 $1200 \text{ } ^\circ\text{C}$ から $3600 \text{ } ^\circ\text{C}$ までの範囲にあるのがよい。

【0030】

種々の実施形態では、第 1 のバリア層 74 の第 2 の材料は、銅、アルファ タンタル、

六方窒化タンタル、コバルト、タングステン、バナジウム、モリブデン、及びニッケルのうちの少なくとも1つからなるのがよい。幾つかの実施形態では、第2の材料は、合金からなる。例えば、この合金は、リン酸コバルト タングステン (CWP)、リン酸コバルト (CoP)、3.5%未満のリンを含む低リンのリン酸ニッケル (NiP)、3.5%未満のリン及びタングステンを含む低リンかつ低タングステン (NiWP)、ニッケル タングステン (NiW)、チタン タングステン (TiW)、ニッケル バナジウム (NiV)、化学量論的ホウ化物及び非化学量論的ホウ化物のうちの少なくとも1つからなるのがよい。化学量論的ホウ化物は、ホウ化ニッケル (NiB, Ni₂B, Ni₃B) 及びホウ化コバルトを含むのがよい。幾つかの実施形態では、第2の材料は、合金と金属スタック、例えば、Ta₂N/Ta、TiN/Ti、TiW/Ti、TiW/Mo又はTiW/Coからなる。かかる場合、この合金は、金属素子のコーティングのためのシード層として働くことができる。合金シードの厚さは、2nmから20nmまで様々であってよく、金属素子の厚さは、25nmから1000nmまでの範囲にあるのがよい。幾つかの用途では、合金シードは、被覆金属素子の抵抗率を減少させるよう役立つことができ、例えば、薄膜Moの抵抗率は、20で約 $1.3 \sim 1.8 \times 10^{-8} \text{ m}$ である。TiWシード層の極めて薄い3nm被膜は、40%以上、Moオーバーコート抵抗率を減少させることができる。第2の材料についての追加の情報は、以下の表1に示されている。

10

【0031】

図3に示すように、第2のバリア層86が上側導電層100を収納したキャビティ98 (図8Fに示されている)の少なくとも一部分を内張りするよう設けられるのがよく、第2のバリア層86は、非導電層56と上側導電層100との間に配置される。かかる第2のバリア層86は、キャビティ98 (図8Fに示されている)側壁を内張りし、そして非導電層56 (例えば、酸化シリコンを主成分とする材料)中への上側導電層100 (例えば、銅)のバルクの拡散を阻止するのに役立つのがよい。この拡散阻止は、かかる拡散が他の導電特徴部との短絡という危険を冒す場合があるので有益であると言える。図示の第2のバリア層86もまた、上側導電層100の底部 (すなわち、下側導電層92の最も近くに位置する上側導電層100の下側ビア部分の底部)に沿って延びており、ただし、当業者であれば認識されるように、底部のないバリアライナもまた、当該技術分野において知られており、例えば図13Dに示されている。図示の実施形態では、第2のバリア層86は、上側導電層100の第1の材料及び第1のバリア層74の第2の材料とは異なる第3の材料からなる。例えば、図示の実施形態では、第3の材料は、金属窒化物、例えば窒化タンタルからなる。図示の実施形態では、第1のバリア層74の厚さ76は、第2のバリア層86の厚さ88よりも大きいのがよい。

20

30

【0032】

図3では、第1のバリア層74は、下側導電層62の上面64の長さ66に沿って設けられるのがよく、この長さ66は、上側導電層100の幅104よりも大きい。下側導電層62は、第1のバリア層74によってその上面64に沿ってかつ1つ以上の追加のバリア層によって下側導電層62の下面68及び側面70に沿って封入されるのがよい。図示の実施形態では、1つ以上の追加のバリア層は、下側導電層62を収容したキャビティを内張りする下側バリア層78を含む。下側バリア層78は、第1及び第2の材料とは異なる材料を含むのがよいが、第3の材料とは異なっていてもよく或いはこれと同種であってもよい。例えば、図示の実施形態では、下側バリア層78は、第2のバリア層86と同種の材料、例えば、金属窒化物、例えば窒化タンタル又は窒化チタンからなるのがよい。他の実施形態では、本明細書において説明したように、下側導電層62の下面68及び側面70に沿って位置する1つ以上の追加のバリア層は、第1のバリア層74の第2の材料と同種の材料からなるのがよい。

40

【0033】

図4A及び図4Bは、銅が非導電層56内に設けられたキャビティ内に入れられた従来型インターコネクタ26を示しており、キャビティは、従来型バリア層24、例えば窒化金属、例えば窒化タンタルで内張りされている。銅は、下側導電層62及び上側導電層1

50

00の各々を形成するのがよく、上側導電層100は、従来型バリア層24で少なくとも部分的に内張りされるのがよく、この従来型バリア層24は、下側導電層62に隣接して位置する従来型バリア層24と同種の材料、例えば金属窒化物、例えば窒化タンタルからなるのがよい。図4Aは、かかる従来型インターコネクタ26の略図であり、図4Bは、ポイドを含むかかる従来型インターコネクタ26内における電子の流れ方向20の略図である。図示のように、図4A及び図4Bでは、エレクトロマイグレーション（例えば、電流集中）は、電流が伝導率の高い材料（例えば、銅、これは、下側導電層62及び/又は上側導電層100の構成材料であるのがよい）から導電率の低い材料（例えば、従来型バリア層24）まで流れるときに、かつ/或いは幅の広い導電性の高い経路から幅の狭い抵抗率の高い経路まで流れるときに起こる場合がある。誘起されたエレクトロマイグレーションの応力は、ポイド22を作る場合があり、ポイドは、インターコネクタの電気的信頼性又は性能を低下させる場合がある。幾つかの実施形態では、下側導電層62の上面は、非導電層56の被覆に先立って、中間層誘電体（図示せず）、例えばSiNで被覆されるのがよい。中間層誘電体被覆は、下側導電層62の上面への非導電層56の付着具合を高める。

10

【0034】

これとは対照的に、図4C及び図4Dに示すように、種々の実施形態としての半導体素子52では、バリア層74の第2の材料は、有益には、低い熱抵抗率及び高い融点を有するよう選択されるのがよく、それにより、エレクトロマイグレーション及びポイド22の発生の恐れを減少させることができる。図4C及び図4Dは、非導電層56を有する半導体素子52を示しており、下側導電層62及び上側導電層100は、非導電層56内に少なくとも部分的に埋め込まれている。従来型バリア層24は、上側導電層100と非導電層56との間に設けられるのがよく、従来型バリア層24は、非導電層56内に少なくとも部分的に埋め込まれる。そして、もう1つの従来型バリア層24は、下側導電層62の下面68又は側面70のうちいずれか一方又は各々を内張りするのがよい。

20

【0035】

さらに図4C及び図4Dを参照すると、エレクトロマイグレーション応力が取り込まれた場合であっても、第1のバリア層74は、上側導電層100と下側導電層62との間の冗長な電気経路として作用することができ、それにより開路を回避し、それにより電気的接続及び電気的安定性を高めることができる。図4Dに示すように、ポイド22が上側導電層100の近くで下側導電層62内に生じる場合があったとしても、電子の流れ方向20は、妨げられることなく、と言うのは、電子は、導電性の第1のバリア層74に沿って依然として流れることができるからである。

30

【0036】

図5A～図5Cは、ダイレクトボンDED構造体50の実施例を提供しており、冗長な電流経路が金属製の第1のバリア層74、126の形態をしている。図5A～図5Cは、第1の半導体素子52がボンディング表面106に沿って第2の半導体素子118にボンディングされるのがよいボンDED構造体50を示している。具体的に説明すると、図5A～図5Cは、第1の半導体素子52の非導電層56が対向した第2の半導体素子118の第2の非導電層122にダイレクトボンディングされ、第1の半導体素子52の導電層100が第2の半導体素子118の接触構造体130にダイレクトボンディングされたボンDED構造体50を示している。非導電層56、122は、第1の半導体素子52の上側非導電表面114を第2の半導体素子118の上側非導電表面128にボンディングすることによってダイレクトボンディングされるのがよい。そして、第1の半導体素子52の上側導電層100は、第1の半導体素子52の上側接触面116を第2の半導体素子118のその対応の表面にボンディングすることによって第2の半導体素子118の接触構造体130にボンディングされるのがよい。

40

【0037】

図5A～図5Cは、第1及び第2の半導体素子52、118は、ボンディング表面106に沿ってダイレクトボンディングされた状態で示されている。第1の半導体素子52と

50

第2の半導体素子118は、ほぼ同じ部品を有するのがよい。第1の半導体素子は、下側バリア層78及び第1のバリア層74によって封入された下側導電層62、ならびに第2のバリア層86によって少なくとも部分的に内張りされた上側導電層100を有するのがよく、第2の半導体素子118は、第2の半導体素子118の下側バリア層132及び第1のバリア層126によって封入された第2の下側導電層124、ならびに第1の半導体素子52の第2のバリア層86とほぼ同じであるのがよい第2のバリア層によって少なくとも部分的に内張りされた第2の半導体素子118の接触構造体130を有するのがよい。図示のように、第1の半導体素子52の上側導電層100は、接触構造体、例えばシングル及び/又はデュアルダマシン構造体を有するのがよく、第1のバリア層74(第2の材料からなる)は、冗長な電流経路を提供することができる。図5A~図5Cの各々では、第1の半導体素子52の第1のバリア層74は、底部の冗長な電流経路を提供し、第2の半導体素子118の第1のバリア層126は、頂部の冗長な電流経路を提供する。第2の半導体素子118の第1のバリア層126は、本明細書において説明している第2の材料からなるのがよい。

10

【0038】

図5Aは、デュアルダマシン特徴部を含む2つのダイレクトボンデッド半導体素子52, 118の略図である。図5Bは、シングル及びデュアルダマシン特徴部を含む2つのダイレクトボンデッド半導体素子52, 118の略図である。図5Cは、シングル特徴部を含む2つのダイレクトボンデッド半導体素子52, 118の略図である。

表1: 第2の材料の一部として使用できる例示の材料(*で)で示されている)

20

材料特性	Cu	Co*	W*	V*	Ni*	Ta	Ti.
抵抗率(20°Cにおける $\rho 10^{-8}m\Omega$)	1.8-2.0	6.2	5.6	19.7	7	200-350	40
熱膨張率($\times 10^{-6}K^{-1}$)	17	13	4.5	8.3	13.4	6.3	8.6
ヤング率 (GPa)	130	209	340	125	200	186	116
融点(°C)	1084.6	1495	3410	1735	1455	3017	1668

30

【0039】

表1は、例えば第1のバリア層74, 126のために使用できる第2の材料の例を示している。かかる材料は、表1において、アスタリスク(*)付きで示されている。表1では、一般的に言って、材料が低い抵抗率(電氣的損失を減少させるために)、低い熱膨張率、及び高い融点を有することが望ましい。例示の材料としては、Co、W、V、Ni、例えばCWP、CoP、NiP、NiWもしくはNiVのような合金、又は積層板、例えばTiW/Co、TiW/Mo、TaN/Ta、TaN/Ti、TiN/Taなどが挙げられる。ラミネートを使用すると、例えば、例えば欠陥密度を減少させることによって電気抵抗率を減少させることができる。表1に示すエレクトロマイグレーション抵抗に関する例示の基準は、高い融点及び低い抵抗率(すなわち、高い導電率)である。望ましくは、導電率は、従来型の第2のバリア層86と比較して、第1のバリア層74の厚さ76を増大させることによってさらに向上する。例えば、第1のバリア層74の厚さ76は、第2のバリア層86の厚さ88の約1.5倍~約4倍であり、特に、第2のバリア層86の厚さ88の約2倍~約8倍(例えば、100~150nmに対して5~50nm)であるよう選択されるのがよい。幾つかの実施形態では、第1のバリア層74の厚さ76は、10nmから150nmまでの範囲、又は100nmから150nmまでの範囲にあるのがよい。第2の材料の厚さ(100~150nm)は、第2のバリア層86の側壁バリアの厚さ88(Ta又はTi)(5~50nm)の少なくとも2~3倍であるのがよい。

40

50

【 0 0 4 0 】

図 6 では、導電層 6 2 は、低い抵抗率（例えば、 $10 \times 10^{-8} \text{ m}$ 未満）を有する金属、例えば銅からなるのがよく、第 1 のバリア層 7 4 は、上述したように 1 つ以上の第 2 の材料からなるのがよく、これもまた、低い抵抗率（例えば、 $100 \times 10^{-8} \text{ m}$ 未満）及びさらに高い融点（例えば、 1200 を超える）を有する。図 6 における第 1 のバリア層 7 4 の使用により、図 5 A ~ 図 5 C のボンデッド構造体 5 0 のための電氣的冗長性を提供することができ、しかも導電層 6 2 を少なくとも部分的に埋め込むことができる周囲の非導電層 5 6 中への導電層 6 2 内からの金属原子のエレクトロマイグレーションの影響を阻止し又は軽減するのを助けることができる。また、理解されるべきこととして、図 6 は、第 1 のバリア層 7 4 は、水平層であることには限定されず、幾つかの実施形態では、第 1 のバリア層 7 4 は、垂直の層であってもよい。

10

【 0 0 4 1 】

図 7 A ~ 図 7 H は、従来型ボンディング層及び接触構造体を含む従来型インターコネクタ 2 6 を作製するプロセスの流れを示している。図 7 A では、非導電層 5 6 を半導体部分 5 4 上に設けるのがよく、RDL 又は BEOL トレースキャピティ 6 0 を非導電層 5 6 内に形成するのがよい。図 7 B では、従来型バリア層 2 4（例えば、金属窒化物、例えば、 TaN ）及び下側導電層 6 2（例えば、銅）をキャピティ 6 0 内に設けるのがよい。図 7 C では、下側導電層 6 2 の過剰の金属を除去し、非導電層 5 6 を CMP 法によって平坦化するのがよい。図 7 D では、従来型非導電層 2 8（例えば、 SiN ）、これは、例えば厚さが $30 \sim 100 \text{ nm}$ であるのがよい）を下側導電層 6 2 に被着させるのがよい。図示していないが、従来型非導電層 2 8 を非導電層 5 6 の表面全体にわたってブランケット堆積させるのがよく、それにより、かかる層は、下側導電層 6 2 の長さを超えて延びる。図 7 D はまた、厚い誘電体層 3 0 を従来型非導電層 2 8 上にコーティングすることができるということを示している。厚い誘電体層 3 0 はまた、非導電層 5 6 上にコーティングすることができる。この用途全体を通じ、該当する場合には、厚い誘電体層 3 0 及び非導電層 5 6 を別々の部品として圧密化された非導電層 5 6 であるかのいずれかとして説明することができる。別言すると、該当する場合、「非導電層 5 6」は、下側導電層 6 2（図 7 C に示されている）と同一レベルのところ、もしくはその下に位置する非導電層 5 6 のまさにその部分が、又は図 7 D の厚い誘電体層 3 0 のコーティングの結果として生じる大きな非導電層 5 6 かのいずれかを指す場合がある。さらに別言すると、非導電層 5 6 は、ある幾つかの実施形態では、単一の誘電体層を有するものとして、他方、他の実施形態では、複数の誘電体層を含むものとして本明細書に説明してあることは理解されよう。幾つかの実施形態では、厚い誘電体層 3 0 は、平坦化されるのがよい。図 7 E では、開口部 3 2 を厚い誘電体層 3 0 及び従来型非導電層 2 8 に形成して下側導電層 6 2、例えば RDL 又は BEOL 層を露出させるのがよい。図 7 F では、もう 1 つの従来型バリア層 2 4 を下側導電層 6 2 上を覆って開口部 3 2 内に設けるのがよい。図 7 G では、上側導電層 1 0 0（例えば、銅）を従来型バリア層 2 4 上を覆って設けるのがよい。上側導電層 1 0 0 は、下側導電層 6 2 に電氣的に接触すると共に厚い誘電体層 3 0 の開口部 3 2 を埋めるのがよい。図 7 H では、上側導電層 1 0 0 及び厚い誘電体層 3 0 を平坦化すると、従来型インターコネクタ 2 6 及び滑らかで平坦なボンディング表面 1 0 6 を備えたボンディング層を形成することができる。図 7 H のボンディング表面 1 0 6 を洗浄し、前処理し、活性化し、そしてボンディングすると、エレクトロマイグレーション欠陥なしで図 4 A の構造体に類似した構造体を形成することができる。

20

30

40

【 0 0 4 2 】

図 8 A ~ 図 8 K は、種々の実施形態に従って、構成要素としての導電層 6 2、1 0 0 及びバリア層 7 4、7 8、8 6 を備えた半導体素子 5 2 を作製するプロセス流れを示すと共に 2 つの半導体素子 5 2、1 1 8 を有するボンデッド構造体 5 0 をどのように作製するかを示している。図 8 A では、非導電層 5 6 を半導体部分 5 4 上に設けるのがよく、RDL 又は BEOL トレースキャピティ 6 0 を非導電層 5 6 内に形成するのがよい。このステップを図 7 A に示すステップとほぼ同じ仕方で完了させることができる。図 8 B では、下側

50

バリア層 7 8 及び下側導電層 6 2 (例えば、銅) をキャビティ 6 0 内に設けるのがよい。図示の実施形態では、下側バリア層 7 8 は、従来型バリア層 2 4 の材料、例えば金属窒化物、例えば TaN 又は TiN からなるのがよい。他の実施形態では、本明細書において説明したように、下側バリア層 7 8 は、第 1 のバリア層 7 4 の第 2 の材料からなるのがよい。図 8 C では、過剰の金属及び非導電層 5 6 を平坦化するのがよく、当初下側バリア層 7 8 上で停止させ、次に、下側バリア層 7 8 を非導電層 5 6 上から除去する。図 8 C に示すような幾つかの実施形態では、下側導電層 6 2 の頂面の定められた部分を例えば湿式エッチング法によって選択的に除去するのがよい。定められた部分の厚さは、例えば、27 nm から 300 nm までの範囲にあるのがよい。下側導電層 6 2 は、上面 6 4 (これは、長さ 6 6 を有する)、下面 6 8、及び側面 7 0 a, 7 0 b を有するのがよい。下側導電層 6 2 の下面 6 8 及び側面 7 0 a, 7 0 b は、下側バリア層 7 8 で内張りされるのがよい。図 8 C 1 では、第 2 の材料からなる第 1 のバリア層 7 4 を非導電層 5 6 及び残りの下側導電層 6 2 に被着させるのがよい。第 1 のバリア層 7 4 を化学機械研磨 (CMP) 法によって導電層 5 6 上から選択的に除去して図 8 D の構造体を形成するのがよい。他の実施形態では、図 8 D のように、第 2 の材料からなる第 1 のバリア層 7 4 を下側導電層 6 2 に選択的に被着させるのがよい。第 1 のバリア層 7 4 は、下側バリア層 7 8 の厚さ又は第 2 のバリア層の厚さよりも大きい厚さ 7 6 を有するのがよい。様々な技術、例えばダマシン処理 (下側導電層 6 2 を引っ込み、第 2 の材料を堆積させ、そして研磨する)、ブランケット堆積、マスキングとエッチング、及び選択的堆積法を用いて第 1 のバリア層 7 4 をパターンニングし、それにより下側導電層 6 2 を覆って位置することができるようにする。図 8 E では、もう 1 つの非導電層 5 6 a (半導体部分 5 4 上に設けられた非導電層と一緒に単一のアイテムとして符号 5 6 で別称する) を下側導電層 6 2 に被着させるのがよい。図 8 E では、下側導電層 6 2 をその下面及び側面 7 0 a, 7 0 b (図 8 C に示されている) を内張りする下側バリア層 7 8 と、その上面 6 4 (図 8 C に示されている) の長さ 6 6 を内張りする第 1 のバリア層 7 4 の組み合わせによって封入するのがよい。幾つかの実施形態では、薄い中間層としての非導電層 (図示せず)、例えば SiN を非導電層 5 6 a のコーティングに先立って、基板を覆ってコーティングするのがよい。薄い中間層としての非導電層は、非導電層 5 6 a を下側導電層 6 2 に結合するのを助けることができる。

10

20

【0043】

幾つかの実施形態実施形態では、非導電層 5 6 を平坦化するのがよい。非導電層 5 6 の上側非導電表面 1 1 4 (これは、ボンディング表面 1 0 6 (図 8 K に示されている) の一部分を形成することになるは、上述したように、無機半導体又は誘電体であるのがよい。図 8 F では、キャビティ 9 8 を第 1 のバリア層 7 4 まで延びるよう非導電層 5 6, 5 6 a 内に形成するのがよい。図 8 G では、第 2 のバリア層 8 6 を第 1 のバリア層 7 4 を覆ってキャビティ 9 8 内に設けるのがよい。図示の実施形態では、第 2 のバリア層 8 6 は、本明細書において説明した第 2 の材料のうちの任意のもの、例えばコバルト合金、ニッケル合金などからなるのがよい。第 1 及び第 2 のバリア層 7 4, 8 6 は、幾つかの実施形態において同種の材料 (例えば、コバルト合金、ニッケル合金など) からなるのがよい。他の実施形態では、第 1 及び第 2 のバリア層 7 4, 8 6 は、異種材料からなるのがよい (例えば、第 1 のバリア層 7 4 は、コバルト合金からなるのがよく、第 2 のバリア層 8 6 は、ニッケル合金からなるのがよく、或いはこの逆の関係が成り立つ)。例えば図 4 C 及び図 4 D に示す構造体のようなさらに別の実施形態では、第 1 のバリア層 7 4 は、第 2 の材料のうちの任意のもの (例えば、コバルト合金、ニッケル合金など) からなるのがよく、第 2 のバリア層 8 6 は、従来型バリア層 2 4 の材料、例えば第 3 の材料、例えば金属窒化物、例えば窒化タンタル又は窒化チタンからなるのがよい。図 8 H では、上側導電層 1 0 0 (例えば、銅) を第 2 のバリア層 8 6 に被着させるのがよい。図 8 I では、上側導電層 1 0 0 及び非導電層 5 6 を平坦化して半導体素子 5 2 を形成するのがよい。図 8 I 1 は、変形例実施形態を示している。図 8 I に示すように、第 2 のバリア層 8 6 は、第 1 のバリア層 7 4 の頂部に接触することができるが、図 8 I 1 に示すように、第 2 のバリア層 8 6 は、第 1 のバリア層 7 4 中に延びるのがよく又は第 1 のバリア層 7 4 を通って下側導電層 6 2 ま

30

40

50

でずっと延びるのがよい。当業者であれば注目されるように、これらの変形例の任意のものにおいて、第1のバリア層74は依然として、電流が流れることができる冗長な経路として働く。図8I1では、第1のバリア層74を第2のバリア層86及び/又は上側導電層100の幾つかの部分周りに設けるのがよい。

【0044】

図8Jを参照すると、半導体素子54のボンディング表面106を形成するのがよい。例えば、ボンディング表面106を上述したように活性化すると共に/或いは末端基化するのよい。半導体素子52のボンディング表面106は、少なくとも、非導電部分(例えば、上側非導電表面114)及び導電部分(例えば、上側接触面116)を含むのがよい。上側非導電表面114は、非導電層56の活性化表面であるのがよく、上側接触面116は、上側導電層100の露出表面であるのがよい。

10

【0045】

図8Kでは、ボンデッド構造体50を形成するには、半導体素子52を介在する接着剤なしで第2の半導体素子118にダイレクトボンディングするのがよい。図8Kに示すように、幾つかの実施形態では、各半導体素子52, 118の下側導電層62, 124を1つ以上のバリア層(例えば、第1のバリア層74, 126及び下側バリア層78, 132を含む)によって封入するのがよい(例えば、完全に包囲するのがよい)。本明細書において説明したように、下側バリア層78, 132は、従来型バリア層24の材料、例えばTa又はTa_Nからなるのがよい。他の実施形態では、下側バリア層78, 132は、第1のバリア層74, 126と同種の材料、例えば本明細書において説明した第2の材料のうちの一つからなるのがよい。各半導体素子52, 118は、半導体部分54, 120をさらに有し、半導体部分54, 120は、半導体材料、例えばシリコンからなるのがよい。第1の半導体素子52と第2の半導体素子118は、ボンディング表面106のところでボンディングされる。第1の半導体素子52の上側非導電表面114を本明細書において説明したように、第2の半導体素子118の第2の上側非導電表面128にダイレクトボンディングするのがよい。上側非導電表面114は、第1の半導体素子52の非導電層56の活性化表面であるのがよく、第2の上側非導電表面128は、第2の半導体素子118の第2の非導電層122の活性化表面であるのがよい。加うるに、半導体素子52, 118の導電部分 第1の半導体素子52の上側導電層100及び第2の半導体素子118の接触構造体130 を互いにダイレクトボンディングするのがよい。接触構造体(例えば、第1の半導体素子52の上側導電層100及び第2の半導体素子118の接触構造体130)は、バリア層(例えば、第2のバリア層86)によって少なくとも部分的に内張りされるのがよい。

20

30

【0046】

図9A~図9Eは、種々の実施形態に従って、構成要素としての導電層62, 92, 100及びバリア層74, 78, 86を備えた半導体素子52を作製するプロセス流れを示している。図9Eに示す半導体素子52の実施形態は、図8Iに示す半導体素子とほぼ同じであるが、図9Eに示す半導体素子52は、上側導電層62と下側導電層100との間に追加の導電層(例えば、中間導電層92)及び追加のバリア層(例えば、第3のバリア層96)を有する。

40

【0047】

図9Aに示すように、半導体素子52は、半導体部分54上に設けられた非導電層56を有するのがよい。下側導電層62が非導電層56内に埋め込まれるのがよく、この下側導電層は、少なくとも1つのバリア層(例えば、第1のバリア層74及び下側バリア層78)によって封入されるのがよい。第2のバリア層86が第1のバリア層74上に設けられるのがよく、このステップは、図8Gに示すステップとほぼ同じである。図9Aでは、中間導電層92(例えば、コバルト、ニッケル、又はタングステン)を第1のバリア層74の上方に設ける。図示の実施形態では、下側バリア層78、第1のバリア層74、及び第2のバリア層86は、本明細書において開示した第2の材料のうち任意のものからなっているがよい。下側バリア層78、第1のバリア層74、及び第2のバリア層86の処

50

方は、同一であってもよく、ほぼ同一であってもよく、或いは互いに異なってもよい。

【0048】

図9Bを参照すると、中間導電層92の制御された部分を選択的に除去することによって開口部又は制御された凹部93を中間導電層92内に形成するのがよい。制御凹部93は、例えば、湿式法によって形成されるのがよく、そして例えば50nm~500nmの深さまで引っ込められるのがよい。図9Cでは、頂部封入層を有する第3のバリヤ層96を残りの中間導電層92上に形成するのがよい。第3のバリヤ層96は、本明細書において説明した第2の材料のうちの任意のものからなっていてよい。第3のバリヤ層96は、下側バリヤ層78、第1のバリヤ層74、及び/又は第2のバリヤ層86に用いられた第2の材料と同種であり又はこれとは異なる第2の材料で形成されてもよい。図9Dを参照すると、上側導電層100（例えば、銅、銅亜鉛合金、銅カドミウム合金、銅錫合金、銅コバルト合金、111銅）を第2のバリヤ層86及び第3のバリヤ層96上に例えば物理蒸着法、無電解めっき又は電解めっきにより被着させるのがよい。

10

【0049】

図9Eは、構成要素として導電層62, 92, 100及びバリヤ層74, 78, 86, 96を備えた半導体素子52を示している。図9Eでは、平坦化プロセスを用いて過剰の導電材料を上側導電層100から除去するのがよく、そしてまた、平坦化プロセスは、非導電層56の上に位置する望ましくない第2のバリヤ層86を除去するのがよい。中間導電性層92上の残りの上側導電層100は、第3のバリヤ層96上のボンディング表面106の一部分を形成する接触構造体として働くことができる。接触構造体（例えば、上側導電層100）は、容易に平坦化し又は研磨することができ、そしてダイレクトハイブリッドボンディングで使用できる銅、銅合金、又は他の合金材料からなるのがよい。有益には、図9Eの接触構造体（例えば、上側導電層100）は、第2の半導体素子118（図5A~図5Cに示されている）の接触構造体130に結合するボンディング表面106として働くことができる。上側導電層100は、ボンディング材料として働くことができる。さらに、上側導電層100の厚さ102は、中間導電層92の厚さ94及び下側導電層62の厚さ67のうち的一方又は両方よりも小さいのがよい。多数のバリヤ層74, 78, 86, 96は各々、本明細書において説明した第2の材料のうちの1つ、例えばコバルト合金からなるのがよく、かくして、多数の冗長な経路を提供して例えばエレクトロマイグレーションから形成された任意のポイド22（図2A及び図2Bに示されている）周りの別の経路を提供することができ、他方、ボンディング表面106のところの接触構造体（例えば、上側導電層100）は、優れたダイレクトボンディング特性を提供する。当業者であれば理解されるように、接触構造体（例えば、上側導電層100）は、上側接触面116が非導電層56の上側非導電表面114の下に位置するよう引っ込められるのがよい。これにより、接触構造体は、非導電材料が当初ボンディングした後、膨張して異なる素子上のもう1つの接触構造体と金属-金属接触することができるようになっており、例えば、本明細書において開示したように室温で、圧力を加えることなく、共有結合を形成することができる。換言すると、接触構造体（例えば、上側導電層100）は、上記において詳細に説明したようにハイブリッドダイレクトボンディングプロセス可能にボンディング表面106を前処理する仕方として、上側非導電表面114の下に引っ込められるのがよい。

20

30

40

【0050】

図9Eに示す実施形態は、従来型構造体（例えば、図4Aに示す構造体）と比較して利点を提供する。第2の材料（例えば、Co合金）は、導電層中の材料（例えば、銅）が万一、欠陥のある状態になったとしても、冗長な導通経路として働く。加うるに、銅が第2の材料（例えば、Co合金）内に封入されると、これは、高い耐ストレスマイグレーション性及び耐エレクトロマイグレーション性を示す。さらに、バリヤ層の第2の材料（例えば、Co合金）は、導電層62, 92, 100の銅中に拡散することができ、それにより、半導体素子52のインターコネクションの信頼性がさらに高められる。

50

【 0 0 5 1 】

図 1 0 は、種々の実施形態としての半導体層 5 2 のもう 1 つの実施形態を示している。他の実施形態と同様、図 1 0 に示す半導体素子 5 2 は、半導体部分 5 4 及び半導体部分 5 4 上に設けられた非導電層 5 6 を有するのがよい。半導体素子 5 2 は、非導電層 5 6 の上側非導電表面 1 1 4 及び接触構造体 9 9 の上側接触面 1 1 6 を含むボンディング表面 1 0 6 を有するのがよい。接触構造体 9 9 (図 9 E に示す上側導電層 1 0 0 と同様) は、本明細書において説明した第 1 の材料、例えば銅からなるのがよい。図 1 0 では、半導体素子 5 2 は、接触構造体 9 9 の下に位置しかつこれに電氣的に接続された導電バリヤ材料 9 1 からなるのがよい。接触構造体 9 9 は、導電バリヤ材料 6 1 の上側長さ全体にわたって延びるのがよい。導電バリヤ材料 9 1 は、本明細書において説明した第 2 の材料のうちの任意のものからなっていてよく、かかる第 2 の材料としては、合金 (例えば、C W P、C o P、N i P、N i W 又は N i V) 及びラミネート (例えば、T i W / C o、T i W / M o、T a N / T a、T a N / T i、T i N / T a など) が挙げられ、先の実施形態とは異なり、導電特徴部 (例えば、下側導電層 6 2、オプションとしての中間導電特徴部 9 2、及び上側導電層 1 0 0 を含み、これらの層は全て、図 9 E に示されている) のバルクは、接触構造体 9 9 を除き第 2 の材料で形成されている。例えば、導電バリヤ材料 6 1 は、2 0 で $5 0 \times 1 0^{-8} \text{ m}$ 未満の電気抵抗率及び 1 2 0 0 を超える融点を有するのがよい。幾つかの実施形態では、導電バリヤ材料 6 1 の電気抵抗率は、2 0 で $4.5 \times 1 0^{-8} \text{ m}$ から 2 0 で $5 0 \times 1 0^{-8} \text{ m}$ までの範囲にあるのがよい。幾つかの実施形態では、導電バリヤ材料 6 1 の融点は、1 2 0 0 を超えるのがよく、1 2 0 0 から 3 6 0 0 までの範囲にあるのがよい。図示の実施形態では、接触構造体 9 9 は、銅からなる。導電バリヤ材料 6 1 は、コバルト、タングステン、バナジウム、モリブデン、及びニッケルのうちの少なくとも 1 つからなるのがよい。種々の実施形態では、導電バリヤ材料 6 1 の物質は、接触構造体 9 9 中に拡散するのがよい。例えば、接触構造体 9 9 は、製造中、2 0 % 未満、又は 1 5 % 未満の導電バリヤ材料 6 1 からなるのがよいが、次に製品が用いられているときには 5 0 % を超える導電バリヤ材料 6 1 を含むことができる。一実施例として、銅接触構造体 9 9 は、製造時、2 0 % 未満、又は 1 5 % 未満のコバルトを含むのがよいが、次に、銅接触構造体 9 9 は、製品が用いられているときには 5 0 % を超えるコバルトを含むことができる。従来型構造体 (例えば、図 4 A に示す構造体) 上の図 1 0 に示す実施形態の一利点は、C o 及び N i 合金が純 C u と比較して、優れた耐熱性を示す。これにより、かかる材料は、例えば自動車、スイッチやリレーなどにおける高温用途に好適になる。

【 0 0 5 2 】

図 1 0 では、接触構造体 9 9 の厚さ 1 0 1 は、導電バリヤ材料 6 1 の厚さ 6 3 よりも小さいのがよい。例えば、導電バリヤ材料 6 1 の厚さ 6 3 は、接触構造体 9 9 の厚さ 1 0 1 の少なくとも 2 倍であるのがよい。かくして、上側及び / 又は下側導電層 6 2、1 0 0、図 3 に示されている) のバルクは、すぐれた耐熱性を有すると共にエレクトロマイグレーションの感受性が減少した第 2 の材料からなり、これに対し、接触構造体 9 9 は、ダイレクトメタルボンディング、特に同等の低い温度でのハイブリッドダイレクトボンディングについて優れた特性が得られるよう高い銅含有量を備えている。当業者であれば理解されるように、接触構造体 9 9 の上側接触面 1 1 6 は、非導電層 5 6 の上側非導電表面 1 1 4 の下に位置するよう引っ込められるのがよく、その結果、接触構造体は、非導電材料が当初ボンディングした後、膨張して異なる素子上のもう 1 つの接触構造体と金属 金属接触することができるようになっており、例えば、本明細書において開示したように室温で、圧力を加えることなく、共有結合を形成することができる。換言すると、接触構造体 9 9 は、上記において詳細に説明したハイブリッドダイレクトボンディングプロセス可能にボンディング表面 1 0 6 を前処理する仕方として上側非導電表面 1 1 4 の下に引っ込められるのがよい。

【 0 0 5 3 】

図 1 1 は、第 1 及び第 2 の半導体素子 5 2、1 1 8 が接着剤なしで互いにダイレクトハ

イブリッドボンディングされたボンデッド構造体 50 を示している。図 11 の第 1 及び第 2 の半導体素子 52, 118 は、図 9 E に示す半導体素子 52 とほぼ同じ又は同一であるのがよい。半導体素子 52, 118 の両方は、半導体部分 54, 120 上に非導電層 56, 122 を有するのがよい。各非導電層 56, 122 は、上側非導電表面 114, 128 を有するのがよく、これら表面は、ボンディング表面 106 のところでダイレクトボンディングされるのがよい。さらに、各半導体素子 52, 118 は、下側導電層 62, 124 を有するのがよく、第 3 のバリア層 74, 126 が中間導電層 92 に連結された下側導電層 62, 124 の少なくとも一部分を内張りしている。下側導電層 62, 124 もまた、少なくとも 1 つのバリア層（例えば、下側バリア層 78, 132）で少なくとも部分的に内張りされるのがよい。加うるに、中間導電層 92 は、上側導電層 100 に連結された中間導電層 92 の少なくとも一部分を内張りした第 3 のバリア層 96 を有するのがよい。中間導電層 92 は、他の全ての側部が第 2 のバリア層 86 で少なくとも部分的に内張りされるのがよい。最後に、第 1 の半導体素子 52 の上側導電層 100 は、第 2 の半導体素子 118 の接触構造体 130 にダイレクトボンディングされるのがよい。

10

【0054】

図 12 は、第 1 及び第 2 の半導体素子 52, 118 が接着剤なしで互いにダイレクトハイブリッドボンディングされたボンデッド構造体 50 を示している。図 12 の第 1 及び第 2 の半導体素子 52, 118 は、図 10 に示す半導体素子 52 とほぼ同じ又は同一であるのがよい。半導体素子 52, 118 の両方は、半導体部分 54, 120 上に非導電層 56, 122 を有するのがよい。2 つの半導体素子 52, 118 は、ボンディング表面 106 のところで互いにダイレクトボンディングされるのがよい。本明細書において説明したように、第 1 の半導体素子 52 は、導電バリア材料 61 上に接触構造体 99 を有し、第 2 の半導体素子 118 は、導電バリア材料 61 a 上に接触構造体 99 a を有する。

20

【0055】

図 13 A ~ 図 13 D は、半導体素子 52 を作製するもう 1 つのプロセス流れを示している。図 13 A ~ 図 13 D の方法は、図 8 F ~ 図 8 I に示す方法とほぼ同じであるのがよい。図 13 A は、半導体部分 54 上に非導電層 56 を示しており、下側導電層 62 が非導電層 56 内に埋め込まれる。下側導電層 62 は、上側導電層 100（図 13 C 及び図 13 D に示されている）に結合するようになっている下側導電層 62 の部分を除き、下側バリア層 78 によって封入されるのがよく、上側導電層 100 は、第 1 のバリア層 74 で内張りされている。図 13 A では、非導電層 56 の上側非導電表面 114 は、周囲の誘電体、例えばダイレクトハイブリッドボンディング可能に非導電層 56 への第 2 のバリア層 86 の付着具合を向上させるプラズマ 117 に暴露されるのがよい。幾つかの実施形態では、非導電層 56 内のキャビティの側壁もまた、第 2 のバリア層 86 の付着具合を向上させるようプラズマ 117 に暴露されるのがよい。第 1 のバリア層 74 の上面もまた、プラズマ 117 に暴露されるのがよい。プラズマは、種々の実施形態では、窒素又は酸素含有（例えば、水蒸気プラズマ）プラズマからなるのがよい。図 13 B では、第 2 のバリア層 86 が非導電層 56 上に設けられるのがよい。図 13 B は、底なしの第 2 のバリア層 86 を示しているが、当業者であれば理解されるように、第 2 のバリア層 86 は、変形例として、第 1 バリア層 74 を覆うことができる。図 13 C では、接触構造体（例えば、上側導電層 100）が第 1 及び第 2 のバリア層 74, 86 上に設けられるのがよい。図 13 D では、上側導電層 100 の過剰の金属（例えば、銅）を平坦化プロセスによって除去するのがよい。図 13 D では、平坦化プロセスは、全ての過剰な金属を上側導電層 100 から除去することができるが、第 2 のバリア層 86 上で停止することができ、かくして、第 2 のバリア層 86 の下に位置する非導電層 56 は暴露されない。半導体素子 52 の結果として生じるボンディング表面 106 は、いつでも別の半導体素子にダイレクトボンディング可能になっている。

30

40

【0056】

図 14 A 及び図 14 C は、本明細書において説明した例示の半導体素子 52 を示している。図 14 B は、図 14 A の半導体素子に類似した 2 つの半導体素子 52, 118 が互いに

50

にダイレクトハイブリッドボンディングされたボンデッド構造体 50 を示している。図 14 D は、図 14 C の半導体素子に類似した 2 つの半導体素子 52, 118 が互いにダイレクトボンディングされたボンデッド構造体 50 を示している。

【0057】

図 14 A ~ 図 14 D は全て、半導体素子 52, 118 を示しており、半導体素子 52, 118 は各々、半導体部分 54, 120 上に非導電層 56, 122 を有するのがよい。各半導体素子は、非導電部分（例えば、非導電層 56, 122 の上側非導電表面 114, 128）及び導電部分（例えば、上側接触面 116）を含むボンディング表面 106 を有するのがよい。図 14 B 及び図 14 D のボンディング構造体 50 は各々、本明細書において説明したように、半導体素子 52, 118 をボンディング表面 106 のところで互いにダイレクトハイブリッドボンディングすることによって形成されるのがよい。

10

【0058】

図 14 A では、上側接触面 116 は、上側導電層 100 の表面であるのがよい。本明細書においてさらに説明するように、上側導電層 100 は、第 3 のバリヤ層 96 上に設けられるのがよく、第 3 のバリヤ層 96 は、中間導電層 92 上に設けられるのがよく、中間導電層 92 は、第 1 のバリヤ層 74 上に設けられるのがよく、第 1 のバリヤ層 74 は、下側導電層 62 上に設けられるのがよい。第 1 又は第 3 のバリヤ層 74, 96 のいずれによっても内張りされていない中間導電層 92 の部分は、本明細書において説明したように、第 2 のバリヤ層 86 で内張りされるのがよい。図 14 B の半導体素子 52, 118 の両方は、図 14 A に示した半導体素子とほぼ同じ又は同一であるのがよい。半導体素子 52, 118 の両方は、下側導電層 62, 124、第 1 のバリヤ層 74, 126、中間導電層 92, 92 a、第 2 のバリヤ層 86、第 3 のバリヤ層 96、及び接触構造体（例えば、第 1 の半導体素子 52 の上側導電層 100 及び第 2 の半導体素子 118 の接触構造体 130）を有するのがよい。

20

【0059】

図 14 C では、上側接触面 116 は、接触構造体 99 の表面であるのがよい。図 14 D の半導体素子 52, 118 の両方は、図 14 C に示す半導体素子とほぼ同じ又は同一であるのがよい。半導体素子 52, 118 の両方は、導電バリヤ材料 61, 61 a（幅 63 を備える）上に設けられた接触構造体 99, 99 a（厚さ 101）を備えているのがよい。

【0060】

図 15 A 及び図 15 B は、ボンデッド構造体 50 を示しており、ボンデッド構造体 50 の少なくとも 1 つの半導体素子 52 は、基板貫通ビア（TSV）110 を有する。図 15 A と図 15 B の両方は、本明細書において説明したように、半導体素子 52, 118 をボンディング表面 106 のところで互いにダイレクトハイブリッドボンディングされることによって形成されるのがよいボンデッド構造体 50 を示している。図 15 A は、図 11 と類似しているが、図 15 A に示すボンデッド構造体 50 は、TSV 110 及び TSV バリヤ 112 を有するのがよい。図 15 B は、図 12 に類似しているが、図 15 B に示すボンデッド構造体 50 は、TSV 110 を有するのがよい。

30

【0061】

図 15 A の半導体素子 52, 118 の両方は、図 11 に記載した以下の部材を有するのがよく、すなわち、下側バリヤ層 78, 132、下側導電層 62, 124、第 1 のバリヤ層 74, 126、中間導電層 92, 92 a、第 2 のバリヤ層 86、第 3 のバリヤ層 96, 96 a、接触構造体（例えば、第 1 の半導体素子 52 の上側導電層 100 及び第 2 の半導体素子 118 の接触構造体 130）、非導電層 56, 122、及び半導体部分 54, 120 である。しかしながら、図 11 と異なり、図 15 A は、TSV 110 及び TSV バリヤ 112 を示している。図 15 A では、TSV 110 は、下側導電層 62 に電氣的に接続されると共に半導体素子 52 の半導体部分 54 を貫通した導電材料（例えば、銅）からなるのがよい。TSV バリヤ層 112 は、TSV 110 を内張りするのがよい。図示の実施形態では、TSV バリヤ層 112 は、本明細書において説明した第 2 の材料からなるのがよく、この第 2 の材料は、高導電率を提供すると共に、エレクトロマイグレーションによ

40

50

る破損を減少させ、又はなくすることができる。有益には、コバルト又はニッケル合金をTSVバリア層112の構成材料として用いることは、冗長な電流経路及び導電層として作用する。

【0062】

図15Bの半導体素子52, 118の両方は、図12に記載した以下の部材を含むのがよく、すなわち、接触構造体99, 99a、導電バリア材料61, 61a、非導電層56, 122、及び半導体部分54, 120である。しかしながら、図12とは異なり、図15Bは、TSV110を示している。図15Bでは、TSV110は、大部分が第2の材料からなっているのがよい(例えば、実質的に第2の材料だけからなるのがよい)。

【0063】

図16は、内側マンガンバリア層108を有するのがよい半導体素子52のもう1つの実施形態を示している。他の実施形態と同様、図16の半導体素子52は、半導体部分54上に非導電層56を有する。図15Aと同様、図16は、下側導電層62が非導電部分56内に埋め込まれるのがよく、しかもTSV110及びTSVバリア層112によって半導体部分54に電氣的に接続されるのがよいことを示している。図16では、第2の材料(例えば、コバルト、コバルト合金、ニッケル合金)で形成されたバリア層74は、下側バリア層62の少なくとも一部分を内張りすることができ、しかも非導電層56の上面まで垂直に延びるのがよい。内側マンガンバリア層108は、第2の材料で作られたバリア層74に隣接して設けられるのがよい。内側マンガンバリア層108は、接触構造体を収納したキャビティの少なくとも一部分を内張りすることができ、バリア層74は、マンガ

【0064】

高いボンディング温度では、マンガンバリア層108は、高温ボンディング作業後に半導体素子52の耐エレクトロマイグレーション性を向上させるよう接触構造体(例えば、上側導電層100及び/又は中間導電層92)もしくはバリア層74又はこれら両方と合金を作るのがよい。Mnは別として、他の金属又は金属合金は、接触構造体、(例えば、上側導電層100)の耐エレクトロマイグレーション性を向上させることができ、例えば、インジウム、ガリウム、錫及びこれらのそれぞれの合金は、バリア層74と接触構造体(例えば、上側導電層100及び/又は中間導電層92)との間に設けられた内側バリア層108として被着されるのがよい。幾つかの実施形態では、内側マンガンバリア層108の厚さは、接触構造体(例えば、上側導電層100)の厚さよりも薄いのがよい。また、幾つかの実施形態では、高温ボンディング作業後、内側マンガンバリア層108の材料を接触構造体(例えば、上側導電層100及び/又は中間導電層92)とバリア層74との間に分散させる(これらの中に拡散させる)のがよい。

【0065】

図17Aは、図15Bに示したボンデッド構造体に類似したボンデッド構造体50を示している。このボンデッド構造体のコンポーネントは、同一であるのがよい。図17Aは、図15Bに極めて良く似ているように見えるが、図17Aは、180°回転してある。これにより、これらの図が例示であることを意図しており、本発明を限定するものではないことが強調されている。図17Aに示すように、一例として、第1の半導体素子52は、第2の半導体素子118の上方に物理的に位置する半導体素子であるのがよい。これは、本明細書において開示する全ての実施形態について当てはまる。

【0066】

図17Bは、2つの半導体素子52, 118をボンディング表面106に沿ってダイレクトボンディングすることによって形成できるボンデッド構造体50の異なる実施形態を示している。図17Bは、図14Bに類似したボンデッド構造体50を示している。各半導体素子52, 118は、他の半導体素子と同一であるのがよい。各半導体素子52, 118は、半導体部分54, 120上に非導電層56, 122を有するのがよく、各非導電

10

20

30

40

50

層 5 6 , 1 2 2 は、ボンディング表面 1 0 6 に沿って上側非導電表面 1 1 4 , 1 2 8 を有するのがよい。各半導体素子 5 2 , 1 1 8 は、非導電層 5 6 , 1 2 2 内に少なくとも部分的に埋め込まれると共に実質的にボンディング表面 1 0 6 に沿う表面を備えた接触構造体（例えば、第 1 の半導体素子 5 2 の上側導電層 1 0 0 及び第 2 の半導体 1 1 8 の接触構造体 1 3 0 ）を有する。ボンディング表面 1 0 6 に沿う接触構造体の部分（例えば、第 2 の半導体素子 5 2 の上側導電層 1 0 0 及び第 2 の半導体 1 1 8 の接触構造体 1 3 0 ）を除き、接触構造体の他の全ての表面は、バリヤ層 7 4 , 1 2 6 で内張りされるのがよい。別言すると、バリヤ層 7 4 , 1 2 6 は、接触構造体（例えば、第 1 の半導体素子 5 2 の上側導電層 1 0 0 及び第 2 の半導体素子 1 0 8 の接触構造体 1 3 0 ）のトレンチを内張りするのがよい。これらバリヤ層 7 4 , 1 2 6 は、本明細書において開示した任意の第 2 の材料からなっていてよい。また、最後に、各半導体素子 5 2 , 1 1 8 は、バリヤ層 7 4 , 1 2 6 に連結されると共に、非導電層 5 6 , 1 2 2 内に少なくとも部分的に埋め込まれた下側導電層 1 2 4 を有するのがよい。この実施形態では、本明細書に開示した他のもの全ての場合と同様、本明細書において説明した第 2 の材料（上記の表 1 を参照されたい）からなるバリヤ層 7 4 , 1 2 6 が設けられていることにより、エレクトロマイグレーションと関連した問題が軽減される。

10

【 0 0 6 7 】

図 1 7 C は、図 1 6 に類似した半導体素子 5 2 を示している。半導体素子 5 2 は、内側マンガンバリヤ層 1 0 8 と T S V バリヤ 1 1 2 で内張りされた T S V 1 1 0 の両方を有するのがよい。有益には、コバルト又はニッケル合金を T S V バリヤ層 1 1 2 の構成材料として用いることは、冗長な電流経路及び導電層として作用する。幾つかの実施形態では、バリヤ層 7 4 の第 2 の材料は、最高 2 0 % までのバナジウム、例えば 0 . 0 1 % から 5 % までの範囲にあるバナジウムとのニッケル バナジウム (N i V) 合金からなるのがよい。幾つかの実施形態では、バリヤ層 7 4 の第 2 の材料は、耐放射性が得られるよう C u / F e からなるのがよい。幾つかの実施形態では、バリヤ層 7 4 の第 2 の材料は、例えばバナジウム、クロム、マンガン、鉄、及び / 又はニッケルのような物質を含むバイメタル余剰バリヤ（例えば、M m / C o バイメタル余剰バリヤ構造体）を有するのがよい。

20

【 0 0 6 8 】

要約

1 つの実施形態では、半導体素子は、半導体部分と、非導電層と、非導電層内に少なくとも部分的に埋め込まれた上側導電層とを有するのがよく、上側導電層は、第 1 の材料で形成され、半導体素子は、上側導電層の下に設けられ、かつ上側導電層に電氣的に接続された下側導電層と、上側導電層と下側導電層との間に設けられたバリヤ層とをさらに有するのがよく、バリヤ層は、キャピティよりも横方向に幅が広く、バリヤ層は、第 1 の材料とは異なる第 2 の材料で形成され、第 2 の材料は、 $20 \text{ } \mu\text{m}$ で $50 \times 10^{-8} \text{ m}$ 未満の電気抵抗率及び $1200 \text{ } ^\circ\text{C}$ を超える融点を有する。

30

【 0 0 6 9 】

幾つかの実施形態では、第 1 の材料は、銅からなる。幾つかの実施形態では、下側導電層は、銅からなる。幾つかの実施形態では、第 2 の材料は、コバルト、タングステン、バナジウム、モリブデン、及びニッケルのうちの少なくとも 1 つからなる。幾つかの実施形態では、第 2 の材料は、コバルトからなる。第 2 の材料は、合金からなる。幾つかの実施形態では、合金は、リン酸コバルト タングステン (C W P) 、リン酸コバルト (C o P) 、リン酸ニッケル (N i P) 、ニッケル タングステン (N i W) 、チタン タングステン (T i W) 、 $T i W / M o$ 、 $T i W / C o$ 、及びニッケル バナジウム (N i V) のうちの少なくとも 1 つからなる。幾つかの実施形態では、電気抵抗率は、 $20 \text{ } \mu\text{m}$ で $4.5 \times 10^{-8} \text{ m}$ から $20 \text{ } \mu\text{m}$ で $30 \times 10^{-8} \text{ m}$ までの範囲にある。幾つかの実施形態では、第 2 の材料の融点は、 $1200 \text{ } ^\circ\text{C}$ から $3600 \text{ } ^\circ\text{C}$ までの範囲にある。幾つかの実施形態では、非導電層は、酸化シリコンからなる。幾つかの実施形態では、バリヤ層は、上側導電層が納められたキャピティ内に少なくとも部分的に設けられている。幾つかの実施形態では、バリヤ層は、上側導電層が納められたキャピティの少なくとも一部分を内張りして

40

50

いる。上側導電層が納められたキャビティの少なくとも一部分を内張りしている。幾つかの実施形態では、半導体素子は、上側導電層が納められたキャビティの少なくとも一部分を内張りした第2のバリア層を有するのがよく、第2のバリア層は、バリア層と上側導電層との間に設けられている。幾つかの実施形態では、第2のバリア層は、第2の材料からなる。幾つかの実施形態では、第2のバリア層は、第1の材料及び第2の材料とは異なる第3の材料からなる。幾つかの実施形態では、第3の材料は、金属窒化物からなる。第3の材料は、窒化チタン又は窒化タンタルからなる幾つかの実施形態では、バリア層の厚さは、第2のバリア層の厚さよりも厚い。幾つかの実施形態では、半導体素子は、バリア層に被着された中間導電層及び中間導電層に被着された第3のバリア層を有するのがよく、上側導電層は、第3のバリア層に被着されている。幾つかの実施形態では、中間導電層は、バリア層及び1つ以上の追加のバリア層によって封入されている。幾つかの実施形態では、1つ以上の追加のバリア層は、バリア層からなる。幾つかの実施形態では、第3のバリア層は、第2の材料からなる。幾つかの実施形態では、バリア層は、中間導電層が納められたキャビティを内張りし、バリア層は、実質的にボンディング表面まで第3のバリア層の上方に垂直に延びている。幾つかの実施形態では、上側導電層の厚さは、下側導電層の厚さよりも薄い。幾つかの実施形態では、下側導電層は、非導電層内に埋め込まれた再配線層(RDL)からなる。幾つかの実施形態では、非導電層は、半導体部分上に設けられた複数の誘電体層からなる。幾つかの実施形態では、半導体素子は、バリア層に隣接して設けられたマンガンバリア層を有するのがよい。幾つかの実施形態では、マンガンバリア層は、上側導電層が納められたキャビティの少なくとも一部分を内張りし、マンガンバリア層は、バリア層の内側に設けられている。幾つかの実施形態では、バリア層は、下側導電層の上面の長さに沿って設けられ、長さは、上側導電層の幅よりも長い。幾つかの実施形態では、下側導電層は、バリア層によって上面沿いに、かつ1つ以上の追加のバリア層によって下側導電層の下面及び側面沿いに封入されている。幾つかの実施形態では、1つ以上の追加のバリア層は、第2の材料からなる。幾つかの実施形態では、1つ以上の追加のバリア層は、第1の及び第2の材料とは異なる第3の材料からなる。幾つかの実施形態では、半導体素子は、下側導電層に電的に接続され、かつ半導体部分を貫通した基板貫通ビア(TSV)を有するのがよい。幾つかの実施形態では、半導体素子は、TSVを内張りしたTSVバリア層を有するのがよく、TSV層は、第2の材料からなる。幾つかの実施形態では、上側導電層は、デュアルダマシン構造体からなる。幾つかの実施形態では、上側導電層は、シングルダマシン構造体からなる。

【0070】

幾つかの実施形態では、ボンデッド構造体は、半導体素子及び第2の半導体素子を有するのがよく、半導体素子の第2の上側非導電面は、介在する接着剤なしで第2の半導体素子の第2の上側非導電面にダイレクトボンディングされ、上側導電層の上側接触面は、第2の半導体素子の接触構造体にダイレクトボンディングされている。幾つかの実施形態では、第2の半導体素子は、第2の半導体部分と、第2の半導体部分上に設けられていて、第2の上側非導電表面を形成する第2の非導電層とを有し、接触構造体は、第2の非導電層内に少なくとも部分的に埋め込まれ、第2の半導体素子は、接触構造体の下に設けられ、かつ接触構造体に電気的に接続された第2の下側導電層を有し、第2の半導体素子の第1のバリア層は、接触構造体と第2の下側導電層との間に設けられ、第2の半導体素子の第1のバリア層は、 $20 \text{ } \Omega$ で $30 \times 10^{-8} \text{ m}$ 未満の電気抵抗率及び 1200 を超える融点を有する材料で作られている。幾つかの実施形態では、接触構造体は、銅からなり、第2の半導体素子の第1のバリア層の材料は、コバルト、タングステン、バナジウム、及びニッケルのうちの少なくとも1つからなる。

【0071】

もう1つの実施形態では、半導体素子は、半導体部分と、半導体部分上に設けられた非導電ボンディング層とを有するのがよく、非導電ボンディング層は、半導体素子のボンディング表面の第1の部分形成する上側非導電面を有し、上側非導電面は、第2の半導体素子にダイレクトボンディング可能に前処理され、半導体素子は、非導電ボンディング層

内に少なくとも部分的に埋め込まれた接触構造体を有するのがよく、接触構造体は、半導体素子のボンディング表面の第2の部分形成し、接触構造体は、第1の材料からなり、半導体素子は、接触構造体の下に設けられていて、かつ接触構造体に電氣的に接続された導電層と、接触構造体と導電層との間に設けられたバリア層とを有するのがよく、バリア層は、第1の材料とは異なる第2の材料からなり、第2の材料は、コバルト、タングステン、バナジウム、及びニッケルのうちの少なくとも1つからなる。

【0072】

幾つかの実施形態では、接触構造体は、銅からなる。幾つかの実施形態では、導電層は、銅からなる。幾つかの実施形態では、バリア層は、コバルトからなる。幾つかの実施形態では、バリア層は、合金からなる。幾つかの実施形態では、合金は、リン酸コバルト 10
 タングステン(CWP)、リン酸コバルト(CoP)、リン酸ニッケル(NiP)、ニッケル タングステン(NiW)、及びニッケル バナジウム(NiV)のうちの少なくとも1つからなる。幾つかの実施形態では、非導電ボンディング層は、酸化シリコンからなる。幾つかの実施形態では、バリア層は、接触構造体が納められたキャピティの少なくとも一部分を内張りしている。幾つかの実施形態では、半導体素子は、接触構造体が納められたキャピティの少なくとも一部分を内張りする第2のバリア層を有するのがよく、第2のバリア層は、バリア層と接触構造体との間に設けられている。幾つかの実施形態では、第2のバリア層は、第2の材料からなる。幾つかの実施形態では、第2のバリア層は、第1の材料及び第2の材料とは異なる第3の材料からなる。幾つかの実施形態では、第3の材料は、金属窒化物からなる。幾つかの実施形態では、第3の材料は、窒化チタン又は窒 20
 化タンタルからなる。バリア層の厚さは、第2のバリア層の厚さよりも厚い。幾つかの実施形態では、半導体素子は、バリア層に被着された中間導電層及び中間導電層に被着された第3のバリア層を有するのがよく、接触構造体は、第3のバリア層に被着されている。幾つかの実施形態では、第2の導電層は、第3のバリア層及び1つ以上の追加のバリア層によって封入されている。幾つかの実施形態では、1つ以上の追加のバリア層は、バリア層からなる。幾つかの実施形態では、第3のバリア層は、第2の材料からなる。幾つかの実施形態では、バリア層は、第2の導電層が納められたキャピティを内張りし、バリア層は、実質的にボンディング表面まで第3のバリア層の上方に垂直に延びている。幾つかの実施形態では、接触構造体の厚さは、第2の導電層の厚さよりも薄い。幾つかの実施形態では、導電層は、非導電ボンディング層内に埋め込まれた再配線層(RDL)からなる。 30
 幾つかの実施形態では、非導電ボンディング層は、半導体部分上に設けられた複数の誘電体層からなる。幾つかの実施形態では、半導体素子は、バリア層に隣接して設けられたマンガンバリア層を有するのがよい。幾つかの実施形態では、マンガンバリア層は、接触構造体が納められたキャピティの少なくとも一部分を内張りし、マンガンバリア層は、バリア層の内側に設けられている。幾つかの実施形態では、バリア層は、導電層の上面の長さに沿って設けられ、長さは、接触構造体の幅よりも長い。幾つかの実施形態では、導電層は、バリア層によって上面沿いに、かつ1つ以上の追加のバリア層によって導電層の下面及び側面沿いに封入されている。幾つかの実施形態では、1つ以上の追加のバリア層は、第2の材料からなる。幾つかの実施形態では、1つ以上の追加のバリア層は、第1の及び 40
 第2の材料とは異なる第3の材料からなる。幾つかの実施形態では、半導体素子は、導電層に電的に接続され、かつ半導体部分を貫通した基板貫通ビア(TSV)を有するのがよい。幾つかの実施形態では、半導体素子は、TSVを内張りしたTSVバリア層を有するのがよく、TSV層は、第2の材料からなる。幾つかの実施形態では、接触構造体は、デュアルダマシン構造体からなる。幾つかの実施形態では、接触構造体は、シングルダマシン構造体からなる。

【0073】

幾つかの実施形態では、ボンデッド構造体は、半導体素子及び第2の半導体素子を有するのがよく、半導体素子の上側非導電面は、介在する接着剤なしで第2の半導体素子の第2の上側非導電面にダイレクトボンディングされ、接触構造体の上側接触面は、第2の半導体素子の接触構造体にダイレクトボンディングされている。幾つかの実施形態では、第 50

2の半導体素子は、第2の半導体部分と、第2の半導体部分上に設けられていて、第2の上側非導電表面を形成する第2の非導電層とを有し、第2の接触構造体は、第2の非導電ボンディング層内に少なくとも部分的に埋め込まれ、ボンデッド構造体、第2の接触構造体の下に設けられ、かつ第2の接触構造体に電氣的に接続された第2の導電層を有し、第2の半導体素子の第1のバリア層は、第2の接触構造体と第2の導電層との間に設けられ、第2の半導体素子の第1のバリア層は、 20 で $30 \times 10^{-8} \text{ m}$ 未満の電気抵抗率及び 1200 を超える融点を有する材料で作られている。幾つかの実施形態では、第2の接触構造体は、銅からなり、第2の半導体素子の第1のバリア層の材料は、コバルト、タングステン、バナジウム、及びニッケルのうちの少なくとも1つからなる。

【0074】

10

もう1つの実施形態では、半導体素子は、半導体部分と、半導体部分上に設けられた非導電層と、非導電ボンディング層内に少なくとも部分的に埋め込まれた接触構造体とを有するのがよく、接触構造体は、半導体素子の表面のボンディング表面の少なくとも一部分を形成する上側接触面を有し、接触構造体は、第1の材料からなり、半導体素子は、接触構造体の下に設けられていて、かつ接触構造体に電氣的に接続された導電層と、導電層を封入した1つ以上のバリア層とを有するのがよく、1つ以上のバリア層は、導電層の上面、下面、及び側面の周りに設けられている。

【0075】

幾つかの実施形態では、接触構造体は、銅からなる。幾つかの実施形態では、導電層は、銅からなる。幾つかの実施形態では、1つ以上のバリア層は、導電層の上面の長さに沿って設けられた第1のバリア層を含み、長さは、接触構造体の幅よりも長く、バリア層は、第1の材料とは異なる第2の材料からなる。幾つかの実施形態では、第2の材料は、コバルト、タングステン、バナジウム、及びニッケルのうちの少なくとも1つからなる。幾つかの実施形態では、第2の材料は、 20 で $30 \times 10^{-8} \text{ m}$ 未満の電気抵抗率及び 1200 を超える融点を有する。幾つかの実施形態では、1つ以上のバリア層は、導電層の下面及び側面に沿って設けられた第2のバリア層を含む。幾つかの実施形態では、第2のバリア層は、第2の材料からなる。第2のバリア層は、第2の材料とは異なる第3の材料からなる。幾つかの実施形態では、第3の材料は、金属窒化物からなる。幾つかの実施形態では、第3の材料は、窒化チタン又は窒化タンタルからなる。幾つかの実施形態では、半導体素子は、1つ以上のバリア層に被着された第2の導電層及び第2の導電層に被着された第3のバリア層を有し、接触構造体は、第3のバリア層に被着されている。幾つかの実施形態では、第2の導電層は、第3のバリア層及び1つ以上の追加のバリア層によって封入されている。幾つかの実施形態では、第3のバリア層は、第2の材料からなる。幾つかの実施形態では、接触構造体の厚さは、第2の導電層の厚さよりも薄い。幾つかの実施形態では、導電層は、非導電ボンディング層内に埋め込まれた再配線層(RDL)からなる。

20

30

【0076】

もう1つの実施形態では、半導体素子は、半導体素子のボンディング表面の第1の部分を形成する上側非導電面を備えた半導体部分を有するのがよく、上側非導電面は、第2の半導体素子にダイレクトボンディング可能に前処理され、半導体素子は、半導体素子のボンディング表面の第2の部分を形成する上側接触面を備えた接触構造体を有するのがよく、接触構造体は、第1の材料で作られ、半導体素子は、接触構造体の下に設けられ、かつ接触構造体に電氣的に接続された導電バリア層を有するのがよく、導電バリア層は、第1の材料とは異なる第2の材料からなり、第2の材料は、 20 で $30 \times 10^{-8} \text{ m}$ 未満の電気抵抗率及び 1200 を超える融点を有する。

40

【0077】

幾つかの実施形態では、接触構造体は、銅からなる。幾つかの実施形態では、接触構造体は、導電バリア層のうちの20%未満を含む。第2の材料は、コバルト、タングステン、バナジウム、及びニッケルのうちの少なくとも1つからなる。幾つかの実施形態では、第2の材料は、コバルトからなる。幾つかの実施形態では、第2の材料の電気抵抗率は、

50

20 で $4.5 \times 10^{-8} \text{ m}$ から 20 で $30 \times 10^{-8} \text{ m}$ までの範囲にある。幾つかの実施形態では、第2の材料の融点は、1200 から3600 までの範囲にある。幾つかの実施形態では、接触構造体の厚さは、導電層の厚さよりも薄い。幾つかの実施形態では、導電層の厚さは、接触構造体の厚さの少なくとも2倍である。

【0078】

もう1つの実施形態では、キャピティを半導体素子の非導電層中に形成するステップと、下側導電層をキャピティ内に設けるステップと、バリア層を下側導電層に被着させるステップと、上側導電層をバリア層に被着させるステップとを含むのがよい方法が提供され、上側導電層は、第1の材料で形成され、バリア層は、第1の材料とは異なる第2の材料で形成され、第2の材料は、20 で $30 \times 10^{-8} \text{ m}$ 未満の電気抵抗率及び1200 を超える融点を有する。 10

【0079】

幾つかの実施形態では、第1の材料は、銅からなり、第2の材料は、コバルト、タングステン、バナジウム、及びニッケルのうちの少なくとも1つからなる。幾つかの実施形態では、バリア層を被着させるステップは、バリア層を下側導電層の上面の長さに沿って設けるステップからなり、長さは、上側導電層の幅よりも長い。幾つかの実施形態では、本方法は、下側導電層をバリア層及び1つ以上の追加のバリア層によって封入するステップをさらに含むのがよい。幾つかの実施形態では、本方法は、上側導電層を被着させるステップの前に、第2の非導電層をバリア層及び非導電層の少なくとも一部分に被着させるステップと、バリア層まで延びる開口部を第2の非導電層に形成するステップとを含むのがよい。幾つかの実施形態では、本方法は、第2のバリア層を、バリア層の少なくとも一部分を覆って開口部内に設けるステップを含むのがよい。幾つかの実施形態では、第2のバリア層を設けるステップは、第2の材料で形成された第2のバリア層を設けるステップからなる。幾つかの実施形態では、本方法は、中間導電層を、第2のバリア層を覆って開口部内に設けるステップを含むのがよい。幾つかの実施形態では、本方法は、第3のバリア層を中間導電層に被着させるステップを含むのがよい。幾つかの実施形態では、第3のバリア層を被着させるステップは、第2の材料で形成された第3のバリア層を設けるステップからなる。幾つかの実施形態では、本方法は、上側導電層を第3のバリア層に被着させるステップを含むのがよい。幾つかの実施形態では、本方法は、第2の非導電層の上面をプラズマ処理するステップを含むのがよい。幾つかの実施形態では、プラズマ処理ステップは、第2の非導電層を窒素又は酸素を含むプラズマに暴露するステップからなる。幾つかの実施形態では、本方法は、半導体素子の上側導電層を介在する接着剤なしで第2の半導体素子の接触構造体にダイレクトボンディングするステップを含むのがよい。幾つかの実施形態では、本方法は、半導体素子の非導電ボンディング層を第2の半導体素子の第2の非導電ボンディング層にダイレクトボンディングするステップを含むのがよい。幾つかの実施形態では、非導電ボンディング層は、非導電層からなる。 20 30

【0080】

文脈上別段の明示の必要がなければ、原文明細書及び原文特許請求の範囲全体を通じて、“comprise”（訳文では「～を有する」としている場合が多い），“comprising”、“include”（「～を含む」），“including”などの用語は、排他的又は網羅的な意味とは異なり、包括的な意味に、すなわち“including, but not limited to”（「～を含むが、これには限定されない」）の意味に解されるべきである。本明細書に一般的に用いられている「結合され」という用語は、互いに直接的に連結されるか、1つ以上の中間要素により互いに連結される2つ以上の要素を意味している。同様に、本明細書において一般的に用いられている「連結され」という用語は、互いに直接的に連結されるか、1つ以上の中間要素により互いに連結される2つ以上の要素を意味している。加うるに、本願において用いられている“herein”（訳文では「本明細書において」としている場合が多い），“above”（「上述の」の意），“below”（「後述の」の意）、及び同様な趣旨の用語は、本願を全体として意味しており、本願の何らかの特定の部分を意味しているわけではない。さらに、本明細書で用いているように、第1の素子が第2の素子「上に」又は第2の素 40 50

子「を覆って」と記載されている場合、第1の素子は、第1の素子と第2の素子が直接接触するように第2の素子上に又はこれを覆って直接位置する場合があります、或いは、第1の素子は、1つ以上の素子が第1の素子と第2の素子との間に介在するように第2の素子上に又はこれを覆って間接的に位置する場合があります。文脈上許容される場合には、単数形又は複数形を用いた上記の詳細な説明中の用語は、それぞれ複数又は単数を含む場合があります。2つ以上のアイテムのリストに関して「又は」という用語は、この用語についての以下の解釈、すなわち、リスト中のアイテムのうちの任意のもの、リスト中のアイテムの全て、及びリスト中のアイテムの任意の組み合わせの全てを含む。

【0081】

さらに、原文明細書で用いられている条件語、とりわけ“can”（「～のよい」又は「10～でもよい」）、“could”、“might”、“may”、“e.g.”、“for example”、“such as”などは、別段の明示の指定がなければ、又は用いられている文脈内で違ったやり方で理解されない場合、一般に、ある特定の実施形態がある特定の特徴、要素、及び/又は状態を含み、他の実施形態がある特定の特徴、要素、及び/又は状態を含まないということの意味するようになっている。かくして、かかる条件語は、一般的には、特徴、要素、及び/又は状態が、1つ以上の実施形態について必要な何らかの仕方で存在することを意味するようにはなっていない。

【0082】

ある特定の実施形態を説明したが、これら実施形態は、例示としてのみ提供されており、本発明の範囲を限定するものではない。確かに、本明細書において説明した新規な装置、方法、及びシステムは、種々の他の形態で具体化でき、さらに、本明細書において説明した方法及びシステムの形態における種々の省略、置換、及び変更は、本発明の範囲から逸脱することなく実施できる。例えば、ブロックが所与の配置で示されているが、変形実施形態は、異なるコンポーネント及び/又は回路トポロジでほぼ同じ機能を実行することができ、幾つかのブロックを削除し、動かし、追加し、分割し、組み合わせ、かつ/或いは改造することができる。これらブロックの各々は、多種多様な仕方で具体化できる。上述の種々の実施形態の要素及び作用の任意適当な組み合わせは、別の実施形態を提供するよう組み合わせ可能である。添付の特許請求の範囲に記載された本発明の範囲及びその均等範囲は、本発明の範囲及び精神に含まれるかかる形態又は改造を含むものである。

20

30

40

50

【図面】
【図 1 A】

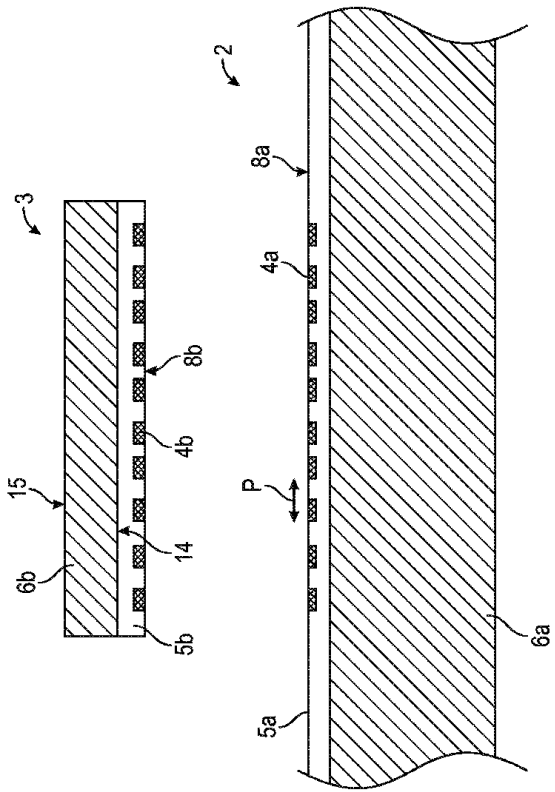


FIG. 1A

【図 1 B】

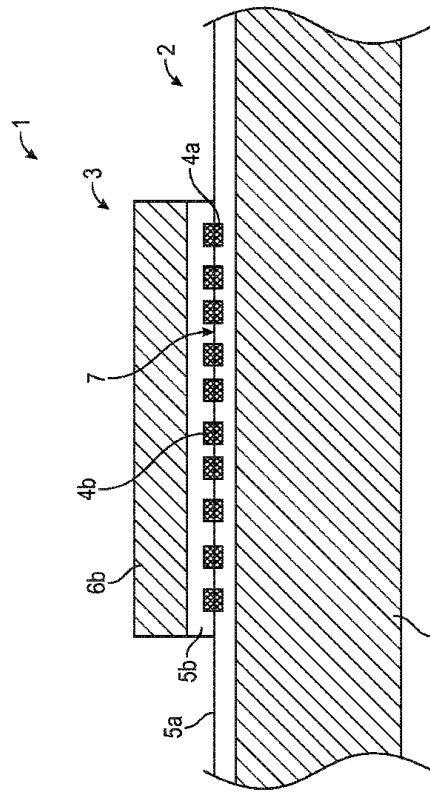


FIG. 1B

【図 2 A】

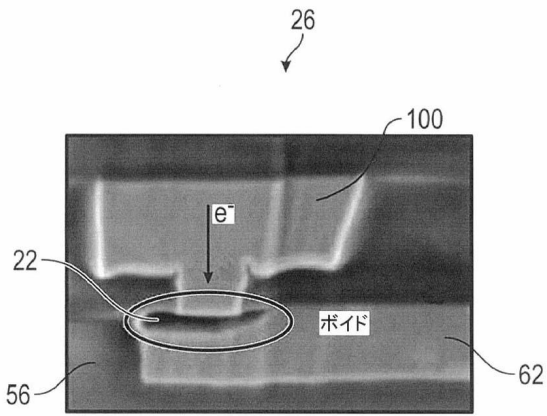


FIG. 2A

【図 2 B】

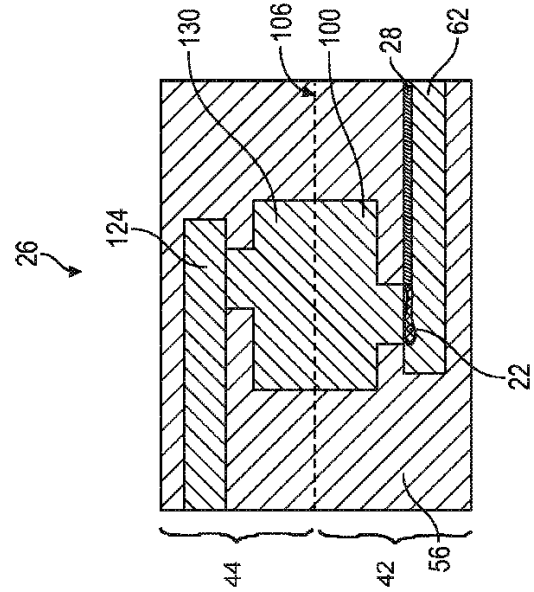


FIG. 2B

10

20

30

40

50

【 図 3 】

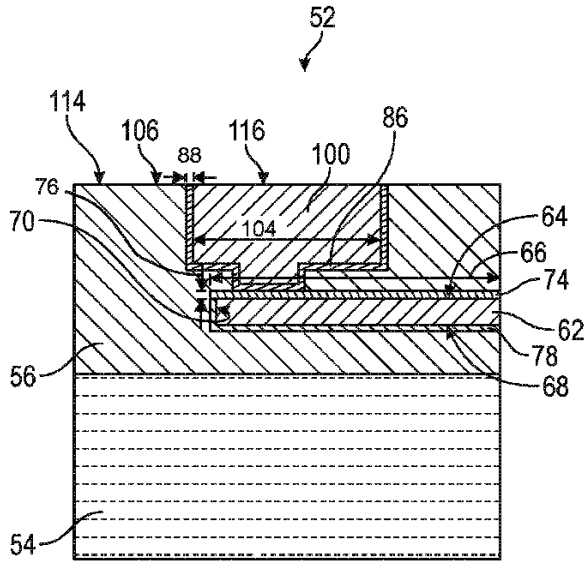
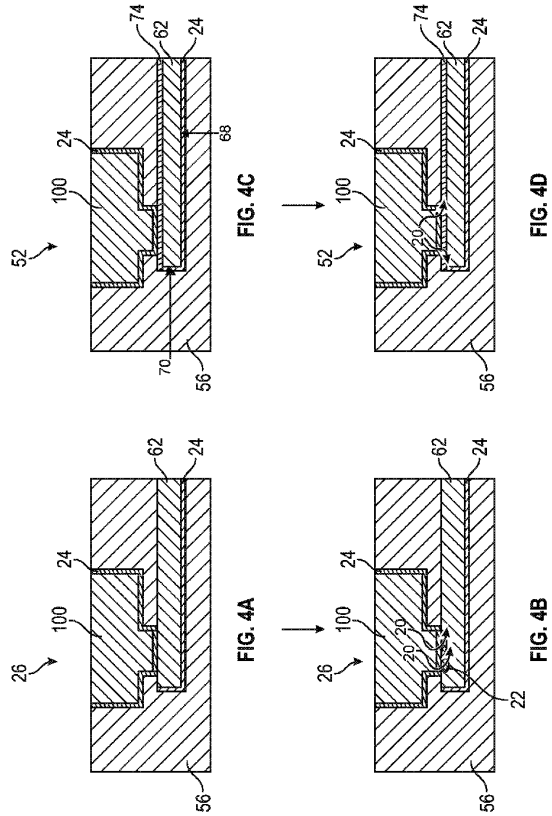


FIG. 3

【 図 4 A - 4 D 】



10

20

【 図 5 A 】

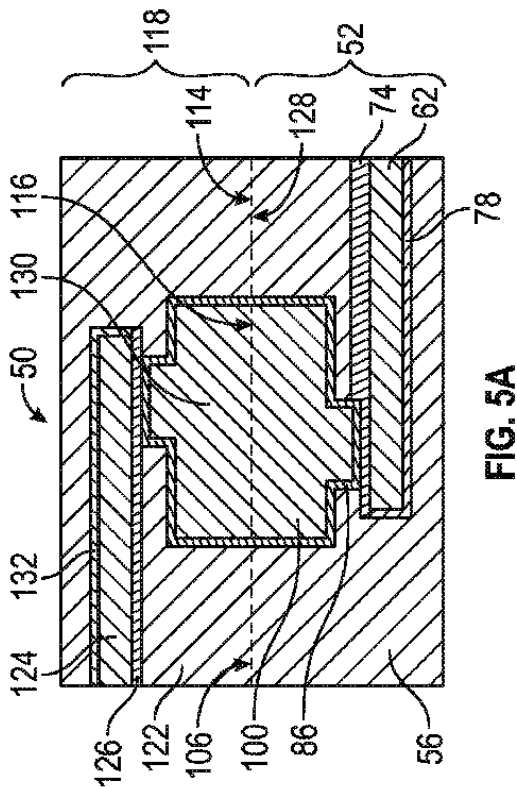


FIG. 5A

【 図 5 B 】

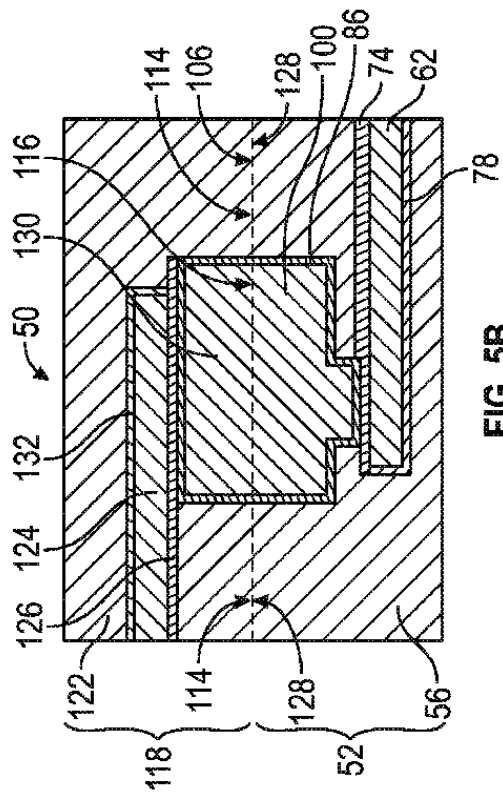


FIG. 5B

30

40

50

【 図 5 C 】

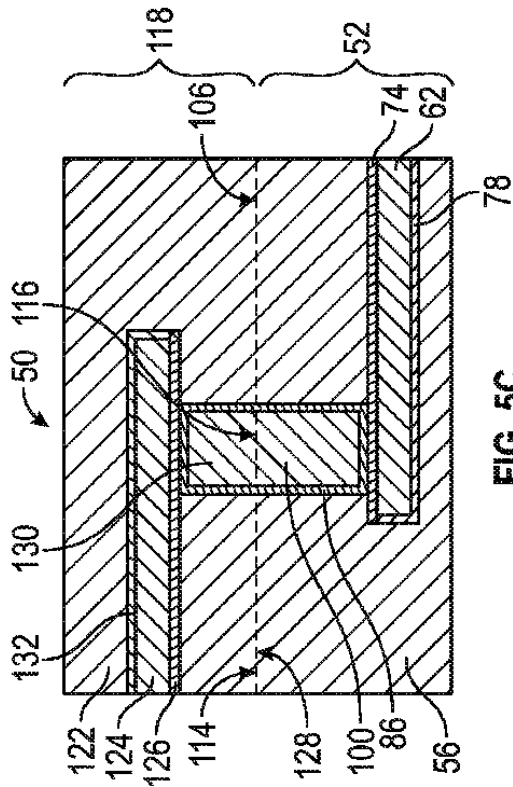


FIG. 5C

【 図 6 】

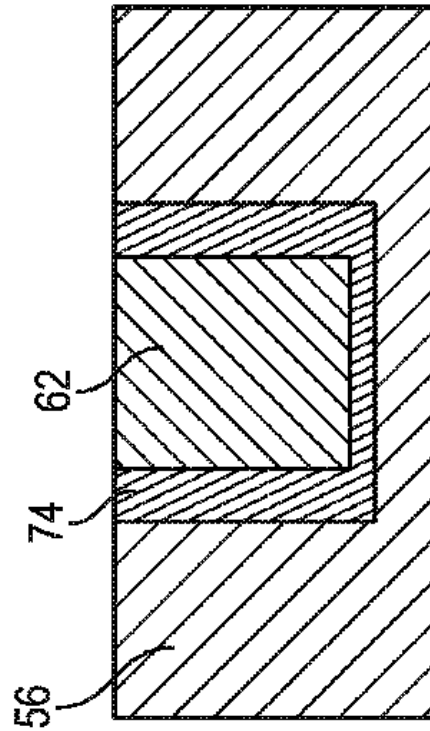


FIG. 6

10

20

【 図 7 A - 7 D 】

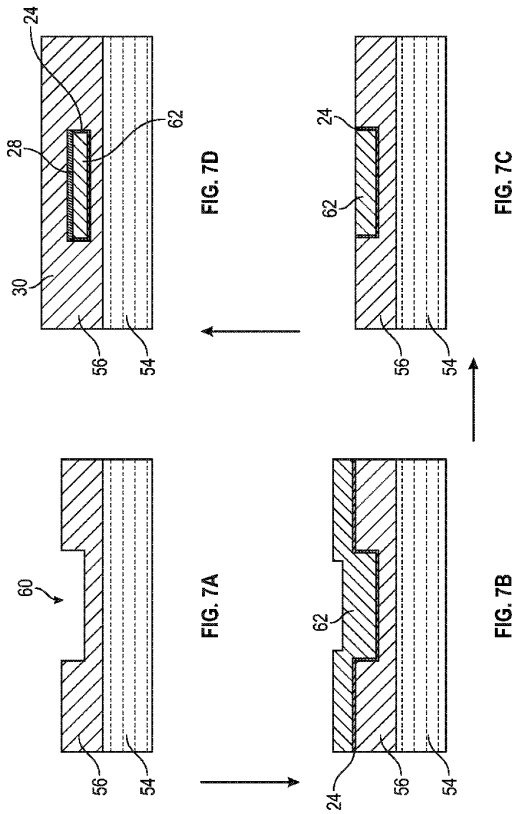


FIG. 7A

FIG. 7B

FIG. 7C

FIG. 7D

【 図 7 E - 7 H 】

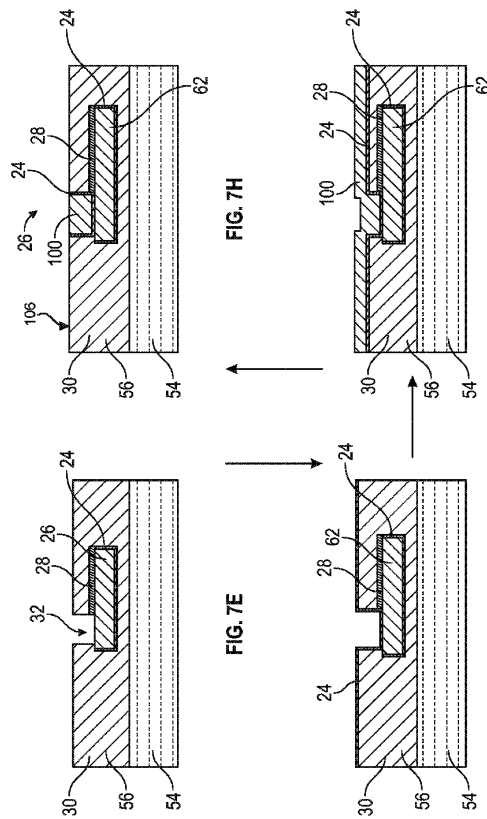


FIG. 7E

FIG. 7F

FIG. 7G

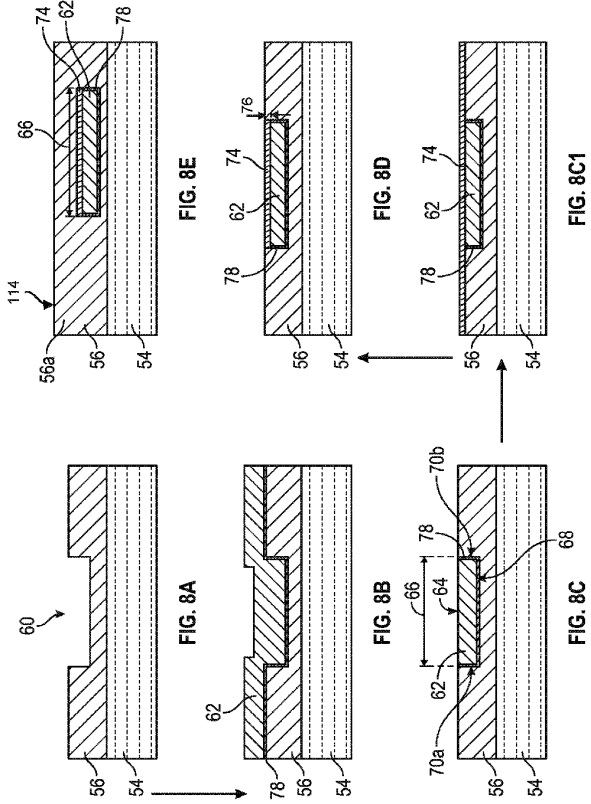
FIG. 7H

30

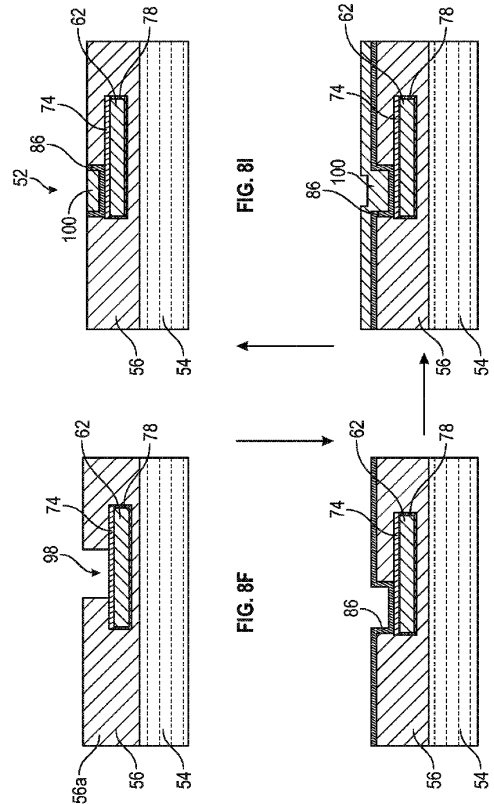
40

50

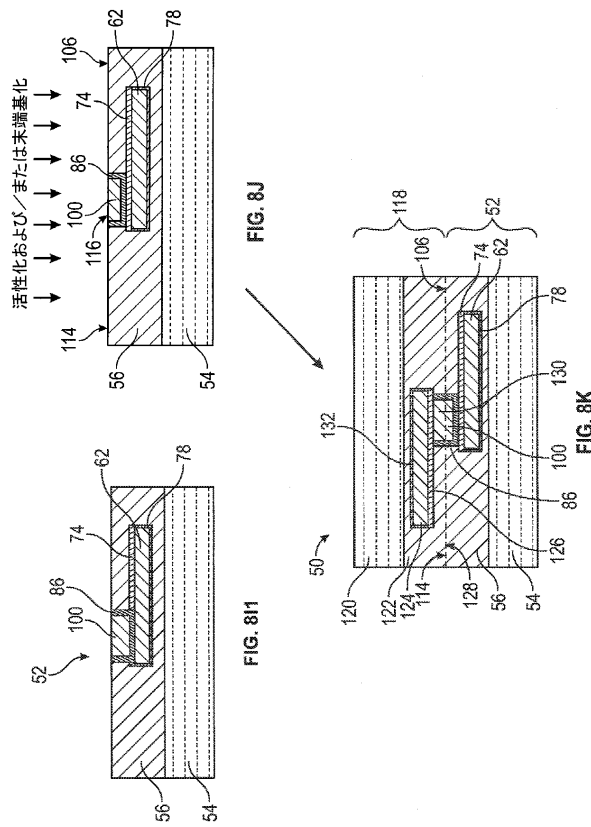
【 図 8 A - 8 E 】



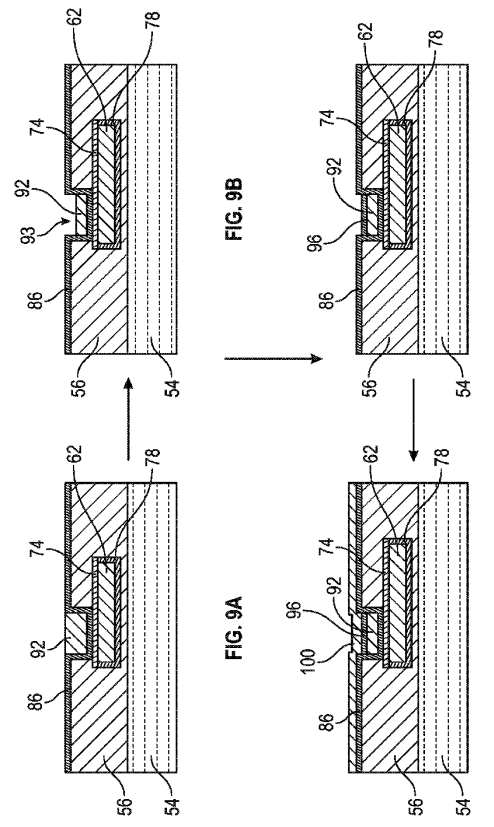
【 図 8 F - 8 I 】



【 図 8 I 1 - 8 K 】



【 図 9 A - 9 D 】



10

20

30

40

50

【 図 9 E 】

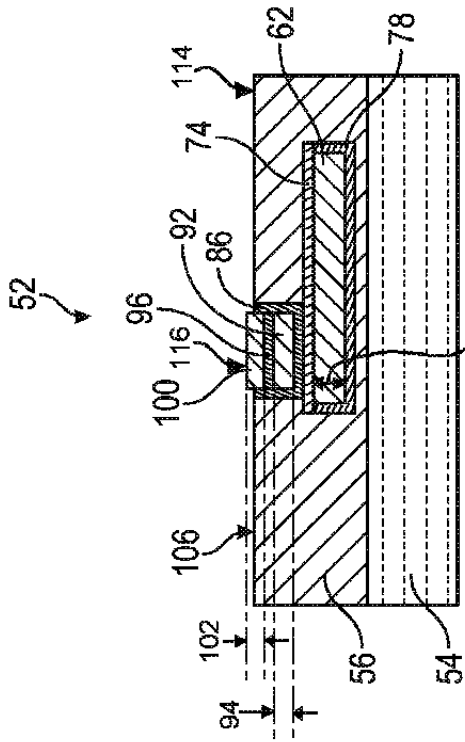


FIG. 9E

【 図 1 0 】

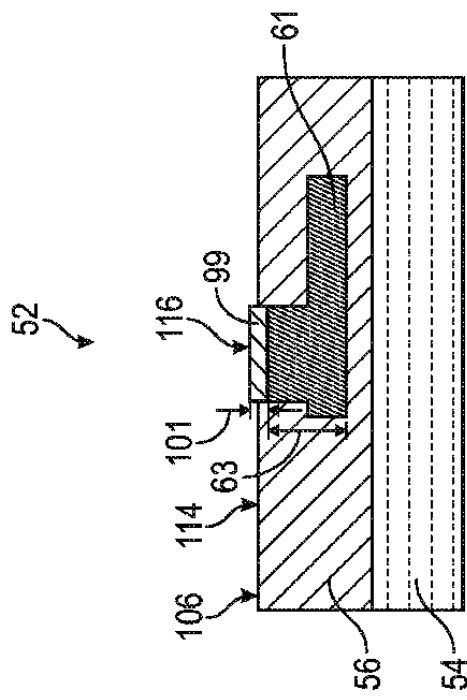


FIG. 10

【 図 1 1 】

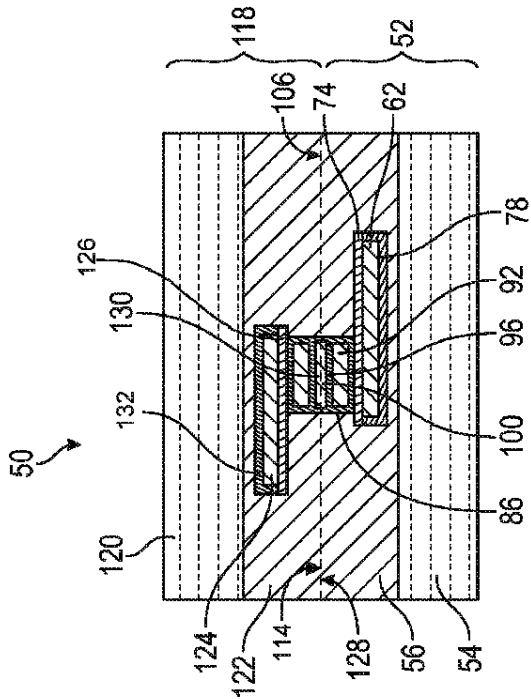


FIG. 11

【 図 1 2 】

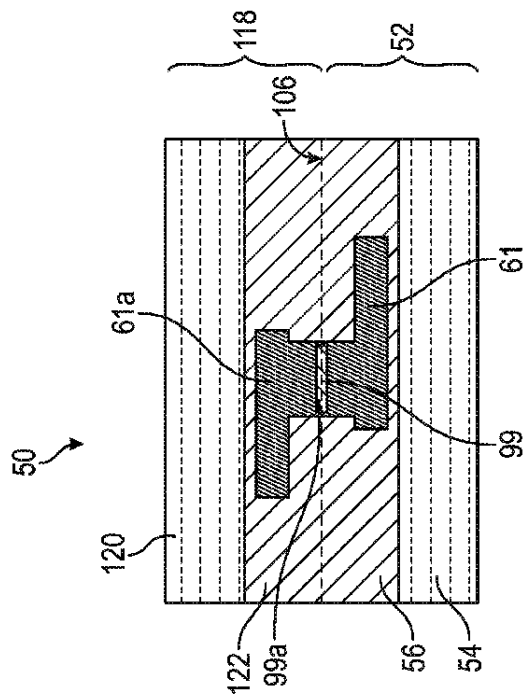


FIG. 12

10

20

30

40

50

【 図 1 3 A - 1 3 D 】

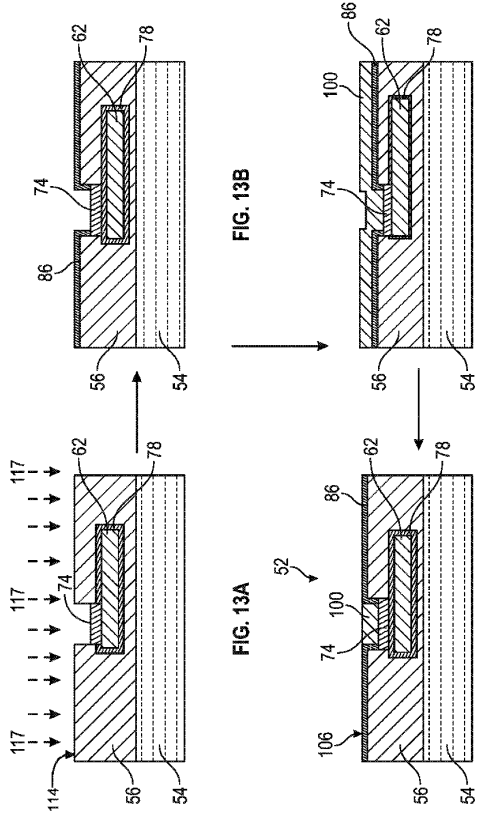


FIG. 13B

FIG. 13A

FIG. 13C

FIG. 13D

【 図 1 4 A 】

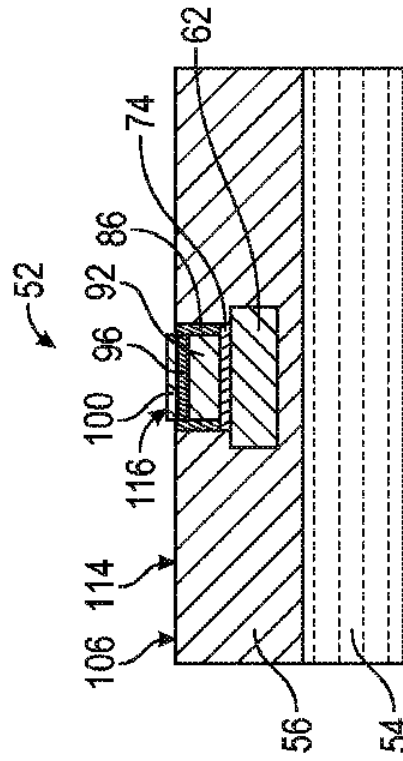


FIG. 14A

10

20

【 図 1 4 B 】

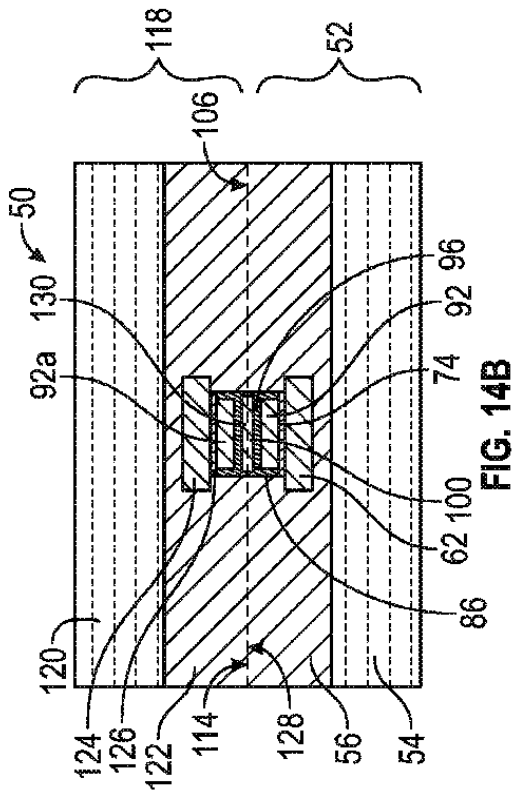


FIG. 14B

【 図 1 4 C 】

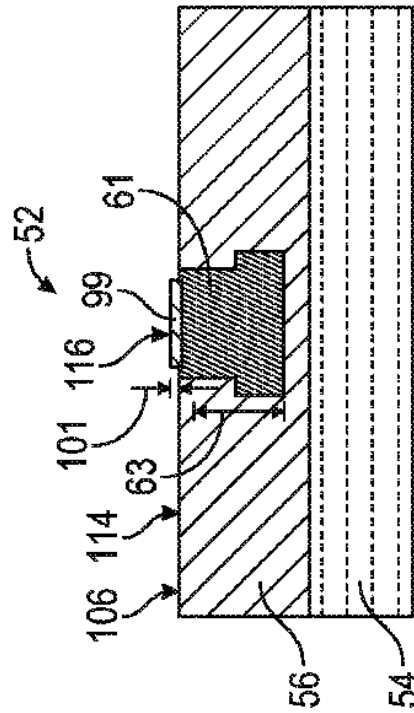


FIG. 14C

30

40

50

【 図 1 4 D 】

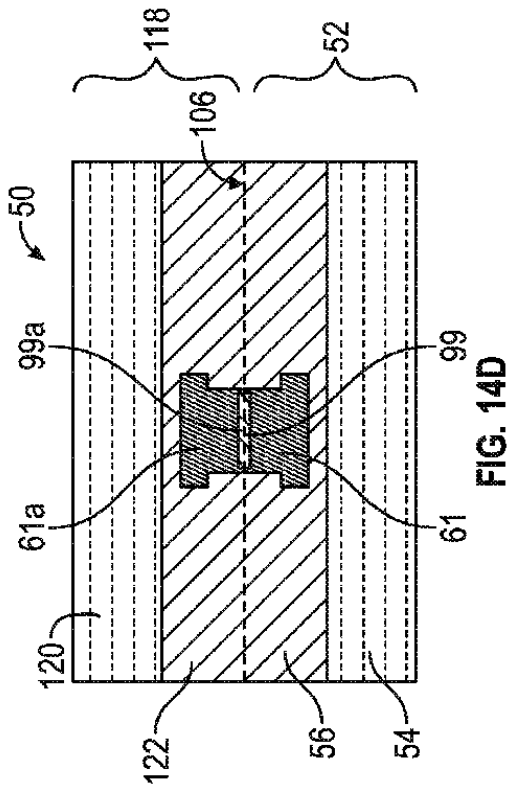


FIG. 14D

【 図 1 5 A 】

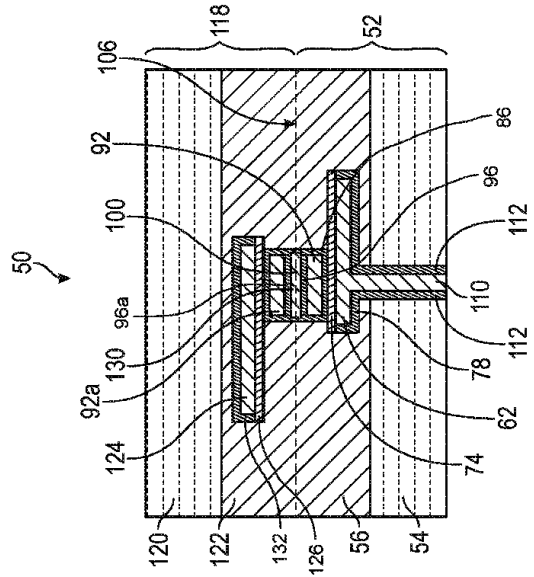


FIG. 15A

10

20

【 図 1 5 B 】

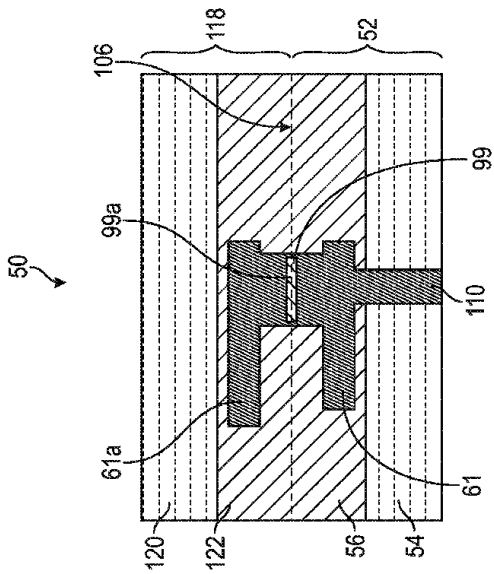


FIG. 15B

【 図 1 6 】

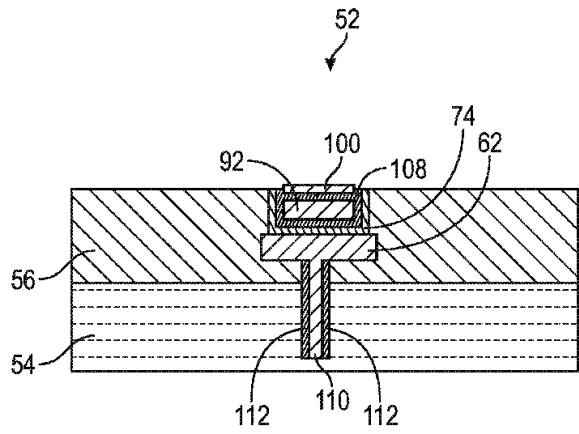


FIG. 16

30

40

50

【 17 A 】

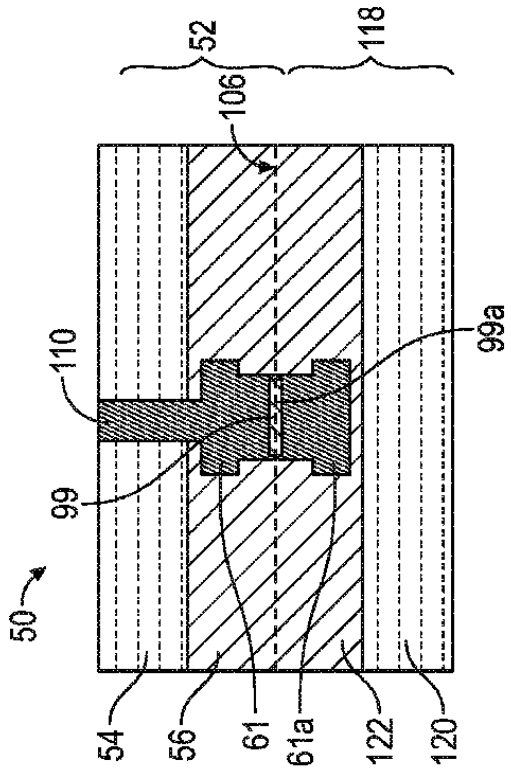


FIG. 17A

【 17 B 】

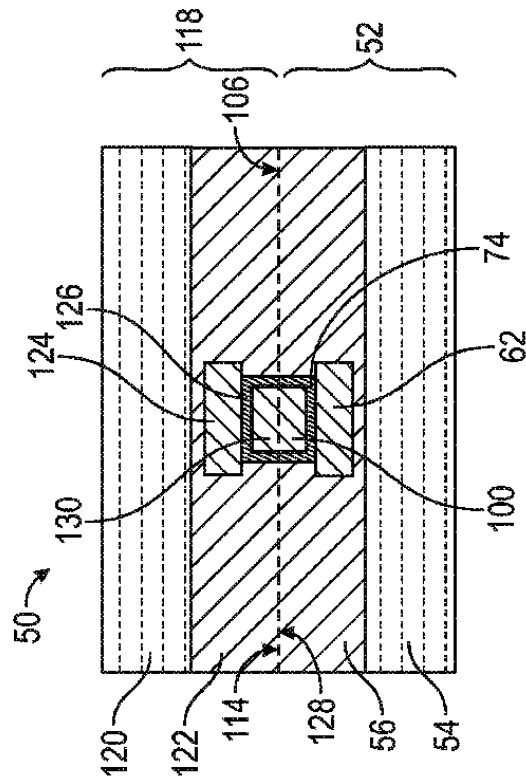


FIG. 17B

【 17 C 】

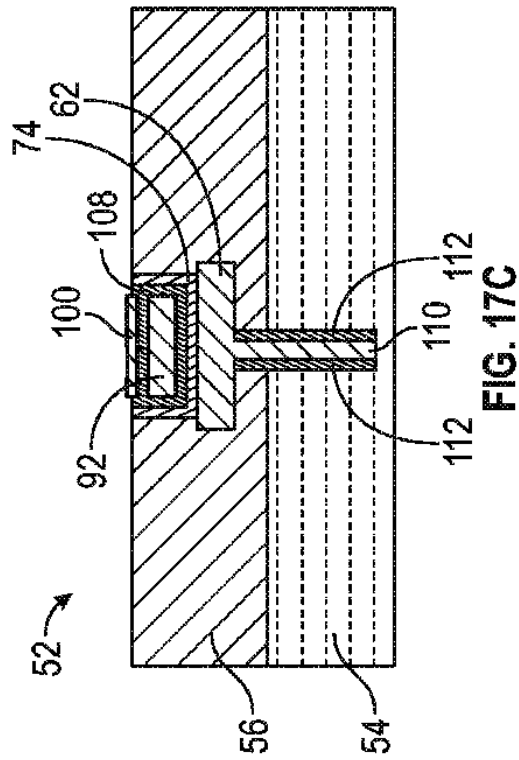


FIG. 17C

10

20

30

40

50

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US2022/081381
A. CLASSIFICATION OF SUBJECT MATTER H01L 23/00(2006.01); H01L 23/48(2006.01); According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L 23/00(2006.01); H01L 21/02(2006.01); H01L 21/768(2006.01); H01L 23/522(2006.01); H01L 23/532(2006.01) Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models Japanese utility models and applications for utility models Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS(KIPO internal) & Keywords: semiconductor, conductive layer, barrier layer, second material		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	US 2003-0186543 A1 (QING-TANG JIANG et al.) 02 October 2003 (2003-10-02) paragraphs [31], [43], claims 1, 5 and figures 1-2A	1-4,74-76,99-102,115 5,39-41,90-94,116-118
Y	US 2015-0371953 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.) 24 December 2015 (2015-12-24) claim 14	5,94
Y	WO 2021-242321 A1 (SANDISK TECHNOLOGIES LLC) 02 December 2021 (2021-12-02) paragraphs [133]-[134] and figure 15	39-41,90-94,116-118
A	US 2016-0336231 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.) 17 November 2016 (2016-11-17) paragraphs [14]-[56] and figures 1-15D	1-5,39-41,74-76,90-94,99-102,115-118
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the international search 26 April 2023		Date of mailing of the international search report 26 April 2023
Name and mailing address of the ISA/KR Korean Intellectual Property Office 189 Cheongsa-ro, Seo-gu, Daejeon 35208, Republic of Korea Facsimile No. +82-42-481-8578		Authorized officer PARK, Hye Lyun Telephone No. +82-42-481-3463

Form PCT/ISA/210 (second sheet) (July 2022)

10

20

30

40

50

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US2022/081381

C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2012-0045893 A1 (HEINRICH KOERNER) 23 February 2012 (2012-02-23) paragraphs [15]-[59] and figures 1-9	1-5,39-41,74-76,90-94,99-102,115-118

10

20

30

40

50

INTERNATIONAL SEARCH REPORT

International application No.

PCT/US2022/081381

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

- 1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:
- 2. Claims Nos.: **7,13-16,19-20,27,29-31,33,37-38,44,48-51,54-55,62,64-66,68,72-73,78,81-84,86,98,104-105,107-108,111,113-114**
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
Claims 7, 13-16, 19-20, 27, 29-31, 33, 37-38, 44, 48-51, 54-55, 62, 64-66, 68, 72-73, 78, 81-84, 86, 98, 104-105, 107-108, 111, 113-114 are unclear, because they refer to the multiple dependent claims which do not comply with PCT Rule 6.4(a).
- 3. Claims Nos.: **6,8-12,17-18,21-26,28,32,34-36,42-43,45-47,52-53,56-61,63,67,69-71,77, 79-80,85,87-89,95-97,103,106,109-110,112**
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

10

20

30

40

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/US2022/081381

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2003-0186543	A1	02 October 2003	EP	1351291	A2	08 October 2003
				EP	1351291	A3	15 December 2004
				JP	2004-006748	A	08 January 2004
				US	2004-0132282	A1	08 July 2004
				US	6693356	B2	17 February 2004
				US	6951812	B2	04 October 2005
US	2015-0371953	A1	24 December 2015	CN	101188210	A	28 May 2008
				TW	200824040	A	01 June 2008
				TW	1365507	B	01 June 2012
				US	10332838	B2	25 June 2019
				US	10943867	B2	09 March 2021
				US	2008-0119047	A1	22 May 2008
				US	2011-0223762	A1	15 September 2011
				US	2012-0282768	A1	08 November 2012
				US	2013-0249097	A1	26 September 2013
				US	2014-0231999	A1	21 August 2014
				US	2018-0130752	A1	10 May 2018
				US	2019-0311993	A1	10 October 2019
				US	7964496	B2	21 June 2011
				US	8232201	B2	31 July 2012
				US	8440564	B2	14 May 2013
				US	8729703	B2	20 May 2014
US	9129968	B2	08 September 2015				
US	9881871	B2	30 January 2018				
WO	2021-242321	A1	02 December 2021	CN	114730701	A	08 July 2022
				US	11444039	B2	13 September 2022
				US	11450624	B2	20 September 2022
				US	2021-0375790	A1	02 December 2021
				US	2021-0375791	A1	02 December 2021
US	2016-0336231	A1	17 November 2016	CN	104051414	A	17 September 2014
				CN	104051414	B	23 March 2018
				CN	104051424	A	17 September 2014
				CN	104051424	B	15 August 2017
				CN	104733486	A	24 June 2015
				CN	104733486	B	11 May 2018
				CN	104752378	A	01 July 2015
				CN	104752378	B	25 September 2018
				DE	102014100564	A1	02 July 2015
				KR	10-1645825	B1	04 August 2016
				KR	10-1768292	B1	14 August 2017
				KR	10-2015-0071666	A	26 June 2015
				KR	10-2015-0076098	A	06 July 2015
				TW	201436153	A	16 September 2014
				TW	I509765	B	21 November 2015
				US	10304818	B2	28 May 2019
				US	2014-0264709	A1	18 September 2014
				US	2014-0264862	A1	18 September 2014
US	2015-0171132	A1	18 June 2015				
US	2015-0187701	A1	02 July 2015				
US	2015-0287757	A1	08 October 2015				

Form PCT/ISA/210 (patent family annex) (July 2022)

10

20

30

40

50

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/US2022/081381

Patent document cited in search report			Publication date (day/month/year)		Patent family member(s)			Publication date (day/month/year)	
					US	2018-0102351	A1	12 April 2018	
					US	2019-0279974	A1	12 September 2019	
					US	9041206	B2	26 May 2015	
					US	9076715	B2	07 July 2015	
					US	9406712	B2	02 August 2016	
					US	9553020	B2	24 January 2017	
					US	9748304	B2	29 August 2017	
US	2012-0045893	A1	23 February 2012	US	2010-0078817	A1	01 April 2010		
				US	8049336	B2	01 November 2011		
				US	8946074	B2	03 February 2015		

10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I

テーマコード (参考)

H 0 1 L	21/02	B
H 0 1 L	21/88	R

,MC,ME,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CV,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IQ,IR,IS,IT, JM,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW

弁理士 鈴木 博子

(72)発明者

ウゾー シブリアン エメカ

アメリカ合衆国 カリフォルニア州 9 5 1 3 4 サンノゼ オーチャード パークウェイ 3 0 2 5

Fターム (参考)

5F033 HH07 HH11 HH15 HH19 HH20 HH22 HH23 HH32 HH33 JJ07

JJ11 JJ15 JJ19 JJ20 JJ22 JJ23 JJ32 JJ33 KK01 KK07 KK11

KK15 KK19 KK20 MM01 MM02 MM08 MM12 MM13 MM15 MM30 NN06

NN07 PP27 PP28 QQ08 QQ19 QQ31 QQ48 RR01 RR03 RR04 RR06

RR08 RR21 UU04 VV07 WW00 WW01 WW02 XX05