

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期：

案號：

，☐有 ☐無主張優先權

美國

2001年07月31日

60/308,998

☒有 ☐無主張優先權

美國

2002年07月31日

10/210,628

☐有 ☒無主張優先權

本案優先權之主張應不予受理

第一項

有關微生物已寄存於：

寄存日期：

，寄存號碼：

裝

訂

線

五、發明說明(1)

本專利聲明在2001年7月31日所申請的美國專利案號60/308,998之權益。

技術範疇

本發明係有關於例如記憶體晶片與相關製程的半導體裝置，其中該裝置的建構可提供一選擇數量的通道，更明確而言，本發明係有關於在半導體裝置封裝後，初始選取及改變輸入/輸出通道結構選擇的方法及電路。本發明的特徵亦可用來減少產品測試所需的時間。例如，建構可於製造期間預先設定，或接合到建構，以允許最短或最有效率測試。當需要時，測試的包裝可根據本發明的說明建構成一客戶需求。如在此的使用，術語輸入/輸出只涵蓋一輸入建構、只有一輸出結構或包括輸入與輸出信號的建構。亦可了解到本發明的特徵亦可應用在一板件上安裝的倒裝晶片包裝與倒裝晶片電路。

發明背景

如在技藝中熟諳此技者所了解，通常是提供例如內部相同記憶體晶片的基本半導體裝置，但是其建構可提供各種不同輸入/輸出通道建構。例如，一典型記憶體晶片的建構可提供4、8、16或甚至32個輸入/輸出通道。根據先前技藝方法，此裝置或晶片可透過接合線將選取的結合墊連接到一 V_{DD} (或 V_{SS})電源而於指定數量的輸入/輸出通道中建構。只要一晶片或半導體裝置被包裝或封裝，沒有不使用的接合墊或先前連接的接合線可存取。結果，對於建構或改變輸入/輸出通道建構或選擇是不可能的。

五、發明說明(2)

不幸地，在許多封裝半導體裝置上最初建立的一輸入/輸出通道選擇或結構為了各種不同原因而不再銷售。結果，晶片時常只會破壞，或充其量以一大折扣銷售。

因此，本發明的一目的是要提供封裝的半導體裝置，以允許該等選取的輸入/輸出結構的選擇。

本發明的另一目的是要提供在封裝時具有初始輸入/輸出建構的半導體裝置，但是在封裝後仍然可改變成一不同輸入/輸出建構。

本發明的仍然另一目的是要提供封裝的半導體裝置，其中一第一輸入/輸出建構是在封包後選取；隨後，該選取的輸入/輸出建構會改變成不同於第一建構的一第二輸入/輸出建構。

發明概述

本發明的方法與電路是在封包後使用門開熔絲電路(一般熔絲與抗熔絲)，以允許初始的輸入/輸出通道建構，或在封包後從一初始建構重新建構。此外，本發明的特徵亦可應用在倒裝晶片包裝與在倒裝晶片上安裝的線帶。根據發明的一具體實施例，熔絲門開電路是在封裝後將一選擇信號提供給一x4、x8、或其他適當選擇電路。來自熔絲門開電路的選擇信號是透過燒斷熔絲或抗熔絲來控制選擇信號而決定。其他具體實施例包括並聯電路，以使一第一組熔絲門開電路能與致能的一第二組熔絲門開電路同時失效。此允許重新建構。

五、發明說明(3)

圖式之簡單說明

圖1a、1b、和1c係描述一先前技藝晶片，其中輸入/輸出建構選擇是透過將連接電線連接到接合墊而於16、8、和4輸入/輸出建構選取。

圖2a、2b、2c和2d係根據本發明的說明而描述適於建構輸入/輸出通道建構的門閘類型熔絲與抗熔絲電路的不同具體實施例。

圖3a和3b係描述一具體實施例，其中初始的輸入/輸出通道建構或建構是透過將一接合電線連接到一接合墊而於x16設定，但是可根據本發明的說明而建構。

圖4係描述本發明的一具體實施例，其中在該半導體裝置封包之後，輸入/輸出通道建構能反應客戶的順序而選擇及設定，但是可於稍後日期不同使用建構。

圖5係描述本發明的另一具體實施例，其中最初的輸入/輸出結構是根據透過將接合電線連接到接合墊的先前技藝而設定。然後，建構可透過使接合選擇建構失效及啟動一門閘電路而改變。

除非特別指定，否則在不同圖式的對應數字與符號可視為相同零件。圖式係明確描述較佳具體實施例的相關觀點，且未依比例繪出。

較佳具體實施例之詳細說明

請即參考圖1a、1b和1c，其係顯示典型先前技藝建構，其中在接合電線連接在例如晶片10的接合墊14、16和18之間連接之後，一記憶體晶片或其他半導體裝置10便放置在

五、發明說明(4)

一"鉛質框架或基材"12，其中該等接合墊14、16和18是如連接電線30所示連接到例如鉛質框架或基材12的指狀物22、24、26和28的個別指狀物。在圖1a顯示的具體實施例中，在鉛質框架或基材12的指狀物22與 V_{DD} 接合墊14之間有單一接合電線或連接線30，以使透過連接電線30到晶片10的 V_{DD} 接合墊14的指狀物22，電力便能從鉛質框架或基材12提供。

在一類似方式中，根據圖1b的具體實施例， V_{DD} 接合墊14是透過連接電線30的指狀物22而連接到鉛質框架或基材12，但是包括從鉛質框架或基材12的指狀物22連接到接合墊16的一進一步接合電線32。在技藝中熟諳此技者可了解到，圖1a的建構是提供一x16輸入/輸出建構，然而圖1b的連接是提供一x8輸入/輸出建構。在如圖1c所示的類似方式中，一連接電線34是連接在x8接合墊18與用以提供一x4輸入/輸出建構的鉛質框架或基材指狀物22之間。

可了解到雖然在此使用的術語"輸入/輸出"包括一半導體裝置，其中至該裝置的兩輸入信號，及來自該裝置的輸出信號是傳遞通過輸入/輸出通道建構，術語輸入/輸出亦包括半導體裝置，其中只有輸入信號或只有輸出信號是傳遞通過輸入/輸出通道建構。

然而，根據本發明，透過將在 V_{DD}/V_{SS} 電位之間的一電線連接到適當x4或x8接合墊而設定輸入/輸出通道建構可透過在半導體裝置或記憶體晶片上的門閘類型熔絲(或抗熔絲)電路，選擇性將 V_{DD} (或 V_{SS})電位連接到隨後封裝或包裝

五、發明說明(5)

的x4或x8電路的一輸入而完全避免。

如在技藝中熟諳此技者所已知的，熔絲或抗熔絲電路的設計可從具有第一極性的門開電路直接傳遞一輸出；或者，一反相器可包括在門開的輸出，以使一反相或相對極性輸出可被傳遞。結果，下列具體實施例圖式只涵蓋一些可能電路配置。其他電路配置對於在技藝中熟諳此技者是顯然的。因此，可了解到申請專利範圍是涵蓋用以將一 V_{DD} 或(V_{SS})電位連接到x4或x8電路的所有各種不同可能電路配置。為了要描述典型熔絲或抗熔絲門控電路，圖2a、2b、2c和2d係揭示不同具體實施例。圖2a至2d的一部分電路包括以相同參考數字表示的相同元件。

因此，如圖2a所示，一 V_{DD} 輸入端40是連接到一正通道FET 42的汲極。正通道FET 42的源極接著是連接到一負通道FET 44的汲極。負通道FET 44的源極是顯示連接到熔絲46，且緊接著連接到 V_{SS} 電壓源端48。根據圖2a的電路，當熔絲46未燒斷時，"1"或正輸出是在線路50上提供，而且當熔絲燒斷時，便會提供"0"或在線路50上沒有輸出。例如，當熔絲並未依下列燒斷時，熔絲的狀態會儲存在門開。一第一輸入是提供給正通道FET 42的閘極52，以便將門開初始化。在此情況，沒有信號會提供給負FET通道44的閘極54；結果，電晶體44表示一開路。即是，電晶體不是在一導通狀態。結果，當輸入運用在電晶體42的閘極52時，電晶體42會變成導通；因此，節點56會變成高電位，且將門開輸出初始化，以使在傳遞包含門開62的平行反相器58和60之後，

五、發明說明(6)

在線路50上有一負值、"0"、或沒有輸出。一信號然後運用在負FET(場效電晶體)44的閘極54。結果，FET是進入導通狀態，以使節點56目前是驅動至 V_{ss} 端48的電壓或電位。結果，閘開62能有正反效果，以使線路50的輸出是"1"信號。當然，如果熔絲46燒斷或出現開路，可了解到節點56不能由 V_{ss} 電位驅動使；結果，節點56將保持高電位，此表示在50輸出是低電位，此表示熔絲46已燒斷。同樣可了解到，包括在閘開62虛線部分顯示的另一反相器64，以使當熔絲燒斷時，輸出會是"1"或正值，且當熔絲未燒斷時，會是"0"或一負值。圖2a的表係顯示當包括一反相器及不包括反相器時，在68的輸出。

請即參考圖2b，其係顯示一閘控電路的另一配置，其中熔絲46a是在 V_{DD} 電源端40與電晶體42之間。除了閘極54的信號是先應用到負通道FET 44之外，此閘開的操作是類似圖2a的操作，以使節點56最初是負值驅動，並將正"1"輸出提供給閘控電路62。在信號運用在FET 44的閘極54之後，一信號然後運用在正通道FET 42的閘極52，當熔絲46a未燒斷時，造成節點56是以高電位驅動。結果，閘開的最後狀態將會是一高電位輸入，此表示未燒斷狀態的"0"或負輸出。當然，如果熔絲46a燒斷，那麼節點56將保持低電位，且線路50的輸出會是正或"1"。因此，在此具體實施例可看出，輸出只是圖2a具體實施例的相反。而且，如圖2a的情況，一反相器電路64是加入閘開電路，以使輸出可提供一燒斷或未燒斷熔絲的相反狀態。圖2b的表列係顯示於燒斷或未

五、發明說明(7)

燒斷狀態時使用一反相器及未使用一反相器的門開輸出。

如前述，而不是如圖2c所示出現開路燒斷的一標準熔絲，一抗熔絲66可取代使用，所以一開路正常會出線，但是只要抗熔絲燒斷，一閉路或導通電路便會出現。根據在圖2c顯示的電路操作，終端機40的 V_{DD} 電壓最初是透過導通的正通道FET 42的閘極52信號應用而運用於節點56。然後，如圖2a的描述，一信號是在線路54上應用到負通道FET電晶體44的閘極。然而，在此具體實施例中，既然抗熔絲66未燒斷或變成導電，節點56不會驅動到低電位，因此可保持高電位的。結果，既然節點56是高電位，所以高電壓可提供給門開電路62與在線路50上輸出將會是低電位。因此，當抗熔絲66未燒斷時，我們在线路50上具有一"0"、或負輸出。然而，如果抗熔絲66燒斷，那麼當一輸入運用在負通道FET 44的閘極54時，將會經由抗熔絲66的導通路徑。這可將節點56驅動到低電位，如此可在线路50上提供一高電位輸出。而且如在兩範例的討論，一反相器64是包括在門開電路62，以使輸出的極性會顛倒。這些情況是在圖2包括的表格中顯示，用以顯示使用一反相器及不使用一反相器的未燒斷或燒斷熔絲的輸出狀態。

仍然是類似在圖2b描述的另一具體實施例，使用一抗熔絲68取代在圖2b顯示的一般熔絲46a。除了結果是與圖2d的表格所示相反之外，決定此熔絲狀態的操作程序是與圖2b相同。

使用例如與圖2a的熔絲46及與圖2b的熔絲46a並聯虛線

五、發明說明(8)

顯示的的抗熔絲70和72的一熔絲與一抗熔絲的並聯配置亦是可能的。根據配置，即使圖2a的熔絲46燒斷，以使一開路出現在 V_{ss} 電源極端48與節點56之間，此情況將可透過燒斷抗熔絲70而顛倒。同樣地，如果圖2b顯示的熔絲46a是燒斷，電路透過燒斷抗熔絲72而會回到他最初電情況。可了解當然能在簡單描述的具體實施例中將此完成，小心注意運用於熔絲的電壓46(46a)與抗熔絲70(72)的電壓。即是，可清楚看出燒斷一般熔絲46(46a)所需的電流必須低於燒斷抗熔絲70(72)所需的電流，以確保一般熔絲先燒斷。

雖然一並聯熔絲/抗熔絲配置是較佳，但是可串聯配置。例如，在圖2c和2d的抗熔絲電路中，以虛線顯示的一般熔絲74和76包括串聯的抗熔絲66和68。因此，在此情況，抗熔絲66和68會燒斷且變成導通。然後，在稍時刻，一般熔絲74及/或76將會燒斷，使電路變成他們最初情況。然而，在此配置方面，抗熔絲以小於一般熔絲的電流燒斷是必需的。

因此，揭示的是無數的可能熔絲/抗熔絲門控電路，且其使用是與本發明有關。透過使用並聯與串聯熔絲與抗熔絲的各種不同組合的其他配置是可能的，且對於在技藝中熟諳此技者是顯然的。

請即參考圖3a和3b，其係顯示例如一記憶體晶片90的典型半導體裝置，且該記憶體晶片具有一接合電線連接92，其中該接合電線連接是連接在鉛質框架或基材指狀物94的 V_{DD} 電位與在記憶體晶片或其他半導體裝置90的 V_{DD} 匯流排

五、發明說明(9)

96之間。因此， V_{DD} 電位能被連接到如來自熔絲門開電路100輸出線98所示的x8電路。除了從 V_{DD} 匯流排96連接到門開電路100之外，亦分別顯示在線路102和104上的控制信號FPUP和FPUN信號。在線路102和104上的控制是類似與上述圖圖2a、2b、2c和2d有關的閘極信號52和54。而且，如在此具體實施例所示，其係顯示在端108的電源電位 V_{SS} 與門開電路100之間連接的一正常類型熔絲106。同樣地， V_{DD} 電位是透過燒斷連接到門控電路112熔絲110的輸出記錄而連接到x4電路。

因此，可了解到在圖3a顯示的具體實施例係描述包括如圖2a顯示的一對門開電路類型。當然，如前述，使用熔絲與抗熔絲的各種不同類型的不同門開電路可用於此目的。

例如，圖3b是類似圖3a，但是使用在圖2c配置的抗熔絲114和116來描述具體實施例，而不是使用提供x4或x8輸入/輸出建構選擇的一般熔絲。

結果，從圖3a和3b可看出在具有正常 V_{DD} 電位的鉛質框架或基材上的單一接合墊94是連接到記憶體晶片90的平常 V_{DD} 接合墊，以使晶片最初具有x16的輸入/輸出建構，然後透過燒斷例如熔絲106或抗熔絲114的適當熔絲或抗熔絲，該建構便會變成一x8結構。或者，透過燒斷在圖3b電路顯示的熔絲110或抗熔絲116，x4輸入/輸出建構可選取。可了解到技術可透過將輸入/輸出選擇建構成允許最快或最有效率測試的建構而用來減少產品測試時間。測試的產品然後能反應客戶的需求而確認。

五、發明說明(10)

請即參考圖4，其係顯示使用x8和x4連接每一者的門開電路具體實施例。根據此配置，輸入/輸出結構最初是透過使用前述方式的電熔絲或抗熔絲設定，然後一第二組熔絲允許原始或最初設定值在未來不同使用能於任何適當時間取代。根據此具體實施例，類似上述圖3a和3b的電路係進一步包括在來自AND閘120線路118上的輸入致能/失效信號。在線路118的一致能信號需求係表示門開電路100和112將在此具體實施例失效，直到適當正信號分別在x8和x4門開電路的門開輸入122和124上接收為止。如圖所示，初始時，在反相器128輸入的線路126上是沒有電壓，此當然係表示反相器提供一正輸出。結果，AND閘120的其中一輸入將始終是正信號，直到一正信號在線路126上接收為止。因此，可看出最初始終兩輸入之一是輸入AND閘120，且是正信號。因此，需要的是在線路130的另一信號或致能信號會改變狀態到正信號，以便在來自AND閘120的線路118上獲得一輸出。

因此，當選取半導體電路的輸入/輸出通道建構時，所需要的是燒斷門開電路133熔絲132能在線路130上造成一正輸出，並且提給AND閘120。若要達成此，如範例所示，門開電路133可建構成與圖2a的門開電路相同，而亦包括例如反相器64的一反相器，以便當電路燒斷時，可提供一"0"輸出，且當熔絲燒斷時，提供一"1"輸出。或者，沒有反相器的圖2b電路可選擇當作圖2c的抗熔絲電路。圖2d的抗熔絲電路的一反相器不具有一反相器。無論如何，可看出只

五、發明說明 (11)

要一正輸出是在線路130上提供給AND閘120，在線路118行會出現一正輸出，以允許門開電路100和112可選擇x4或x8輸入/輸出建構。只要允許，門開電路100和112便會以相同於圖3a描述的方式操作，以選取一x8或x4輸入/輸出通道建構。同樣地，現在可清楚看出抗熔絲電路亦能以前述方式用於決定輸入/輸出建構。

然而，如果在一些時間，透過門開電路100和112的隨後選取輸入/輸出通道電路，改變輸入/輸出通道數量是想要的，門開電路135的熔絲134燒斷是需要的，如此可將線路126的輸出從一"0"或負輸出改變成一正或"1"輸出。當線路126的信號是正電位時，反相器電路128便會將一"0"輸入提供給AND閘120，以使在線路118的輸出會變成負信號。此當然是因為一AND閘需要所有輸入是正信號的一"1"或"1"輸出信號。結果，來自反相器128的信號現將會是"0"或沒有信號。然而，同時，當線路126的信號是正信號時，x8門開電路140與x4門開電路142會變成致能。結果，既然門開電路100和110失效，且門開電路140和142啟動，適當的x4或x8輸入/輸出通道選擇電路可透過燒斷適當熔絲144及/或146而激勵。此外，如前述，上述抗熔絲電路的任何類型門開類型熔絲對於在線路98和109上提供信號輸出是適當的。

因此，此時在圖4的描述是電路允許先選取一輸入/輸出通道，後可稍後改變成輸入/輸出通道的另一選擇，且能相同或不同於在最先處理期間所選擇的。

請即參考圖5，其仍然是顯示本發明的另一具體實施例，

五、發明說明 (12)

而且是在圖1、3和4 討論的圖組合。根據此具體實施例，接合選擇電路150和152最初是在線路154上接收一正或"1"信號，而允許兩接合選擇電路150和152可用於選取x4或x8電路。 V_{DD} 電位可透過在端點160和162之間連接一接合電線158而運用在接合選擇電路150。接合選擇電路150可以是例如一場效電晶體的任何適當切換電路。因此，當一致能信號運用在它的閘極時，電晶體便會導通，所以在164的 V_{DD} 電位便會通過FET，及在線路166上輸出給x8電路。同樣地，如果一連接電線170是連接在接合墊172與174之間，一電位目前可運用在接合選擇電路152，以使當致能信號接收時，一導通路徑便會提供給接合選擇電路，如此可將一輸出178在線路176上提供給x4電路。然後，以與圖4a的熔絲132和134有關所討論的類似方式，如果熔絲179燒斷，門開電路180將會正反控制，以使它的輸出目前是正信號或一"1"，此當然經由從一正輸出改變成一負輸出的反相器182而使接合選擇電路150和152失效。同時，在線路184的正信號能啟動門開電路186和188，所以選取輸入/輸出通道數量的適當x4或x8輸出可透過燒斷x8熔絲190或x4熔絲192而激勵。因此，根據此具體實施例，初始的輸入/輸出通道選擇是以透過將在一 V_{DD} 或 V_{SS} 電位之間的接合電線連接到適當接合墊的一典型先前技藝方式而達成。然而，根據本發明，最初選取輸入/輸出通道可透過使接合選擇電路150和152失效而啟動熔絲或抗熔絲門控電路186和188而於稍後時間重新選取。再者，如前述，最初的結構的選擇可提供快速

五、發明說明 (13)

的產品測試，然後當需要時，電路的建構能符合客戶的需要。

因此，根據本發明描述各種不同具體實施例，用以選取或重新選取輸入/輸出通道的方法及裝置是連接，而不使用接合電線，且是在半導體裝置或記憶體晶片封裝之後。方法及裝置同樣可應用在倒裝晶片包裝，而且倒裝晶片是安裝在一電路板上。

裝

訂

線

四、中文發明摘要 (發明之名稱：熔絲可程式輸入/輸出結構)

本發明係揭示一種在封裝後使用供選取輸入/輸出通道(98、109)數量的熔絲與抗熔絲門閘(62)之電路。在封裝前，各種不同具體實施例允許傳統接合墊(14、16、18)用於輸入/輸出數量通道的初始選擇。然而，藉由提供不同選擇(52、54)信號，輸入/輸出通道數量可在封裝後由使用者隨時改變。其他具體實施例係採用"致能"門閘電路(133、135)，以允許封裝後使用者能隨時初始選擇，然後至少再一隨後選取。

英文發明摘要 (發明之名稱： FUSE PROGRAMMABLE I/O ORGANIZATION)

Circuitry using fuse and anti-fuse latches (62) for selecting the number of input/output channels (98, 109) after encapsulation is disclosed. The various embodiments allow conventional bond pads (14, 16, 18) to be used for initial selection of the number of input/output channels prior to encapsulation. However, by providing different selection signals (52, 54), the number of input/output channels may be changed by the user at any time after encapsulation. Other embodiments employ "enable" latch circuits (133, 135) allow the initial selection by the users at any time after encapsulation, and then at least one more subsequent selection.

六、申請專利範圍

1. 一種具有能經由接合墊連接選取可用輸入/輸出(I/O)通道數量之半導體電路，用以改變輸入/輸出通道的初始選擇數量電路，包含：

至少一接合選擇電路，其耦合到一電位，且具有一致能/失效輸入；及一輸出信號，該輸出信號係耦合到輸入/輸出通道選擇接合墊；

至少一門開熔絲電路，其耦合一電位，且具有一致能/失效輸入；及一輸出信號，連接到該輸入/輸出通道選擇接合墊；

當該至少一接合選擇電路接收一失效信號時，該至少一門開熔絲的進一步連接能接收一致能信號，而且當該至少一接合選擇電路接收致能信號時，接收一失效信號；及

一致能門開熔絲電路，用以當該熔絲未燒斷時，可提供該等致能與失效輸入之一；且當該熔絲燒斷時，可提供該等致能與失效輸入的另一者。

2. 如申請專利範圍第1項之電路，其進一步包含一反相器電路，連接到該致能門開熔絲電路與該至少一接合選擇電路與至少一熔絲電路任一之間。
3. 如申請專利範圍第1項之電路，其中該至少一門開熔絲電路包含兩門開熔絲電路，每個係耦合到不同輸入/輸出通道選擇接合墊，而且每個該至少一接合選擇電路包含兩接合選擇電路，且每個是連接到不同輸入/輸出通道選擇接合墊。

六、申請專利範圍

4. 如申請專利範圍第2項之電路，其中該至少一門閘熔絲電路包含兩門閘熔絲電路，每個係連接到不同輸入/輸出通道選擇接合墊，而且每個至少一接合選擇電路包含兩接合選擇電路，每個是連接到不同輸入/輸出通道選擇接合墊。
5. 如申請專利範圍第1項之電路，其中該至少一門閘熔絲包含一普通熔絲，且當燒斷時，電路可提供一開路。
6. 如申請專利範圍第2項之電路，其中該至少一門閘熔絲包含一普通熔絲，且當燒斷時，電路可提供一開路。
7. 如申請專利範圍第3項之電路，其中該至少一門閘熔絲包含一普通熔絲，且當燒斷時，電路可提供一開路。
8. 如申請專利範圍第4項之電路，其中該至少一門閘熔絲包含一普通熔絲，且當燒斷時，電路可提供一開路。
9. 如申請專利範圍第1項之電路，其中該至少一門閘熔絲包含一抗熔絲，用以當該熔絲燒斷時，提供一導電電路。
10. 如申請專利範圍第2項之電路，其中該至少一門閘熔絲包含一抗熔絲，用以當該熔絲燒斷時，提供一導電電路。
11. 如申請專利範圍第3項之電路，其中該至少一門閘熔絲包含一抗熔絲，用以當該熔絲燒斷時，提供一導電電路。
12. 如申請專利範圍第4項之電路，其中該至少一門閘熔絲包含一抗熔絲，用以當該熔絲燒斷時，提供一導電電路。

六、申請專利範圍

路。

13. 如申請專利範圍第5項之電路，其進一步包含與每個至少一普通熔絲並聯的一抗熔絲，以使每個開路可透過燒斷適當並聯抗熔絲而保持工作。
14. 如申請專利範圍第6項之電路，其進一步包含與每個至少一普通熔絲並聯的一抗熔絲，以使每個開路可透過燒斷適當並聯抗熔絲而保持工作。
15. 如申請專利範圍第7項之電路，其進一步包含與每個至少一普通熔絲並聯的一抗熔絲，以使每個開路可透過燒斷適當並聯抗熔絲而保持工作。
16. 如申請專利範圍第8項之電路，其進一步包含與每個至少一普通熔絲並聯的一抗熔絲，以使每個開路可透過燒斷適當並聯抗熔絲而保持工作。
17. 如申請專利範圍第1項之電路，其中該至少一門開熔絲電路係進一步包含一門控電路操作，以使當該熔絲未燒斷時，一高與低信號之一便可提供給一輸入/輸出通道選擇接合墊；且當該熔絲燒斷時，該高與低信號的另一者係提供給該輸入/輸出通道選擇接合墊。
18. 如申請專利範圍第2項之電路，其中該至少一門開熔絲電路係進一步包含一門控電路操作，以使當該熔絲未燒斷時，一高與低信號之一便可提供給一輸入/輸出通道選擇接合墊；且當該熔絲燒斷時，該高與低信號的另一者係提供給該輸入/輸出通道選擇接合墊。
19. 如申請專利範圍第5項之電路，其中該至少一門開熔絲

六、申請專利範圍

電路係進一步包含一門控電路操作，以使當該熔絲未燒斷時，一高與低信號之一便可提供給一輸入/輸出通道選擇接合墊；且當該熔絲燒斷時，該高與低信號的另一者係提供給該輸入/輸出通道選擇接合墊。

20. 如申請專利範圍第9項之電路，其中該至少一門開熔絲電路係進一步包含一門控電路操作，以使當該熔絲未燒斷時，一高與低信號之一便可提供給一輸入/輸出通道選擇接合墊；且當該熔絲燒斷時，該高與低信號的另一者係提供給該輸入/輸出通道選擇接合墊。

21. 一種具有可選擇數量輸入/輸出通道之半導體電路，其包含：

用以接收一信號的至少一選擇輸入，以選取一預定數量的輸入/輸出通道；及

至少一熔絲電路，用以當該熔絲是一燒斷或未燒斷之一情況時，可提供該信號供選取；且當該熔絲是在一燒斷或未燒斷的另一情況時，不提供該信號供選取。

22. 如申請專利範圍第21項之電路，其中該至少一選擇輸入包含兩選擇輸入，而且該至少一熔絲電路包含兩熔絲電路，該等兩熔絲電路是每個耦合到該等兩選擇輸入。
23. 如申請專利範圍第21項之電路，其中該至少一熔絲電路進一步包含一門控電路。
24. 如申請專利範圍第22項之電路，其中該等兩熔絲電路的每個進一步包含一門控電路。
25. 如申請專利範圍第21項之電路，其中該熔絲電路包含一

六、申請專利範圍

- 普通熔絲，用以當該熔絲燒斷時，電路可提供一開路。
26. 如申請專利範圍第22項之電路，其中該熔絲電路包含一普通熔絲，用以當該熔絲燒斷時，電路可提供一開路。
27. 如申請專利範圍第21項之電路，其中該熔絲電路包含一抗熔絲，用以當該抗熔絲燒斷時，提供一導電電路。
28. 如申請專利範圍第22項之電路，其中該熔絲電路包含一抗熔絲，用以當該抗熔絲燒斷時，提供一導電電路。
29. 如申請專利範圍第23項之電路，其中該熔絲電路包含一抗熔絲，用以當該抗熔絲燒斷時，提供一導電電路。
30. 如申請專利範圍第24項之電路，其中該熔絲電路包含一抗熔絲，用以當該抗熔絲燒斷時，提供一導電電路。
31. 如申請專利範圍第21項之電路，其係進一步包含一反相器電路，該反相器電路是連接在該至少一熔絲電路與該至少一選擇輸入之間。
32. 如申請專利範圍第22項之電路，其係進一步包含一反相器電路，該反相器電路是連接在該至少一熔絲電路與該至少一選擇輸入之間。
33. 如申請專利範圍第23項之電路，其係進一步包含一反相器電路，該反相器電路是連接在該門控電路與該至少一選擇輸入之間。
34. 如申請專利範圍第24項之電路，其係進一步包含一反相器電路，該反相器電路是連接在該等兩門控電路的每一者與該等兩選擇輸入的每一者之間。
35. 如申請專利範圍第21項之電路，其中該至少一熔絲電路

六、申請專利範圍

包含：至少一普通熔絲，用以當燒斷時，可提供一開路；及一抗熔絲，用以當燒斷時，提供一導電電路。

36. 一種具有選擇數量輸入/輸出之半導體電路，其中該選擇數量的輸入/輸出通道可改變成不同數量，該記憶體晶片包含：

一選擇信號，用以選取一預定數量的輸入/輸出通道；

至少兩對熔絲電路，該等至少兩對的每個熔絲電路的耦合可接收一致能信號，及用以當它的熔絲是在一燒斷或未燒斷之一情況時，可提供該信號供選擇；且當熔絲是在一燒斷或未燒斷的另一情況時，可提供該信號供選擇；

一第一熔絲致能電路，當其熔絲是在一燒斷或未燒斷之一情況時，可提供一第一致能信號；且當熔絲是在一燒斷或未燒斷的另一情況時，不提供該第一致能信號；

一第二熔絲致能電路，用以當該第二熔絲致能電路的一熔絲是在一燒斷或未燒斷之一情況時，可將一第二致能信號提供給一致能對的該等熔絲電路；且當熔絲是在一燒斷或未燒斷的另一情況時，不提供該第二致能信號；

一反相器電路，其耦合可從該第二熔絲電路接收該第二致能信號，用以當該第二致能信號未提供時，可提供一致能輸出；且當該第二致能信號提供時，不提供該致能輸出；及

一邏輯閘，用以從該第一熔絲致能電路接收該第一致

六、申請專利範圍

能信號，及用以從該反相器電路接收該致能信號；該邏輯閘可提供一致能信號，以便當來自該第一熔絲致能電路與該反相器電路的該等信號提供時，可啟動另一對的該等熔絲電路。

37. 如申請專利範圍第36項之電路，其中該記憶體晶片是在一輸入/輸出建構選擇前封裝。

38. 一種用以提供具有使用者可選擇的許多輸入/輸出通道的半導體電路之方法，其包含；

提供複數個半導體電路，每個半導體電路包含至少一熔絲電路，用以當該熔絲燒斷時，可提供一選擇輸出信號；及

燒斷在每個半導體電路的該至少一熔絲電路上的至少一熔絲，以提供用以選取輸入/輸出通道數量的信號。

39. 如申請專利範圍第38項之方法，其中該複數個提供的半導體電路具有一預先設定選取數量的輸入/輸出通道數量，且該用以燒斷至少一熔絲的步驟可選取不同於該預先設定選取數量的另一數量輸入/輸出通道。

40. 如申請專利範圍第38項之方法，其中該燒斷步驟包含燒斷在一第一致能電路中的熔絲，以允許一第一組熔絲電路可選擇，然後燒斷該第一組熔絲電路的選擇熔絲，以選取輸入/輸出通道數量。

41. 如申請專利範圍第40項之方法，其進一步包含；

用以燒斷在一第二致能電路熔絲的步驟，以使供選擇的該第一組熔絲電路失效，及允許一第二組熔絲電路來

六、申請專利範圍

選取；及

燒斷該第二組熔絲電路的選擇熔絲，以選取不同數量的輸入/輸出通道。

42. 如申請專利範圍第38項之方法，其進一步包含在該燒斷步驟之前，該用以將該半導體電路封裝的步驟。
43. 如申請專利範圍第39項之方法，其進一步包含在該燒斷步驟之前，該用以將該半導體電路封裝的步驟。
44. 如申請專利範圍第40項之方法，其進一步包含在該燒斷步驟之前，該用以將該半導體電路封裝的步驟。
45. 如申請專利範圍第41項之方法，其進一步包含在該燒斷步驟之前，該用以將該半導體電路封裝的步驟。
46. 如申請專利範圍第39項之方法，其中該用以燒斷至少一熔絲的步驟係進一步包含將一門開電路的輸出反相，以提供用以選取輸入/輸出通道數量的該信號。
47. 如申請專利範圍第38項之方法，其中該用以燒斷至少一熔絲的步驟包含燒斷至少一熔絲，且當該熔絲燒斷時，可提供一開路。
48. 如申請專利範圍第39項之方法，其中該用以燒斷至少一熔絲的步驟包含燒斷至少一熔絲，且當該熔絲燒斷時，可提供一開路。
49. 如申請專利範圍第40項之方法，其中該用以燒斷至少一熔絲的步驟包含燒斷至少一熔絲，且當該熔絲燒斷時，可提供一開路。
50. 如申請專利範圍第41項之方法，其中該用以燒斷至少一

六、申請專利範圍

熔絲的步驟包含燒斷至少一熔絲，且當該熔絲燒斷時，可提供一開路。

51. 如申請專利範圍第42項之方法，其中該用以燒斷至少一熔絲的步驟包含燒斷至少一熔絲，且當該熔絲燒斷時，可提供一開路。
52. 如申請專利範圍第38項之方法，其中該用以燒斷至少一熔絲的步驟包含燒斷至少一抗熔絲，且當該抗熔絲燒斷時，可提供一閉路連接。
53. 如申請專利範圍第39項之方法，其中該用以燒斷至少一熔絲的步驟包含燒斷至少一抗熔絲，且當該抗熔絲燒斷時，可提供一閉路連接。
54. 如申請專利範圍第40項之方法，其中該用以燒斷至少一熔絲的步驟包含燒斷至少一抗熔絲，且當該抗熔絲燒斷時，可提供一閉路連接。
55. 如申請專利範圍第41項之方法，其中該用以燒斷至少一熔絲的步驟包含燒斷至少一抗熔絲，且當該抗熔絲燒斷時，可提供一閉路連接。
56. 如申請專利範圍第42項之方法，其中該用以燒斷至少一熔絲的步驟包含燒斷至少一抗熔絲，且當該抗熔絲燒斷時，可提供一閉路連接。
57. 如申請專利範圍第38項之方法，其中該等輸入/輸出通道是用於只將該等輸入信號任一者傳遞給該該半導體電路，將只來自該半導體電路的輸出信號與兩輸入信號傳遞給該半導體電路，及來自該半導體電路的輸出信號。

六、申請專利範圍

58. 如申請專利範圍第1項之電路，其中該等經由輸入/輸出通道傳遞的信號包含：只將該等輸入信號任一者傳輸給該電路，將只來自該半導體電路的輸出信號與兩輸入信號傳遞給該半導體電路，及來自該半導體電路的輸出信號。
59. 如申請專利範圍第21項之電路，其中該等經由輸入/輸出通道傳遞的信號包含：只將該等輸入信號任一者傳輸給該電路，將只來自該半導體電路的輸出信號與兩輸入信號傳遞給該半導體電路，及來自該半導體電路的輸出信號。
60. 如申請專利範圍第36項之電路，其中該等經由輸入/輸出通道傳遞的信號包含：只將該等輸入信號任一者傳輸給該電路，將只來自該半導體電路的輸出信號與兩輸入信號傳遞給該半導體電路，及來自該半導體電路的輸出信號。
61. 如申請專利範圍第1項之電路，其中該半導體電路是一記憶體裝置。
62. 如申請專利範圍第21項之電路，其中該半導體電路是一記憶體裝置。
63. 如申請專利範圍第36項之電路，其中該半導體電路是一記憶體裝置。
64. 如申請專利範圍第38項之方法，其中該半導體電路是一記憶體裝置。
65. 如申請專利範圍第39項之方法，其中該預設設量的輸入

六、申請專利範圍

/輸出通道選擇是需要最低測試時間，該用以燒斷至少一熔絲的步驟是選擇客戶所需的輸入/輸出通道數量。

66. 如申請專利範圍第41項之方法，其中該用以燒斷該第一組熔絲的步驟是提供所需最低測試時間的產品架構，且該用以燒斷該第二記錄組選擇熔絲的步驟是提供一需要的架構。

裝

訂

線

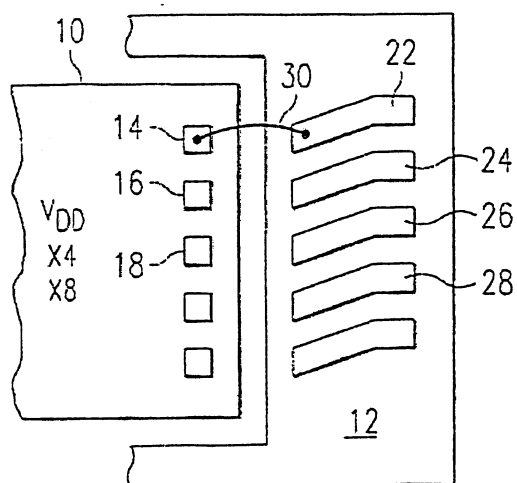


圖 1A
(先前技藝)

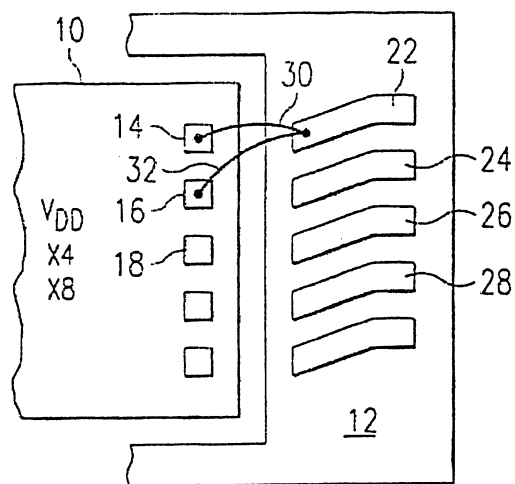


圖 1B
(先前技藝)

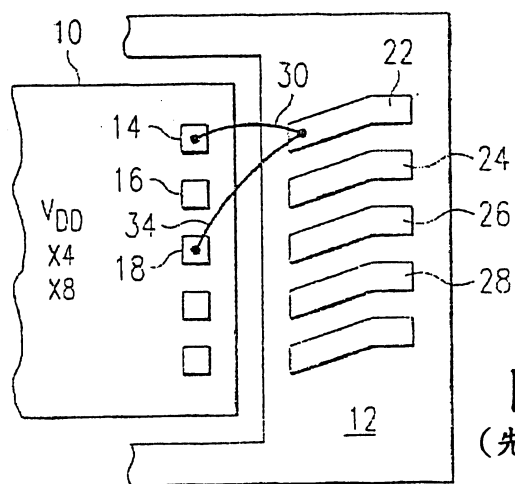


圖 1C
(先前技藝)

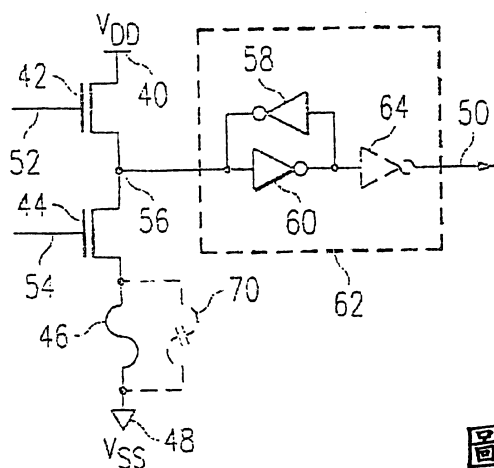


圖 2A-

熔絲 狀態	門開輸出	
	非反相	反相
未燒斷	1	0
燒斷	0	1

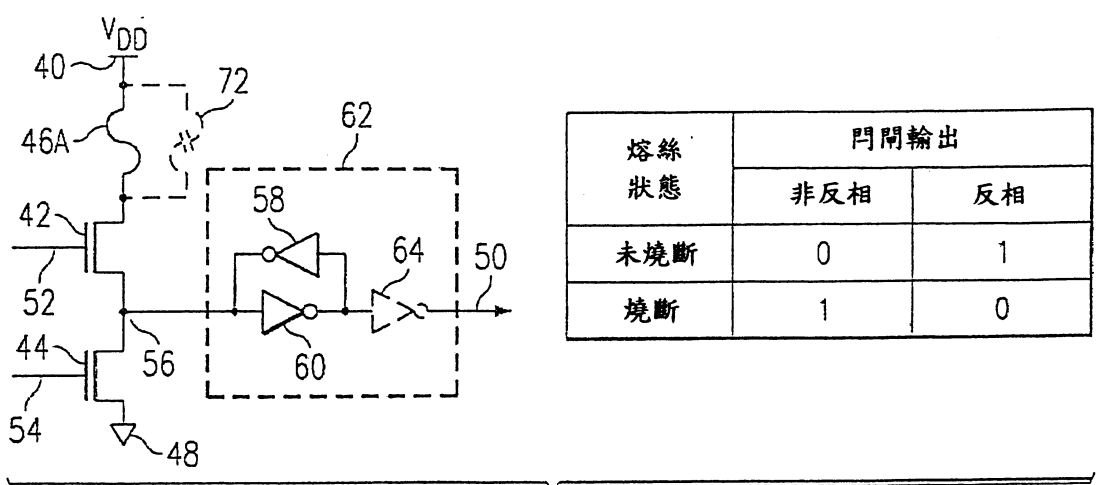


圖 2B

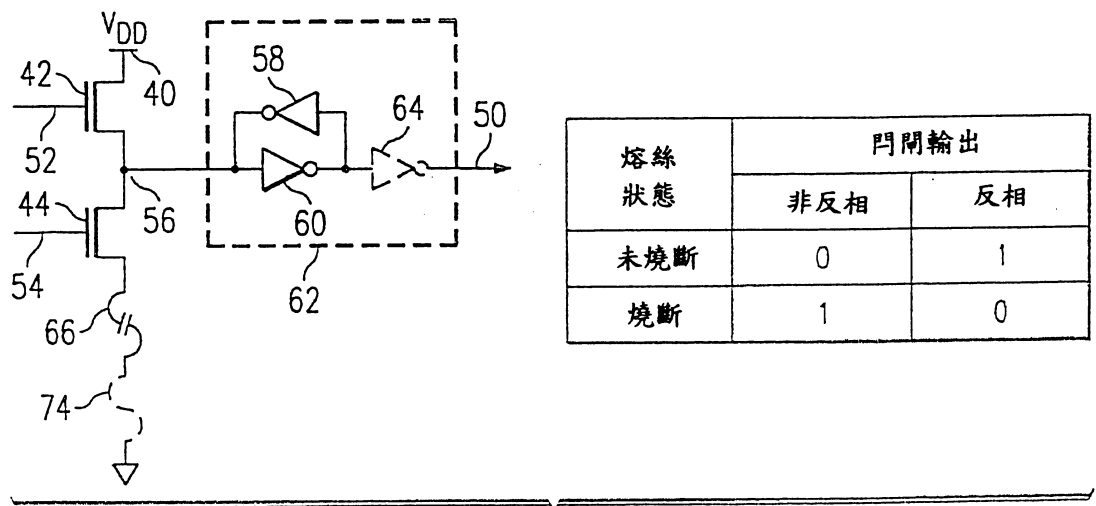


圖 2C

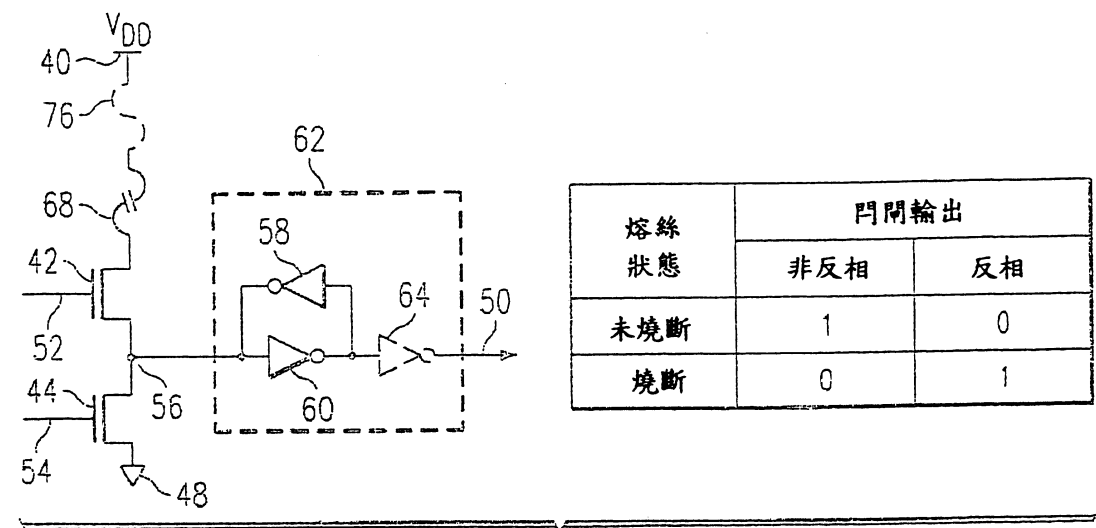


圖 2D

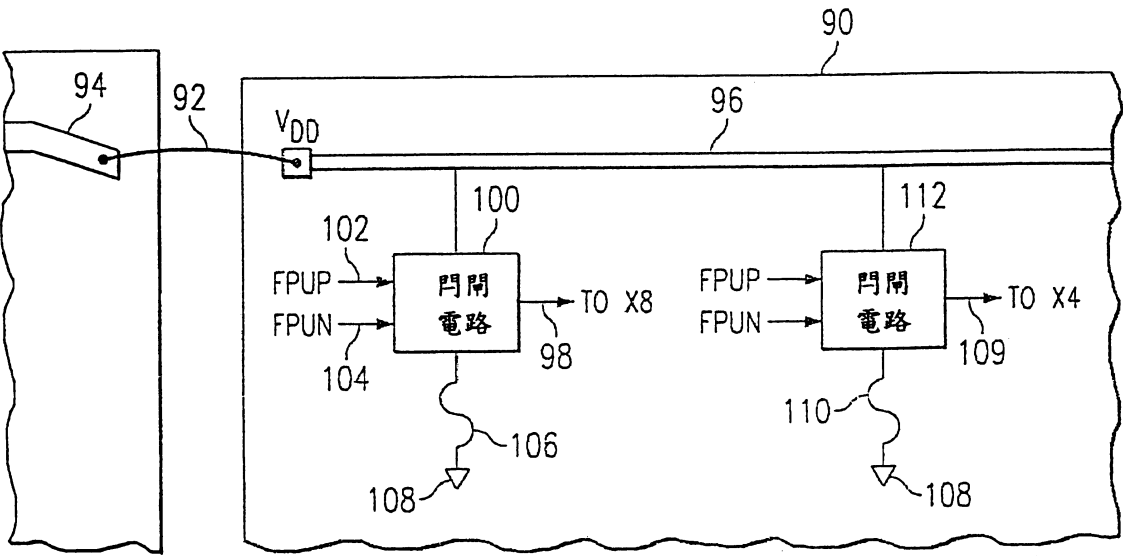


圖 3A

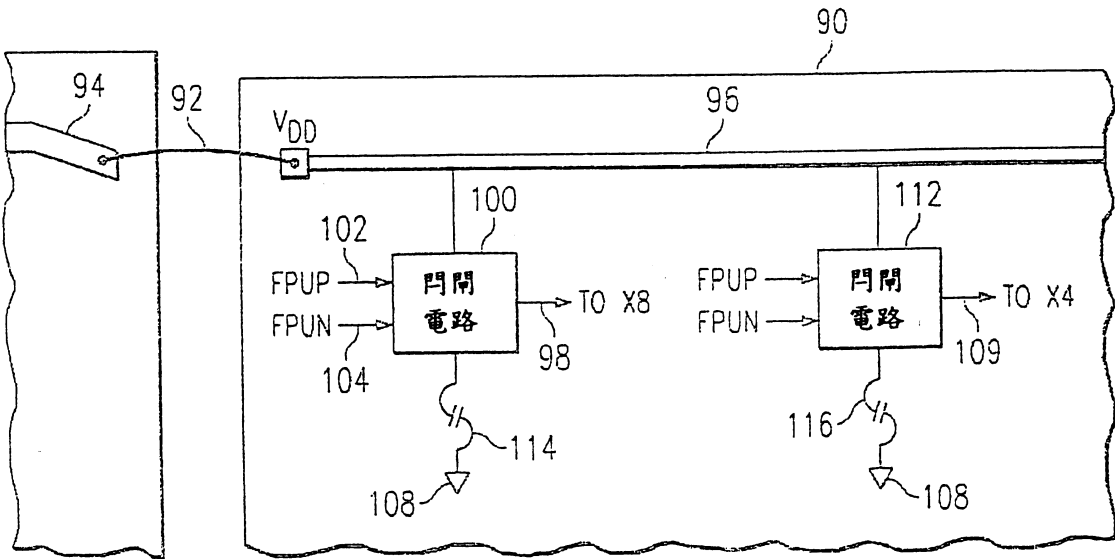


圖 3B

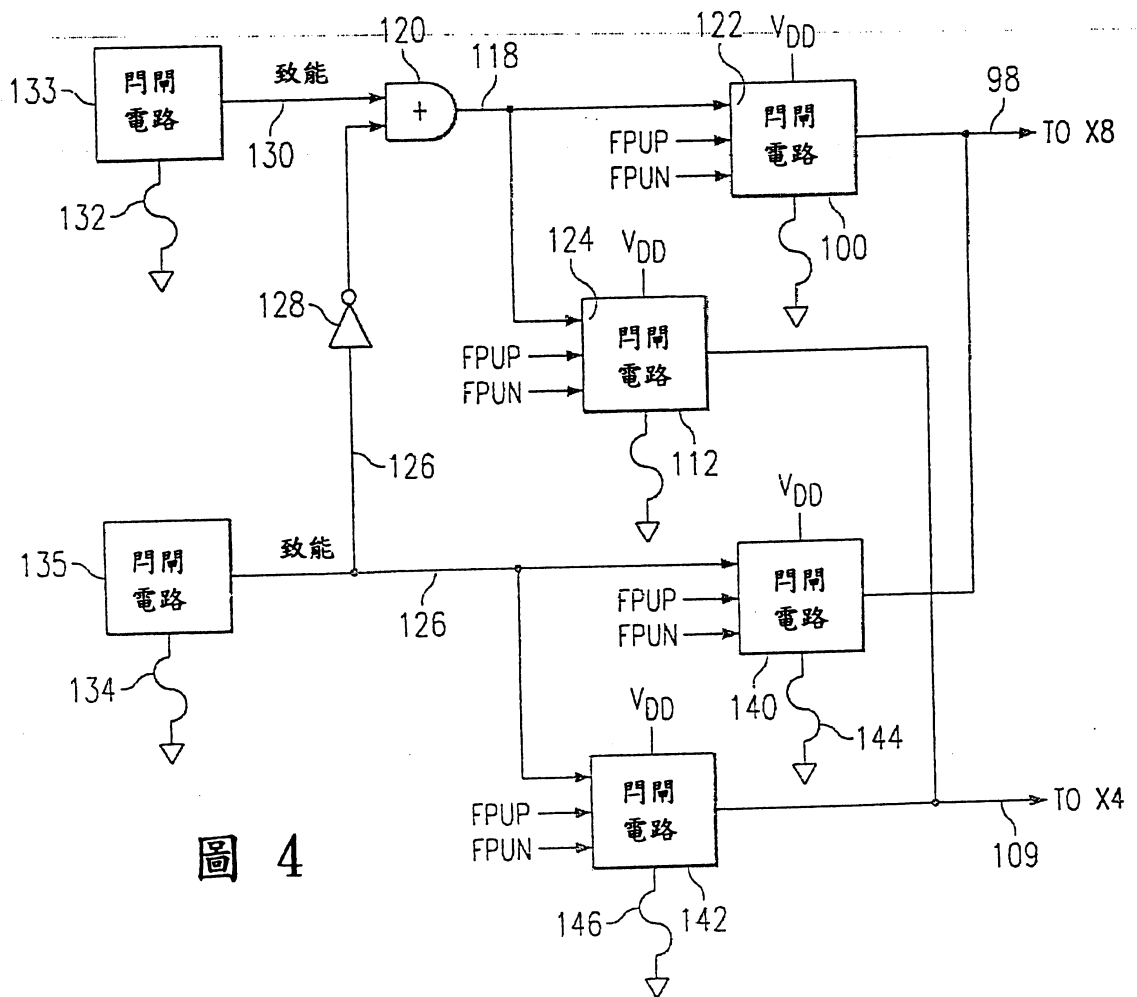


圖 4

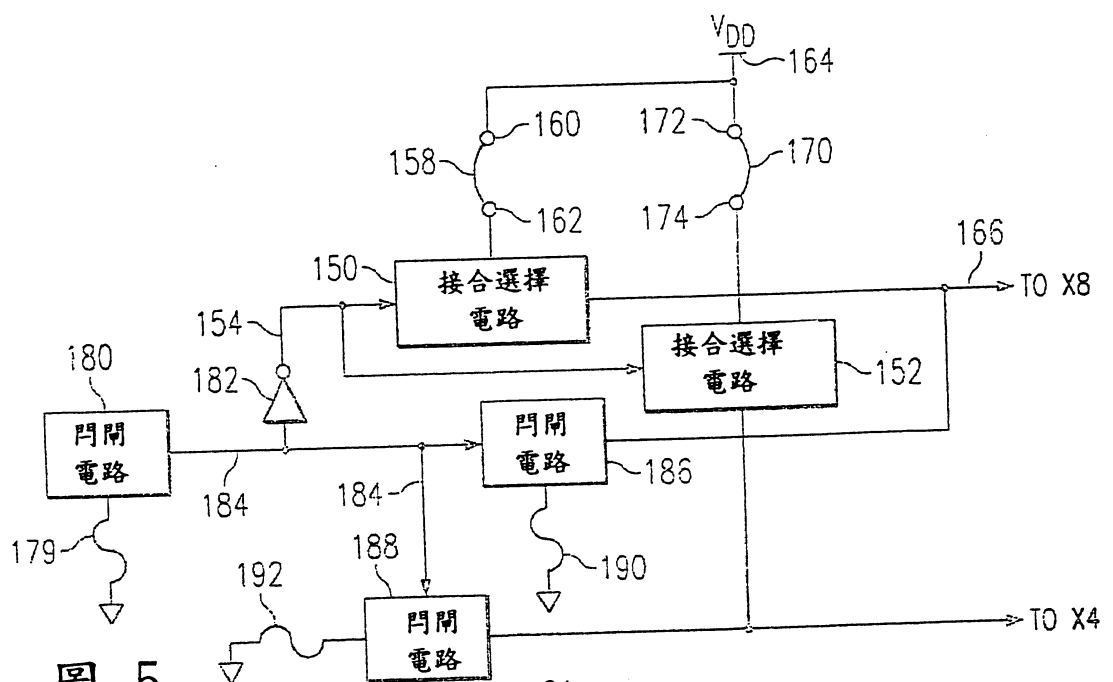


圖 5

公告 9097

91年12月12日

修正
補充

申請日期	91. 7. 31
案 號	091117155
類 別	G11C 29/00

A4
C4

中文說明書替換頁(91年12月)

564432

(以上各欄由本局填註)

發 明 專 利 說 明 書
新 型

一、發明 名稱	中 文	熔絲可程式輸入/輸出結構
	英 文	FUSE PROGRAMMABLE I/O ORGANIZATION
二、發明人 創作	姓 名	1. 芭芭拉 斐斯克茲 BARBARA VASQUEZ 2. 傑德 富蘭寇斯基 GERD FRANKOWSKY
	國 籍	1. 美國 U.S.A. 2. 德國 GERMANY
	住、居所	1. 美國加州奧瑞達市瑞文希爾路160號 160 RAVENHILL BD, ORINDA, CA 94563, U.S.A. 2. 德國荷翰可成席格茲布萊恩市樂成街1c號 LERCHENSTR.1C, 85635 HÖHENKIRCHEN-SIEGERTSBRUNN, GERMANY
三、申請人	姓 名 (名稱)	德商億恒科技公司 INFINEON TECHNOLOGIES AG
	國 籍	德國 GERMANY
	住、居所 (事務所)	德國慕尼黑市馬汀街53號 ST.-MARTIN-STR.53, 81669 MÜNCHEN, GERMANY
	代 表 人 姓 名	1. 彼得 季里茲 PETER ZEDLITZ 2. 赫斯特 雪佛爾 HORST SCHAEFER