(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2024 年 12 月 12 日 (12.12.2024)

WIPO | PCT

(10) 国际公布号
WO 2024/250366 A1

(51) 国际专利分类号:
H01L 27/15 (2006.01) *H01L 25/075* (2006.01)
H01L 33/62 (2010.01)

(21) 国际申请号: PCT/CN2023/104771

(22) 国际申请日: 2023 年 6 月 30 日 (30.06.2023)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202310681809.4 2023年6月8日 (08.06.2023) CN

(71) 申请人: 武汉华星光电半导体显示技术有限公司 (**WUHAN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.**) [CN/CN]; 中国湖北省武汉市东湖新技术开发区高新大道666号光谷生物创新园C5栋305室, Hubei 430079 (CN)。

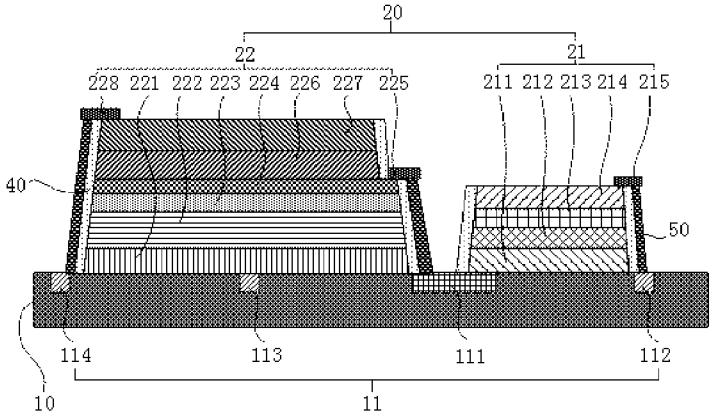
(72) 发明人: 刘卫来 (**LIU, Weilai**); 中国湖北省武汉市东湖新技术开发区高新大道666号光谷生物创新园C5栋305室, Hubei 430079 (CN)。 孙亮 (**SUN, Liang**); 中国湖北省武汉市东湖新技术开发区高新大道666号光谷生物创新园C5栋305室, Hubei 430079 (CN)。 朱平 (**ZHU, Ping**); 中国湖北省武汉市东湖新技术开发区高新大道666号光谷生物创新园C5栋305室, Hubei 430079 (CN)。 周威龙 (**ZHOU, Weilong**); 中国湖北省武汉市东湖新技术开发区高新大道666号光谷生物创新园C5栋305室, Hubei 430079 (CN)。 施磊 (**SHI, Lei**); 中国湖北省武汉市东湖新技术开发区高新大道666号光谷生物创新园C5栋305室, Hubei 430079 (CN)。

(74) 代理人: 深圳紫藤知识产权代理有限公司 (**PURPLEVINE INTELLECTUAL PROPERTY (SHENZHEN) CO., LTD.**); 中国广东省深圳市南山区粤海街道大冲社区华润置地大厦C座2901, Guangdong 518052 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,

(54) **Title:** DISPLAY PANEL AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 一种显示面板及其制备方法



[图1]

(57) **Abstract:** The present application provides a display panel and a manufacturing method therefor. The display panel comprises an array substrate and a plurality of pixel unit groups; each pixel unit group is composed of a first pixel unit and a second pixel unit; the first pixel unit comprises a first light-emitting unit layer; the second pixel unit comprises a second light-emitting unit layer and a third light-emitting unit layer; and the second light-emitting unit layer and the third light-emitting unit layer are sequentially stacked in the direction moving away from the array substrate.

(57) 摘要: 本申请提供一种显示面板及其制备方法，显示面板包括阵列基板和多个像素单元组，每个像素单元组由一个第一像素单元和一个第二像素单元组成，第一像素单元包括第一发光单元层；第二像素单元包括第二发光单元层和第三发光单元层，且第二发光单元层和第三发光单元层在背离阵列基板的方向上依次层叠设置。

WO 2024/250366 A1

[见续页]

SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

发明名称：一种显示面板及其制备方法

技术领域

[0001] 本申请涉及显示技术领域，具体涉及一种显示面板及其制备方法。

背景技术

[0002] 微型发光二极管（Micro Light-Emitting Diode，简称Micro-LED）显示具有超高密度的像素分辨率和自主发光的特性。相比OLED和LCD显示，Micro-LED显示色彩更容易准确的调试，有更长的发光寿命和更高的亮度，同时更具轻薄及省电优势，具有广泛的市场应用前景。

[0003] 相关技术中，实现Micro-LED全彩化显示的方式为：在显示面板中额外设置量子点膜层，利用蓝光LED芯片激发量子点膜层中的量子点，从而产生彩色光。此种全彩化的方式为了保证色彩转换和光效提取效率，需要将量子点膜层的厚度设置的较厚，但较厚的量子点膜层会制约显示像素的尺寸，使得显示面板的分辨率难以提高，并增加制造成本，同时还容易产生相邻显示像素出光串扰的问题，此问题亟待解决。

发明概述

[0004] 本申请提供一种显示面板及其制备方法，能够有效改善现有的Micro-LED显示面板存在的分辨率难以提高，制造成本高和出光串扰的问题。

[0005] 一方面，本申请提供一种显示面板，所述显示面板包括：阵列基板；多个像素单元组，设置在所述阵列基板的一侧，每个所述像素单元组由一个第一像素单元和一个第二像素单元组成，且所述第一像素单元和所述第二像素单元在所述阵列基板上的正投影错位设置，其中，所述第一像素单元包括具有第一发光颜色的第一发光单元层；所述第二像素单元包括具有第二发光颜色的第二发光单元层和具有第三发光颜色的第三发光单元层，且所述第二发光单元层和所述第三发光单元层在背离所述阵列基板的方向上依次层叠设置。

[0006] 可选的，所述第一发光颜色为红色；所述第二发光颜色为蓝色和绿色的一种；

所述第三发光颜色为蓝色和绿色的另一种。

[0007] 可选的，所述第一像素单元包括在背离所述阵列基板的方向上依次层叠设置的第一掺杂类型的第一半导体层、所述第一发光单元层、第二掺杂类型的第二半导体层；所述第二像素单元包括在背离所述阵列基板的方向上依次层叠设置的第二掺杂类型的第三半导体层、所述第二发光单元层、第一掺杂类型的第四半导体层、所述第三发光单元层、第二掺杂类型的第五半导体层；其中，所述第一掺杂类型为N型或P型的一种，所述第二掺杂类型为N型或P型的另一种。

[0008] 可选的，所述第一像素单元还包括：第一电极，与所述第一掺杂类型的第一半导体层相接触；第二电极，与所述第二掺杂类型的第二半导体层相接触；所述第二像素单元还包括：第三电极，与所述第二掺杂类型的第三半导体层相接触；第四电极，与所述第一掺杂类型的第四半导体层相接触；第五电极，与所述第二掺杂类型的第五半导体层相接触；其中，所述第一电极和所述第四电极的电极类型相同，均为阳极或阴极的一种，且所述第一电极和所述第四电极电连接；其中，所述第二电极、所述第三电极和所述第五电极的电极类型相同，均为阳极或阴极的另一种，且所述第二电极、所述第三电极和所述第五电极绝缘设置。

[0009] 可选的，所述第一掺杂类型的第四半导体层包括未被所述第三发光单元层所覆盖的第一部分，所述第四电极与所述第一部分相接触。

[0010] 可选的，所述阵列基板包括：多个焊盘组，每个焊盘组对应一个所述像素单元组，其中，所述焊盘组包括：第一焊盘、第二焊盘、第三焊盘和第四焊盘，所述第一焊盘分别与所述第一电极和所述第四电极电连接；所述第二焊盘与所述第二电极电连接，所述第三焊盘与所述第三电极电连接，所述第四焊盘与所述第五电极电连接。

[0011] 可选的，所述第一电极设置在所述第一掺杂类型的第一半导体层朝向所述阵列基板的一侧，所述第一电极与所述第一焊盘接触电连接；所述第三电极设置在所述第二掺杂类型的第三半导体层朝向所述阵列基板的一侧，所述第三电极与所述第三焊盘接触电连接。

[0012] 可选的，所述第二掺杂类型的第二半导体层背离所述阵列基板的一侧的表面，

与所述阵列基板之间的距离为第一距离；所述第二掺杂类型的第五半导体层背离所述阵列基板的一侧的表面，与所述阵列基板之间的距离为第二距离；其中，所述第二距离大于所述第一距离。

[0013] 可选的，所述第一电极设置在所述第一掺杂类型的第一半导体层朝向所述阵列基板的一侧，且所述第一电极与所述第一焊盘接触电连接；所述第三电极设置在所述第二掺杂类型的第三半导体层朝向所述阵列基板的一侧，其中，所述显示面板还包括多个绝缘凸起，所述绝缘凸起设置在所述第三电极和阵列基板之间，所述第三电极通过所述绝缘凸起中的过孔与所述第三焊盘电连接。

[0014] 可选的，所述绝缘凸起背离所述阵列基板一侧的表面与所述阵列基板之间的距离为第三距离；所述第二掺杂类型的第二半导体层背离所述阵列基板的一侧的表面与所述阵列基板之间的距离为第四距离；其中，所述第三距离等于所述第四距离。

[0015] 另一方面，本申请提供一种显示面板的制备方法，所述显示面板的制备方法包括以下步骤：

[0016] 在一第一衬底的一侧形成第一像素复合层，所述第一像素复合层包括依次层叠设置的第二掺杂类型的第二半导体层、第一发光单元层、第一掺杂类型的第一半导体层；在一第二衬底的一侧形成第二像素复合层，所述第二像素复合层包括依次层叠设置的第二掺杂类型的第五半导体层、第三发光单元层、第一掺杂类型的第四半导体层、第二发光单元层、第二掺杂类型的第三半导体层；

[0017] 将所述第一像素复合层背离所述第一衬底的一侧键合到一阵列基板的一侧，并移除所述第一衬底；

[0018] 将所述第二像素复合层背离所述第二衬底的一侧键合到所述阵列基板的一侧，并移除所述第二衬底；

[0019] 其中，在将所述第一像素复合层背离所述第一衬底的一侧键合到一阵列基板的一侧，并移除所述第一衬底的步骤之前，对所述第一像素复合层进行图案化处理；在将所述第二像素复合层背离所述第二衬底的一侧键合到所述阵列基板的一侧，并移除所述第二衬底的步骤之前，对所述第二像素复合层进行图案化处理；

[0020] 或，在将所述第一像素复合层背离所述第一衬底的一侧键合到一阵列基板的一侧，并移除所述第一衬底的步骤之后，对所述第一像素复合层进行图案化处理；在将所述第二像素复合层背离所述第二衬底的一侧键合到所述阵列基板的一侧，并移除所述第二衬底的步骤之后，对所述第二像素复合层进行图案化处理，其中，完成所述第一像素复合层的图案化处理之后，在所述第一像素复合层的图案化区域形成绝缘凸起，并形成贯穿所述绝缘凸起的过孔，所述绝缘凸起背离所述阵列基板的一侧的表面与所述阵列基板的距离为第三距离，所述第一像素复合层背离所述阵列基板的一侧的表面与所述阵列基板的距离为第四距离，所述第三距离等于所述第四距离；之后，将所述第二像素复合层背离所述第二衬底的一侧键合到所述阵列基板的一侧，并移除所述第二衬底。

有益效果

[0021] 本申请提供一种显示面板及其制备方法，显示面板包括阵列基板和多个像素单元组，每个像素单元组由一个第一像素单元和一个第二像素单元组成，且第一像素单元和第二像素单元在阵列基板上的正投影错位设置，第一像素单元包括具有第一发光颜色的第一发光单元层；第二像素单元包括具有第二发光颜色的第二发光单元层和具有第三发光颜色的第三发光单元层，且第二发光单元层和第三发光单元层在背离阵列基板的方向上依次层叠设置。本申请提供的显示面板中，由于每个像素单元组由一个第一像素单元和一个第二像素单元，且第二像素单元包括层叠设置的具有不同发光颜色的两种发光单元层，从而能够在实现全彩化显示的同时，提高分辨率，降低成本，提高显示质量；并可有效提升红色发光单元层的发光效率，进而能够有效提高显示面板的整体发光效率。

附图说明

[0022] 为了更清楚地说明本申请实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0023] 图1为本申请实施例一提供的设置在阵列基板的一侧的像素单元组的膜层结构

示意图。

[0024] 图2为本申请实施例一提供的显示面板的制备方法中步骤S01所对应的结构示意图。

[0025] 图3为本申请实施例一提供的显示面板的制备方法中步骤S02所对应的结构示意图。

[0026] 图4为本申请实施例一提供的显示面板的制备方法中步骤S03所对应的结构示意图。

[0027] 图5为本申请实施例一提供的显示面板的制备方法中步骤S04所对应的结构示意图。

[0028] 图6为本申请实施例一提供的显示面板的制备方法中步骤S05所对应的结构示意图。

[0029] 图7为本申请实施例一提供的显示面板的制备方法中步骤S06所对应的结构示意图。

[0030] 图8为本申请实施例二提供的设置在阵列基板的一侧的像素单元组的膜层结构示意图。

[0031] 图9为本申请实施例二提供的显示面板的制备方法中步骤S11所对应的结构示意图。

[0032] 图10为本申请实施例二提供的显示面板的制备方法中步骤S12所对应的结构示意图。

[0033] 图11为本申请实施例二提供的显示面板的制备方法中步骤S13所对应的结构示意图。

[0034] 图12为本申请实施例二提供的显示面板的制备方法中步骤S14所对应的结构示意图。

[0035] 图13为本申请实施例二提供的显示面板的制备方法中步骤S15所对应的结构示意图。

[0036] 图14为本申请实施例二提供的显示面板的制备方法中步骤S16所对应的结构示意图。

[0037] 图15为本申请实施例二提供的显示面板的制备方法中步骤S17所对应的结构示

意图。

[0038] 图16为本申请实施例二提供的显示面板的制备方法中步骤S18所对应的结构示意图。

[0039] 附图标记：

[0040] 阵列基板10；焊盘组11；第一焊盘111；第二焊盘112；第三焊盘113；第四焊盘114；像素单元组20；第一像素单元21；第一电极211；第一半导体层212；第一发光单元层213；第二半导体层214；第二电极215；第二像素单元22；第三电极221；第三半导体层222；第二发光单元层223；第四半导体层224；第一部分2241；第四电极225；第三发光单元层226；第五半导体层227；第五电极228；绝缘凸起30；过孔31；绝缘层40；连接线50；第一衬底101；第一像素复合层102；第二衬底103；第二像素复合层104；第一复合金属层105；第二复合金属层106；

本发明的实施方式

[0041] 下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本申请一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范围。此外，应当理解的是，此处所描述的具体实施方式仅用于说明和解释本申请，并不用于限制本申请。在本申请中，在未作相反说明的情况下，使用的方位词如“上”和“下”通常是指装置实际使用或工作状态下的上和下，具体为附图中的图面方向；而“内”和“外”则是针对装置的轮廓而言的。

[0042] 下文的公开提供了许多不同的实施方式或例子用来实现本申请的不同结构。为了简化本申请的公开，下文中对特定例子的部件和设置进行描述。当然，它们仅仅为示例，并且目的不在于限制本申请。此外，本申请可以在不同例子中重复参考数字和/或参考字母，这种重复是为了简化和清楚的目的，其本身不指示所讨论各种实施方式和/或设置之间的关系。此外，本申请提供了的各种特定的工艺和材料的例子，但是本领域普通技术人员可以意识到其他工艺的应用和/或其他材料的使用。以下分别进行详细说明，需说明的是，以下实施例的描述顺

序不作为对实施例优选顺序的限定。

[0043] 相关技术中，Micro-LED显示面板实现全彩化的架构设计为；每个像素单元组包括红色像素单元、绿色像素单元和蓝色像素单元，其中，红色像素单元包括蓝光LED芯片和设置蓝光LED芯片的上方的红色量子点膜层，绿色像素单元包括蓝光LED芯片和设置在蓝光LED芯片的上方有绿色量子点膜层，蓝色像素单元包括蓝光LED芯片。此种显示架构中，由于各个像素单元中的发光单元，也即LED芯片，其发光颜色均为蓝色，因此，需要额外设置的量子点膜层，以通过单色光激发量子点膜层中的量子点来实现显示全彩化。但量子点膜层会制约显示像素的尺寸，使得显示面板的分辨率难以提高，并增加制造成本，同时还容易产生相邻像素单元之间出光串扰的问题。

[0044] 实施例一

[0045] 第一方面，本申请实施例一提供一种显示面板，能够在无需设置量子点膜层的同时，实现全彩化，进而提高显示面板的分辨率，降低制造成本和提高显示质量。

[0046] 图1为本申请实施例一提供的设置在阵列基板的一侧的像素单元组的膜层结构示意图。参照图1所示，本申请实施例一提供一种显示面板，所述显示面板包括阵列基板10和多个像素单元组20，所述像素单元组20设置在所述阵列基板10的一侧，每个所述像素单元组20由一个第一像素单元21和一个第二像素单元22组20成，且所述第一像素单元21和所述第二像素单元22在所述阵列基板10上的正投影错位设置，其中，所述第一像素单元21包括具有第一发光颜色的第一发光单元层213；所述第二像素单元22包括具有第二发光颜色的第二发光单元层223和具有第三发光颜色的第三发光单元层226，且所述第二发光单元层223和所述第三发光单元层226在背离所述阵列基板10的方向上依次层叠设置。

[0047] 本申请提供的所述像素单元组20中，所述第一像素单元21可以通过第一发光单元层213显示所述第一发光颜色；所述第二像素单元22可以通过所述第二发光单元层223显示所述第二发光颜色，和/或通过所述第三发光单元层226显示所述第三发光颜色。因此，所述显示面板能够直接通过所述像素单元组20中的所述第一像素单元21和所述第二像素单元22实现全彩化显示，无需量子点膜层，能够

有效降低制造成本，并且，能够消除因设置量子点膜层而导致的像素单元尺寸被制约和出光串扰的问题，使得所述第一像素单元21和所述第二像素单元22的尺寸可以做的更小，从而能够提高分辨率和显示质量。

[0048] 另外，本申请通过所述第二发光单元层223和所述第三发光单元层226在背离所述阵列基板10的方向上依次层叠设置的方式，使所述第二像素单元22能够发出第二发光颜色和/或第三发光颜色，从而通过一个像素单元实现相关技术中两个像素单元的显示功能，从而能够减少像素单元的数量；相较于相关技术中将不同颜色的发光单元层在水平方向进行堆叠的结构，本申请可节省水平方向上的空间，降低像素单元组20的布局面积，进一步提高显示面板的分辨率，并能够在工艺上减少像素单元的转移次数，简化生产制备工艺，降低生产制造成本。

[0049] 在本申请的一些实施例中，所述第一发光颜色为红色；所述第二发光颜色为蓝色和绿色的一种；所述第三发光颜色为蓝色和绿色的另一种。

[0050] 本申请的发明人研究发现，具有蓝色发光颜色和绿色发光颜色的发光单元层的材质通常为InGaN/GaN量子阱材料，具有蓝色发光颜色的发光单元层和具有绿色发光颜色的发光单元层同轴生长可以保证较好的外延质量得到较高的出光效率。另外，具有红色发光颜色的发光单元层的材质通常为AlGaInP/GaInP量子阱材料，材料上的差异，使得具有红色发光颜色的发光单元层，难以和具有蓝色发光颜色的发光单元层和具有绿色发光颜色的发光单元层同轴生长。本申请通过将所述第一发光颜色选定为红色；所述第二发光颜色选定为蓝色和绿色的一种；所述第三发光颜色选定为蓝色和绿色的另一种，能够保证像素单元的发光效果，提高制备良率。

[0051] 此外，相较于相关技术中将红色发光层、绿色发光层和蓝色发光层在垂直方向进行堆叠的结构，本申请由于在垂直于所述阵列基板10的方向上，所述第一像素单元21中除具有红色发光颜色的发光单元层外，并无其他发光单元层，从而能够保证具有红色发光颜色的发光单元层的发光效率；而目前红色发光单元层的发光效率是制约Micro-LED显示面板整体发光效率的主要因素，因此红色发光单元层的发光效率提升可有效提升显示面板的整体发光效率。

[0052] 综上，相较于现有技术，本申请可有效兼顾显示面板的分辨率和整体的发光效

率。

[0053] 在本申请的一些实施例中，所述第一像素单元21包括在背离所述阵列基板10的方向上依次层叠设置的第一掺杂类型的第一半导体层212、所述第一发光单元层213、第二掺杂类型的第二半导体层214；所述第二像素单元22包括在背离所述阵列基板10的方向上依次层叠设置的第二掺杂类型的第三半导体层222、所述第二发光单元层223、第一掺杂类型的第四半导体层224、所述第三发光单元层226、第二掺杂类型的第五半导体层227；其中，所述第一掺杂类型为N型或P型的一种，所述第二掺杂类型为N型或P型的另一种。

[0054] 本申请提供的所述第一像素单元21中，由于位于所述第一发光单元层213两侧的所述第一半导体层212和所述第二半导体层214的掺杂类型不同，因此，能够形成PN结，进而可以通过PN结的导通和截至控制所述第一发光单元层213的发光状态；本申请提供的所述第二像素单元22中，由于所述第二发光单元层223两侧的所述第三半导体层222和所述第四半导体层224的掺杂类型不同，因此，能够形成PN结，进而可以通过PN结的导通和截至控制所述第二发光单元层223的发光状态；另外，由于所述第三发光单元层226两侧的所述第五半导体层227和所述第四半导体层224的掺杂类型不同，因此，能够形成PN结，进而可以通过PN结的导通和截至控制所述第三发光单元层226的发光状态。进而，可以通过所述显示面板中的驱动电路独立控制所述第一发光单元层213、所述第二发光单元层223和所述第三发光单元层226的发光状态，实现全彩化显示。

[0055] 在本申请的一些实施例中，所述第一掺杂类型为P型；所述第二掺杂类型为N型，其中，所述第二掺杂类型的第二半导体层214和所述第一发光单元层213之间还设置有周期应力调节层及电流扩散层；所述第二掺杂类型的第三半导体层222和所述第二发光单元层223之间还设置有周期应力调节层及电流扩散层；所述第二掺杂类型的第五半导体层227和所述第三发光单元层226之间还设置有周期应力调节层及电流扩散层；所述第一掺杂类型的第一半导体层212和所述第一发光单元层213之间还设置有周期应力调节层、电流扩散层及第一布拉格反射层，所述第一布拉格反射层能够透射红色光；所述第一掺杂类型的第四半导体层224和所述第三发光单元层226之间还设置有周期应力调节层、电流扩散层及第二布拉

格反射层，所述第二布拉格反射层能够透射蓝色光和绿色光。可选的，所述第一布拉格反射层、第二布拉格反射层包括至少一个复合膜层，所述复合膜层为SiO2和Ti3O5形成的叠层结构。

[0056] 在本申请的一些实施例中，所述第一像素单元21还包括：第一电极211和第二电极215，所述第一电极211与所述第一掺杂类型的第一半导体层212相接触；所述第二电极215与所述第二掺杂类型的第二半导体层214相接触；所述第二像素单元22还包括：第三电极221、第四电极225和第五电极228，所述第三电极221与所述第二掺杂类型的第三半导体层222相接触；所述第四电极225与所述第一掺杂类型的第四半导体层224相接触；所述第五电极228与所述第二掺杂类型的第五半导体层227相接触。

[0057] 其中，所述第一电极211和所述第四电极225的电极类型相同，均为阳极或阴极的一种，且所述第一电极211和所述第四电极225电连接，也即，所述第一电极211和所第四电极225均为阳极，或所述第一电极211和所第四电极225均为阴极。由于所述第一电极211和所述第四电极225的电极类型相同，因此，可以通过将所述第一电极211和所述第四电极225电连接的方式，使其与阵列基板10上的同一个焊盘电连接，从而减少焊盘数量，简化显示面板的结构，降低绑定难度。

[0058] 其中，所述第二电极215、所述第三电极221和所述第五电极228的电极类型相同，均为阳极或阴极的另一种，且所述第二电极215、所述第三电极221和所述第五电极228绝缘设置，也即，所述第二电极215、所述第三电极221和所述第五电极228均为阴极，或所述第二电极215、所述第三电极221和所述第五电极228均为阳极。由于所述第二电极215、所述第三电极221和所述第五电极228绝缘设置，因此，可以通过所述第二电极215、所述第三电极221和所述第五电极228分别对所述第一发光单元层213、所述第二发光单元层223和所述第三发光单元层226进行独立控制，实现所述第一发光单元层213、所述第二发光单元层223和所述第三发光单元层226的独立发光。

[0059] 在本申请的一些实施例中，所述第一掺杂类型的第四半导体层224包括未被所述第三发光单元层226所覆盖的第一部分2241，所述第四电极225与所述第一部分2241相接触。

[0060] 本申请提供的所述显示面板中，由于所述第一掺杂类型的第四半导体层224中的所述第一部分2241未被所述第三发光单元层226所覆盖，因此，可以将所述第四电极225电极设置在所述第一部分2241背离所述第二发光单元层223的一侧，降低第四电极225的设置难度。

[0061] 在本申请的一些实施例中，所述阵列基板10包括：多个焊盘组11，每个焊盘组11对应一个所述像素单元组20，其中，所述焊盘组11包括：第一焊盘111、第二焊盘112、第三焊盘113和第四焊盘114，所述第一焊盘111分别与所述第一电极211和所述第四电极225电连接；所述第二焊盘112与所述第二电极215电连接，所述第三焊盘113与所述第三电极221电连接，所述第四焊盘114与所述第五电极228电连接。

[0062] 本申请提供的所述显示面板中，由于所述第一焊盘111分别与所述第一电极211和所述第四电极225电连接，从而能够利用一个焊盘对所述第一电极211和所述第四电极225进行控制，减少焊盘设置数量；由于所述第二焊盘112与所述第二电极215电连接，所述第三焊盘113与所述第三电极221电连接，所述第四焊盘114与所述第五电极228电连接，因此，可以通过所述第二焊盘112、所述第三焊盘113和所述第三焊盘113分别对所述第二电极215、所述第三电极221和所述第五电极228进行控制，从而能够实现所述第一发光单元层213、所述第二发光单元层223和所述第三发光单元层226的独立发光。

[0063] 可选的，所述阵列基板10为集成电路晶圆，所述集成电路晶圆包括驱动电路层和设置在所述驱动电路层上的多个所述焊盘组11。

[0064] 在本申请的一些实施例中，所述第一电极211设置在所述第一掺杂类型的第一半导体层212朝向所述阵列基板10的一侧，所述第一电极211与所述第一焊盘111接触电连接；所述第三电极221设置在所述第二掺杂类型的第三半导体层222朝向所述阵列基板10的一侧，所述第三电极221与所述第三焊盘113接触电连接。

[0065] 本申请提供的所述显示面板中，所述第一像素单元21和所述第二像素单元22例如通过金属键合的方式，设置在所述阵列基板10的一侧。由于所述第一电极211与所述第一焊盘111接触电连接，所述第三电极221与所述第三焊盘113接触电连接，从而简化了电极的连接结构，使所述显示面板更为轻薄，并且可以在工艺

上通过芯片键合的方式形成所述第一像素单元21和所述第二像素单元22，简化生产制备工艺。

[0066] 在本申请的一些实施例中，所述第二掺杂类型的第二半导体层214背离所述阵列基板10的一侧的表面，与所述阵列基板10之间的距离为第一距离；所述第二掺杂类型的第五半导体层227背离所述阵列基板10的一侧的表面，与所述阵列基板10之间的距离为第二距离；其中，所述第二距离大于所述第一距离。

[0067] 本申请提供的所述显示面板中，由于所述第二掺杂类型的第二半导体层214背离所述阵列基板10的一侧的表面与所述阵列基板10之间的距离，大于所述第二掺杂类型的第五半导体层227背离所述阵列基板10的一侧的表面与所述阵列基板10之间的距离，因此，所述第二像素单元22的整体厚度大于所述第一像素单元21的整体厚度，因此，当所述第一像素单元21通过金属键合工艺形成于所述阵列基板10的一侧后，在所述第二像素单元22通过金属键合工艺形成于所述阵列基板10的一侧的过程中，确保设置在所述第三半导体层222远离所述第二发光单元层223的一侧的键合金属层能够与所述阵列基板10一侧的键合金属层充分接触，完成金属键合，形成所述第三电极221。

[0068] 在本申请的一些实施例中，所述显示面板还包括多条连接线50，所述第二电极215通过所述连接线50与所述第二焊盘112电连接，所述第四电极225通过所述连接线50与所述第三焊盘113电连接，所述第五电极228通过所述连接线50与所述第四焊盘114电连接。

[0069] 在本申请的一些实施例中，所述显示面板还包括绝缘层40，所述绝缘层40设置在所述连接线50与所述第一像素单元21之间以及所述连接线50与所述第二像素单元22之间。

[0070] 第二方面，本申请实施例一还提供一种显示面板的制备方法，所述显示面板的制备方法包括以下步骤：

[0071] 在一第一衬底的一侧形成第一像素复合层，所述第一像素复合层包括依次层叠设置的第二掺杂类型的第二半导体层、第一发光单元层、第一掺杂类型的第一半导体层；在一第二衬底的一侧形成第二像素复合层，所述第二像素复合层包括依次层叠设置的第二掺杂类型的第五半导体层、第三发光单元层、第一掺杂

类型的第四半导体层、第二发光单元层、第二掺杂类型的第三半导体层；

[0072] 将所述第一像素复合层背离所述第一衬底的一侧键合到一阵列基板的一侧，并移除所述第一衬底；

[0073] 将所述第二像素复合层背离所述第二衬底的一侧键合到所述阵列基板的一侧，并移除所述第二衬底；

[0074] 其中，在将所述第一像素复合层背离所述第一衬底的一侧键合到一阵列基板的一侧，并移除所述第一衬底的步骤之前，对所述第一像素复合层进行图案化处理；在将所述第二像素复合层背离所述第二衬底的一侧键合到所述阵列基板的一侧，并移除所述第二衬底的步骤之前，对所述第二像素复合层进行图案化处理。

[0075] 具体的，图2为本申请实施例一提供的显示面板的制备方法中步骤S01所对应的结构示意图；图3为本申请实施例一提供的显示面板的制备方法中步骤S02所对应的结构示意图；图4为本申请实施例一提供的显示面板的制备方法中步骤S03所对应的结构示意图；图5为本申请实施例一提供的显示面板的制备方法中步骤S04所对应的结构示意图；图6为本申请实施例一提供的显示面板的制备方法中步骤S05所对应的结构示意图；图7为本申请实施例一提供的显示面板的制备方法中步骤S06所对应的结构示意图。结合图1-图7所示，所述显示面板的制备方法包括以下步骤：

[0076] S01：在一第一衬底101的一侧形成第一像素复合层102，所述第一像素复合层102包括依次层叠设置的第二掺杂类型的第二半导体层214、第一发光单元层213、第一掺杂类型的第一半导体层212；在一第二衬底103的一侧形成第二像素复合层104，所述第二像素复合层104包括依次层叠设置的第二掺杂类型的第五半导体层227、第三发光单元层226、第一掺杂类型的第四半导体层224、第二发光单元层223、第二掺杂类型的第三半导体层222。其中，所述第一衬底101为GaAs衬底；所述第二掺杂类型为N型，所述第二半导体层214包括GaAs材料；所述第一掺杂类型为P型，所述第一类型半导体层包括GaP材料；所述第二衬底103为蓝宝石衬底，或包含GaN、AlN、Si、SiC中的至少一种的衬底；所述第五半导体层227、所述第三半导体层222包括GaN、AlGaN、AlInGaN材料中的至少一种；所述

第四半导体层224包括GaN材料。

[0077] S02：对所述第一像素复合层102进行图案化处理。

[0078] S03：将所述第一像素复合层102背离所述第一衬底101的一侧键合到一阵列基板10的一侧，并移除所述第一衬底101。步骤S03具体包括：在所述第一像素复合层102背离所述第一衬底101的一侧形成第一金属键合层，所述第一金属键合层的材质可以为Au、Sn、In、Ti、Cu中的任意一种；在所述阵列基板10的一侧形成第二金属键合层，所述第二金属键合层的材质可以为Au、Sn、In、Ti、Cu中的任意一种；通过所述第一金属键合层与所述第二金属键合层键合的方式，将所述第一像素复合层102背离所述第一衬底101的一侧键合到一阵列基板10的一侧，其中，所述第一金属键合层与所述第二金属键合层键合后形成第一像素单元21的第一电极211，所述阵列基板10包括多个焊盘组11，每个焊盘组11包括第一焊盘111、第二焊盘112、第三焊盘113和第四焊盘114；所述第一电极211与所述第一焊盘111接触电连接，所述第一电极211的厚度为0.1微米至3微米，所述第一电极211还具有反光功能；移除所述第一衬底101。

[0079] S04：对所述第二像素复合层104进行图案化处理。

[0080] S05：将所述第二像素复合层104背离所述第二衬底103的一侧键合到所述阵列基板10的一侧，并移除所述第二衬底103。步骤S05具体包括：在所述第二像素复合层104背离所述第二衬底103的一侧形成第三金属键合层，所述第三金属键合层的材质可以为Au、Sn、In、Ti、Cu中的任意一种；在所述阵列基板10的一侧形成第四金属键合层，所述第四金属键合层的材质可以为Au、Sn、In、Ti、Cu中的任意一种；通过所述第三键合层与所述第四键合层键合的方式，将所述第二像素复合层104背离所述第二衬底103的一侧键合到所述阵列基板10的一侧，其中，所述第三金属键合层与所述第四金属键合层键合形成第二像素单元22的第三电极221，所述第三电极221与所述第三焊盘113接触电连接，所述第三电极221的厚度为0.1微米至3微米，所述第三电极221还具有反光功能；移除所述第二衬底103。

[0081] S06：在所述第二掺杂类型的第二半导体层214背离所述阵列基板10的一侧形成第二电极215；在所述第一掺杂类型的第四半导体层224背离所述阵列基板10的

一侧形成所述第四电极225；在所述第二掺杂类型的第五半导体层227背离所述阵列基板10的一侧形成第五电极228。其中，所述第二电极215通过连接线50与所述第二焊盘112电连接，所述连接线50与所述第一像素单元21之间形成有绝缘层40；所述第四电极225通过连接线50与所述第三焊盘113电连接，所述第五电极228通过连接线50与第四焊盘114电连接，所述连接线50和所述第二像素单元22之间形成有绝缘层40。

[0082] 本申请提供的所述显示面板的制备方法中，由于在将所述第一像素复合层102背离所述第一衬底101的一侧键合到一阵列基板10的一侧，并移除所述第一衬底101的步骤之前，对所述第一像素复合层102进行图案化处理；在将所述第二像素复合层104背离所述第一衬底101的一侧键合到所述阵列基板10的一侧，移除所述第二衬底103的步骤之前，对所述第二像素复合层104进行图案化处理；因此，能够简化所述显示面板的生产制备工艺，减少工艺步骤。

[0083] 实施例二

[0084] 图8为本申请实施例二提供的设置在阵列基板10的一侧的像素单元组20的膜层结构示意图。参照图8所示，本申请实施例二提供一种显示面板，所述显示面板包括阵列基板10和多个像素单元组20，所述像素单元组20设置在所述阵列基板10的一侧，每个所述像素单元组20由一个第一像素单元21和一个第二像素单元22组20成，且所述第一像素单元21和所述第二像素单元22在所述阵列基板10上的正投影错位设置，其中，所述第一像素单元21包括具有第一发光颜色的第一发光单元层213；所述第二像素单元22包括具有第二发光颜色的第二发光单元层223和具有第三发光颜色的第三发光单元层226，且所述第二发光单元层223和所述第三发光单元层226在背离所述阵列基板10的方向上依次层叠设置。

[0085] 需要说明的是，本申请实施例二提供的所述显示面板的结构与本申请实施例一提供的所述显示面板的结构相类似，本申请实施例二对于相同部分不再赘述。

[0086] 不同的是，所述第一电极211设置在所述第一掺杂类型的第一半导体层212朝向所述阵列基板10的一侧，且所述第一电极211与所述第一焊盘111接触电连接；所述第三电极221设置在所述第二掺杂类型的第三半导体层222朝向所述阵列基板10的一侧，其中，所述显示面板还包括多个绝缘凸起30，所述绝缘凸起30设

置在所述第三电极221和阵列基板10之间，所述第三电极221通过所述绝缘凸起30中的过孔31与所述第三焊盘113电连接。

[0087] 本申请实施例提供的所述显示面板中，由于所述显示面板还包括多个绝缘凸起30，所述绝缘凸起30设置在所述第三电极221和阵列基板10之间，所述第三电极221通过所述绝缘凸起30中的过孔31与所述第三焊盘113电连接，因此，能够降低所述第一像素单元21和所述阵列基板10键合时的对位精度要求；降低所述第二像素单元22和所述阵列基板10键合时的对位精度要求；有利于降低显示面板的生产制造成本。

[0088] 在本申请的一些实施例中，所述绝缘凸起30背离所述阵列基板10一侧的表面与所述阵列基板10之间的距离为第三距离；所述第二掺杂类型的第二半导体层214背离所述阵列基板10的一侧的表面与所述阵列基板10之间的距离为第四距离；其中，所述第三距离等于所述第四距离。

[0089] 本申请提供的所述显示面板中，由于所述第三距离等于所述第四距离，因此，能够使所述绝缘凸起30背离所述阵列基板10一侧的表面与所述第二掺杂类型的第二半导体层214背离所述阵列基板10的一侧的表面位于同一水平面，从而能够为后续所述第二像素单元22的形成提供平坦化条件，保证所述第二像素单元22的形成质量，提高显示面板的显示效果。

[0090] 第二方面，本申请实施例二还提供一种显示面板的制备方法，所述显示面板的制备方法包括以下步骤：

[0091] 在一第一衬底的一侧形成第一像素复合层，所述第一像素复合层包括依次层叠设置的第二掺杂类型的第二半导体层、第一发光单元层、第一掺杂类型的第一半导体层；在一第二衬底的一侧形成第二像素复合层，所述第二像素复合层包括依次层叠设置的第二掺杂类型的第五半导体层、第三发光单元层、第一掺杂类型的第四半导体层、第二发光单元层、第二掺杂类型的第三半导体层；

[0092] 将所述第一像素复合层背离所述第一衬底的一侧键合到一阵列基板的一侧，并移除所述第一衬底；

[0093] 将所述第二像素复合层背离所述第二衬底的一侧键合到所述阵列基板的一侧，并移除所述第二衬底；

[0094] 其中，在将所述第一像素复合层背离所述第一衬底的一侧键合到一阵列基板的一侧，并移除所述第一衬底的步骤之后，对所述第一像素复合层进行图案化处理；在将所述第二像素复合层背离所述第二衬底的一侧键合到所述阵列基板的一侧，并移除所述第二衬底的步骤之后，对所述第二像素复合层进行图案化处理，其中，完成所述第一像素复合层的图案化处理之后，在所述第一像素复合层的图案化区域形成绝缘凸起，并形成贯穿所述绝缘凸起的过孔，所述绝缘凸起背离所述阵列基板的一侧的表面与所述阵列基板的距离为第三距离，所述第一像素复合层背离所述阵列基板的一侧的表面与所述阵列基板的距离为第四距离，所述第三距离等于所述第四距离；之后，将所述第二像素复合层背离所述第二衬底的一侧键合到所述阵列基板的一侧，并移除所述第二衬底。

[0095] 具体的，图9为本申请实施例二提供的显示面板的制备方法中步骤S11所对应的结构示意图；图10为本申请实施例二提供的显示面板的制备方法中步骤S12所对应的结构示意图；图11为本申请实施例二提供的显示面板的制备方法中步骤S13所对应的结构示意图；图12为本申请实施例二提供的显示面板的制备方法中步骤S14所对应的结构示意图；图13为本申请实施例二提供的显示面板的制备方法中步骤S15所对应的结构示意图；图14为本申请实施例二提供的显示面板的制备方法中步骤S16所对应的结构示意图；图15为本申请实施例二提供的显示面板的制备方法中步骤S17所对应的结构示意图；图16为本申请实施例二提供的显示面板的制备方法中步骤S18所对应的结构示意图。结合图8-图16所示，所述显示面板的制备方法包括以下步骤：

[0096] S11：在一第一衬底101的一侧形成第一像素复合层102，所述第一像素复合层102包括依次层叠设置的第二掺杂类型的第二半导体层214、第一发光单元层213、第一掺杂类型的第一半导体层212；在一第二衬底103的一侧形成第二像素复合层104，所述第二像素复合层104包括依次层叠设置的第二掺杂类型的第五半导体层227、第三发光单元层226、第一掺杂类型的第四半导体层224、第二发光单元层223、第二掺杂类型的第三半导体层222。其中，所述第一衬底101为GaAs衬底；所述第二掺杂类型为N型，所述第二半导体层214包括GaAs材料；所述第一掺杂类型为P型，所述第一类型半导体层包括GaP材料；所述第二衬底103为蓝

宝石衬底，或包含GaN、AlN、Si、SiC中的至少一种的衬底；所述第五半导体层227、所述第三半导体层222包括GaN、AlGaN、AlInGaN材料中的至少一种；所述第四半导体层224包括GaN材料。

[0097] S12：将所述第一像素复合层102背离所述第一衬底101的一侧键合到一阵列基板10的一侧，并移除所述第一衬底101。步骤S12具体包括：在所述第一像素复合层102背离所述第一衬底101的一侧形成第一金属键合层，所述第一金属键合层的材质可以为Au、Sn、In、Ti、Cu中的任意一种；在所述阵列基板10的一侧形成第二金属键合层，所述第二金属键合层的材质可以为Au、Sn、In、Ti、Cu中的任意一种；通过所述第一金属键合层与所述第二金属键合层键合的方式，将所述第一像素复合层102背离所述第一衬底101的一侧键合到一阵列基板10的一侧，所述第一金属键合层与所述第二金属键合层键合后形成第一复合金属层105，所述第一复合金属层105后续用于形成第一像素单元21的第一电极211，其中，所述阵列基板10包括多个焊盘组11，每个焊盘组11包括第一焊盘111、第二焊盘112、第三焊盘113和第四焊盘114，所述第一电极211与所述第一焊盘111接触电连接，所述第一电极211的厚度为0.1微米至3微米，所述第一电极211还具有反光功能；移除所述第一衬底101。

[0098] S13：对所述第一像素复合层102和所述第一复合金属层105进行图案化处理，图案化后的所述第一复合金属层105形成多个所述第一电极211。

[0099] S14：在所述第一像素复合层102的图案化区域形成绝缘凸起30。可选的，所述绝缘凸起30背离所述阵列基板10的一侧的表面与所述阵列基板10之间的距离为第三距离，所述第一像素复合层102背离所述阵列基板10的一侧的表面与所述阵列基板10之间的距离为第四距离，所述第三距离等于所述第四距离。具体可以通过化学机械研磨（CMP）工艺，使所述绝缘凸起30背离所述阵列基板10的一侧的表面与所述阵列基板10之间的距离，与所述第一像素复合层102背离所述阵列基板10的一侧的表面与所述阵列基板10之间的距离相等。进一步地，在所述第一像素复合层102的图案化区域形成绝缘凸起30的步骤具体包括：在所述第一像素复合层102的图案化区域以及所述第一复合金属层105背离所述阵列基板10的一侧形成绝缘凸起层，此时，所述绝缘凸起层覆盖所述第一像素复合层102；然

后，对所述绝缘凸起层执行CMP工艺，以去除所述第一像素复合层102背离所述阵列基板10的一侧的所述绝缘凸起层，使得所述绝缘凸起30背离所述阵列基板10的一侧的表面与所述阵列基板10之间的距离，与所述第一像素复合层102背离所述阵列基板10的一侧的表面与所述阵列基板10之间的距离相等。

[0100] S15：对所述绝缘凸起30进行蚀刻，形成过孔31，并在所述过孔31内沉积导电材料，所述导电材料与所述第三焊盘113电连接。

[0101] S16：将所述第二像素复合层104背离所述第二衬底103的一侧键合到所述阵列基板10的一侧，并移除所述第二衬底103。步骤S16具体包括：在所述第二像素复合层104背离所述第一衬底101的一侧形成第三金属键合层，所述第三金属键合层的材质可以为Au、Sn、In、Ti、Cu中的任意一种；在所述阵列基板10的一侧形成第四金属键合层，所述第四金属键合层的材质可以为Au、Sn、In、Ti、Cu中的任意一种；通过所述第三键合层与所述第四键合层键合的方式，将所述第二像素复合层104背离所述第二衬底103的一侧键合到所述阵列基板10的一侧，其中，所述第三金属键合层与所述第四金属键合层键合形成第二复合金属层106，所述第二复合金属层106后续用于形成第二像素单元22的第三电极221，所述第三电极221与所述第三焊盘113接触电连接，所述第三电极221的厚度为0.1微米至3微米，所述第三电极221还具有反光功能；移除所述第二衬底103。

[0102] S17：对所述第二像素复合层104和所述第二复合金属层106进行图案化处理，图案化后的所述第二复合金属层106形成多个所述第三电极221。

[0103] S18：在所述第二掺杂类型的第二半导体层214背离所述阵列基板10的一侧形成第二电极215；在所述第一掺杂类型的第四半导体层224背离所述阵列基板10的一侧形成所述第四电极225；在所述第二掺杂类型的第五半导体层227背离所述阵列基板10的一侧形成第五电极228。其中，所述第二电极215通过连接线50与所述第二焊盘112电连接，所述连接线50与所述第一像素单元21之间形成有绝缘层40；所述第四电极225通过连接线50与所述第三焊盘113电连接，所述第五电极228通过连接线50与第四焊盘114电连接，所述连接线50和所述第二像素单元22之间形成有绝缘层40。

[0104] 本申请提供的所述显示面板的制备方法中，由于在将所述第一像素复合层102

背离所述第一衬底101的一侧键合到一阵列基板10的一侧，并移除所述第一衬底101的步骤之后，对所述第一像素复合层102进行图案化处理；在将所述第二像素复合层104背离所述第一衬底101的一侧键合到所述阵列基板10的一侧，移除所述第二衬底103的步骤之后，对所述第二像素复合层104进行图案化处理；因此，能够大大降低键合的对位精度要求，有利于降低显示面板的生产制造成本。

[0105] 综上所述，本申请提供一种显示面板及其制备方法，显示面板包括阵列基板和多个像素单元组，每个像素单元组由一个第一像素单元和一个第二像素单元组成，且第一像素单元和第二像素单元在阵列基板上的正投影错位设置，第一像素单元包括具有第一发光颜色的第一发光单元层；第二像素单元包括具有第二发光颜色的第二发光单元层和具有第三发光颜色的第三发光单元层，且第二发光单元层和第三发光单元层在背离阵列基板的方向上依次层叠设置。本申请提供的显示面板中，由于每个像素单元组由一个第一像素单元和一个第二像素单元，且第二像素单元包括层叠设置的具有不同发光颜色的两种发光单元层，从而能够在实现全彩化显示的同时，提高分辨率，降低成本，提高显示质量。

[0106] 以上对本申请实施例所提供的一种显示面板及其制备方法进行了详细介绍，本文中应用了具体个例对本申请的原理及实施方式进行了阐述，以上实施例的说明只是用于帮助理解本申请的方法及其核心思想；同时，对于本领域的技术人员，依据本申请的思想，在具体实施方式及应用范围上均会有改变之处，综上所述，本说明书内容不应理解为对本申请的限制。

权利要求书

[权利要求 1] 一种显示面板，其中，所述显示面板包括：

阵列基板；

多个像素单元组，设置在所述阵列基板的一侧，每个所述像素单元组由一个第一像素单元和一个第二像素单元组成，且所述第一像素单元和所述第二像素单元在所述阵列基板上的正投影错位设置，其中，

所述第一像素单元包括具有第一发光颜色的第一发光单元层；

所述第二像素单元包括具有第二发光颜色的第二发光单元层和具有第三发光颜色的第三发光单元层，且所述第二发光单元层和所述第三发光单元层在背离所述阵列基板的方向上依次层叠设置。

[权利要求 2] 根据权利要求1所述的显示面板，其中，所述第一发光颜色为红色；所述第二发光颜色为蓝色；所述第三发光颜色为绿色。

[权利要求 3] 根据权利要求2所述的显示面板，其中，

所述第一像素单元包括在背离所述阵列基板的方向上依次层叠设置的第一掺杂类型的第一半导体层、所述第一发光单元层、第二掺杂类型的第二半导体层；

所述第二像素单元包括在背离所述阵列基板的方向上依次层叠设置的第二掺杂类型的第三半导体层、所述第二发光单元层、第一掺杂类型的第四半导体层、所述第三发光单元层、第二掺杂类型的第五半导体层；

其中，所述第一掺杂类型为N型或P型的一种，所述第二掺杂类型为N型或P型的另一种。

[权利要求 4] 根据权利要求3所述的显示面板，其中，

所述第一像素单元还包括：

第一电极，与所述第一掺杂类型的第一半导体层相接触；

第二电极，与所述第二掺杂类型的第二半导体层相接触；

所述第二像素单元还包括：

第三电极，与所述第二掺杂类型的第三半导体层相接触；

第四电极，与所述第一掺杂类型的第四半导体层相接触；

第五电极，与所述第二掺杂类型的第五半导体层相接触；

其中，所述第一电极和所述第四电极的电极类型相同，均为阳极或阴极的一种，且所述第一电极和所述第四电极电连接；

其中，所述第二电极、所述第三电极和所述第五电极的电极类型相同，均为阳极或阴极的另一种，且所述第二电极、所述第三电极和所述第五电极绝缘设置。

[权利要求 5] 根据权利要求4所述的显示面板，其中，所述第一掺杂类型的第四半导体层包括未被所述第三发光单元层所覆盖的第一部分，所述第四电极与所述第一部分相接触。

[权利要求 6] 根据权利要求4所述的显示面板，其中，所述阵列基板包括：多个焊盘组，每个焊盘组对应一个所述像素单元组，

其中，所述焊盘组包括：第一焊盘、第二焊盘、第三焊盘和第四焊盘，

所述第一焊盘分别与所述第一电极和所述第四电极电连接；所述第二焊盘与所述第二电极电连接，所述第三焊盘与所述第三电极电连接，所述第四焊盘与所述第五电极电连接。

[权利要求 7] 根据权利要求6所述的显示面板，其中，

所述第一电极设置在所述第一掺杂类型的第一半导体层朝向所述阵列基板的一侧，所述第一电极与所述第一焊盘接触电连接；

所述第三电极设置在所述第二掺杂类型的第三半导体层朝向所述阵列基板的一侧，所述第三电极与所述第三焊盘接触电连接。

[权利要求 8] 根据权利要求7所述的显示面板，其中，

所述第二掺杂类型的第二半导体层背离所述阵列基板的一侧的表面，与所述阵列基板之间的距离为第一距离；

所述第二掺杂类型的第五半导体层背离所述阵列基板的一侧的表面，与所述阵列基板之间的距离为第二距离；

其中，所述第二距离大于所述第一距离。

[权利要求 9] 根据权利要求6所述的显示面板，其中，

所述第一电极设置在所述第一掺杂类型的第一半导体层朝向所述阵列基板的一侧，且所述第一电极与所述第一焊盘接触电连接；

所述第三电极设置在所述第二掺杂类型的第三半导体层朝向所述阵列基板的一侧，其中，所述显示面板还包括多个绝缘凸起，所述绝缘凸起设置在所述第三电极和阵列基板之间，所述第三电极通过所述绝缘凸起中的过孔与所述第三焊盘电连接。

[权利要求 10] 根据权利要求9所述的显示面板，其中，

所述绝缘凸起背离所述阵列基板一侧的表面与所述阵列基板之间的距离为第三距离；

所述第二掺杂类型的第二半导体层背离所述阵列基板的一侧的表面与所述阵列基板之间的距离为第四距离；

其中，所述第三距离等于所述第四距离。

[权利要求 11] 根据权利要求1所述的显示面板，其中，所述第一发光颜色为红色；

所述第二发光颜色为绿色；所述第三发光颜色为蓝色；所述第一像素单元包括在背离所述阵列基板的方向上依次层叠设置的第一掺杂类型的第一半导体层、所述第一发光单元层、第二掺杂类型的第二半导体层；

所述第二像素单元包括在背离所述阵列基板的方向上依次层叠设置的第二掺杂类型的第三半导体层、所述第二发光单元层、第一掺杂类型的第四半导体层、所述第三发光单元层、第二掺杂类型的第五半导体层；

其中，所述第一掺杂类型为N型或P型的一种，所述第二掺杂类型为N型或P型的另一种。

[权利要求 12] 根据权利要求11所述的显示面板，其中，

所述第一像素单元还包括：

第一电极，与所述第一掺杂类型的第一半导体层相接触；

第二电极，与所述第二掺杂类型的第二半导体层相接触；

所述第二像素单元还包括：

第三电极，与所述第二掺杂类型的第三半导体层相接触；

第四电极，与所述第一掺杂类型的第四半导体层相接触；

第五电极，与所述第二掺杂类型的第五半导体层相接触；

其中，所述第一电极和所述第四电极的电极类型相同，均为阳极或阴极的一种，且所述第一电极和所述第四电极电连接；

其中，所述第二电极、所述第三电极和所述第五电极的电极类型相同，均为阳极或阴极的另一种，且所述第二电极、所述第三电极和所述第五电极绝缘设置。

[权利要求 13] 根据权利要求12所述的显示面板，其中，所述第一掺杂类型的第四半导体层包括未被所述第三发光单元层所覆盖的第一部分，所述第四电极与所述第一部分相接触。

[权利要求 14] 根据权利要求12所述的显示面板，其中，所述阵列基板包括：多个焊盘组，每个焊盘组对应一个所述像素单元组，

其中，所述焊盘组包括：第一焊盘、第二焊盘、第三焊盘和第四焊盘，

所述第一焊盘分别与所述第一电极和所述第四电极电连接；所述第二焊盘与所述第二电极电连接，所述第三焊盘与所述第三电极电连接，所述第四焊盘与所述第五电极电连接。

[权利要求 15] 根据权利要求14所述的显示面板，其中，

所述第一电极设置在所述第一掺杂类型的第一半导体层朝向所述阵列基板的一侧，所述第一电极与所述第一焊盘接触电连接；

所述第三电极设置在所述第二掺杂类型的第三半导体层朝向所述阵列基板的一侧，所述第三电极与所述第三焊盘接触电连接。

[权利要求 16] 根据权利要求15所述的显示面板，其中，

所述第二掺杂类型的第二半导体层背离所述阵列基板的一侧的表面，与所述阵列基板之间的距离为第一距离；

所述第二掺杂类型的第五半导体层背离所述阵列基板的一侧的表面，

与所述阵列基板之间的距离为第二距离；

其中，所述第二距离大于所述第一距离。

[权利要求 17] 根据权利要求14所述的显示面板，其中，

所述第一电极设置在所述第一掺杂类型的第一半导体层朝向所述阵列基板的一侧，且所述第一电极与所述第一焊盘接触电连接；

所述第三电极设置在所述第二掺杂类型的第三半导体层朝向所述阵列基板的一侧，其中，所述显示面板还包括多个绝缘凸起，所述绝缘凸起设置在所述第三电极和阵列基板之间，所述第三电极通过所述绝缘凸起中的过孔与所述第三焊盘电连接。

[权利要求 18] 根据权利要求17所述的显示面板，其中，

所述绝缘凸起背离所述阵列基板一侧的表面与所述阵列基板之间的距离为第三距离；

所述第二掺杂类型的第二半导体层背离所述阵列基板的一侧的表面与所述阵列基板之间的距离为第四距离；

其中，所述第三距离等于所述第四距离。

[权利要求 19] 一种显示面板的制备方法，其中，所述显示面板的制备方法包括以下步骤：

在一第一衬底的一侧形成第一像素复合层，所述第一像素复合层包括依次层叠设置的第二掺杂类型的第二半导体层、第一发光单元层、第一掺杂类型的第一半导体层；在一第二衬底的一侧形成第二像素复合层，所述第二像素复合层包括依次层叠设置的第二掺杂类型的第五半导体层、第三发光单元层、第一掺杂类型的第四半导体层、第二发光单元层、第二掺杂类型的第三半导体层；

将所述第一像素复合层背离所述第一衬底的一侧键合到一阵列基板的一侧，并移除所述第一衬底；

将所述第二像素复合层背离所述第二衬底的一侧键合到所述阵列基板的一侧，并移除所述第二衬底；

其中，在将所述第一像素复合层背离所述第一衬底的一侧键合到一阵

列基板的一侧，并移除所述第一衬底的步骤之前，对所述第一像素复合层进行图案化处理；在将所述第二像素复合层背离所述第二衬底的一侧键合到所述阵列基板的一侧，并移除所述第二衬底的步骤之前，对所述第二像素复合层进行图案化处理。

[权利要求 20] 一种显示面板的制备方法，其中，所述显示面板的制备方法包括以下步骤：

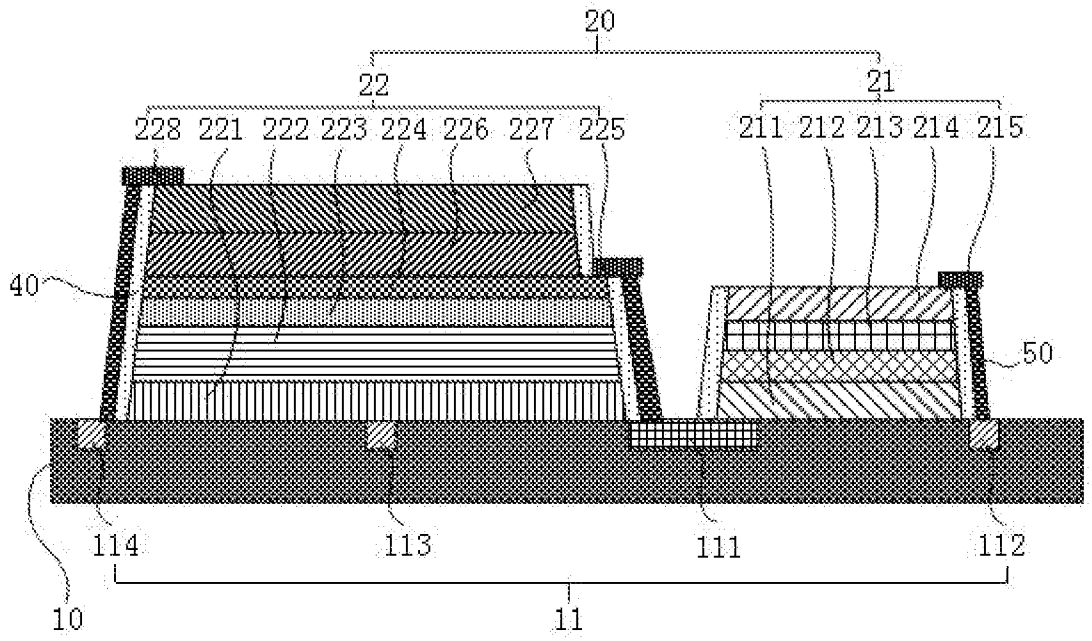
在一第一衬底的一侧形成第一像素复合层，所述第一像素复合层包括依次层叠设置的第二掺杂类型的第二半导体层、第一发光单元层、第一掺杂类型的第一半导体层；在一第二衬底的一侧形成第二像素复合层，所述第二像素复合层包括依次层叠设置的第二掺杂类型的第五半导体层、第三发光单元层、第一掺杂类型的第四半导体层、第二发光单元层、第二掺杂类型的第三半导体层；

将所述第一像素复合层背离所述第一衬底的一侧键合到一阵列基板的一侧，并移除所述第一衬底；

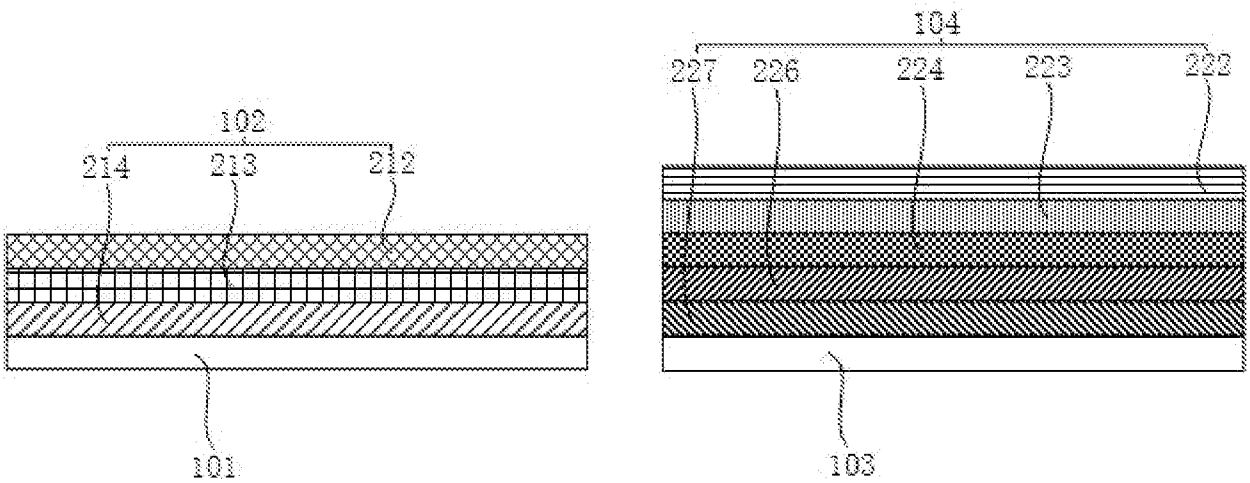
将所述第二像素复合层背离所述第二衬底的一侧键合到所述阵列基板的一侧，并移除所述第二衬底；

其中，在将所述第一像素复合层背离所述第一衬底的一侧键合到一阵列基板的一侧，并移除所述第一衬底的步骤之后，对所述第一像素复合层进行图案化处理；在将所述第二像素复合层背离所述第二衬底的一侧键合到所述阵列基板的一侧，并移除所述第二衬底的步骤之后，对所述第二像素复合层进行图案化处理，其中，完成所述第一像素复合层的图案化处理之后，在所述第一像素复合层的图案化区域形成绝缘凸起，并形成贯穿所述绝缘凸起的过孔，所述绝缘凸起背离所述阵列基板的一侧的表面与所述阵列基板的距离为第三距离，所述第一像素复合层背离所述阵列基板的一侧的表面与所述阵列基板的距离为第四距离，所述第三距离等于所述第四距离；之后，将所述第二像素复合层背离所述第二衬底的一侧键合到所述阵列基板的一侧，并移除所述第二衬底。

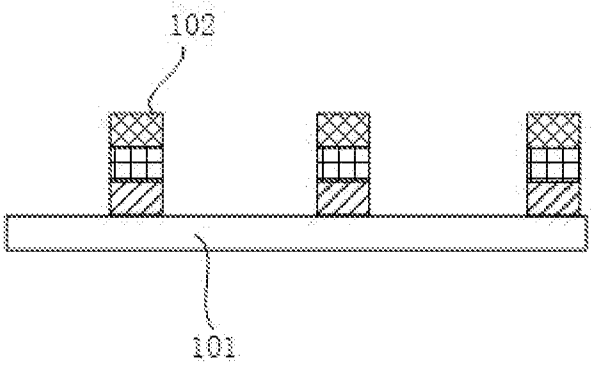
[图1]


20
22
21
228 221 222 223 224 226 227 225
211 212 213 214 215
40
50
114
113
111
112
10
11

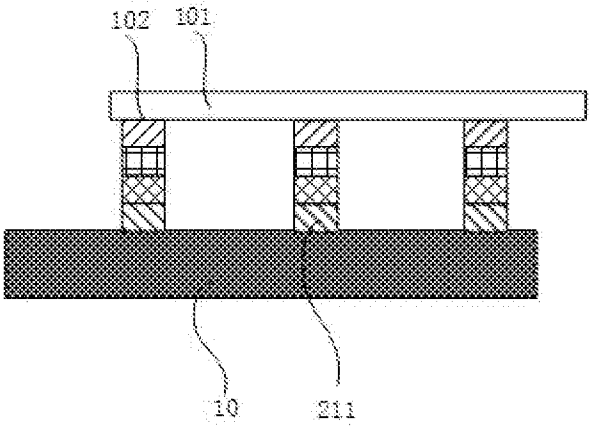
[图2]

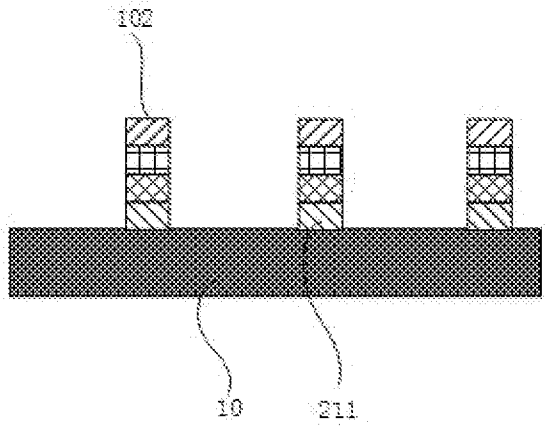

102
214 213 212
101
104
227 226 224 223 222
103

[图3]

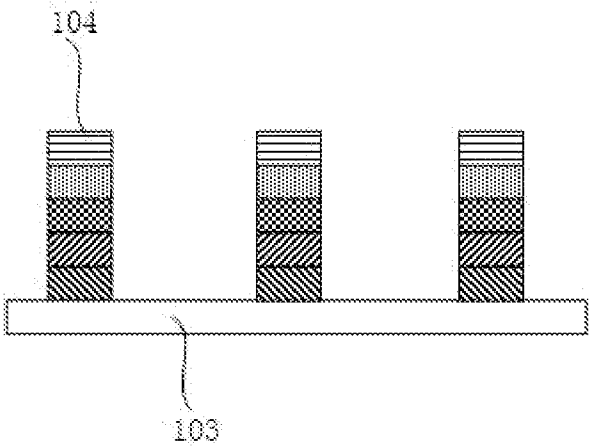

102
101

[图4]

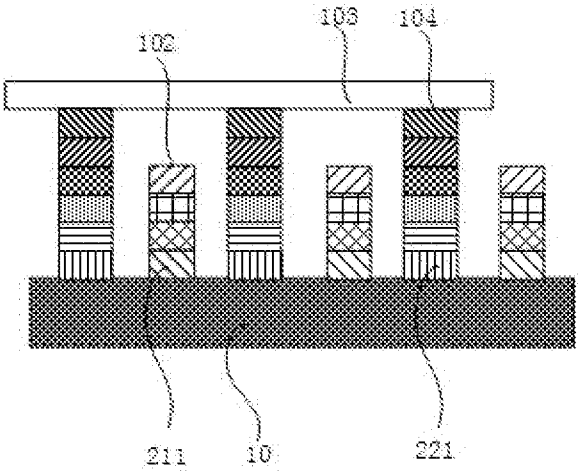

102
101
10
211

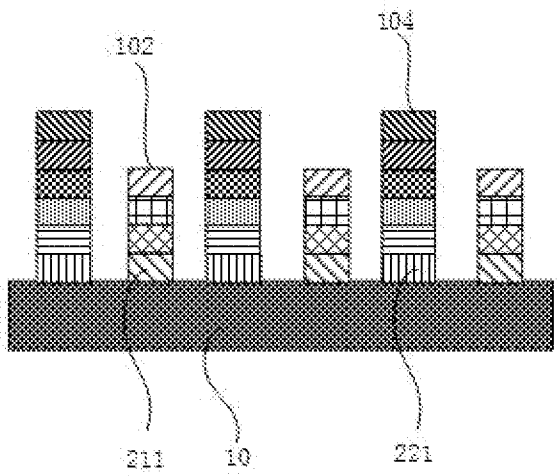

102
10
211

[图5]

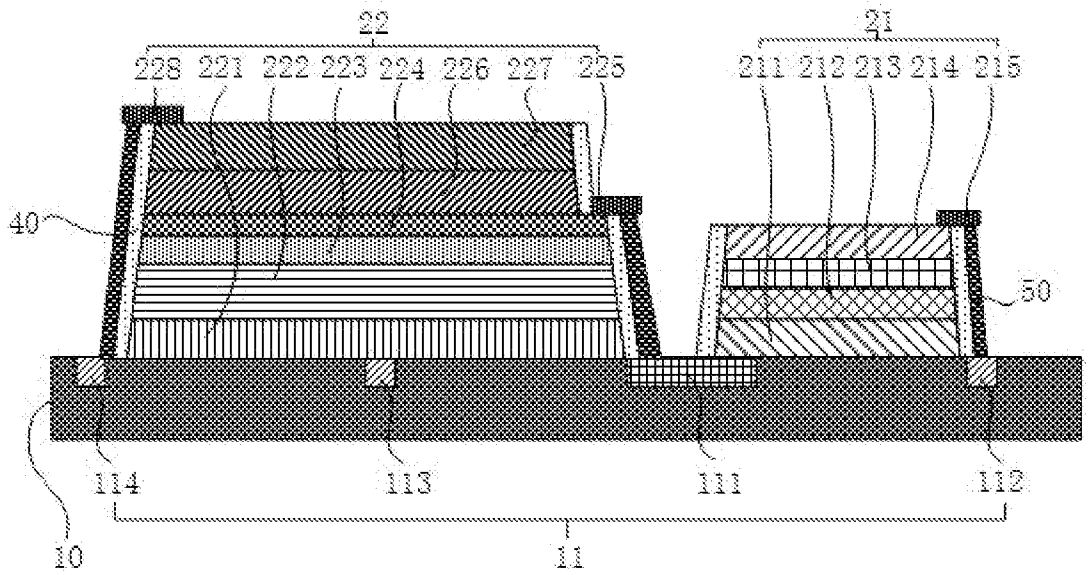

104
103

[图6]

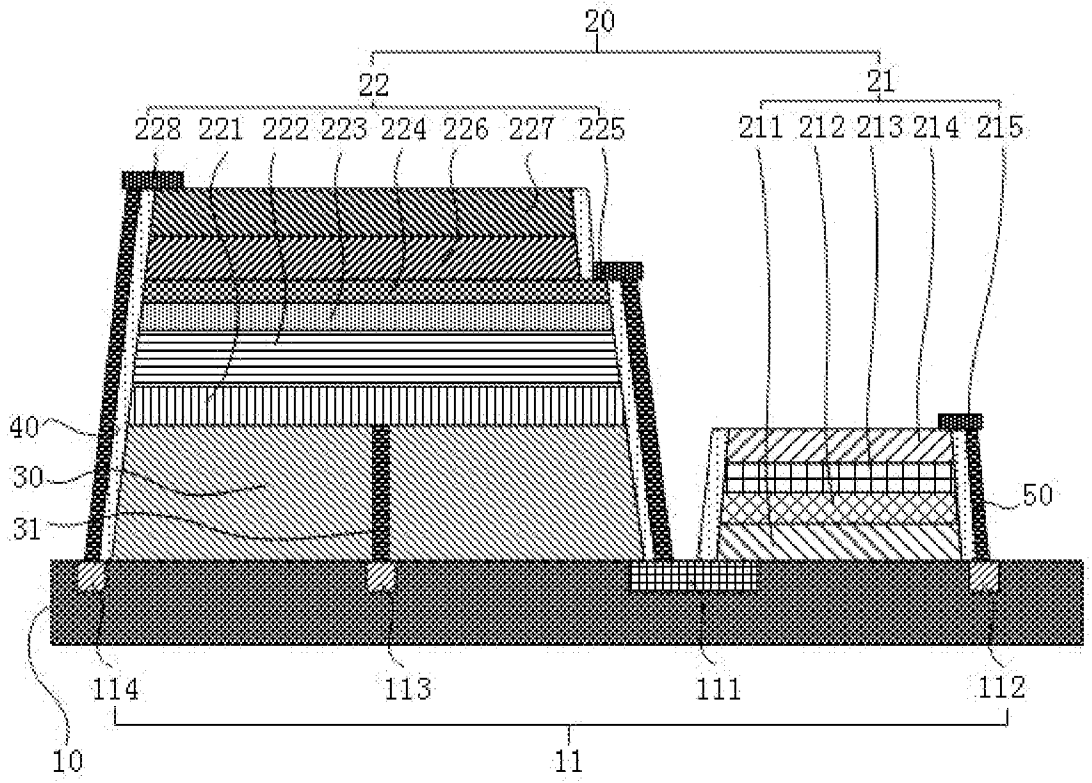

103
104
102
211
10
221


104
102
211
10
221

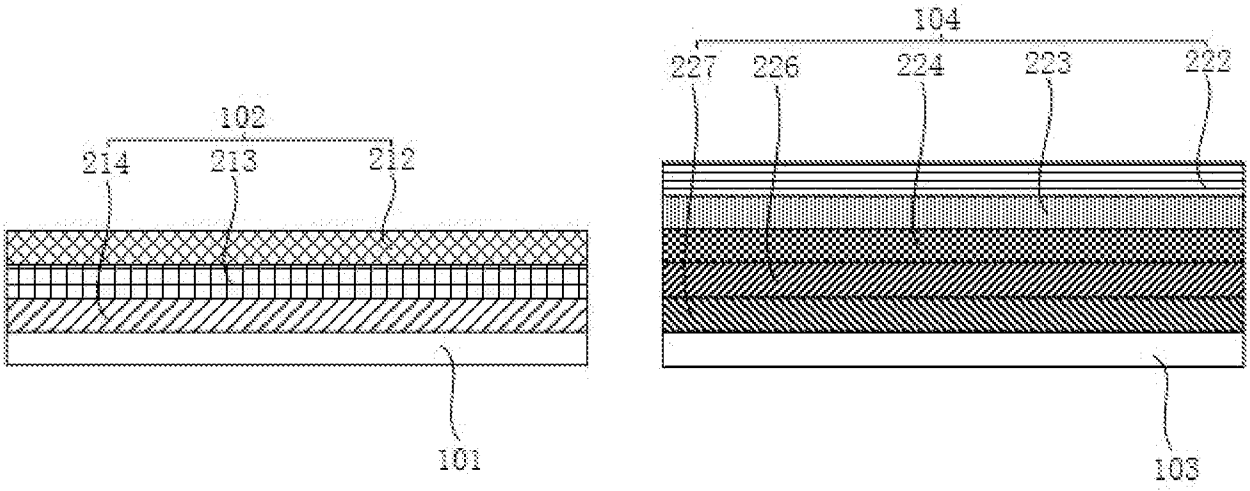
[图7]


22
21
228 221 222 223 224 226 227 225
211 212 213 214 215
40
50
114
113
111
112
10
11

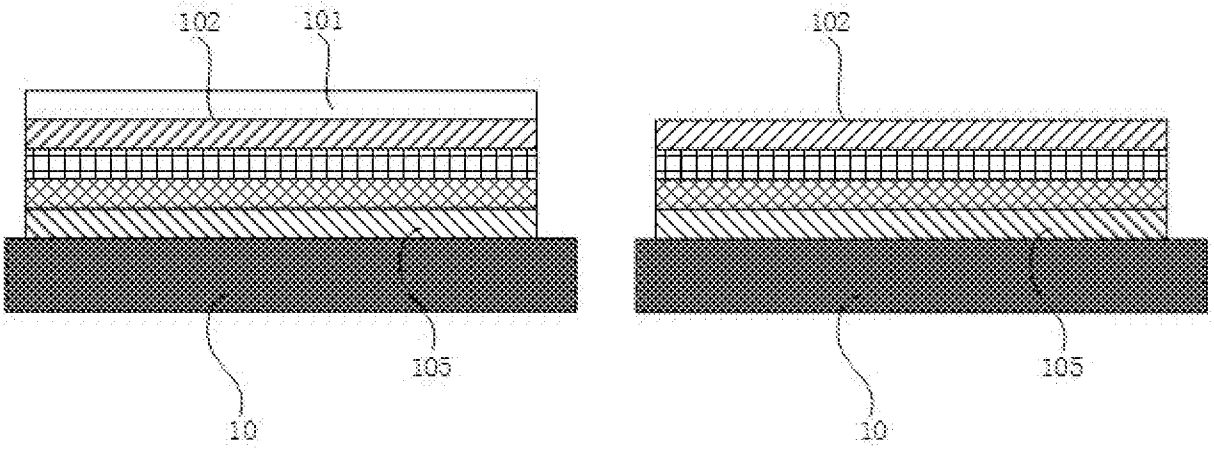
[图8]


20
22
21
228 221 222 223 224 226 227 225
211 212 213 214 215
40
30
31
50
114
113
111
112
10
11

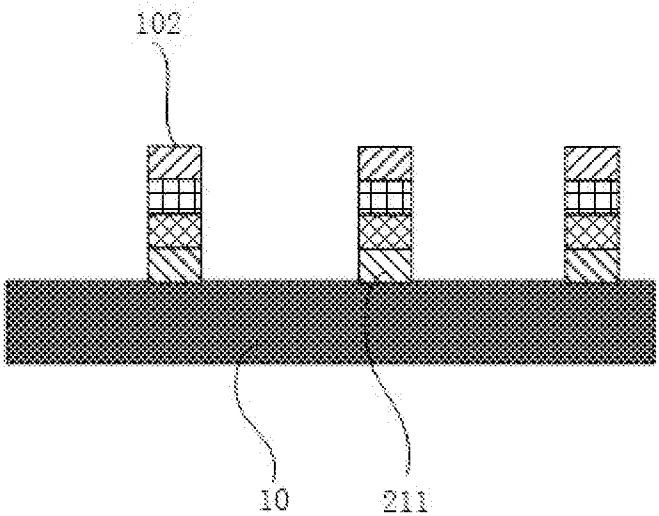
[图9]


102
214
213
212
101
104
227
226
224
223
222
103

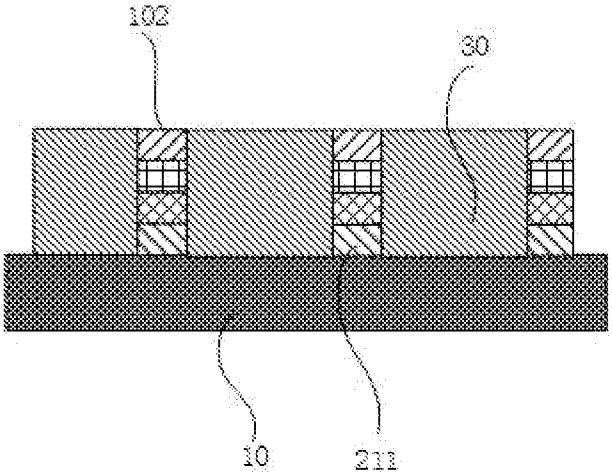
[图10]


102
101
105
10
102
105
10

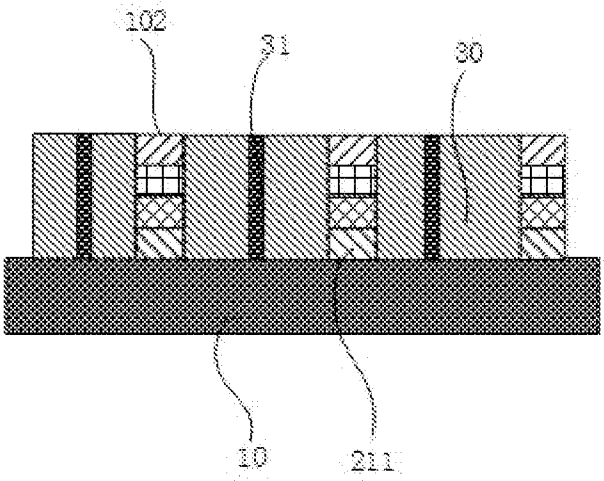
[图11]


102
10
211

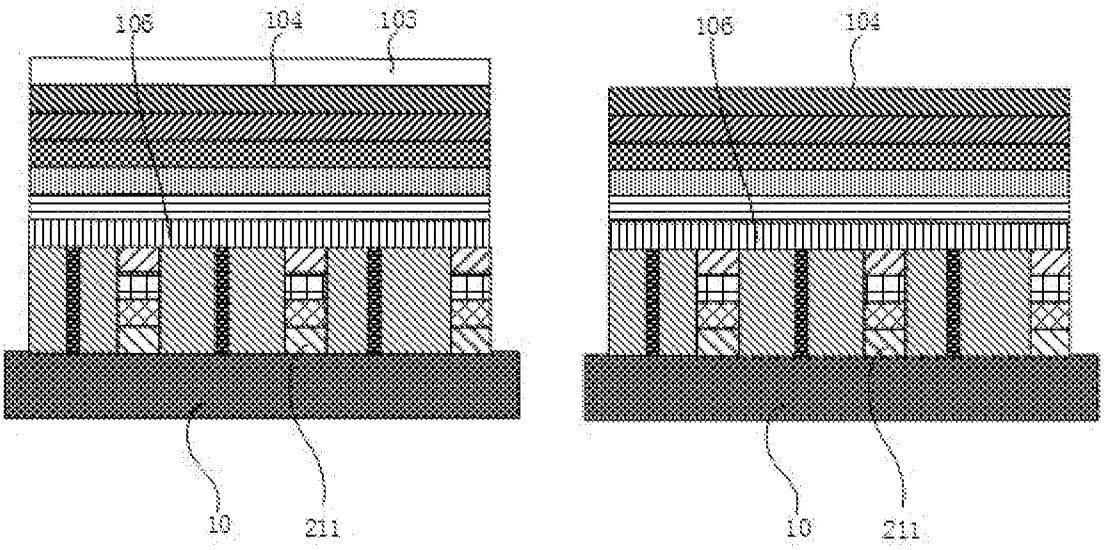
[图12]



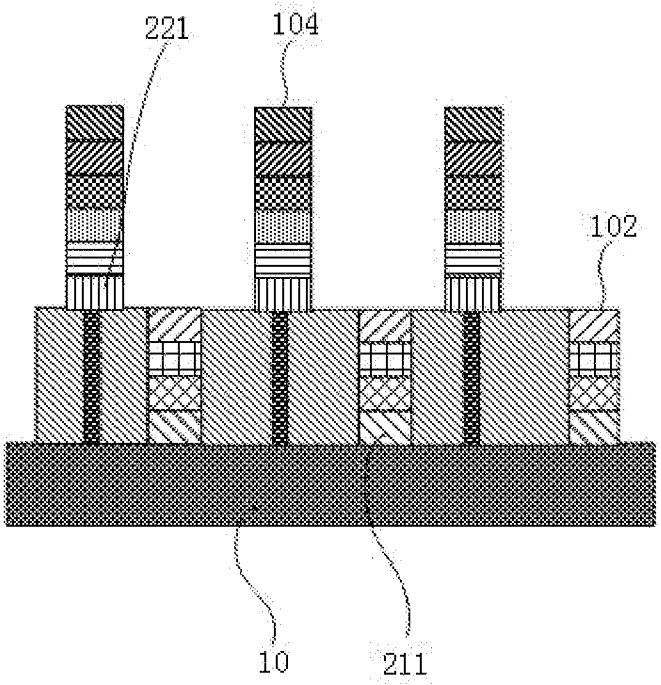
[图13]



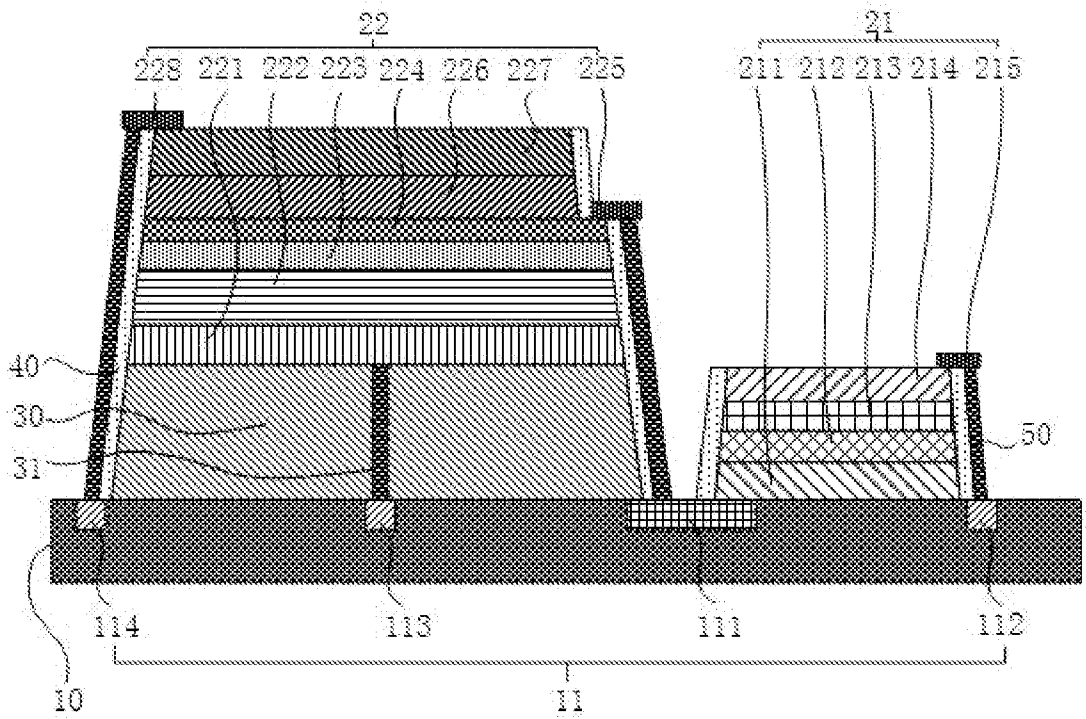
[图14]



[图15]


221
104
102
10
211

[图16]


22
21
228
221
222
223
224
226
227
225
211
212
213
214
215
40
30
31
50
114
113
111
112
10
11

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2023/104771

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/15(2006.01)i; H01L33/62(2010.01)n; H01L25/075(2006.01)n

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC:H01L27/15; H01L33/-; H01L25/075

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT, WPABSC, ENTXT, ENTXTC, VEN, CNKI, ISI: 申请人, 发明人, 微型, 二极管, Micro-LED, mini-led, 叠层, 叠置, 堆叠, 堆栈, 多彩, 全彩, 分辨率, 键合, 蓝, 绿, 同轴, display, blue, green, bond+, laminat+, stack+, full-color, multi-color

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 114725151 A (HUNAN UNIVERSITY) 08 July 2022 (2022-07-08) description, paragraphs 50-117, and figures 1-15	1, 2
A	CN 114093905 A (SEMICONDUCTOR INTEGRATED DISPLAY TECHNOLOGY CO., LTD.) 25 February 2022 (2022-02-25) entire document	1-20
A	CN 115763454 A (SHANGHAI XINYUANJI SEMICONDUCTOR TECHNOLOGY CO., LTD.) 07 March 2023 (2023-03-07) entire document	1-20
A	US 2021184076 A1 (SUNDIODE KOREA) 17 June 2021 (2021-06-17) entire document	1-20

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
30 January 2024	**01 February 2024**

Name and mailing address of the ISA/CN	Authorized officer
China National Intellectual Property Administration (ISA/CN) **China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2023/104771

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
CN 114725151 A	08 July 2022	CN 114725151 B	08 September 2023
CN 114093905 A	25 February 2022	None	
CN 115763454 A	07 March 2023	None	
US 2021184076 A1	17 June 2021	US 11404604 B2	02 August 2022
		KR 20210074423 A	22 June 2021
		KR 102364498 B1	17 February 2022
		EP 4086964 A1	09 November 2022

国际检索报告

国际申请号
PCT/CN2023/104771

A. 主题的分类

H01L27/15(2006.01)i；H01L33/62(2010.01)n；H01L25/075(2006.01)n

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC:H01L27/15; H01L33/-; H01L25/075

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNTXT,WPABSC,ENTXT,ENTXTC,VEN,CNKI,ISI:申请人、发明人、微型、二极管、Micro-LED、mini-led、叠层、叠置、堆叠、堆栈、多彩、全彩、分辨率、键合、蓝、绿、同轴、display、blue、green、bond+、laminat+、stack+、full-color、multi-color

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
X	CN 114725151 A (湖南大学) 2022年7月8日 (2022 - 07 - 08) 说明书第50-117段、图1-15	1,2
A	CN 114093905 A (安徽熙泰智能科技有限公司) 2022年2月25日 (2022 - 02 - 25) 全文	1-20
A	CN 115763454 A (上海芯元基半导体科技有限公司) 2023年3月7日 (2023 - 03 - 07) 全文	1-20
A	US 2021184076 A1 (SUNDIODE KOREA) 2021年6月17日 (2021 - 06 - 17) 全文	1-20

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2024年1月30日	2024年2月1日

ISA/CN的名称和邮寄地址	受权官员
中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088	朱军 电话号码 (+86) 028-62967752

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2023/104771

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	114725151	A	2022年7月8日	CN	114725151	B	2023年9月8日
CN	114093905	A	2022年2月25日		无		
CN	115763454	A	2023年3月7日		无		
US	2021184076	A1	2021年6月17日	US	11404604	B2	2022年8月2日
				KR	20210074423	A	2021年6月22日
				KR	102364498	B1	2022年2月17日
				EP	4086964	A1	2022年11月9日