

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2007年9月27日 (27.09.2007)

PCT

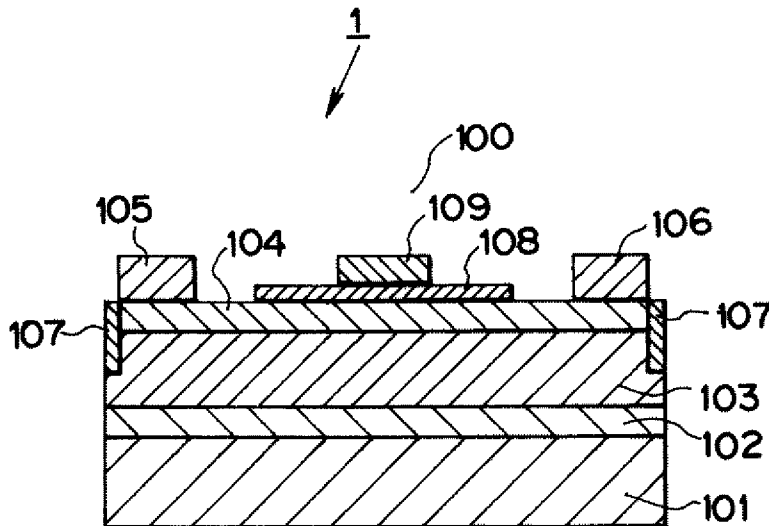
(10) 国際公開番号
WO 2007/108404 A1

- (51) 国際特許分類:
H01L 21/338 (2006.01) H01L 29/78 (2006.01)
H01L 29/778 (2006.01) H01L 29/812 (2006.01)
- (21) 国際出願番号: PCT/JP2007/055337
- (22) 国際出願日: 2007年3月16日 (16.03.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2006-073610 2006年3月17日 (17.03.2006) JP
- (71) 出願人 (米国を除く全ての指定国について): 住友化学株式会社 (SUMITOMO CHEMICAL COMPANY, LIMITED) [JP/JP]; 〒1048260 東京都中央区新川二丁目27番1号 Tokyo (JP). 独立行政法人産業技術総合研究所 (NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL SCIENCE AND TECHNOLOGY) [JP/JP]; 〒1008921 東京都千代田区霞が関一丁目3番1号 Tokyo (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてののみ): 佐沢 洋幸 (SAZAWA, Hiroyuki) [JP/JP]; 〒3050005 茨城県つくば市天久保2-13-10-101 Ibaraki (JP). 清水 三聡 (SHIMIZU, Mitsuaki) [JP/JP]; 〒3050035 茨城県つくば市松代4-403-304 Ibaraki (JP). 八木 修一 (YAGI, Shuichi) [JP/JP]; 〒3050053 茨城県つくば市小野川8-6-202 Ibaraki (JP). 奥村 元 (OKUMURA, Hajime) [JP/JP]; 〒3050003 茨城県つくば市桜2-29-5 Ibaraki (JP).
- (74) 代理人: 浅村 皓, 外 (ASAMURA, Kiyoshi et al.); 〒1000004 東京都千代田区大手町2丁目2番1号 新大手町ビル331 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK,

[続葉有]

(54) Title: SEMICONDUCTOR FIELD EFFECT TRANSISTOR AND METHOD FOR FABRICATING THE SAME

(54) 発明の名称: 半導体電界効果トランジスタ及びその製造方法



(57) Abstract: A gallium nitride based field effect transistor having good current hysteresis characteristics in which forward gate leakage can be reduced. In a gallium nitride-based field effect transistor (100) having a gate insulation film (108), a part or all of a material constituting the gate insulation film (108) is a dielectric material having a dielectric constant of 9-22, and a semiconductor crystal layer A (104) in contact with the gate insulation film (108) and a semiconductor crystal layer B (103) in the vicinity of the semiconductor crystal layer A (104) and having a larger electron affinity than the semiconductor crystal layer A (104) constitute a hetero junction. A hafnium oxide such as HfO_2 , HfAlO , HfAlON or HfSiO is preferably contained, at least partially, in the

material constituting the gate insulation film (108).

(57) 要約: 電流ヒステリシス特性が良好で順方向ゲートリークを低減させることができるガリウムナイトライド系電界効果トランジスタを提供することである。ゲート絶縁膜108を有するガリウムナイトライド系電界効果トランジスタ100において、ゲート絶縁膜108を構成する材料の一部もしくは全部が、比誘電率9以上22以下の誘電体であり、ゲート絶縁膜108に接する半導体結晶層A104と、半導体結晶層A104に近接して、半導体結晶A104よりも大きな電子親和力を有する半導体結晶層B103から構成されるヘテロ接合を有している。ゲート絶縁膜108を構成する材料の少なくとも一部に、 HfO_2 、 HfAlO 、 HfAlON 、又は HfSiO 等の酸化ハフニウムを含むようにするのが好ましい。

WO 2007/108404 A1



MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

半導体電界効果トランジスタ及びその製造方法

技術分野

[0001] 本発明は、半導体電界効果トランジスタ、半導体集積回路及びそれらの製造方法に関する。

背景技術

[0002] 電界効果トランジスタは増幅器、スイッチなどの電子部品として広く使われており、電流の経路(チャネル)の形態によりいくつかに分類される。一形態として2次元電子ガス(2DEG)を利用したものがあるが、2DEGを利用した電界効果トランジスタは、2DEGを形成する界面の形態により、2種に分かれる。一つは、2DEGを酸化膜／半導体結晶界面に形成したものであり、もうひとつは同系の半導体結晶／半導体結晶界面に形成したものである。前者の代表例としてSi-MOS電界効果トランジスタがあり、後者の代表例としてGaN系の高電子移動度電界効果トランジスタ(GaN-HEMT)がある。

[0003] Si-MOS電界効果トランジスタは、ゲートバイアスを制御することにより、Si酸化膜／Si半導体結晶界面に極性の反転したチャネルを形成する構成となっており、ゲートバイアスを順方向(n型チャネルであれば正の電圧)に印加すれば、酸化膜の耐圧の範囲内において、より多くのキャリアを該界面に誘起することができ、より高い電流密度を得ることができるという優れた利点を有している。しかし、電子が結晶系の異なる界面を走行するため、界面の結晶格子の乱れによる散乱を受け、十分な電子走行速度が得られず、高周波信号の増幅や高速なスイッチングには限界があるという問題点を有している。

[0004] 一方、GaN-HEMTの場合には、親和力の異なる同系の半導体結晶であるAlGaN層とGaN層とを接合することにより、その接合界面にキャリアを誘起したチャネルを形成する構成となっている。この界面は同系結晶のヘテロ接合界面であるため、電子の散乱は小さく、高い電子走行速度が実現できるため、高周波信号の増幅や高速なスイッチングに適している。しかし、GaN-HEMTの場合、順方向ゲートバイア

スを印加することにより、ドレイン電流密度を向上させることはほぼ不可能である。それは同系の結晶間では電子親和力の差が小さいため、誘起されたキャリアが容易に電子親和力の小さい結晶を通り抜けてゲート電極に流れこむ、所謂ゲートリークを生じるためである。この問題点を改善するため、AlGaIn層のAl組成を増やすことによりAlGaIn層とGaN層との電子親和力の差を大きくする手法が公知である（非特許文献1）。順方向ゲートリークを低減する他の手法として、半導体結晶層に接して該半導体結晶層よりも小さな電子親和力を有する材料による膜を積層する手法も公知である（非特許文献2）。

非特許文献1: Masataka Higashiwaki et al., Japanese Journal of Applied Physics, Vol44, No16, 2005

非特許文献2: Narihiko Maeda et al., Applied Physics Letter 87, 073504, 2005

発明の開示

発明が解決しようとする課題

[0005] しかし、AlGaIn層のAl組成を増やす方法によると、界面での合金散の増加や界面の格子不整合拡大による結晶性の悪化などの問題点を生じ、期待されるほどの効果は挙げられない。

[0006] また、半導体結晶層に接して該半導体結晶層よりも小さな電子親和力を有する材料による膜を積層する手法によると、逆方向のリーク電流は大きく低減できたが、順方向のリーク電流を下げる効果は充分ではなく、そのため十分な順方向ゲートバイアスは印加できず、実用には限界があった。

[0007] このように、従来技術によると、高い電子走行速度、高い利得、高いドレイン電流密度を兼ね備えた電界効果トランジスタを作製することは困難であった。

[0008] 本発明の目的は、従来技術における上述の問題を解決することができる、高性能のガリウムナイトライド系電界効果トランジスタを提供することにある。

[0009] 本発明の他の目的は、電流ヒステリシス特性が良好で順方向ゲートリークを低減させることができる、ガリウムナイトライド系電界効果トランジスタを提供することにある。

[0010] 本発明の他の目的は、高い電子速度、高い利得、高いドレイン電流密度を実現す

ることができるガリウムナイトライド系電界効果トランジスタを提供することにある。

課題を解決するための手段

- [0011] 上記課題を解決するため、本発明による電界効果トランジスタは、ガリウムナイトライド系の半導体結晶層Aと半導体結晶層Bとの間のヘテロ界面に誘起されたキャリアをチャネルとしており、半導体結晶層Aとゲート電極との間にゲート絶縁膜を設け、該ゲート絶縁膜の材料の少なくとも一部に酸化ハフニウムを含むようにしたものである。
- [0012] 請求項1に記載の発明によれば、ゲート絶縁膜を有するガリウムナイトライド系電界効果トランジスタであって、該ゲート絶縁膜を構成する材料の一部もしくは全部が、比誘電率9以上22以下の誘電体であり、該ゲート絶縁膜に接する半導体結晶層Aと、該半導体結晶層Aに近接して、該半導体結晶Aよりも大きな電子親和力を有する半導体結晶層Bから構成されるヘテロ接合を有する、半導体電界効果トランジスタが提案される。
- [0013] 請求項2に記載の発明によれば、請求項1の発明において、半導体結晶層Aが、 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 系結晶 ($0 \leq x, y \leq 1, x+y \leq 1$) である半導体電界効果トランジスタが提案される。
- [0014] 請求項3の発明によれば、請求項1又2に記載の発明において、ゲート絶縁膜を構成する材料の一部または全部が酸化ハフニウムを含む半導体電界効果トランジスタが提案される。
- [0015] 請求項4の発明によれば、請求項1～3のいずれか一項に記載の発明において、ゲート絶縁膜を構成する材料の一部または全部が $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ ($0 < x < 1, 1 \leq y \leq 2$) を含む半導体電界効果トランジスタが提案される。
- [0016] 請求項5の発明によれば、請求項1～4のいずれか一項に記載の電界効果トランジスタを構成要素とする半導体集積回路が提案される。
- [0017] 請求項6の発明によれば、請求項1～4のいずれか一項に記載の半導体電界効果トランジスタの製造方法において、絶縁層を形成した後、300℃以上で熱処理を加えることを含んでなる、半導体電界効果トランジスタの製造方法が提案される。
- [0018] 請求項7の発明によれば、請求項6に記載の半導体電界効果トランジスタの製造方法において、300℃以上の熱処理がゲート電極の形成後に実施されることを含んで

なる、半導体電界効果トランジスタの製造方法が提案される。

[0019] 請求項8の発明によれば、請求項5に記載の半導体集積回路の製造方法において、絶縁層を形成した後、300℃以上で熱処理を加えることを含んでなる、半導体集積回路の製造方法が提案される。

[0020] 請求項9の発明によれば、請求項8に記載の半導体集積回路の製造方法において、300℃以上の熱処理がゲート電極の形成後に実施されることを含んでなる、半導体集積回路の製造方法が提案される。

発明の効果

[0021] 本発明によれば、チャネル層が電子の散乱の小さな同系の半導体結晶層界面に形成されることにより高い移動度を有し、かつ最適な誘電率をもつゲート絶縁膜が結晶層表面に配されることにより、大きな順方向ゲートバイアスが印加でき、それにより極めて大きなドレイン電流密度を実現した高性能の電界効果トランジスタを提供することができ、その工業的な意義はきわめて大きい。

発明を実施するための最良の形態

[0022] 以下、図面を参照して本発明の実施の形態の一例について詳細に説明する。

図1は、本発明による電界効果トランジスタの実施の形態の一例の断面図である。本実施の形態では、下地基板101上に、本発明によるガリウムナイトライド系電界効果トランジスタであるGaN-HEMTを複数形成してなる、半導体集積回路の場合を例にとって説明するが、本発明はGaN-HEMTに限定されるものではなく、また半導体集積回路に限定されるものでもない。

[0023] 図1に示す半導体集積回路1は、下地基板101上に本発明による電界効果トランジスタ100が複数形成されて成っているが、図1では、簡単化のため、電界効果トランジスタ100は1つだけ示されている。半導体集積回路1には、電界効果トランジスタ100以外の各種デバイスが設けられていても良いことは勿論であるが、電界効果トランジスタ100のみを複数設けた構成であってもよい。ここでは、電界効果トランジスタ101は、ガリウムナイトライド系電界効果トランジスタであるGaN-HEMTとして構成されている。

[0024] 以下、図1を参照しながら、1つの電界効果トランジスタ100に着目してその構成、

動作につき説明するが、図示していない他の電界効果トランジスタについても同様である。電界効果トランジスタ100は、下地基板101の上に緩衝層102が形成されて成る基板上に形成されている。

[0025] 下地基板101としては、SiC基板、サファイヤ基板、Si基板、GaN基板など、下地基板101上に形成されるエピタキシャル層との間で格子乗数差が小さいか又は殆ど無い単結晶基板を用いることができる。下地基板101は、半絶縁性のものが好ましいが、導電性のものであっても使用できる。様々なサイズのものが市販されているが、大きさに制限は無い。また、様々なオフ角度およびオフ方位のものが市販されているが、これらにも制限はなく、どのようなものでも使用できる。下地基板101の面方位は極性面でも無極性面でも制限無く使用できる。このように、下地基板101は市販されているものを使用することができる。

[0026] 下地基板101の上に設けられている緩衝層102は、下地基板101の上に設けられる各種の半導体結晶層と下地基板101との間の格子定数差に因り生じるひずみの緩和や、下地基板101に含まれている不純物の影響を防止するなどの目的で導入されている。緩衝層102の材料としてはAlN、AlGaN、GaNなどが使用できる。緩衝層102は、下地基板101上にこれらの材料をMOVPE法、MBE法、HVPE法などにより積層して形成することができる。使用する原料は、各成長方法に適した原料が市販されているので、これを用いるのがよい。緩衝層102の厚みに特に制限は無いが、通常3000 Åから20 μmの範囲である。

[0027] 緩衝層102の上には、半導体結晶層B103が形成されており、半導体結晶層B103の上には別の半導体結晶層A104が形成されている。図1に示されるように、半導体結晶層B103の一方の面は半導体結晶層A104の一方の面と直接接する構成となっており、ゲートバイアス印加時に半導体結晶層B103と半導体結晶層A104との界面であって半導体結晶層B103側にチャンネルを形成することができるようになっている。

[0028] 上記チャンネルが形成されるようにするため、半導体結晶層B103は、半導体結晶層A104よりも電子親和力が大きくなるようにすることが必要である。以下に、上記チャンネルを構成するために設けられている、2つの半導体結晶層B103、及び半導体結

晶層A104について詳しく説明する。

- [0029] 半導体結晶層B103の材料としてはGaNを使用することができる。半導体結晶層B103の積層は、緩衝層102の場合と同様に、MOVPE法、MBE法、HVPE法などを使用して行うことができる。使用する原料は、緩衝層102の場合と同様に、各成長方法に応じて原料が市販されているのでこれを用いることができる。半導体結晶層B103の厚みは、特に制限は無いが3000 Åから5 μmの範囲であり、より好ましくは5000 Åから3 μmの範囲であり、さらに好ましくは700 Åから2 μmの範囲である。
- [0030] 半導体結晶層A104は、半導体結晶層B103上にAlGaNもしくはAlInGaNを結晶成長させて形成することができ、半導体結晶層B103の結晶成長方法は、半導体結晶層B103の場合と同様である。半導体結晶層A104として、AlGaNを結晶成長させると、半導体結晶層B103と半導体結晶層A104との間で格子定数差が生じ、これによりピエゾ電界を発生させ、界面であって半導体結晶層B103側(GaN層側)にフリーキャリアを誘起させることができる。
- [0031] 一方、半導体結晶層A104としてAlInGaNを結晶成長させると、AlとInとの組成比を調整し半導体結晶層B103、及び半導体結晶層A104を格子整合させることにより、ピエゾ電界が発生するのを防ぎ、ゲートバイアスゼロにおいてフリーキャリアが発生せずチャンネルが形成されない状態、すなわちE-mode動作する電界効果トランジスタを作製することができる。
- [0032] 本発明による電界効果トランジスタの半導体結晶層A104はいずれでもよいが、いずれの場合であっても、ゲートバイアス印加時に半導体結晶層B103と半導体結晶層A104との界面の半導体結晶層B103側にチャンネルが形成されるように、半導体結晶層B103は半導体結晶層A104よりも電子親和力が大きくなるように材料系および組成を選択することが重要である。
- [0033] 半導体結晶層A104において、そのAlの組成は、半導体結晶層B103に比べて半導体結晶層A104が十分小さな電子親和力となるよう、大きくすることが好ましい。しかし、先に述べたとおり、Alの組成を大きくするとAlGaN層の結晶性の劣化が起こり、得られた電界効果トランジスタの性能の低下や動作不良を起こすことなどから、これらの要因を勘案して最適値を選ぶことが必要である。このような事情から、Alの組成

の範囲としては通常0.1から0.6が好ましく、より好ましくは0.15から0.5の範囲であり、さらに好ましくは0.2から0.4の範囲である。

[0034] 半導体結晶層A104の積層は、緩衝層102や半導体結晶層B103の場合と同様に、MOVPE法、MBE法、HVPE法などを使用して行うことができる。使用する原料は各成長方法に応じて原料が市販されているのでこれを用いるのが好ましい。半導体結晶層A104の厚みは、特に制限は無いが、30 Åから600 Åの範囲であり、より好ましくは100 Åから500 Åの範囲であり、さらに好ましくは150 Åから400 Åの範囲である。

[0035] 本実施の形態では、半導体結晶層A104を単層とした。しかし、半導体結晶層A104を弾性変形限界内の厚みを持つGa_{0.5}N_{0.5}層とAlGa_{0.5}N_{0.5}層との繰り返し積層構造や、InGa_{0.5}N_{0.5}とAlGa_{0.5}N_{0.5}との繰り返し積層構造としてもよい。

[0036] 半導体結晶層A104上には、ソース電極105およびドレイン電極106が形成されているほか、ゲート絶縁膜108を介してゲート電極109が形成されている。符号107で示されるのは、素子分離のための分離層であり、分離層107を設けることによって、基板上に、上記した層構造を有する複数の電界効果トランジスタ100が相互に電氣的に干渉しないようにして形成されている。

[0037] ゲート絶縁膜108を設けることにより、ゲート電極109に順方向バイアス電圧を印加したときのリーク電流を小さくできるので、大きな順方向電圧を印加することができるようになる。この場合、ゲート絶縁膜108の膜厚を厚くする程、リーク電流を小さく抑えることができるが、ゲート絶縁膜108の膜厚が厚くなると、ゲート絶縁膜108と半導体結晶層A104との界面に電子の中間準位が形成されやすく、電流ヒステリシスを起こす。

[0038] そこで、本発明者は、ガリウムナイトライド系電界効果トランジスタのゲート絶縁膜の材料につき鋭意検討した結果、ゲート絶縁膜の材料として酸化ハフニウムを含む材料を使用することにより、電流ヒステリシスの発生を抑えて、順方向バイアス電圧印加時のリーク電流を小さくできる、高性能のガリウムナイトライド系電界効果トランジスタを実現できることを見出した。

[0039] 半導体結晶層A104上にゲート絶縁膜108として比誘電率9以上22以下の誘電体

を形成する。この範囲を逸脱した場合、順方向リーク電流を効果的に抑止できない。比誘電率9以上22以下の誘電体であれば効果があるが、この範囲においてもゲートリーク低減には13から18の範囲がより好ましい。誘電率が9以上22以下である材料としては Cr_2O_3 、 CuO 、 FeO 、 PbCO_3 、 PbCl_2 、 PbSO_4 、 SnO_2 、 ZrO_2 、 ZrSiO_4 、 Ta_2O_5 、 TiO_2 、 BaTiO_3 、 HfSiO_2 、 HfAlO 、 La_2O_3 、 CaHfO 、 HfAlON などがある。これらの材料系はいずれも効果があるが、駆動時の電流ヒステリシスの少なさなどから La_2O_3 、 CuO 、 ZrSiO_4 、 HfSiO_2 、 HfO_2 、 HfAlO 、 CaHfO がより好ましく、 HfO_2 、 HfAlON 、 HfAlO 、 HfSiO がさらに好ましく、もっとも好ましくは HfAlO である。

[0040] これらの材料の結晶系はリークが小さいことなどの理由から、ゲート絶縁膜108として用いるのにアモルファスもしくは単結晶が好ましく、製膜の容易さなどからアモルファスであることがより好ましい。

[0041] このように、ゲート絶縁膜108を構成する材料の一部または全部が酸化ハフニウムを含む場合、例えば、ゲート絶縁膜を構成する材料の一部または全部が $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ ($0 < x < 1$, $1 \leq y \leq 2$)を含む場合、リーク電流を効果的に減少させることができ、その調節を可能にすることができる。

[0042] ゲート絶縁膜108は上記材料と他の材料との積層構造としても良い。例えば、電流コラプス現象を抑制できる絶縁膜として知られる SiN を、ゲート絶縁膜108に用いることができるとして例示した上記材料との間に、1nmから10nmの膜厚で挿入するようにした積層構造を採用することができる。この場合において、組み合わせる絶縁膜材料の種類に制限は無い。厚みとしては、効果的なリーク電流抑制と相互コンダクタンス、ヒステリシスなどを勘案して、3nmから40nmの範囲が好ましく、5nmから30nmの範囲がより好ましく、7nmから20nmがもっとも好ましい。

[0043] また、半導体結晶層B103及び又は半導体結晶層A104の一部をエッチングにより除去した構造(リセス構造)としてもよい。これにより、電界効果トランジスタの利得を向上させたり、閾値電圧を正になるよう調整することによりE-mode動作させることが可能である。

[0044] ゲート絶縁膜108の形成法としては、熱CVD法、プラズマCVD法、ALCVD法、MOCVD法、MBE法、蒸着法、スパッタリング法などが利用できる。

- [0045] これらの手法でゲート絶縁膜108を形成した後、アニール処理することにより、電流ヒステリシスを低減させることができる。したがって、図1に示す半導体集積回路1を製造する場合、または図1に示す構成の電界効果トランジスタ100を単体で製造する場合、その電流ヒステリシス特性を改善させるために、ゲート絶縁膜108を形成した後、アニール処理するのが効果的である。
- [0046] このアニール処理は、ゲート絶縁膜108の形成後からデバイス封止までの間の適宜のタイミングで実施すればよい。該アニール処理は300℃以上の温度でかつゲート絶縁膜108の耐熱性の範囲内（アモルファス維持できる範囲）で実施するが、通常は300℃から900℃の範囲である。アニール処理温度を300℃～900℃の範囲で行うことにより、アニール処理をしない場合に比べて、その電流ヒステリシス特性をより一層改善させることができる。アニール処理時間は特に制限は無いが、効果と工業的効率性の兼ね合いの観点から10秒から60分の範囲が好ましい。雰囲気は窒素および／あるいはArが好ましく、より好ましくは窒素である。
- [0047] ゲート絶縁膜108の上に形成されるゲート電極109、ソース電極105、ドレイン電極106の材料としては、通常のGaN-HEMTデバイスで使用する材料、および手法がそのまま利用できる。すなわち、ゲート電極108の材料としては、Ni/Au、Ptなどである。ソース電極105、ドレイン電極106の材料としてはTi/Al、Ti/Moなどである。それらの形成は、スパッタリング法、蒸着法、CVD法などを用いることができる。
- [0048] アニール処理はゲート電極形成後に実施しても良い。その場合、ヒステリシスが低減できかつゲート電極材料にダメージを与えない温度範囲で実施する。このような温度範囲はゲート電極材料の耐熱性との兼ね合いで決定されるが、一般的には300℃から600℃の範囲である。
- [0049] 上記において、本発明を実施の形態の一例に基づいて説明したが、上記に開示された本発明の実施の形態は、あくまで例示であって、本発明の技術的範囲はこれらの実施の形態に限定されない。本発明の技術的範囲は、特許請求の範囲によって示され、さらに特許請求の範囲の記載と均等の意味及びその範囲内でのすべての変形を含むものである。

実施例

[0050] 以下に実施例を示して本発明をさらに詳細に説明するが、以下に示す実施例はあくまで例示であって、本発明はこれにより制限されるものではない。

[0051] 実施例1

図1に示した構成のGaN-HEMTを以下のようにして作成した。

下地基板101として用意された半絶縁性のSiC基板101を硫酸と過酸化水素水の混合液で洗浄処理した後、MOCVD炉中で600℃に加熱し、キャリアガスとして水素を60SLM、アンモニアを40SLM、恒温槽温度30℃に設定した容器からTMAを40sccm流し、AlNが緩衝層102として500Å成長した。

[0052] ついで下地基板101の温度を1150℃に変更し、TMA流量を0sccmにしたのち、恒温槽温度30℃に設定した容器からTMGを40sccm流し、緩衝層102上にGaN層を半導体結晶層B103として2μm積層した。

[0053] ついでTMGの流量を100sccmに変更し、高温槽温度30℃の容器からTMAを33sccm流し、Al組成0.20のud-AlGaInが半導体結晶層A104として400Å成長した。ついで下地基板101を室温付近まで降温した後、反応炉より取り出した。

[0054] その後、ホトリソグラフィー法でソース電極およびドレイン電極形状にレジスト開口を形成し、Ti/Al/Ni/Au金属膜を200Å/1500Å/250Å/500Åの厚みにEB蒸着法で積層した。ついでリフトオフ法により開口部以外の金属膜を除去しソース電極105とドレイン電極106を形成した。引き続きオーミック性を上げるため窒素雰囲気中にて800℃で30秒間RTA処理をした。

[0055] 基板を取り出し、ホトリソグラフィー法によりレジストパターンを形成した後、これをマスクとし、N⁺イオンのイオン打ち込みにより、3000Åの深さまで分離層107を形成した。N⁺イオンのdose量は、 $2 \times 10^{14} \text{ ion/cm}^2$ とした。イオン打ち込み後、レジストを除去した。

[0056] その後、ホトリソグラフィー法により、ゲート絶縁膜を形成する領域にレジスト開口を設けた後、開口部を希釈したHCl水溶液で洗浄した。スパッタリング装置に移し、RFスパッタリング法により、 $\text{Hf}_{0.6}\text{Al}_{0.4}\text{O}_2$ を堆積した。膜厚について、8nm(サンプル1)、16nm(サンプル2)、24nm(サンプル3)の3水準のサンプルを作製した。下地基板101をスパッタリングするガスとしてArを用いた。スパッタ電力は0.48kWとした。

スパッタリング時の反応炉圧力は0.45Paとした。スパッタリングターゲットとしては $\text{Hf}_{0.6}\text{Al}_{0.4}\text{O}_2$ の焼結体を用いた。その後、リフトオフによりゲート絶縁膜108を形成した。

[0057] ついで、同じくホトリソグラフィ法にてゲート電極形状の開口を形成した後、Ni/Au金属膜を200 Å/1000 Åの厚みに電子ビーム蒸着法で形成し、ソース電極と同様の手法でリフトオフし、ゲート電極109を形成した。

[0058] ついで、以上のように処理された下地基板101をアニール炉に移し、窒素中にて500°Cで30分アニールした。

[0059] このようにしてゲート長2 μm、ゲート幅30 μmであるが、ゲート絶縁膜の厚さのみが異なる3つのGaN-HEMT、即ちGaN-HEMT1(ゲート絶縁膜8nm)、GaN-HEMT2(ゲート絶縁膜16nm)、GaN-HEMT3(ゲート絶縁膜24nm)を作製した。

[0060] GaN-HEMT1について同一の加工プロセスで作製したショットキーダイオードについてCV測定を行い、ゲート絶縁膜の比誘電率を求めたところ、16であった。

[0061] 以上のようにして作製された、GaN-HEMT1、GaN-HEMT2、及びGaN-HEMT3のそれぞれにつき、ドレイン電極接地で2端子という条件で、ゲート電流密度-ゲート電圧特性を測定した。この測定結果を図3に示す。

[0062] さらに、GaN-HEMT1、GaN-HEMT2、及びGaN-HEMT3のそれぞれにつき、ソース電極接地で3端子という条件で、ドレイン電流密度の遷移特性を測定した。この際、ドレイン電極には20Vのバイアスを印加した。この測定結果を図4に示す。

[0063] GaN-HEMT1のドレイン電流密度-ドレイン電圧曲線のヒステリシス特性を測定した。この際、ゲート電極には-2Vを印加した。この測定結果を図6に示す。

[0064] 比較例1

図2に比較例として作製したGaN-HEMTを含む半導体集積回路の断面概略図を示す。図1に示した本発明の一実施形態と図2に示す比較例との構造上の違いは、比較例にあつては、各電界効果トランジスタにゲート絶縁膜が設けられていないことであり、その他の構造は両者とも同じである。図2において、201は下地基板、202は

緩衝層、203は半導体結晶層B、204は半導体結晶層A、205はソース電極、206はドレイン電極、207は分離層、208はゲート電極である。

[0065] 実施例1と同様の手法で、SiC基板を下地基板201とし、その上にAlN層を緩衝層202として500 Åの厚さに形成し、GaN層を半導体結晶層B203として2 μmの厚さに形成し、Al組成0.20のud-AlGaN層を半導体結晶層A204として400 Å厚に形成した。つぎに、上述のように処理された下地基板201を室温付近まで降温した後、反応炉よりエピタキシャル基板として取り出した。

[0066] 反応炉より取り出したエピタキシャル基板に、実施例1と同じ手法でソース電極205、ドレイン電極206、分離層207を形成した後、ゲート絶縁膜を積層せず、リソグラフィでゲート電極形状に開口を形成し、開口部を希釈したHCl水溶液で洗浄した。ついで実施例1と同じ手法で、ゲート電極208を形成した。このようにしてゲート長2 μm、ゲート幅30 μmのGaN-HEMT4を作成した。

[0067] このGaN-HEMT4につき、ドレイン電極接地で2端子の条件で、ゲート電流密度-ゲート電圧特性を測定した。この測定結果が図3に示されている。

[0068] また、GaN-HEMT4につき、ソース電極接地で3端子の条件で、ドレイン電流密度の遷移特性を測定した。この際、ドレイン電極には20Vのバイアスを印加した。この測定結果が図4に示されている。

[0069] 比較例2

実施例1と同様の手法で、下地基板201としてのSiC基板上に、AlNの緩衝層202を500 Å、GaNの半導体結晶層B203を2 μm、Al組成0.20のud-AlGaNの半導体結晶層A204が400 Å、順次成長した。

[0070] ついで、以上のように処理された下地基板201に、実施例1と同じ手法で分離層207、ソース電極205、ドレイン電極206、ゲート絶縁膜(厚み8nm)、ゲート電極208を形成した後、所要の電極を形成した。アニール処理は行わなかった。このようにしてゲート長2 μm、ゲート幅30 μmのGaN-HEMT5を作製した。

[0071] GaN-HEMT5のドレイン電流密度-ドレイン電圧曲線のヒステリシス特性を測定した。この際、ゲート電極には-2Vを印加した。この測定結果を図5に示す。

[0072] 図3を参照すると、実施例1で作製したGaN-HEMT1、GaN-HEMT2、GaN

－HEMT3は、比較例1のGaN－HEMT4と比べて、大幅にゲート電流が低減された。特に順方向のゲートバイアス印加時のゲート電流の抑制効果が著しく改善されたことが判る。図3から明らかなように、GaN－HEMT1、GaN－HEMT3では+8Vまで、GaN－HEMT2では+9Vまで順方向の電圧の印加幅を拡大できた。

[0073] 一方、GaN－HEMT4ではゲート電圧が0Vを超えると、大きなリーク電流が発生するため、0Vより大きなゲート電圧を印加することが出来なかった。

[0074] 図4を参照すると、実施例1のGaN－HEMT1、GaN－HEMT2、GaN－HEMT3の各最大ドレイン電流密度を、比較例1のGaN－HEMT4のそれと比べた場合、GaN－HEMT1で約95%、GaN－HEMT2で105%、GaN－HEMT3で115%向上した。

[0075] 図6における実施例1のGaN－HEMT1のドレイン電流密度－ドレイン電圧曲線の掃引方向を変えた場合の差は、図5に示されたGaN－HEMT4におけるそれと比べて大幅に小さく、アニール処理によりヒステリシスが大幅に低減したことが確認できた。

図面の簡単な説明

[0076] [図1]本発明の一実施形態を示す概略断面図。

[図2]比較例のデバイスの概略断面図。

[図3]実施例1と比較例1とのゲート電流密度－ゲート電圧特性を示す図。

[図4]実施例1と比較例1とのドレイン電流密度の遷移特性を示す図。

[図5]比較例2のドレイン電流－ドレイン電圧曲線のヒステリシス特性を示す図。

[図6]実施例1のドレイン電流－ドレイン電圧曲線のヒステリシス特性を示す図。

符号の説明

- [0077] 101、201 下地基板
102、202 緩衝層
103、203 半導体結晶層B
104、204 半導体結晶層A
105、205 ソース電極
106、206 ドレイン電極

107、207 分離層

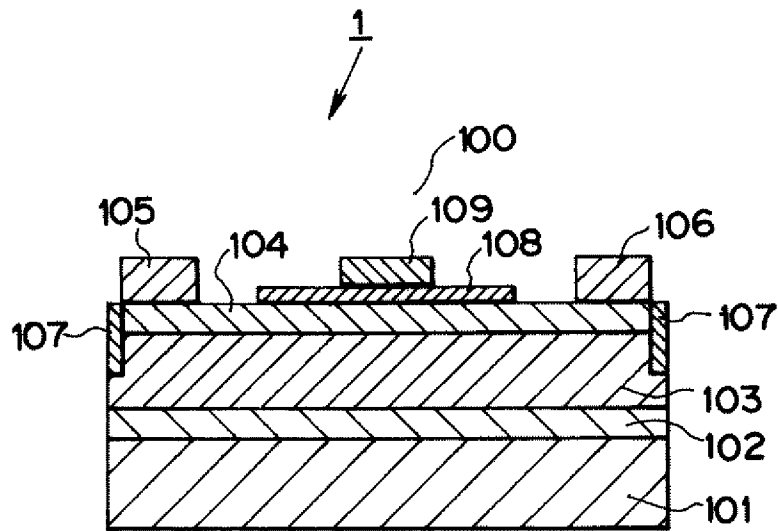
108 ゲート絶縁膜

109、208 ゲート電極

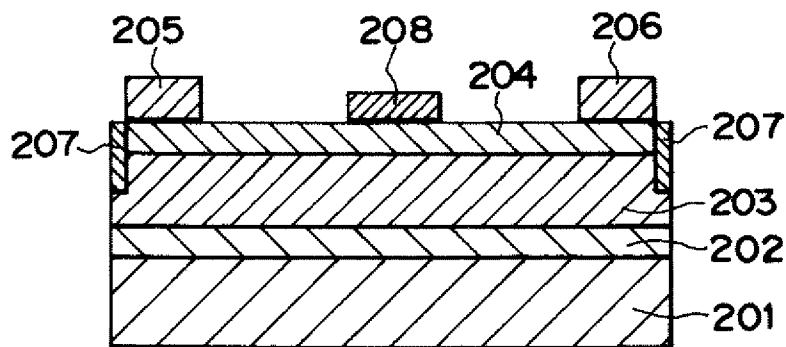
請求の範囲

- [1] ゲート絶縁膜を有するガリウムナイトライド系電界効果トランジスタであって、該ゲート絶縁膜を構成する材料の一部もしくは全部が、比誘電率9以上22以下の誘電体であり、該ゲート絶縁膜に接する半導体結晶層Aと、該半導体結晶層Aに近接して、該半導体結晶層Aよりも大きな電子親和力を有する半導体結晶層Bから構成されるヘテロ接合を有する、上記半導体電界効果トランジスタ。
- [2] 半導体結晶層Aが、 $\text{Al}_x\text{In}_y\text{Ga}_{(1-x-y)}\text{N}$ 系結晶 ($0 \leq x, y \leq 1, x+y \leq 1$) である、請求項1に記載の半導体電界効果トランジスタ。
- [3] ゲート絶縁膜を構成する材料の一部または全部が酸化ハフニウムを含む、請求項1又2に記載の半導体電界効果トランジスタ。
- [4] ゲート絶縁膜を構成する材料の一部または全部が $\text{Hf}_x\text{Al}_{1-x}\text{O}_y$ ($0 < x < 1, 1 \leq y \leq 2$)を含む、請求項1～3のいずれか一項に記載の半導体電界効果トランジスタ。
- [5] 請求項1～4のいずれか一項に記載の電界効果トランジスタを構成要素とする半導体集積回路。
- [6] 絶縁層を形成した後、 300°C 以上で熱処理を加えることを含んでなる、請求項1～4のいずれか一項に記載の半導体電界効果トランジスタの製造方法。
- [7] 300°C 以上の熱処理がゲート電極の形成後に実施されることを含んでなる、請求項6に記載の半導体電界効果トランジスタの製造方法。
- [8] 絶縁層を形成した後、 300°C 以上で熱処理を加えることを含んでなる、請求項5に記載の半導体集積回路の製造方法。
- [9] 300°C 以上の熱処理がゲート電極の形成後に実施されることを含んでなる、請求項8に記載の半導体集積回路の製造方法。

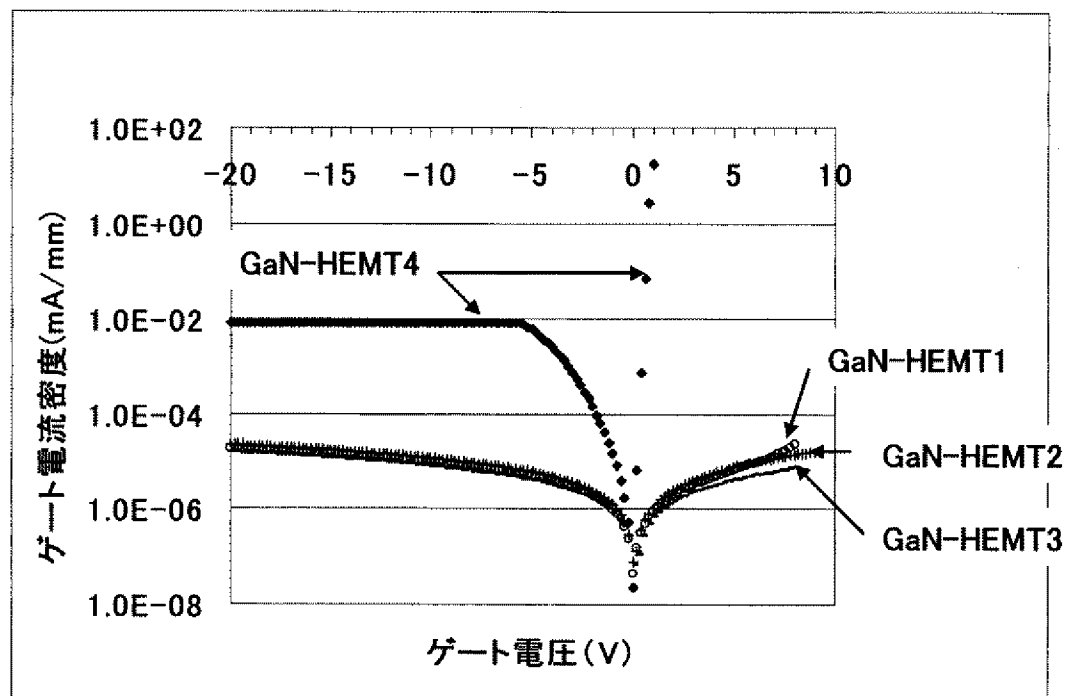
[図1]



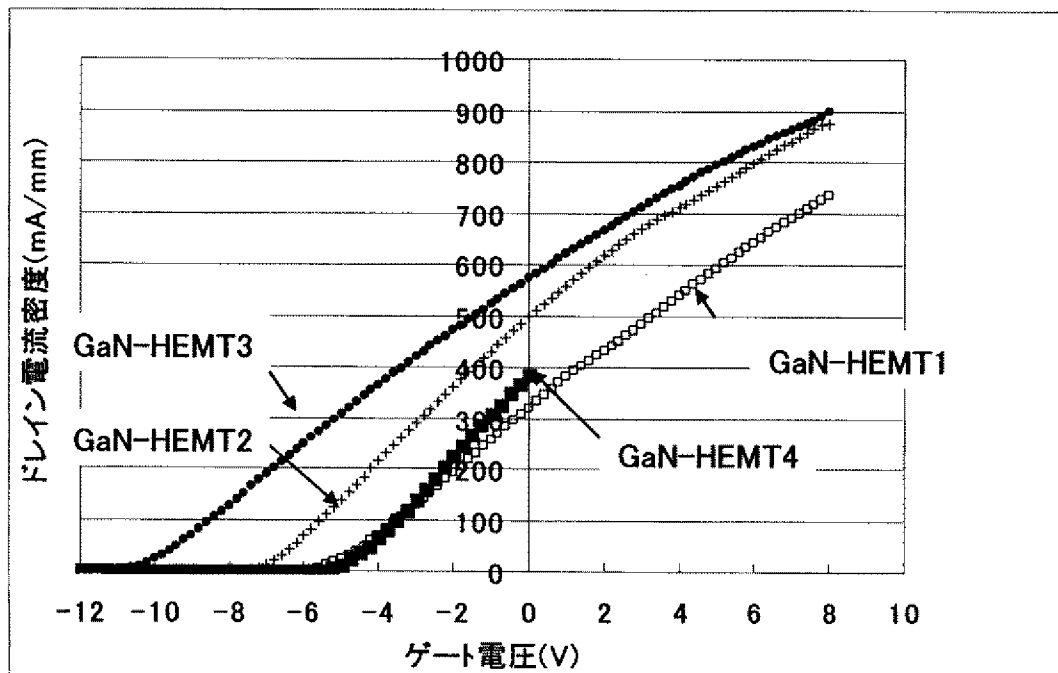
[図2]



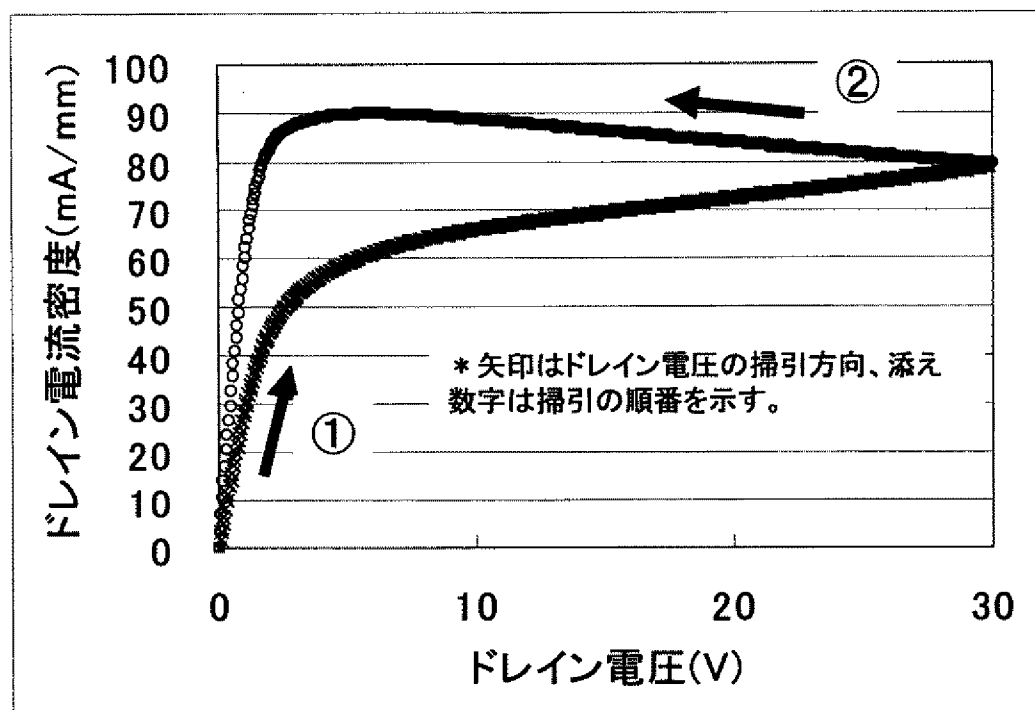
[図3]



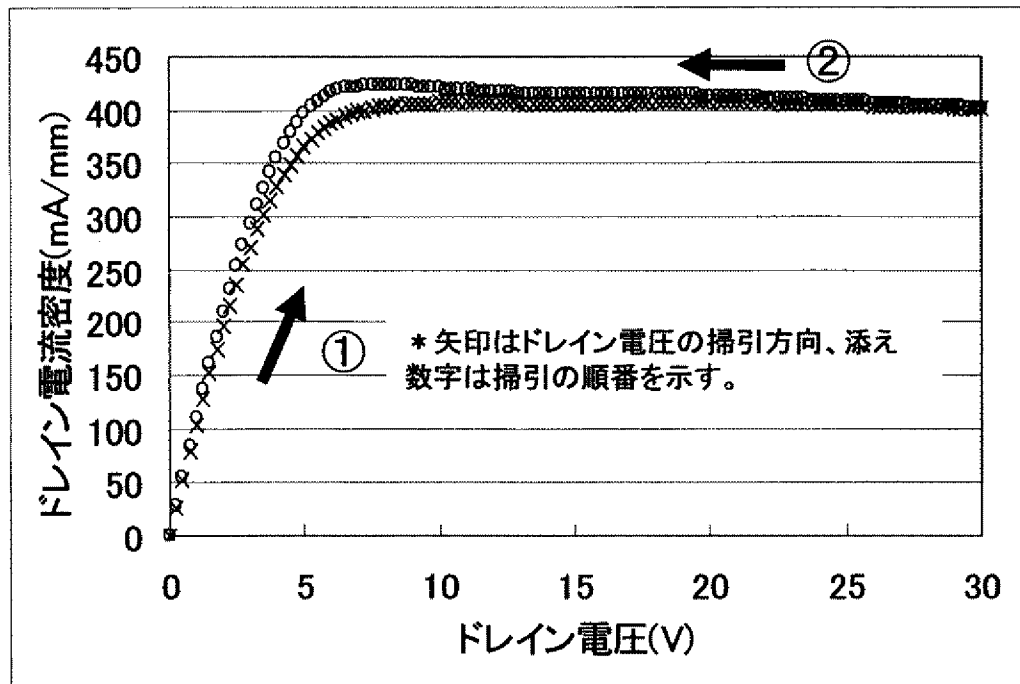
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/055337

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/338(2006.01)i, H01L29/778(2006.01)i, H01L29/78(2006.01)i,
H01L29/812(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/338, H01L29/778, H01L29/78, H01L29/812

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2005-086102 A (Kokuritsu Daigaku Hojin Nagoya Daigaku), 31 March, 2005 (31.03.05), Par. Nos. [0029] to [0031]; Fig. 5 (Family: none)	1-3
X Y	WO 2006/0001369 A1 (The Furukawa Electric Co., Ltd.), 05 January, 2006 (05.01.06), Par. Nos. [0023] to [0030]; Fig. 1 (Family: none)	1-5 6-9
Y	JP 2006-054391 A (Matsushita Electric Industrial Co., Ltd.), 23 February, 2006 (23.02.06), Par. Nos. [0021] to [0028] (Family: none)	6-9

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
04 June, 2007 (04.06.07)

Date of mailing of the international search report
12 June, 2007 (12.06.07)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/055337

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-133432 A (Toshiba Corp.), 09 May, 2003 (09.05.03), Par. No. [0021] (Family: none)	6-9
A	JP 2002-324813 A (Nippon Telegraph And Telephone Corp.), 08 November, 2002 (08.11.02), Par. No. [0034]; Fig. 1 (Family: none)	1-9
P,X	JP 2006-222414 A (Matsushita Electric Industrial Co., Ltd.), 24 August, 2006 (24.08.06), Par. Nos. [0029] to [0041]; Fig. 1 & US 2006/0157729 A1	1-3

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/338 (2006.01)i, H01L29/778 (2006.01)i, H01L29/78 (2006.01)i, H01L29/812 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/338, H01L29/778, H01L29/78, H01L29/812

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 7 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 7 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 7 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 2 0 0 5 - 0 8 6 1 0 2 A (国立大学法人名古屋大学) 2 0 0 5 . 0 3 . 3 1, 【0 0 2 9】 - 【0 0 3 1】, 図 5 (ファミリーなし)	1 - 3
X Y	W O 2 0 0 6 / 0 0 0 1 3 6 9 A 1 (古河電気工業株式会社) 2 0 0 6 . 0 1 . 0 5, 【0 0 2 3】 - 【0 0 3 0】, 図 1 (ファミリーなし)	1 - 5 6 - 9

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 4 . 0 6 . 2 0 0 7

国際調査報告の発送日

1 2 . 0 6 . 2 0 0 7

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

棚田 一也

4 L

3 4 4 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 9 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2 0 0 6 - 0 5 4 3 9 1 A (松下電器産業株式会社) 2 0 0 6 . 0 2 . 2 3 , 【 0 0 2 1 】 - 【 0 0 2 8 】 (ファミリーなし)	6 - 9
Y	J P 2 0 0 3 - 1 3 3 4 3 2 A (株式会社東芝) 2 0 0 3 . 0 5 . 0 9 , 【 0 0 2 1 】 (ファミリーなし)	6 - 9
A	J P 2 0 0 2 - 3 2 4 8 1 3 A (日本電信電話株式会社) 2 0 0 2 . 1 1 . 0 8 , 【 0 0 3 4 】 , 図 1 (ファミリーなし)	1 - 9
P, X	J P 2 0 0 6 - 2 2 2 4 1 4 A (松下電器産業株式会社) 2 0 0 6 . 0 8 . 2 4 , 【 0 0 2 9 】 - 【 0 0 4 1 】 , 図 1 & U S 2 0 0 6 / 0 1 5 7 7 2 9 A 1	1 - 3