

A1

**DEMANDE
DE BREVET D'INVENTION**

②

N° 81 07289

⑤ Circuit de filtrage comportant un dispositif de transfert de charges.

⑤ Classification internationale (Int. Cl.³). H 03 H 15/00.

② Date de dépôt..... 10 avril 1981.

③③ ③② ③① Priorité revendiquée : Japon, 11 avril 1980, n° 48478/1980; 15 avril 1980, n° 49660/1980;
16 septembre 1980, n° 128179/1980; 26 septembre 1980, n° 134610/1980.

④ Date de la mise à la disposition du
public de la demande..... B.O.P.I. — « Listes » n° 42 du 16-10-1981.

⑦ Déposant : Société dite : SONY CORPORATION, résidant au Japon.

⑦ Invention de : Mitsuo Soneda.

⑦ Titulaire : *Idem* ⑦

⑦ Mandataire : Cabinet Bert, de Keravenant et Herrburger,
115, bd Haussmann, 75008 Paris.

L'invention est relative à un circuit de filtrage et plus particulièrement à un circuit de filtrage qui comporte un dispositif de transfert de charges tel qu'un composant à éléments en chapelet.

5 Des filtres transversaux aussi bien récursifs que non récursifs ont été constitués de dispositifs de transfert de charges, tels que des composants à éléments en chapelet . Dans un tel dispositif un signal d'entrée est généralement fourni à un dispositif d'accumulation de charges, tel qu'un
10 condensateur qui réagit à un signal d'horloge qui lui est fourni, pour être chargé à un niveau correspondant à un niveau échantillonné du signal d'entrée. Après quoi, et en réponse à une impulsion d'horloge suivant immédiatement, un élément de commutation, tel qu'un transistor, est rendu conducteur pour transfé-
15 rer la charge qui a été accumulée dans le condensateur précité vers un condensateur similaire ou un autre dispositif d'accumulation de charges dans un étage immédiatement suivant. Puis, encore un autre élément de commutation tel qu'un autre transistor est rendu conducteur pour transférer la charge de ce conden-
20 sateur à un condensateur suivant. Cette opération se poursuit grâce à quoi le niveau de signal initialement échantillonné est transféré d'étage en étage à travers le dispositif de transfert de charges. Bien entendu, puisque le niveau de signal initialement échantillonné est transféré de cette manière, des échan-
25 tillons successifs du signal d'entrée sont obtenus et transférés séquentiellement. Le dispositif de transfert de charges fonctionne ainsi comme un circuit retardateur de sorte que des échantillons analogiques correspondant du signal d'entrée "ondulent" à travers le dispositif.

30 Un tel dispositif de transfert de charges du type précité, qui est également connu comme composant à éléments en chapelet, a été utilisé comme filtre transversal non récursif. Les tensions produites en tant que fonction des charges et qui sont accumulées dans différents étages prédéter-
35 minés du composant à éléments en chapelet sont "prélevées", ou bien dérivées, pondérées de façon convenable, et totalisées pour produire un signal de sortie. Typiquement les tensions produites à de tels étages prédéterminés du composant à éléments en chapelet sont appli-
40 quées par l'intermédiaire de circuits de transistors à charge

d'émetteur aux circuits de pondération, puis sont totalisées à une sortie. Du fait que de tels circuits à charge d'émetteur sont utilisés pour isoler les circuits de pondération et de sortie des étages du composant à éléments en cha-
5 pelet, ces circuits à charge d'émetteur ont une influence néfaste sur le dispositif à transfert de charges. Par exemple, la capacité collecteur-base de chaque transistor à charge d'émetteur tend à réduire la hauteur effective d'impulsions des impulsions d'horloge qui sont fournies au composant à
10 éléments en chapelet et qui sont nécessaires pour transférer à travers ce système des échantillons du signal d'entrée. En outre, le courant de base prélevé par les transistors à charge d'émetteur a une influence indésirable sur l'efficacité du transfert de charges du composant à éléments
15 en chapelet. Comme conséquence de ces circuits à charge d'émetteur, la gamme dynamique du signal qui est filtré par mise en oeuvre de dispositifs de transfert de charges, est réduite.

Lorsque le système de composant à éléments en chapelet précité est utilisé pour constituer un filtre
20 transversal récursif, des circuits à charge d'émetteur sont utilisés pour appliquer les tensions produites à des étages prédéterminés du système du composant à éléments en chapelet aux circuits de pondération, à partir desquels les tensions prélevées et pondérées sont totalisées puis échantillonnées et
25 maintenues et réinjectées par exemple à l'entrée du système à composant à éléments en chapelet. Du fait que ce filtre transversal récursif utilise des transistors à charge d'émetteur, il souffre de la plupart des inconvénients notés ci-dessus à propos du filtre transversal non récursif. De plus, l'utilisation
30 de transistors à charge d'émetteur, de circuits de pondération, de circuits totalisateurs analogiques et de circuits d'échantillonnage et de maintien, se traduit par une disposition relativement complexe et donc coûteuse, et consomme également une quantité importante de puissance électrique. De plus, si un phénomène transitoire inattendu, tel qu'une pointe de courant, circule à travers les circuits à charge d'émetteur ou à travers
35 les circuits totalisateurs analogiques ou à travers les circuits d'échantillonnage et de maintien, une telle pointe de courant peut être superposée à la puissance fournie ou au potentiel de
40 base. Cela peut avoir une influence défavorable sur les diffé-

rents étages du système du composant à éléments en chapelet. Encore une autre difficulté dans le filtre transversal récursif précité, est que le potentiel continu des tensions fournies aux circuits à charge d'émetteur n'est souvent pas égal
5 au potentiel continu de la tension qui est réinjectée à partir des circuits d'échantillonnage et de maintien. Il en résulte que le circuit de filtrage peut être instable.

En conséquence, un des buts de la présente invention est de créer un filtre transversal amélioré, constitué d'un
10 dispositif de transfert de charges, qui soit exempt des inconvénients précités des circuits de filtrage de l'art antérieur.

Un autre but de l'invention est de créer un circuit de filtrage transversal qui puisse fonctionner comme filtre transversal non récursif.

15 Un autre but de l'invention est de créer un filtre transversal du type précédemment mentionné qui soit prévu pour fonctionner comme filtre transversal récursif.

Un autre objet de l'invention est de créer un filtre transversal du type précédemment mentionné qui soit d'une
20 construction relativement simple et qui consomme un minimum de puissance électrique tout en présentant un fonctionnement stable.

Encore un autre objet de l'invention est de créer un filtre transversal amélioré du type précité, dans lequel
25 les potentiels continus fournis à différents étages du dispositif de transfert de charges qui y est inclus, soient égaux, et dans lequel, en particulier, le potentiel continu de sortie soit égal au potentiel continu fourni à ces étages.

Un autre but de l'invention est encore de créer
30 un filtre transversal du type précité dans lequel l'efficacité de transfert du dispositif de transfert de charges qui y est inclus, soit relativement élevée et dans lequel la gamme dynamique du signal filtré soit relativement large.

Un autre but supplémentaire de l'invention est
35 de créer un filtre transversal du type précédemment mentionné qui obvie à la nécessité pour les circuits à charge d'émetteur de dériver ou de prélever les tensions présentes à des étages prédéterminés du dispositif de transfert de charges qui y est inclus.

40 D'autres buts, avantages et particularités de

4.-

l'invention vont se dégager de la description détaillée qui va suivre d'exemples de réalisation non limitatifs de l'invention représentés sur les dessins ci-joints dans lesquels :

- 5 - la figure 1 est un schéma d'un filtre transversal non récursif constitué d'un dispositif de transfert de charges et comportant des circuits à charge d'émetteur,
- les figures 2A à 2D sont des diagrammes de forme d'ondes utiles pour comprendre le fonctionnement du dispositif de transfert de charges,
- 10 - la figure 3 est un schéma d'un filtre transversal récursif constitué d'un dispositif de transfert de charges et qui comporte des circuits à charge d'émetteur,
- les figures 4 à 12 sont des schémas de différentes réalisations du circuit de filtrage conforme à l'invention.

En se référant maintenant aux dessins dans lesquels les mêmes numéros de références sont utilisés, un exemple d'un filtre transversal non récursif utilisant un système de composant à éléments en chapelet est représenté sur la

20 figure 1. Une borne d'entrée 1 est connectée à la base d'un transistor NPN à charge d'émetteur 2, dont l'émetteur est couplé à une source de courant constant 3 et dont le collecteur est connecté à une source convenable de tension de fonctionnement 4. L'émetteur du transistor 2 est en outre couplé à une électrode,

25 dite électrode de signal, d'un condensateur C_0 , par l'intermédiaire d'une diode 5 polarisée en retour. L'autre électrode du condensateur C_0 est connectée à la borne d'horloge 6 dite électrode d'horloge. L'électrode de signal du condensateur C_0 est connectée à l'émetteur d'un transistor NPN Q_1 dont le collecteur est à son tour connecté à l'émetteur d'un transistor NPN Q_2 dans

30 l'étage immédiatement suivant. Les collecteurs et les émetteurs des transistors NPN $Q_2, Q_3 \dots$ dans les étages successifs sont connectés de façon similaire. Chacun des condensateurs $C_1, C_2 \dots$ est respectivement connecté entre le collecteur et la base d'un

35 transistor correspondant Q_1, Q_2, \dots . Dans l'exemple représenté, les valeurs de capacité des condensateurs $C_0, C_1, C_2 \dots$ sont toutes égales et peuvent être représentées par C . Les transistors $Q_1, Q_3 \dots$ ont leurs bases connectées en commun à une borne d'horloge 7 du circuit d'horloge 8, tandis que les transistors

40 Q_2, Q_4, \dots ont leurs bases connectées en commun à une borne d'hor-

loge 6 du circuit d'horloge.

Le circuit d'horloge 8 est un circuit classique pour engendrer des signaux d'horloge ϕ_1 et ϕ_2 , tels que des impulsions d'horloge, dont chacune est commutée entre les potentiels V_{DC} et $V_{DC} + V_P$, présentent un taux de remplissage de 50 %, tandis que ces impulsions d'horloge sont en opposition de phases comme on le voit sur les figures 2A et 2B. Ces impulsions d'horloge ϕ_1 et ϕ_2 sont appliquées aux bornes d'horloge 6 et 7 respectivement. La relation entre les tensions V_P et V_{DC} d'une part et le potentiel de fonctionnement V_{CC} , d'autre part, peut s'exprimer par :

$$V_{CC} > V_{DC} + 2V_P$$

Le circuit de filtrage représenté est prévu pour recevoir un signal d'entrée appliqué à la borne d'entrée 1 ayant une valeur de tension V_S qui peut être exprimée par :

$$V_{DC} + V_P \leq V_S \leq V_{DC} + 2V_P$$

En fonctionnement, initialement, en l'absence d'un signal d'entrée, les condensateurs C_0, C_1, \dots sont tous chargés au niveau de tension V_P de l'impulsion d'horloge. Si une tension d'entrée V_S est appliquée, on peut la considérer comme étant séparée des composantes continues et alternatives V_{SDC} et V_{SAC} respectivement, avec la composante continue V_{SAC} égale initialement à 0. En conséquence, et comme on le voit sur la figure 2C, les électrodes de signal des condensateurs C_0, C_2, \dots auxquelles sont appliquées les impulsions d'horloge ϕ_1 s'élèvent au niveau $V_{DC} + 2V_P$ puis se déchargent progressivement au niveau de la tension continue d'entrée V_{SDC} pendant la période dans laquelle le niveau de l'impulsion d'horloge ϕ_1 est égal à $V_{DC} + V_P$, et les électrodes de signal de ces condensateurs tombent au niveau $V_{SDC} - V_P$ puis se déchargent graduellement au niveau $V_{DC} + V_P$ de l'impulsion d'horloge pendant la période dans laquelle le niveau de l'impulsion d'horloge ϕ_2 est égal à $V_{DC} + V_P$. Réciproquement, et comme on le voit sur la figure 2D, les électrodes des condensateurs C_1, C_3, \dots auxquelles sont appliquées les impulsions d'horloge ϕ_2 tombent abruptement à $V_{SDC} - V_P$ puis se déchargent graduellement au niveau $V_{DC} + V_P$ de l'impulsion d'horloge pendant la période dans laquelle le niveau de l'impulsion d'horloge ϕ_1 est égal à $V_{DC} + V_P$, et les électrodes de signal de ces condensateurs s'élèvent à $V_{DC} + 2V_P$ puis se

déchargent graduellement au niveau V_{SDC} de la tension continue d'entrée pendant la période dans laquelle le niveau de l'impulsion d'horloge ϕ_2 est $V_{DC} + V_P$. Il est à noter que la montée (et la chute) abrupte de la tension à l'électrode de signal de chaque condensateur, est due au fait que la tension aux bornes d'un condensateur ne peut pas se modifier de façon instantanée. En conséquence, lorsque l'électrode d'horloge du condensateur est alimentée avec le bord d'entrée (ou de sortie) de l'impulsion d'horloge ϕ_1 ou ϕ_2 , la tension à l'électrode de signal monte (ou chute) abruptement à partir de son niveau stable précédent d'une quantité (V_P) égale à la modification de la tension d'impulsion d'horloge, puis se décharge graduellement à son niveau stable V_{SDC} (ou bien $V_{DC} + V_P$).

On supposera que pendant le demi-cycle positif de l'impulsion d'horloge ϕ_1 , c'est-à-dire pendant la période où le niveau de l'impulsion d'horloge ϕ_1 est $V_{DC} + V_P$, la tension V_S du signal d'entrée est représentée par V_{S1} . En conséquence le potentiel à l'électrode de signal du condensateur C_0 monte abruptement à $V_{DC} + 2V_P$, comme précédemment mentionné, puis se décharge graduellement à la tension du signal d'entrée V_{S1} . En d'autres termes, le condensateur C_0 est déchargé pour accumuler la charge de $(V_{S1} - V_{DC} + V_P) C$. Ceci est représenté sur les figures 2C et 2D si l'on suppose que $V_{S1} = V_{SDC}$. Pendant ce demi-cycle positif de l'impulsion d'horloge ϕ_1 le transistor Q_1 est OUVERT (c'est-à-dire non conducteur), si bien qu'il n'y a pas de variation de tension ou de charge des condensateurs suivants $C_1, C_2 \dots$.

Pendant la période suivante, c'est-à-dire pendant le demi-cycle dans lequel le niveau de l'impulsion d'horloge ϕ_2 est $V_{DC} + V_P$ et que le niveau de l'impulsion d'horloge ϕ_1 est maintenant V_{DC} , le niveau de l'impulsion d'horloge ϕ_1 revient à V_{DC} si bien que le potentiel à l'électrode de signal du condensateur C_0 tombe abruptement à $V_{S1} - (V_{DC} + V_P) + V_{DC} = V_{S1} - V_P$. Le transistor Q_1 est FERME (c'est-à-dire rendu conducteur) pendant ce demi-cycle positif de l'impulsion d'horloge ϕ_2 et l'on voit d'après la figure 2C que la tension à l'électrode de signal du condensateur C_0 se décharge graduellement (augmente) au potentiel $(V_{DC} + V_P)$, qui est le potentiel appliqué à la base du transistor Q_1 par la borne d'horloge 7. Le transistor Q_1 fonctionne dans sa région

active si bien que le condensateur C_0 charge à travers le trajet passant par la borne d'horloge 7, le condensateur C_1 , et le trajet collecteur-émetteur du transistor Q_1 au condensateur C_0 . Le potentiel à l'électrode de signal du condensateur C_0 passe de

5 $V_{S1} - V_P$ à $V_{DC} + V_P$ et cette modification est attribuée à la charge transférée à ce condensateur. Ce transfert de charges se fait du condensateur C_1 au condensateur C_0 et peut être représenté comme suit :

$$\left[(V_{DC} + V_P) - (V_{S1} - V_P) \right] C = (V_{DC} + 2V_P - V_{S1}) C$$

10 Le côté gauche de cette équation représente l'accroissement de charge transféré au condensateur C_0 , tandis que le côté droit représente la décroissance de charge qui est transférée du condensateur C_1 .

La charge $V_P \cdot C$ est initialement stockée dans le condensateur C_1 . Donc, après le transfert de charge du condensateur C_1 au condensateur C_0 la charge finale dans le condensateur C_1 s'exprime comme suit :

$$V_P \cdot C - (V_{DC} + 2V_P - V_{S1}) C = \left[V_{S1} - (V_{DC} + V_P) \right] C$$

En d'autres termes, la tension différentielle

20 $V_{S1} - (V_{DC} + V_P)$ à l'électrode de signal du condensateur C_0 qui est obtenue pendant le demi-cycle positif de l'impulsion d'horloge ϕ_1 est transférée au condensateur C_1 pendant le demi-cycle positif de l'impulsion d'horloge ϕ_2 , tandis que le potentiel du condensateur C_0 revient à $V_{DC} + V_P$. A ce moment le transistor

25 Q_2 est OUVERT est en conséquence il n'y a pas de variation de tension ou de charge dans l'un quelconque des condensateurs suivants C_2, C_3, \dots .

Si pendant le demi-cycle positif suivant de l'impulsion d'horloge ϕ_1 la tension du signal d'entrée V_S est supposée être de la valeur V_{S2} , le condensateur C_0 est chargé au niveau $V_{S2} - (V_{DC} + V_P)$, le condensateur C_1 est déchargé à $V_{DC} + V_P$ et le condensateur C_2 est chargé à $V_{S1} - (V_{DC} + V_P)$, niveau auquel le condensateur C_1 avait été préalablement chargé. Le transistor Q_3 est maintenant OUVERT et en conséquence, les

35 tensions sur les condensateurs suivants C_3, \dots ne sont pas modifiées.

La précédente opération se répète aux périodes d'horloge suivantes, si bien que des échantillons du signal d'entrée sont transférés de la gauche vers la droite, c'est-

40 à-dire du condensateur C_0 à C_1 à C_2 à $C_3 \dots$, en synchronisme

avec les impulsions d'horloge ϕ_1 et ϕ_2 .

Lorsque le système à composant à éléments en
chapelet constitué des condensateurs $C_0, C_1, C_2 \dots$ et
des transistors $Q_1, Q_2 \dots$ est utilisé, une pluralité de prises
5 intermédiaires est prévue dans le système à composants
à éléments en chapelet pour dériver des signaux de temps de
retard différents. Ces signaux sont pondérés avec des valeurs
positives et négatives prédéterminées, et totalisées à une sortie.
Par exemple, sur la figure 1, les électrodes de signal des
10 condensateurs C_0, C_2 et C_4 sont sélectionnées comme de telles
prises intermédiaires, et ces électrodes de signal sont connectées
aux bases des transistors NPN à charge d'émetteur 91, 92
et 93 respectivement. Les émetteurs des transistors 91, 92 et
15 93 sont connectés aux bornes d'entrée correspondantes d'amplificateurs
différentiels 94, 95 et 96 respectivement, ces amplificateurs
différentiels ayant d'autres bornes d'entrée connectées
en commun à une source 97 de tension constante. Les bornes de
sortie des amplificateurs différentiels 94, 95 et 96 sont connectées
à une borne de sortie commune 10 par l'intermédiaire d'un
20 transistor NPN à charge d'émetteur 98.

Avec cette disposition de circuit, les signaux
dérivés aux différentes prises intermédiaires respectives du
système de semi-conducteurs à transfert de charges sont fournis
par les circuits respectifs à charge d'émetteur 91, 92 et 93
25 et totalisés d'une manière analogue par les amplificateurs différentiels
94, 95 et 96. Les signaux respectifs sont pondérés
en sélectionnant convenablement les gains des amplificateurs
différentiels individuels.

Le système à composant à éléments en chapelet
30 de la figure 1 peut être mis en oeuvre dans un filtre
transversal récursif en réinjectant les signaux totalisés et
pondérés, dérivés des prises intermédiaires, à un emplacement
prédéterminé dans le système de semi-conducteurs à transfert
de charges. Un exemple d'un tel filtre transversal récursif est
35 représenté sur la figure 3, où les électrodes de signal des
condensateurs C_2, C_4 et C_6 sont connectées aux circuits à charge
d'émetteur 91, 92 et 93 respectivement. Les sorties de ces circuits
à charge d'émetteur sont fournies par des circuits de
pondération 84, 85 et 86 respectivement à un circuit totalisa-
40 teur analogique 87 à partir duquel les signaux totalisés sont

appliqués à un circuit d'échantillonnage et de maintien 88 dont la borne de sortie est raccordée en retour à l'électrode de signal du condensateur C_0 .

5 Dans l'exemple de la figure 3, les signaux dérivés des prises intermédiaires respectives sont fournis par les circuits à charge d'émetteur en tant que tension, puis sont pondérés et totalisés. Le signal totalisé est injecté dans le condensateur C_0 du premier étage du système de semi-conducteurs à transfert de charge en tant que charge réactive.

10 Malheureusement dans des filtres transversaux du type représenté sur les figures 1 et 3, du fait que des circuits à charge d'émetteur sont utilisés pour dériver les signaux de sortie retardés produits aux prises du système du composant à éléments en chapelet, la hauteur effective d'impulsions du signal d'horloge appliqué aux condensateurs respectifs, est réduite du fait de l'influence de la capacité collecteur-base C_{CB} du transistor à charge d'émetteur. En outre, dans ces circuits, l'efficacité de transfert du signal d'étage en étage est altérée et la gamme dynamique du signal filtré est abaissée du fait
15 des courants de base du transistor à charge d'émetteur.

20 Egalement, lorsqu'un additionneur analogique et un circuit d'échantillonnage et de maintien sont utilisés comme c'est le cas dans le dispositif de la figure 3, un grand nombre d'éléments est nécessaire, ce qui accroît le coût du circuit de filtrage et une quantité importante d'énergie électrique est consommée.

En outre, la transition dans la tension aux électrodes de signal des condensateurs peut induire un phénomène transitoire aux pointes de courant qui circulent à travers un ou plusieurs des circuits à charge d'émetteur, à travers le totalisateur analogique et les circuits d'échantillonnage et de maintien, ce qui a une influence défavorable sur les autres circuits par l'intermédiaire de la source d'alimentation et des potentiels de base appliqués à ces circuits. En outre, de plus, il est très difficile de maintenir égaux et stables les potentiels continus entre les entrées du circuit à charge d'émetteur et la sortie du circuit d'échantillonnage et de maintien pour améliorer la performance.

40 Les inconvénients précités sont évités grâce à la présente invention, dont une réalisation est représentée sur

la figure 4, sous forme de filtre du type à peigne ou filtre en ligne, qui est un exemple de filtre transversal non récursif. Dans cette réalisation le dispositif de transfert de charges est constitué d'un jeu de condensateurs $C_{n-2}, C_n, \dots, C_{n+2m}$ dont les électrodes d'horloge sont connectées à la borne d'horloge 6 pour recevoir les impulsions d'horloge ϕ_1 , ainsi qu'un jeu de condensateurs $C_{n-1}, C_{n+1}, \dots, C_{n+2m+1}$ dont les électrodes d'horloge sont connectées à la borne d'horloge 7 pour recevoir les impulsions d'horloge ϕ_2 . L'électrode d'horloge de chaque condensateur $C_{n-2}, C_{n-1}, C_n, \dots, C_{n+2m}, C_{n+2m+1}$ est connectée à la base d'un transistor correspondant $Q_{n-2}, Q_{n-1}, Q_n, \dots, Q_{n+2m}, Q_{n+2m+1}$, et l'électrode de signal de ce condensateur est connectée au collecteur du transistor correspondant. Les impulsions d'horloge ϕ_1 et ϕ_2 sont du type représenté sur les figures 2A et 2B et les niveaux de signaux sont transférés d'un condensateur au suivant dans la direction de gauche à droite, de la manière précédemment décrite. Sur la figure 4 le transistor Q_n est constitué de deux transistors distincts Q_{na} et Q_{nb} . Une résistance R_{na} est connectée entre les émetteurs du transistor Q_{na} et l'électrode de signal du condensateur précédent C_{n-1} . Cette jonction est connectée par l'intermédiaire d'une résistance R_{nb} à l'émetteur du transistor Q_{nb} . Les bases des transistors Q_{na} et Q_{nb} sont connectées en commun à la borne d'horloge 6. Le collecteur du transistor Q_{nb} est connecté à l'électrode de signal du condensateur C_{n+2m} qui est disposée dans un étage à la suite de celui du transistor Q_{nb} . Cela signifie que le condensateur C_{n+2m} est séparé du transistor Q_{nb} par $2m$ étages. Le but des résistances R_{na} et R_{nb} est de procurer un équilibre de courant (c'est-à-dire des courants égaux) à travers les transistors Q_{na} et Q_{nb} , et ces résistances peuvent être supprimées si un tel équilibre entre les transistors Q_{na} et Q_{nb} est maintenu en constituant ces transistors avec des zones d'émetteurs appropriées (c'est-à-dire égales).

Dans la réalisation représentée sur la figure 4, pendant le demi-cycle positif de l'impulsion d'horloge ϕ_1 les transistors Q_{na} et Q_{nb} sont tous deux FERMES et la charge est transférée à travers ces deux transistors à partir du condensateur C_{n-1} . Puisque les transistors Q_{na} et Q_{nb} sont équilibrés comme mentionné ci-dessus, les charges les traversant sont égales. En conséquence, une moitié de la charge totale transférée

du condensateur C_{n-1} est fournie au condensateur C_n et l'autre moitié de cette charge totale est fournie au condensateur C_{n+2m} . Il est à noter qu'en accord avec le fonctionnement du système à semi-conducteurs de transfert de charges, la charge transférée au condensateur C_n est déplacée, pendant les périodes d'impulsions d'horloge successives d'étage en étage dans le sens de la gauche vers la droite vers le condensateur C_{n+2m} . En particulier cette charge est transférée au condensateur C_{n+2m} en m périodes d'impulsions d'horloge, ce dont il résulte un retard de temps de transfert de $m\tau$ (où τ est une période d'horloge $= \frac{1}{f_c}$ tandis que f_c est la fréquence d'horloge), au demi-cycle positif de la m ième impulsion d'horloge ϕ_1 .

La fonction de transfert $H_1(z)$ à partir de l'électrode de signal du condensateur C_{n-2} (représentée comme la prise T_1) à celle du condensateur C_{n+2m} (représentée comme la prise T_2) pour la réalisation de la figure 4, peut s'exprimer comme suit :

$$H_1(z) = z^{-1} \cdot \frac{1}{2} (1 + z^{-m})$$

expression dans laquelle $z^{-1} = e^{-j\omega\tau}$ avec $\omega = 2\pi f$, f étant la fréquence du signal d'entrée. Ainsi, le circuit de la figure 4 présente la fonction de transfert d'un filtre du type à peigne.

D'après la figure 4 il est clair qu'un nombre important de circuits, tels que les circuits à charge d'émetteur, les amplificateurs différentiels, etc... n'est pas nécessaire. En conséquence, le nombre des éléments de circuits requis se trouve réduit et la consommation de puissance est également réduite. En outre, on notera que les potentiels continus (quand $\omega = 0$; $z^{-1} = 1$) aux prises T_1 et T_2 sont égaux, ce qui améliore les caractéristiques de couplage du circuit. Egalement la charge transférée par l'intermédiaire du transistor Q_{nb} au condensateur C_{n+2m} est essentiellement identique au transfert de charges par l'intermédiaire d'un système à semi-conducteurs de transfert de charges classique, si bien qu'il n'y a pas de pointes de courant. En conséquence, la tension de la source d'alimentation ne fluctue pas du fait de telles pointes de courant et les autres éléments du circuit ne sont pas influencés de façon défavorable. Puisqu'il n'est pas nécessaire ici de prévoir des circuits de sortie à charge d'émetteur, le problème de l'efficacité du trans-

fert modulé dû au courant de base du transistor à charge d'émetteur, et le problème de la hauteur d'impulsion effective d'horloge réduite due à la capacité collecteur - base du transistor à charge d'émetteur, qui réduisent la gamme dynamique du signal, sont évités.

Ainsi, le filtre transversal non récursif de la présente invention est d'une construction de circuit relativement simple et est exempt de défauts affectant le circuit de filtrage précédemment décrit.

Dans le circuit de la figure 4, si la capacité de chacun des condensateurs C_n à C_{n+2m-1} est égale à C , les potentiels continus de ces condensateurs seront égaux au potentiel continu sur les condensateurs qui se trouvent dans les étages amont précédant la prise T_1 , et seront de même égaux aux potentiels continus sur les condensateurs qui se trouvent dans les étages aval suivant la prise T_2 . Ainsi le transfert de signaux est en outre stabilisé.

La figure 5 montre une autre réalisation de l'invention dans laquelle le filtre transversal présente les caractéristiques d'un filtre du type à peigne. Dans cette réalisation, le collecteur du transistor Q_{n+2m} est couplé à l'électrode de signal du condensateur C_{n+2m} par l'intermédiaire d'un circuit à miroir de courant M constitué des transistors 11 et 12. Le transistor 11 a sa base et son collecteur connectés en commun au collecteur du transistor Q_{n+2m} et son émetteur est connecté à la borne d'alimentation 4. Le transistor 12 a sa base connectée à la base du transistor 11, son émetteur connecté à la borne d'alimentation 4 et son collecteur connecté à l'électrode de signal du condensateur C_{n+2m} .

La réalisation de la figure 5 comporte les transistors Q_{na} , Q_{nb} et les résistances R_{na} , R_{nb} connectés d'une manière similaire à celle précédemment décrite en relation avec la figure 4. Un autre système à semi-conducteurs de transfert de charges BED_b est prévu, ayant une borne d'entrée 1b à laquelle la composante continue V_{SDC} du signal d'entrée V_S est appliquée. Le système à semi-conducteurs de transfert de charges BED_b comporte un condensateur C_{b1} semblable au condensateur C_0 des dispositifs précédemment décrits, et dont l'électrode de signal est connectée par l'intermédiaire du circuit émetteur-collecteur d'un transistor Q_{b2} à l'électrode de signal du conden-

sateur C_{n+2m} .

Avec le circuit représenté sur la figure 5, la charge qui est transférée par l'intermédiaire du transistor Q_{n+2m} lorsque ce transistor est FERME, par l'impulsion d'horloge ϕ_1 est inversée dans le circuit à miroir de courant M puis injectée dans le condensateur C_{n+2m} . On voit que la charge qui circule à travers le transistor Q_{nb} est une fonction de la charge sur le condensateur C_{n+2m} . En conséquence, dans ce circuit, la fonction de transfert $H_2(z)$ de la prise T_1 à la prise T_2 diffère de la fonction de transfert $H_1(z)$ exprimée dans l'équation (1) et peut être représentée comme suit :

$$H_2(z) = z^{-1} \cdot \frac{1}{2} (1 - z^{-m}) \quad (2)$$

En outre la composante continue du signal d'entrée est annulée entre les transistors 12 et Q_{nb} si bien que la seule composante continue présente à la prise T_2 est la composante V_{SDC} en provenance du système à semi-conducteurs de transfert de charges BBD_p . Le fonctionnement et les résultats du circuit représentés sur la figure 5 sont essentiellement les mêmes que ceux du circuit examiné plus haut en relation avec la figure 4.

On se réfère maintenant à la figure 6 où est représentée une autre réalisation de l'invention qui est prévue pour pondérer les signaux fournis à certaines des prises intermédiaires sélectionnées avec des valeurs respectives et qui est également prévue pour fournir des signes positifs et négatifs aux facteurs constituant la fonction de transfert. Comme cela est représenté, les électrodes de signal des condensateurs C_{n-1} , C_{n+1} , C_{n+3} et C_{n+5} (par exemple les condensateurs de rangs impairs) sont connectées par l'intermédiaire des résistances R_{na} , $R_{(n+2)a}$, $R_{(n+4)a}$ et $R_{(n+6)a}$ aux émetteurs des transistors Q_{na} , $Q_{(n+2)a}$, $Q_{(n+4)a}$ et $Q_{(n+6)a}$, respectivement. Les électrodes de signal de ces condensateurs sont également connectées par l'intermédiaire des résistances R_{nb} , $R_{(n+2)b}$, $R_{(n+4)b}$ et $R_{(n+6)b}$ aux émetteurs des transistors Q_{nb} , $Q_{(n+2)b}$, $Q_{(n+4)b}$ et $Q_{(n+6)b}$, respectivement. Les collecteurs des transistors Q_{nb} et $Q_{(n+4)b}$ sont connectés en commun à l'électrode de signal du condensateur C_{n+8} , et les collecteurs des transistors $Q_{(n+2)b}$ et $Q_{(n+6)b}$ sont connectés en commun par l'intermédiaire du circuit à miroir de courant M à ce condensateur. Comme dans la réalisation selon la figure 5, il est prévu un système addi-

tionnel à composant à éléments en chapelet BBD_b comportant un transistor Q_{b2} dont le collecteur est connecté à l'électrode de signal du condensateur C_{n+8}.

5 Dans la réalisation de la figure 6, les charges qui circulent à travers les transistors Q_{nb} et Q_{(n+4)b} sont fournies au condensateur C_{n+8}, et les charges qui circulent à travers les transistors Q_{(n+2)b} et Q_{(n+6)b} sont inversées puis injectées dans le condensateur C_{n+8} par le circuit à miroir de courant M. La fonction de transfert H₃(z) de ce circuit, de
10 la prise T₁ à la prise T₂ peut s'exprimer comme suit :

$$H_3(z) = a'_n z^{-1} - a'_{n+2} z^{-2} + a'_{n+4} z^{-3} - a'_{n+6} z^{-4} + a'_{n+8} z^{-5} \quad (3)$$

expression dans laquelle :

$$15 \quad a'_n = \frac{r_{na}}{r_{na} + r_{nb}}$$

$$a'_{n+2} = (1 - a'_n) \frac{r_{(n+2)a}}{r_{(n+2)a} + r_{(n+2)b}}$$

$$20 \quad a'_{n+4} = (1 - a'_n - a'_{n+2}) \frac{r_{(n+4)a}}{r_{(n+4)a} + r_{(n+4)b}}$$

$$a'_{n+6} = (1 - a'_n - a'_{n+2} - a'_{n+4}) \frac{r_{(n+6)a}}{r_{(n+6)a} + r_{(n+6)b}}$$

$$25 \quad a'_{n+8} = (1 - a'_n - a'_{n+2} - a'_{n+4} - a'_{n+6})$$

Si la capacité C₀ du condensateur C_{b1} est choisie telle que :

$$C_0 = 2 (a'_{n+2} + a'_{n+6}) C \quad (4)$$

30 les potentiels continus aux électrodes de signal des différents condensateurs deviennent égaux.

Le fonctionnement et l'action du circuit représentés sur la figure 6 sont essentiellement les mêmes que ceux du circuit représenté sur la figure 4.

35 Un exemple d'un filtre transversal récursif en accord avec la présente invention, va maintenant être décrit en se référant à la figure 7. Cette réalisation met en oeuvre une réaction positive.

40 Sur la figure 7, la résistance R_{na} est connectée entre l'émetteur du transistor Q_{na} et l'électrode de signal du

condensateur C_{n-1} ; L'électrode de signal du condensateur C_{n-1} est également connectée à l'émetteur d'un transistor Q_{nb} par l'intermédiaire d'une résistance R_{nb} . Les bases des transistors Q_{na} et Q_{nb} sont connectées en commun à la borne d'horloge 6.

5 Le transistor Q_{nb} a également son collecteur connecté à l'électrode de signal du condensateur C_{n-2} , ce condensateur étant placé deux étages en amont (c'est-à-dire en avant) de l'étage dans lequel est disposé le transistor Q_{nb} .

Dans le circuit représenté sur la figure 7, lors-

10 que l'impulsion d'horloge ϕ_1 présente son niveau relativement élevé pendant son demi-cycle positif, les transistors Q_{na} et Q_{nb} sont tous deux FERMES, de sorte qu'il y a transfert de charges par l'intermédiaire de ces deux transistors à partir du condensateur C_{n-1} . Si la valeur de la résistance d'émetteur

15 R_{na} est égale à R_1 et si la valeur de la résistance d'émetteur R_{nb} est égale à R_2 , la charge circulant à travers le transistor Q_{nb} sera égale à $\frac{R_1}{R_1 + R_2}$ de la charge circulant à travers le transistor Q_{na} , et cette charge traversant le transistor Q_{nb} est fournie au condensateur C_{n-2} . Les transistors Q_{n-2} et Q_{nb}

20 fournissent la charge au condensateur C_{n-2} et le signal correspondant à cette charge est transféré par l'intermédiaire du système à semi-conducteurs de transfert de charges au condensateur C_{n-1} pendant le demi-cycle positif de l'impulsion d'horloge ϕ_2 , c'est-à-dire $0,5 T$ après que cette charge soit transférée au

25 condensateur C_{n-2} (T étant une période d'horloge $= \frac{1}{f_c}$ et f_c étant la fréquence d'horloge).

La fonction de transfert $H_4(z)$ entre l'électrode de signal (prise T_1) du condensateur C_{n-3} et l'électrode de signal (prise T_2) du condensateur C_n pour le circuit représenté

30 sur la figure 7, va maintenant être dérivée. Les tensions de signal sur les électrodes de signal des condensateurs C_{n-3} , C_{n-2} , C_{n-1} , C_n , sont supposées être respectivement $V_{k(n-3)}$,

35 $V_{k(n-2)}$, $V_{k(n-1)}$, $V_{k(n)}$, avec :

$$V_k = V_{DC} + 2V_P - V_S \quad (5)$$

Une charge X_{n-2} circule à travers le transistor Q_{n-2} lorsque le transistor est actionné par le demi-cycle positif de l'impulsion d'horloge ϕ_1 et cette charge peut s'exprimer comme suit :

$$X_{n-2} = V_{k(n-3)} \cdot C \cdot z^{-\frac{1}{2}} \quad (6)$$

comme précédemment, $z^{-1} = e^{-j\omega T}$, $\omega = 2\pi f$, f étant la fréquence du signal d'entrée.

5 A ce moment, une charge X_n' circule à travers le transistor Q_{nb} et peut s'exprimer comme suit :

$$X_n' = \frac{R_1}{R_1 + R_2} X_{n-1} \cdot z^{-1} \quad (7)$$

10 dans cette expression X_{n-1} est la charge circulant à travers le transistor Q_{n-1} . En conséquence, la charge fournie au condensateur C_{n-2} qui est égale à la charge X_{n-1} circulant à travers le transistor Q_{n-1} peut s'exprimer comme suit :

$$\begin{aligned} X_{n-1} &= X_{n-2} + X_n' \\ 15 \quad &= V_{k(n-3)} \cdot C \cdot z^{-\frac{1}{2}} + \frac{R_1}{R_1 + R_2} X_{n-1} \cdot z^{-1} \quad (8) \end{aligned}$$

En combinant les termes de l'équation (8) et en la résolvant en X_{n-1} on obtient :

$$20 \quad X_{n-1} = \frac{V_{k(n-3)} \cdot C \cdot z^{-\frac{1}{2}}}{1 - \frac{R_1}{R_1 + R_2} z^{-1}} \quad (9)$$

25 La charge circulant à travers le transistor Q_{na} est une fonction de la tension $V_{k(n)}$ à l'électrode de signal du condensateur C_n et cette charge peut s'exprimer comme suit :

$$V_{k(n)} \cdot C = X_{n-1} \cdot \frac{R_2}{R_1 + R_2} z^{-1} \quad (10)$$

Lorsque les équations (9) et (10) sont combinées, on obtient :

$$30 \quad V_{k(n)} = \frac{R_2}{R_1 + R_2} \cdot \frac{z^{-\frac{2}{3}}}{1 - \frac{R_1}{R_1 + R_2} z^{-1}} V_{k(n-3)} \quad (11)$$

35 La fonction de transfert $H_4(z)$ est alors dérivée sous la forme suivante :

$$40 \quad H_4(z) = \frac{V_{k(n)}}{V_{k(n-3)}} = \frac{R_2}{R_1 + R_2} \cdot \frac{z^{-\frac{3}{2}}}{1 - \frac{R_1}{R_1 + R_2} z^{-1}} \quad (12)$$

Si l'on considère les niveaux continus aux prises T_1 et T_2 , on suppose que z^{-1} est égal à 1 ($z^{-1} = 1$) dans l'équation (11). On obtient alors :

$$\begin{aligned} 5 \quad \left[V_{k(n)} \right]_{DC} &= \frac{R_2}{R_1 + R_2} \cdot \frac{1}{1 - \frac{R_1}{R_1 + R_2}} \left[V_{k(n-3)} \right]_{DC} \\ &= \left[V_{k(n-3)} \right]_{DC} \end{aligned} \quad (12a)$$

10 On voit que le niveau continu à la prise T_1 est égal au niveau continu à la prise T_2 .

Maintenant si l'on suppose que la valeur de capacité de chacun des condensateurs C_{n-2} et C_{n-1} est égale à C_p , alors la charge qui est transférée du condensateur C_{n-2} au condensateur C_{n-1} par l'intermédiaire du transistor Q_{n-1} devient, à partir de l'équation (9) :

$$20 \quad C_p \cdot V_{k(n-2)} = \frac{C_p \cdot V_{k(n-3)} \cdot z^{-\frac{1}{2}}}{1 - \frac{R_1}{R_1 + R_2} z^{-1}} \quad (13)$$

Pour déterminer la charge continue qui est transférée, z^{-1} dans l'équation (13) est fait = à 1 ($z^{-1} = 1$) ce qui donne :

$$25 \quad C_p \cdot \left[V_{k(n-2)} \right]_{DC} = \frac{C \left[V_{k(n-3)} \right]_{DC}}{1 - \frac{R_1}{R_1 + R_2}} \quad (14)$$

$$30 \quad \text{Si :} \quad C_p = \frac{R_1 + R_2}{R_2} C \quad (15)$$

alors les niveaux continus aux électrodes de signal de tous les condensateurs seront égaux.

Une expression générale pour la fonction de transfert du circuit de filtrage représenté sur la figure 7 peut être représentée comme suit :

$$35 \quad H_4(z) = \frac{z^{-\frac{3}{2}}}{1 - bz^{-1}} \quad (16)$$

Dans cette expression :

$$40 \quad b = \frac{R_1}{R_1 + R_2} \quad (17)$$

et R_1 et R_2 sont respectivement les valeurs des résistances d'émetteur R_{na} et R_{nb} .

Dans une variante de réalisation du circuit représenté sur la figure 7, les valeurs R_1 et R_2 des résistances R_{na} et R_{nb} sont choisies égales à 0 ($R_1 = R_2 = 0$), c'est-à-dire que ces résistances sont supprimées et que les zones d'émetteur des transistors Q_{na} et Q_{nb} sont représentées respectivement par A_1 et A_2 . Si le facteur b dans l'équation (16) s'exprime comme suit :

$$b = \frac{A_2}{A_1 + A_2} \quad (18)$$

cette variante de réalisation donnera les mêmes résultats que celle représentée sur la figure 7.

La figure 8 montre une autre réalisation de l'invention utilisant à la fois une réaction positive et une réaction négative. Comme on le voit, les électrodes de signal des condensateurs C_{n-1} , C_{n+1} , C_{n+3} et C_{n+5} , sont couplées pour recevoir les impulsions d'horloge ϕ_2 (et qui présentent un indice impair), sont connectées par l'intermédiaire des résistances R_n , R_{n+2} , R_{n+4} et R_{n+6} aux émetteurs des transistors Q_n , Q_{n+2} , Q_{n+4} et Q_{n+6} respectivement. Les électrodes de signal de ces condensateurs sont également connectées par l'intermédiaire des résistances R'_n , R'_{n+2} , R'_{n+4} et R'_{n+6} aux émetteurs des transistors Q'_n , Q'_{n+2} , Q'_{n+4} et Q'_{n+6} respectivement. Les collecteurs des transistors Q'_{n+2} et Q'_{n+6} sont connectés en commun à l'électrode de signal du condensateur C_{n-2} et les collecteurs des transistors Q'_n et Q'_{n+4} sont connectés en commun par l'intermédiaire du circuit à miroir de courant M à l'électrode de signal du condensateur C_{n-2} . Un système additionnel de semi-conducteurs à transfert de charges BED_b , similaire à celui précédemment décrit, comporte un transistor Q_{b2} dont le collecteur est connecté à l'électrode de signal du condensateur C_{n-2} .

Dans le circuit représenté sur la figure 8, les charges circulant à travers les transistors Q'_{n+2} et Q'_{n+6} sont délivrées au condensateur C_{n-2} , tandis que les charges circulant à travers les transistors Q'_n et Q'_{n+4} sont inversées puis injectées dans le condensateur C_{n-2} par le circuit à miroir de courant M .

Dans le filtre transversal décrit plus haut en relation avec la figure 5, lorsque les transistors Q_{na} et Q_{nb}

sont tous deux FERMES, leurs tensions collecteur-émetteur V_{CE} différent l'une de l'autre par suite de l'effet dit "d'anticipation" qui se traduit par une charge plus grande transférée par l'intermédiaire du transistor Q_{nb} que par l'intermédiaire du transistor Q_{na} . Cela suppose que même si le rapport des zones d'émetteur entre les transistors Q_{na} et Q_{nb} , ou le rapport de leurs courants d'émetteur, est choisi de façon à ce qu'il y ait égalité ou bien choisi pour satisfaire à une relation prédéterminée souhaitée, des filtres qui apparaissent comme étant de construction identique peuvent présenter des caractéristiques de filtrage différentes, et les caractéristiques d'un filtre donné peuvent varier avec des variations de température. L'effet d'anticipation est le phénomène selon lequel la tension collecteur-base V_{CB} d'un transistor bipolaire croît, tandis que l'appauvrissement du collecteur s'étend, ce dont il résulte une décroissance de la largeur effective de la base et un accroissement du courant émetteur, même si la tension base-émetteur V_{BE} est maintenue constante. Si le courant d'émetteur est maintenu constant, l'effet d'anticipation se traduit par une diminution de la tension base-émetteur V_{BE} tandis que la tension collecteur-base V_{CB} croît.

L'effet d'anticipation a essentiellement moins d'influence sur les caractéristiques de filtrage du filtre transversal non récursif représenté sur la figure 9. Dans cette réalisation, une pluralité de transistors est utilisée pour transférer la charge entre les prises intermédiaires du dispositif de transfert de charges, ces transistors ayant des courants d'émetteur qui présentent un rapport souhaité et l'élément capacitif dans l'étage qui suit immédiatement une de ces prises dans le dispositif de transfert de charges, est constitué d'une pluralité de condensateurs dont les capacités présentent un rapport identique au rapport de courant d'émetteur précité. En outre, dans l'étage qui suit immédiatement l'étage comportant cette pluralité de condensateurs, un transistor auxiliaire a sa base connectée en commun avec le transistor usuel normalement prévu dans cet étage du dispositif de transfert de charges, tandis que son émetteur est connecté à un condensateur correspondant de cette pluralité de condensateurs.

Dans le filtre transversal non récursif représenté sur la figure 9, le dispositif de transistor Q_n est constitué de

deux transistors Q_{na} et Q_{nb} et l'élément capacitif C_n est constitué de deux condensateurs C_{na} et C_{nb} . Les bases et les émetteurs des transistors Q_{na} et Q_{nb} sont connectés en commun et le collecteur du transistor Q_{nb} est connecté à l'émetteur d'un transistor auxiliaire Q_x (du type NPN) dont la base est connectée à la base du transistor Q_{n+1} lequel est disposé dans l'étage immédiatement suivant du dispositif de transfert de charges. Les condensateurs C_{na} et C_{nb} sont connectés entre les collecteurs et les bases des transistors Q_{na} et Q_{nb} respectivement. Le transistor Q_x a son collecteur relié au collecteur du transistor 11 inclus dans le circuit à miroir de courant M.

Le rapport de courant d'émetteur des transistors Q_{na} et Q_{nb} , c'est-à-dire le rapport de leurs zones d'émetteur, est égal à $A_{2a} : A_{2b}$, où $A_{2a} = A_{2b}$, tandis que le courant d'émetteur de chacun des transistors Q_{na} et Q_{nb} est égal à la moitié du courant d'émetteur du transistor Q_{n-1} . Le rapport des capacités des condensateurs C_{na} et C_{nb} est égal à $A_{2a} : A_{2b}$, où $A_{2a} = A_{2b}$, tandis que la capacité de chacun des condensateurs C_{na} et C_{nb} est égale à C , c'est-à-dire qu'elle est égale à la capacité C des autres condensateurs.

Le collecteur du transistor 12 du circuit M à miroir de courant est relié à l'électrode de signal du condensateur C_{n+5} et une borne de sortie 13 est reliée à l'électrode de signal du condensateur C_{n+6} inclus dans l'étage immédiatement suivant.

Dans le circuit représenté sur la figure 9, la fonction de transfert $H_5(z)$ entre l'électrode de signal du condensateur C_{n-1} et la borne de sortie 13 peut s'exprimer comme suit :

$$\begin{aligned}
 H_5(z) &= \left(-\frac{1}{2} + \frac{1}{2} z^{-2} \right) z^{-\frac{3}{2}} \\
 &= -\frac{1}{2} z^{-\frac{3}{2}} + \frac{1}{2} z^{-\frac{7}{2}}
 \end{aligned}
 \tag{19}$$

Il y a lieu de noter que les potentiels de collecteur des transistors Q_{na} et Q_{nb} sont égaux et en conséquence les tensions collecteur-émetteur V_{CE} de ces transistors sont également les mêmes, si bien que les influences sur les caractéristiques du filtre dues à l'effet d'anticipation sont évitées.

La figure 10 montre encore une autre réalisation

d'un filtre transversal non récursif conforme à la présente invention. Dans cette réalisation, l'élément de transistor Q_n est constitué de deux transistors Q_{na} et Q_{nb} . Une borne de commande 50 est couplée à la base du transistor Q_{nb} auquel est appliqué un signal d'horloge constitué d'impulsions d'horloge ϕ_1 et auquel est superposé un signal continu variable de commande V_C . Une borne de sortie 51 est reliée à l'électrode de signal du condensateur C_{n+4} .

Le fonctionnement du circuit de filtrage représenté sur la figure 10 va maintenant être décrit. On suppose que des courants I_1 et I_2 circulent par l'intermédiaire des transistors Q_{na} et Q_{nb} respectivement dans le condensateur C_{n-1} pendant le demi-cycle positif de l'impulsion d'horloge ϕ_1 , (et le demi-cycle négatif de l'impulsion d'horloge ϕ_2). Il est rappelé que lorsque le transistor Q_{na} est FERME, la charge qui arrive dans le condensateur C_{n-1} peut s'exprimer comme suit :

$$\frac{(V_{DC} + 2V_p - V_S) C}{\Delta t}$$

où Δt est un laps de temps court. Le courant circulant vers le condensateur C_{n-1} est proportionnel à la charge ci-dessus. Si les tensions base-émetteur des transistors Q_{na} et Q_{nb} sont respectivement $V_{BE}(Q_{na})$ et $V_{BE}(Q_{nb})$, et puisque les potentiels d'émetteur de ces transistors sont égaux, il s'en suit que :

$$V_{DC} + V_p - V_{BE}(Q_{na}) = V_{DC} + V_p - V_{BE}(Q_{nb}) \quad (20)$$

A partir de l'équation (20), on dérive ce qui suit :

$$V_{BE}(Q_{nb}) - V_{BE}(Q_{na}) = V_C \quad (21)$$

A partir de l'équation (21) on dérive ce qui suit :

$$\frac{kT}{q} \cdot \ln\left(\frac{I_2}{I_S}\right) - \frac{kT}{q} \cdot \ln\left(\frac{I_1}{I_S}\right) = V_C \quad (22)$$

A partir de l'équation (22) $\frac{I_2}{I_1}$ peut s'exprimer comme suit :

$$\frac{I_2}{I_1} = \frac{q}{\epsilon kT} \cdot V_C \quad (23)$$

dans les équations ci-dessus, si $\frac{kT}{q}$ est représenté par h , l'équation (23) peut être réécrite comme suit :

$$\frac{I_2}{I_1} = \frac{V_C}{\epsilon h} \quad (24)$$

Quand la période des signaux d'horloge ϕ_1 et ϕ_2

est égale à τ , la charge signal sur le condensateur C_{n-1} est transférée à l'électrode de signal du condensateur C_{n+4} par l'intermédiaire du transistor Q_{nb} à un instant $\frac{\tau}{2}$ après que cette charge ait été stockée dans le condensateur C_{n-1} , et est transférée vers l'électrode de signal du condensateur C_{n+4} par l'intermédiaire du transistor Q_{na} (et des transistors Q_{n+1} , Q_{n+2} , Q_{n+3} et Q_{n+4}) à un instant $\frac{5\tau}{2}$ après qu'elle ait été stockée dans le condensateur C_{n-1} . Si la charge signal dans le condensateur C_{n-1} est représentée par q_1 , la quantité de charge signal transférée par l'intermédiaire du transistor Q_{nb} vers la borne de sortie 51 et la quantité de charge signal transférée par l'intermédiaire du transistor Q_{na} vers la borne de sortie peuvent s'exprimer comme suit :

$$q_1 \cdot \frac{\frac{V_C}{\epsilon h}}{1 + \frac{V_C}{\epsilon h}} \cdot Z^{-\frac{1}{2}} \quad (\text{par le transistor } Q_{nb})$$

et

$$q_1 \cdot \frac{1}{1 + \frac{V_C}{\epsilon h}} \cdot Z^{-\frac{1}{2}} \quad (\text{par le transistor } Q_{na})$$

En conséquence, la fonction de transfert $H_G(z)$ entre l'électrode de signal du condensateur C_{n-1} et la borne de sortie 51 peut s'exprimer comme suit :

$$H_G(z) = \frac{z^{-\frac{1}{2}}}{1 + \frac{V_C}{\epsilon h}} \cdot \left(\frac{V_C}{\epsilon h} + z^{-2} \right) \quad (25)$$

Il y a lieu de noter que les caractéristiques de filtrage du circuit représenté sur la figure 10 peuvent être modifiées en fonction du signal variable de commande V_C .

Bien que ceci ne soit pas représenté, il est évident que dans le circuit de la figure 10, des étages successifs similaires à ceux d'un système classique à semi-conducteurs de transfert de charges, sont prévus à la suite (ou en aval) du transistor Q_{n+5} .

Dans l'équation (25), si $Z = 1$, la fonction de transfert $H_G(z)$ est égale à 1 [$H_G(z) = 1$].

En conséquence, même si les caractéristiques du filtre ont varié en réponse au signal variable de commande V_C , les potentiels continus à l'électrode de signal du condensateur

C_{n-1} et à la borne de sortie 51, sont égal l'un à l'autre. On voit ainsi qu'un circuit supplémentaire de correction du niveau continu n'est pas nécessaire.

La figure 11 montre encore une autre réalisation de la présente invention qui est similaire au circuit de filtrage de la figure 10, avec l'adjonction d'un circuit générateur de signal de commande 58 qui engendre un signal de commande variable pour faire varier le facteur de sensibilité de façon linéaire. Le circuit générateur de signal de commande 58 est constitué de transistors NPN Q_a , Q_b , Q_c , Q_d qui constituent deux étages d'un dispositif amplificateur différentiel. Les collecteurs des transistors Q_a et Q_b sont reliés à la borne d'alimentation 4 et leurs bases sont reliées à une borne commune 52. Les émetteurs des transistors Q_a et Q_b sont couplés aux collecteurs des transistors Q_c et Q_d respectivement. Les transistors Q_c et Q_d ont leurs émetteurs couplés par l'intermédiaire des résistances 56 et 57 respectivement, chaque résistance ayant la même valeur $\frac{V}{2}$, à un circuit à courant constant 55. Les bornes d'entrée 53 et 54 sont reliées aux bases des transistors Q_c et Q_d respectivement. L'émetteur du transistor Q_a est relié à la base du transistor Q_{nb} par l'intermédiaire de la borne 50, tandis que l'émetteur du transistor Q_b est relié à la base du transistor Q_{na} . Dans cette réalisation la base du transistor Q_{na} n'est pas connectée à la borne d'horloge 6 comme dans le circuit de la figure 10.

A la borne 52 est appliqué un signal composite constitué de l'impulsion d'horloge ϕ_1 superposée à une tension V_{BE} égale à la tension base-émetteur du transistor Q_a . Entre les bornes 53 et 54 est appliqué un signal de commande continu variable V_C avec la polarité représentée sur la figure 11.

En fonctionnement, on supposera que les courants circulant à travers les transistors Q_{na} et Q_{nb} vers le condensateur C_{n-1} sont égaux respectivement à I_1 et I_2 , que les courants de collecteur à travers les transistors Q_b et Q_c sont respectivement égaux à I_3 et I_4 , et que le courant constant du circuit à courant constant 55 est égal à I_0 . Si le courant constant I_0 est suffisamment important en comparaison avec les courants de base des transistors Q_a , Q_b , Q_c et Q_d , on a :

$$I_3 + I_4 = I_0$$

40

En outre, si les tensions base-émetteur des

transistors Q_{na} , Q_{nb} , Q_a et Q_b sont supposées être respectivement V_{BE2} , V_{BEx} , V_{BEa} et V_{BEb} , on a alors :

$$V_{VE2} + V_{BEb} = V_{BEx} + V_{BEa} \quad (27)$$

5 Le signal continu variable de commande V_C' peut s'exprimer comme suit :

$$V_C' = \frac{r}{2} (I_4 - I_3)$$

et par suite ,

$$I_4 - I_3 = \frac{2V_C'}{r} \quad (28)$$

10

Puisque $\frac{I_1}{I_2} = \frac{I_4}{I_3}$, à partir des équations ci-dessus, on dérive ce qui suit :

$$15 \quad \frac{I_1}{I_2} = \frac{I_0 + \frac{2V_C'}{r}}{I_0 - \frac{2V_C'}{r}} \quad (29)$$

La quantité de charge signal transférée de l'électrode de signal du condensateur C_{n-1} par l'intermédiaire de chacun des transistors Q_{na} et Q_{nb} vers l'étage contenant le condensateur C_{n+4} , c'est-à-dire vers la borne de sortie 51, est proportionnelle au courant I_1 et I_2 . Si la charge dans le condensateur C_{n-1} est supposée être q_1 , la quantité de charge signal transférée par l'intermédiaire du transistor Q_{na} vers la borne de sortie 51 s'exprime comme suit :

$$25 \quad q_1 \cdot \left(\frac{1}{2} + \frac{V_C'}{r \cdot I_0} \right)$$

et la quantité de charge signal transférée par l'intermédiaire du transistor Q_{nb} vers la borne de sortie 51 s'exprime comme suit ;

$$30 \quad q_1 \cdot \left(\frac{1}{2} - \frac{V_C'}{r \cdot I_0} \right)$$

En conséquence, la fonction de transfert $H_7(z)$ entre l'électrode de signal du condensateur C_{n-1} et la borne de sortie 51 peut être représentée comme suit :

$$35 \quad H_7(z) = \left[\left(\frac{1}{2} + \frac{V_C'}{r \cdot I_0} \right) + \left(\frac{1}{2} - \frac{V_C'}{r \cdot I_0} \right) z^{-2} \right] z - \frac{1}{2} \quad (30)$$

Si $Z = 1$ dans l'équation (30), $H_7(z) = 1$. Ainsi, même si la caractéristique de filtrage peut être modifiée en fonction du signal de commande variable V_C' , les potentiels
40 continus à l'électrode de signal du condensateur C_{n-1} et à la

borne de sortie 51, sont égaux. Ainsi, un circuit de correction du niveau continu n'est pas nécessaire.

La figure 12 représente encore une autre réalisation de la présente invention dans laquelle le circuit représenté sur la figure 10 est modifié pour fonctionner comme un filtre transversal récursif. Un transistor NPN Q'_n est prévu avec son émetteur relié à l'électrode de signal, du , par exemple, condensateur C_{n-1} et avec son collecteur relié à l'électrode de signal du condensateur C_{n-2} du dispositif de transfert de charges. La base du transistor Q'_n est reliée à la borne 50 à laquelle sont appliquées les impulsions d'horloge ϕ_1 superposées au signal variable de commande V_C . La borne de sortie 51 est couplée à l'électrode de signal du condensateur C_n . On suppose que la capacité de chacun des condensateurs C_{n-1} et C_{n-2} est égale à C' et que la capacité des autres condensateurs est égale à C . On suppose en outre, que la capacité C' remplit la condition suivante :

$$C' \geq \left(1 + \frac{V_{Cm}}{\epsilon h} \right) C \quad (31)$$

20

Dans cette relation, V_{Cm} est la valeur maximale du signal continu variable de commande V_C . Ceci empêche la limitation de la gamme dynamique du signal sur les électrodes de signal des condensateurs respectifs C_{n-2} et C_{n-1} lorsque la quantité récursive augmente.

Maintenant si l'on suppose que la quantité de charge signal, sur chacun des condensateurs C_{n-3} à C_n est représentée respectivement par q_3 à q_6 , lorsque les transistors Q_{n-2} et Q'_n sont tous les deux FERMES en réponse à l'impulsion d'horloge ϕ_1 , la charge q_4 sur le condensateur C_{n-2} est calculée comme suit :

$$q_4 = q_3 \cdot z^{-\frac{1}{2}} + q_5 \cdot \frac{\frac{V_C}{h}}{1 + \frac{V_C}{h}} \cdot z^{-\frac{1}{2}} \quad (32)$$

35

La charge q_6 sur l'électrode de signal du condensateur C_n est calculée comme suit :

$$q_6 = q_5 \cdot \frac{1}{1 + \frac{V_C}{h}} \cdot z^{-\frac{1}{2}} \quad (33)$$

40

et la charge q_5 sur l'électrode de signal du condensateur C_{n-1} est calculée comme suit :

$$q_5 = q_4 \cdot z^{-\frac{1}{2}} \quad (34)$$

5 A partir des équations (32), (33) et (34) la fonction de transfert $H_8(z)$ entre l'électrode de signal du condensateur C_{n-3} et la borne de sortie 51 peut s'exprimer comme suit :

$$10 \quad H_8(z) = \frac{q_6}{q_3} = \frac{1}{1 + \xi^h \frac{V_C}{h}} \cdot \frac{1}{1 - \xi^h \frac{V_C}{h}} \cdot z^{-\frac{3}{2}} \quad (35)$$

$$\frac{V_C}{1 + \xi^h \frac{V_C}{h}}$$

15 Dans l'équation (35) si $Z = 1$, $H_8(z) = 1$.

En conséquence, on voit que même lorsque la caractéristique de filtrage du filtre transversal récursif représenté est modifiée par le signal variable de commande V_C , les potentiels continus sur l'électrode de signal du condensateur C_{n-4} et à la borne de sortie 51, sont égaux, et en conséquence, un circuit de correction du niveau continu n'est pas nécessaire.

A partir de ce qui précède on voit que, en accord avec la présente invention, un filtre transversal est créé
 25 qui est d'une construction relativement simple et dont la caractéristique de filtrage est facilement modifiée par un signal de commande. Puisque l'utilisation de transistors à charge d'émetteur pour dériver les signaux de sortie à partir des différentes prises du circuit de transfert de charges est évitée,
 30 l'efficacité du transfert de charges n'est pas réduite du fait des courants de base de ces transistors à charge d'émetteur, et la gamme dynamique du signal filtré n'est pas réduite du fait de l'influence de la capacité collecteur-base de ces transistors. En outre, les circuits d'échantillonnage et de
 35 maintien, qui étaient jusqu'ici utilisés par exemple dans les filtres transversaux récursifs, ne sont pas nécessaires. Si la sortie du filtre de la présente invention est appliquée à d'autres dispositifs de transfert de charges, tels que des systèmes à composant à éléments en chapelets, des circuits de
 40 correction du niveau continu ne sont pas nécessaires. En

conséquence, la présente invention présente de bonnes caractéristiques de couplage continu, elle est relativement peu coûteuse à réaliser et consomme peu de puissance.

Etant donné que des circuits d'échantillonnage et de maintien ne sont pas utilisés, des distorsions d'échantillonnage, telles qu'une instabilité d'échantillonnage, une définition insuffisante, etc... ne se présentent pas.

Bien que la présente invention ait été plus particulièrement représentée et décrite en se référant à certaines réalisations préférées, il y a lieu de souligner que divers changements et diverses modifications peuvent être effectués sans sortir de l'esprit et du cadre de l'invention. Par exemple le dispositif de transfert de charges qui a été décrit pour transférer ou déplacer la charge d'étage en étage en réponse aux impulsions d'horloge ϕ_1 et ϕ_2 est représenté comme un système à composant à éléments en chapelet. D'autres circuits connus de transfert de charges peuvent être utilisés si on le souhaite. De même, bien que des transistors bipolaires aient été décrits comme éléments de commutation pour transférer la charge d'un étage à l'étage voisin, d'autres dispositifs de commutation, tels que des transistors à effet de champ du type MOS, des jonctions de type FET, etc..., peuvent être utilisés. Si on préfère des transistors bipolaires, ils peuvent être en variante des transistors PNP.

De même d'autres dispositifs d'accumulation peuvent être utilisés à la place de condensateurs pour accumuler temporairement des signaux analogiques de façon que ces signaux ainsi accumulés temporairement, soient transférés d'étage en étage. Egalement, bien que deux jeux d'éléments d'accumulation et deux jeux d'éléments de commutation aient été représentés comme étant alimentés et actionnés par des impulsions d'horloge ϕ_1 et ϕ_2 décalées en phase de 180° l'une par rapport à l'autre, trois jeux de ces éléments peuvent être prévus si on utilise des impulsions d'horloge ϕ_1 , ϕ_2 et ϕ_3 décalées en phase de 120° , quatre jeux peuvent être prévus si on utilise des impulsions d'horloge ϕ_1 , ϕ_2 , ϕ_3 et ϕ_4 décalées en phase de 90° , et ainsi de suite. En outre, en fonction de la caractéristique particulière de filtrage désirée, un nombre approprié d'étages peut être prévu dans le dispositif de transfert de charges et des prises peuvent être connectées aux étages sélectionnés pour dériver

des signaux de sortie à partir de ces étages, signaux qui combinés comme cela a été décrit plus haut, engendrent les fonctions de transfert $H(z)$ souhaitées.

5 En conséquence, il est entendu que les revendications ci-jointes doivent être interprétées comme incluant les changements et modifications précitées ainsi que d'autres.

R E V E N D I C A T I O N S

1.- Circuit de filtrage comprenant des moyens de transfert de charges, circuit de filtrage caractérisé en ce qu'il comporte un premier et un second jeux de moyens d'accumulation de charges, le premier jeu de moyens d'accumulation de charges recevant un premier signal d'horloge tandis que le second jeu de moyens d'accumulation de charges reçoit un second signal d'horloge, un premier et un second jeux de moyens de commutation étant prévus, le premier jeu de moyens de commutation étant actionné en réponse au premier signal d'horloge, tandis que le second jeu de moyens de commutation est actionné en réponse au second signal d'horloge, respectivement l'un des moyens de commutation dans le premier jeu étant susceptible de fonctionner lorsqu'il est actionné pour transférer des charges entre un moyen d'accumulation de charges dans le premier jeu et un moyen d'accumulation de charges dans le second jeu, tandis que respectivement l'un des moyens de commutation dans le second jeu est susceptible de fonctionner lorsqu'il est actionné pour transférer des charges entre un moyen d'accumulation de charges dans le second jeu et un moyen d'accumulation de charges dans le premier jeu, des moyens étant prévus pour appliquer le premier et le second signal d'horloge au premier et au second jeux de moyens d'accumulation de charges respectivement, ainsi qu'au premier et au second jeux de moyens de commutation respectivement, transférant ainsi une charge à travers des moyens de commutation successifs pour qu'elle soit temporairement stockée dans des moyens d'accumulation de charges successifs, des moyens étant prévus pour appliquer un signal d'entrée à un moyen d'accumulation de charges prédéterminé, des moyens à semi-conducteurs étant actionnés en réponse à un premier ou à un second signal d'horloge sélectionné pour transférer la charge stockée dans un premier moyen d'accumulation de charge prédéterminé vers un second moyen d'accumulation de charges prédéterminé, tandis que des moyens de sortie sont couplés à un moyen d'accumulation de charges prédéterminé pour dériver un signal de sortie du circuit de filtrage.

2.- Circuit de filtrage selon la revendication 1, caractérisé en ce que chacun des moyens d'accumulation de charges comporte un condensateur, les condensateurs du premier jeu ayant respectivement de premières électrodes couplées en commun

pour recevoir les premiers signaux d'horloge et ayant également respectivement des électrodes de signal, tandis que les condensateurs du second jeu ont respectivement de premières électrodes couplées en commun pour recevoir les seconds signaux d'horloge et ont également respectivement des électrodes de signal, chacun des moyens de commutation étant interconnectés entre les électrodes de signal de deux condensateurs de jeux différents.

3.- Circuit de filtrage selon la revendication 2, caractérisé en ce que chacun des moyens de commutation comporte un transistor ayant son circuit collecteur-émetteur couplé entre les électrodes de signal de deux condensateurs de jeux différents, les transistors du premier jeu ayant respectivement des électrodes de base couplées en commun pour recevoir les premiers signaux d'horloge, tandis que les transistors du second jeu ont respectivement des électrodes de base couplées en commun pour recevoir les seconds signaux d'horloge.

4.- Circuit de filtrage selon la revendication 3, caractérisé en ce qu'un condensateur respectif du premier jeu est connecté entre l'électrode de base et l'électrode de collecteur d'un transistor respectif de ce premier jeu, tandis qu'un condensateur respectif du second jeu est connecté entre l'électrode de base et l'électrode de collecteur d'un transistor respectif de ce second jeu.

5.- Circuit de filtrage selon la revendication 3, caractérisé en ce que le premier et le second signal d'horloge sont décalés en phase de 180° l'un par rapport à l'autre.

6.- Circuit de filtrage selon la revendication 1, caractérisé en ce que les moyens semi-conducteurs comportent un transistor ayant son circuit collecteur-émetteur connecté entre le premier et le second moyens prédéterminés d'accumulation de charges, tandis que son électrode de base est connectée pour recevoir le signal d'horloge sélectionné.

7.- Circuit de filtrage selon la revendication 6, caractérisé en ce que le transistor a son électrode d'émetteur connectée au premier moyen prédéterminé d'accumulation de charges et son électrode de collecteur connectée au second moyen prédéterminé d'accumulation de charges, ce dernier recevant le même signal d'horloge que le transistor.

8.- Circuit de filtrage selon la revendication 7, caractérisé en ce que le transistor transfère la charge du pre-

mier moyen prédéterminé d'accumulation de charges au second moyen prédéterminé d'accumulation de charges, ce dernier succédant au précédent moyen d'accumulation de charges.

5 9.- Circuit de filtrage selon la revendication 8, caractérisé en ce qu'il comporte en outre un circuit à miroir de courant pour injecter la charge dans le second moyen prédéterminé d'accumulation de charges à partir du moyen de commutation immédiatement précédent qui transfère cette charge.

10 10.- Circuit de filtrage selon la revendication 9, caractérisé en ce qu'il comporte en outre des moyens additionnels de transfert de charges alimentés avec la composante continue du signal d'entrée, ces moyens additionnels de transfert de charges étant couplés au second moyen d'accumulation de charges.

15 11.- Circuit de filtrage selon la revendication 7, caractérisé en ce que les moyens de commutation comportent des commutateurs à transistors, l'émetteur de l'un de ces commutateurs à transistors étant couplé au premier moyen prédéterminé d'accumulation de charges et la base de ce commutateur à transistors étant alimentée avec le même signal d'horloge que
20 le transistor.

12.- Circuit de filtrage selon la revendication 11, caractérisé en ce que le transistor et ce premier commutateur à transistors présentent un fonctionnement équilibré de sorte que leurs courants d'émetteur présentent un rapport pré-
25 déterminé.

13.- Circuit de filtrage selon la revendication 12, caractérisé en ce que le transistor et le premier commutateur à transistors sont couplés à des résistances d'émetteurs respectives.

30 14.- Circuit de filtrage selon la revendication 7, caractérisé en ce qu'il comporte en outre, une pluralité de transistors, certains des transistors de cette pluralité ayant leurs électrodes de collecteurs couplées en commun vers le second moyen prédéterminé d'accumulation de charges, le circuit
35 de filtrage comportant un circuit à miroir de courant, d'autres transistors de cette pluralité ayant leurs électrodes de collecteurs couplées en commun par l'intermédiaire de ce circuit à miroir de courant vers le second moyen prédéterminé d'accumulation de charges, chacun de ces transistors ayant son électrode
40 d'émetteur couplée à un premier moyen respectif prédéterminé

d'accumulation de charges, tandis que leurs électrodes de base sont connectées en commun pour recevoir le signal d'horloge sélectionné.

5 15.- Circuit de filtrage selon la revendication 14, caractérisé en ce que le second moyen prédéterminé d'accumulation de charges succède à chacun des premiers moyens prédéterminés d'accumulation de charges.

10 16.- Circuit de filtrage selon la revendication 14, caractérisé en ce que le second moyen prédéterminé d'accumulation de charges précède chacun des premiers moyens prédéterminés d'accumulation de charges.

15 17.- Circuit de filtrage selon la revendication 7, caractérisé en ce que le transistor transfère la charge du premier moyen prédéterminé d'accumulation de charges au second moyen prédéterminé d'accumulation de charges, et ce dernier précédant le moyen d'accumulation de charges mentionné en premier lieu.

20 18.- Circuit de filtrage selon la revendication 6, caractérisé en ce que les moyens à transistors comportent un premier et un second transistors dont les circuits collecteurs-émetteurs sont connectés en série, le premier transistor ayant son électrode de base connectée pour recevoir l'un des signaux d'horloge, tandis que le second transistor a son électrode de base connectée pour recevoir l'autre signal d'horloge.

25 19.- Circuit de filtrage selon la revendication 18, caractérisé en ce qu'il comporte en outre, un moyen d'accumulation de charges additionnel couplé à la jonction définie par le premier et le second transistor et connecté pour être alimenté avec le premier signal d'horloge.

30 20.- Circuit de filtrage selon la revendication 19, caractérisé en ce qu'il comporte en outre, un circuit à miroir de courant, les circuits collecteurs-émetteurs connectés en série du premier et du second transistors étant couplés au second moyen prédéterminé d'accumulation de charges par l'intermédiaire de ce circuit à miroir de courant.

40 21.- Circuit de filtrage selon la revendication 20, caractérisé en ce que l'électrode d'émetteur du premier transistor est couplée au premier moyen prédéterminé d'accumulation de charges, tandis que l'électrode de collecteur du second transistor est couplée au circuit à miroir de courant.

22.- Circuit de filtrage selon la revendication 20, caractérisé en ce que les moyens de commutation comportent des commutateurs à transistors, l'électrode d'émetteur de l'un de ces commutateurs à transistors étant couplée au premier moyen 5 prédéterminé d'accumulation de charges, l'électrode de base de ce premier commutateur à transistors étant alimentée avec le premier signal d'horloge, tandis que l'électrode de collecteur de ce premier commutateur à transistors est connectée à un 10 moyen d'accumulation de charges immédiatement suivant, ces moyens additionnels et immédiatement suivants d'accumulation de charges ayant des capacités d'accumulation de charges essentiellement égales.

23.- Circuit de filtrage selon la revendication 7, caractérisé en ce qu'il comporte en outre, des moyens pour 15 fournir un signal de commande aux moyens à transistors afin de commander les caractéristiques de filtrage de ce circuit de filtrage.

24.- Circuit de filtrage selon la revendication 23, caractérisé en ce que le signal de commande est fourni à 20 l'électrode de base des moyens à transistors en surperposition au signal d'horloge sélectionné.

25.- Circuit de filtrage selon la revendication 24, caractérisé en ce que le second moyen prédéterminé d'accumulation de charges succède au premier moyen prédéterminé d'ac- 25 cumulation de charges.

26.- Circuit de filtrage selon la revendication 24, caractérisé en ce que le second moyen prédéterminé d'accumulation de charges précède le premier moyen prédéterminé d'ac- cumulation de charges.

27.- Circuit de filtrage selon la revendication 24, caractérisé en ce que les moyens pour fournir un signal de 30 commande comportent un amplificateur différentiel connecté de façon à recevoir le signal d'horloge sélectionné et le signal de commande, cet amplificateur différentiel ayant une sortie 35 couplée à l'électrode de base des moyens à transistors.

28.- Circuit de filtrage selon la revendication 27, caractérisé en ce que l'amplificateur différentiel comporte une première paire de transistors connectés de façon diffé- rentielle alimentée avec le signal d'horloge sélectionné, une 40 second paire de transistors connectés de façon différentielle,

alimentée avec le signal de commande, les circuits collecteurs-
émetteurs d'une première paire respective de transistors connec-
tés de façon différentielle étant reliée en série avec les cir-
cuits collecteurs-émetteurs d'une seconde paire de transistors
5 connectés de façon différentielle, des moyens à courant cons-
tant étant connectés aux circuits collecteur-émetteur de cette
première et de cette seconde paires de transistors connectés
de façon différentielle, et une sortie étant couplée aux cir-
cuits collecteurs de cette seconde paire de transistors connec-
10 tés de façon différentielle.

29.- Circuit de filtrage selon la revendication
28, caractérisé en ce que les moyens de commutation comportent
des commutateurs à transistors, l'électrode d'émetteur de l'un
de ces commutateurs à transistors étant couplée au premier moyen
15 prédéterminé d'accumulation de charges, l'électrode de collec-
teur de ce premier commutateur à transistors étant connectée
à un moyen d'accumulation de charges immédiatement suivant,
tandis que l'électrode de base de ce premier commutateur à tran-
sistors est couplée au circuit de collecteur de l'autre de la
20 seconde paire de transistors connectés de façon différentielle.

30.- Circuit de filtrage caractérisé en ce qu'il
comprend des moyens de transfert de charges comportant plusieurs
étages de moyens capacitifs, plusieurs commutateurs à transis-
tors, chaque commutateur à transistor reliant les moyens capa-
25 citifs d'un étage aux moyens capacitifs d'un étage suivant de
façon que lorsqu'un commutateur à transistors est conducteur,
une charge de signal est transférée par l'intermédiaire du cir-
cuit collecteur-émetteur de ce commutateur à transistors, à
partir d'un étage vers l'étage immédiatement suivant, des moyens
30 étant prévus pour fournir de premiers signaux d'horloge afin de
faire alterner un de ces commutateurs à transistors pour l'ac-
tionner et pour fournir de seconds signaux d'horloge au commuta-
teur à transistors restant afin d'actionner ce dernier, des moyens
étant prévus pour fournir un signal d'entrée à un étage d'entrée
35 ainsi que des moyens pour dériver un signal de sortie à partir
d'un signal de sortie, un moyen à transistor de transfert de
charges ayant un circuit collecteur-émetteur interconnecté
entre au moins un premier étage et un second étage étant prévu
pour transférer la charge entre ces étages lorsqu'il est ac-
40 tionné, tandis que des moyens sont prévus pour fournir un de ces

signaux d'horloge sélectionné au moyen à transistor de transfert de charges pour l'actionner.

5 31.- Circuit de filtrage selon la revendication 30, caractérisé en ce que le moyen à transistor de transfert de charges transfère la charge du premier étage au second étage, ce dernier étant un étage succédant au premier étage.

10 32.- Circuit de filtrage selon la revendication 30, caractérisé en ce que le moyen à transistor de transfert de charges transfère la charge du premier étage au second étage, ce dernier étant un étage précédant le premier étage.

15 33.- Circuit de filtrage selon la revendication 30, caractérisé en ce qu'il comporte des moyens interconnectés entre le second étage et le commutateur à transistors qui transfère la charge signal à ce second étage pour invertir cette charge signal et l'injecter au second étage.

34.- Circuit de filtrage selon la revendication 33, caractérisé en ce que le moyen mentionné en dernier lieu comporte un circuit à miroir de courant.

20 35.- Circuit de filtrage selon la revendication 30, caractérisé en ce que le moyen à transistors de transfert de charges comporte plusieurs transistors de transfert de charges, chacun connecté à un étage respectif et au second étage, tous ces transistors de transfert de charges étant actionnés simultanément pour transférer la charge de l'étage respectif
25 au second étage.

36.- Circuit de filtrage selon la revendication 35, caractérisé en ce qu'il comporte en outre des moyens pour inverser la charge transférée par certains de ces transistors de transfert de charges et l'injecter au second étage.

30 37.- Circuit de filtrage selon la revendication 36, caractérisé en ce que le moyen mentionné en dernier lieu comporte un circuit à miroir de courant ayant une entrée couplée en commun au circuit collecteur-émetteur de certains de ces transistors de transfert de charges, et une sortie couplée
35 au second étage, les circuits collecteurs-émetteurs des transistors de transfert de charges restant étant couplés au second étage.

40 38.- Circuit de filtrage selon la revendication 30, caractérisé en ce que le moyen à transistors de transfert de charges comporte plusieurs transistors de transfert de

charges ayant leurs circuits collecteurs-émetteurs connectés en série, un de ces transistors à transfert de charges étant alimenté avec le premier signal d'horloge et un autre de ces transistors de transfert de charges étant alimenté avec le second signal d'horloge, un moyen capacitif additionnel étant couplé au premier de ces transistors de transfert de charges pour recevoir au moins une partie de la charge signal en provenance du premier étage, cette partie étant transférée à ce moyen capacitif par ce premier transistor de transfert de charges.

10 39.- Circuit de filtrage selon la revendication 38, caractérisé en ce qu'il comporte en outre des moyens pour invertir la charge transférée au second étage par cette pluralité de transistors de transfert de charges, et pour l'injecter dans le second étage.

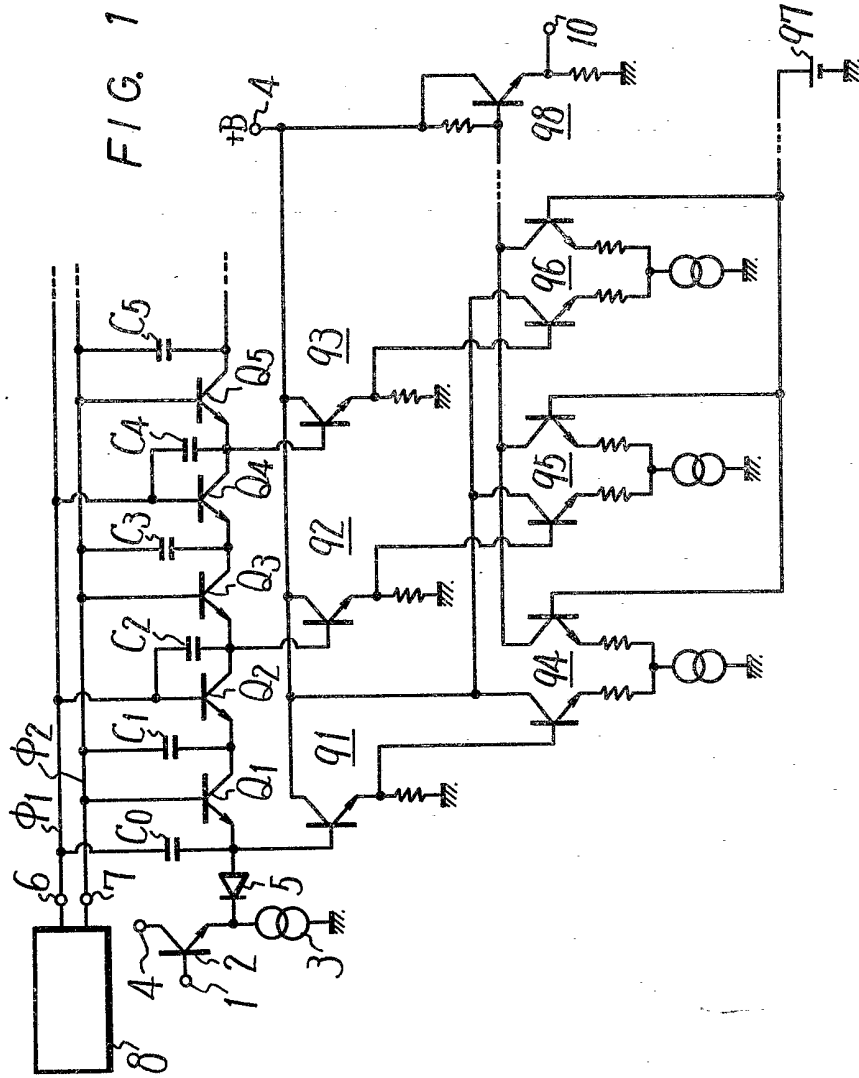
15 40.- Circuit de filtrage selon la revendication 39, caractérisé en ce que le moyen mentionné en dernier lieu comporte un circuit à miroir de courant.

20 41.- Circuit de filtrage selon la revendication 30, caractérisé en ce qu'il comporte en outre des moyens pour fournir une tension de commande au moyen à transistors de transfert de charges pour commander la charge transférée au second étage.

25 42.- Circuit de filtrage selon la revendication 41, caractérisé en ce que les moyens pour fournir une tension de commande comportent un amplificateur différentiel alimenté avec les signaux d'horloge sélectionnés et avec la tension de commande pour superposer les signaux d'horloge sélectionnés à la tension de commande et pour appliquer l'ensemble à une électrode de commande du moyen à transistors de transfert de charges.

30 43.- Circuit de filtrage selon la revendication 42, caractérisé en ce que l'amplificateur différentiel est également couplé au commutateur à transistors qui transfère la charge du premier étage à l'étage immédiatement suivant pour commander le fonctionnement de ce commutateur.

35



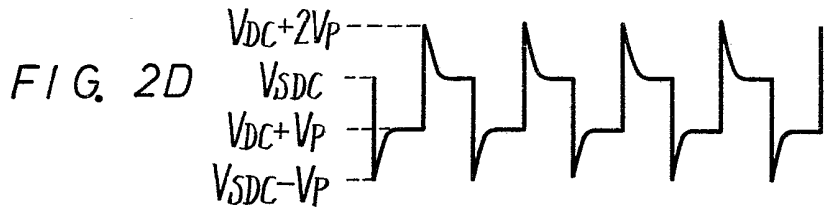
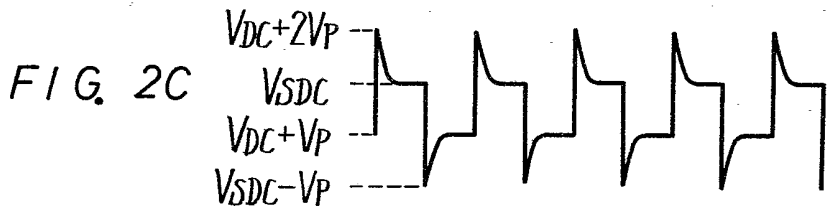
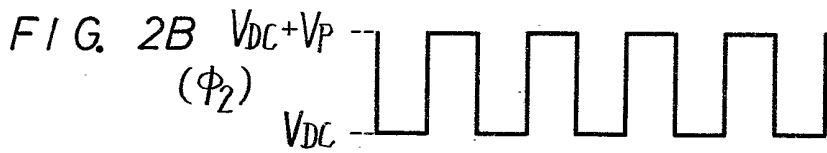
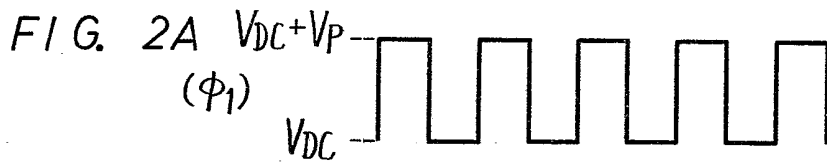


FIG. 3

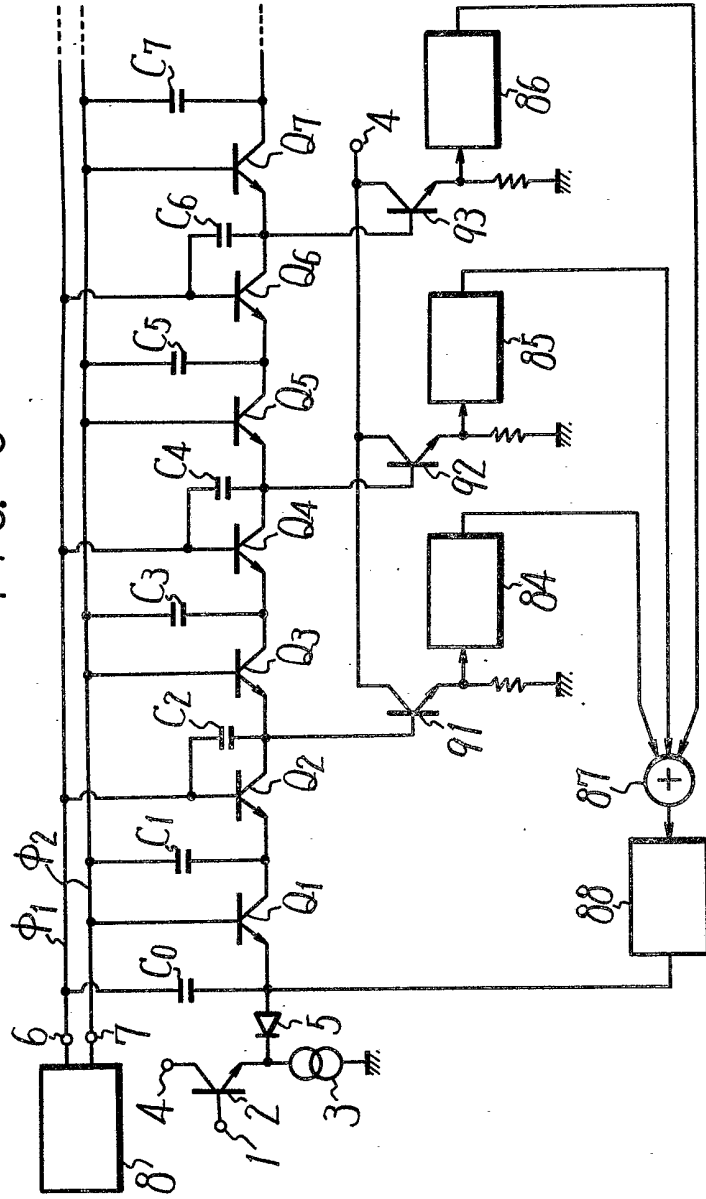


FIG. 4

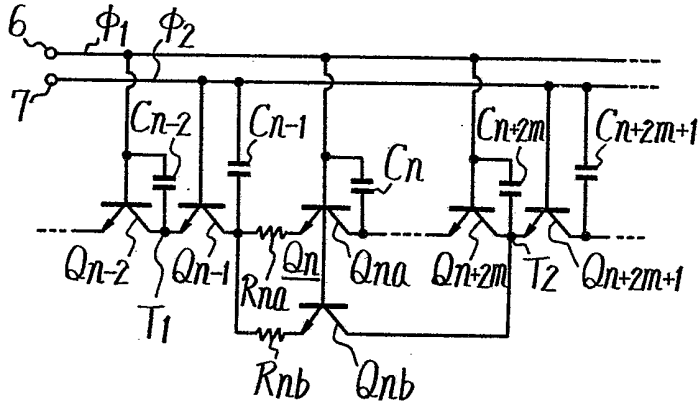


FIG. 5

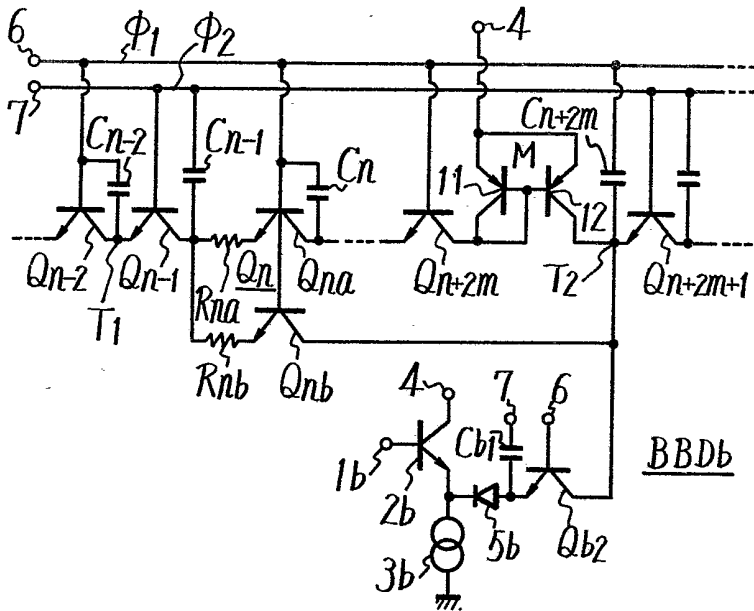


FIG. 6

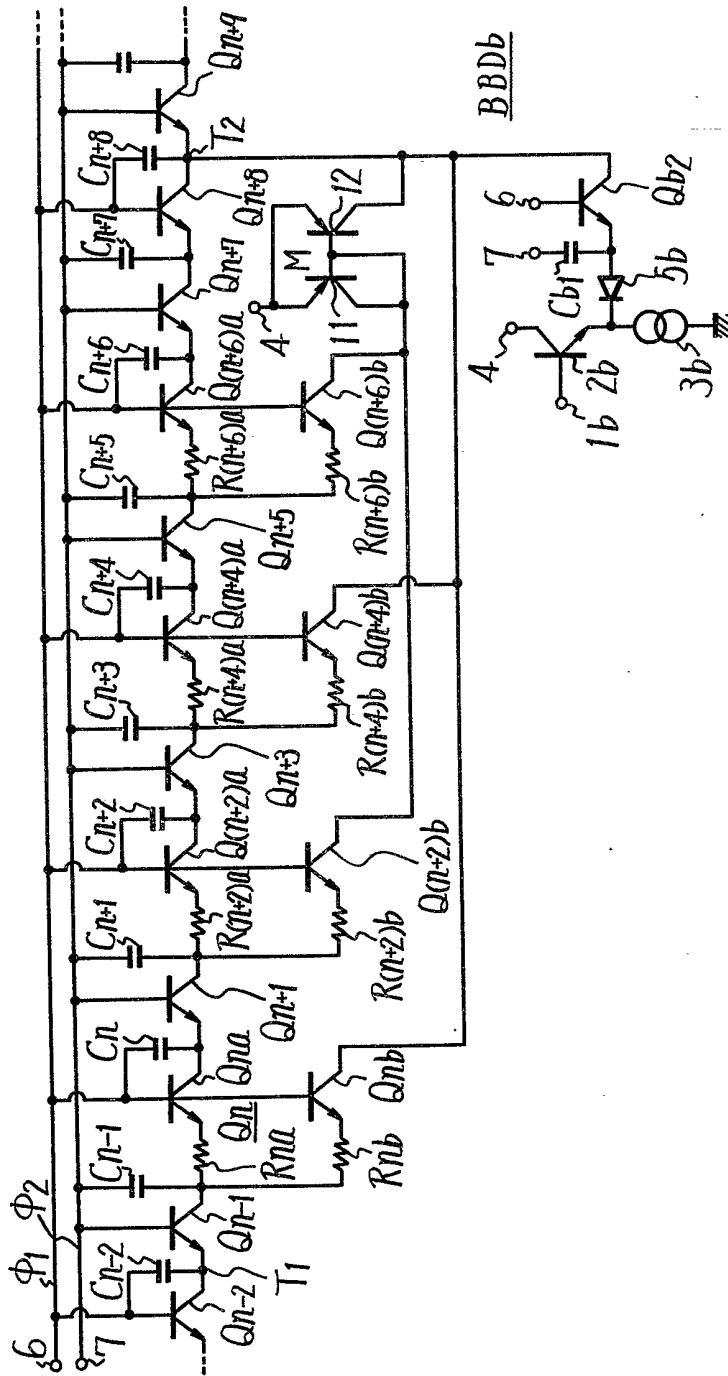


FIG. 7

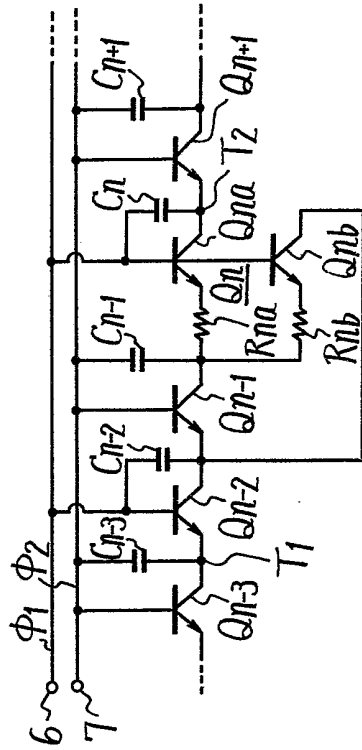


FIG. 10

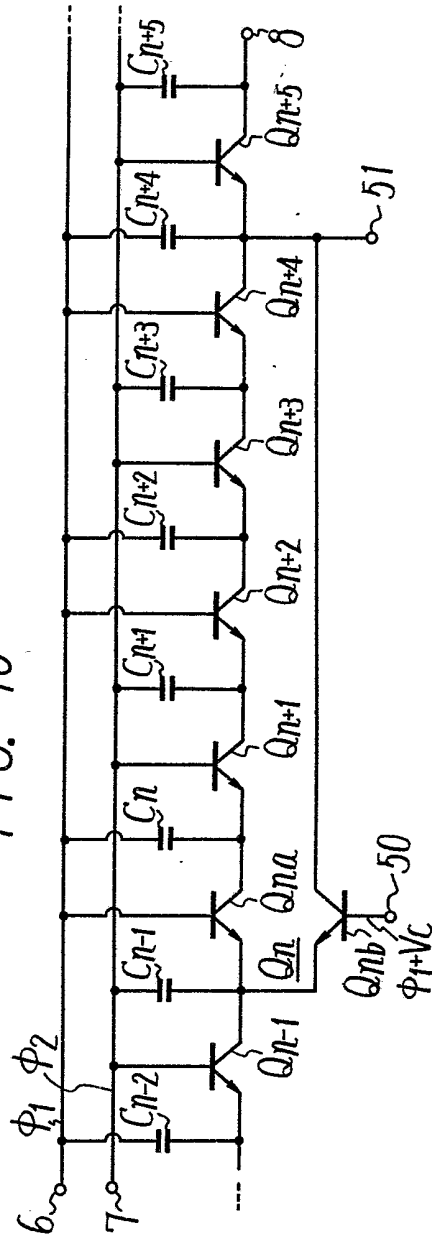


FIG. 8

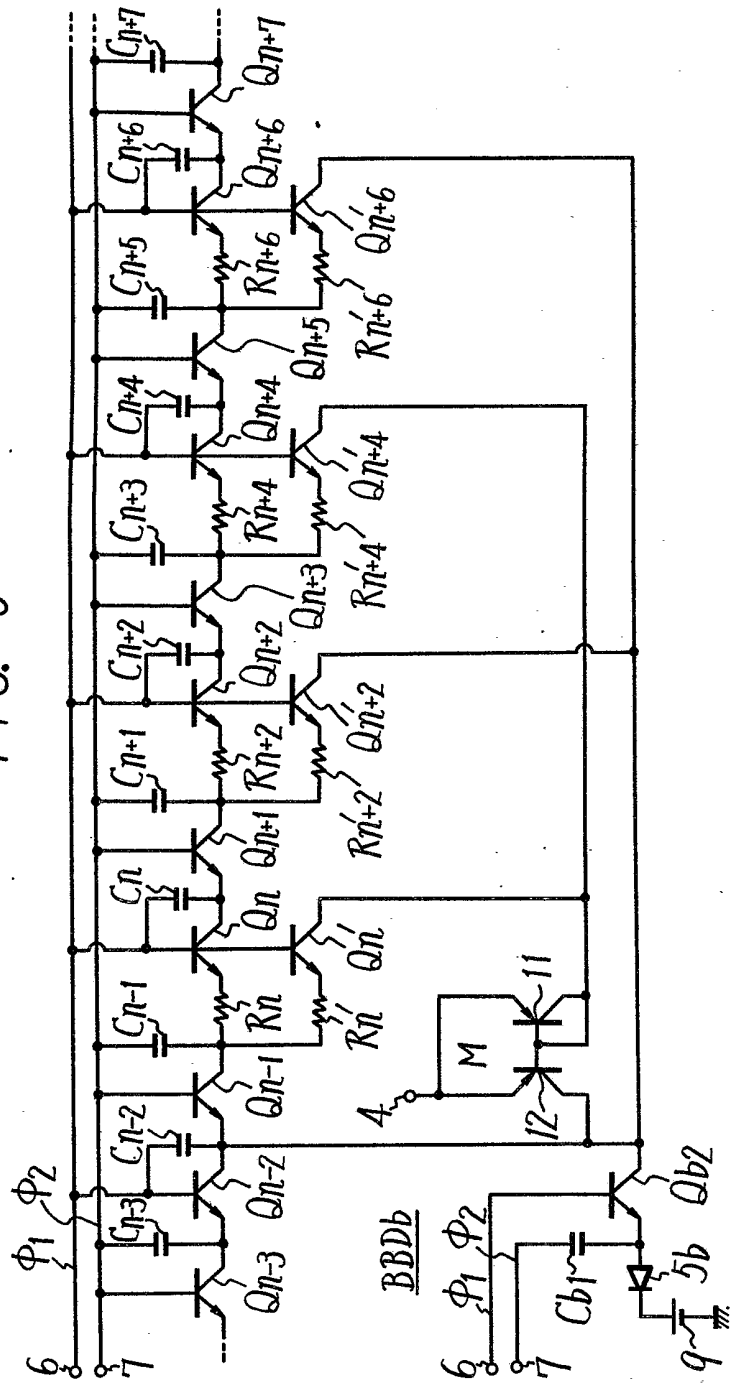


FIG. 9

