



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2016-0118269  
(43) 공개일자 2016년10월11일

(51) 국제특허분류(Int. Cl.)  
H04L 29/12 (2006.01) G06F 13/364 (2006.01)  
G06F 13/40 (2006.01) G06F 13/42 (2006.01)

(52) CPC특허분류  
H04L 61/2038 (2013.01)  
G06F 13/364 (2013.01)

(21) 출원번호 10-2016-7021650  
(22) 출원일자(국제) 2015년02월02일  
심사청구일자 없음  
(85) 번역문제출일자 2015년08월08일  
(86) 국제출원번호 PCT/US2015/014067  
(87) 국제공개번호 WO 2015/117061  
국제공개일자 2015년08월06일

(30) 우선권주장  
61/935,115 2014년02월03일 미국(US)  
(뒷면에 계속)

(71) 출원인  
헬컴 인코포레이티드  
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775

(72) 발명자  
아미탈리오 리오르  
미국 92121 캘리포니아주 샌디에고 모어하우스 드라이브 5775

아몬 요씨  
미국 92121 캘리포니아주 샌디에고 모어하우스 드라이브 5775  
(뒷면에 계속)

(74) 대리인  
특허법인코리아나

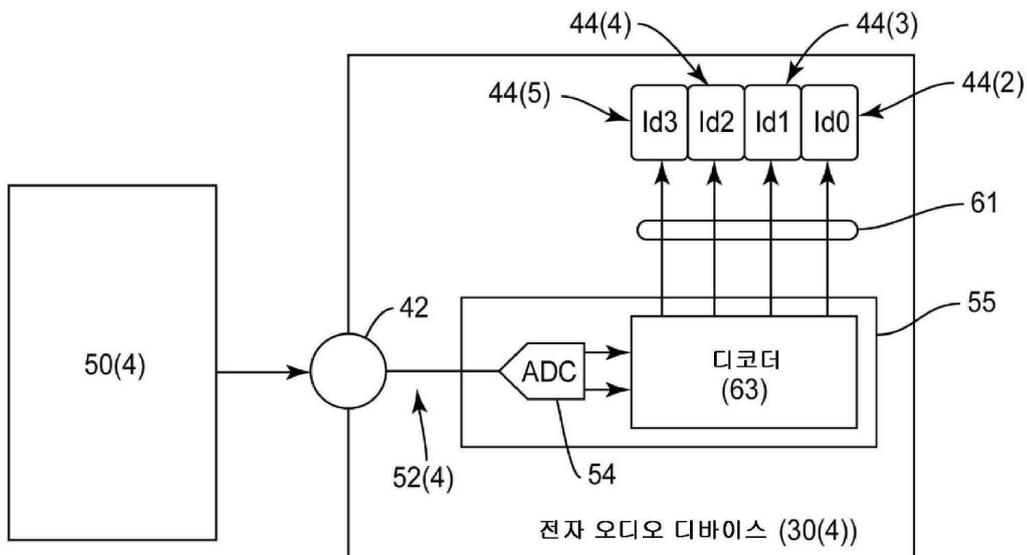
전체 청구항 수 : 총 36 항

(54) 발명의 명칭 버스 통신 식별을 위한 디바이스 식별의 외부 제어를 가능하게 하기 위한 전자 디바이스들에  
서의 디바이스 식별 생성, 및 관련된 시스템들과 방법들

**(57) 요약**

버스 통신 식별에 대한 디바이스 식별의 선택 또는 재프로그래밍과 같은 외부 제어를 가능하게 하기 위한 전자 디바이스들에서의 디바이스 식별 생성이 개시된다. 이러한 방식으로, 시스템에서 공통 통신 버스에 커플링된 전자 디바이스들의 디바이스 식별들은 버스 통신 충돌들을 피하기 위해 디바이스 식별들이 고유한 것을 보장하도록 선택되거나 재프로그래밍될 수 있다. 소정의 양태들에서, 전자 디바이스에서 디바이스 식별을 선택하거나 재프로그래밍하기 위해, 외부 소스는 전자 디바이스에 전기적으로 커플링될 수 있다. 외부 소스는 전자 디바이스에서의 디바이스 식별 생성 회로를 갖는 회로를 폐쇄한다. 폐쇄된 회로는 디바이스 식별 생성 회로에 의해 검출가능한 바람직한 전기적 특성을 제공한다. 디바이스 식별 생성 회로는 외부 소스로부터 폐쇄된 회로의 검출된 전기적 특성들의 함수로서 디바이스 식별을 생성하도록 구성된다.

**대표도**



(52) CPC특허분류

*G06F 13/409* (2013.01)

*G06F 13/4221* (2013.01)

*G06F 13/4291* (2013.01)

*H04L 61/2046* (2013.01)

*H04L 61/2092* (2013.01)

(72) 발명자

**거버 니르**

미국 92121 캘리포니아주 샌디에고 모어하우스 드  
라이브 5775

**샤참 아사프**

미국 92121 캘리포니아주 샌디에고 모어하우스 드  
라이브 5775

(30) 우선권주장

61/935,134 2014년02월03일 미국(US)

14/609,488 2015년01월30일 미국(US)

## 명세서

### 청구범위

#### 청구항 1

전자 디바이스의 디바이스 식별을 재프로그래밍하도록 구성된 전자 디바이스로서,  
 통신 버스에 커플링되도록 구성된 디바이스 식별 포트; 및  
 상기 디바이스 식별 포트에 커플링된 디바이스 식별 생성 회로  
 를 포함하고,  
 상기 디바이스 식별 생성 회로는,  
 상기 디바이스 식별 포트에서 상기 통신 버스로부터 수신된 통신 버스 신호의 전기적 특성을 검출하고;  
 검출된 상기 전기적 특성에 기초하여 디바이스 식별을 생성하고;  
 디바이스 식별 메모리에 생성된 상기 디바이스 식별을 저장하도록  
 구성되는, 전자 디바이스의 디바이스 식별을 재프로그래밍하도록 구성된 전자 디바이스.

#### 청구항 2

제 1 항에 있어서,  
 상기 디바이스 식별 포트는 디바이스 식별 핀으로 구성되는, 전자 디바이스의 디바이스 식별을 재프로그래밍하  
 도록 구성된 전자 디바이스.

#### 청구항 3

제 1 항에 있어서,  
 상기 디바이스 식별 회로는 상기 통신 버스의 클록 라인에 커플링되도록 구성되고;  
 상기 디바이스 식별 생성 회로는 상기 디바이스 식별 포트에서 상기 통신 버스로부터 수신된 통신 버스 클록 신  
 호로 구성된 상기 통신 버스 신호의 상기 전기적 특성을 검출하도록 구성되는, 전자 디바이스의 디바이스 식별  
 을 재프로그래밍하도록 구성된 전자 디바이스.

#### 청구항 4

제 1 항에 있어서,  
 상기 디바이스 식별 포트는 상기 통신 버스의 데이터 라인에 커플링되도록 구성되고;  
 상기 디바이스 식별 생성 회로는 상기 디바이스 식별 포트에서 상기 통신 버스로부터 수신된 통신 버스 데이터  
 신호로 구성된 상기 통신 버스 신호의 상기 전기적 특성을 검출하도록 구성되는, 전자 디바이스의 디바이스 식  
 별을 재프로그래밍하도록 구성된 전자 디바이스.

#### 청구항 5

제 1 항에 있어서,  
 상기 디바이스 식별 생성 회로는 상기 통신 버스 신호의 전압으로 구성된 상기 통신 버스 신호의 상기 전기적  
 특성을 검출하도록 구성되는, 전자 디바이스의 디바이스 식별을 재프로그래밍하도록 구성된 전자 디바이스.

#### 청구항 6

제 1 항에 있어서,  
 상기 디바이스 식별 생성 회로는 상기 통신 버스 신호의 가변 전압으로 구성된 상기 통신 버스 신호의 상기 전

기적 특성을 검출하도록 구성되는, 전자 디바이스의 디바이스 식별을 재프로그래밍하도록 구성된 전자 디바이스.

**청구항 7**

제 1 항에 있어서,

상기 디바이스 식별 생성 회로는 상기 디바이스 식별 포트에 커플링된 외부 저항기의 저항으로 구성된 상기 통신 버스 신호의 상기 전기적 특성을 검출하도록 구성되는, 전자 디바이스의 디바이스 식별을 재프로그래밍하도록 구성된 전자 디바이스.

**청구항 8**

제 1 항에 있어서,

상기 디바이스 식별 생성 회로는 상기 디바이스 식별 포트에 커플링된 외부의 가변 저항기의 저항으로 구성된 상기 통신 버스 신호의 상기 전기적 특성을 검출하도록 구성되는, 전자 디바이스의 디바이스 식별을 재프로그래밍하도록 구성된 전자 디바이스.

**청구항 9**

제 1 항에 있어서,

상기 디바이스 식별 생성 회로는 상기 통신 버스 신호의 커패시턴스로 구성된 상기 통신 버스 신호의 상기 전기적 특성을 검출하도록 구성되는, 전자 디바이스의 디바이스 식별을 재프로그래밍하도록 구성된 전자 디바이스.

**청구항 10**

제 1 항에 있어서,

상기 디바이스 식별 생성 회로는 제공된 상기 디바이스 식별 포트에 커플링된 외부 커패시터의 커패시턴스로 구성된 상기 통신 버스 신호의 상기 전기적 특성을 검출하도록 구성되는, 전자 디바이스의 디바이스 식별을 재프로그래밍하도록 구성된 전자 디바이스.

**청구항 11**

제 1 항에 있어서,

상기 디바이스 식별 생성 회로는 상기 디바이스 식별 포트에 커플링된 외부의 가변 커패시터로 구성된 상기 통신 버스 신호의 상기 전기적 특성을 검출하도록 구성되는, 전자 디바이스의 디바이스 식별을 재프로그래밍하도록 구성된 전자 디바이스.

**청구항 12**

제 1 항에 있어서,

상기 디바이스 식별 생성 회로는 상기 통신 버스 신호의 주파수로 구성된 상기 통신 버스 신호의 상기 전기적 특성을 검출하도록 구성되는, 전자 디바이스의 디바이스 식별을 재프로그래밍하도록 구성된 전자 디바이스.

**청구항 13**

제 1 항에 있어서,

상기 디바이스 식별 생성 회로는 버퍼 회로로 구성되는, 전자 디바이스의 디바이스 식별을 재프로그래밍하도록 구성된 전자 디바이스.

**청구항 14**

제 1 항에 있어서,

상기 디바이스 식별 생성 회로는 상기 통신 버스 신호의 상기 검출된 전기적 특성의 아날로그 값을 상기 디바이스 식별로서의 디지털 값으로 컨버팅하도록 구성된 아날로그-대-디지털 컨버터 (analog-to-digital converter;

ADC) 로 구성되는, 전자 디바이스의 디바이스 식별을 재프로그래밍하도록 구성된 전자 디바이스.

**청구항 15**

제 1 항에 있어서,

상기 디바이스 식별 메모리는 멀티-비트 디바이스 식별 메모리를 저장하도록 구성되는, 전자 디바이스의 디바이스 식별을 재프로그래밍하도록 구성된 전자 디바이스.

**청구항 16**

제 15 항에 있어서,

상기 디바이스 식별 생성 회로는 상기 디바이스 식별 메모리에 상기 멀티-비트 디바이스 식별 메모리의 비트들의 서브세트를 저장하도록 구성되는, 전자 디바이스의 디바이스 식별을 재프로그래밍하도록 구성된 전자 디바이스.

**청구항 17**

제 1 항에 있어서,

상기 디바이스 식별은 복수의 디바이스 식별자들을 포함하고;

상기 디바이스 식별 생성 회로는 상기 검출된 전기적 특성에 기초하여 상기 디바이스 식별의 상기 복수의 디바이스 식별자들 중 적어도 하나의 디바이스 식별자를 선택하도록 구성된 디바이스 식별 선택 회로를 포함하는, 전자 디바이스의 디바이스 식별을 재프로그래밍하도록 구성된 전자 디바이스.

**청구항 18**

제 1 항에 있어서,

상기 전자 디바이스를 상기 통신 버스에 동기화하기 위해 동기화 스트림을 식별하도록 구성되고;

상기 디바이스 식별 생성 회로는 상기 동기화 스트림의 식별 중에 상기 디바이스 식별 포트에서 상기 통신 버스로부터 수신된 상기 통신 버스 신호의 상기 전기적 특성을 검출하도록 구성되는, 전자 디바이스의 디바이스 식별을 재프로그래밍하도록 구성된 전자 디바이스.

**청구항 19**

제 1 항에 있어서,

상기 디바이스 식별 생성 회로는 상기 통신 버스에 커플링된 마스터 디바이스로부터 상기 디바이스 식별 포트에서 상기 통신 버스로부터 수신된 상기 통신 버스 신호의 상기 전기적 특성을 검출하도록 구성되는, 전자 디바이스의 디바이스 식별을 재프로그래밍하도록 구성된 전자 디바이스.

**청구항 20**

제 1 항에 있어서,

Soundwire™ 오디오 슬레이브 디바이스로 구성되는, 전자 디바이스의 디바이스 식별을 재프로그래밍하도록 구성된 전자 디바이스.

**청구항 21**

제 20 항에 있어서,

상기 디바이스 식별 생성 회로는 상기 디바이스 식별 포트에서 Soundwire™ 통신 버스로 구성된 상기 통신 버스로부터 수신된 Soundwire™ 통신 버스 신호로 구성된 상기 통신 버스 신호의 상기 전기적 특성을 검출하도록 구성되는, 전자 디바이스의 디바이스 식별을 재프로그래밍하도록 구성된 전자 디바이스.

**청구항 22**

전자 디바이스의 디바이스 식별을 재프로그래밍하도록 구성된 전자 디바이스로서,

통신 버스에 커플링하도록 구성된 디바이스 식별 수단; 및

상기 디바이스 식별 수단에 커플링된 디바이스 식별 생성 수단

을 포함하고,

상기 디바이스 식별 생성 수단은,

상기 디바이스 식별 수단에서 상기 통신 버스로부터 수신된 통신 버스 신호의 전기적 특성을 검출하고;

검출된 상기 전기적 특성에 기초하여 디바이스 식별을 생성하고;

디바이스 식별 메모리에 생성된 상기 디바이스 식별을 저장하는, 전자 디바이스의 디바이스 식별을 재프로그래밍하도록 구성된 전자 디바이스.

### 청구항 23

전자 디바이스의 디바이스 식별을 재프로그래밍하는 전자 디바이스에 대한 방법으로서,

통신 버스에 커플링된 디바이스 식별 포트에서 상기 통신 버스로부터 수신된 통신 버스 신호의 전기적 특성을 검출하는 단계;

상기 통신 버스 신호의 검출된 상기 전기적 특성에 기초하여 디바이스 식별을 생성하는 단계; 및

디바이스 식별 메모리에 생성된 상기 디바이스 식별을 저장하는 단계

를 포함하는, 전자 디바이스의 디바이스 식별을 재프로그래밍하는 전자 디바이스에 대한 방법.

### 청구항 24

제 23 항에 있어서,

상기 통신 버스의 클록 라인에 커플링된 상기 디바이스 식별 포트에서 상기 통신 버스로부터 수신된 통신 버스 클록 신호의 상기 전기적 특성을 검출하는 단계를 포함하는, 전자 디바이스의 디바이스 식별을 재프로그래밍하는 전자 디바이스에 대한 방법.

### 청구항 25

제 23 항에 있어서,

상기 통신 버스의 데이터 라인에 커플링된 상기 디바이스 식별 포트에서 상기 통신 버스로부터 수신된 통신 버스 데이터 신호의 상기 전기적 특성을 검출하는 단계를 포함하는, 전자 디바이스의 디바이스 식별을 재프로그래밍하는 전자 디바이스에 대한 방법.

### 청구항 26

제 23 항에 있어서,

상기 통신 버스 신호의 상기 검출된 전기적 특성의 아날로그 값을 상기 디바이스 식별로서의 디지털 값으로 컨버팅하는 단계를 더 포함하는, 전자 디바이스의 디바이스 식별을 재프로그래밍하는 전자 디바이스에 대한 방법.

### 청구항 27

제 23 항에 있어서,

상기 전자 디바이스를 상기 통신 버스에 동기화하기 위해 동기화 스트림을 식별하는 단계를 더 포함하고,

상기 통신 버스 신호의 상기 전기적 특성을 검출하는 단계는 상기 동기화 스트림의 식별 중에 수행되는, 전자 디바이스의 디바이스 식별을 재프로그래밍하는 전자 디바이스에 대한 방법.

### 청구항 28

제 23 항에 있어서,

상기 디바이스 식별 포트에서 Soundwire™ 통신 버스로 구성된 상기 통신 버스로부터 수신된 Soundwire™ 통신

버스 신호로 구성된 상기 통신 버스 신호의 상기 전기적 특성을 검출하는 단계를 포함하는, 전자 디바이스의 디바이스 식별을 재프로그래밍하는 전자 디바이스에 대한 방법.

**청구항 29**

통신 버스에 커플링된 슬레이브 디바이스가 슬레이브 디바이스의 디바이스 식별을 재프로그래밍하는 것을 가능하게 하는 버스 통신 시스템으로서,

데이터 라인 및 클록 라인으로 구성된 통신 버스;

마스터 데이터 포트 및 마스터 클록 포트에 구성된 마스터 디바이스로서, 상기 마스터 디바이스는 상기 데이터 라인에 커플링된 상기 마스터 데이터 포트 및 상기 클록 라인에 커플링된 상기 마스터 클록 포트에 의해 상기 통신 버스에 커플링되는, 상기 마스터 디바이스; 및

복수의 슬레이브 디바이스들

을 포함하고,

상기 복수의 슬레이브 디바이스들의 각각은,

상기 통신 버스에 커플링된 데이터 포트 및 클록 포트로서, 상기 데이터 포트 및 상기 클록 포트 중 적어도 하나는 디바이스 식별 포트를 또한 포함하는, 상기 데이터 포트 및 상기 클록 포트;

상기 통신 버스의 상기 데이터 라인에 커플링된 상기 데이터 포트, 및 상기 통신 버스의 상기 클록 라인에 커플링된 상기 클록 포트; 및

상기 디바이스 식별 포트에 커플링된 디바이스 식별 생성 회로

를 포함하고,

상기 디바이스 식별 생성 회로는,

상기 디바이스 식별 포트에서 상기 통신 버스로부터 수신된 통신 버스 신호의 전기적 특성을 검출하고;

검출된 상기 전기적 특성에 기초하여 디바이스 식별을 생성하고;

디바이스 식별 메모리에 생성된 상기 디바이스 식별을 저장하도록

구성되는, 통신 버스에 커플링된 슬레이브 디바이스가 슬레이브 디바이스의 디바이스 식별을 재프로그래밍하는 것을 가능하게 하는 버스 통신 시스템.

**청구항 30**

제 29 항에 있어서,

복수의 교류 (alternative current; AC) 커플들로서, 상기 복수의 AC 커플들 중의 AC 커플은 상기 복수의 슬레이브 디바이스들의 각각의 상기 디바이스 식별 포트에 커플링되는, 상기 복수의 AC 커플들; 및

복수의 외부 저항기들로서, 상기 복수의 외부 저항기들 중의 외부 저항기는 상기 복수의 슬레이브 디바이스들의 각각의 상기 디바이스 식별 포트에 커플링되는, 상기 복수의 외부 저항기들

을 더 포함하는, 통신 버스에 커플링된 슬레이브 디바이스가 슬레이브 디바이스의 디바이스 식별을 재프로그래밍하는 것을 가능하게 하는 버스 통신 시스템.

**청구항 31**

제 30 항에 있어서,

복수의 스위치들로서, 상기 복수의 스위치들 중의 스위치는 상기 외부 저항기를 상기 복수의 슬레이브 디바이스들의 각각에 대한 슬레이브 디바이스의 상기 디바이스 식별 포트에 스위칭가능하게 커플링하도록 구성되는, 상기 복수의 스위치들; 및

상기 복수의 스위치들의 각각의 개방 및 폐쇄를 제어하도록 구성된 스위치 제어 라인

을 더 포함하고,

상기 마스터 디바이스는 상기 복수의 외부 저항기들 중 상기 외부 저항기의 상기 복수의 슬레이브 디바이스들의 각각에 대한 상기 디바이스 식별 포트에 대한 커플링을 제어하기 위해 상기 복수의 스위치들의 각각을 개방 또는 폐쇄하게 하도록 상기 스위치 제어 라인에서 제어 신호를 생성하도록 구성되는, 통신 버스에 커플링된 슬레이브 디바이스가 슬레이브 디바이스의 디바이스 식별을 재프로그래밍하는 것을 가능하게 하는 버스 통신 시스템.

**청구항 32**

제 31 항에 있어서,

상기 복수의 외부 저항기들은 상기 복수의 슬레이브 디바이스들 중에서의 각기의 슬레이브 디바이스와 상기 복수의 스위치들 중에서의 각기의 스위치 사이에 배치되는, 통신 버스에 커플링된 슬레이브 디바이스가 슬레이브 디바이스의 디바이스 식별을 재프로그래밍하는 것을 가능하게 하는 버스 통신 시스템.

**청구항 33**

제 31 항에 있어서,

상기 복수의 스위치들의 각각은 각기의 슬레이브 디바이스와 각기의 외부 저항기 사이에 배치되는, 통신 버스에 커플링된 슬레이브 디바이스가 슬레이브 디바이스의 디바이스 식별을 재프로그래밍하는 것을 가능하게 하는 버스 통신 시스템.

**청구항 34**

제 29 항에 있어서,

상기 슬레이브 디바이스를 상기 통신 버스에 동기화하기 위해 동기화 스트림을 식별하도록 구성되고;

상기 디바이스 식별 생성 회로는 상기 동기화 스트림의 식별 중에 상기 디바이스 식별 포트에서 상기 통신 버스로부터 수신된 상기 통신 버스 신호의 상기 전기적 특성을 검출하도록 구성되는, 통신 버스에 커플링된 슬레이브 디바이스가 슬레이브 디바이스의 디바이스 식별을 재프로그래밍하는 것을 가능하게 하는 버스 통신 시스템.

**청구항 35**

제 31 항에 있어서,

상기 마스터 디바이스는 Soundwire™ 마스터 디바이스로 구성되고, 상기 복수의 슬레이브 디바이스들은 복수의 Soundwire™ 오디오 슬레이브 디바이스들로 구성되는, 통신 버스에 커플링된 슬레이브 디바이스가 슬레이브 디바이스의 디바이스 식별을 재프로그래밍하는 것을 가능하게 하는 버스 통신 시스템.

**청구항 36**

제 35 항에 있어서,

상기 통신 버스는 Soundwire™ 통신 버스로 구성되고;

상기 디바이스 식별 생성 회로는 상기 디바이스 식별 포트에서 상기 Soundwire™ 통신 버스로부터 수신된 Soundwire™ 통신 버스 신호의 구성된 상기 통신 버스 신호의 상기 전기적 특성을 검출하도록 구성되는, 통신 버스에 커플링된 슬레이브 디바이스가 슬레이브 디바이스의 디바이스 식별을 재프로그래밍하는 것을 가능하게 하는 버스 통신 시스템.

**발명의 설명**

**기술 분야**

**우선권 주장**

본 출원은 "DEVICE IDENTIFICATION GENERATION IN ELECTRONIC DEVICES TO ALLOW EXTERNAL CONTROL OF DEVICE IDENTIFICATION FOR BUS COMMUNICATIONS IDENTIFICATION, AND RELATED SYSTEMS AND METHODS" 라는 발명의 명칭으로 2014 년 2 월 3 일에 출원된 미국 가출원 제 61/935,134 호에 대한 우선권을 주장하며, 이는 그 전체가

[0001]

[0002]

참조로서 본원에 포함된다.

[0003] 본 출원은 또한 "DEVICE IDENTIFICATION GENERATION IN ELECTRONIC DEVICES TO ALLOW EXTERNAL CONTROL OF DEVICE IDENTIFICATION FOR BUS COMMUNICATIONS IDENTIFICATION, AND RELATED SYSTEMS AND METHODS" 라는 발명의 명칭으로 2014 년 2 월 3 일에 출원된 미국 가출원 제 61/935,115 호에 대한 우선권을 주장하며, 이는 그 전체가 참조로서 본원에 포함된다.

[0004] 본 출원은 또한 "DEVICE IDENTIFICATION GENERATION IN ELECTRONIC DEVICES TO ALLOW EXTERNAL CONTROL OF DEVICE IDENTIFICATION FOR BUS COMMUNICATIONS IDENTIFICATION, AND RELATED SYSTEMS AND METHODS" 라는 발명의 명칭으로 2015 년 1 월 30 일에 출원된 미국 특허 출원 제 14/609,488 호에 대한 우선권을 주장하며, 이는 그 전체가 참조로서 본원에 포함된다.

[0005] **기술분야**

[0006] 본 개시물의 기술은 일반적으로 통신 버스와 통신하도록 구성된 전자 디바이스들에 관한 것으로, 좀더 구체적으로, 버스 충돌들을 피하기 위해 정의된 통신 프로토콜의 일부로서 통신 버스를 통해 그들의 식별 정보를 통신하도록 구성된 전자 디바이스들에 관한 것이다.

**배경 기술**

[0007] 비제한적인 예들로서 모바일 폰들 및 컴퓨터 태블릿들과 같은 전자 디바이스들은 무수한 이용들을 지원하며 사회에 걸쳐 확산되었다. 이러한 전자 디바이스들은 통상적으로 마이크론 및 스피커들을 포함한다. 전자 디바이스들에서 이용되는 통상적인 마이크론 및 스피커들은 각각의 디바이스에 접속하기 위한 전용의 두 개 (2) 의 포트 와이어링을 요구하는 아날로그 인터페이스들을 갖는다. 그러나, 전자 디바이스들은 통상적으로 다수의 마이크론들 및 스피커들과 같은 다수의 오디오 디바이스들을 포함시키기 시작했다. 따라서, 그러한 전자 디바이스들에서의 마이크론프로세서 또는 다른 제어 디바이스들이 공통 통신 버스를 통해 다수의 오디오 디바이스들에 오디오 데이터를 통신할 수 있는 것을 가능하게 하는 것이 바람직할 수도 있다. 이와 관련하여, 통신 버스를 통해 전자 디바이스에서의 상이한 오디오 디바이스들에 오디오 채널들과 관련된 디지털 데이터를 전송하기 위해 규정된 통신 프로토콜을 제공하는 것이 또한 바람직할 수도 있다.

[0008] 이와 관련하여, 도 1 은 전자 디바이스들로서 공통 통신 버스 (16) 에 통신가능하게 커플링된 하나 (1) 의 마스터 디바이스 (12) 및 네 (4) 개의 슬레이브 디바이스들 (14(1)-14(4)) 을 갖는 예시적인 시스템 (10) 의 블록도이다. 마스터 디바이스 (12) 는 통신 버스 (16) 를 통해 슬레이브 디바이스들 (14(1)-14(4)) 과 통신한다. 따라서, 시스템 (10) 에서, 데이터 충돌들을 피하도록 통신 버스 (16) 를 통한 비트레이트 미디어 스트림들의 전송을 위해 시간 분할 다중화된 (time division multiplexed; TDM) 프레임 구조가 이용된다. 마스터 디바이스 (12) 는 버스 통신들을 위해 슬레이브 디바이스들 (14(1)-14(4)) 의 각각에 송신 시간 슬롯을 할당한다. 따라서, 프로토콜은 슬레이브 디바이스들 (14(1)-14(4)) 의 각각이 "Device\_Id" 라고도 불리는 디바이스 식별을 통해서 마스터 디바이스 (12) 에 의해 식별되는 통신 버스 (16) 에 접속되는 것을 요구한다. 예를 들어, Device\_Id 는, 예를 들어, 오 (5) 비트와 같은 프로토콜에서 명시된 비트 길이를 가질 수도 있다. 슬레이브 디바이스들 (14(1)-14(4)) 의 상이한 Device\_Id들을 식별하는 것은 마스터 디바이스 (12) 가 통신 버스 (16) 에서의 데이터 충돌들을 피하도록 슬레이브 디바이스들 (14(1)-14(4)) 의 각각에 상이한 송신 시간 슬롯들을 할당하는 것을 가능하게 한다.

[0009] Device\_Id 는 전자 디바이스를 식별하는데 이용될 디폴트 디바이스 식별로서 제조사에 의해 전자 디바이스로 로딩될 것이다. 예를 들어, 도 1 에 도시된 바와 같이, Device\_Id (26(1)) 가 마스터 디바이스 (12) 에 로딩될 수 있다. Device\_Id들 (28(1)-28(4)) 은 각각의 슬레이브 디바이스들 (14(1)-14(4)) 에 로딩될 수 있다. 그러나, 동일한 Device\_Id (28) 가 상이한 슬레이브 디바이스들 (14(1)-14(4)) 에 로딩될 수 있는 것이 가능하다. 이러한 경우에, 동일한 Device\_Id (28) 를 갖는 슬레이브 디바이스들 (14(1)-14(4)) 은 동일한 Device\_Id (28) 로 마스터 디바이스 (12) 에 의해 식별되어 통신 버스 (16) 에서 데이터 충돌들을 야기할 것이다. 각각의 슬레이브 디바이스 (14(1)-14(4)) 가 고유한 Device\_Id (28(1)-28(4)) 를 갖는 것을 보장하는 한 가지 방법은 각각의 슬레이브 디바이스 (14(1)-14(4)) 가 생산 중에 고유한 Device\_Id 로 로딩되는 것을 보장하는 것이다. 동일한 제조사에 의해 제조된 다수의 슬레이브 디바이스들은 동일한 디바이스 식별을 가질 수도 있다. 고유한 Device\_Id들 (28) 을 제공하는 것은 보다 큰 디바이스 식별 저장 설비를 요구할 것이며, 이는 그렇지 않았다는 저-비용 디바이스였을 것의 비용들을 엄청나게 증가시킬 수도 있다. 또한, 슬레이브 디바이스들 (14(1)-14(4)) 이 상이한 제조사들에 의해 제조될지라도, 각각의 제조사가 그들의 슬레이브

디바이스들에 고유한 디바이스 식별을 사용할 것을 보장하는 것이 어렵거나 가능하지 않을 수도 있다.

[0010] 따라서 비용 효율적인 방식으로 슬레이브 전자 디바이스들의 고유한 식별을 가능하여 데이터 충돌들을 피하도록 공통 통신 버스를 사용하는 통신 시스템에서 제공되는 전자 디바이스들에 대한 고유한 디바이스 식별들을 제공하는 것이 바람직하다.

### 발명의 내용

#### 과제의 해결 수단

[0011] 상세한 설명에서 개시된 양태들은 버스 통신 식별을 위한 디바이스 식별의 선택 또는 재프로그래밍과 같은 외부 제어를 가능하게 하도록 전자 디바이스들에서의 디바이스 식별 생성을 포함한다. 관련된 시스템들 및 방법들이 또한 개시된다. 이러한 방식으로, 시스템에서 공통 통신 버스에 커플링된 전자 디바이스들의 디바이스 식별들은 버스 통신 충돌들을 피하기 위해 디바이스 식별들이 고유한 것을 보장하도록 선택되거나 재프로그래밍될 수 있다. 예를 들어, 버스 통신 시스템에서, 버스 통신 프로토콜은 커플링된 전자 디바이스들이 디바이스 식별을 통해서 마스터 전자 디바이스에 의해 식별되는 것을 요구할 수도 있다. 디바이스 식별은 통신 버스에서의 데이터 충돌들을 피하도록 슬레이브 디바이스들의 각각에 대한 상이한 송신 시간 슬롯들의 할당을 제어하는데 이용된다. 2 개 이상의 슬레이브 디바이스들이 동일한 디바이스 식별을 가지면, 마스터 디바이스가 그러한 슬레이브 디바이스들에 대해 동일한 송신 시간 슬롯을 할당함으로써, 버스 통신 충돌들을 야기할 것이다.

[0012] 본원에 개시된 소정의 양태들에서, 전자 디바이스에서의 디바이스 식별을 선택하거나 재프로그래밍하기 위해, 외부 소스가 제공된다. 비제한적인 예로서, 디바이스 식별이 선택되거나 재프로그래밍되는 전자 디바이스는 시스템에서 슬레이브 디바이스일 수도 있다. 외부 소스는 전자 디바이스에 전기적으로 커플링되어 전자 디바이스에서의 디바이스 식별 생성 회로를 갖는 회로를 폐쇄할 수 있다. 외부 소스에 의해 폐쇄되는 회로는 전자 디바이스에서의 디바이스 식별 생성 회로에 의해 검출가능한 바람직한 전기적 특성 (예를 들어, 전압, 저항, 커패시턴스) 을 제공한다. 디바이스 식별 생성 회로는 외부 소스에 의해 폐쇄된 회로의 검출된 전기적 특성들의 함수로서 디바이스 식별을 생성하도록 구성된다. 이는 외부 소스가 폐쇄된 회로의 전기적 특성을 제어하는 것에 기초하여 바람직한 디바이스 식별로 전자 디바이스의 디바이스 식별을 외부적으로 선택하거나 재프로그래밍하는 것을 가능하게 한다. 따라서, 전자 디바이스 (예를 들어, 애그리게이터) 의 제조사 이외의 엔티티들은 전자 디바이스 내의 디바이스 식별 생성 회로가 전자 디바이스의 저장된 디바이스 식별을 선택하거나 재프로그래밍하게 하도록 외부 소스를 제어할 수 있다. 이러한 방식으로, 시스템에서 공통 통신 버스에 커플링된 슬레이브 디바이스들의 디바이스 식별들의 고유성이, 원한다면, 버스 통신 충돌들을 피하도록 제공될 수 있다.

[0013] 이와 관련하여, 일 양태에서, 디바이스 식별을 재프로그래밍하도록 구성된 전자 디바이스가 제공된다. 전자 디바이스는 통신 버스에 커플링되도록 구성된 디바이스 식별 포트를 포함한다. 전자 디바이스는 또한 디바이스 식별 포트에 커플링된 디바이스 식별 생성 회로를 포함한다. 디바이스 식별 생성 회로는 디바이스 식별 포트에서 통신 버스로부터 수신된 통신 버스 신호의 전기적 특성을 검출하도록 구성된다. 디바이스 식별 생성 회로는 또한 검출된 전기적 특성에 기초하여 디바이스 식별을 생성하도록 구성된다. 디바이스 식별 생성 회로는 또한 디바이스 식별 메모리에 생성된 디바이스 식별을 저장하도록 구성된다.

[0014] 다른 양태에서, 전자 디바이스의 디바이스 식별을 재프로그래밍하도록 구성된 전자 디바이스가 제공된다. 전자 디바이스는 통신 버스에 커플링되도록 구성된 디바이스 식별 수단을 포함한다. 전자 디바이스는 또한 디바이스 식별 수단에 커플링된 디바이스 식별 생성 수단을 포함한다. 디바이스 식별 생성 수단은 디바이스 식별 수단에서 통신 버스로부터 수신된 통신 버스 신호의 전기적 특성을 검출하는 수단을 포함한다. 디바이스 식별 생성 수단은 또한 검출된 전기적 특성에 기초하여 디바이스 식별을 생성하는 수단을 포함한다. 디바이스 식별 생성 수단은 또한 디바이스 식별 메모리에 생성된 디바이스 식별을 저장하는 수단을 포함한다.

[0015] 다른 양태에서, 전자 디바이스의 디바이스 식별을 재프로그래밍하기 위한 전자 디바이스에 대한 방법이 제공된다. 방법은 통신 버스에 커플링된 디바이스 식별 포트에서 통신 버스로부터 수신된 통신 버스 신호의 전기적 특성을 검출하는 단계를 포함한다. 방법은 또한 통신 버스 신호의 검출된 전기적 특성에 기초하여 디바이스 식별을 생성하는 단계를 포함한다. 방법은 또한 디바이스 식별 메모리에 생성된 디바이스 식별을 저장하는 단계를 포함한다.

[0016]

다른 양태에서, 통신 버스에 커플링된 슬레이브 디바이스가 슬레이브 디바이스의 디바이스 식별을 재프로그래밍 하는 것을 가능하게 하는 버스 통신 시스템이 제공된다. 버스 통신 시스템은 데이터 라인 및 클록 라인으로 구성된 통신 버스를 포함한다. 버스 통신 시스템은 또한 마스터 데이터 포트 및 마스터 클록 포트에 구성된 마스터 디바이스를 포함하며, 마스터 디바이스는 데이터 라인에 커플링된 마스터 데이터 포트 및 클록 라인에 커플링된 마스터 클록 포트에 의해 통신 버스에 커플링된다. 버스 통신 시스템은 또한 복수의 슬레이브 디바이스들을 포함한다. 복수의 슬레이브 디바이스들의 각각은 통신 버스에 커플링된 데이터 포트 및 클록 포트를 포함하며, 여기서 데이터 포트 및 클록 포트 중 적어도 하나는 또한 디바이스 식별 포트를 포함한다. 데이터 포트는 통신 버스의 데이터 라인에 커플링되고, 클록 포트는 통신 버스의 클록 라인에 커플링된다. 복수의 슬레이브 디바이스들의 각각은 또한 디바이스 식별 포트에 커플링된 디바이스 식별 생성 회로를 포함한다. 디바이스 식별 생성 회로는 디바이스 식별 포트에서 통신 버스로부터 수신된 통신 버스 신호의 전기적 특성을 검출하도록 구성된다. 디바이스 식별 생성 회로는 또한 검출된 전기적 특성에 기초하여 디바이스 식별을 생성하도록 구성된다. 디바이스 식별 생성 회로는 또한 디바이스 식별 메모리에 생성된 디바이스 식별을 저장하도록 구성된다.

**도면의 간단한 설명**

[0017]

도 1 은 통신 버스에 통신가능하게 커플링된 하나 (1) 의 마스터 디바이스 및 네 (4) 개의 슬레이브 디바이스들을 갖는 예시적인 전자 디바이스 통신 시스템인 시스템의 블록도이다;

도 2a 는 통신 버스에 커플링될 수 있는 전자 디바이스인 예시적인 전자 디바이스의 상부 사시도이다;

도 2b 는 예시적인 핀-아웃 구성을 보이는 도 2a 에서의 예시적인 전자 디바이스의 하부 사시도이다;

도 3 은 전자 디바이스의 외부 핀에 인가되는 외부 전압 소스에 기초하여 디바이스 식별을 생성하고, 전자 디바이스에서의 새로운 생성된 디바이스 식별을 프로그래밍하도록 구성된 디바이스 식별 생성 회로를 갖는 도 2a 및 도 2b 의 전자 디바이스의 개략도이다;

도 4a 는 전자 디바이스의 외부 핀에 인가되는 외부의 가변 전압 소스의 전압 레벨에 기초하여 디바이스 식별을 생성하고, 전자 디바이스에서 생성된 디바이스 식별을 프로그래밍하도록 구성된 디바이스 식별 생성 회로를 갖는 도 2a 및 도 2b 의 전자 디바이스의 개략도이다;

도 4b 는 전자 디바이스의 외부 핀에 인가되는 외부의 가변 저항기의 저항에 기초하여 새로운 디바이스 식별을 생성하고, 전자 디바이스에서 새로운 생성된 디바이스 식별을 프로그래밍하도록 구성된 디바이스 식별 생성 회로를 갖는 대안적인 전자 디바이스의 개략도이다;

도 4c 는 전자 디바이스의 외부 핀에 인가되는 외부의 가변 커패시터의 커패시턴스에 기초하여 새로운 디바이스 식별을 생성하고, 전자 디바이스에서 새로운 생성된 디바이스 식별을 프로그래밍하도록 구성된 디바이스 식별 생성 회로를 갖는 대안적인 전자 디바이스의 개략도이다;

도 4d 는 전자 디바이스의 외부 핀에 인가되는 전기적 특성에 기초하여 전자 디바이스를 식별하는데 이용될 디바이스 식별을 선택하도록 구성된 디바이스 식별 선택 회로를 갖는 대안적인 전자 디바이스의 개략도이다;

도 5 는 예시적인 슬레이브 디바이스들을 포함하는 예시적인 버스 통신 시스템의 개략도이며, 각각의 슬레이브 디바이스들은 통신 버스의 공통 클록 라인에 커플링된 풀-업 또는 풀-다운 저항기들의 결과로서 기존의 CLOCK 핀들에 인가되는 전압에 기초하여 새로운 디바이스 식별을 생성하고, 슬레이브 디바이스에서의 새로운 생성된 디바이스 식별을 프로그래밍하도록 구성된 디바이스 식별 생성 회로를 갖는다;

도 6 은 통신 버스가 활성인 동안에 새로운 디바이스 식별을 생성하는 도 5 에서의 통신 버스에 커플링된 슬레이브 디바이스의 예시적인 프로세스의 플로차트이다;

도 7 은 예시적인 슬레이브 디바이스들을 포함하는 다른 예시적인 버스 통신 시스템의 개략도이며, 각각의 슬레이브 디바이스들은 통신 버스의 공통 데이터 라인에 커플링된 풀-업 또는 풀-다운 저항기들의 결과로서 기존의 DATA 핀들에 인가되는 전압에 기초하여 새로운 디바이스 식별을 생성하고, 디바이스에서의 새로운 생성된 디바이스 식별을 프로그래밍하도록 구성된 디바이스 식별 생성 회로를 갖는다;

도 8a 는 도 7 에서의 다른 예시적인 버스 통신 시스템의 개략도이나, 마스터 디바이스에 의한 디바이스 식별 중에 전력 레일을 통신 버스의 공통 데이터 라인에 커플링된 풀-업 또는 풀-다운 저항기들에 스위칭가능하게 커플링하고, 전력 소비를 감소시키기 위해 디바이스 식별 후에 전력 레일을 통신 버스의 공통 데이터 라인에 커플

링된 폴-업 또는 폴-다운 저항기들에 대해 디커플링하도록 제공된 스위치들을 갖는다;

도 8b 는 도 7 에서의 다른 예시적인 버스 통신 시스템의 개략도이나, 마스터 디바이스에 의한 디바이스 식별 중에 폴-업 또는 폴다운 저항기들을 통신 버스의 공통 데이터 라인에 스위칭가능하게 커플링하고, 전력 소비를 감소시키기 위해 디바이스 식별 후에 폴-업 또는 폴-다운 저항기들을 통신 버스의 공통 데이터 라인에 대해 디커플링하도록 제공된 스위치들을 갖는다;

도 9 는 예시적인 Soundwire™ 오디오 슬레이브 디바이스들을 포함하는 예시적인 Soundwire™ 버스 통신 시스템의 개략도이며, 각각의 Soundwire™ 오디오 슬레이브 디바이스들은 Soundwire™ 통신 버스의 공통 클록 라인에 커플링된 폴-업 또는 폴-다운 저항기들의 결과로서 기존의 CLOCK 핀들에 인가되는 전압에 기초하여 새로운 디바이스 식별을 생성하고, Soundwire™ 오디오 슬레이브 디바이스에서의 새로운 생성된 디바이스 식별을 프로그래밍하도록 구성된 디바이스 식별 생성 회로를 갖는다;

도 10 은 Soundwire™ 통신 버스가 활성화된 동안에 새로운 디바이스 식별을 생성하는 도 9 에서의 Soundwire™ 통신 버스에 커플링된 Soundwire™ 오디오 슬레이브 디바이스의 예시적인 프로세스의 플로차트이다.

**발명을 실시하기 위한 구체적인 내용**

[0018] 이하 도면들을 참조하여, 본 개시물의 여러 예시적인 양태들이 설명된다. 단어 "예시적인" 은 본원에서 "일 예, 사례, 또는 실례의 역할을 하는" 것을 의미하기 위해 이용된다. "예시적" 으로 본원에서 설명된 임의의 실시형태는 반드시 다른 실시형태들보다 바람직하거나 이로운 것으로 해석되지는 않는다.

[0019] 상세한 설명에서 개시된 양태들은 버스 통신 식별을 위한 디바이스 식별의 선택 또는 재프로그래밍과 같은 외부 제어를 가능하게 하도록 전자 디바이스들에서의 디바이스 식별 생성을 포함한다. 관련된 시스템들 및 방법들이 또한 개시된다. 이러한 방식으로, 시스템에서 공통 통신 버스에 커플링된 전자 디바이스들의 디바이스 식별들은 버스 통신 충돌들을 피하기 위해 디바이스 식별들이 고유한 것을 보장하도록 선택되거나 재프로그래밍 될 수 있다. 예를 들어, 버스 통신 시스템에서, 버스 통신 프로토콜은 커플링된 전자 디바이스들이 디바이스 식별을 통해서 마스터 전자 디바이스에 의해 식별되는 것을 요구할 수도 있다. 디바이스 식별은 통신 버스에서의 데이터 충돌들을 피하도록 슬레이브 디바이스들의 각각에 대한 상이한 송신 시간 슬롯들의 할당을 제어하는데 이용된다. 2 개 이상의 슬레이브 디바이스들이 동일한 디바이스 식별을 가지면, 마스터 디바이스가 그러한 슬레이브 디바이스들에 대해 동일한 송신 시간 슬롯을 할당함으로써, 버스 통신 충돌들을 야기할 것이다.

[0020] 본원에 개시된 소정의 양태들에서, 전자 디바이스에서의 디바이스 식별을 선택하거나 재프로그래밍하기 위해, 외부 소스가 제공된다. 비제한적인 예로서, 디바이스 식별이 선택되거나 재프로그래밍되는 전자 디바이스는 시스템에서 슬레이브 디바이스일 수도 있다. 외부 소스는 전자 디바이스에 전기적으로 커플링되어 전자 디바이스에서의 디바이스 식별 생성 회로를 갖는 회로를 폐쇄할 수 있다. 외부 소스에 의해 폐쇄되는 회로는 전자 디바이스에서의 디바이스 식별 생성 회로에 의해 검출가능한 바람직한 전기적 특성 (예를 들어, 전압, 저항, 커패시턴스) 을 제공한다. 디바이스 식별 생성 회로는 외부 소스에 의해 폐쇄된 회로의 검출된 전기적 특성들의 함수로서 디바이스 식별을 생성하도록 구성된다. 이는 외부 소스가 폐쇄된 회로의 전기적 특성을 제어하는 것에 기초하여 바람직한 디바이스 식별로 전자 디바이스의 디바이스 식별을 외부적으로 선택하거나 재프로그래밍하는 것을 가능하게 한다. 따라서, 전자 디바이스 (예를 들어, 애그리게이터) 의 제조사 이외의 엔티티들은 전자 디바이스 내의 디바이스 식별 생성 회로가 전자 디바이스의 저장된 디바이스 식별을 선택하거나 재프로그래밍하게 하도록 외부 소스를 제어할 수 있다. 이러한 방식으로, 시스템에서 공통 통신 버스에 커플링된 슬레이브 디바이스들의 디바이스 식별들의 고유성이, 원한다면, 버스 통신 충돌들을 피하도록 제공될 수 있다.

[0021] 이와 관련하여, 도 2a 는 이 예에서 오디오 전자 디바이스인, 버스 통신 디바이스의 형태인, 예시적인 전자 디바이스 (30) 의 상부 사시도이다. 전자 디바이스 (30) 는 프로토콜-기반 메시지들을 수신하여 통신하도록 구성된다. 전자 디바이스 (30) 는 통신 버스를 갖는 시스템에서 슬레이브 디바이스로서 제공될 수도 있다.

도 2b 는 예시적인 핀-아웃 구성을 보이는 도 2a 에서의 예시적인 전자 디바이스 (30) 의 하부 사시도이다. 도 2b 에 도시된 바와 같이, 전자 디바이스 (30) 는 전자 디바이스 (30) 에 대해 이루어질 전기적 접속들을 가능하게 하는 외부 핀들 (32) 을 포함한다. 예를 들어, 외부 전력 소스 (미도시) 는 전자 디바이스의 동작을 위해 전자 디바이스 (30) 에 전력을 제공하기 위해 전력 핀 (34) 및 접지 핀 (36) 에 커플링될 수도 있다.

도 2b 에서의 전자 디바이스 (30) 는 또한 데이터 포트로서의 DATA 핀 (38) 및 클록 포트로서의 CLOCK 핀

(40) 을 포함하며, 각각은 전자 디바이스 (30) 가 오디오 데이터를 수신하는 것을 가능하게 하기 위해 통신 버스의 각기의 데이터 라인 및 클럭 라인에 커플링되도록 구성된다. 예를 들어, 전자 디바이스 (30) 의 DATA 핀 (38) 및 CLOCK 핀 (40) 은 도 1 에서의 통신 버스 (16) 와 같은 통신 버스의 데이터 라인 및 클럭 라인에 커플링되도록 구성된다. 또한, 스테레오 시스템들에 있어서 왼쪽 또는 오른쪽 마이크론이 되도록 전자 디바이스 (30) 를 구성하기 위해 외부 풀-업 또는 풀-다운 저항기 (미도시) 에 대한 접속을 가능하게 하기 위해 컨퍼런스 핀 (42) 이 레거시 핀으로서 전자 디바이스 (30) 에 제공될 수도 있다. 컨퍼런스 핀 (42) 에 접속된 외부 풀-업 또는 풀-다운 저항기의 값에 기초하여, 전자 디바이스 (30) 의 DATA 핀 (38) 에 대한 통신 버스로 향하는 오디오 데이터는 따라서 왼쪽 또는 오른쪽 오디오 채널의 오디오일 수도 있다.

[0022] 도 2a 및 도 2b 를 계속 참조하면, 통신 버스에 접속되는 경우 전자 디바이스 (30) 가 식별되는 것을 가능하게 하는 것이 바람직할 수도 있다. 이와 관련하여, 전자 디바이스 (30) 는 본원에서 "Device\_Id (44)" 라고도 지칭되는 내부 디바이스 식별 메모리 (44) 를 포함한다. Device\_Id (44) 는 식별 번호 또는 다른 표시를 저장할 수 있는 저장 설비이다. 예를 들어, Device\_Id (44) 는 디바이스 식별로서 이진수를 제공하도록 구성되는 복수의 비트들로 구성될 수도 있다. 전자 디바이스 (30) 는 또한 다수의 디바이스 식별들을 포함할 수도 있다. 그러나, Device\_Id (44) 에 전자 디바이스 (30) 와 동일한 통신 버스에 커플링된 다른 전자 디바이스와 동일한 디바이스 식별이 로딩될 수 있는 것이 가능하다. 이러한 경우에, 위에서 논의된 바와 같이, 통신 버스에 커플링된 다른 전자 디바이스와 동일한 Device\_Id (44) 를 갖는 전자 디바이스 (30) 는 동일한 디바이스 식별로 식별될 것이며, 그렇게 함으로써 통신 버스에서 데이터 충돌들을 야기한다. 전자 디바이스 (30) 가 고유한 Device\_Id (44) 를 갖는 것을 보장하는 한 가지 방법은, 원하는 경우, 디폴트 Device\_Id (44) 를 고유한 디바이스 식별로 재프로그래밍하는 능력을 갖는 것이다.

[0023] 이와 관련하여, 도 2b 및 도 3 에 도시된 바와 같이, 전자 디바이스 (30) 는 Device\_Id (44) 가 재프로그래밍되는 것을 가능하게 하도록 디바이스 식별 포트를 제공하기 위한 추가 외부 핀 (46) 으로 구성된다. 이러한 예에서, 추가 외부 핀 (46) 은 디바이스 식별 핀이다. 도 3 에 도시된 바와 같이, 이러한 예에서의 전자 디바이스 (30) 에서의 Device\_Id (44) 는 비트 (d0) 와 같이 길이가 일 (1) 이진 비트이다. 따라서, 전자 디바이스 (30) 는 Device\_Id (44) (즉,  $2^1 = 2$ ) 와 같이 두 (2) 개의 상이한 디바이스 식별들로 프로그래밍될 수 있다. 전자 디바이스 (30) 의 Device\_Id (44) 가 재프로그래밍되는 것을 가능하게 하기 위해, 전자 디바이스 (30) 는 디바이스 식별 생성 회로 (48) 를 포함한다. 디바이스 식별 생성 회로 (48) 는 추가 외부 핀 (46) 에 커플링된다. 이 예에서 외부 저항기 (56) 인 외부 소스 (50) 는 추가 외부 핀 (46) 에 접속되어 디바이스 식별 생성 회로 (48) 를 갖는 회로 (52) 를 형성한다. 외부 저항기 (56) 에 의해 형성된 회로 (52) 는 전자 디바이스 (30) 에서의 디바이스 식별 생성 회로 (48) 에 의해 검출가능한 원하는 저항을 제공한다. 디바이스 식별 생성 회로 (48) 는 외부 저항기 (56) 의 저항 레벨에 기초하여 '1' 또는 '0' 의 디지털 값을 생성하도록 구성되는 버퍼 회로 (57) 를 포함한다. 이러한 방식으로, 외부 소스 (50) 는 외부 저항기 (56) 의 저항에 기초하여 원하는 디바이스 식별로 전자 디바이스 (30) 의 Device\_Id (44) 를 외부적으로 프로그래밍하거나 재프로그래밍할 수 있다. 또한, 다른 예로서, 디바이스 식별 생성 회로 (48) 는 또한 전자 디바이스 (30) 에 제공된 복수의 디바이스 식별들로부터 선택된 전자 디바이스 (30) 에서의 디바이스 식별을 재프로그래밍하도록 구성될 수 있다.

[0024] 따라서, 외부 소스 (50) 를 이용함으로써, 예를 들어, 애그리게이터와 같은 전자 디바이스 (30) 의 제조사 이외의 엔티티들이 전자 디바이스 (30) 내의 디바이스 식별 생성 회로 (48) 로 하여금 Device\_Id (44) 를 프로그래밍하거나 재프로그래밍하게 하도록 외부 소스 (50) 를 제어할 수 있다. 이러한 방식으로, 버스 통신 충돌들을 피하도록 전자 디바이스 (30) 를 식별하는 공통 통신 버스를 사용하는 시스템에서 사용되는 경우에 전자 디바이스 (30) 의 Device\_Id (44) 의 고유성이 제어될 수 있다.

[0025] 도 3 에서의 전자 디바이스 (30) 에서, 추가 외부 핀 (46) 은 외부 소스 (50) 를 디바이스 식별 생성 회로 (48) 에 커플링하기 위해 제공된다. 그러나, 이러한 솔루션은 외부 핀이 전자 디바이스 (30) 에서 제공되는 것을 요구한다. 오디오 디바이스에서 디바이스 식별을 재프로그래밍할 수 있도록 외부 소스를 가능하게 하기 위해 전자 디바이스에 외부 핀을 부가하는 것이 바람직하지 않을 수도 있다. 외부 소스를 이용하여 전자 디바이스의 디바이스 식별을 재프로그래밍할 수 있으면서 전자 디바이스에 추가 외부 핀을 부가하는 것을 피하기 위한 한 가지 기법은 외부 소스를 오디오 디바이스의 다른 기존의 핀에 커플링하는 것이다. 예를 들어, 외부 소스는 전자 디바이스 (30) 의 컨퍼런스 핀 (42) 에 커플링될 수 있으며, 여기서 컨퍼런스 핀 (42) 은, 도 2b 에 도시된 바와 같은, 디바이스 식별 포트로서 다른 목적에 맞게 고쳐진다. 이 예에서, 컨퍼런스 핀 (42) 은 디바이스 식별 핀을 제공한다. 컨퍼런스 핀 (42) 은, 왼쪽 또는 오른쪽 오디오 채널을 검출하는 컨퍼런스

스 핀의 원래의 목적으로 이용되는 대신에, 전자 디바이스 (30) 에서의 디바이스 식별을 재프로그래밍하기 위해 디바이스 식별 포트로서 이용되도록 풀-업 또는 풀-다운 저항기에 커플링되도록 구성되도록 전자 디바이스 (30) 에서 제공될 수도 있다.

[0026] 이와 관련하여, 도 4a 는 다른 예시적인 전자 디바이스 (30(1)) 를 도시한다. 전자 디바이스 (30(1)) 는 도 2a 내지 도 3 에서의 전자 디바이스 (30) 와 유사하며, 도 2a 내지 도 3 및 도 4a 사이의 공통 숫자들로 라벨링된 공통 엘리먼트들을 갖는다. 도 4a 에서의 전자 디바이스 (30(1)) 는 전자 디바이스 (30(1)) 의 Device\_Id (44(1)) 가 재프로그래밍되는 것을 가능하게 하기 위한 디바이스 식별 생성 회로 (48(1)) 를 포함한다. 디바이스 식별 생성 회로 (48(1)) 는, 전자 디바이스 (30(1)) 의 기존의 컨퍼런스 핀 (42) 에 대한, 이 예에서 외부 가변 전압 소스 (50(1)) 인, 외부 소스에 의해 인가되는 가변 전압 (Vref) 에 기초하여 새로운 Device\_Id (44(1)) 를 생성하도록 구성된다. 회로 (52(1)) 는 가변 전압 (Vref) 이 전자 디바이스 (30(1)) 에서의 디바이스 식별 생성 회로 (48(1)) 에 의해 검출되는 것을 가능하게 하는 외부 소스 (50(1)) 에 의해 형성된다.

[0027] 도 4a 에 도시된 바와 같이, 이 예에서 전자 디바이스 (30(1)) 에서의 Device\_Id (44(1)) 는 비트들 (d4-d0) 과 같이 길이가 다섯 (5) 개의 이진 비트들로 구성되는 다중-비트 디바이스 식별 메모리이다. 따라서, 전자 디바이스 (30(1)) 는 Device\_Id (44(1)) (즉,  $2^5 = 32$ ) 와 같이 서른 두 (32) 개의 상이한 디바이스 식별들로 프로그래밍될 수 있다. 디바이스 식별 생성 회로 (48(1)) 는 가변 전압 (Vref) 의 진폭 (즉, 전압 레벨) 에 기초하여 디지털 값을 생성하도록 구성되는 아날로그-대-디지털 컨버터 (analog-to-digital converter; ADC) (54) 를 포함한다. 가변 전압 (Vref) 은 ADC (54) 에 의해 상이한 전압 범위로 나뉜다. 이러한 방식으로, 외부 소스 (50(1)) 는 가변 전압 (Vref) 의 전압 레벨을 제어하는 것에 기초하여 원하는 디바이스 식별로 전자 디바이스 (30(1)) 의 Device\_Id (44(1)) 를 외부적으로 프로그래밍하거나 재프로그래밍할 수 있다.

[0028] 따라서, 외부 소스 (50(1)) 를 이용함으로써, 애플리케이션과 같은 전자 디바이스 (30(1)) 의 제조사 이외의 엔티티들이, 예를 들어, 전자 디바이스 (30(1)) 내의 디바이스 식별 생성 회로 (48(1)) 로 하여금 Device\_Id (44(1)) 를 프로그래밍하거나 재프로그래밍하게 하도록 외부 소스 (50(1)) 를 제어할 수 있다. 이러한 방식으로, 버스 통신 충돌들을 피하도록 슬레이브 디바이스들을 식별하는 공통 통신 버스를 사용하는 시스템에서 사용되는 경우에 전자 디바이스 (30(1)) 의 Device\_Id (44(1)) 의 고유성이 제어될 수 있다.

[0029] ADC (54) 이외의 회로들이 도 4a 에서의 전자 디바이스 (30(1)) 에 제공되어 가변 전압 (Vref) 의 전압 레벨에 기초하여 Device\_Id (44(1)) 를 생성할 수도 있다는 것에 유의한다. 비제한적인 예들은 동작적 증폭기, 내부 저항기, 및 내부 커패시터를 포함한다.

[0030] 도 4a 를 계속 참조하면, 디바이스 식별 생성 회로 (48(1)) 는 Device\_Id (44(1)) 의 비트들 (d4-d0) 의 모두 또는 서브세트를 재프로그래밍하도록 구성될 수 있다. 예를 들어, 도 4a 에서의 일 예로서, 전자 디바이스 (30(1)) 에서의 디바이스 식별 생성 회로 (48(1)) 에서의 ADC (54) 는 비트들 (d2-d0) 에 커플링되는 것으로 도시된다. 따라서, 이러한 시나리오에서의 디바이스 식별 생성 회로 (48(1)) 는 Device\_Id (44(1)) 의 모든 비트들 (d4-d0) 보다 적은 비트를 재프로그래밍하도록 구성된다. 이는 유리할 수도 있는데, 전자 디바이스 (30(1)) 에 대한 고유한 디바이스 식별을 제공하기 위해 Device\_Id (44(1)) 의 비트들 모두를 재프로그래밍하는 것이 가능할 것을 요구되지 않기 때문이다. 예를 들어, 표준을 따르게 될 수 있으며, 여기서 비트들 (d4 및 d3) 은 전자 디바이스 (30(1)) 의 유형을 식별하기 위해 오직 전자 디바이스 (30(1)) 의 제조사에 의해 디폴트 값들로 프로그래밍될 수 있는 프리픽스 (prefix) 값이다. 예를 들어, 테이블 (59) 에 보여지는 바와 같이, 비트들 (d4 및 d3) 이 '00' 로 프로그래밍되었다면, 이는 전자 디바이스 (30(1)) 가 마이크폰이라는 것을 의미하는 것으로 간주될 수 있다. 비트들 (d4 및 d3) 이 '01' 로 프로그래밍되었다면, 테이블 (59) 에 보여지는 바와 같이, 이는 전자 디바이스 (30(1)) 가 스피커라는 것을 의미하는 것으로 간주될 수 있다. 비트들 (d4 및 d3) 이 '10' 으로 프로그래밍되었다면, 테이블 (59) 에 보여지는 바와 같이, 이는 전자 디바이스 (30(1)) 가 코덱인 것을 의미하는 것으로 간주될 수 있다. 비트들 (d4 및 d3) 이 '11' 로 프로그래밍되었다면, 테이블 (59) 에 보여지는 바와 같이, 이는 전자 디바이스 (30(1)) 가 다른 오디오 디바이스인 것을 의미하는 것으로 간주될 수 있다. 이는 이러한 예에서의 ADC (54) 가 보다 적은 아날로그 값들을 디지털 값들로 컨버팅할 수 있는 보다 낮은 비용의 디바이스일 수 있다는 점에서 비용들을 절약할 수도 있다.

[0031] 도 4b 는 전자 디바이스 (30(2)) 의 외부 컨퍼런스 핀 (42) 에 인가되는 외부의 가변 저항기 (56(1)) 의 가변 저항 (Rref) 에 기초하여 새로운 Device\_Id (44(1)) 를 생성하도록 구성된 디바이스 식별 생성 회로 (48(2)) 를 갖는 전자 디바이스 (30(2)) 의 다른 예의 개략도이다. 전자 디바이스 (30(2)) 는 도 2a 내지 도 4a 와 도

4b 사이에서 공통 숫자들로 라벨링된 공통 엘리먼트들을 갖는 도 2a 내지 도 4a 에서의 전자 디바이스들 (30, 30(1)) 과 유사하다. 이러한 예에서, 전자 디바이스 (30(1)) 의 디바이스 식별 생성 회로 (48(1)) 에 가변 전압 (Vref) 을 인가하는 도 4a 에서의 외부 소스 (50(1)) 대신에, 외부의 가변 저항기 (56(1)) 의 가변 저항 (Rref) 을 컨퍼런스 핀 (42) 에 인가하도록 구성되는 대안적인 외부 소스 (50(2)) 가 도 4b 에서 제공된다. 외부 소스 (50(2)) 는 전력 레일 (Vdd) 또는 접지 (Vss) 를 외부의 가변 저항기 (56(1)) 에 인가하도록 구성된다. 외부의 가변 저항기 (56(1)) 의 가변 저항 (Rref) 은 가변 전압 (Vref) 을 생성하기 위해 전자 디바이스 (30(2)) 에서의 외부의 가변 저항기 (56(1)) 및 내부 저항기 (Rin) 에 걸친 전압을 나누는 분압기를 제공하는 회로 (52(2)) 를 형성할 것이다. 도 4a 에서의 전자 디바이스 (30(1)) 와 유사하게, 디바이스 식별 생성 회로 (48(2)) 의 ADC (54) 는 가변 전압 (Vref) 의 진폭 (즉, 전압 레벨) 에 기초하여 디지털 값을 생성하도록 구성된다. 가변 전압 (Vref) 은 ADC (54) 에 의해 상이한 전압 범위로 나뉜다. 이러한 방식으로, 외부 소스 (50(2)) 는 가변 전압 (Vref) 의 전압 레벨을 제어하는 것에 기초하여 원하는 디바이스 식별로 전자 디바이스 (30(2)) 의 Device\_Id (44(1)) 를 외부적으로 프로그래밍하거나 재프로그래밍할 수 있다.

[0032] 도 4c 는 전자 디바이스 (30(3)) 의 컨퍼런스 핀 (42) 에 인가되는 외부의 가변 커패시터 (58(1)) 의 커패시턴스 (Cref) 에 기초하여 새로운 Device\_Id (44(1)) 를 생성하도록 구성된 디바이스 식별 생성 회로 (48(3)) 를 갖는 전자 디바이스 (30(3)) 의 다른 예의 개략도이다. 전자 디바이스 (30(3)) 는 도 2a 내지 도 4a 와 도 4c 사이에서 공통 숫자들로 라벨링된 공통 엘리먼트들을 갖는 도 2a 내지 도 4a 에서의 전자 디바이스들 (30, 30(1)) 과 유사하다. 이러한 예에서, 전자 디바이스 (30(2)) 의 디바이스 식별 생성 회로 (48(2)) 에 가변 전압 (Vref) 을 인가하는 도 4b 에서의 외부 소스 (50(2)) 대신에, 외부의 가변 커패시터 (58(1)) 의 가변 커패시턴스 (Cref) 를 컨퍼런스 핀 (42) 에 인가하도록 구성되는 대안적인 외부 소스 (50(3)) 가 도 4c 에서 제공된다. 외부 소스 (50(3)) 는 전력 레일 (Vdd) 또는 접지 (Vss) 를 외부의 가변 커패시터 (58(1)) 에 인가하도록 구성된다. 외부의 가변 커패시터 (58(1)) 의 가변 커패시턴스 (Cref) 는 외부의 가변 커패시터 (58(1)) 의 가변 커패시턴스 (Cref) 를 디바이스 식별 생성 회로 (48(3)) 에 커플링하는 회로 (52(3)) 를 형성할 것이다. 디바이스 식별 생성 회로 (48(3)) 는 외부의 가변 커패시터 (58(1)) 의 충전 시간을 측정함으로써 가변 커패시턴스 (Cref) 를 검출하도록 구성된다. 검출된 가변 커패시턴스 (Cref) 는 디바이스 식별 생성 회로 (48(3)) 의 ADC (54) 에 의해 이용되어 외부의 가변 커패시터 (58(1)) 의 가변 커패시턴스 (Cref) 에 기초하여 디지털 값을 생성할 수 있다.

[0033] 도 4a 내지 도 4c 에서의 전자 디바이스 (30(1)-30(3)) 의 다른 예들에서, 전자 디바이스 (30) 에는 저항, 인덕턴스, 또는 커패시턴스 이외의 다른 전기적 특성에 기초하여 새로운 Device\_Id (44) 를 생성하도록 구성되는 대안적인 디바이스 식별 생성 회로 (48) 가 제공될 수도 있다는 것에 유의한다. 예를 들어, 전기적 특성은 외부 소스 (50) 에 의해 전자 디바이스 (30) 의 디바이스 식별 생성 회로 (48) 에 인가되는 외부 신호의 주파수일 수도 있다. 예를 들어, 외부 신호는, 하기에서 논의되는 바와 같이, 데이터 신호 또는 클럭 신호를 포함하는 통신 버스 신호일 수도 있다. 디바이스 식별 생성 회로 (48) 는 ADC (54) 에 의해 이용될 외부 신호의 주파수를 측정하여 그러한 주파수에 기초하여 디지털 값을 생성하도록 구성될 수도 있다.

[0034] 전자 디바이스가 예컨대 제조사에 의해 사전에 전자 디바이스 내에 프로그래밍된 미리 규정된 디바이스 식별자들을 전자 디바이스에 대한 디바이스 식별로서 선택하는 것을 가능하게 하는 것이 또한 바람직할 수도 있다. 이러한 특징은, 위에서 설명된 전자 디바이스들 (30-30(3)) 에서 제공되는 바와 같이, 전자 디바이스가 전자 디바이스의 디바이스 식별이 재프로그래밍되는 것을 가능하게 하도록 구성되는 것 대신에 또는 이에 더해 제공될 수 있다. 이와 관련하여, 도 4d 는 디바이스 식별 포트로서 제공되는 디바이스 식별 핀으로서 컨퍼런스 핀 (42) 에 인가되는 전기적 특성에 기초하여 전자 디바이스 (30(4)) 를 식별하기 위해 이용될 디바이스 식별을 선택하도록 구성된 대안적인 전자 디바이스 (30(4)) 의 개략도이다. 도 4d 에서의 외부 소스 (50(4)) 가 회로 (52(4)) 에서 검출될 수 있는 전기적 특성을 생성할 수 있는 방식은 위에서 그리고 그 안에서 설명된 예들 중 임의의 것에서 제공된 것과 동일할 수 있고, 따라서 다시 설명되지 않을 것이다.

[0035] 그러나, 도 4d 에서의 전자 디바이스 (30(4)) 에서, 디바이스 식별 선택 회로 (55) 는 디바이스 식별 생성 회로에 대한 대안으로서 제공된다. 디바이스 식별 선택 회로 (55) 는 위에서 설명된 유사한 디바이스 식별 생성 회로들 (48-48(3)) 과 ADC (54) 를 포함한다. 컨퍼런스 핀 (42) 에서의 외부 소스 (50(4)) 에 의해 생성된 전기적 특성은 디바이스 식별 선택 회로 (55) 에 의해 검출될 수 있다. 디바이스 식별 선택 회로 (55) 의 ADC (54) 는 디바이스 식별 선택 회로 (55) 에 의해 검출된 전기적 특성에 기초하여 디지털 값을 생성하도록 구성된다. ADC (54) 는 저 비용 ADC 일 수도 있다. 각각 미리-저장된 Device\_Id들 (44(2)-44(5)) 을 갖는, 복수의 디바이스 식별자들 (Id3-Id0) 중 하나를 선택하기 위해 복수의 디코더 라인들 (61) 중 하나를 선택

하기 위해 ADC (54) 에 의해 생성된 디지털 값을 수신하고 이용하도록 구성되는 디바이스 식별 선택 회로 (55) 내에 디코더 (63) 가 제공된다. 일 양태에서, Device\_Id들 (44(2)-44(5)) 의 각각은 다른 것들에 대해 고유하다. 디바이스 식별자들 (Id3-Id0) 의 각각은 바람직한 임의의 수의 비트들로 구성될 수도 있다. 선택된 디바이스 식별자 (Id3-Id0) 는 전자 디바이스 (30(4)) 에 대한 디바이스 식별로서 이용될 수 있다. 이러한 예에서, 네 (4) 개의 Device\_Id들 (44(2)-44(5)) 이 있기 때문에, 디코더 (63) 는 2-4 디코더이며, 여기서 디코더 (63) 는 ADC (54) 로부터 이 (2) 비트 디지털 값을 수신하도록 구성된다.

[0036] 따라서, 요약하면, 도 4d 의 전자 디바이스 (30(4)) 에서, 이러한 예에서는 디바이스 식별이 재프로그래밍가능하지 않지만, 선택가능한 복수의 Device\_Id들 (44(2)-44(5)) 을 제공함으로써, 전자 디바이스 자신을 식별하기 위해 전자 디바이스 (30(4)) 에 의해 이용될 디바이스 식별은 외부 소스 (50(4)) 를 통해서 택해질 수 있다. 디바이스 식별이 재프로그래밍되거나 선택되게 하는, 위에서 설명된 전자 디바이스들 (30-30(4)) 과 같은 전자 디바이스에 적용되는 외부 소스는 또한 재프로그래밍될 전자 디바이스와 공통 통신 버스에 커플링된 다른 전자 디바이스에 의해 제공될 수도 있다.

[0037] 이와 관련하여, 도 5 는 예시적인 버스 통신 시스템 (60(1)) 의 개략도이다. 버스 통신 시스템 (60(1)) 은 통신 버스 (66) 에 커플링된 예시적인 슬레이브 디바이스들 (62(1)-62(N)) 및 마스터 디바이스 (64) 를 포함하며, 여기서 'N' 은 슬레이브 디바이스들 (62) 의 개수를 뜻한다. 마스터 디바이스 (64) 및/또는 슬레이브 디바이스들 (62(1)-62(N)) 은, 비제한적인 예들로서, 별도의 컴포넌트들에서 제공되거나 동일한 전자 보드 상에 위치될 수도 있다. 도 5 에서의 버스 통신 시스템 (60(1)) 이 예시적인 시스템이긴 하나, 버스 통신 시스템 (60(1)) 은 또한 시스템의 프로토콜의 일부로서 통신 버스에 커플링된 슬레이브 디바이스들의 디바이스 식별을 필요로 하는 통신 버스를 포함하는 임의의 다른 시스템일 수도 있다. 슬레이브 디바이스들 (62(1)-62(N)) 의 각각은 위에서 설명된 디바이스 식별 생성 회로들 같을 수 있는 디바이스 식별 생성 회로 (48(1)-48(N)) 를 갖는다.

[0038] 도 5 를 계속 참조하면, 디바이스 식별 생성 회로들 (48(1)-48(N)) 은 통신 버스 신호 (65) 에 인가된 가변 전압들 (Vref(1)-Vref(N)) 에 기초하여 그것들의 각각의 슬레이브 디바이스들 (62(1)-62(N)) 에 대한 새로운 Device\_Id (미도시) 를 생성하도록 구성된다. 이러한 예에서, 슬레이브 디바이스 (62(1)-62(N)) 에 대한 새로운 Device\_Id 를 생성하는데 이용된 통신 버스 신호 (65) 는 통신 버스 클록 신호 (67) 이다. 통신 버스 클록 신호 (67) 는 통신 버스 (66) 의 공통 클록 라인 (70) 에 커플링된 외부 폴-업 또는 폴-다운 저항기들 (Rext(1)-Rext(N)) 의 결과로서 각각의 슬레이브 디바이스들 (62(1)-62(N)) 의 기존의 클록 핀들 (68(1)-68(N)) 에 어서트된다 (assert). 가변 전압들 (Vref(1)-Vref(N)) 은 클록 핀들 (68(1)-68(N)) 및 마스터 클록 핀 (72) 으로서 제공된 마스터 클록 포트에 커플링되는, 클록 라인 (70) 에 인가된 통신 버스 클록 신호 (67) 의 일정한 토글링 레이트의 결과로서 생성된다. 교류 (AC) 커플들 (74(1)-74(N)) 이 통신 버스 클록 신호 (67) 의 AC 성분을 필터링하기 위해 클록 라인 (70) 에 제공되고 커플링되어, 통신 버스 클록 신호 (67) 의 직류 (DC) 성분이 외부 저항기들 (Rext(1)-Rext(N)) 에 인가되어 고유한 가변 전압들 (Vref(1)-Vref(N)) 을 생성한다. 이와 관련하여, 외부 저항기들 (Rext(1)-Rext(N)) 은 가변 전압들 (Vref(1)-Vref(N)) 이 디바이스 식별 생성 회로들 (48(1)-48(N)) 내의 ADC 들로 하여금 고유한 디바이스 식별들 (예를 들어, Device\_Id들) 을 생성하도록 상이한 디지털 출력 값들을 생성하게 하도록 고유한 저항 값들을 갖도록 택해질 수 있다. 대안적으로, 다른 예로서, 가변 전압들 (Vref(1)-Vref(N)) 은 외부 저항기들 (Rext(1)-Rext(N)) 에 인가된 통신 버스 (66) 의 일부로서의 제어 신호 (미도시) 를 토글링하는 결과로서 생성될 수 있다.

[0039] 도 5 에서의 버스 통신 시스템 (60(1)) 에서의 슬레이브 디바이스들 (62(1)-62(N)) 이 그것들의 각각의 디바이스 식별들을 프로그래밍하거나 재프로그래밍하는 것을 가능하게 하는 한편 통신 버스 (66) 가 마스터 디바이스 (64) 의 마스터 데이터 핀 (82) 으로부터의 버스 통신 데이터를 액티브하게 라우팅하는 것이 바람직할 수도 있다. 이러한 방식으로, 디바이스 식별을 프로그래밍하거나 재프로그래밍하지 않는 슬레이브 디바이스들 (62(1)-62(N)) 은 계속 동작할 수 있다. 예를 들어, 슬레이브 디바이스 (62(1)) 가 통신 버스 (66) 에 이미 커플링된 후에 슬레이브 디바이스 (62(N)) 가 통신 버스 (66) 에 추가되어 통신 버스 (66) 를 통해 마스터 디바이스 (64) 와 통신 데이터를 액티브하게 수신하고 교환할 수도 있다.

[0040] 이와 관련하여, 도 6 은 통신 버스 (66) 가 정렬된 시퀀스에서 활성인 동안에 새로운 디바이스 식별을 생성하는 도 5 에서의 통신 버스 (66) 에 커플링된 슬레이브 디바이스 (62) 의 예시적인 프로세스 (100) 의 플로차트이다. 도 6 을 참조하면, 슬레이브 디바이스 (62) 는 통신 버스 (66) 에 커플링된 후에 웨이크 업한다 (블록 102). 예를 들어, 슬레이브 디바이스 (62) 는 파워 온된 후에 웨이크 업 할 수도 있다. 슬레이브 디바이스 (62) 는 그 다음에 통신 버스 (66) 에서의 버스 활동들을 청취하고 동기화 스트림을 식별하여

통신 버스 (66) 에 동기화한다 (블록 104). 예를 들어, 슬레이브 디바이스 (62) 는 통신 버스 (66) 에서의 슬레이브 디바이스 상태 리포트들을 청취할 수도 있다. 또한, 슬레이브 디바이스 (62) 는, 이전에 설명된 바와 같이, 통신 버스 신호 (65) 로부터 예상되는 패턴들을 필터링하고, 통신 버스 신호 (65) 의 전기적 특성(들)을 측정하여 슬레이브 디바이스의 디바이스 식별 (Device\_Id) 을 프로그래밍하거나 재프로그래밍한다 (블록 106). 예를 들어, 도 5 에서의 버스 통신 시스템 (60(1)) 에서, 통신 버스 신호 (65) 는 통신 버스 클록 신호 (67) 이다. 따라서, 슬레이브 디바이스 (62) 는 도 5 의 예에서의 통신 버스 클록 신호 (67) 의 전기적 특성(들)을 측정하여 슬레이브 디바이스의 디바이스 식별 (Device\_Id) 을 프로그래밍한다.

[0041] 도 6 을 계속 참조하면, 버스 통신 준비 시간을 감소시키기 위해 병렬 동작들로, 슬레이브 디바이스 (62) 가 블록 104 에서 통신 버스 (66) 에서의 버스 활동들을 청취하는 동안에, 슬레이브 디바이스 (62) 가 블록 106 에서 통신 버스 신호 (65) 로부터 예상되는 패턴들을 필터링하고 통신 버스 신호 (65) 의 전기적 특성(들)을 측정하도록 구성될 수도 있다. 이러한 방식으로, 슬레이브 디바이스 (62) 가 통신 버스 (66) 에서 통신할 준비가 되는 경우, 슬레이브 디바이스 (62) 는 슬레이브 디바이스의 새로운 디바이스 식별 (Device\_Id) 과 함께 통신 버스 (66) 에서의 슬레이브 디바이스의 존재를 보고할 수 있다 (블록 108). 슬레이브 디바이스 (62) 는 그 다음에 슬레이브 디바이스의 새롭게 프로그래밍된 디바이스 식별을 이용하여 통신 버스 (66) 에서의 버스 통신들에 참여한다 (블록 110).

[0042] 통신 버스 신호 (65) 로서 데이터 신호의 전기적 특성(들)을 측정함으로써 슬레이브 디바이스 (62) 가 슬레이브 디바이스의 디바이스 식별을 프로그래밍하거나 재프로그래밍하는 것을 가능하게 하는 것이 또한 바람직할 수도 있다. 이와 관련하여, 도 7 은, 도 5 에서 제공된 바와 같이, 통신 버스 (66) 에 커플링된 슬레이브 디바이스들 (62(1)-62(N)) 및 마스터 디바이스 (64) 를 포함하는 다른 예시적인 버스 통신 시스템 (60(2)) 의 개략도이다. 'N' 은 슬레이브 디바이스들 (62) 의 개수를 뜻한다. 도 7 에서의 버스 통신 시스템 (60(2)) 은 또한 시스템의 프로토콜의 일부로서 통신 버스에 커플링된 슬레이브 디바이스들의 디바이스 식별을 필요로 하는 통신 버스를 포함하는 임의의 다른 시스템일 수도 있다. 디바이스 식별 생성 회로들 (48(1)-48(N)) 은, 외부 풀-업 또는 풀-다운 저항기 (Rext(1)-Rext(N)) 가 통신 버스 (66) 의 공통 데이터 라인 (76) 에 커플링된 결과로서, 각기 기존의 데이터 핀들 (80(1)-80(N)) 에 인가된 바와 같은 가변 전압들 (Vref(1)-Vref(N)) 에 기초하여 그것들의 각기의 슬레이브 디바이스 (62(1)-62(N)) 에 대한 새로운 Device\_Id 를 생성하도록 구성된다. 가변 전압들 (Vref(1)-Vref(N)) 은 데이터 핀들 (80(1)-80(N)) 및 마스터 데이터 핀 (82) 으로서 제공된 마스터 데이터 포트에 커플링된 데이터 라인 (76) 에 인가된 통신 버스 데이터 신호 (78) 의 토글링의 결과로서 생성된다. 도 5 에서의 버스 통신 시스템 (60(1)) 에서 제공된 바와 같이, AC 커플들 (74(1)-74(N)) 이 데이터 라인 (76) 에 제공되고 커플링되어 통신 버스 데이터 신호 (78) 의 AC 성분을 필터링하여, 통신 버스 데이터 신호 (78) 의 DC 성분이 외부 저항기들 (Rext(1)-Rext(N)) 에 인가되어 고유한 가변 전압들 (Vref(1)-Vref(N)) 을 생성한다. 이와 관련하여, 외부 저항기들 (Rext(1)-Rext(N)) 은 디바이스 식별 생성 회로들 (48(1)-48(N)) 내의 ADC 들로 하여금 고유한 Device\_Id 들을 생성하도록 상이한 디지털 출력 값들을 생성하게 하도록 가변 전압들 (Vref(1)-Vref(N)) 을 야기하는 고유한 저항 값들을 갖도록 택해질 수 있다.

[0043] 통신 버스 (66) 가 활성화된 동안에 새로운 디바이스 식별을 생성하기 위해 통신 버스 (66) 에 커플링된 슬레이브 디바이스 (62) 의 도 6 에서의 프로세스는 또한 도 7 에서의 버스 통신 시스템 (60(2)) 에서의 슬레이브 디바이스들 (62(1)-62(N)) 에 의해 사용될 수도 있다.

[0044] 도 8a 는 도 7 에서의 버스 통신 시스템 (60(2)) 과 유사한 다른 예시적인 버스 통신 시스템 (60(3)) 의 개략도이다. 도 8a 에서의 버스 통신 시스템 (60(3)) 에서, 스위치들 (SW(1)-SW(N)) 은 Vdd 또는 Vss 전력 레일을 외부 저항기들 (Rext(1)-Rext(N)) 에 스위칭가능하게 커플링하기 위해 각기의 외부 저항기들 (Rext(1)-Rext(N)) 과 Vdd 또는 Vss 사이에 제공되고 배치된다. 슬레이브 디바이스들 (62(1)-62(N)) 의 Device\_Id 들을 재프로그래밍할 것이 마스터 디바이스 (64) 에 의해 요구되는 경우, 스위치들 (SW(1)-SW(N)) 은 외부 저항기들 (Rext(1)-Rext(N)) 을 Vdd 또는 Vss 에 커플링하기 위해 폐쇄되도록 마스터 디바이스 (64) 에 커플링된 스위치 제어 라인 (84) 에 의해 제어될 수 있다. 마찬가지로, 마스터 디바이스 (64) 가 슬레이브 디바이스들 (62(1)-62(N)) 의 Device\_Id 들을 재프로그래밍한 후에, 스위치들 (SW(1)-SW(N)) 은 외부 저항기들 (Rext(1)-Rext(N)) 을 Vdd 또는 Vss 와 디커플링하기 위해 개방되도록 마스터 디바이스 (64) 에 커플링된 스위치 제어 라인 (84) 에 의해 제어될 수 있다. 이러한 방식으로, 슬레이브 디바이스들 (62(1)-62(N)) 의 Device\_Id 들이 프로그래밍되지 않는 경우, 외부 저항기들 (Rext(1)-Rext(N)) 은 Vdd 또는 Vss 로부터 디커플링되어 외부 저항기들 (Rext(1)-Rext(N)) 에 의해 전력이 소멸되지 않음으로써, 전력을 절약한다.

[0045] 통신 버스 (66) 가 활성화된 동안에 새로운 디바이스 식별을 생성하기 위해 통신 버스 (66) 에 커플링된 슬레이브

디바이스 (62) 의 도 6 에서의 프로세스는 또한 도 8a 에서의 버스 통신 시스템 (60(3)) 에서의 슬레이브 디바이스들 (62(1)-62(N)) 에 의해 사용될 수도 있다.

[0046] 도 8b 는 도 8a 에서의 버스 통신 시스템 (60(3)) 과 유사한 다른 예시적인 버스 통신 시스템 (60(4)) 의 개략도이다. 그러나, 스위치들 (SW(1)-SW(N)) 은 Vdd 또는 Vss 전력 레일을 외부 저항기들 (Rext(1)-Rext(N)) 에 스위칭가능하게 커플링하기 위해 데이터 핀들 (80(1)-80(N)) 과 각기의 외부 저항기들 (Rext(1)-Rext(N)) 사이에 제공되고 배치된다. 예컨대, 초기화 프로세스 또는 슬레이브 디바이스 (62) 발견 프로세스 중에, 슬레이브 디바이스들 (62(1)-62(N)) 의 Device\_Id들을 재프로그래밍할 것이 마스터 디바이스 (64) 에 의해 요구되는 경우, 스위치들 (SW(1)-SW(N)) 은 데이터 핀들 (80(1)-80(N)) 을 각기의 외부 저항기들 (Rext(1)-Rext(N)) 에 커플링하기 위해 폐쇄되도록 마스터 디바이스 (64) 에 커플링된 스위치 제어 라인 (84) 에 의해 제어될 수 있다. 마찬가지로, 마스터 디바이스 (64) 가 슬레이브 디바이스들 (62(1)-62(N)) 의 Device\_Id들을 재프로그래밍한 후에, 스위치들 (SW(1)-SW(N)) 은 데이터 핀들 (80(1)-80(N)) 을 각기의 외부 저항기들 (Rext(1)-Rext(N)) 로부터 디커플링하기 위해 개방되도록 마스터 디바이스 (64) 에 커플링된 스위치 제어 라인 (84) 에 의해 제어될 수 있다. 이러한 방식으로, 슬레이브 디바이스들 (62(1)-62(N)) 의 Device\_Id들이 프로그래밍되지 않는 경우, 외부 저항기들 (Rext(1)-Rext(N)) 은 Vdd 또는 Vss 로부터 디커플링되어 외부 저항기들 (Rext(1)-Rext(N)) 에 의해 전력이 소멸되지 않음으로써, 전력을 절약한다.

[0047] 통신 버스 (66) 가 활성인 동안에 새로운 디바이스 식별을 생성하기 위해 통신 버스 (66) 에 커플링된 슬레이브 디바이스 (62) 의 도 6 에서의 프로세스는 또한 도 8b 에서의 버스 통신 시스템 (60(4)) 에서의 슬레이브 디바이스들 (62(1)-62(N)) 에 의해 사용될 수도 있다.

[0048] 버스 통신 식별을 위한 디바이스 식별의 선택 또는 재프로그래밍과 같은 외부 제어를 가능하게 하기 위해 전자 디바이스들에서 디바이스 식별 생성을 제공하는 예들은 상이한 유형의 통신 버스들을 사용하는 상이한 통신 시스템들에서 제공될 수 있다. 다른 통신 시스템들은 또한 통신 버스에 통신가능하게 커플링된 전자 디바이스들이 고유한 디바이스 식별들을 가질 것을 요구할 수도 있다.

[0049] 이와 관련하여, MIPI® Alliance 는 전자 디바이스 내의 상이한 오디오 디바이스들에 오디오 채널들과 관련되는 디지털 데이터를 전송하기 위한 통신 프로토콜로서 SoundWire™ 를 최근에 발표했다. 본원에서 이용되는 바와 같이, SoundWire™ 사양은 적어도, 2014 년 10 월 29 일에 공개된 SOUNDWIRE 사양 버전 8, 수정본 04 를 의미하고자 하며, 이는 그 전체가 참조로서 본원에 포함된다. SoundWire™ 에서, 하나의 SoundWire™ 마스터 인터페이스는 마스터 전자 디바이스 ("마스터 디바이스") 를 허용하거나 그에 통신 가능하게 커플링된 것을 모니터링하여, SoundWire™ 슬레이브 인터페이스에 커플링된 하나 이상의 슬레이브 전자 디바이스들 ("슬레이브 디바이스들") 과 공통 통신 버스를 통해 통신한다. 마스터 디바이스는 두 (2) 개의 물리적 신호들: SoundWire™ 통신 버스의, 공통 클럭 와이어를 통해 통신되는 클럭 신호, 및 공통 데이터 와이어를 통신되는 데이터 신호를 이용하여 슬레이브 디바이스들과 통신한다. 따라서, SoundWire™ 시스템에서, 데이터 충돌들을 피하도록 공통 SoundWire™ 통신 버스를 통한 비트레이트 미디어 스트림들의 전송을 위해 시간 분할 다중화된 (TDM) 프레임 구조가 이용된다. 마스터 디바이스는 버스 통신들을 위해 슬레이브 디바이스들의 각각에 송신 시간 슬롯을 할당한다. 따라서, SoundWire™ 프로토콜은 SoundWire™ 통신 버스에 접속된 슬레이브 디바이스들의 각각이 고유한 디바이스 식별을 통해서 마스터 디바이스에 의해 식별될 것을 요구할 수도 있다.

[0050] 이와 관련하여, 도 9 는 예시적인 SoundWire™ 버스 통신 시스템 (60(5)) 의 개략도이다. SoundWire™ 버스 통신 시스템 (60(5)) 은 SoundWire™ 통신 버스 (66S) 에 커플링된 예시적인 SoundWire™ 오디오 슬레이브 디바이스들 (62S(1)-62S(N)) 및 마스터 디바이스 (64S) 를 포함하며, 여기서 'N' 은 SoundWire™ 오디오 슬레이브 디바이스 (62S(1)-62S(N)) 의 개수를 뜻한다. SoundWire™ 마스터 디바이스 (64S) 및/또는 SoundWire™ 오디오 슬레이브 디바이스들 (62S(1)-62S(N)) 은, 비제한적인 예들로서, 별도의 컴포넌트들에서 제공되거나 동일한 전자 보드 상에 위치될 수도 있다. SoundWire™ 오디오 슬레이브 디바이스들 (62S(1)-62S(N)) 의 각각은 도 5 에서의 위에서 설명된 디바이스 식별 생성 회로들 (48(1)-48(N)) 과 같을 수 있는 디바이스 식별 생성 회로 (48S(1)-48S(N)) 를 갖는다.

[0051] 도 9 를 계속 참조하면, 디바이스 식별 생성 회로들 (48S(1)-48S(N)) 은 SoundWire™ 통신 버스 신호 (65S) 에 인가된 가변 전압들 (Vref(1)-Vref(N)) 에 기초하여 그것들의 각기의 SoundWire™ 오디오 슬레이브 디바이스들 (62S(1)-62S(N)) 에 대한 새로운 Device\_Id (미도시) 를 생성하도록 구성된다. 이러한 예에서, SoundWire™ 오디오 슬레이브 디바이스 (62S(1)-62S(N)) 에 대한 새로운 Device\_Id 를 생성하는 이용된 SoundWire™ 통신 버스 신호 (65S) 는 통신 버스 클럭 신호 (67S) 이다. 통신 버스 클럭 신호 (67S) 는 외부 풀-업 또는

플-다운 저항기들 (Rext(1)-Rext(N)) 이 SoundWire™ 통신 버스 (66S) 의 공통 클록 라인 (70S) 에 커플링된 결과로서 각기의 SoundWire™ 오디오 슬레이브 디바이스들 (62S(1)-62S(N)) 의 기존의 클록 핀들 (68S(1)-68S(N)) 에 어서트된다. 가변 전압들 (Vref(1)-Vref(N)) 은 클록 핀들 (68S(1)-68S(N)) 및 마스터 클록 핀 (72S) 으로서 제공된 마스터 클록 포트에 커플링되는, 클록 라인 (70S) 에 인가된 통신 버스 클록 신호 (67S) 의 일정한 토글링 레이트의 결과로서 생성된다. 교류 (AC) 커플들 (74(1)-74(N)) 이 통신 버스 클록 신호 (67S) 의 AC 성분을 필터링하기 위해 클록 라인 (70S) 에 제공되고 커플링되어, 통신 버스 클록 신호 (67S) 의 DC 성분이 외부 저항기들 (Rext(1)-Rext(N)) 에 인가되어 고유한 가변 전압들 (Vref(1)-Vref(N)) 을 생성한다.

이와 관련하여, 외부 저항기들 (Rext(1)-Rext(N)) 은 디바이스 식별 생성 회로들 (48S(1)-48S(N)) 내의 ADC 들로 하여금 고유한 디바이스 식별들 (예를 들어, Device\_Id들) 을 생성하도록 상이한 디지털 출력 값들을 생성 하게 하도록 가변 전압들 (Vref(1)-Vref(N)) 을 야기하는 고유한 저항 값들을 갖도록 택해질 수 있다. 대안 적으로, 다른 예로서, 가변 전압들 (Vref(1)-Vref(N)) 은 외부 저항기들 (Rext(1)-Rext(N)) 에 인가된 SoundWire™ 통신 버스 (66S) 의 일부로서의 제어 신호 (미도시) 를 토글링하는 결과로서 생성될 수 있다.

[0052] Soundwire™ 통신 버스 (66S) 가 Soundwire™ 의 마스터 디바이스 (64S) 의 마스터 데이터 핀 (82S) 으로부터 의 버스 통신 데이터를 액티브하게 라우팅하는 동안에 도 9 에서의 SoundWire™ 버스 통신 시스템 (60(5)) 에서 의 SoundWire™ 오디오 슬레이브 디바이스들 (62S(1)-62S(N)) 이 그것들의 각기의 디바이스 식별들을 프로그래밍하거나 재프로그래밍하는 것을 가능하게 하는 것이 바람직할 수도 있다. 이러한 방식으로, 디바이스 식별 을 프로그래밍하거나 재프로그래밍하지 않는 Soundwire™ 오디오 슬레이브 디바이스들 (62S(1)-62S(N)) 은 계속 동작할 수 있다. 예를 들어, Soundwire™ 오디오 슬레이브 디바이스 (62S(N)) 는 Soundwire™ 오디오 슬레 이브 디바이스 (62S(1)) 가 Soundwire™ 통신 버스 (66S) 에 이미 커플링되어 Soundwire™ 통신 버스 (66S) 를 통해 Soundwire™ 마스터 디바이스 (64S) 와 Soundwire™ 통신 데이터를 액티브하게 수신하고 교환한 후에 Soundwire™ 통신 버스 (66S) 에 추가될 수도 있다.

[0053] 이와 관련하여, 도 10 은 Soundwire™ 통신 버스 (66S) 가 정렬된 시퀀스에서 활성화인 동안에 새로운 디바이스 식별을 생성하는 도 9 에서의 Soundwire™ 통신 버스 (66S) 에 커플링된 Soundwire™ 오디오 슬레이브 디바이스 (62S) 의 예시적인 프로세스 (120) 의 플로차트이다. 도 10 을 참조하면, Soundwire™ 오디오 슬레이브 디 바이스 (62S) 는 Soundwire™ 통신 버스 (66S) 에 커플링된 후에 웨이크 업한다 (블록 122). 예를 들어, Soundwire™ 오디오 슬레이브 디바이스 (62S) 는 파워 온된 후에 웨이크 업 할 수도 있다. Soundwire™ 오 디오 슬레이브 디바이스 (62S) 는 그 다음에 Soundwire™ 통신 버스 (66S) 에서 버스 활동들을 청취하고 Soundwire™ 동기화 스트림을 식별하여 Soundwire™ 통신 버스 (66S) 를 동기화한다 (블록 124). 예를 들 어, Soundwire™ 오디오 슬레이브 디바이스 (62S) 는 Soundwire™ 통신 버스 (66S) 에서 Soundwire™ 오디오 슬레이브 디바이스 상태 리포트들을 청취할 수도 있다. 또한, Soundwire™ 오디오 슬레이브 디바이스 (62S) 는, 이전에 설명된 바와 같이, Soundwire™ 통신 버스 신호 (65S) 로부터 예상되는 패턴들을 필터링하고, Soundwire™ 통신 버스 신호 (65S) 의 전기적 특성(들)을 측정하여 그것의 디바이스 식별 (Device\_Id) 을 프로그래밍하거나 재프로그래밍한다 (블록 126). 예를 들어, 도 10 에서의 Soundwire™ 버스 통신 시스템 (60(5)) 에서, Soundwire™ 통신 버스 신호 (65S) 는 통신 버스 클록 신호 (67S) 이다. 따라서, Soundwire™ 오디오 슬레이브 디바이스 (62S) 는 도 9 의 예에서의 통신 버스 클록 신호 (67S) 의 전기적 특성(들)을 측 정하여 그것의 디바이스 식별 (Device\_Id) 을 프로그래밍한다.

[0054] 도 10 을 계속 참조하면, Soundwire™ 오디오 슬레이브 디바이스 (62S) 는, 버스 통신 준비 시간을 감소시키기 위해 병렬 동작들로, Soundwire™ 오디오 슬레이브 디바이스 (62S) 가 블록 114 에서 통신 버스 (66S) 에서의 버스 활동들을 청취하는 동안에, 블록 116 에서 Soundwire™ 통신 버스 신호 (65S) 로부터 예상되는 패턴들을 필터링하고 Soundwire™ 통신 버스 신호 (65S) 의 전기적 특성(들)을 측정하도록 구성될 수도 있다. 이러한 방식으로, Soundwire™ 오디오 슬레이브 디바이스 (62S) 가 Soundwire™ 통신 버스 (66S) 에서 통신하도록 준비 되는 경우, Soundwire™ 오디오 슬레이브 디바이스 (62S) 는 그것의 새로운 디바이스 식별 (Device\_Id) 과 함께 Soundwire™ 통신 버스 (66S) 에서의 그것의 존재를 보고할 수 있다 (블록 128). Soundwire™ 오디오 슬레 이브 디바이스 (62S) 는 그 다음에 그것의 새롭게 프로그래밍된 디바이스 식별을 이용하여 Soundwire™ 통신 버 스 (66S) 에서의 버스 통신들에 참여한다 (블록 130).

[0055] 버스 통신 식별에 대한 디바이스 식별의 선택 또는 재프로그래밍과 같은 외부 제어를 가능하게 하는 본원에 개 시된 디바이스 식별 생성 회로들을 포함하는 오디오 전자 디바이스들은 임의의 프로세서-기반 디바이스에서 제 공되거나 그에 통합될 수도 있다. 예들은 비제한적으로, 셋톱박스, 엔터테인먼트 유닛, 네비게이션 디바이 스, 통신 디바이스, 고정된 위치확인 데이터 유닛, 모바일 위치확인 데이터 유닛, 모바일 폰, 셀룰러 폰, 컴퓨

터, 휴대용 컴퓨터, 데스크톱 컴퓨터, 개인 휴대정보 단말기 (PDA), 모니터, 컴퓨터 모니터, 텔레비전, 튜너, 라디오, 위성 라디오, 음악 재생기, 디지털 음악 재생기, 휴대용 음악 플레이어, 디지털 비디오 재생기, 비디오 재생기, 디지털 비디오 디스크 (DVD) 재생기, 및 휴대용 디지털 비디오 재생기를 포함한다.

[0056] 당해 기술 분야의 당업자는 또한 본 개시물에 개시된 양태들과 연계하여 설명된 다양한 예증적인 논리 블록들, 모듈들, 회로들, 및 알고리즘들이 전자 하드웨어, 메모리에 또는 다른 컴퓨터-판독가능 매체에 저장되고 프로세서 또는 다른 프로세싱 디바이스에 의해 실행된 명령들, 또는 이들 양자의 조합으로서 구현될 수도 있음을 또한 알 수 있을 것이다. 본원에 설명된 마스터 디바이스들 및 슬레이브 디바이스들은 예들로서, 임의의 회로, 하드웨어 컴포넌트, 집적 회로 (IC), 또는 IC 칩에서 사용될 수도 있다. 본원에 개시된 메모리는 임의의 유형 또는 사이즈의 메모리일 수도 있으며, 임의의 유형의 원하는 정보를 저장하도록 구성될 수도 있다. 이러한 상호교환가능성을 명확하게 설명하기 위해, 다양한 예시적인 컴포넌트들, 블록들, 모듈들, 회로들, 및 단계들은 그들의 기능성의 관점에서 일반적으로 위에서 설명되었다. 그러한 기능성이 어떻게 구현되는지는 전체 시스템에 부여되는 특정 애플리케이션, 설계 선택들, 및/또는 설계 제약들에 의존한다. 당업자들은 각각의 특정 애플리케이션들에 대해 다양한 방식으로 설명된 기능들을 구현할 수도 있으나, 이러한 구현 결정들이 본 개시물의 범위로부터 벗어나도록 하는 것으로 해석되어서는 안된다.

[0057] 본 개시물에서 개시된 양태들과 연계하여 설명된 여러 가지 예증적인 논리 블록들, 모듈들, 및 회로들은 본원에서 개시된 기능들을 수행하도록 설계된, 프로세서, 디지털 신호 프로세서 (DSP), 주문형 반도체 (ASIC), 필드 프로그래밍가능한 게이트 어레이 (FPGA) 또는 다른 프로그래밍가능한 로직 디바이스, 이산 게이트 또는 트랜지스터 로직, 이산 하드웨어 컴포넌트들, 또는 이들의 임의의 조합에 의해 구현되거나 수행될 수도 있다. 프로세서는 마이크로프로세서일 수도 있으나, 대안에서, 프로세서는 임의의 통상적인 프로세서, 제어기, 마이크로 제어기, 또는 상태 머신일 수도 있다. 프로세서는 또한 컴퓨팅 디바이스들의 조합, 예를 들어, DSP 와 마이크로프로세서의 조합, 복수의 마이크로프로세서들, DSP 코어와 연계한 하나 이상의 마이크로프로세서들, 또는 임의의 다른 그러한 구성으로 구현될 수도 있다.

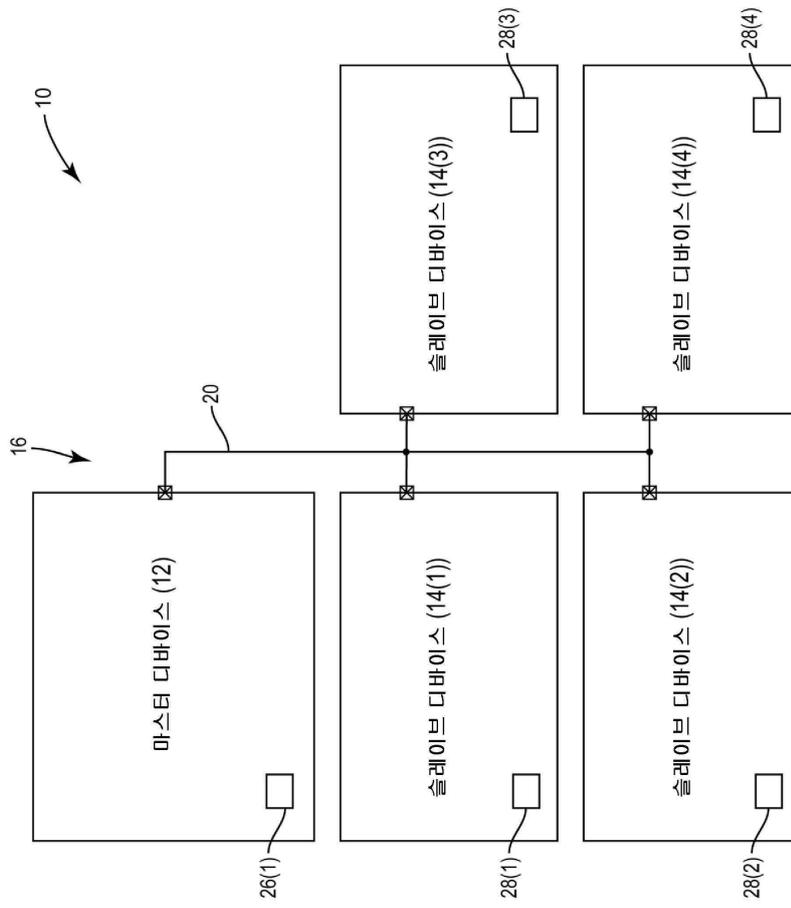
[0058] 본원에 개시된 양태들은 하드웨어에서, 그리고 하드웨어에 저장된 명령들로 구현될 수도 있고, 예를 들어, 랜덤 액세스 메모리 (Random Access Memory; RAM), 플래시 메모리, 판독 전용 메모리 (Read Only Memory; ROM), 전기적으로 프로그래밍가능한 ROM (Electrically Programmable ROM; EPROM), 전기적으로 소거가능한 프로그래밍가능한 ROM (Electrically Erasable Programmable ROM; EEPROM), 레지스터, 하드디스크, 탈착가능 디스크, CD-ROM, 또는 당해 기술에 공지된 임의의 다른 형태의 저장 매체 내에 있을 수도 있다. 예시적인 저장 매체는, 프로세서가 저장 매체로부터 정보를 판독하고, 저장 매체로 정보를 저장할 수 있도록 프로세서에 커플링된다. 대안에서, 저장 매체는 프로세서에 통합될 수도 있다. 프로세서와 저장 매체는 ASIC 내에 있을 수도 있다. ASIC 는 원격 스테이션 내에 있을 수도 있다. 대안에서, 프로세서 및 저장 매체는 원격 스테이션, 기지국, 또는 서버에 개별 컴포넌트들로서 있을 수도 있다.

[0059] 또한, 본원의 예시적인 양태들 중 임의의 것에서 설명된 동작 단계들은 예들 및 논의를 제공하기 위해 설명된 것임을 주지해야 한다. 설명된 동작들은 예시된 시퀀스들 이외에 상이한 다수의 시퀀스들로 수행될 수도 있다. 또한, 단일 동작 단계로 설명된 동작들은 복수의 상이한 단계들로 실제 수행될 수도 있다. 추가로, 예시적인 양태들에서 설명된 하나 이상의 동작 단계들은 결합될 수도 있다. 플로차트에서 예시된 동작 단계들은 당해 기술분야의 당업자에 자명한 바와 같이, 다수의 상이한 변경들을 겪을 수도 있음이 이해되어야 한다. 당업자라면, 정보 및 신호들이 임의의 다양한 상이한 기술들 및 기법들을 이용하여 표현될 수도 있음을 이해할 것이다. 예를 들어, 상기 설명을 통해 참조될 수도 있는 데이터, 명령들, 커맨드들, 정보, 신호들, 비트들, 심볼들, 및 칩들은 전압들, 전류들, 전자기파들, 자기장들 또는 자기 입자들, 광학 펄스들 또는 입자들, 이들의 임의의 조합에 의해 표현될 수도 있다.

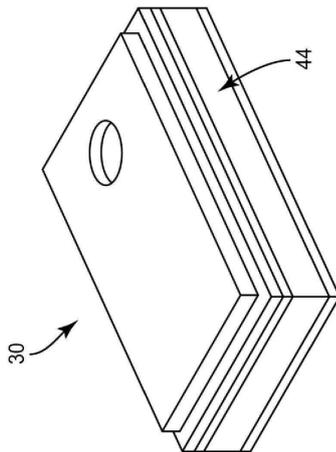
[0060] 앞서의 개시물의 설명은 임의의 당업자가 본 개시물을 제작하거나 이용하는 것을 가능하게 하기 위해 제공된다. 본 개시물에 대한 다양한 수정들이 당업자들에게 자명할 것이고, 본원에 정의된 일반적인 원리들은 본 개시물의 사상 또는 범위를 벗어나지 않으면서 다양한 변형들에 적용될 수도 있다. 따라서, 본 개시물은 본원에 설명된 예들 및 설계들로 제한되지 않으며, 본원에 개시된 원리들 및 신규한 특징들과 일치하는 가장 넓은 범위에 부합되어야 한다.

도면

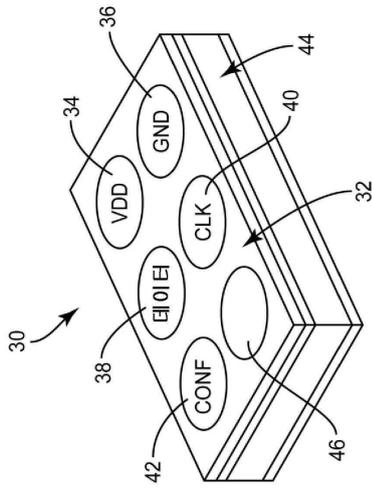
도면1



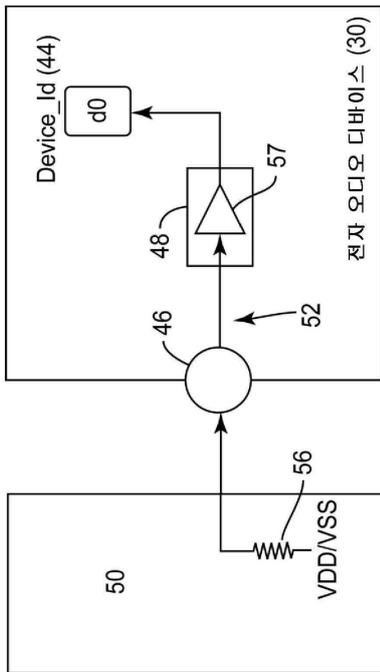
도면2a



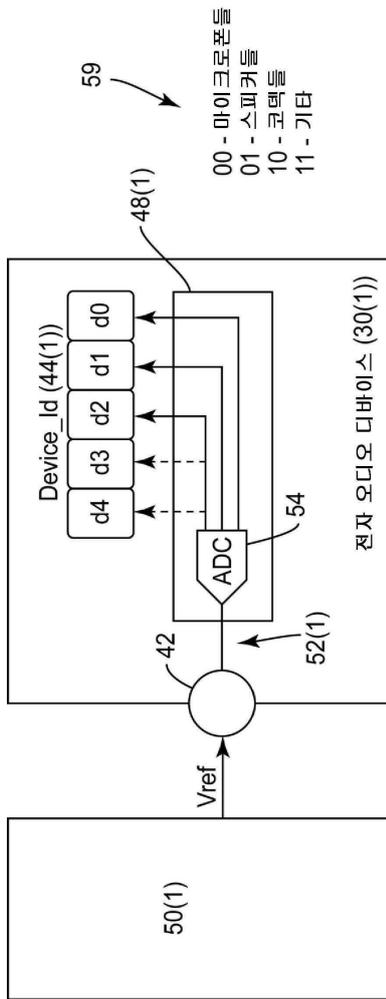
도면2b



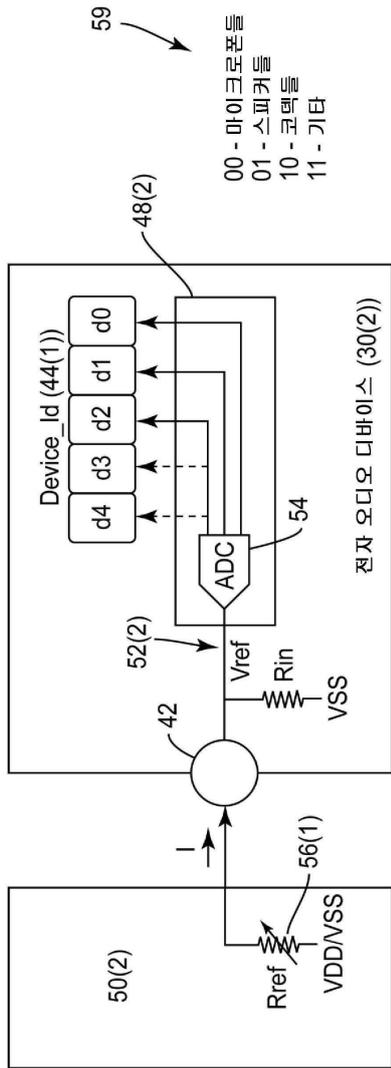
도면3



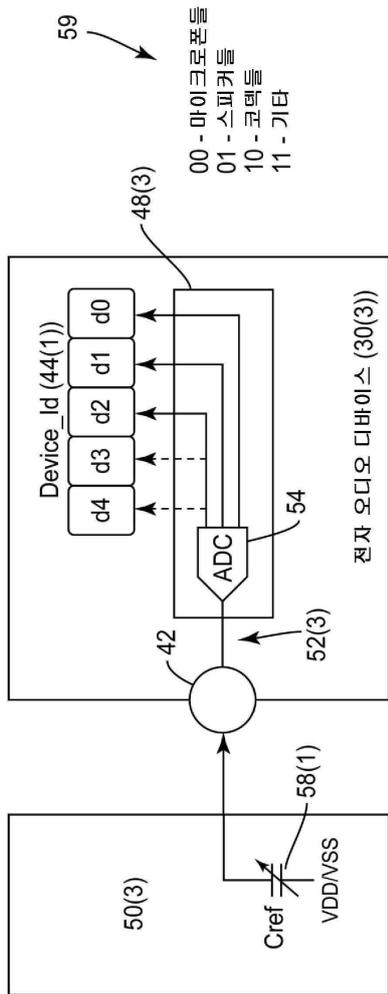
도면4a



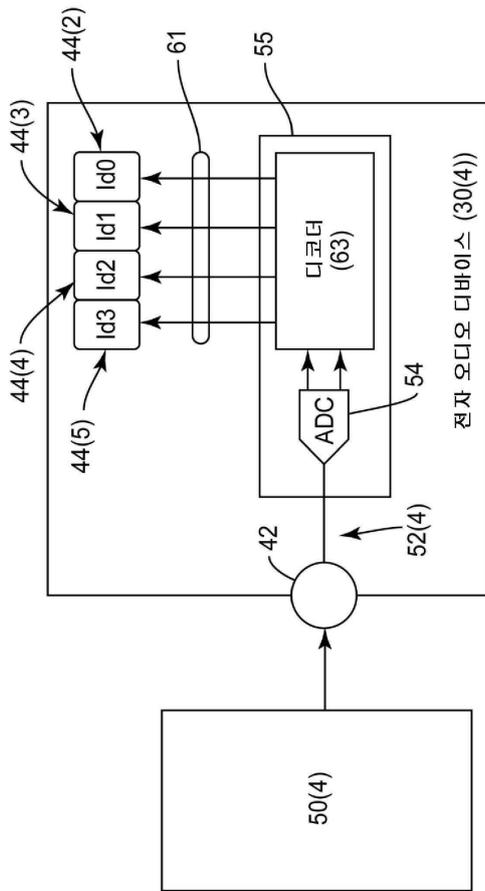
도면4b



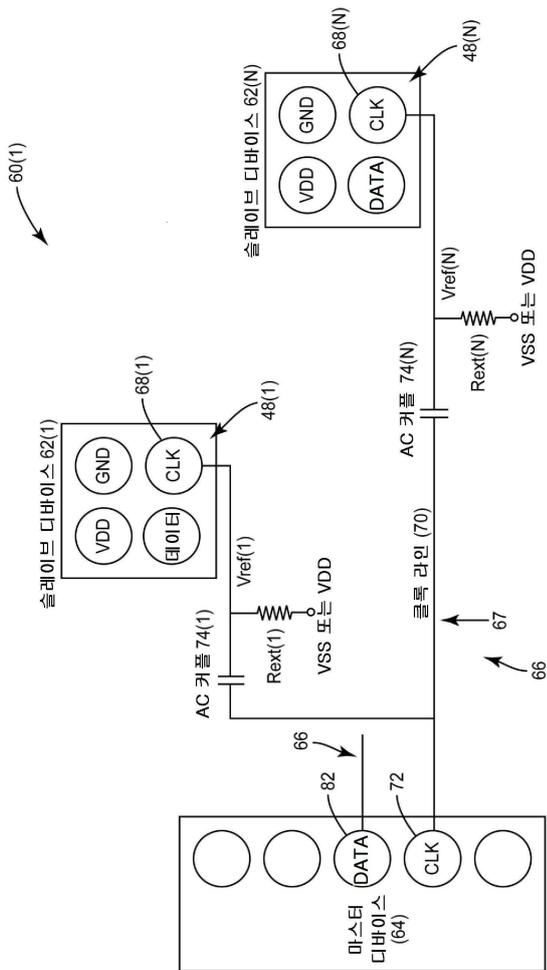
도면4c



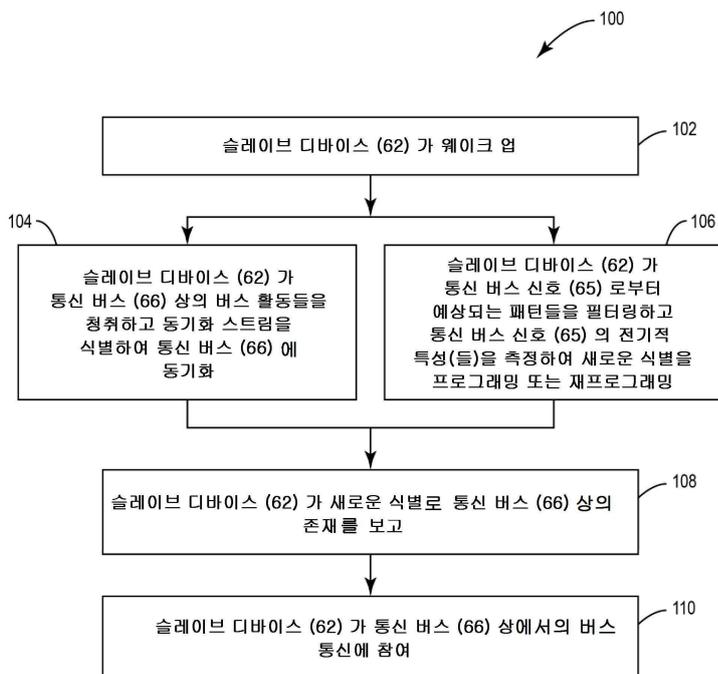
도면4d



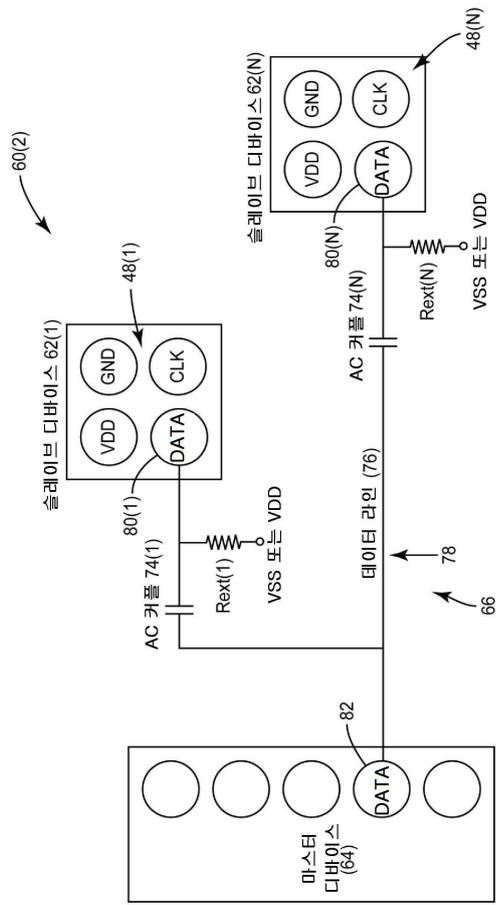
도면5



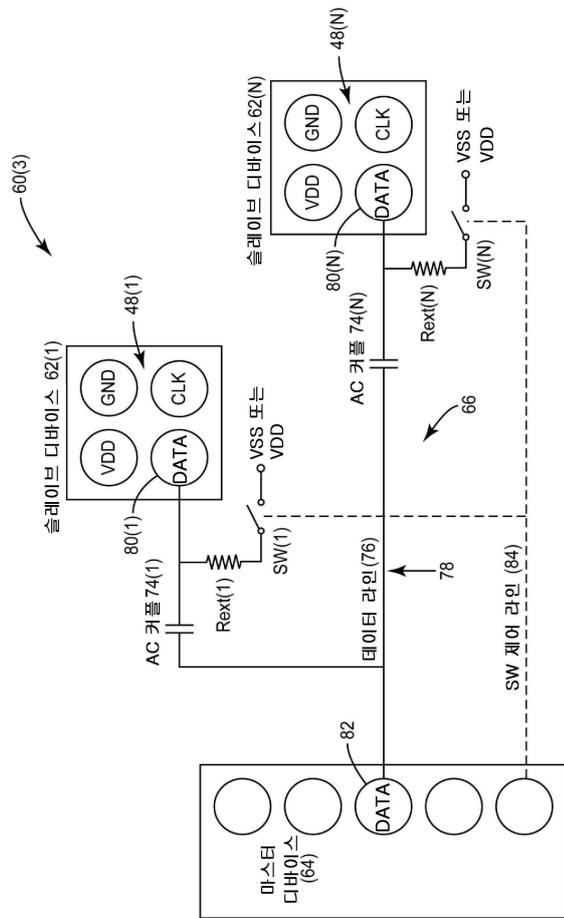
도면6



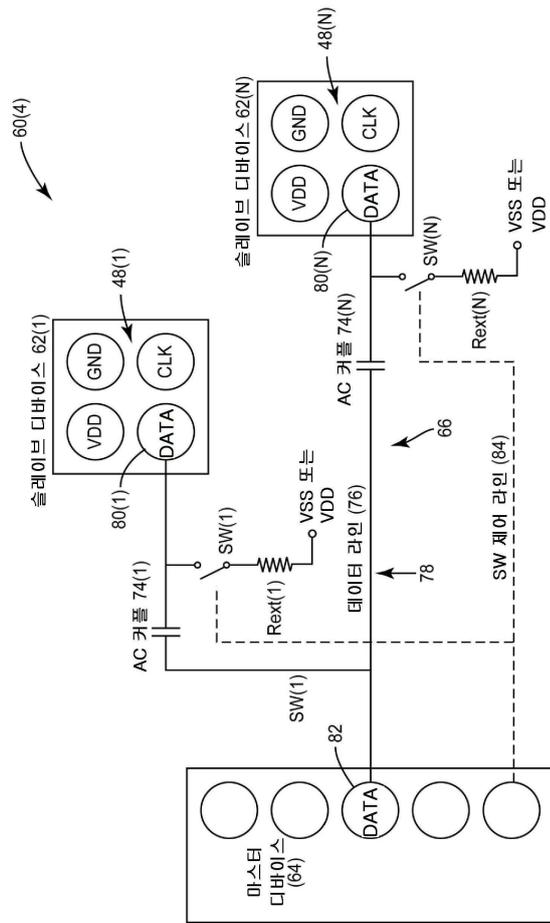
도면7



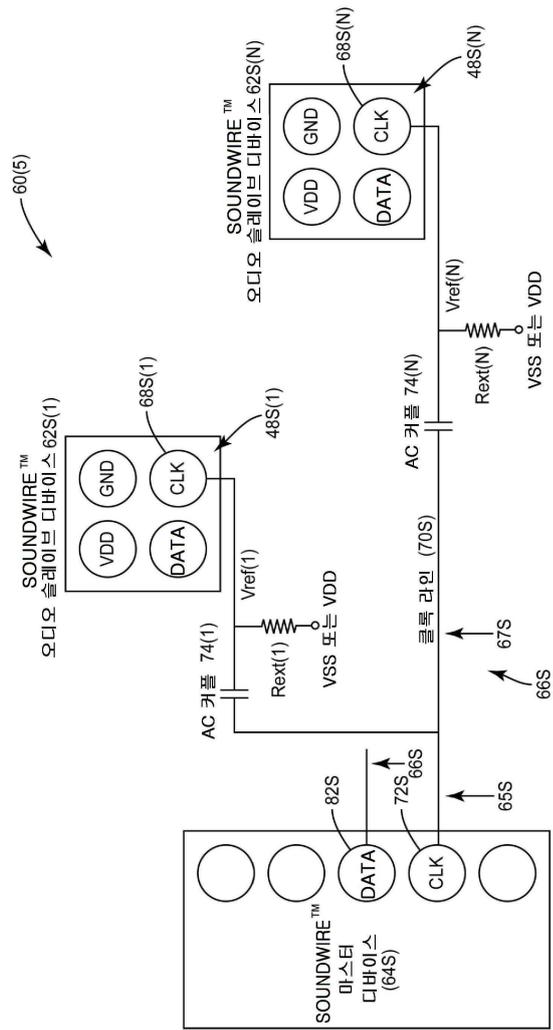
도면8a



도면8b



도면9



도면10

