

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H03K 17/22 (2006.01)

H03K 19/00 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200610128021.7

[43] 公开日 2007年3月7日

[11] 公开号 CN 1925327A

[22] 申请日 2006.8.31

[21] 申请号 200610128021.7

[30] 优先权

[32] 2005.8.31 [33] JP [31] 2005-251927

[71] 申请人 株式会社瑞萨科技

地址 日本东京

[72] 发明人 森野直纯 入田隆宏 五十岚康人

[74] 专利代理机构 中国国际贸易促进委员会专利商
标事务所

代理人 王永刚

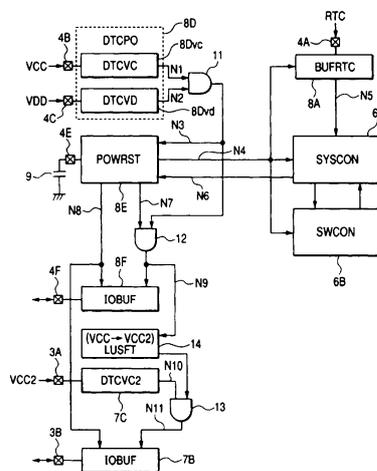
权利要求书 3 页 说明书 11 页 附图 5 页

[54] 发明名称

半导体集成电路

[57] 摘要

本发明的目的是在上电时确保电路的初始状态直至电源电压被稳定，并防止外部输入/输出缓冲电路的输出电路在将预定寄存数值之类设定为初始数值时执行错误的操作。电源检测电路输出一个表明从外部提供的电源电压进入预定状态的电源电压检测信号。上电复位电路接收此电源电压检测信号，在预定时刻命令对内部电路进行初始设定操作，并响应于内部电路初始设定操作的完成，将外部输入/输出缓冲电路从高阻抗状态改变到可操作状态。因此，当外部输入/输出缓冲电路变成可操作时，内部电路的初始设定已经完成。



1. 一种半导体集成电路, 包括:

外部端子;

外部输入/输出缓冲电路;

电源检测电路;

上电复位电路; 以及

内部电路,

其中, 电源检测电路输出一个表明从外部提供的电源电压进入预定状态的电源电压检测信号, 且

其中, 上电复位电路接收此电源电压检测信号, 在预定的时刻命令对内部电路进行初始设定操作, 并响应于对内部电路初始设定操作的完成, 而将外部输入/输出缓冲电路的高电平输出、低电平输出、以及高阻抗中的任何一种的预定初始状态设定为能够执行输入/输出操作的状态。

2. 根据权利要求 1 的半导体集成电路, 其中, 上电复位电路输出一个信号, 用来确保预定电路节点的初始状态, 直至内部电路被命令进行初始设定操作。

3. 根据权利要求 2 的半导体集成电路,

其中, 第一电源电压被提供给外部输入/输出缓冲电路、电源检测电路、以及上电复位电路, 且第二电源电压被提供给内部电路, 且

其中, 电源检测电路具有用来检测第一电源电压的提供的第一电路以及用来检测第二电源电压的提供的第二电路, 并将第一电路检测的第一电源电压结果与第二电路检测的第二电源电压结果之间的 AND 信号设定为电源电压检测信号。

4. 根据权利要求 3 的半导体集成电路, 其中, 当电源检测电路进行检测时, 在检测第一电源电压和第二电源电压的提供之后, 停止由第二电路提供第二电源电压, 外部输入/输出缓冲电路从可操作状态被改变到高电平输出、低电平输出、以及高阻抗中任何一个的预定状

态。

5. 根据权利要求4的半导体集成电路，

其中，内部电路具有系统控制器，且

其中，此系统控制器接收内部电路的初始设定操作指令，接收来自外部的时钟信号，与接收的时钟信号同步地控制内部电路的初始设定操作，并在初始设定操作完成时，将初始化完成信号送到上电复位电路。

6. 根据权利要求5的半导体集成电路，

其中，内部电路具有第一电路区以及第二电路区，在第二电源电压被提供给电源端子的状态下，能够选择性地停止提供第二电源电压到第一电路区，而第二电源电压总是被提供给第二电路区，且

其中，系统控制器被形成在第二电路区内。

7. 根据权利要求6的半导体集成电路，

其中，内部电源开关控制器被提供在第二电路区内，用来控制第二电源电压是否被提供给第一电路区，且

其中，系统控制器进行内部电源开关控制器的初始设定，以便响应于来自上电复位电路的初始设定操作命令而将第二电源电压提供给第一电路区。

8. 根据权利要求7的半导体集成电路，

其中，内部电路具有中央处理器以及外围电路，且

其中，系统控制器初始化中央处理器的内部状态，并响应于来自上电复位电路的初始设定操作命令而将外围电路的预定寄存器设定为初始数值。

9. 一种半导体集成电路，包括：

外部端子；

外部输入/输出缓冲电路；

电源检测电路；

上电复位电路；以及

内部电路，

其中，电源检测电路输出一个表明从外部提供的电源电压进入预定状态的电源电压检测信号，且

其中，上电复位电路接收此电源电压检测信号，在预定的时刻命令对内部电路进行初始设定操作，输出一个用来确保预定电路节点初始状态直至被命令进行初始设定操作的信号，并响应于对内部电路初始设定操作的完成，而将外部输入/输出缓冲电路设定为能够执行输入/输出操作的状态。

10. 根据权利要求9的半导体集成电路，其中，响应于内部电路初始设定操作的完成，外部输入/输出缓冲电路从高电平输出、低电平输出、以及高阻抗状态中的任何一种的预定初始状态被控制为能够执行输入/输出操作的状态。

半导体集成电路

相关申请的交叉参考

本申请对 2005 年 8 月 31 日提交的日本专利申请 No.2005-251927 提出优先权要求,该日本专利申请的内容在此处被列为本申请的参考。

背景技术

本发明涉及到半导体集成电路中的上电复位(power on reset)。

日本未经审查的专利公开 No.2002-111466 描述了一种提供对应于多个外部电源的上电复位电路并利用此上电复位电路的输出的 AND 信号来决定在内部电路中取消上电复位的时刻的技术。在此技术中,执行上电复位以便在工作上电时确保电路的初始状态,直至电源电压达到规定的电压。日本未经审查的专利公开 No.2004-165732 描述了一种基于内部电压检测电路的检测信号与外部电压检测电路之间的 AND 信号而产生上电复位取消时刻的发明。

发明内容

本发明的发明人已经分析了在微计算机的上电复位时,取消外部接口电路中输出缓冲器的诸如高电平输出、低电平输出以及高阻抗状态之类的初始预定状态的时刻。上电复位被执行,以便在工作电源开启时确保电路的初始状态,直至电源电压达到规定的电压,并将预定寄存数值和预定电路节点设定为特定的初始数值。例如,当作为半导体集成电路的微计算机的工作电源被开启时,在开启的工作电源被稳定的这段时间消逝之后,例如提供在芯片上的系统控制器控制着复位程序。根据此复位程序,CPU(中央处理器)的内部状态被初始化,且外围电路的寄存数值被初始化。系统控制器的初始化过程仅仅对内部电路执行。对于外部接口电路,初始化过程被执行为使电路的初始

状态能够被确保，直至上升的工作电源电压达到外部接口电路的一个特定电压。例如，对于外部输入/输出缓冲器电路，初始化过程被执行，使高阻抗状态（或预定的高电平输出或低电平输出的输出状态）能够被确保。当从上电复位时开启工作电源直至电源电压达到规定电压确保电路的初始状态的观点来规定取消上电复位时刻时，有望出现一种情况，使输出操作由于外部输入/输出缓冲电路高阻抗状态的取消而被启动，且另一方面，借助于系统控制器的初始设定操作继续并且在内部电路中没有得到可操作的状态。结果，在系统控制器对内部电路进行初始设定操作的过程中，内部电路的内部状态未被确定，被认为是输出操作指令的信号因而可能错误地产生并被送到外部输入/输出缓冲电路。发现当外部输入/输出缓冲电路响应于这一错误信号而错误地执行输出操作时，连接到外部输入/输出缓冲电路的外部电路就有可能执行错误的操作，或不希望有的大电流在外部输入/输出缓冲电路中流动。在专利文献中已公开的技术仅仅从确保电路的初始状态直至上升的工作电源电压达到规定电压的观点规定了复位取消时刻，但没有解决本发明的发明人所认识到的问题。

本发明的目的是提供一种半导体集成电路，此半导体集成电路在工作电源开启时确保电路的初始状态，直至电源电压达到规定的电压且内部电路的状态被稳定，并消除外部输入/输出缓冲电路在预定的寄存之类被设定为初始数值时出现错误输出操作的可能性。

从本说明书和附图的描述中，本发明的上述或其它的目的与新颖特点将变得明显。

本申请所公开的代表性发明的概况简要描述如下。

根据本发明的半导体集成电路（1）包括外部端子、外部输入/输出缓冲电路（7B、8F）、电源检测电路（8D）、上电复位电路（8E）、以及内部电路（5A、5B、5C、5D）。电源检测电路输出一个表明从外部提供的电源电压进入预定状态的电源电压检测信号（N3）。上电复位电路接收此电源电压检测信号，在预定的时刻命令对内部电路进行初始设定操作，并响应于对内部电路初始设定操作的完成，而将外

部输入/输出缓冲电路的高电平输出、低电平输出、以及高阻抗中的任何一种的预定初始状态设定为能够执行输入/输出操作的状态。利用此结构，在外部输入/输出缓冲电路进入可操作状态时，内部电路的初始设定已经完成。因此，由上电复位过程中伴随初始设定过程的不希望有的信号或噪声所造成的外部输入/输出缓冲电路执行错误输出操作的可能性，得到了消除。

作为本发明的一种具体模式，上电复位电路输出一个信号(N4)，用来确保预定电路节点的初始状态直至内部电路被命令进行初始设定操作。

作为另一具体模式，第一电源电压(VCC)被提供给外部输入/输出缓冲电路、电源检测电路、以及上电复位电路，且第二电源电压(VDD)被提供给内部电路。电源检测电路具有用来检测第一电源电压的提供的第一电路(8Dvc)以及用来检测第二电源电压的提供的第二电路(8Dvd)，并将第一电路检测的第一电源电压结果与第二电路检测的第二电源电压结果之间的AND信号设定为电源电压检测信号。于是，就能够可靠地确保电路的初始状态。

作为另一具体模式，当电源检测电路进行检测时，在检测第一电源电压和第二电源电压的提供之后，停止由第二电路提供第二电源电压，外部输入/输出缓冲电路从可操作状态被改变到高电平输出、低电平输出、以及高阻抗输出中任何一个的预定状态。因此，当由于第二电源电压停止提供而变成不可能确保内部电路的正常工作时，能够防止外部输入/输出缓冲电路执行错误的输出操作。

作为另一具体模式，内部电路具有系统控制器(6A)。此系统控制器接收内部电路的初始设定操作指令，接收来自外部的时钟信号(RTC)，与接收的时钟信号同步地控制对内部电路的初始设定操作，并在初始设定操作完成时，将初始化完成信号(N6)送到上电复位电路。

作为另一具体模式，内部电路具有第一电路区(5)以及第二电路区(6)，在第二电源电压被提供给电源端子的状态下，第二电源电

压能够被选择性地停止提供给第一电路区(5)，而第二电源电压总是被提供给第二电路区(6)。系统控制器被形成在第二电路区内。以这种方式，能够防止系统控制器变得无法使用。

作为另一具体模式，内部电源开关控制器(6B)被提供在第二电路区内，用来控制第二电源电压是否被提供给第一电路区。系统控制器形成内部电源开关控制器的初始设定，以便响应于来自上电复位电路的初始设定操作命令而将第二电源电压提供给第一电路区。在上电复位过程完成之后，任何一个内部电路都能够被确保为可操作。例如，能够确保在完成之后立即执行升压程序编程过程。

作为另一具体模式，内部电路具有中央处理器(5A)以及中央处理器的外围电路(5B、5C、5D、6B)。系统控制器初始化中央处理器的内部状态，并响应于来自上电复位电路的初始设定操作命令而将外围电路的预定寄存设定为初始数值。

由本申请公开的个代表性发明得到的效果简述如下。本发明能够在工作电源开启时确保电路的初始状态，直至电源电压达到规定的电压且内部电路的状态被稳定，并在预定寄存之类被设定为初始数值时消除外部输入/输出缓冲电路的错误输出操作。

附图说明

图1是其中应用本发明的微计算机的方框图。

图2是方框图，示出了微计算机中上电复位的详细结构。

图3是方框图，示出了输入/输出缓冲器的一个例子。

图4是微计算机中上电复位操作的时间图。

图5示出了一个比较例，其中，系统控制器进行的初始设定和启动输入/输出缓冲器的控制被彼此分开。

具体实施方式

图1示出了一种其中应用本发明的微计算机。利用互补MOS集成电路技术之类，图中所示的微计算机1被制作在单晶硅之类组成的

单个半导体衬底 2 上。作为外部端子的许多键合焊点 3 和 4，被排列在半导体衬底的外围。

在半导体衬底 2 的中心部分内，第一电路区 5 以及第一电路区 5 外面的第二电路区 6，被提供作为内部电路区。在第一电路区 5 中，中央处理器(CPU)5A 被提供作为内部电路，且数字信号处理器(DSP) 5B、随机存取存储器(RAM) 5C、时钟脉冲发生器(CPG) 5D 等被形成作为外围电路。时钟脉冲发生器 5D 具有锁相环电路(PLL)和延迟锁相环电路(DLL)，并对来自外部的时钟信号的频率进行分割，从而产生内部时钟信号。在第二电路区 6 中，安置了代表性地示出的系统控制器(SYSCON) 6A 和内部电源开关控制器(SWCON) 6B。内部电源开关控制器 6B 被定位作为中央处理器 5A 的外围电路之一。内部电路区 5 和 6 的工作电源电压是 VDD。电源电压 VDD 例如是 1.2V。

第二电路区 6 与键合焊点 3 之间的区域是输入/输出电路区 7，而第二电路区 6 与键合焊点 4 之间的区域是输入/输出电路区 8。在输入/输出电路区 7 中，制作了代表性地示出的外部接口电路 7A-7C。外部接口电路 7A-7C 采用外部电源电压 VCC2 作为工作电源。外部电源电压 VCC2 例如是 3.3V。外部接口电路 7A 是外部电源电压 VCC2 的一个电源单元，且包括未示出的 ESD(静电放电)保护元件，3A 表示外部接口电路 7A 的电源焊点。外部接口电路 7B 是代表性地示出的输入/输出缓冲器(IOBUF)，3B 表示外部接口电路 7B 的输入/输出焊点。外部接口电路 7C 是用来检测外部电压 VCC2 的电路(DCTVC2)。

在输入/输出电路区 8 中，制作了代表性地示出的外部接口电路 8A-8F。外部接口电路 8A-8F 采用外部电源电压 VCC 作为工作电源。外部电源电压 VCC 例如是 2.8V。8A 表示时钟信号 RTC 的时钟输入缓冲器(BUFRTC)，且 4A 表示时钟输入缓冲器 8A 的时钟输入焊点。8B 表示外部电源电压 VCC 的电源单元(BUFVC)，包括未示出的 EDR 保护电路。4B 表示电源单元 8B 的电源焊点。8C 表示内部电路区 5 和 6 的工作电源电压 VDD 的电源单元(BUFVD)，包括未示出

的 EDS 保护电路。4C 表示电源单元 8C 的电源焊点。8D 表示用来检测电源电压 VDD 和 VCC 的电路 (DTCPO)。8E 表示上电复位电路 (POWRST)，而 4E 表示延迟元件例如电容性元件 9 的连接焊点。外部接口电路 8F 表示代表性地示出的输入/输出缓冲器 (IOBUF)，而 4F 表示外部接口电路 8F 的输入/输出焊点。外部接口电路 7B 或 8F 的数目可以根据微计算机的结构和为输入/输出操作而准备外部接口电路 7B 或 8F 的所需数目而变化。

虽然未示出，但中央处理器 (CPU) 5A 具有命令控制器和执行器，命令控制器用来提取命令、对提取的命令进行译码、以及控制执行命令的过程，执行器用来根据命令控制器的控制而执行命令。执行器具有计算单元和各种寄存器等，并执行有关命令执行的数据计算和地址计算。数字信号处理器 5B 根据从 CPU 5A 提供的 DSP 命令而执行数字信号处理计算，从而减轻 CPU 5A 的计算负担。数字信号处理器 5B 具有 AND 计算单元和各种寄存器等。

在电源电压 VDD 被提供给电源焊点 4C 的情况下，内部电路区 5 被设定为其上停止提供电源电压 VDD 的电路区，而第二电路区 6 被设定为其上总是提供电源电压 VDD 的电路区。内部电源开关控制器 6B 控制着电源电压 VDD 是否被提供给电路区 5。利用内部电源开关控制器 6B，系统控制器 6A 控制并监视着诸如复位程序和电源中断功能之类的整个微计算机的工作。系统控制器 6A 和内部电源开关控制器 6B 等被制作在其上总是保持电源电压 VDD 提供的第二电路区 6 中，从而防止了系统控制器 6A 和内部电源开关控制器 6B 等无法工作。

图 2 示出了微计算机 1 的上电复位的详细结构。微计算机 1 不必有电接收来自外部的复位信号。电源电压检测电路 8D 具有用来检测电源电压 VCC 的第一检测电路部分 (DTCVC) 以及用来检测电源电压 VDD 的第二检测电路部分 (DTCVD)。当提供的电源电压变成规定的电压时，检测电路部分 8Dvc 和 8Dvd 将检测信号 N1 和 N2 改变成高电平。检测信号 N1 和 N2 被提供给其中产生 AND 信号的 AND 门 11。此 AND 信号被用作电源电压检测信号 N3。上电复位电路 8E

接收电源电压检测信号 N3，且当电源电压检测信号 N3 被改变到高电平时，在根据由电容性元件 9 的电容数值所决定的时间常数的延迟时间消逝之后，上电复位电路 8E 将信号 N4 设定为高电平。虽然未示出，但信号 N4 被提供给微计算机 1 中的各种电路。在信号 N4 处于低电平的周期内，在开始提供的工作电源尚未稳定的状态下，各种电路预定节点的电平被控制成确保各种电路预定节点的初始状态。借助于将信号 N4 的低电平反转成高电平，来取消信号 N4 确保各节点初始状态的功能。简而言之，由于确保了预定节点的初始状态，故复位操作被取消。

利用上述各操作并未完成微计算机 1 中的上电复位过程。信号 N4 被提供给系统控制器 6A。利用系统控制器 6A 的控制，来执行 CPU 5A 和外围电路的初始设定。具体地说，系统控制器 6A 将信号 N4 到高电平的改变识别为初始设定操作指令。响应于此识别，系统控制器 6A 对 CPU 5A 的初始状态进行初始设定，并执行将诸如时钟脉冲发生器 5D、数字信号处理器 5B、以及内部电源开关控制器 6B 之类的外围电路的控制寄存器设定为初始数值的操作。此操作与时钟信号 RTC 同步执行。响应于信号 N4 的高电平，时钟信号 RTC 能够从时钟输入缓冲器 8A 被提供。此时钟信号 RTC 是例如 32kHz 的时钟信号。在内部电源开关控制器 6B 的初始设定中，控制寄存器被初始化成选择对电路区 5 的电源电压 VDD 的提供，以便确保任何一个内部电路在完成上电复位过程之后变成可工作。简而言之，电源电压 VDD 的提供被选择成能够在其后立即执行诸如升压程序之类的编程过程。

在完成诸如 CPU 5A 以及外围电路的控制寄存器的初始状态的初始设定之类的初始化之后，系统控制器 6A 将信号 N6 改变到高电平，并将此高电平信号 N6 送到上电复位电路 8E。响应于信号 N6 的高电平，上电复位电路 8E 将信号 N7 和 N8 改变到高电平。AND 门 12 计算信号 N7 与 N3 之间的 AND，从而产生 AND 信号 N9。利用信号 N8 和 N9，来控制是设定还是取消排列在输入/输出电路区 8 中的输入/输出缓冲器 8F 的输入/输出状态的固定。例如，当信号 N8 和 N7 处于低

电平时，到输入/输出缓冲器 8F 外部的输出被固定在高阻抗，而到内部的输出被固定在低电平。当信号 N8 和 N7 被设定为高电平时，输入/输出缓冲器 8F 能够根据来自内部电路的指令而执行输出/输入操作。例如，根据其上连接输入/输出缓冲器 8F 的端子和外部器件的结构而预期的初始输出状态，不一定要是高阻抗状态。此输出状态可以是高电平输出或低电平输出。

下面来描述用来启动设定或取消固定输入/输出缓冲器 8F 的输入/输出状态的结构。图 3 示出了输入/输出缓冲器 8F 的一个例子。输入/输出缓冲器 8F 具有共用输入/输出焊点 4F 的输出电路 20 和输入电路 21、电平上拉移位器 22-24、以及电平下拉移位器 25。各电平上拉移位器 22-24 是一种用来将 1.2V 的输入信号幅度提高到 2.8V 的信号幅度的电路。当信号 N9 处于低电平时，电平上拉移位器 22-24 的输出被固定到低电平。当信号 N9 处于高电平时，提高信号幅度的操作被启动。电平下拉移位器 25 是一种用来将 2.8V 的输入信号幅度降低到 1.2V 的信号幅度的电路。当信号 N8 处于低电平时，电平下拉移位器 25 的输出被固定到低电平。当信号 N9 处于高电平时，降低信号幅度的操作被启动。输出电路 20 取三态缓冲器的形式，而输入电路 21 取 AND 门的形式。当接收电平上拉移位器 23 的输出的输出电路 20 的三态控制端子处于低电平时，输出电路 20 被设定在高输出阻抗状态。当三态控制端子处于高电平时，输出电路 20 的输入/输出操作被启动。当由输入电路 21 的一个输入端子接收的电平上拉移位器 24 的输出处于低电平时，输入电路 21 的输出被固定在低电平。当电平上拉移位器 24 的输出处于高电平时，输入电路 21 的输入被传输作为输出。因此，当信号 N8 和 N7 处于低电平时，输入/输出焊点 4F 被固定到具有高阻抗，且输入数据 Din 被固定在低电平。换言之，输出电路 20 被设定在高阻抗状态，且输入电路 21 的输出被固定在低电平。这种状态是固定的输入/输出状态。当信号 N8 和 N7 被设定为高电平时，响应于输出启动信号 Eout 的高电平，数据输出 Dout 被启动，此输出响应于输出启动信号 Eout 的低电平而被中断，焊点 4F 的数据可以被接收作

为响应于高电平输入启动信号 E_{in} 的数据 D_{in} ，且此接收操作响应于输入启动信号 E_{in} 的低电平而被中断。

排列在输入/输出电路区 7 中的输入/输出缓冲器 7B 的输入/输出状态是否被固定，也基于信号 N8 和 N9 而被控制。AND 门 13 计算信号 N9 与 N10 之间的 AND，当外部电源电压 VCC2 的稳定被电源电压检测电路 7C 检测时，此 AND 被设定为高电平。AND 信号 N11 和信号 N8 被用来控制输入/输出缓冲器 7B 的输入/输出状态的固定是被设定还是被取消。输入/输出缓冲器 7B 可以具有图 3 所示的基本结构，但电平上拉移位器和电平下拉移位器的信号幅度不同于图 3 的。在从 AND 门 12 的输出 N9 延伸到 AND 门 13 的输入之一的路径中，示出了一个电平上拉移位器 (LUSFT) 14。电平上拉移位器 14 是一种基于输入/输出电路区 7 的工作电源电压 VCC2 高于 VCC 的事实而用来将 2.8V 的信号幅度提高到 3.3V 的信号幅度的电路。要理解的是，电平上拉移位器 14 是一种对应于 AND 门 13 的输入端子之一被排列的电路，但被示为提供在外面的电路。因此，对于上电复位电路 8E 等，必须的电平上拉和电平下拉移位器也对应于输入和输出端子被排列。

图 4 示出了上电复位操作的时间图。在图 4 中，工作电源电压按 VCC、VCC2、以及 VDD 的顺序上升，且它们的上升速度彼此不同。对于从上电到所有被开启的电源的电平被稳定之后的时间 t_0 的周期，微计算机 1 中的各种电路的预定节点的初始状态，被信号 N4 的低电平确保。当由信号 N4 确保各节点的初始状态的功能在时间 t_0 之后被取消时，CPU 5A 被系统控制器 6A 初始化，且外围电路的控制寄存器的初始数值被设定，并在时间 t_1 完成各操作。虽然未示出，但在此后，CPU 5A 获取复位向量，并执行复位异常处理等。

利用此上电复位电路结构，在输入/输出缓冲器 8F 和 7B 变得可操作时，电路区 5 中的诸如 CPU5A 之类的内部电路的初始化已经由系统控制器 6A 完成。因此，能够消除伴随上电复位过程中初始化过程的来自电路区 5 的不希望有的信号或噪声所造成的输入/输出缓冲器 8F 和 7B 执行错误操作的可能性。下面将本发明与图 5 的比较例进行

比较。在此比较例中，由系统控制器 (SYSCON) 执行的 CPU 和外围电路的初始化，与来自外部的 RTC 时钟同步开始，并在电源电压上升之后，输入/输出缓冲器 (IOBUF) 与计数器 (COUNT) 的时钟 RTC 往上计数时刻同步被启动。在此比较例中，依赖于计数器 (COUNT) 往上计数数值的设定、上电时刻、功率上升速度、提供 RTC 时钟的时刻等，存在着诸如 CPU 之类的内部电路的初始化在输入/输出缓冲器的工作被启动时尚未完成的情况。在本发明中，不出现这种情况。

由于上电复位电路 (POWRST) 8E 工作于电源电压 VCC，故必须首先提供电源电压 VCC。在提供电源电压 VCC 之后，能够确保上述效果，而不管电源电压 VCC2 和 VDD 以及诸如不同电源电位的 VCC3 和 VCC4 之类的其它多个电源电压的顺序如何，也不管上升速度如何。确保电路节点在电源上升时的初始状态、由系统控制器进行初始化、以及在高阻抗状态下启动输入/输出缓冲器的控制，被顺序地控制。

而且，信号 N9 是信号 N7 与 N3 之间的 AND 信号。当在来自端子 4B 的电源 VCC 被保持的情况下停止从电源端子 4C 提供工作电源电压 VDD 时，信号 N9 被立即改变到低电平。响应于此改变，输入/输出缓冲器 8F 的输出电路 20 被设定为高阻抗状态。因此，当输入/输出缓冲器 8F 由于停止提供电源电压 VDD 而变得不能确保诸如 CPU 5A 之类的内部电路的正常工作时导致的输入/输出缓冲器 8F 的错误输出操作能够被抑制。

基于各个实施方案，上面已经具体地描述了本发明人得到的本发明。显然，本发明不局限于这些实施方案，而是能够进行各种修正而不偏离本发明的主旨。

例如，对内部电路的工作电源提供可以不被选择性地停止。可以利用内部电源开关控制器，用诸如 CPU 或 DSP 之类的电路模块本身来执行电源提供的选择性停止。此芯片上电路模块不局限于 CPU 和 DSP 之类，而是可以适当地改变。输入/输出缓冲器的结构不局限于图 3 的结构，而是可以是其它的推挽结构和开放漏结构之类。本发明不

仅能够被应用于微计算机，而是还能够被应用于其它数据处理器、存储器、驱动器等的各种半导体集成电路。

图1

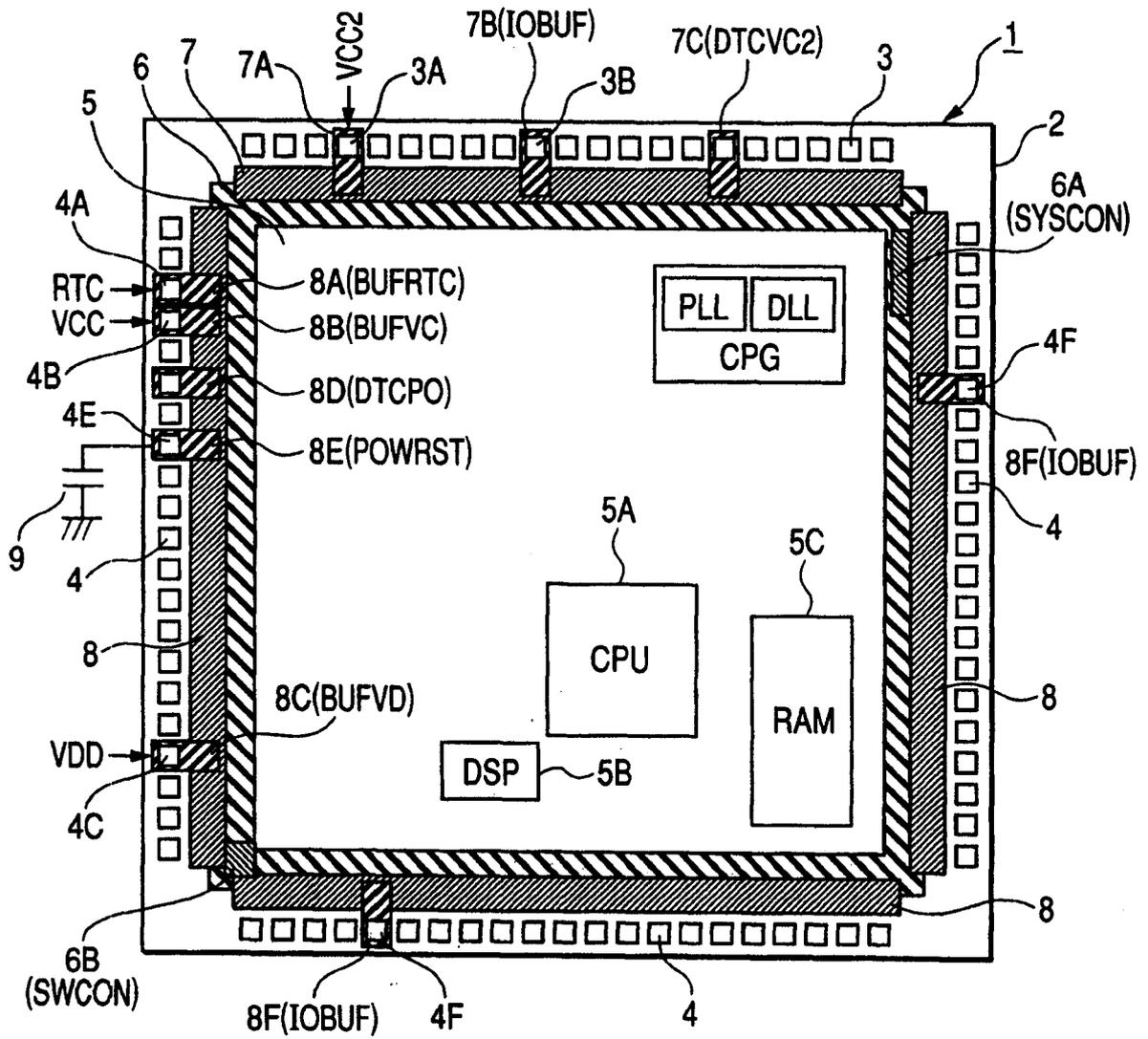


图 2

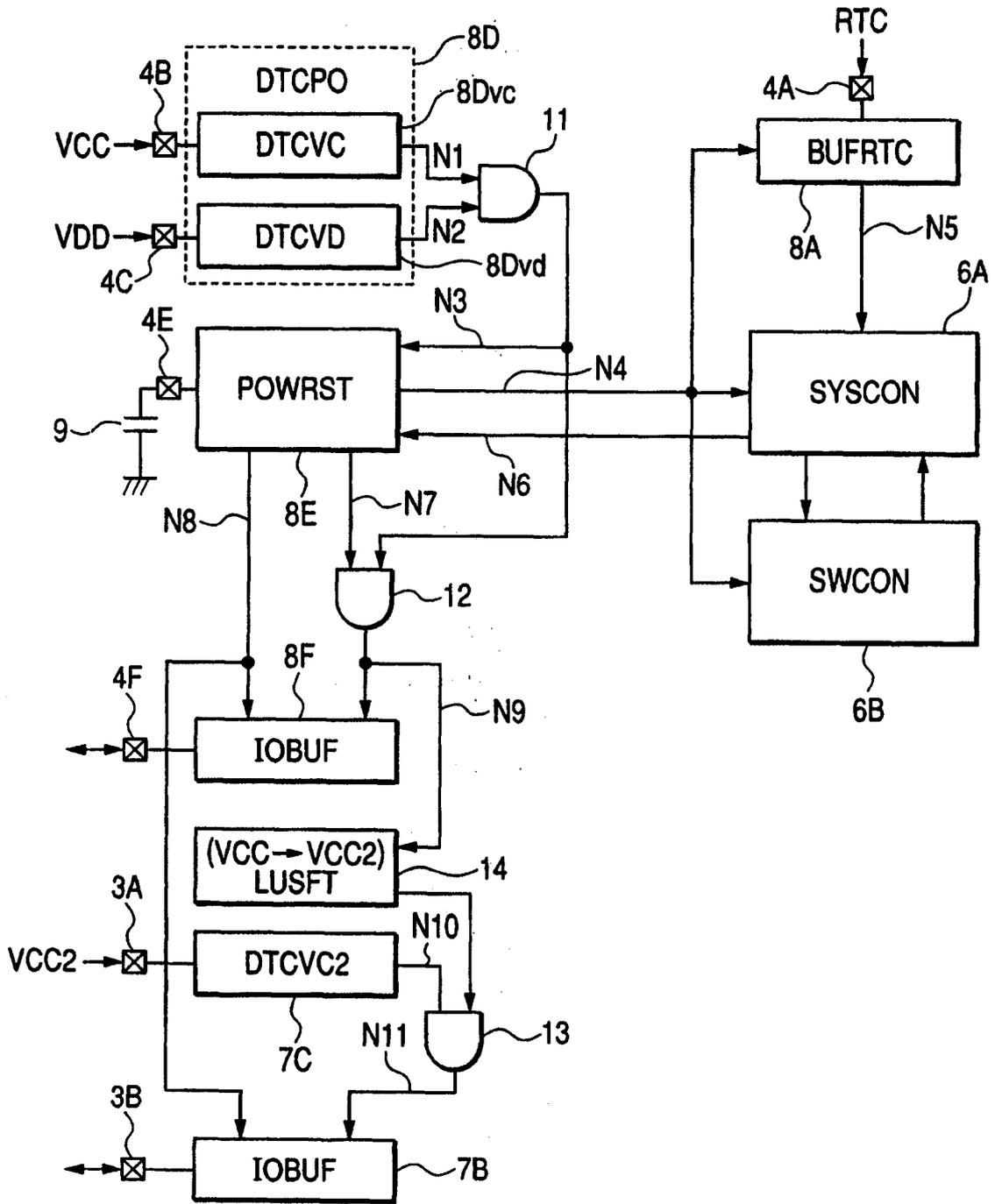


图 3

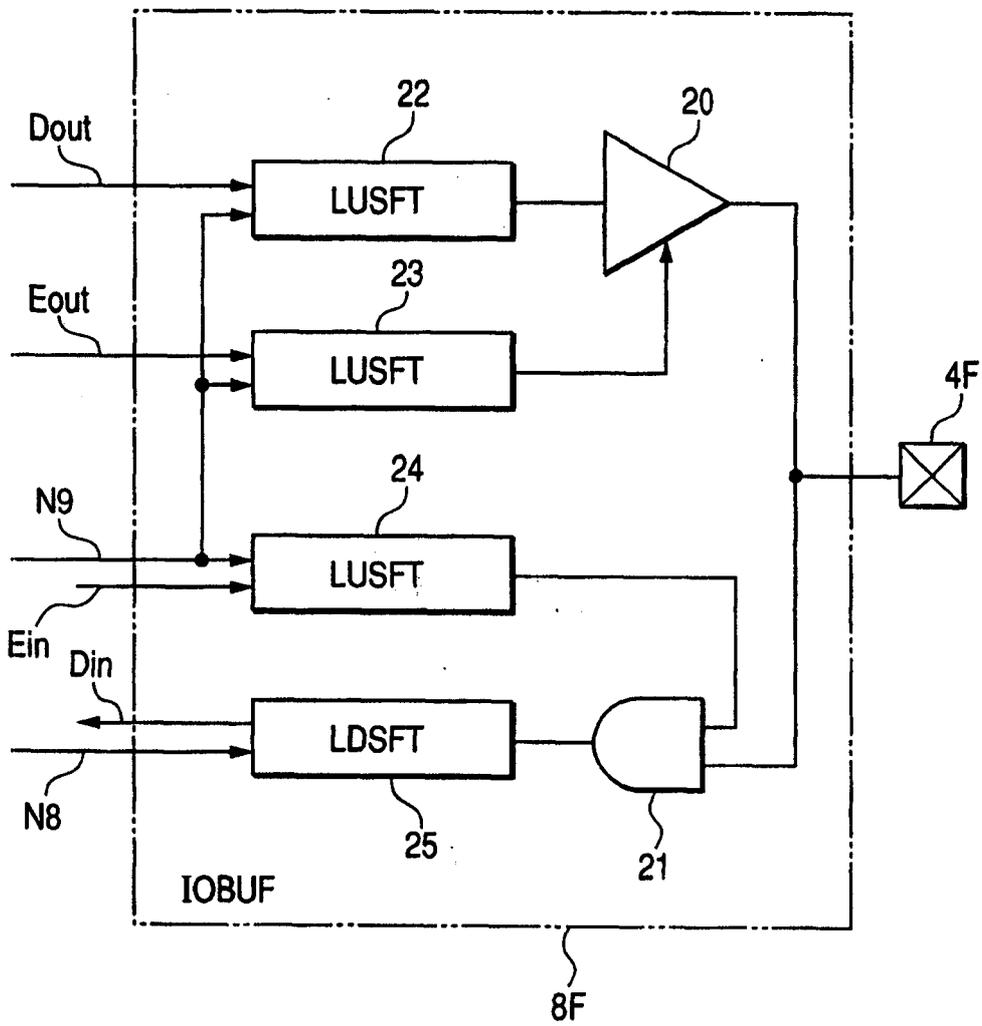
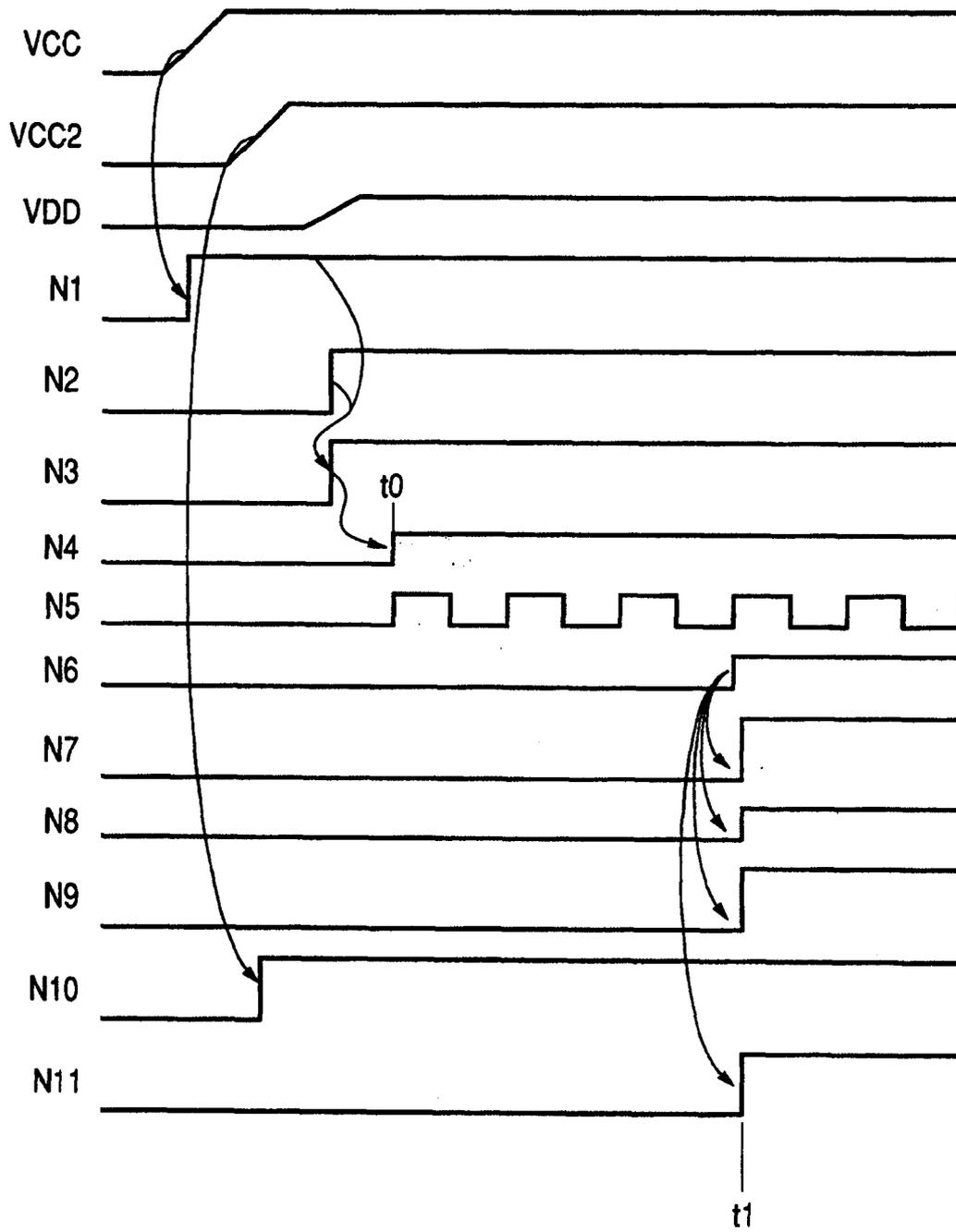


图 4



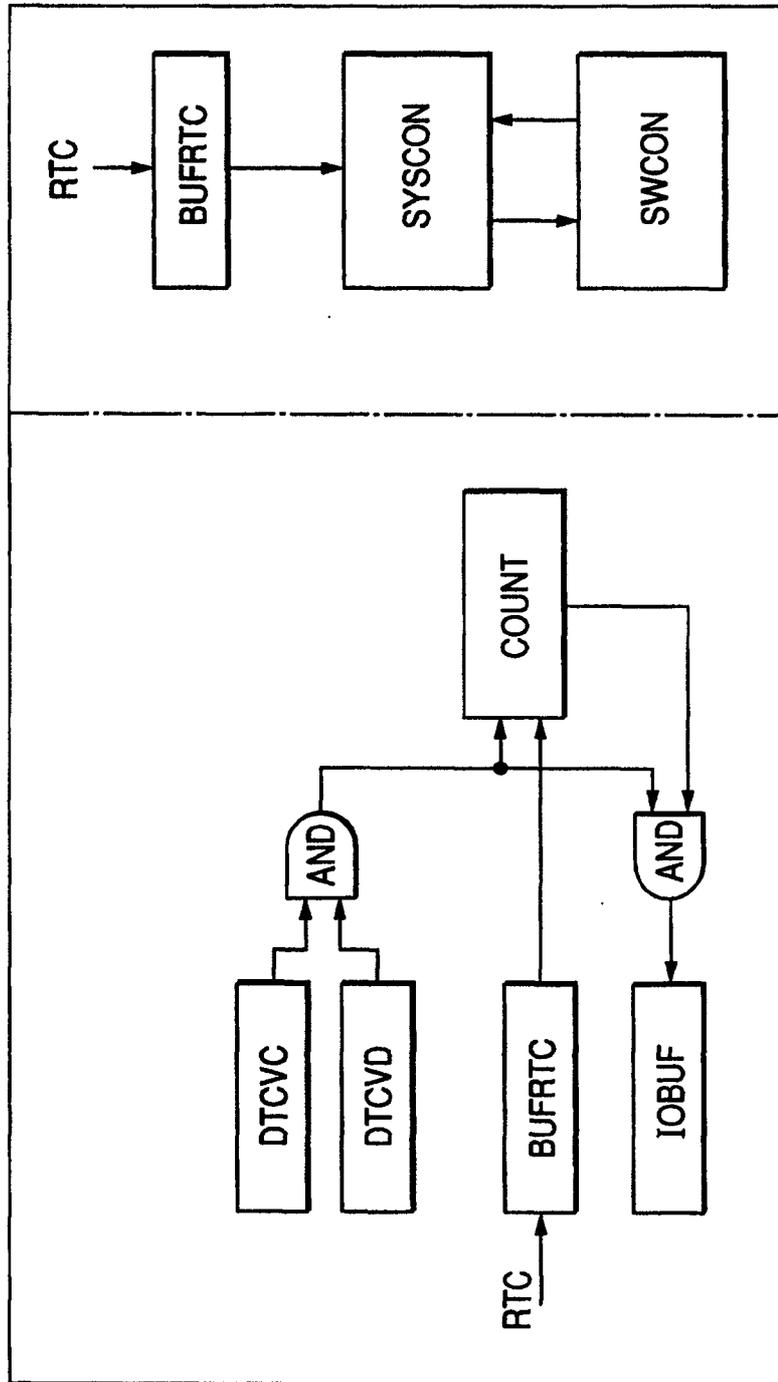


图5