(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0022021
(43) 공개일자 2025년02월14일

(51) 국제특허분류(Int. Cl.)
H10D 30/67 (2025.01) *H01L 23/522* (2006.01)
H10B 53/20 (2023.01) *H10B 53/30* (2023.01)
H10D 30/01 (2025.01) *H10D 84/03* (2025.01)
H10D 84/83 (2025.01)
(52) CPC특허분류
H10D 30/6757 (2025.01)
H01L 23/522 (2013.01)
(21) 출원번호 10-2024-7040182
(22) 출원일자(국제) 2023년06월02일
심사청구일자 없음
(85) 번역문제출일자 2024년12월03일
(86) 국제출원번호 PCT/IB2023/055668
(87) 국제공개번호 WO 2023/242664
국제공개일자 2023년12월21일
(30) 우선권주장
JP-P-2022-098103 2022년06월17일 일본(JP)
(뒷면에 계속)

(71) 출원인
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
구니타케 히토시
일본 194-0032 도쿄도 마치다시 홈마치다 3599-60
사와이 히로미
일본 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이
(뒷면에 계속)
(74) 대리인
김태홍, 김진희

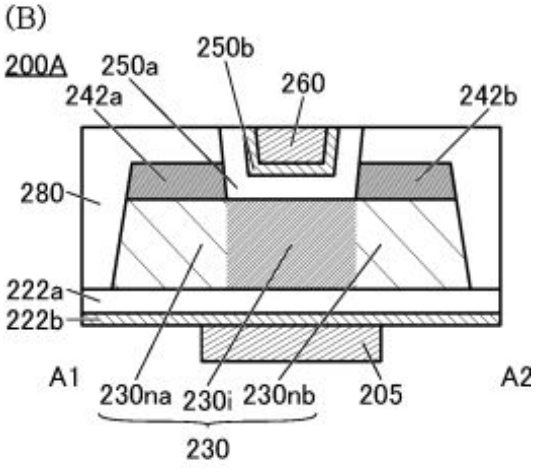
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 **반도체 장치, 기억 장치**

(57) 요 약

양호한 전기 특성을 가지는 반도체 장치를 제공한다. 반도체 장치는 제 1 적층체와, 제 1 적층체 아래의 채널 형성 영역을 가지는 반도체층과, 반도체층 아래의 제 2 적층체를 가진다. 제 1 적층체 및 제 2 적층체는 각각 적어도 제 1 절연체와 제 2 절연체를 가진다. 이때, 제 1 적층체가 가지는 제 1 절연체와, 제 2 적층체가 가지는 제 1 절연체는 채널 형성 영역을 개재(介在)하여 서로 중첩되는 영역을 가지고, 제 1 적층체가 가지는 제 2 절연체와, 제 2 적층체가 가지는 제 2 절연체는 제 1 적층체가 가지는 제 1 절연체, 채널 형성 영역, 및 제 2 적층체가 가지는 제 1 절연체를 개재하여 서로 중첩되는 영역을 가진다. 또한 제 1 적층체에 포함되는 제 1 절연체와 제 2 적층체에 포함되는 제 1 절연체는 공통된 기능을 가지고, 제 1 적층체에 포함되는 제 2 절연체와 제 2 적층체에 포함되는 제 2 절연체는 공통된 기능을 가진다.

대 표 도



(52) CPC특허분류
H10B 53/20 (2023.02)
H10B 53/30 (2023.02)
H10D 30/0191 (2025.01)
H10D 30/021 (2025.01)
H10D 30/6755 (2025.01)
H10D 84/038 (2025.01)
H10D 84/83 (2025.01)

(72) 발명자
누마타 시유우
일본 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이
오시마 가즈아키
일본 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이

(30) 우선권주장
JP-P-2022-113447 2022년07월14일 일본(JP)
JP-P-2023-076110 2023년05월02일 일본(JP)

명 세 서

청구범위

청구항 1

반도체 장치로서,

제 1 적층체와, 상기 제 1 적층체 아래의 반도체층과, 상기 반도체층 아래의 제 2 적층체를 가지고,

상기 반도체층은 제 1 영역과, 상기 제 1 영역을 끼우도록 제공되는 제 2 영역 및 제 3 영역을 가지고,

상기 제 1 적층체와 상기 제 2 적층체는 상기 제 1 영역을 기준으로 하여 대칭으로 제공되고,

상기 제 1 적층체는 제 1 절연체와, 상기 제 1 절연체 위의 제 2 절연체를 가지고,

상기 제 2 적층체는 제 3 절연체와, 상기 제 3 절연체 아래의 제 4 절연체를 가지고,

상기 제 2 절연체는 상기 제 1 절연체보다 수소를 투과시키기 어렵고,

상기 제 4 절연체는 상기 제 3 절연체보다 수소를 투과시키기 어렵고,

상기 제 1 절연체 및 상기 제 3 절연체 각각은 실리콘과 산소를 포함하고,

상기 제 2 절연체 및 상기 제 4 절연체 각각은 실리콘과 질소를 포함하는, 반도체 장치.

청구항 2

제 1 항에 있어서,

상기 제 3 절연체는 섬 형상이고,

단면에서 보았을 때, 상기 제 3 절연체의 측단부는 상기 반도체층의 측단부와 일치하는, 반도체 장치.

청구항 3

제 1 항에 있어서,

상기 제 1 적층체는 상기 제 1 절연체 아래에 제 5 절연체를 더 가지고,

상기 제 2 적층체는 상기 제 3 절연체 위에 제 6 절연체를 더 가지고,

상기 제 5 절연체는 상기 제 1 절연체보다 산소를 투과시키기 어렵고,

상기 제 6 절연체는 상기 제 2 절연체보다 산소를 투과시키기 어렵고,

상기 제 5 절연체 및 상기 제 6 절연체 각각은 알루미늄을 포함하는, 반도체 장치.

청구항 4

제 3 항에 있어서,

상기 제 3 절연체와 상기 제 6 절연체와는 적층 구조이고,

상기 적층 구조는 섬 형상이고,

단면에서 보았을 때, 상기 적층 구조의 측단부는 상기 반도체층의 측단부와 일치하는, 반도체 장치.

청구항 5

반도체 장치로서,

제 1 적층체와, 상기 제 1 적층체 아래의 반도체층과, 상기 반도체층 아래의 제 2 적층체를 가지고,

상기 반도체층은 제 1 영역과, 상기 제 1 영역을 끼우도록 제공되는 제 2 영역 및 제 3 영역을 가지고,

상기 제 1 적층체와 상기 제 2 적층체는 상기 제 1 영역을 기준으로 하여 대칭으로 제공되고,

상기 제 1 적층체는 제 1 절연체와, 상기 제 1 절연체 위의 제 2 절연체와, 상기 제 2 절연체 위의 제 3 절연체를 가지고,

상기 제 2 적층체는 제 1 금속 산화물과, 상기 제 1 금속 산화물 아래의 제 4 절연체와, 상기 제 4 절연체 아래의 제 5 절연체를 가지고,

상기 제 1 절연체는 상기 제 2 절연체보다 산소를 투과시키기 어렵고,

상기 제 3 절연체는 상기 제 2 절연체보다 수소를 투과시키기 어렵고,

상기 제 1 금속 산화물은 상기 제 4 절연체보다 산소를 투과시키기 어렵고,

상기 제 5 절연체는 상기 제 4 절연체보다 수소를 투과시키기 어렵고,

상기 제 1 절연체 및 상기 제 1 금속 산화물 각각은 갈륨 및 알루미늄 중 적어도 한쪽을 포함하고,

상기 제 2 절연체 및 상기 제 4 절연체 각각은 실리콘과 산소를 포함하고,

상기 제 3 절연체 및 상기 제 5 절연체 각각은 실리콘과 질소를 포함하는, 반도체 장치.

청구항 6

제 5 항에 있어서,

상기 반도체층은 제 2 금속 산화물을 가지고,

상기 제 1 금속 산화물 및 상기 제 2 금속 산화물 각각은 인듐을 포함하고,

상기 제 1 금속 산화물에서의 인듐에 대한 갈륨 및 알루미늄 중 적어도 한쪽의 원자수비는 상기 제 2 금속 산화물에서의 인듐에 대한 갈륨 및 알루미늄 중 적어도 한쪽의 원자수비보다 큰, 반도체 장치.

청구항 7

제 5 항에 있어서,

상기 제 4 절연체와 상기 제 5 절연체 사이에 제 6 절연체를 더 가지고,

상기 제 6 절연체는 수소를 포획 또는 고착하는 기능을 가지는, 반도체 장치.

청구항 8

제 7 항에 있어서,

상기 제 2 절연체와 상기 제 3 절연체 사이에 제 7 절연체를 더 가지고,

상기 제 7 절연체는 수소를 포획 또는 고착하는 기능을 가지는, 반도체 장치.

청구항 9

제 1 항 내지 제 8 항 중 어느 한 항에 있어서,

제 1 도전체와 제 2 도전체를 더 가지고,

상기 제 1 도전체는 상기 제 1 적층체의 위쪽에 위치하고,

상기 제 2 도전체는 상기 제 2 적층체의 아래쪽에 위치하는, 반도체 장치.

청구항 10

제 9 항에 있어서,

제 3 도전체와 제 4 도전체를 더 가지고,

상기 제 2 영역은 상기 제 3 도전체와 중첩되고,

상기 제 3 영역은 상기 제 4 도전체와 중첩되는, 반도체 장치.

청구항 11

기억 장치로서,

제 10 항에 기재된 반도체 장치와, 용량 소자를 가지고,

상기 용량 소자는 강유전체 커패시터인, 기억 장치.

발명의 설명

기 술 분 야

[0001] 본 발명의 일 형태는 반도체 장치, 기억 장치, 및 전자 기기에 관한 것이다. 또한 본 발명의 일 형태는 반도체 장치 및 기억 장치의 제작 방법에 관한 것이다.

[0002] 또한 본 발명의 일 형태는 상기 기술분야에 한정되지 않는다. 본 발명의 일 형태의 기술분야의 일례로서는 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 기억 장치, 전자 기기, 조명 장치, 입력 장치(예를 들어 터치 센서), 입출력 장치(예를 들어 터치 패널), 이들의 구동 방법, 또는 이들의 제조 방법을 들 수 있다.

[0003] 또한 본 명세서 등에서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리킨다. 트랜지스터 등의 반도체 소자를 비롯하여, 반도체 회로, 연산 장치, 기억 장치는 반도체 장치의 일 형태이다. 표시 장치(액정 표시 장치, 발광 표시 장치 등), 투영 장치, 조명 장치, 전기 광학 장치, 축전 장치, 기억 장치, 반도체 회로, 촬상 장치, 전자 기기 등은 반도체 장치를 가진다고 할 수 있는 경우가 있다.

배 경 기 술

[0004] 근년에 들어 반도체 장치의 개발이 진행되고 있고, LSI(Large Scale Integration), CPU(Central Processing Unit), 메모리 등이 주로 반도체 장치에 사용되고 있다. CPU는 반도체 웨이퍼를 가공하여 칩으로 형성한 반도체 집적 회로(적어도 트랜지스터 및 메모리)를 가지고, 접속 단자인 전극이 형성된 반도체 소자의 집합체이다.

[0005] LSI, CPU, 메모리 등의 반도체 회로(IC칩)는 회로 기판, 예를 들어 인쇄 배선 기판에 실장되고, 다양한 전자 기기의 부품 중 하나로서 사용된다.

[0006] 또한 절연 표면을 가지는 기판 위에 형성된 반도체 박막을 사용하여 트랜지스터를 구성하는 기술이 주목받고 있다. 상기 트랜지스터는 집적 회로(IC), 화상 표시 장치(단순히 표시 장치라고도 표기함)와 같은 전자 디바이스에 널리 응용되고 있다. 트랜지스터에 적용할 수 있는 반도체 박막의 재료로서는 실리콘계 반도체 재료가 널리 알려져 있지만, 그 외의 재료로서 산화물 반도체가 주목받고 있다.

[0007] 또한 산화물 반도체를 사용한 트랜지스터는 비도통 상태에서 누설 전류가 매우 낮은 것이 알려져 있다. 예를 들어 특허문헌 1에는 산화물 반도체를 사용한 트랜지스터의 누설 전류가 낮다는 특성을 응용한 소비 전력이 낮은 CPU 등이 개시(開示)되어 있다. 또한 예를 들어 특허문헌 2에는 산화물 반도체를 사용한 트랜지스터의 누설 전류가 낮다는 특성을 응용하여, 장기간에 걸쳐 기억 내용을 유지할 수 있는 기억 장치 등이 개시되어 있다.

선행기술문헌

특허문헌

[0008] (특허문헌 0001) 일본 공개특허공보 특개2012-257187호

(특허문헌 0002) 일본 공개특허공보 특개2011-151383호

발명의 내용

해결하려는 과제

[0009] 본 발명의 일 형태는 양호한 전기 특성을 가지는 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 신뢰성이 높은 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 트랜지스터의 전기 특성의 편차가 적은

반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 미세화 또는 고집적화가 가능한 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 동작 속도가 빠른 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 온 전류가 높은 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 소비 전력이 낮은 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 신규 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 생산성이 높은 반도체 장치의 제작 방법을 제공하는 것을 과제 중 하나로 한다. 또는 신규 반도체 장치의 제작 방법을 제공하는 것을 과제 중 하나로 한다.

[0010] 또는 본 발명의 일 형태는 기억 용량이 큰 기억 장치를 제공하는 것을 과제 중 하나로 한다. 또는 동작 속도가 빠른 기억 장치를 제공하는 것을 과제 중 하나로 한다. 또는 소비 전력이 낮은 기억 장치를 제공하는 것을 과제 중 하나로 한다. 또는 신규 기억 장치를 제공하는 것을 과제 중 하나로 한다. 또는 신규 기억 장치의 제작 방법을 제공하는 것을 과제 중 하나로 한다.

[0011] 또한 이들 과제의 기재는 다른 과제의 존재를 방해하는 것은 아니다. 본 발명의 일 형태는 이들 과제 모두를 반드시 해결할 필요는 없는 것으로 한다. 명세서, 도면, 청구항의 기재에서 이들 외의 과제를 추출할 수 있다.

과제의 해결 수단

[0012] 본 발명의 일 형태는 제 1 적층체와, 제 1 적층체 아래의 반도체층과, 반도체층 아래의 제 2 적층체를 가지는 반도체 장치이다. 반도체층은 제 1 영역과, 제 1 영역을 끼우도록 제공되는 제 2 영역 및 제 3 영역을 가진다. 제 1 적층체와 제 2 적층체는 제 1 영역을 기준으로 하여 대칭으로 제공된다. 제 1 적층체는 제 1 절연체와, 제 1 절연체 위의 제 2 절연체를 가진다. 제 2 적층체는 제 3 절연체와, 제 3 절연체 아래의 제 4 절연체를 가진다. 제 2 절연체는 제 1 절연체보다 수소를 투과시키기 어렵다. 제 4 절연체는 제 3 절연체보다 수소를 투과시키기 어렵다. 제 1 절연체 및 제 3 절연체 각각은 실리콘과 산소를 포함한다. 제 2 절연체 및 제 4 절연체 각각은 실리콘과 질소를 포함한다.

[0013] 상기 반도체 장치에 있어서, 제 3 절연체는 섬 형상이고, 단면에서 보았을 때, 제 3 절연체의 측단부는 반도체층의 측단부와 일치하는 것이 바람직하다.

[0014] 또한 상기 반도체 장치에 있어서, 제 1 적층체는 제 1 절연체 아래에 제 5 절연체를 더 가지고, 제 2 적층체는 제 3 절연체 위에 제 6 절연체를 더 가지고, 제 5 절연체는 제 1 절연체보다 산소를 투과시키기 어렵고, 제 6 절연체는 제 2 절연체보다 산소를 투과시키기 어렵고, 제 5 절연체 및 제 6 절연체 각각은 알루미늄을 포함하는 것이 바람직하다.

[0015] 또한 상기 반도체 장치에 있어서, 제 3 절연체와 제 6 절연체와는 적층 구조이고, 적층 구조는 섬 형상이고, 단면에서 보았을 때, 적층 구조의 측단부는 반도체층의 측단부와 일치하는 것이 바람직하다.

[0016] 본 발명의 다른 일 형태는 제 1 적층체와, 제 1 적층체 아래의 반도체층과, 반도체층 아래의 제 2 적층체를 가지는 반도체 장치이다. 반도체층은 제 1 영역과, 제 1 영역을 끼우도록 제공되는 제 2 영역 및 제 3 영역을 가진다. 제 1 적층체와 제 2 적층체는 제 1 영역을 기준으로 하여 대칭으로 제공된다. 제 1 적층체는 제 1 절연체와, 제 1 절연체 위의 제 2 절연체와, 제 2 절연체 위의 제 3 절연체를 가진다. 제 2 적층체는 제 1 금속 산화물과, 제 1 금속 산화물 아래의 제 4 절연체와, 제 4 절연체 아래의 제 5 절연체를 가진다. 제 1 절연체는 제 2 절연체보다 산소를 투과시키기 어렵다. 제 3 절연체는 제 2 절연체보다 수소를 투과시키기 어렵다. 제 1 절연체는 제 4 절연체보다 산소를 투과시키기 어렵다. 제 5 절연체는 제 4 절연체보다 수소를 투과시키기 어렵다. 제 1 절연체 및 제 1 금속 산화물 각각은 갈륨 및 알루미늄 중 적어도 한쪽을 포함한다. 제 2 절연체 및 제 4 절연체 각각은 실리콘과 산소를 포함한다. 제 3 절연체 및 제 5 절연체 각각은 실리콘과 질소를 포함한다.

[0017] 상기 반도체 장치에 있어서, 반도체층은 제 2 금속 산화물을 가지고, 제 1 금속 산화물 및 제 2 금속 산화물 각각은 인듐을 포함하고, 제 1 금속 산화물에서의 인듐에 대한 갈륨 및 알루미늄 중 적어도 한쪽의 원자수비는 제 2 금속 산화물에서의 인듐에 대한 갈륨 및 알루미늄 중 적어도 한쪽의 원자수비보다 큰 것이 바람직하다.

[0018] 또한 상기 반도체 장치에 있어서, 제 4 절연체와 제 5 절연체 사이에 제 6 절연체를 더 가지고, 제 6 절연체는 수소를 포획 또는 고착하는 기능을 가지는 것이 바람직하다.

[0019] 또한 상기 반도체 장치에 있어서, 제 2 절연체와 제 3 절연체 사이에 제 7 절연체를 더 가지고, 제 7 절연체는 수소를 포획 또는 고착하는 기능을 가지는 것이 바람직하다.

[0020] 또한 상기 반도체 장치에 있어서, 제 1 도전체와 제 2 도전체를 더 가지고, 제 1 도전체는 제 1 적층체의 위쪽에 위치하고, 제 2 도전체는 제 2 적층체 아래쪽에 위치하는 것이 바람직하다.

[0021] 또한 상기 반도체 장치에 있어서, 제 3 도전체와 제 4 도전체를 더 가지고, 제 2 영역은 제 3 도전체와 중첩되고, 제 3 영역은 제 4 도전체와 중첩되는 것이 바람직하다.

[0022] 본 발명의 일 형태는 상기 반도체 장치와 용량 소자를 가지는 기억 장치이다. 용량 소자는 강유전체 커패시터이다.

발명의 효과

[0023] 본 발명의 일 형태에 의하여 양호한 전기 특성을 가지는 반도체 장치를 제공할 수 있다. 또는 신뢰성이 높은 반도체 장치를 제공할 수 있다. 또는 트랜지스터의 전기 특성의 편차가 적은 반도체 장치를 제공할 수 있다. 또는 미세화 또는 고집적화가 가능한 반도체 장치를 제공할 수 있다. 또는 동작 속도가 빠른 반도체 장치를 제공할 수 있다. 또는 온 전류가 높은 반도체 장치를 제공할 수 있다. 또는 소비 전력이 낮은 반도체 장치를 제공할 수 있다. 또는 신규 반도체 장치를 제공할 수 있다. 또는 생산성이 높은 반도체 장치의 제작 방법을 제공할 수 있다. 또는 신규 반도체 장치의 제작 방법을 제공할 수 있다.

[0024] 또는 본 발명의 일 형태에 의하여 기억 용량이 큰 기억 장치를 제공할 수 있다. 또는 동작 속도가 빠른 기억 장치를 제공할 수 있다. 또는 소비 전력이 낮은 기억 장치를 제공할 수 있다. 또는 신규 기억 장치를 제공할 수 있다. 또는 신규 반도체 장치의 제작 방법을 제공할 수 있다.

[0025] 또한 이들 효과의 기재는 다른 효과의 존재를 방해하는 것은 아니다. 본 발명의 일 형태는 반드시 이들 효과 모두를 가질 필요는 없다. 명세서, 도면, 청구항의 기재에서 이들 외의 효과를 추출할 수 있다.

도면의 간단한 설명

[0026] 도 1의 (A)는 반도체 장치의 일례를 나타낸 상면도이다. 도 1의 (B) 및 (C)는 반도체 장치의 일례를 나타낸 단면도이다.

도 2의 (A) 및 (B)는 반도체 장치의 일례를 나타낸 단면도이다.

도 3의 (A)는 반도체 장치의 일례를 나타낸 상면도이다. 도 3의 (B) 및 (C)는 반도체 장치의 일례를 나타낸 단면도이다.

도 4의 (A) 내지 (D)는 반도체 장치의 일례를 나타낸 단면도이다.

도 5의 (A) 내지 (D)는 반도체 장치의 일례를 나타낸 단면도이다.

도 6의 (A)는 반도체 장치의 일례를 나타낸 상면도이다. 도 6의 (B) 및 (C)는 반도체 장치의 일례를 나타낸 단면도이다.

도 7의 (A) 내지 (D)는 반도체 장치의 일례를 나타낸 단면도이다.

도 8의 (A)는 반도체 장치의 일례를 나타낸 상면도이다. 도 8의 (B) 및 (C)는 반도체 장치의 일례를 나타낸 단면도이다.

도 9의 (A) 내지 (F)는 반도체 장치의 일례를 나타낸 단면도이다.

도 10의 (A) 내지 (F)는 반도체 장치의 일례를 나타낸 단면도이다.

도 11의 (A) 내지 (D)는 반도체 장치의 일례를 나타낸 단면도이다.

도 12의 (A) 내지 (D)는 반도체 장치의 일례를 나타낸 단면도이다.

도 13의 (A) 내지 (F)는 반도체 장치의 일례를 나타낸 단면도이다.

도 14의 (A) 내지 (F)는 반도체 장치의 일례를 나타낸 단면도이다.

도 15의 (A)는 반도체 장치의 일례를 나타낸 상면도이다. 도 15의 (B) 내지 (D)는 반도체 장치의 일례를 나타낸 단면도이다.

도 16의 (A) 및 (B)는 반도체 장치의 일례를 나타낸 단면도이다.

도 17의 (A) 및 (B)는 반도체 장치의 일례를 나타낸 단면도이다.

도 18의 (A) 및 (B)는 반도체 장치의 일례를 나타낸 단면도이다.

도 19의 (A)는 반도체 장치의 일례를 나타낸 상면도이다. 도 19의 (B) 및 (C)는 반도체 장치의 일례를 나타낸 단면도이다.

도 20의 (A)는 반도체 장치의 일례를 나타낸 상면도이다. 도 20의 (B)는 반도체 장치의 일례를 나타낸 단면도이다.

도 21은 반도체 장치의 일례를 나타낸 단면도이다.

도 22는 반도체 장치의 일례를 나타낸 단면도이다.

도 23의 (A)는 반도체 장치의 일례를 나타낸 상면도이다. 도 23의 (B)는 반도체 장치의 일례를 나타낸 단면도이다.

도 24의 (A)는 반도체 장치의 일례를 나타낸 상면도이다. 도 24의 (B)는 반도체 장치의 일례를 나타낸 단면도이다.

도 25의 (A)는 반도체 장치의 일례를 나타낸 상면도이다. 도 25의 (B)는 반도체 장치의 일례를 나타낸 단면도이다.

도 26은 기억 장치의 일례를 나타낸 단면도이다.

도 27은 기억 장치의 일례를 나타낸 단면도이다.

도 28의 (A)는 본 발명의 일 형태에 따른 기억 장치의 구성예를 나타낸 블록도이다. 도 28의 (B)는 본 발명의 일 형태에 따른 기억 장치의 구성예를 나타낸 사시도이다.

도 29의 (A) 내지 (I)는 본 발명의 일 형태에 따른 기억 장치의 구성예를 나타낸 회로도이다.

도 30은 기억 장치의 일례를 나타낸 단면도이다.

도 31의 (A)는 메모리 셀의 회로 구성예를 설명하는 도면이다. 도 31의 (B)는 히스테리시스 특성의 일례를 나타낸 그래프이다. 도 31의 (C)는 메모리 셀의 구동 방법예를 나타낸 타이밍 차트이다.

도 32의 (A) 및 (B)는 본 발명의 일 형태에 따른 반도체 장치의 모식도이다.

도 33의 (A) 내지 (E)는 기억 장치의 일례를 설명하기 위한 도면이다.

도 34의 (A) 및 (B)는 전자 부품의 일례를 나타낸 도면이다.

도 35의 (A) 및 (B)는 전자 기기의 일례를 나타낸 도면이고, 도 35의 (C) 내지 (E)는 대형 컴퓨터의 일례를 나타낸 도면이다.

도 36은 우주용 기기의 일례를 나타낸 도면이다.

도 37은 데이터 센터에 적용할 수 있는 저장 시스템의 일례를 나타낸 도면이다.

도 38은 GIXRD 측정 결과를 나타낸 도면이다.

도 39의 (A) 및 (B)는 AFM을 사용하여 표면 관찰을 수행한 결과를 나타낸 도면이다. 도 39의 (C) 및 (D)는 화상 해석을 수행한 결과를 나타낸 도면이다. 도 39의 (E) 및 (F)는 입경 분포를 평가한 결과를 나타낸 도면이다.

도 40의 (A)는 입력 전압 파형을 나타낸 도면이다. 도 40의 (B)는 P-E 특성을 나타낸 도면이다.

도 41의 (A)는 입력 전압 파형을 나타낸 도면이다. 도 41의 (B)는 피로 특성을 나타낸 도면이다.

도 42의 (A) 및 (B)는 피로 특성을 나타낸 도면이다.

도 43의 (A) 및 (B)는 리텐션 측정의 방법을 나타낸 도면이다.

도 44는 리텐션 측정의 결과를 나타낸 도면이다.

도 45는 J-V 특성을 나타낸 도면이다.

도 46은 제작된 시료의 단면 STEM 이미지이다.

도 47의 (A)는 메모리 셀 회로를 설명하는 도면이다. 도 47의 (B)는 광학 현미경 사진이다.

도 48은 소스 폴로어의 특성을 나타낸 도면이다.

도 49의 (A) 및 (B)는 양의 분극의 기록과 판독의 평가 방법을 설명하는 도면이다.

도 50의 (A) 및 (B)는 양의 분극의 기록과 판독의 평가 방법을 설명하는 도면이다.

도 51은 전압 파형을 나타낸 도면이다.

도 52는 ΔV_{BL}의 추이(推移)를 나타낸 도면이다.

도 53은 ΔV_{BL}의 추이를 나타낸 도면이다.

도 54의 (A) 및 (B)는 피로 특성을 나타낸 도면이다.

도 55의 (A) 및 (B)는 리텐션 측정 결과를 나타낸 도면이다.

도 56의 (A)는 시료의 모식도이고, 도 56의 (B)는 시료의 단면도이다.

도 57은 제작된 시료의 단면 STEM 이미지이다.

도 58은 시료의 Id-Vg 특성을 나타낸 도면이다.

도 59는 문턱 전압을 나타낸 도면이다.

도 60은 시료의 Id-Vg 특성을 나타낸 도면이다.

도 61의 (A)는 시료의 문턱 전압을 나타낸 도면이다. 도 61의 (B)는 시료의 시트 저항을 나타낸 도면이다. 도 61의 (C)는 시료의 콘택트 저항을 나타낸 도면이다.

도 62는 시료의 Id-Vg 특성을 나타낸 도면이다.

도 63의 (A) 내지 (C)는 시료의 콘택트 저항을 나타낸 도면이다.

도 64의 (A)는 시료의 회로 구성을 나타낸 회로도이다. 도 64의 (B)는 누설 전류의 측정 결과를 나타낸 도면이다.

도 65의 (A)는 시료의 회로 구성을 나타낸 회로도이다. 도 65의 (B)는 시료의 Id-V_{CWL} 특성을 나타낸 회로도이다. 도 65의 (C)는 시료의 전위(Vsh)를 나타낸 도면이다.

도 66의 (A)는 시료의 데이터 유지 평가 시험의 결과를 나타낸 도면이다. 도 66의 (B)는 시료의 데이터 재기록 평가 시험의 결과를 나타낸 도면이다.

도 67의 (A)는 콘택트 저항을 나타낸 도면이다. 도 67의 (B)는 시트 저항을 나타낸 도면이다.

도 68은 실시예에 따른 단면 STEM 이미지이다.

도 69의 (A) 및 (B)는 드레인 내압 시험의 결과를 나타낸 도면이다.

도 70은 드레인 내압 시험의 결과를 나타낸 도면이다.

도 71은 P-V 특성을 나타낸 도면이다.

도 72는 피로 특성을 나타낸 도면이다.

도 73은 ΔV_{BL}의 추이를 나타낸 도면이다.

도 74는 리텐션 측정의 결과를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0027] 실시형태에 대하여 도면을 사용하여 자세히 설명한다. 다만 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자라면 용이하게 이해할 수 있다. 따라서 본 발명은 이하의 실시형태의 기재 내용에 한정하여 해석되는 것이

아니다.

[0028] 또한 이하에서 설명하는 발명의 구성에서, 동일한 부분 또는 같은 기능을 가지는 부분에는 동일한 부호를 상이한 도면 사이에서 공통적으로 사용하고, 그 반복적인 설명은 생략한다. 또한 같은 기능을 가지는 부분을 가리키는 경우에는 해치 패턴을 동일하게 하고, 특별히 부호를 붙이지 않는 경우가 있다.

[0029] 또한 도면에 나타낸 각 구성의 위치, 크기, 및 범위 등은 이해를 쉽게 하기 위하여, 실제의 위치, 크기, 및 범위 등을 나타내지 않는 경우가 있다. 그러므로 개시된 발명은 반드시 도면에 개시된 위치, 크기, 및 범위 등에 한정되지 않는다.

[0030] 또한 본 명세서 등에서 "제 1", "제 2"라는 서수사는 편의상 사용하는 것이고, 구성 요소의 수 또는 구성 요소의 순서(예를 들어 공정 순서 또는 적층 순서)를 한정하는 것은 아니다. 또한 본 명세서의 어떤 부분에서 구성 요소에 붙이는 서수사와, 본 명세서의 다른 부분 또는 청구범위에서 상기 구성 요소에 붙이는 서수사가 일치하지 않는 경우가 있다.

[0031] 또한 "막"이라는 용어와 "층"이라는 용어는 경우 또는 상황에 따라 서로 바꿀 수 있다. 예를 들어 "도전층"이라는 용어를 "도전막"이라는 용어로 변경할 수 있다. 또는 예를 들어 "절연막"이라는 용어를 "절연층"이라는 용어로 변경할 수 있다. 또한 "도전체"라는 용어는 경우 또는 상황에 따라 "도전층"이라는 용어 또는 "도전막"이라는 용어로 바꿀 수 있다. 또한 "절연체"라는 용어는 경우 또는 상황에 따라 "절연층"이라는 용어 또는 "절연막"이라는 용어로 바꿀 수 있다.

[0032] 개구에는 예를 들어 홈, 슬릿 등도 포함된다. 또한 개구가 형성된 영역을 개구부라고 기재하는 경우가 있다.

[0033] 또한 본 실시형태에서 사용하는 도면에서, 절연체의 개구부에서의 절연체의 측벽이 기판면 또는 피형성면에 실질적으로 수직인 경우를 나타내었지만, 테이퍼 형상이어도 좋다.

[0034] 또한 본 명세서 등에서 테이퍼 형상이란, 구조의 측면의 적어도 일부가 기판면 또는 피형성면에 대하여 경사져 제공되어 있는 형상을 가리킨다. 예를 들어 경사진 측면과 기판면 또는 피형성면이 이루는 각(이하, 테이퍼각이라고 부르는 경우가 있음)이 90° 미만인 영역을 가지는 것이 바람직하다. 또한 구조의 측면 및 기판면은 반드시 완전히 평탄할 필요는 없고, 미세한 곡률을 가지는 대략 평면 형상 또는 미세한 요철을 가지는 대략 평면 형상을 가져도 좋다.

[0035] 본 명세서 등에서 "높이가 일치"란, 단면에서 보았을 때, 기준이 되는 면(예를 들어 기판 표면 등의 평탄한 면)으로부터의 높이가 같은 구성을 말한다. 예를 들어 반도체 장치의 제조 공정에서 평탄화 처리(대표적으로는 CMP(Chemical Mechanical Polishing) 처리)를 수행함으로써 단층 또는 복수의 층의 표면이 노출되는 경우가 있다. 이 경우, CMP 처리의 피처리면은 기준이 되는 면으로부터의 높이가 같은 구성이 된다. 다만 CMP 처리에 사용되는 처리 장치, 처리 방법, 또는 피처리면의 재료에 따라서는 복수의 층의 높이가 서로 달라지는 경우가 있다. 본 명세서 등에서는 이 경우도 "높이가 일치"에 포함시킨다. 예를 들어 기준이 되는 면에 대하여 2개의 높이를 가지는 층(여기서는 제 1 층과 제 2 층)을 가지는 경우이며, 제 1 층의 상면 높이와 제 2 층의 상면 높이의 차이가 20nm 이하인 경우도 "높이가 일치"라고 한다.

[0036] 본 명세서 등에서 "단부가 일치"란, 상면에서 보았을 때, 적층된 층과 층 사이에서 적어도 윤곽의 일부가 중첩되는 것을 말한다. 예를 들어 위층과 아래층이 동일한 마스크 패턴 또는 일부가 동일한 마스크 패턴을 사용하여 가공된 경우를 그 범주에 포함한다. 다만 엄밀하게 말하면 윤곽이 중첩되지 않고 위층의 윤곽이 아래층의 윤곽보다 내측에 위치하거나 위층의 윤곽이 아래층의 윤곽보다 외측에 위치하는 경우도 있고, 이 경우도 "단부가 일치"라고 한다.

[0037] 또한 일반적으로, "완전히 일치한다"와 "실질적으로 일치한다"의 차이를 명확하게 구별하는 것은 어렵다. 그러므로 본 명세서 등에서 "일치"란, 완전히 일치하는 경우와 실질적으로 일치하는 경우 모두를 포함하는 것으로 한다.

[0038] 또한 본 명세서 등에서는 오프 전류와 같은 의미로 누설 전류라고 기재하는 경우가 있다. 또한 본 명세서 등에서, 오프 전류란, 예를 들어 트랜지스터가 오프 상태일 때 소스와 드레인 사이를 흐르는 전류를 가리키는 경우가 있다.

[0039] (실시형태 1)

[0040] 본 실시형태에서는, 도 1의 (A) 내지 도 25의 (B)를 사용하여 본 발명의 일 형태인 반도체 장치의 구성예에 대

하여 설명한다. 또한 본 발명의 일 형태인 반도체 장치는 트랜지스터를 가진다.

[0041] <구성예 1>

[0042] 도 1의 (A) 내지 (C)를 사용하여, 본 발명의 일 형태인 반도체 장치의 구성예에 대하여 설명한다. 도 1의 (A)는 반도체 장치의 상면도이고, 도 1의 (B) 및 (C)는 반도체 장치의 단면도이다. 여기서 도 1의 (B)는 도 1의 (A)에서 일점쇄선 A1-A2로 나타낸 부분의 단면도이다. 또한 도 1의 (C)는 도 1의 (A)에서 일점쇄선 A3-A4로 나타낸 부분의 단면도이다. 또한 도 1의 (A)의 상면도에서는, 도면의 명료화를 위하여 일부 요소를 생략하였다.

[0043] 도 1의 (A) 내지 (C)에 나타낸 반도체 장치는 트랜지스터(200A)를 가진다. 따라서, 도 1의 (B)는 트랜지스터(200A)의 채널 길이 방향의 단면도라고도 할 수 있다. 또한 도 1의 (C)는 트랜지스터(200A)의 채널 폭 방향의 단면도라고도 할 수 있다.

[0044] 트랜지스터(200A)는 도전체(205)와, 도전체(205) 위의 절연체(222)(절연체(222b) 및 절연체(222a))와, 절연체(222) 위의 산화물(230)과, 산화물(230) 위의 도전체(242a) 및 도전체(242b)와, 산화물(230) 위의 절연체(250)(절연체(250a) 및 절연체(250b))와, 절연체(250) 위의 도전체(260)를 가진다.

[0045] 절연체(222), 도전체(242a), 및 도전체(242b) 위에는 절연체(280)가 제공된다. 또한 절연체(280)의 상면은 평탄화되어도 좋다. 또한 절연체(280)에 형성된 개구부를 매립하도록 절연체(250) 및 도전체(260)가 제공된다.

[0046] 산화물(230)은 채널 형성 영역으로서 기능하는 영역을 가진다. 도전체(260)는 제 1 게이트 전극(위쪽의 게이트 전극)으로서 기능하는 영역을 가진다. 절연체(250)는 제 1 게이트 절연체로서 기능하는 영역을 가진다. 도전체(205)는 제 2 게이트 전극(아래쪽의 게이트 전극)으로서 기능하는 영역을 가진다. 절연체(222)는 제 2 게이트 절연체로서 기능하는 영역을 가진다. 도전체(242a)는 소스 전극 및 드레인 전극 중 한쪽으로서 기능하는 영역을 가진다. 도전체(242b)는 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능하는 영역을 가진다.

[0047] 산화물(230)은 채널 형성 영역으로서 기능하는 영역을 가지기 때문에 본 명세서 등에서는 산화물(230)을 트랜지스터(200A)의 반도체층이라고 바꿔 말할 수 있다. 또한 반도체층을 산화물(230)이라고 바꿔 말할 수 있다.

[0048] 산화물(230)은 도 1의 (B)에 나타낸 바와 같이, 영역(230i)과, 영역(230i)을 끼우도록 제공되는 영역(230na) 및 영역(230nb)을 가진다. 여기서 영역(230i)은 채널 형성 영역으로서 기능한다. 또한 영역(230na)은 소스 영역 및 드레인 영역 중 한쪽으로서 기능하고, 영역(230nb)은 소스 영역 및 드레인 영역 중 다른 쪽으로서 기능한다. 영역(230i)의 적어도 일부는 도전체(260) 및 도전체(205)와 중첩된다. 영역(230na)은 도전체(242a)와 중첩되고, 영역(230nb)은 도전체(242b)와 중첩된다.

[0049] 영역(230i)은 영역(230na) 및 영역(230nb)보다 산소 결손이 적거나 불순물 농도가 낮기 때문에, 캐리어 농도가 낮은 고저항 영역이다. 따라서 영역(230i)은 i형(진성) 또는 실질적으로 i형이라고 할 수 있다.

[0050] 영역(230na) 및 영역(230nb)은 영역(230i)보다 산소 결손이 많거나 수소, 질소, 금속 원소 등의 불순물 농도가 높기 때문에, 캐리어 농도가 높은 저저항 영역이다. 즉 영역(230na) 및 영역(230nb)은 영역(230i)보다 캐리어 농도가 높은 n형 영역(저저항 영역)이다.

[0051] 또한 영역(230i)의 캐리어 농도는 $1\times10^{18}cm^{-3}$ 이하, $1\times10^{17}cm^{-3}$ 미만, $1\times10^{16}cm^{-3}$ 미만, $1\times10^{15}cm^{-3}$ 미만, $1\times10^{14}cm^{-3}$ 미만, $1\times10^{13}cm^{-3}$ 미만, $1\times10^{12}cm^{-3}$ 미만, $1\times10^{11}cm^{-3}$ 미만, 또는 $1\times10^{10}cm^{-3}$ 미만인 것이 바람직하다. 또한 영역(230i)의 캐리어 농도의 하한값에 대해서는 특별히 한정되지 않지만, 예를 들어 $1\times10^{-9}cm^{-3}$로 할 수 있다.

[0052] 산화물(230)의 캐리어 농도를 낮추는 경우에는 산화물(230) 내의 불순물 농도를 낮추고, 결함 준위 밀도를 낮춘다. 본 명세서 등에서 불순물 농도가 낮고, 결함 준위 밀도가 낮은 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 한다. 또한 캐리어 농도가 낮은 산화물 반도체(또는 금속 산화물)를 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체(또는 금속 산화물)라고 부르는 경우가 있다.

[0053] 트랜지스터(200A)의 전기 특성을 안정시키기 위해서는, 산화물(230) 내의 불순물 농도를 저감하는 것이 유효하다. 또한 산화물(230) 내의 불순물 농도를 저감하기 위해서는 근접한 막 내의 불순물 농도도 저감하는 것이 바람직하다. 불순물로서는 수소, 질소, 알칼리 금속, 알칼리 토금속, 철, 니켈, 실리콘 등이 있다. 또한 산화물(230) 내의 불순물이란 예를 들어 산화물(230)을 구성하는 주성분 외의 것을 말한다. 예를 들어, 농도가 0.1atomic% 미만인 원소는 불순물이라고 할 수 있다.

[0054] 또한 산화물(230)에서 각 영역의 경계를 명확히 검출하기가 어려운 경우가 있다. 각 영역 내에서 검출되는 금속 원소, 그리고 수소 및 질소 등의 불순물 원소의 농도는 영역마다 단계적으로 변화되는 것에 한정되지 않고, 각 영역 내에서도 연속적으로 변화되어도 좋다. 즉 영역(230i)에 가까운 영역일수록, 수소 및 질소 등의 불순물 원소의 농도가 감소되어 있어도 좋다.

[0055] 산화물(230)은 단층 구조이어도 좋고, 적층 구조이어도 좋다.

[0056] 산화물(230)에는, 반도체로서 기능하는 금속 산화물(이하, 산화물 반도체라고도 함)을 사용하는 것이 바람직하다.

[0057] 반도체로서 기능하는 금속 산화물은 밴드 갭이 2eV 이상인 것이 바람직하고, 2.5eV 이상인 것이 더 바람직하다. 밴드 갭이 큰 금속 산화물을 사용함으로써 트랜지스터의 오프 전류를 저감할 수 있다. 이와 같이 채널 형성 영역에 금속 산화물을 포함하는 트랜지스터를 OS 트랜지스터라고 부른다. OS 트랜지스터는 오프 전류가 낮기 때문에, 반도체 장치의 소비 전력을 충분히 저감할 수 있다. 또한 OS 트랜지스터는 주파수 특성이 높기 때문에 반도체 장치를 고속으로 동작시킬 수 있다

[0058] 산화물(230)은 금속 산화물(산화물 반도체)을 가지는 것이 바람직하다. 산화물(230)에 사용할 수 있는 금속 산화물로서, 예를 들어 인듐 산화물, 갈륨 산화물, 및 아연 산화물이 있다. 금속 산화물은 적어도 인듐(In) 또는 아연(Zn)을 포함하는 것이 바람직하다. 또한 금속 산화물은 인듐, 원소 M, 및 아연 중에서 선택되는 2종류 또는 3종류를 포함하는 것이 바람직하다. 또한 원소 M은 산소와의 결합 에너지가 높은 금속 원소 또는 반금속 원소이고, 예를 들어 산소와의 결합 에너지가 인듐보다 높은 금속 원소 또는 반금속 원소이다. 원소 M으로서 구체적으로는, 알루미늄, 갈륨, 주석, 이트륨, 타이타늄, 바나듐, 크로뮴, 망가니즈, 철, 코발트, 니켈, 지르코늄, 몰리브데넘, 하프늄, 탄탈럼, 텅스텐, 란타넘, 세륨, 네오디뮴, 마그네슘, 칼슘, 스트론튬, 바륨, 붕소, 실리콘, 저마늄, 및 안티모니 등을 들 수 있다. 금속 산화물이 포함하는 원소 M은 상기 원소 중 어느 1종류 또는 복수 종류인 것이 바람직하고, 알루미늄, 갈륨, 주석, 및 이트륨 중에서 선택된 1종류 또는 복수 종류인 것이 더 바람직하고, 갈륨인 것이 더 바람직하다. 또한 본 명세서 등에서 금속 원소와 반금속 원소를 통틀어 "금속 원소"라고 부르는 경우가 있고, 본 명세서 등에 기재된 "금속 원소"에는 반금속 원소가 포함되는 경우가 있다.

[0059] 산화물(230)에는 예를 들어 인듐 아연 산화물(In-Zn 산화물), 인듐 주석 산화물(In-Sn 산화물), 인듐 타이타늄 산화물(In-Ti 산화물), 인듐 갈륨 산화물(In-Ga 산화물), 인듐 갈륨 알루미늄 산화물(In-Ga-Al 산화물), 인듐 갈륨 주석 산화물(In-Ga-Sn 산화물), 갈륨 아연 산화물(Ga-Zn 산화물, GZO라고도 기재함), 알루미늄 아연 산화물(Al-Zn 산화물, AZO라고도 기재함), 인듐 알루미늄 아연 산화물(In-Al-Zn 산화물, IAZO라고도 기재함), 인듐 주석 아연 산화물(In-Sn-Zn 산화물), 인듐 타이타늄 아연 산화물(In-Ti-Zn 산화물), 인듐 갈륨 아연 산화물(In-Ga-Zn 산화물, IGZO라고도 기재함), 인듐 갈륨 주석 아연 산화물(In-Ga-Sn-Zn 산화물, IGZTO라고도 기재함), 인듐 갈륨 알루미늄 아연 산화물(In-Ga-Al-Zn 산화물, IGAZO 또는 IAGZO라고도 기재함) 등을 사용할 수 있다. 또는 실리콘을 포함하는 인듐 주석 산화물, 갈륨 주석 산화물(Ga-Sn 산화물), 알루미늄 주석 산화물(Al-Sn 산화물) 등을 사용할 수 있다.

[0060] 금속 산화물에 포함되는 모든 금속 원소의 원자수의 합에 대한 인듐의 원자수의 비율을 높임으로써 트랜지스터의 전계 효과 이동도를 높일 수 있다.

[0061] 또한 금속 산화물은 인듐 대신 또는 인듐에 더하여, 원소 주기율표에서의 주기 번호가 큰 금속 원소 중 1종류 또는 복수 종류를 포함하여도 좋다. 금속 원소의 궤도의 중첩이 클수록 금속 산화물에서의 캐리어 전도가 높아지는 경향이 있다. 따라서 원소 주기율표에서의 주기 번호가 큰 금속 원소를 포함함으로써 트랜지스터의 전계 효과 이동도를 높일 수 있는 경우가 있다. 원소 주기율표에서 주기 번호가 큰 금속 원소로서는 5주기에 속하는 금속 원소 및 6주기에 속하는 금속 원소 등을 들 수 있다. 상기 금속 원소로서 구체적으로는, 이트륨, 지르코늄, 은, 카드뮴, 주석, 안티모니, 바륨, 납, 비스무트, 란타넘, 세륨, 프라세오디뮴, 네오디뮴, 프로메튬, 사마륨, 및 유로퓸 등을 들 수 있다. 또한 란타넘, 세륨, 프라세오디뮴, 네오디뮴, 프로메튬, 사마륨, 및 유로퓸은 경희토류 원소라고 불린다.

[0062] 또한 금속 산화물은 비금속 원소 중 1종류 또는 복수 종류를 포함하여도 좋다. 금속 산화물이 비금속 원소를 포함함으로써 트랜지스터의 전계 효과 이동도를 높일 수 있는 경우가 있다. 비금속 원소로서는 예를 들어 탄소, 질소, 인, 황, 셀레늄, 플루오린, 염소, 브로민, 및 수소 등이 있다.

[0063] 또한 금속 산화물에 포함되는 모든 금속 원소의 원자수의 합에 대한 아연의 원자수의 비율을 높임으로써, 결정

성이 높은 금속 산화물이 되어 금속 산화물 내의 불순물의 확산을 억제할 수 있다. 따라서 트랜지스터의 전기 특성의 변동이 억제되어 신뢰성을 높일 수 있다.

[0064] 또한 금속 산화물에 포함되는 모든 금속 원소의 원자수의 합에 대한 원소 M의 원자수의 비율을 높임으로써, 금속 산화물에 산소 결손이 형성되는 것을 억제할 수 있다. 따라서 산소 결손에 기인하는 캐리어 생성이 억제되어 오프 전류가 낮은 트랜지스터로 할 수 있다. 또한 트랜지스터의 전기 특성의 변동이 억제되어 신뢰성을 높일 수 있다.

[0065] 또한 금속 산화물에 포함되는 모든 금속 원소의 원자수의 합에 대한 In의 원자수의 비율을 높임으로써, 트랜지스터는 큰 온 전류 및 높은 주파수 특성을 얻을 수 있다.

[0066] 상술한 바와 같이, 산화물(230)에 적용하는 금속 산화물의 조성에 따라 트랜지스터의 전기 특성 및 신뢰성이 달라진다. 따라서 트랜지스터에 요구되는 전기 특성 및 신뢰성에 따라 금속 산화물의 조성을 다르게 함으로써, 전기 특성이 우수하고 신뢰성이 높은 반도체 장치로 할 수 있다.

[0067] 구체적으로는, 산화물(230)로서 In:M:Zn=1:1:1[원자수비] 또는 그 근방의 조성, In:M:Zn=1:1:1.2[원자수비] 또는 그 근방의 조성, In:M:Zn=1:1:2[원자수비] 또는 그 근방의 조성, 혹은 In:M:Zn=4:2:3[원자수비] 또는 그 근방의 조성을 가지는 금속 산화물을 사용할 수 있다. 또한 근방의 조성이란, 원하는 원자수비의 ±30%의 범위를 포함한 것이다. 또한 원소 M으로서 갈륨 및 알루미늄 중 적어도 한쪽을 사용하는 것이 특히 바람직하다.

[0068] 또한 금속 산화물을 스퍼터링법으로 성막하는 경우, 상기 원자수비는 성막된 금속 산화물의 원자수비에 한정되지 않고, 금속 산화물의 성막에 사용하는 스퍼터링 타깃의 원자수비이어도 좋다.

[0069] 산화물 반도체를 사용한 트랜지스터는 산화물 반도체 내의 채널 형성 영역에 불순물 및 산소 결손이 존재하면, 전기 특성이 변동되기 쉽고 신뢰성이 떨어지는 경우가 있다. 또한 산소 결손 근방의 수소가 산소 결손에 들어간 결함(이하, V_OH라고 부르는 경우가 있음)을 형성하여 캐리어가 되는 전자를 생성하는 경우가 있다. 그러므로 산화물 반도체 내의 채널 형성 영역에 산소 결손이 포함되면, 트랜지스터는 노멀리 온 특성(게이트 전극에 전압을 인가하지 않아도 채널이 존재하고, 트랜지스터에 전류가 흐르는 특성)을 가지기 쉽다. 따라서 산화물 반도체 내의 채널 형성 영역에서는 불순물, 산소 결손, 및 V_OH는 가능한 한 저감되어 있는 것이 바람직하다. 바꿔 말하면, 산화물 반도체 내의 채널 형성 영역은 캐리어 농도가 감소되고, i형(진성화) 또는 실질적으로 i형인 것이 바람직하다.

[0070] 한편, 가열에 의하여 이탈되는 산소(이하, 과잉 산소라고 부르는 경우가 있음)를 포함하는 절연체를 산화물 반도체의 근방에 제공하고 가열 처리를 수행함으로써, 상기 절연체로부터 산화물 반도체에 산소가 공급되어 산소 결손 및 V_OH를 저감할 수 있다. 다만 영역(230na) 또는 영역(230nb)에 과잉량의 산소가 공급되면, 트랜지스터(200A)의 온 전류의 저하 또는 전계 효과 이동도의 저하가 일어날 우려가 있다. 또한 영역(230na) 또는 영역(230nb)에 공급되는 산소의 양의 편차가 기판면 내에서 생김으로써, 트랜지스터를 가지는 반도체 장치의 특성에 편차가 생긴다. 또한 상기 절연체로부터 산화물 반도체에 공급되는 산소가 게이트 전극, 소스 전극, 및 드레인 전극 등의 도전체로 확산되면, 상기 도전체가 산화되어 도전성이 손상되어, 트랜지스터의 전기 특성 및 신뢰성에 악영향을 미치는 경우가 있다.

[0071] 따라서 산화물 반도체 내에서 영역(230i)은 캐리어 농도가 저감되고 i형 또는 실질적으로 i형인 것이 바람직하지만, 영역(230na) 및 영역(230nb)은 캐리어 농도가 높고 n형인 것이 바람직하다. 즉 산화물 반도체의 영역(230i)의 산소 결손 및 V_OH를 저감하는 것이 바람직하다. 또한 영역(230na) 및 영역(230nb)에 과잉량의 산소가 공급되지 않도록 하는 것, 및 영역(230na) 및 영역(230nb)의 V_OH의 양이 지나치게 저감되지 않도록 하는 것이 바람직하다. 또한 도전체(260), 도전체(242a), 및 도전체(242b) 등의 도전율이 저하되는 것을 억제하는 구성으로 하는 것이 바람직하다. 예를 들어 도전체(260), 도전체(242a), 및 도전체(242b) 등이 산화되는 것을 억제하는 구성으로 하는 것이 바람직하다. 또한 산화물 반도체 내의 수소는 V_OH를 형성할 수 있기 때문에, V_OH의 양을 저감하기 위해서는 수소 농도를 저감할 필요가 있다.

[0072] 그래서, 본 실시형태에서는 반도체 장치는 영역(230i)에 산소를 공급하면서 영역(230i)에 대한 수소의 확산을 억제하는 구성을 가진다. 또한 반도체 장치는 도전체(242a), 도전체(242b), 및 도전체(260)가 산화되는 것을 억제하는 구성을 가진다. 또한 반도체 장치는 영역(230i)의 수소 농도를 저감하는 구성을 가진다.

[0073] 도 1의 (C)에 나타낸 바와 같이 트랜지스터(200A)의 채널 폭 방향의 단면에서 보았을 때 도전체(260)는 산화물

(230)의 측면 및 상면을 덮는다. 이와 같은 구성으로 함으로써, 게이트 전극의 전계로 채널 형성 영역을 전기적으로 둘러쌀 수 있다. 또한 본 명세서 등에서 적어도 제 1 게이트 전극의 전계에 의하여 채널 형성 영역을 전기적으로 둘러싸는 트랜지스터의 구조를 surrounded channel(S-channel) 구조라고 부른다. 트랜지스터(200A)가 S-channel 구조를 가지는 경우, 산화물(230)과 게이트 절연체의 계면 또는 계면 근방에 형성되는 채널 형성 영역을 산화물(230)의 벌크 전체에 형성할 수 있다. 따라서 트랜지스터에 흐르는 전류 밀도를 향상시킬 수 있기 때문에, 트랜지스터의 온 전류 향상 또는 트랜지스터의 전계 효과 이동도 향상이 기대된다.

[0074] 상술한 바와 같이, 트랜지스터(200A)는 채널 형성 영역이 게이트 전극의 전계로 둘러싸이는 구성을 가진다. 그래서, 채널 형성 영역 전체(채널 형성 영역의 상면, 측면, 및 밑면)에 산소를 균일하게 공급하면서 수소의 확산을 억제하는 구성으로 하는 것이 바람직하다. 예를 들어, 채널 형성 영역을 둘러싸도록, 산소를 투과시키기 쉬운 재료를 포함한 제 1 절연체를 제공하고, 채널 형성 영역 및 제 1 절연체를 둘러싸도록 수소의 확산을 억제하는 기능을 가지는 제 2 절연체를 더 제공하는 것이 바람직하다. 구체적으로는, 영역(230i)의 위아래에 각각 제 1 절연체를 제공하고, 그 위아래에 각각 제 2 절연체를 제공하는 것이 바람직하다. 여기서, 채널 형성 영역 위의 제 1 절연체와, 제 1 절연체 위의 제 2 절연체의 적층체를 제 1 적층체라고 부른다. 또한 영역(230i) 아래의 제 1 절연체와, 제 1 절연체 아래의 제 2 절연체의 적층체를 제 2 적층체라고 부른다. 이때, 제 1 적층체와 제 2 적층체는 채널 형성 영역을 기준 또는 축으로 하여 대칭으로 제공된다. 바꿔 말하면, 제 1 적층체와 제 2 적층체는 채널 형성 영역을 지나가는 면 또는 선에 대하여 대칭으로 제공된다. 또한 제 1 적층체와 제 2 적층체는 채널 형성 영역을 중심으로 하여 대칭으로 제공된다.

[0075] 또한 본 명세서 등에 있어서, 제 1 적층체와 제 2 적층체가 구조체를 기준으로 하여 대칭으로 제공되어 있는 구성이란, 제 1 적층체 및 제 2 적층체가 상기 구조체를 사이에 끼우도록 제공되고, 제 1 적층체에 포함되는 층의 적층 순서와 제 2 적층체에 포함되는 층의 적층 순서가 상기 구조체를 기준으로 하였을 때 동일한 구성을 가리킨다. 바꿔 말하면, 제 1 적층체 및 제 2 적층체가 상기 구조체를 끼우도록 제공되고, 상기 구조체를 사이에 두고 제 1 적층체로부터 제 2 적층체로 향하는 방향에 대하여, 제 1 적층체에 포함되는 층의 적층 순서가 제 2 적층체에 포함되는 층의 적층 순서와 반대가 되는 구성을 가리킨다. 또한 제 1 적층체, 상기 구조체, 및 제 2 적층체는 이 순서대로, 기판면에 대하여 수직 방향으로 배치되어도 좋고, 기판면에 대하여 수평 방향으로 배치되어도 좋다. 제 1 적층체, 상기 구조체, 및 제 2 적층체가 이 순서대로 기판면에 대하여 수직 방향으로 배치되는 경우, 제 1 적층체와 제 2 적층체는 상기 구조체의 위아래에 제공되어 있다고 할 수 있다.

[0076] 또한 제 1 적층체 및 제 2 적층체는 각각 2개 이상의 층을 가지는 것으로 한다. 또한 제 1 적층체에 포함되는 층의 개수와, 제 2 적층체에 포함되는 층의 개수는 같은 것이 바람직하다. 또한 제 1 적층체에 포함되는 하나의 층이 제 2 적층체에 포함되는 복수의 층의 기능을 겸비하는 경우가 있고, 그 반대도 마찬가지이다. 또한 제 1 적층체에 포함되는 복수의 층으로 구성된 구조체가 제 2 적층체에 포함되는 하나의 층의 기능을 가지는 경우가 있고, 그 반대도 마찬가지이다. 따라서, 제 1 적층체에 포함되는 층의 개수와, 제 2 적층체에 포함되는 층의 개수는 달라도 좋은 경우가 있다. 또한 제 1 적층체에 포함되는 하나의 층과 다른 층은 반드시 윤곽이 중첩되어야 하는 것은 아니다. 제 2 적층체에 대해서도 마찬가지이다.

[0077] 본 실시형태에 나타낸 반도체 장치는 제 1 적층체와, 제 1 적층체 아래의 채널 형성 영역을 가지는 금속 산화물과, 상기 금속 산화물 아래의 제 2 적층체를 가진다. 제 1 적층체 및 제 2 적층체는 각각 적어도 제 1 절연체와 제 2 절연체를 가진다. 이때, 제 1 적층체가 가지는 제 1 절연체와, 제 2 적층체가 가지는 제 1 절연체는 채널 형성 영역을 개재(介在)하여 서로 중첩되는 영역을 가지고, 제 1 적층체가 가지는 제 2 절연체와 제 2 적층체가 가지는 제 2 절연체는 제 1 적층체가 가지는 제 1 절연체, 채널 형성 영역, 및 제 2 적층체가 가지는 제 1 절연체를 개재하여 서로 중첩되는 영역을 가진다.

[0078] 또한 제 1 적층체에 포함되는 제 1 절연체와 제 2 적층체에 포함되는 제 1 절연체가 공통된 성질 또는 기능을 가질 경우에는 막 두께, 재료, 형성 방법 등은 상이하여도 좋다. 구체적으로는, 제 1 적층체에 포함되는 제 1 절연체와 제 2 적층체에 포함되는 제 1 절연체는 산소를 투과시키기 쉬운 성질을 가지면 되고, 막 두께, 재료, 형성 방법 등은 상이하여도 좋다. 또한 공통된 성질 또는 기능은 하나이어도 좋고, 복수이어도 좋다. 제 1 적층체에 포함되는 제 2 절연체와 제 2 적층체에 포함되는 제 2 절연체에 대해서도 마찬가지이고, 구체적으로는, 제 1 적층체에 포함되는 제 2 절연체와 제 2 적층체에 포함되는 제 2 절연체는 수소의 확산을 억제하는 기능을 가지면 되고, 막 두께, 재료, 형성 방법 등은 상이하여도 좋다.

[0079] 도 1의 (B) 및 (C)에 나타낸 바와 같이, 절연체(250)는 절연체(250a)와, 절연체(250a) 위의 절연체(250b)의 적층 구조를 가지는 것이 바람직하다. 또한 절연체(222)는 절연체(222a)와, 절연체(222a) 아래의 절연체(222b)의

적층 구조를 가지는 것이 바람직하다. 즉, 산화물(230)의 영역(230i)을 끼우도록 절연체(250a) 및 절연체(222a)를 제공하고, 절연체(250a), 영역(230i), 및 절연체(222a)를 끼우도록 절연체(250b) 및 절연체(222b)를 제공하는 것이 바람직하다. 바꿔 말하면, 절연체(250a)와 절연체(222a)는 영역(230i)을 개재하여 서로 중첩되는 영역을 가지고, 절연체(250b)와 절연체(222b)는 절연체(250a), 영역(230i), 및 절연체(222a)를 개재하여 서로 중첩되는 영역을 가진다.

[0080] 도 1의 (B) 및 (C)에 나타낸 구성에 있어서, 절연체(250)는 상술한 제 1 적층체에 대응하고, 절연체(222)는 상술한 제 2 적층체에 대응한다. 또한 절연체(250a) 및 절연체(222a)는 상술한 제 1 절연체에 대응하고, 절연체(250b) 및 절연체(222b)는 상술한 제 2 절연체에 대응한다. 이때, 도전체(260)는 제 1 적층체의 위쪽에 위치한다고 할 수 있다. 또한 도전체(205)는 제 2 적층체의 아래쪽에 위치한다고 할 수 있다.

[0081] 또한 도 1의 (B) 및 (C)에 나타낸 바와 같이, 절연체(250a)와 절연체(222a)는 산화물(230)과 중첩되지 않는 영역에서 접하는 영역을 가지는 것이 바람직하다. 이와 같은 구성으로 함으로써, 산화물(230)을 절연체(250a)와 절연체(222a)로 둘러쌀 수 있다.

[0082] 절연체(250a) 및 절연체(222a)로서는 산소를 투과시키기 쉬운 절연체를 사용하는 것이 바람직하다. 이러한 구성으로 함으로써, 절연체(280)에 포함되는 산소를 절연체(250a) 및 절연체(222a)를 통하여 영역(230i)에 공급할 수 있다. 또한 절연체(250a) 및 절연체(222a)는 과잉 산소를 포함하는 절연체를 사용하여도 좋다. 이와 같은 구성으로 함으로써, 절연체(250a) 및 절연체(222a)에 포함되는 산소를 영역(230i)에 공급할 수 있다.

[0083] 절연체(250a) 및 절연체(222a)로서는, 예를 들어 산화 실리콘, 산화질화 실리콘, 또는 질화산화 실리콘을 사용할 수 있다. 또한 예를 들어 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 또는 탄소 및 질소를 첨가한 산화 실리콘을 사용할 수 있다. 또한 예를 들어 공공을 가지는 산화 실리콘 등을 사용할 수 있다. 또한 이들 산화 실리콘은 질소를 포함하여도 좋다. 특히 산화 실리콘 및 산화질화 실리콘은 열에 대하여 안정적이므로 바람직하다. 이 경우, 절연체(250a) 및 절연체(222a)는 적어도 산소와 실리콘을 포함한다.

[0084] 또한 본 명세서 등에서 산화질화물이란, 그 조성으로서 질소보다 산소의 함유량이 많은 재료를 가리키고, 질화산화물이란 그 조성으로서 산소보다 질소의 함유량이 많은 재료를 가리킨다. 예를 들어 산화질화 실리콘이라고 기재된 경우에는 그 조성으로서 질소보다 산소의 함유량이 많은 재료를 가리키고, 질화산화 실리콘이라고 기재된 경우에는 그 조성으로서 산소보다 질소의 함유량이 많은 재료를 가리킨다.

[0085] 또한 절연체(250a) 및 절연체(222a) 내의 물, 수소 등의 불순물의 농도가 저감되어 있는 것이 바람직하다.

[0086] 절연체(250b) 및 절연체(222b)는 산소에 대한 배리어성을 가지는 것이 바람직하다. 이 경우, 도전체(260) 및 도전체(205)에 포함되는 수소 등의 불순물이 영역(230i)으로 확산되는 것을 억제할 수 있다. 절연체(250b) 및 절연체(222b)로서는 예를 들어 산화 알루미늄, 산화 마그네슘, 산화 하프늄, 산화 갈륨, 인듐 갈륨 아연 산화물, 질화 실리콘, 또는 질화산화 실리콘 등을 사용하는 것이 바람직하다. 특히, 질화 실리콘은 수소 배리어성이 높으므로 절연체(250b) 및 절연체(222b)로서 사용하는 것이 적합하다. 이 경우, 절연체(250b) 및 절연체(222b)는 적어도 질소와 실리콘을 포함한다.

[0087] 또한 절연체(250b)는 예를 들어 절연체(250a)보다 수소를 투과시키기 어려우면 좋다. 또한 절연체(250b)에는 예를 들어 절연체(250a)보다 수소를 투과시키기 어려운 재료를 사용하면 좋다. 마찬가지로, 절연체(222b)는 예를 들어 절연체(222a)보다 수소를 투과시키기 어려우면 좋다. 또한 절연체(222b)에는 예를 들어 절연체(222a)보다 수소를 투과시키기 어려운 재료를 사용하면 좋다.

[0088] 또한 본 명세서 등에 있어서, 배리어성이란 대응하는 물질이 확산되기 어려운 성질(대응하는 물질이 투과하기 어려운 성질, 대응하는 물질에 대한 투과성이 낮은 성질, 또는 대응하는 물질의 확산을 억제하는 기능이라고도 함)을 가리킨다. 또는 대응하는 물질을 포획 또는 고착하는(게터링이라고도 함) 기능을 가리킨다. 또한 본 명세서 등에서, 배리어성을 가지는 절연체를 배리어 절연체라고 부르는 경우가 있다.

[0089] 절연체(250b) 및 절연체(222b)는 산소에 대한 배리어성을 더 가지는 것이 바람직하다. 절연체(250b)는 절연체(250a)와 도전체(260) 사이에 제공되어 있다. 따라서 절연체(250a)에 포함되는 산소가 도전체(260)로 확산되는 것이 방지되어, 도전체(260)가 산화되는 것을 억제할 수 있다. 또한 영역(230i)에 공급하는 산소량의 감소를 억제할 수 있다. 또한 절연체(222b)는 절연체(222a)와 도전체(205) 사이에 제공되어 있다. 따라서 절연체(222a)에 포함되는 산소가 도전체(205)로 확산되는 것이 방지되어, 도전체(205)가 산화되는 것을 억제할 수 있다. 또한 영역(230i)에 공급하는 산소량의 감소를 억제할 수 있다.

[0090] 또한 절연체(250b)는 예를 들어 절연체(250a)보다 산소를 투과시키기 어려우면 좋다. 또한 절연체(250b)에는 예를 들어 절연체(250a)보다 산소를 투과시키기 어려운 재료를 사용하면 좋다. 마찬가지로, 절연체(222b)는 예를 들어 절연체(222a)보다 산소를 투과시키기 어려우면 좋다. 또한 절연체(222b)에는 예를 들어 절연체(222a)보다 산소를 투과시키기 어려운 재료를 사용하면 좋다.

[0091] 질화 실리콘은 산소에 대한 배리어성을 가지기 때문에 절연체(250b) 및 절연체(222b)로서 적합하게 사용할 수 있다.

[0092] 상술한 구성으로 함으로써, 트랜지스터(200)의 전기 특성 및 신뢰성을 양호하게 할 수 있다. 따라서, 양호한 전기 특성을 가지는 반도체 장치, 신뢰성이 높은 반도체 장치를 실현할 수 있다. 절연체(250a)와 절연체(222a)는 같은 기능을 가지고, 절연체(250b)와 절연체(222b)는 같은 기능을 가진다. 따라서, 제 1 적층체와 제 2 적층체를 채널 형성 영역을 기준으로 하여 대칭으로 제공할 수 있다.

[0093] 절연체(280)는 층간막으로서 기능한다. 절연체(280)는 유전율이 낮은 재료를 사용하는 것이 바람직하다. 절연체(280)는 예를 들어 절연체(250b)보다 유전율이 낮은 것이 바람직하다. 유전율이 낮은 재료를 층간막에 사용함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다.

[0094] 또한 진공의 유전율에 대한 매질의 유전율의 비는 비유전율이라고 불린다. 즉, 비유전율은 유전율이 전기 상수로 무차원화된 것이다. 따라서, 유전율은 비유전율이라고 바꿔 말할 수 있다.

[0095] 예를 들어, 절연체(280)로서는 절연체(250a) 및 절연체(222a)에 적용할 수 있는 절연체를 사용할 수 있다. 특히 산화 실리콘, 산화질화 실리콘, 공공을 가지는 산화 실리콘 등의 재료는 과잉 산소를 포함하는 영역을 용이하게 형성할 수 있기 때문에 바람직하다.

[0096] 절연체(280) 내의 물, 수소 등의 불순물의 농도가 저감되어 있는 것이 바람직하다. 예를 들어 절연체(280)는 산화 실리콘, 산화질화 실리콘 등의 실리콘을 포함하는 산화물을 가지는 것이 바람직하다.

[0097] 도전체(260) 및 절연체(250)는 절연체(280)에 형성된 개구부를 매립하도록 배치된다. 도전체(260)는 상기 개구부에서 절연체(250)를 개재하여 산화물(230)의 측면의 적어도 일부 및 상면의 적어도 일부를 덮도록 제공된다. 또한 도전체(260)는 상면이 절연체(250)의 상면 및 절연체(280)의 상면과 높이가 일치하도록 배치된다.

[0098] 또한 도전체(260) 및 절연체(250)가 배치된, 절연체(280) 등에 형성된 개구부에서 절연체(280)의 측벽은 절연체(222)의 상면에 대하여 실질적으로 수직이어도 좋고, 테이퍼 형상을 가져도 좋다. 상기 개구부의 절연체(280)의 측벽을 테이퍼 형상으로 함으로써, 상기 개구부에 제공되는 절연체(250) 등의 피복성이 향상되어 공동 등의 결함을 저감할 수 있다.

[0099] 도전체(260)는 도 1의 (A) 및 (C)에 나타낸 바와 같이, 채널 폭 방향으로 연장되어 제공되는 것이 바람직하다. 이러한 구성으로 함으로써, 복수의 트랜지스터를 제공하는 경우에 도전체(260)가 배선으로서 기능한다.

[0100] 도전체(260), 도전체(242a), 도전체(242b), 및 도전체(205)에는 각각 산화되기 어려운 도전성 재료 또는 산소 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 상기 도전성 재료로서는 예를 들어 질소를 포함하는 도전성 재료 및 산소를 포함하는 도전성 재료가 있다. 이에 의하여, 도전체(260), 도전체(242a), 도전체(242b), 및 도전체(205)의 도전율이 저하되는 것을 억제할 수 있다. 도전체(260), 도전체(242a), 도전체(242b), 및 도전체(205)로서 금속 및 질소를 포함한 도전성 재료를 사용하는 경우, 도전체(260), 도전체(242a), 도전체(242b), 및 도전체(205)는 적어도 상기 금속과 질소를 포함한다.

[0101] 도전체(260)는 단층 구조이어도 좋고, 적층 구조이어도 좋다. 또한 도전체(242a) 및 도전체(242b)는 단층 구조를 가져도 좋고, 적층 구조를 가져도 좋다.

[0102] 도전체(242a) 및 도전체(242b)에는 질소를 포함하는 도전성 재료를 사용하는 것이 바람직하고, 예를 들어 탄탈럼을 포함하는 질화물, 타이타늄을 포함하는 질화물, 몰리브데넘을 포함하는 질화물, 텅스텐을 포함하는 질화물, 탄탈럼 및 알루미늄을 포함하는 질화물, 타이타늄 및 알루미늄을 포함하는 질화물 등을 사용하는 것이 바람직하다. 본 발명의 일 형태에서는 탄탈럼을 포함하는 질화물이 특히 바람직하다. 또한 예를 들어 루테늄, 산화 루테늄, 질화 루테늄, 스트론튬과 루테늄을 포함한 산화물, 란타넘과 니켈을 포함한 산화물 등을 사용하여도 좋다. 이들 재료는 산화되기 어려운 도전성 재료 또는 산소를 흡수하여도 도전성을 유지하는 재료이기 때문에 바람직하다.

[0103] 또한 산화물(230) 등에 포함되는 수소가 도전체(242a) 또는 도전체(242b)로 확산되는 경우가 있다. 특히 도전

체(242a) 및 도전체(242b)에 탄탈럼을 포함하는 질화물을 사용함으로써, 산화물(230) 등에 포함되는 수소는 도전체(242a) 또는 도전체(242b)로 확산되기 쉽고, 확산된 수소는 도전체(242a) 또는 도전체(242b)가 포함하는 질소와 결합되는 경우가 있다. 즉 산화물(230) 등에 포함되는 수소는 도전체(242a) 또는 도전체(242b)에 흡수되는 경우가 있다.

[0104] 도전체(205)는 산화물(230) 및 도전체(260)와 중첩되도록 배치된다. 또한 도전체(205)는 도 1의 (A) 및 (C)에 나타낸 바와 같이, 채널 폭 방향으로 연장되어 제공되는 것이 바람직하다. 이러한 구성으로 함으로써, 복수의 트랜지스터를 제공하는 경우에 도전체(205)가 배선으로서 기능한다.

[0105] 도전체(205)는 단층 구조이어도 좋고, 적층 구조이어도 좋다.

[0106] 도전체(205)는 제 2 게이트 전극으로서 기능할 수 있다. 이 경우 도전체(205)에 인가하는 전위를 도전체(260)에 인가하는 전위와 연동시키지 않고 독립적으로 변화시킴으로써, 트랜지스터(200)의 문턱 전압(Vth)을 제어할 수 있다. 특히 도전체(205)에 음의 전위를 인가함으로써, 트랜지스터(200)의 Vth를 더 크게 하고, 오프 전류를 작게 할 수 있다. 따라서 도전체(205)에 음의 전위를 인가하면, 인가하지 않은 경우보다 도전체(260)에 인가하는 전위가 0V일 때의 드레인 전류를 더 작게 할 수 있다.

[0107] 또한 도전체(205)에 인가하는 전위를 도전체(260)에 인가하는 전위와 같은 전위로 하여도 좋다. 이때, 도전체(260) 및 도전체(205)의 전계를 산화물(230)의 채널 형성 영역 전체에 작용시킬 수 있다. 이로써 트랜지스터의 크기를 크게 하지 않고, 채널 폭을 크게 할 수 있다. 따라서 트랜지스터를 미세화하면서 트랜지스터의 온 전류를 증대시킬 수 있다. 또한 트랜지스터의 온 전류가 증대함으로써, 주파수 특성을 향상시킬 수 있다.

[0108] 도 1의 (B) 및 (C)에서는 제 2 게이트 절연체로서 절연체(222b)와 절연체(222a)의 적층 구조를 사용하는 구성을 나타내었지만, 본 발명은 이에 한정되지 않는다. 예를 들어, 제 2 게이트 절연체로서, 절연체(222)와, 절연체(222) 위의 섬 형상의 절연체의 적층체를 사용하여도 좋다. 바꿔 말하면, 절연체(222)와 산화물(230) 사이에 섬 형상의 절연체를 제공하여도 좋다.

[0109] 또한 본 명세서 등에서 섬 형상이란, 동일한 공정에서 동일한 재료를 사용하여 형성된 2개 이상의 층이 물리적으로 분리된 상태를 의미한다.

[0110] 도 1의 (B) 및 (C)에 나타낸 구성과는 다른 구성의 일례를 도 2의 (A) 및 (B)에 나타내었다. 도 2의 (A) 및 (B)는 트랜지스터(200A)를 가지는 반도체 장치의 단면도이다. 여기서, 도 2의 (A)는 트랜지스터(200A)의 채널 길이 방향의 단면도이고, 도 2의 (B)는 트랜지스터(200A)의 채널 폭 방향의 단면도이다. 또한 도 2의 (A) 및 (B)에 나타낸 반도체 장치의 상면도에 대해서는 도 1의 (A)를 참조할 수 있다.

[0111] 도 2의 (A) 및 (B)에 나타낸 트랜지스터(200A)는 절연체(222)가 단층인 점 및 섬 형상의 절연체(224)를 가지는 점에서 도 1의 (B) 및 (C)에 나타낸 트랜지스터(200A)와 주로 다르다.

[0112] 도 2의 (A) 및 (B)에 나타낸 트랜지스터(200A)에서는 절연체(222)와 산화물(230) 사이에 섬 형상의 절연체(224)가 제공되어 있다. 도 2의 (A) 및 (B)에 나타낸 바와 같이, 트랜지스터(200A)의 단면에서 보았을 때, 절연체(224)의 측단부는 산화물(230)의 측단부와 일치한다.

[0113] 절연체(222) 및 절연체(224) 각각은 제 2 게이트 절연체로서 기능하는 영역을 가진다.

[0114] 절연체(250a)는 절연체(222)의 상면과 접하는 영역과, 절연체(224)의 측면과 접하는 영역과, 산화물(230)의 측면과 접하는 영역과, 산화물(230)의 상면과 접하는 영역을 가진다. 이때, 산화물(230)의 영역(230i)은 절연체(250a)와 절연체(224)로 둘러싸인다.

[0115] 절연체(222)에는 상술한 절연체(222b)에 적용할 수 있는 재료를 사용하는 것이 바람직하다. 또한 절연체(224)에는 상술한 절연체(222a)에 적용할 수 있는 재료를 사용하는 것이 바람직하다. 이와 같은 구성에 있어서, 절연체(222)와 섬 형상의 절연체(224)로 이루어지는 적층체를 제 2 적층체로 간주할 수 있다. 이때, 도 2의 (A) 및 (B)에 나타낸 트랜지스터(200A)는 제 1 적층체와 제 2 적층체가 채널 형성 영역을 기준으로 하여 대칭으로 제공된 구성을 가진다고 할 수 있다.

[0116] <구성예 2>

[0117] 상술한 트랜지스터(200A)와 다른 구성예를 도 3의 (A) 내지 (C)에 나타내었다. 도 3의 (A)는 반도체 장치의 상면도이고, 도 3의 (B) 및 (C)는 반도체 장치의 단면도이다. 여기서 도 3의 (B)는 도 3의 (A)에서 일점쇄선 A1-A2로 나타낸 부분의 단면도이다. 또한 도 3의 (C)는 도 3의 (A)에서 일점쇄선 A3-A4로 나타낸 부분의 단면도이

다. 또한 도 3의 (A)의 상면도에서는, 도면의 명료화를 위하여 일부 요소를 생략하였다.

[0118] 도 3의 (A) 내지 (C)에 나타낸 반도체 장치는 트랜지스터(200B)를 가진다. 따라서, 도 3의 (B)는 트랜지스터(200B)의 채널 길이 방향의 단면도라고도 할 수 있다. 또한 도 3의 (C)는 트랜지스터(200B)의 채널 폭 방향의 단면도라고도 할 수 있다.

[0119] 도 3의 (B) 및 (C)에 나타낸 트랜지스터(200B)는 절연체(222) 및 절연체(250) 각각이 3층 적층 구조를 가지는 점에서 도 1의 (B) 및 (C)에 나타낸 트랜지스터(200A)와 주로 다르다. 구체적으로는, 도 3의 (B) 및 (C)에 나타낸 트랜지스터(200B)는 절연체(250)가 절연체(250a) 아래에 절연체(250c)를 더 가지는 점, 그리고 절연체(222)가 절연체(222a) 위에 절연체(222c)를 더 가지는 점에서 도 1의 (B) 및 (C)에 나타낸 트랜지스터(200A)와 주로 다르다. 이하에서는, 상술한 구성예 1과 상이한 부분에 대하여 주로 설명하고, 중복되는 부분에 대해서는 설명을 생략한다.

[0120] 절연체(250)는 절연체(250c)와, 절연체(250c) 위의 절연체(250a)와, 절연체(250a) 위의 절연체(250b)를 가진다. 또한 절연체(222)는 절연체(222b)와, 절연체(222b) 위의 절연체(222a)와, 절연체(222a) 위의 절연체(222c)를 가진다. 이때, 절연체(250c)와 절연체(222c)는 영역(230i)을 개재하여 서로 중첩되는 영역을 가지고, 절연체(250a)와 절연체(222a)는 절연체(250c), 영역(230i), 및 절연체(222c)를 개재하여 서로 중첩되는 영역을 가지고, 절연체(250b)와 절연체(222b)는 절연체(250a), 절연체(250c), 영역(230i), 절연체(222c), 및 절연체(222a)를 개재하여 서로 중첩되는 영역을 가진다. 또한 절연체(250c)는 절연체(250a)와 영역(230i) 사이에 위치하고, 절연체(222c)는 절연체(222a)와 영역(230i) 사이에 위치한다고 할 수 있다.

[0121] 절연체(250c) 및 절연체(222c)는 산소에 대한 배리어성을 가지는 것이 바람직하다. 절연체(250c)는 도전체(242a)의 측면과 접하는 영역 및 도전체(242b)의 측면과 접하는 영역을 가진다. 절연체(250c)가 산소에 대한 배리어성을 가짐으로써, 도전체(242a) 및 도전체(242b)의 측면이 산화되어 상기 측면에 산화막이 형성되는 것을 억제할 수 있다. 이에 의하여 트랜지스터(200B)의 온 전류의 저하 또는 전계 효과 이동도의 저하를 일으키는 것을 억제할 수 있다. 산소에 대한 배리어 절연체로서는 예를 들어 알루미늄 및 하프늄 중 한쪽 또는 양쪽을 포함하는 산화물, 하프늄 및 실리콘을 포함하는 산화물(하프늄 실리케이트), 산화 마그네슘, 산화 갈륨, 갈륨 아연 산화물, 인듐 갈륨 아연 산화물, 질화 실리콘, 및 질화산화 실리콘 등이 있다. 또한 알루미늄 및 하프늄 중 한쪽 또는 양쪽을 포함하는 산화물로서, 예를 들어 산화 알루미늄, 산화 하프늄, 그리고 알루미늄 및 하프늄을 포함하는 산화물(하프늄 알루미네이트)이 있다.

[0122] 예를 들어 절연체(250c) 및 절연체(222c)는 각각 상기 산소에 대한 배리어 절연체의 단층 구조 또는 적층 구조를 가지는 것이 바람직하다. 또한 절연체(250c)는 예를 들어 절연체(250a)보다 산소를 투과시키기 어려우면 좋다. 또한 절연체(250c)에는 예를 들어 절연체(250a)보다 산소를 투과시키기 어려운 재료를 사용하면 좋다. 마찬가지로, 절연체(222c)는 예를 들어 절연체(222a)보다 산소를 투과시키기 어려우면 좋다. 또한 절연체(222c)에는 예를 들어 절연체(222a)보다 산소를 투과시키기 어려운 재료를 사용하면 좋다.

[0123] 절연체(250c)는 산화물(230)의 상면 및 측면 그리고 절연체(222c)의 상면에 접하여 제공된다. 즉, 영역(230i)은 절연체(250c) 및 절연체(222c)로 둘러싸여 있다. 절연체(250c) 및 절연체(222c)가 산소에 대한 배리어성을 가짐으로써, 열처리 등을 수행하였을 때 영역(230i)으로부터 산소가 이탈되는 것을 억제할 수 있다. 그러므로 영역(230i)에 산소 결손이 형성되는 것을 억제할 수 있다.

[0124] 또한 절연체(250c) 및 절연체(222c)를 제공함으로써 절연체(280)에 과잉량의 산소가 포함되어 있어도, 상기 산소가 영역(230i)에 과도하게 공급되는 것을 억제하여, 적당한 양의 산소를 영역(230i)에 공급할 수 있다. 따라서 영역(230na) 및 영역(230nb)이 과도하게 산화되어 트랜지스터(200B)의 온 전류가 작아지거나 전계 효과 이동도가 저하되는 것을 억제할 수 있다.

[0125] 또한 절연체(222c)는 절연체(222a)와, 영역(230na) 또는 영역(230nb) 사이에 제공되어 있다. 따라서, 절연체(222c)의 아래쪽으로부터 영역(230na) 및 영역(230nb)으로의 산소의 확산을 억제할 수 있다. 또한 영역(230na) 위에는 도전체(242a)가 제공되고, 영역(230nb) 위에는 도전체(242b)가 제공되어 있다. 따라서, 본 실시형태에서는, 영역(230na) 및 영역(230nb)에는 과잉량의 산소가 공급되지 않는 구성이 된다.

[0126] 절연체(250c) 및 절연체(222c)로서, 알루미늄 및 하프늄 중 한쪽 또는 양쪽을 포함하는 산화물 절연체를 사용하는 것이 바람직하다. 본 실시형태에서는 절연체(250c) 및 절연체(222c)에 산화 알루미늄을 사용한다. 이 경우, 절연체(250c) 및 절연체(222c) 각각은 적어도 산소와 알루미늄을 포함한다.

[0127] 상술한 구성으로 함으로써, 절연체(250c)와 절연체(222c)는 같은 기능을 가진다. 따라서, 제 1 적층체와 제 2

적층체를 채널 형성 영역을 기준으로 하여 대칭으로 제공할 수 있다.

[0128] 또한 도 2의 (A) 및 (B)에 나타낸 구성과 마찬가지로 제 2 게이트 절연체는 절연체(222)와 섬 형상의 절연체(224)의 적층체로 구성되어도 좋다.

[0129] 도 3의 (B) 및 (C)에 나타낸 구성과는 다른 구성의 일례를 도 4의 (A) 및 (B)에 나타내었다. 도 4의 (A) 및 (B)는 트랜지스터(200B)를 가지는 반도체 장치의 단면도이다. 여기서, 도 4의 (A)는 트랜지스터(200B)의 채널 길이 방향의 단면도이고, 도 4의 (B)는 트랜지스터(200B)의 채널 폭 방향의 단면도이다. 또한 도 4의 (A) 및 (B)에 나타낸 반도체 장치의 상면도에 대해서는 도 3의 (A)를 참조할 수 있다.

[0130] 도 4의 (A) 및 (B)에 나타낸 트랜지스터(200B)는 절연체(222)가 2층 적층 구조인 점 및 섬 형상의 절연체(224)를 가지는 점에서 도 3의 (B) 및 (C)에 나타낸 트랜지스터(200B)와 주로 다르다.

[0131] 도 4의 (A) 및 (B)에 나타낸 트랜지스터(200B)에서는 절연체(222)가 절연체(222b)와, 절연체(222b) 위의 절연체(222a)의 적층 구조를 가진다. 또한 절연체(222)와 산화물(230) 사이에 섬 형상의 절연체(224)가 제공된다.

[0132] 절연체(250c)는 절연체(222a)의 상면과 접하는 영역과, 절연체(224)의 측면과 접하는 영역과, 산화물(230)의 측면과 접하는 영역과, 산화물(230)의 상면과 접하는 영역을 가진다. 이때, 산화물(230)의 영역(230i)은 절연체(250c)와 절연체(224)로 둘러싸인다.

[0133] 절연체(224)에는 상술한 절연체(222c)에 적용할 수 있는 재료를 사용하는 것이 바람직하다.

[0134] 또한 절연체(222) 및 절연체(224)의 구성은 도 4의 (A) 및 (B)에 나타낸 구성에 한정되지 않는다. 도 4의 (A) 및 (B)에 나타낸 구성과는 다른 구성의 일례를 도 4의 (C) 및 (D)에 나타내었다. 도 4의 (C) 및 (D)는 트랜지스터(200B)를 가지는 반도체 장치의 단면도이다. 여기서, 도 4의 (C)는 트랜지스터(200B)의 채널 길이 방향의 단면도이고, 도 4의 (D)는 트랜지스터(200B)의 채널 폭 방향의 단면도이다. 또한 도 4의 (C) 및 (D)에 나타낸 반도체 장치의 상면도에 대해서는 도 3의 (A)를 참조할 수 있다.

[0135] 도 4의 (C) 및 (D)에 나타낸 바와 같이, 절연체(222)가 단층 구조를 가지고, 절연체(224)가 절연체(224a)와, 절연체(224a) 위의 절연체(224c)의 적층 구조를 가져도 좋다. 이때, 절연체(222)에는 상술한 절연체(222b)에 적용할 수 있는 재료를 사용하는 것이 바람직하다. 또한 절연체(224a)에는 상술한 절연체(222a)에 적용할 수 있는 재료를 사용하고, 절연체(224c)에는 상술한 절연체(222c)에 적용할 수 있는 재료를 사용하는 것이 바람직하다.

[0136] 상술한 구성으로 함으로써, 절연체(222)와 절연체(224)로 이루어지는 적층체를 제 2 적층체로 간주할 수 있다. 이때, 도 4의 (A) 및 (B)에 나타낸 트랜지스터(200B) 그리고 도 4의 (C) 및 (D)에 나타낸 트랜지스터(200B)는 제 1 적층체와 제 2 적층체가 채널 형성 영역을 기준으로 하여 대칭으로 제공된 구성을 가진다고 할 수 있다.

[0137] 또한 도 4의 (A) 및 (B)에서는, 영역(230i)과 절연체(222a) 사이에 산소에 대한 배리어성을 가지는 절연체(224)를 제공하는 구성을 나타내었지만, 본 발명은 이에 한정되지 않는다. 도 4의 (A) 및 (B)에 나타낸 구성과는 다른 구성의 일례를 도 5의 (A) 및 (B)에 나타내었다.

[0138] 도 5의 (A) 및 (B)는 트랜지스터(200B)를 가지는 반도체 장치의 단면도이다. 여기서, 도 5의 (A)는 트랜지스터(200B)의 채널 길이 방향의 단면도이고, 도 5의 (B)는 트랜지스터(200B)의 채널 폭 방향의 단면도이다. 또한 도 5의 (A) 및 (B)에 나타낸 반도체 장치의 상면도에 대해서는 도 3의 (A)를 참조할 수 있다.

[0139] 도 5의 (A) 및 (B)에 나타낸 트랜지스터(200B)는 절연체(222)가 2층 적층 구조인 점, 절연체(224)를 가지지 않는 점, 및 산화물(230)이 2층 적층 구조인 점에서 도 4의 (A) 및 (B)에 나타낸 트랜지스터(200B)와 주로 다르다.

[0140] 도 5의 (A) 및 (B)에 나타낸 바와 같이, 절연체(222)는 절연체(222b)와, 절연체(222b) 위의 절연체(222a)의 적층 구조를 가진다. 또한 산화물(230)은 산화물(230a)과, 산화물(230a) 위의 산화물(230b)의 적층 구조를 가진다. 산화물(230a)에는 산소에 대한 배리어성을 가지는 반도체 재료를 사용하고, 산화물(230b)에는 상술한 산화물(230)에 적용할 수 있는 재료를 사용하는 것이 바람직하다.

[0141] 또한 산화물(230a)은 예를 들어 절연체(222a)보다 산소를 투과시키기 어려우면 좋다. 또한 산화물(230a)에는 예를 들어 절연체(222a)보다 산소를 투과시키기 어려운 재료를 사용하면 좋다.

[0142] 예를 들어, 산화물(230a)로서, 적어도 원소 M을 포함하는 금속 산화물을 사용하는 것이 바람직하다. 또한 산화

물(230b)은 원소 M을 포함하여도 좋고, 포함하지 않아도 된다. 이 경우, 산화물(230a)에서의 주성분인 금속 원소에 대한 원소 M의 원자수비가 산화물(230b)에서의 주성분인 금속 원소에 대한 원소 M의 원자수비보다 큰 것이 바람직하다. 또한 산화물(230a) 및 산화물(230b) 각각이 In을 포함하는 경우, 산화물(230a)에서의 In에 대한 원소 M의 원자수비가 산화물(230b)에서의 In에 대한 원소 M의 원자수비보다 큰 것이 바람직하다. 이러한 구성으로 함으로써, 산화물(230a)보다 아래쪽에 형성된 구조체로부터 산화물(230b)로 불순물 및 산소가 확산되는 것을 억제할 수 있다.

[0143] 산화물(230a)로서 예를 들어 In:M:Zn=1:3:2[원자수비] 또는 그 근방의 조성, In:M:Zn=1:3:4[원자수비] 또는 그 근방의 조성, 혹은 In:M:Zn=1:1:0.5[원자수비] 또는 그 근방의 조성을 가지는 금속 산화물을 사용할 수 있다.

[0144] 또한 원소 M으로서 갈륨 및 알루미늄 중 적어도 한쪽을 사용하는 것이 특히 바람직하다. 상술한 바와 같이, 절연체(250c)로서 산화 알루미늄을 사용하는 경우, 산화물(230a) 및 절연체(250c) 각각은 갈륨 및 알루미늄 중 적어도 한쪽을 포함한다.

[0145] 상술한 구성에 있어서, 절연체(222)와 산화물(230a)로 이루어지는 적층체를 제 2 적층체로 간주할 수 있다. 이때, 도 5의 (A) 및 (B)에 나타낸 트랜지스터(200B)는 제 1 적층체와 제 2 적층체가 채널 형성 영역을 기준으로 하여 대칭으로 제공된 구성을 가진다고 할 수 있다.

[0146] 또한 산화물(230)이 산화물(230a)과 산화물(230b)의 적층 구조인 경우, 영역(230i), 영역(230na), 및 영역(230nb)은 각각 산화물(230b)뿐만 아니라 산화물(230a)에도 형성될 경우가 있다.

[0147] 도 5의 (A) 및 (B)에 나타낸 구성과는 다른 구성의 일례를 도 5의 (C) 및 (D)에 나타내었다. 도 5의 (C) 및 (D)는 트랜지스터(200B)를 가지는 반도체 장치의 단면도이다. 여기서, 도 5의 (C)는 트랜지스터(200B)의 채널 길이 방향의 단면도이고, 도 5의 (D)는 트랜지스터(200B)의 채널 폭 방향의 단면도이다. 또한 도 5의 (C) 및 (D)에 나타낸 반도체 장치의 상면도에 대해서는 도 3의 (A)를 참조할 수 있다.

[0148] 도 5의 (C) 및 (D)에 나타낸 바와 같이, 절연체(222)가 단층 구조를 가지고, 절연체(222)와 산화물(230a) 사이에 절연체(224)가 제공되어도 좋다. 이때, 절연체(250c)와 산화물(230a)은 영역(230i)을 개재하여 서로 중첩되는 영역을 가지고, 절연체(250a)와 절연체(224)는 절연체(250c), 영역(230i), 및 산화물(230a)을 개재하여 서로 중첩되는 영역을 가지고, 절연체(250b)와 절연체(222)는 절연체(250a), 절연체(250c), 영역(230i), 산화물(230a), 및 절연체(224)를 개재하여 서로 중첩되는 영역을 가진다.

[0149] 절연체(222)에는 상술한 절연체(222b)에 적용할 수 있는 재료를 사용하는 것이 바람직하다. 또한 절연체(224)에는 상술한 절연체(222a)에 적용할 수 있는 재료를 사용하는 것이 바람직하다. 이와 같은 구성에 있어서, 절연체(222)와 절연체(224)와 산화물(230a)로 이루어지는 적층체를 제 2 적층체로 간주할 수 있다. 이때, 제 2 적층체는 산화물(230a)과, 산화물(230a) 아래의 절연체(224)와, 절연체(224) 아래의 절연체(222)를 가진다. 이때, 도 5의 (C) 및 (D)에 나타낸 트랜지스터(200B)는 제 1 적층체와 제 2 적층체가 채널 형성 영역을 기준으로 하여 대칭으로 제공된 구성을 가진다고 할 수 있다.

[0150] <구성예 3>

[0151] 상술한 트랜지스터(200A)와 다른 구성예를 도 6의 (A) 내지 (C)에 나타내었다. 도 6의 (A)는 반도체 장치의 상면도이고, 도 6의 (B) 및 (C)는 반도체 장치의 단면도이다. 여기서 도 6의 (B)는 도 6의 (A)에서 일점쇄선 A1-A2로 나타낸 부분의 단면도이다. 또한 도 6의 (C)는 도 6의 (A)에서 일점쇄선 A3-A4로 나타낸 부분의 단면도이다. 또한 도 6의 (A)의 상면도에서는, 도면의 명료화를 위하여 일부 요소를 생략하였다.

[0152] 도 6의 (A) 내지 (C)에 나타낸 반도체 장치는 트랜지스터(200C)를 가진다. 따라서, 도 6의 (B)는 트랜지스터(200C)의 채널 길이 방향의 단면도라고도 할 수 있다. 또한 도 6의 (C)는 트랜지스터(200C)의 채널 폭 방향의 단면도라고도 할 수 있다.

[0153] 도 6의 (B) 및 (C)에 나타낸 트랜지스터(200C)는 절연체(222) 및 절연체(250) 각각이 3층 적층 구조를 가지는 점에서 도 1의 (B) 및 (C)에 나타낸 트랜지스터(200A)와 주로 다르다. 구체적으로는, 도 6의 (B) 및 (C)에 나타낸 트랜지스터(200C)는 절연체(250a)와 절연체(250b) 사이에 절연체(250d)를 가지는 점, 그리고 절연체(222a)와 절연체(222b) 사이에 절연체(222d)를 가지는 점에서 도 1의 (B) 및 (C)에 나타낸 트랜지스터(200A)와 주로 다르다. 이하에서는, 상술한 구성예 1과 상이한 부분에 대하여 주로 설명하고, 중복되는 부분에 대해서는 설명을 생략한다.

[0154] 절연체(250)는 절연체(250a)와, 절연체(250a) 위의 절연체(250d)와, 절연체(250d) 위의 절연체(250b)를

가진다. 또한 절연체(222)는 절연체(222b)와, 절연체(222b) 위의 절연체(222d)와, 절연체(222d) 위의 절연체(222a)를 가진다. 이때, 절연체(250a)와 절연체(222a)는 영역(230i)을 개재하여 서로 중첩되는 영역을 가지고, 절연체(250d)와 절연체(222d)는 절연체(250a), 영역(230i), 및 절연체(222a)를 개재하여 서로 중첩되는 영역을 가지고, 절연체(250b)와 절연체(222b)는 절연체(250d), 절연체(250a), 영역(230i), 절연체(222a), 및 절연체(222d)를 개재하여 서로 중첩되는 영역을 가진다.

[0155] 절연체(250d) 및 절연체(222d)는 수소를 포획 또는 고착시키는 기능을 가지는 것이 바람직하다. 절연체(250b)와 절연체(222b)로 둘러싸인 영역 내측에, 수소를 포획 또는 고착시키는 기능을 가지는 절연체를 제공함으로써, 상기 영역 내측의 수소를 더 효과적으로 포획 또는 고착시킬 수 있다. 즉 절연체(250a), 산화물(230b)의 영역(230i) 및 절연체(222a)에 포함되는 수소를 더 효과적으로 포획 또는 고착시킬 수 있다. 그러므로 영역(230i) 내의 수소 농도를 저감할 수 있다. 따라서 영역(230i) 내의 V_OH를 저감하여, 영역(230i)을 i형 또는 실질적으로 i형으로 할 수 있다.

[0156] 수소를 포획 또는 고착하는 기능을 가지는 절연체로서 비정질 구조를 가지는 금속 산화물을 들 수 있다. 절연체(250d) 및 절연체(222d)로서 예를 들어 산화 마그네슘, 또는 알루미늄 및 하프늄 중 한쪽 또는 양쪽을 포함하는 산화물 등의 금속 산화물을 사용하는 것이 바람직하다. 이와 같은 비정질 구조를 가지는 금속 산화물에서는, 산소 원자가 댕글링 본드(dangling bond)를 가지고, 상기 댕글링 본드로 수소를 포획 또는 고착하는 성질을 가지는 경우가 있다. 즉 비정질 구조를 가지는 금속 산화물은 수소를 포획 또는 고착하는 능력이 높다고 할 수 있다.

[0157] 또한 절연체(250d) 및 절연체(222d)에 비유전율이 높은(high-k) 재료를 사용하는 것이 바람직하다. 또한 high-k 재료의 일례로서, 알루미늄 및 하프늄 중 한쪽 또는 양쪽을 포함하는 산화물, 산화 탄탈럼, 산화 지르코늄, 하프늄 지르코늄 산화물 등이 있다. 트랜지스터의 미세화 및 고집적화가 진행되면, 게이트 절연체의 박막화로 인하여 누설 전류 등의 문제가 발생하는 경우가 있다. 절연체(250d) 및 절연체(222d)에 high-k 재료를 사용함으로써, 게이트 절연체의 물리적 막 두께를 유지한 채, 트랜지스터 동작 시에 인가하는 게이트 전위를 저감할 수 있다. 또한 게이트 절연체로서 기능하는 절연체의 등가 산화막 두께(EOT: Equivalent Oxide Thickness)의 박막화가 가능하게 된다. 또한 절연체(250d) 및 절연체(222d)에는 타이타늄산 지르콘산 연(PZT), 타이타늄산 스트론튬($SrTiO_3$), $(Ba,Sr)TiO_3$(BST) 등의 유전율이 높은 물질을 사용할 수 있는 경우도 있다.

[0158] 이상에 의하여, 절연체(250d) 및 절연체(222d)로서 알루미늄 및 하프늄 중 한쪽 또는 양쪽을 포함하는 산화물을 사용하는 것이 바람직하고, 비정질 구조를 가지며 알루미늄 및 하프늄 중 한쪽 또는 양쪽을 포함하는 산화물을 사용하는 것이 더 바람직하다. 본 실시형태에서는 절연체(250d) 및 절연체(222d)에 산화 하프늄을 사용한다. 이 경우, 절연체(250d) 및 절연체(222d) 각각은 적어도 산소와 하프늄을 포함한다. 또한 상기 산화 하프늄은 비정질 구조를 가진다. 이 경우, 절연체(250d) 및 절연체(222d)는 비정질 구조를 가진다.

[0159] 상술한 구성으로 함으로써, 절연체(250d)와 절연체(222d)는 같은 기능을 가진다. 따라서, 제 1 적층체와 제 2 적층체를 채널 형성 영역을 기준으로 하여 대칭으로 제공할 수 있다.

[0160] 또한 도 2의 (A) 및 (B)에 나타낸 구성과 마찬가지로 제 2 게이트 절연체는 절연체(222)와 섬 형상의 절연체(224)의 적층체로 구성되어도 좋다.

[0161] 도 6의 (B) 및 (C)에 나타낸 구성과는 다른 구성의 일례를 도 7의 (A) 및 (B)에 나타내었다. 도 7의 (A) 및 (B)는 트랜지스터(200C)를 가지는 반도체 장치의 단면도이다. 여기서, 도 7의 (A)는 트랜지스터(200C)의 채널 길이 방향의 단면도이고, 도 7의 (B)는 트랜지스터(200C)의 채널 폭 방향의 단면도이다. 또한 도 7의 (A) 및 (B)에 나타낸 반도체 장치의 상면도에 대해서는 도 6의 (A)를 참조할 수 있다.

[0162] 도 7의 (A) 및 (B)에 나타낸 트랜지스터(200C)는 절연체(222)가 2층 적층 구조인 점 및 섬 형상의 절연체(224)를 가지는 점에서 도 6의 (B) 및 (C)에 나타낸 트랜지스터(200C)와 주로 다르다.

[0163] 도 7의 (A) 및 (B)에 나타낸 트랜지스터(200C)에서는 절연체(222)가 절연체(222b)와, 절연체(222b) 위의 절연체(222d)의 적층 구조를 가진다. 또한 절연체(222)와 산화물(230) 사이에 섬 형상의 절연체(224)가 제공된다.

[0164] 절연체(250a)는 절연체(222d)의 상면과 접하는 영역과, 절연체(224)의 측면과 접하는 영역과, 산화물(230)의 측면과 접하는 영역과, 산화물(230)의 상면과 접하는 영역을 가진다. 이때, 산화물(230)의 영역(230i)은 절연체(250a)와 절연체(224)로 둘러싸인다.

[0165] 절연체(224)에는 상술한 절연체(222a)에 적용할 수 있는 재료를 사용하는 것이 바람직하다.

[0166] 또한 절연체(222) 및 절연체(224)의 구성은 도 7의 (A) 및 (B)에 나타낸 구성에 한정되지 않는다. 도 7의 (A) 및 (B)에 나타낸 구성과는 다른 구성의 일례를 도 7의 (C) 및 (D)에 나타내었다. 도 7의 (C) 및 (D)는 트랜지스터(200C)를 가지는 반도체 장치의 단면도이다. 여기서, 도 7의 (C)는 트랜지스터(200C)의 채널 길이 방향의 단면도이고, 도 7의 (D)는 트랜지스터(200C)의 채널 폭 방향의 단면도이다. 또한 도 7의 (C) 및 (D)에 나타낸 반도체 장치의 상면도에 대해서는 도 6의 (A)를 참조할 수 있다.

[0167] 도 7의 (C) 및 (D)에 나타낸 바와 같이, 절연체(222)가 단층 구조를 가지고, 절연체(224)가 절연체(224d)와, 절연체(224d) 위의 절연체(224a)의 적층 구조를 가져도 좋다. 이때, 절연체(222)에는 상술한 절연체(222b)에 적용할 수 있는 재료를 사용하는 것이 바람직하다. 또한 절연체(224d)에는 상술한 절연체(222d)에 적용할 수 있는 재료를 사용하고, 절연체(224a)에는 상술한 절연체(222a)에 적용할 수 있는 재료를 사용하는 것이 바람직하다.

[0168] 상술한 구성으로 함으로써, 절연체(222)와 절연체(224)로 이루어지는 적층체를 제 2 적층체로 간주할 수 있다. 이때, 도 7의 (A) 및 (B)에 나타낸 트랜지스터(200C) 그리고 도 7의 (C) 및 (D)에 나타낸 트랜지스터(200C)는 제 1 적층체와 제 2 적층체가 채널 형성 영역을 기준으로 하여 대칭으로 제공된 구성을 가진다고 할 수 있다.

[0169] <구성예 4>

[0170] 상술한 트랜지스터(200A) 내지 트랜지스터(200C)와 다른 구성예를 도 8의 (A) 내지 (C)에 나타내었다. 도 8의 (A)는 반도체 장치의 상면도이고, 도 8의 (B) 및 (C)는 반도체 장치의 단면도이다. 여기서 도 8의 (B)는 도 8의 (A)에서 일점쇄선 A1-A2로 나타낸 부분의 단면도이다. 또한 도 8의 (C)는 도 8의 (A)에서 일점쇄선 A3-A4로 나타낸 부분의 단면도이다. 또한 도 8의 (A)의 상면도에서는, 도면의 명료화를 위하여 일부 요소를 생략하였다.

[0171] 도 8의 (A) 내지 (C)에 나타낸 반도체 장치는 트랜지스터(200D)를 가진다. 따라서, 도 8의 (B)는 트랜지스터(200D)의 채널 길이 방향의 단면도라고도 할 수 있다. 또한 도 8의 (C)는 트랜지스터(200D)의 채널 폭 방향의 단면도라고도 할 수 있다.

[0172] 도 8의 (B) 및 (C)에 나타낸 트랜지스터(200D)는 절연체(222) 및 절연체(250) 각각이 4층 적층 구조를 가지는 점에서 트랜지스터(200A) 내지 트랜지스터(200C)와 주로 다르다. 도 8의 (B) 및 (C)에 나타낸 트랜지스터(200D)는 도 3의 (A) 내지 (C)에 나타낸 트랜지스터(200B)에 절연체(250d) 및 절연체(222d)를 더한 구성이라고도 할 수 있다. 또는 도 6의 (A) 내지 (C)에 나타낸 트랜지스터(200C)에 절연체(250c) 및 절연체(222c)를 더한 구성이라고도 할 수 있다. 이하에서는, 상술한 구성예 1 내지 구성예 3과 상이한 부분에 대하여 주로 설명하고, 중복되는 부분에 대해서는 설명을 생략한다.

[0173] 절연체(250)는 절연체(250c)와, 절연체(250c) 위의 절연체(250a)와, 절연체(250a) 위의 절연체(250d)와, 절연체(250d) 위의 절연체(250b)를 가진다. 또한 절연체(222)는 절연체(222b)와, 절연체(222b) 위의 절연체(222d)와, 절연체(222d) 위의 절연체(222a)와, 절연체(222a) 위의 절연체(222c)를 가진다. 이때, 절연체(250c)와 절연체(222c)는 영역(230i)을 개재하여 서로 중첩되는 영역을 가지고, 절연체(250a)와 절연체(222a)는 절연체(250c), 영역(230i), 및 절연체(222c)를 개재하여 서로 중첩되는 영역을 가지고, 절연체(250d)와 절연체(222d)는 절연체(250a), 절연체(250c), 영역(230i), 절연체(222c), 및 절연체(222a)를 개재하여 서로 중첩되는 영역을 가지고, 절연체(250b)와 절연체(222b)는 절연체(250d), 절연체(250a), 절연체(250c), 영역(230i), 절연체(222c), 절연체(222a), 및 절연체(222d)를 개재하여 서로 중첩되는 영역을 가진다.

[0174] 상술한 구성으로 함으로써, 제 1 적층체와 제 2 적층체를 채널 형성 영역을 기준으로 하여 대칭으로 제공할 수 있다.

[0175] 또한 도 2의 (A) 및 (B)에 나타낸 구성과 마찬가지로 제 2 게이트 절연체는 절연체(222)와 섬 형상의 절연체(224)로 구성되어도 좋다.

[0176] 도 8의 (B) 및 (C)에 나타낸 구성과는 다른 구성의 일례를 도 9의 (A) 및 (B), 도 9의 (C) 및 (D), 그리고 도 9의 (E) 및 (F)에 나타내었다. 도 9의 (A) 및 (B), 도 9의 (C) 및 (D), 그리고 도 9의 (E) 및 (F)는 각각 트랜지스터(200D)를 가지는 반도체 장치의 단면도이다. 여기서, 도 9의 (A), (C), 및 (E)는 트랜지스터(200D)의 채널 길이 방향의 단면도이고, 도 9의 (B), (D), 및 (F)는 트랜지스터(200D)의 채널 폭 방향의 단면도이다. 또한 도 9의 (A) 및 (B)에 나타낸 반도체 장치, 도 9의 (C) 및 (D)에 나타낸 반도체 장치, 그리고 도 9의 (E) 및

(F)에 나타낸 반도체 장치의 상면도에 대해서는 도 8의 (A)를 참조할 수 있다.

[0177] 도 9의 (A) 및 (B)에 나타낸 트랜지스터(200D), 도 9의 (C) 및 (D)에 나타낸 트랜지스터(200D), 그리고 도 9의 (E) 및 (F)에 나타낸 트랜지스터(200D)는 절연체(222)와 산화물(230) 사이에 섬 형상의 절연체(224)를 가지는 점에서 도 8의 (B) 및 (C)에 나타낸 트랜지스터(200D)와 주로 다르다.

[0178] 도 9의 (A) 및 (B)에 나타낸 트랜지스터(200D)에서는, 절연체(222)가 절연체(222b)와, 절연체(222b) 위의 절연체(222d)와, 절연체(222d) 위의 절연체(222a)의 적층 구조를 가지고, 절연체(224)가 단층 구조를 가진다. 절연체(224)에는 상술한 절연체(222c)에 적용할 수 있는 재료를 사용하는 것이 바람직하다.

[0179] 또한 도 9의 (C) 및 (D)에 나타낸 트랜지스터(200D)에서는 절연체(222)가 절연체(222b)와, 절연체(222b) 위의 절연체(222d)의 적층 구조를 가지고, 절연체(224)가 절연체(224a)와, 절연체(224a) 위의 절연체(224c)의 적층 구조를 가진다. 절연체(224a)에는 상술한 절연체(222a)에 적용할 수 있는 재료를 사용하고, 절연체(224c)에는 상술한 절연체(222c)에 적용할 수 있는 재료를 사용하는 것이 바람직하다.

[0180] 또한 도 9의 (E) 및 (F)에 나타낸 트랜지스터(200D)에서는 절연체(222)가 단층 구조를 가지고, 절연체(224)가 절연체(224d)와, 절연체(224d) 위의 절연체(224a)와, 절연체(224a) 위의 절연체(224c)의 적층 구조를 가진다. 절연체(222)에는 상술한 절연체(222b)에 적용할 수 있는 재료를 사용하는 것이 바람직하다. 또한 절연체(224d)에는 상술한 절연체(222d)에 적용할 수 있는 재료를 사용하고, 절연체(224a)에는 상술한 절연체(222a)에 적용할 수 있는 재료를 사용하고, 절연체(224c)에는 상술한 절연체(222c)에 적용할 수 있는 재료를 사용하는 것이 바람직하다.

[0181] 상술한 구성으로 함으로써, 절연체(222)와 절연체(224)로 이루어지는 적층체를 제 2 적층체로 간주할 수 있다. 이때, 도 9의 (A) 및 (B)에 나타낸 트랜지스터(200D), 도 9의 (C) 및 (D)에 나타낸 트랜지스터(200D), 그리고 도 9의 (E) 및 (F)에 나타낸 트랜지스터(200D)는 제 1 적층체와 제 2 적층체가 채널 형성 영역을 기준으로 하여 대칭으로 제공된 구성을 가진다고 할 수 있다.

[0182] 또한 도 5의 (A) 및 (B)에 나타낸 구성과 마찬가지로 산화물(230)을 산화물(230a)과 산화물(230b)의 적층 구조로 하고, 산화물(230a)로서, 산소에 대한 배리어성을 가지는 반도체 재료를 사용하는 구성으로 하여도 좋다.

[0183] 도 8의 (B) 및 (C)에 나타낸 구성과는 다른 구성의 일례를 도 10의 (A) 및 (B), 도 10의 (C) 및 (D), 그리고 도 10의 (E) 및 (F)에 나타내었다. 도 10의 (A) 및 (B), 도 10의 (C) 및 (D), 그리고 도 10의 (E) 및 (F)는 각각 트랜지스터(200D)를 가지는 반도체 장치의 단면도이다. 여기서, 도 10의 (A), (C), 및 (E)는 트랜지스터(200D)의 채널 길이 방향의 단면도이고, 도 10의 (B), (D), 및 (F)는 트랜지스터(200D)의 채널 폭 방향의 단면도이다. 또한 도 10의 (A) 및 (B)에 나타낸 반도체 장치, 도 10의 (C) 및 (D)에 나타낸 반도체 장치, 그리고 도 10의 (E) 및 (F)에 나타낸 반도체 장치의 상면도에 대해서는 도 8의 (A)를 참조할 수 있다.

[0184] 도 10의 (A) 및 (B)에 나타낸 트랜지스터(200D)는 산화물(230)이 2층 적층 구조인 점에서 도 8의 (B) 및 (C)에 나타낸 트랜지스터(200D)와 주로 다르다. 도 10의 (C) 및 (D)에 나타낸 트랜지스터(200D) 그리고 도 10의 (E) 및 (F)에 나타낸 트랜지스터(200D)는 섬 형상의 절연체(224)를 가지는 점 및 산화물(230)이 2층 적층 구조인 점에서 도 8의 (B) 및 (C)에 나타낸 트랜지스터(200D)와 주로 다르다.

[0185] 도 10의 (A) 및 (B)에 나타낸 트랜지스터(200D)에서는, 절연체(222)가 절연체(222b)와, 절연체(222b) 위의 절연체(222d)와, 절연체(222d) 위의 절연체(222a)의 적층 구조를 가지고, 산화물(230)이 산화물(230a)과, 산화물(230a) 위의 산화물(230b)의 적층 구조를 가진다. 상술한 구성에 있어서, 절연체(222)와 산화물(230a)로 이루어지는 적층체를 제 2 적층체로 간주할 수 있다. 이때, 도 10의 (A) 및 (B)에 나타낸 트랜지스터(200D)는 제 1 적층체와 제 2 적층체가 채널 형성 영역을 기준으로 하여 대칭으로 제공된 구성을 가진다고 할 수 있다.

[0186] 또한 도 10의 (C) 및 (D)에 나타낸 트랜지스터(200D)에서는 절연체(222)가 절연체(222b)와, 절연체(222b) 위의 절연체(222d)의 적층 구조를 가진다. 또한 산화물(230)은 산화물(230a)과, 산화물(230a) 위의 산화물(230b)의 적층 구조를 가진다. 절연체(224)에는 상술한 절연체(222a)에 적용할 수 있는 재료를 사용하는 것이 바람직하다.

[0187] 도 10의 (E) 및 (F)에 나타낸 트랜지스터(200D)에서는 절연체(224)가 절연체(224d)와, 절연체(224d) 위의 절연체(224a)의 적층 구조를 가진다. 또한 산화물(230)은 산화물(230a)과, 산화물(230a) 위의 산화물(230b)의 적층 구조를 가진다. 절연체(222)에는 상술한 절연체(222b)에 적용할 수 있는 재료를 사용하는 것이 바람직하다. 또한 절연체(224d)에는 상술한 절연체(222d)에 적용할 수 있는 재료를 사용하고, 절연체(224a)에는 상술한 절연

체(222a)에 적용할 수 있는 재료를 사용하는 것이 바람직하다.

[0188] 상술한 구성으로 함으로써, 절연체(222)와, 절연체(224)와, 산화물(230a)로 이루어지는 적층체를 제 2 적층체로 간주할 수 있다. 이때, 도 10의 (C) 및 (D)에 나타낸 트랜지스터(200D) 그리고 도 10의 (E) 및 (F)에 나타낸 트랜지스터(200D)는 제 1 적층체와 제 2 적층체가 채널 형성 영역을 기준으로 하여 대칭으로 제공된 구성을 가진다고 할 수 있다.

[0189] 또한 절연체(250a), 절연체(222a), 또는 영역(230i)의 수소 농도가 충분히 낮으면, 절연체(250d) 및 절연체(222d) 중 한쪽을 제공하는 구성으로 하여도 좋다.

[0190] 도 11의 (A) 및 (B), 도 11의 (C), 및 (D), 도 12의 (A) 및 (B), 그리고 도 12의 (C) 및 (D)는 각각 트랜지스터(200D)를 가지는 반도체 장치의 단면도이다. 여기서, 도 11의 (A), (C) 및 도 12의 (A), (C)는 트랜지스터(200D)의 채널 길이 방향의 단면도이고, 도 11의 (B), (D) 및 도 12의 (B), (D)는 트랜지스터(200D)의 채널 폭 방향의 단면도이다. 또한 도 11의 (A) 및 (B)에 나타낸 반도체 장치, 그리고 도 11의 (C) 및 (D)에 나타낸 반도체 장치의 상면도에 대해서는 도 3의 (A)를 참조할 수 있고, 도 12의 (A) 및 (B)에 나타낸 반도체 장치, 그리고 도 12의 (C) 및 (D)에 나타낸 반도체 장치의 상면도에 대해서는 도 8의 (A)를 참조할 수 있다.

[0191] 예를 들어, 도 11의 (A) 및 (B)에 나타낸 트랜지스터(200D) 그리고 도 11의 (C) 및 (D)에 나타낸 트랜지스터(200D)는 절연체(222d)를 가지고, 절연체(250d)를 가지지 않는다.

[0192] 도 11의 (A) 및 (B)에 나타낸 트랜지스터(200D)는 절연체(222d)를 가지는 점에서 도 4의 (C) 및 (D)에 나타낸 트랜지스터(200B)와는 다르다. 또한 도 11의 (A) 및 (B)에 나타낸 트랜지스터(200D)는 절연체(250d)를 가지지 않는 점에서 도 9의 (C) 및 (D)에 나타낸 트랜지스터(200D)와 다르다. 따라서, 도 11의 (A) 및 (B)에 나타낸 트랜지스터(200D)는 도 4의 (C) 및 (D)에 나타낸 트랜지스터(200B)의 변형예 또는 도 9의 (C) 및 (D)에 나타낸 트랜지스터(200D)의 변형예라고 할 수 있다.

[0193] 또한 도 11의 (C) 및 (D)에 나타낸 트랜지스터(200D)는 절연체(222b)와 절연체(224) 사이에 절연체(222d)를 가지는 점에서 도 5의 (C) 및 (D)에 나타낸 트랜지스터(200B)와는 다르다. 또한 도 11의 (C) 및 (C)에 나타낸 트랜지스터(200D)는 절연체(250d)를 가지지 않는 점에서 도 10의 (C) 및 (D)에 나타낸 트랜지스터(200D)와 다르다. 따라서, 도 11의 (C) 및 (D)에 나타낸 트랜지스터(200D)는 도 5의 (C) 및 (D)에 나타낸 트랜지스터(200B)의 변형예 또는 도 10의 (C) 및 (D)에 나타낸 트랜지스터(200D)의 변형예라고 할 수 있다. 또한 도 10의 (C) 및 (D)에 나타낸 트랜지스터(200D)는 도 11의 (C) 및 (D)에 나타낸 트랜지스터(200D)에 있어서, 절연체(250a)와 절연체(250b) 사이에 절연체(250d)가 제공된 구성을 가진다.

[0194] 또한 예를 들어 도 12의 (A) 및 (B)에 나타낸 트랜지스터(200D) 그리고 도 12의 (C) 및 (D)에 나타낸 트랜지스터(200D)는 절연체(250d)를 가지고, 절연체(222d)를 가지지 않는다.

[0195] 도 12의 (A) 및 (B)에 나타낸 트랜지스터(200D)는 절연체(250d)를 가지는 점에서 도 4의 (C) 및 (D)에 나타낸 트랜지스터(200B)와는 다르다. 또한 도 12의 (A) 및 (B)에 나타낸 트랜지스터(200D)는 절연체(222d)를 가지지 않는 점에서 도 9의 (C) 및 (D)에 나타낸 트랜지스터(200D)와 다르다. 따라서, 도 12의 (A) 및 (B)에 나타낸 트랜지스터(200D)는 도 4의 (C) 및 (D)에 나타낸 트랜지스터(200B)의 변형예 또는 도 9의 (C) 및 (D)에 나타낸 트랜지스터(200D)의 변형예라고 할 수 있다.

[0196] 또한 도 12의 (C) 및 (D)에 나타낸 트랜지스터(200D)는 절연체(250d)를 가지는 점에서 도 5의 (C) 및 (D)에 나타낸 트랜지스터(200B)와는 다르다. 바꿔 말하면, 도 12의 (C) 및 (D)에 나타낸 트랜지스터(200D)는 도 5의 (C) 및 (D)에 나타낸 트랜지스터(200B)에 절연체(250d)를 더한 구성을 가진다. 또한 도 12의 (C) 및 (D)에 나타낸 트랜지스터(200D)는 절연체(222d)를 가지지 않는 점에서 도 10의 (C) 및 (D)에 나타낸 트랜지스터(200D)와 다르다. 따라서, 도 12의 (C) 및 (D)에 나타낸 트랜지스터(200D)는 도 5의 (C) 및 (D)에 나타낸 트랜지스터(200B)의 변형예 또는 도 10의 (C) 및 (D)에 나타낸 트랜지스터(200D)의 변형예라고 할 수 있다.

[0197] 또한 도 12의 (A) 및 (B)에 나타낸 트랜지스터(200D) 그리고 도 12의 (C) 및 (D)에 나타낸 트랜지스터(200D)의 절연체(222)는 상술한 절연체(222b)에 적용할 수 있는 재료를 사용하여도 좋고, 상술한 절연체(222d)에 적용할 수 있는 재료를 사용하여도 좋다.

[0198] 도 12의 (A) 및 (B)에 나타낸 트랜지스터(200D) 그리고 도 12의 (C) 및 (D)에 나타낸 트랜지스터(200D)의 절연체(222)로서, 상술한 절연체(222d)에 적용할 수 있는 재료를 사용하는 경우, 절연체(222)는 수소(예를 들어 수소 원자 및 수소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는 것이 바람직하다. 예를 들어, 절

연체(222)는 절연체(224)(도 12의 (A) 및 (B)에 나타낸 트랜지스터(200D)에서는 절연체(224a))보다 수소의 확산을 억제하는 기능을 가지는 것이 바람직하다. 또한 절연체(222)는 산소(예를 들어 산소 원자 및 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가져도 좋다. 이때, 절연체(222)는 절연체(224)(도 12의 (A) 및 (B)에 나타낸 트랜지스터(200D)에서는 절연체(224a))보다 산소의 확산을 억제하는 기능을 가지는 것이 바람직하다.

[0199] 도 12의 (A) 및 (B)에 나타낸 트랜지스터(200D) 그리고 도 12의 (C) 및 (D)에 나타낸 트랜지스터(200D)에서, 절연체(222)에는 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물 혹은 하프늄 및 지르코늄을 포함하는 산화물을 사용하는 것이 바람직하다. 이와 같은 산화물을 절연체(222)에 사용하는 경우, 절연체(222)는 기판 측으로부터 산화물(230)로의 수소 등의 불순물의 확산을 억제하고, 산화물(230)로부터 기판 측으로의 산소의 방출을 억제하는 층으로서 기능한다. 따라서 수소 등의 불순물이 트랜지스터(200D)의 내측으로 확산되는 것을 억제하고, 산화물(230) 내에 산소 결손이 생성되는 것을 억제할 수 있다. 또한 산화물(230)이 포함하는 산소와 도전체(205)가 반응하는 것을 억제할 수 있다.

[0200] 또한 상기 절연체에 예를 들어 산화 알루미늄, 산화 비스무트, 산화 저마늄, 산화 나이오븀, 산화 실리콘, 산화 타이타늄, 산화 텅스텐, 산화 이트륨, 또는 산화 지르코늄을 첨가하여도 좋다. 또는 이들 절연체를 질화 처리하여도 좋다.

[0201] 예를 들어 절연체(222)에 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 사용하는 경우, 절연체(222)의 막 두께를 두껍게 하는 것이 바람직하다. 예를 들어, 절연체(222)의 막 두께는 절연체(250d)의 막 두께보다 두꺼운 것이 바람직하고, 절연체(250d)의 막 두께와 절연체(250b)의 막 두께의 합보다 두꺼운 것이 더 바람직하다. 절연체(222)의 막 두께를 두껍게 함으로써, 절연체(222)는 수소를 포획 또는 고착하는 기능과, 수소(예를 들어 수소 원자 및 수소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는 경우가 있다. 이때, 절연체(222)는 상술한 절연체(222b)에 적용할 수 있는 재료가 가지는 기능과, 상술한 절연체(222d)에 적용할 수 있는 재료가 가지는 기능을 겸비할 수 있다. 이러한 구성으로 함으로써, 도 12의 (A) 및 (B)에 나타낸 트랜지스터(200D) 그리고 도 12의 (C) 및 (D)에 나타낸 트랜지스터(200D)는 제 1 적층체와 제 2 적층체가 채널 형성 영역을 기준으로 하여 대칭으로 제공된 구성을 가진다고 할 수 있다.

[0202] <응용예>

[0203] 본 발명의 일 형태인 반도체 장치에 있어서, 제 1 게이트 전극의 위쪽 및 제 2 게이트 전극의 아래쪽 중 한쪽 또는 양쪽에 수소에 대한 배리어성을 가지는 절연체를 제공하는 구성으로 하여도 좋다.

[0204] 도 13의 (A) 및 (B), 도 13의 (C) 및 (D), 그리고 도 13의 (E) 및 (F)는 각각 트랜지스터(200E)를 가지는 반도체 장치의 단면도이다. 여기서, 도 13의 (A), (C), 및 (E)는 트랜지스터(200E)의 채널 길이 방향의 단면도이고, 도 13의 (B), (D), 및 (F)는 트랜지스터(200E)의 채널 폭 방향의 단면도이다. 또한 도 13의 (A) 및 (B)에 나타낸 반도체 장치, 도 13의 (C) 및 (D)에 나타낸 반도체 장치, 그리고 도 13의 (E) 및 (F)에 나타낸 반도체 장치의 상면도에 대해서는 도 1의 (A)를 참조할 수 있다. 이하에서는, 상술한 구성예 1 내지 구성예 4와 상이한 부분에 대하여 주로 설명하고, 중복되는 부분에 대해서는 설명을 생략한다.

[0205] 도 13의 (A) 및 (B)에 나타낸 트랜지스터(200E)에서는 도전체(260)의 위쪽에 절연체(283)가 제공된다. 또한 도 13의 (C) 및 (D)에 나타낸 트랜지스터(200E)에서는 도전체(205)의 아래쪽에 절연체(215)가 제공된다. 또한 도 13의 (E) 및 (F)에 나타낸 트랜지스터(200E)에서는 도전체(260)의 위쪽에 절연체(283)가 제공되고, 도전체(205)의 아래쪽에 절연체(215)가 제공된다.

[0206] 절연체(283)는 절연체(250b)와 마찬가지로 수소에 대한 배리어성을 가지는 것이 바람직하다. 절연체(283)를 제공함으로써, 절연체(283)의 위쪽에 제공되는 구조체에 포함되는 수소 등의 불순물이 영역(230i)으로 확산되는 것을 억제할 수 있다. 또한 절연체(215)는 절연체(222b)와 마찬가지로 수소에 대한 배리어성을 가지는 것이 바람직하다. 절연체(215)를 제공함으로써, 절연체(215)의 아래쪽에 제공되는 구조체에 포함되는 수소 등의 불순물이 영역(230i)으로 확산되는 것을 억제할 수 있다.

[0207] 또한 절연체(215)가 제공되는 트랜지스터(200E)에 있어서, 절연체(215) 위에 절연체(216)가 제공되고, 절연체(216)에 형성된 개구부를 매립하도록 도전체(205)가 배치되어 있다. 또한 도전체(205)의 상면은 절연체(216)의 상면과 높이가 일치한다.

[0208] 또한 도전체(205)의 전기 저항률은 도전체(205)에 인가하는 전위를 고려하여 설계되고, 도전체(205)의 막 두께는 상기 전기 저항률에 따라 설정된다. 또한 절연체(216)의 막 두께는 도전체(205)와 거의 같다. 여기서 도전

체(205)의 설계상 허용되는 범위에서 도전체(205) 및 절연체(216)의 막 두께를 얇게 하는 것이 바람직하다. 절연체(216)의 막 두께를 얇게 함으로써, 절연체(216) 내에 포함되는 수소 등의 불순물의 절대량을 감소시킬 수 있기 때문에, 상기 불순물이 산화물(230)로 확산되는 것을 억제할 수 있다.

[0209] 절연체(216)는 절연체(215)보다 유전율이 낮은 것이 바람직하다. 예를 들어, 절연체(216)로서는 절연체(280)에 적용할 수 있는 절연체를 사용하면 좋다.

[0210] 또한 절연체(250b)와 같은 기능을 가지는 절연체(283)를 제공함으로써 트랜지스터(200)의 위쪽으로부터 영역(230i)으로의 수소의 확산을 충분히 억제할 수 있는 경우에는 절연체(250b)를 제공하지 않는 구성으로 하여도 좋다. 또한 절연체(222b)와 같은 기능을 가지는 절연체(215)를 제공함으로써 트랜지스터(200)의 아래쪽으로부터 영역(230i)으로의 수소의 확산을 충분히 억제할 수 있는 경우에는 절연체(222b)를 제공하지 않는 구성으로 하여도 좋다.

[0211] 도 14의 (A) 및 (B), 도 14의 (C) 및 (D), 그리고 도 14의 (E) 및 (F)는 트랜지스터(200E)를 가지는 반도체 장치의 단면도이다. 여기서, 도 14의 (A), (C), 및 (E)는 트랜지스터(200E)의 채널 길이 방향의 단면도이고, 도 14의 (B), (D), 및 (F)는 트랜지스터(200E)의 채널 폭 방향의 단면도이다. 또한 도 14의 (A) 및 (B)에 나타낸 반도체 장치 그리고 도 14의 (C) 및 (D)에 나타낸 반도체 장치의 상면도에 대해서는 도 8의 (A)를 참조할 수 있다. 도 14의 (E) 및 (F)에 나타낸 반도체 장치의 상면도에 대해서는 도 3의 (A)를 참조할 수 있다.

[0212] 절연체(215)를 제공하고 절연체(222b)를 제공하지 않는 점에서 도 14의 (A) 및 (B)에 나타낸 트랜지스터(200E)는 도 9의 (C) 및 (D)에 나타낸 트랜지스터(200D)와 다르고, 도 14의 (C) 및 (D)에 나타낸 트랜지스터(200E)는 도 10의 (C) 및 (D)에 나타낸 트랜지스터(200D)와 다르고, 도 14의 (E) 및 (F)에 나타낸 트랜지스터(200E)는 도 11의 (C) 및 (D)에 나타낸 트랜지스터(200E)와 다르다.

[0213] 도 14의 (A) 내지 (F)에 나타낸 바와 같이 절연체(222b)를 제공하지 않는 경우에도, 도전체(205) 및 절연체(216)와 산화물(230) 사이에 수소를 포획 또는 고착하는 기능을 가지는 절연체를 제공함으로써 영역(230i)의 수소 농도의 증가를 억제할 수 있다.

[0214] 또한 도 12의 (A) 및 (B)에 나타낸 트랜지스터(200D) 그리고 도 12의 (C) 및 (D)에 나타낸 트랜지스터(200D)와 마찬가지로 도 14의 (A) 및 (B)에 나타낸 트랜지스터(200E), 도 14의 (C) 및 (D)에 나타낸 트랜지스터(200E), 그리고 도 14의 (E) 및 (F)에 나타낸 트랜지스터(200E)는 상술한 절연체(222b)에 적용할 수 있는 재료를 사용하여 막 두께가 큰 절연체(222)를 형성함으로써, 제 1 적층체와 제 2 적층체가 채널 형성 영역을 기준으로 하여 대칭으로 제공된 구성으로 간주할 수 있다.

[0215] <자세한 구성예>

[0216] 도 15의 (A) 내지 (D)를 사용하여, 트랜지스터를 가지는 반도체 장치의 자세한 구성예에 대하여 설명한다.

[0217] 도 15의 (A)는 트랜지스터(200)를 가지는 반도체 장치의 상면도이고, 도 15의 (B) 내지 (D)는 반도체 장치의 단면도이다. 여기서, 도 15의 (B)는 도 15의 (A)에서 일점쇄선 A1-A2로 나타낸 부분의 단면도이고, 트랜지스터(200)의 채널 길이 방향의 단면도이기도 하다. 또한 도 15의 (C)는 도 15의 (A)에서 일점쇄선 A3-A4로 나타낸 부분의 단면도이고, 트랜지스터(200)의 채널 폭 방향의 단면도이기도 하다. 또한 도 15의 (D)는 도 15의 (A)에서 일점쇄선 A5-A6으로 나타낸 부분의 단면도이고, 트랜지스터(200)의 채널 폭 방향의 단면도이기도 하다. 또한 도 15의 (A)의 상면도에서는, 도면의 명료화를 위하여 일부 요소를 생략하였다. 또한 이후에서는 상술한 내용과 상이한 부분에 대하여 주로 설명하고, 중복되는 부분에 대해서는 설명을 생략한다.

[0218] 트랜지스터(200)는 절연체(215) 위의 절연체(216)와, 절연체(216)에 매립되도록 제공된 도전체(205)(도전체(205a) 및 도전체(205b))와, 절연체(216) 및 도전체(205) 위의 절연체(222)와, 절연체(222) 위의 절연체(224)와, 절연체(224) 위의 산화물(230)과, 산화물(230) 위의 도전체(242a) 및 도전체(242b)와, 도전체(242a) 위의 절연체(271a)와, 도전체(242b) 위의 절연체(271b)와, 산화물(230) 위의 절연체(250)와, 절연체(250) 위의 도전체(260)(도전체(260a) 및 도전체(260b))를 가진다.

[0219] 절연체(271a) 및 절연체(271b) 위에는 절연체(275)가 제공되고 절연체(275) 위에는 절연체(280)가 제공되어 있다. 절연체(280) 및 절연체(275)에 형성된 개구의 내부에 절연체(250) 및 도전체(260)가 매립되어 있다. 또한 절연체(280) 위, 도전체(260) 위, 및 절연체(250) 위에 절연체(282)가 제공되어 있다. 또한 절연체(282) 위에는 절연체(283)가 제공되어 있다.

[0220] 도 15의 (B)에 나타낸 바와 같이, 트랜지스터(200)의 단면에서 보았을 때 도전체(242a)의 측단부의 한쪽은 산화

물(230)의 측단부의 한쪽과 실질적으로 일치하고, 도전체(242b)의 측단부의 한쪽은 산화물(230)의 측단부의 다른 쪽과 실질적으로 일치하는 것이 바람직하다. 또한 절연체(224)의 측단부가 산화물(230)의 측단부와 일치 또는 실질적으로 일치하는 것이 바람직하다. 절연체(224)와, 산화물(230)과, 도전체(242a) 및 도전체(242b)가 되는 도전층을 한번에 섬 형상으로 가공함으로써, 반도체 장치를 양호한 생산성으로 제작할 수 있다. 이때, 절연체(224), 산화물(230), 도전체(242a), 및 도전체(242b)는 상기와 같이 측단부가 각각 실질적으로 일치하는 형상이 된다.

[0221] 도 15의 (A) 내지 (D)에 나타낸 트랜지스터(200)에 상술한 트랜지스터(200A) 내지 트랜지스터(200E) 중 어느 하나의 구성을 적용하는 것이 좋다.

[0222] 도 15의 (A) 내지 (D)에 나타낸 트랜지스터(200)에 도 11의 (C) 및 (D)에 나타낸 트랜지스터(200D)의 구성을 적용한 예를 도 16의 (A) 및 (B)에 나타내었다. 도 16의 (A)는 트랜지스터(200)의 채널 길이 방향의 단면 확대도이고, 도 16의 (B)는 트랜지스터(200)의 채널 폭 방향의 단면 확대도이다.

[0223] 또한 도 15의 (A) 내지 (D)에 나타낸 트랜지스터(200)에 도 14의 (C) 및 (D)에 나타낸 트랜지스터(200E)의 구성을 적용한 예를 도 17의 (A) 및 (B)에 나타내었다. 도 17의 (A)는 트랜지스터(200)의 채널 길이 방향의 단면 확대도이고, 도 17의 (B)는 트랜지스터(200)의 채널 폭 방향의 단면 확대도이다.

[0224] 도 16의 (A) 내지 도 17의 (B)에 나타낸 바와 같이, 산화물(230)은 절연체(224) 위의 산화물(230a)과, 산화물(230a) 위의 산화물(230b)을 가지는 것이 바람직하다.

[0225] 산화물(230a) 및 산화물(230b)은 화학 조성이 다른 것이 바람직하다. 산화물(230a) 및 산화물(230b)이 산소 이외에 공통된 원소를 주성분으로서 포함함으로써, 산화물(230a) 및 산화물(230b)의 계면에서의 결함 준위 밀도를 저감할 수 있다. 산화물(230a)과 산화물(230b)의 계면에서의 결함 준위 밀도를 낮출 수 있다. 그러므로 계면 산란으로 인한 캐리어 전도에 대한 영향이 작아지고, 트랜지스터(200)는 높은 온 전류 및 높은 주파수 특성을 얻을 수 있다.

[0226] 산화물(230b)에는 결정성을 가지는 산화물 반도체를 사용하는 것이 바람직하다. 결정성을 가지는 산화물 반도체로서 CAAC-OS(c-axis aligned crystalline oxide semiconductor), nc-OS(nanocrystalline oxide semiconductor), 다결정 산화물 반도체, 단결정 산화물 반도체 등을 들 수 있다. 산화물(230b)로서 CAAC-OS 또는 nc-OS를 사용하는 것이 바람직하고, CAAC-OS를 사용하는 것이 특히 바람직하다.

[0227] CAAC-OS는 결정성이 높고 치밀한 구조를 가지고, 불순물 및 결함(예를 들어 산소 결손)이 적은 금속 산화물이다. 특히 금속 산화물의 형성 후에, 금속 산화물이 다결정화되지 않을 정도의 온도(예를 들어 400℃ 이상 600℃ 이하)에서 가열 처리를 수행함으로써, CAAC-OS를 결정성이 더 높고 치밀한 구조로 할 수 있다. 이러한 식으로 CAAC-OS의 밀도를 더 높임으로써, 상기 CAAC-OS에서의 불순물 또는 산소 확산을 더 저감할 수 있다.

[0228] 또한 CAAC-OS에서는 명확한 결정립계를 확인하기 어렵기 때문에, 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다. 따라서 CAAC-OS를 가지는 금속 산화물은 물리적 성질이 안정된다. 그러므로 CAAC-OS를 가지는 금속 산화물은 열에 강하고 신뢰성이 높다.

[0229] 또한 산화물(230b)로서 CAAC-OS 등의 결정성을 가지는 산화물을 사용함으로써, 도전체(242a) 또는 도전체(242b)에 의하여 산화물(230b)로부터 산소가 추출되는 것을 억제할 수 있다. 이에 의하여 열처리를 수행한 경우에도 산화물(230b)로부터 산소가 추출되는 것을 억제할 수 있기 때문에, 트랜지스터(200)는 제조 공정에서의 높은 온도(소위 thermal budget)에 대하여 안정적이다. 또한 도전체(242a) 및 도전체(242b)의 도전율이 저하되는 것을 억제할 수 있다.

[0230] nc-OS는 미소한 영역(예를 들어 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 가진다. 바꿔 말하면, nc-OS는 미소한 결정(나노 결정이라고도 함)을 가진다. 또한 nc-OS는 상이한 나노 결정 간에서 결정 방위에 규칙성이 보이지 않기 때문에, 막 전체에서 배향성이 보이지 않는다. 즉 산화물(230b)로서 nc-OS를 사용하는 경우, 산화물(230b) 내를 흐르는 캐리어의 방향에 상관없이 산화물(230b)의 막 특성이 일정하게 되므로, 트랜지스터의 전기 특성이 안정된다.

[0231] 또한 산화물 반도체는 다양한 구조를 가지고, 각각이 상이한 특성을 가진다. 산화물(230b)은 CAAC-OS, nc-OS, a-like OS(amorphous-like oxide semiconductor), 비정질 산화물 반도체, 다결정 산화물 반도체, CAC-OS(cloud-aligned composite oxide semiconductor) 중 2종류 이상을 가져도 좋다.

[0232] 또한 예를 들어 XRD 장치를 사용하여 CAAC-OS막의 구조 해석을 수행할 때, θ/2θ 스캔을 사용한 Out-of-plane XRD 측정에서는 c축 배향을 나타내는 피크가 2θ=31° 또는 그 근방에서 검출된다. 또한 c축 배향을 나타내는 피크의 위치(2θ의 값)는 CAAC-OS를 구성하는 금속 원소의 종류, 조성 등에 따라 변동되는 경우가 있다. 또한 예를 들어 CAAC-OS막의 전자 회절 패턴에서 복수의 휘점(스폿)이 관측된다. 또한 어떤 스폿과 다른 스폿은 시료를 투과한 입사 전자선의 스폿(디렉트 스폿이라고도 함)을 대칭 중심으로 하여 점대칭의 위치에서 관측된다.

[0233] 또한 나노 결정의 크기와 같거나 나노 결정보다 작은 프로브 직경(예를 들어 1nm 이상 30nm 이하)의 전자선을 사용하는 전자 회절(나노빔 전자 회절이라고도 함)을 nc-OS막에 대하여 수행하면, 디렉트 스폿을 중심으로 하는 링 형상의 영역 내에 복수의 스폿이 관측되는 전자 회절 패턴이 취득되는 경우가 있다.

[0234] 산화물(230b)은 도 16의 (A) 및 도 17의 (A)에 나타낸 바와 같이, 영역(230bi)과, 영역(230bi)을 끼우도록 제공되는 영역(230bna) 및 영역(230bnb)을 가진다. 또한 영역(230bi), 영역(230bna), 및 영역(230bnb)에 대해서는 각각 상술한 영역(230i), 영역(230na), 및 영역(230nb)의 기재를 참조할 수 있다.

[0235] 또한 도 16의 (A) 내지 도 17의 (B)에서는 산화물(230)이 산화물(230a) 및 산화물(230b)의 2층 구조를 가지는 예를 설명하였지만 이에 한정되지 않는다. 산화물(230)은 예를 들어 도 1의 (B) 및 (C) 등에 나타낸 바와 같이 단층 구조를 가져도 좋다. 또한 산화물(230a) 및 산화물(230b) 중 한쪽 또는 양쪽이 2층 이상의 적층 구조를 가져도 좋다. 또한 산화물(230)이 단층 구조를 가지는 경우, 산화물(230)로서, 상술한 산화물(230a)에 적용할 수 있는 금속 산화물을 사용하여도 좋다.

[0236] 도 16의 (A) 및 (B)에 나타낸 바와 같이, 절연체(250)는 산화물(230)에 접하는 절연체(250c)와, 절연체(250c) 위의 절연체(250a)와, 절연체(250a) 위의 절연체(250b)의 적층 구조를 가지는 것이 바람직하다. 또는 도 17의 (A) 및 (B)에 나타낸 바와 같이, 절연체(250)는 산화물(230)에 접하는 절연체(250c)와, 절연체(250c) 위의 절연체(250a)와, 절연체(250a) 위의 절연체(250d)와, 절연체(250d) 위의 절연체(250b)의 적층 구조를 가지는 것이 바람직하다.

[0237] 절연체(250a) 내지 절연체(250d)는 도전체(260)와 함께, 절연체(280) 등에 형성된 개구의 내부에 제공된다. 트랜지스터(200)의 미세화를 실현하기 위하여, 절연체(250a)의 막 두께 내지 절연체(250d)의 막 두께는 각각 얇은 것이 바람직하다. 절연체(250a)의 막 두께 내지 절연체(250d)의 막 두께는 각각 0.1nm 이상 10nm 이하가 바람직하고, 0.1nm 이상 5.0nm 이하가 더 바람직하고, 0.5nm 이상 5.0nm 이하가 더 바람직하고, 1.0nm 이상 5.0nm 미만이 더 바람직하고, 1.0nm 이상 3.0nm 이하가 더 바람직하다. 또한 절연체(250a) 내지 절연체(250d)는 각각 적어도 일부에서 상술한 바와 같은 막 두께의 영역을 가지면 좋다.

[0238] 절연체(250a)의 막 두께 내지 절연체(250d)의 막 두께를 상술한 바와 같이 얇게 하기 위해서는 원자층 퇴적(ALD: Atomic Layer Deposition)법을 사용하여 성막을 하는 것이 바람직하다. ALD법으로서는 전구체 및 반응제의 반응을 열 에너지만으로 수행하는 열 ALD(Thermal ALD)법, 플라스마 여기된 반응제를 사용하는 PEALD(Plasma Enhanced ALD)법 등이 있다. PEALD법에서는 플라스마를 사용함으로써 더 낮은 온도에서 성막할 수 있게 되어 바람직한 경우가 있다.

[0239] ALD법에서는 한 층씩 원자를 퇴적할 수 있기 때문에, 매우 얇게 성막이 가능하고, 종횡비가 높은 구조에 대한 성막이 가능하고, 핀홀 등의 결함이 적은 성막이 가능하고, 피복성이 우수한 성막이 가능하고, 저온에서의 성막이 가능하다는 등의 효과가 있다. 따라서 절연체(280) 및 절연체(275)에 형성된 개구부의 측면 그리고 도전체(242a) 및 도전체(242b)의 측단부 등에 절연체(250)를 상술한 바와 같은 얇은 막 두께로 피복성 좋게 성막할 수 있다.

[0240] 또한 ALD법에서 사용하는 전구체에는 탄소 등이 포함되는 경우가 있다. 그러므로 ALD법으로 제공된 막은 다른 성막법으로 제공된 막보다 탄소 등의 불순물을 많이 포함하는 경우가 있다. 또한 불순물의 정량은 이차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry), X선 광전자 분광법(XPS: X-ray Photoelectron Spectroscopy), 또는 오제 전자 분광법(AES: Auger Electron Spectroscopy)을 사용하여 수행할 수 있다.

[0241] 또한 상기에서는 절연체(250)가 절연체(250a) 내지 절연체(250c)의 3층 구조 또는 절연체(250a) 내지 절연체(250d)의 4층 구조인 구성에 대하여 설명하였지만, 본 발명은 이들에 한정되지 않는다. 절연체(250)는 절연체(250a) 내지 절연체(250d) 중 적어도 하나를 가지는 구성으로 할 수 있다. 절연체(250)를 절연체(250a) 내지 절연체(250d) 중 하나, 2개, 또는 3개로 구성함으로써, 반도체 장치의 제작 공정이 간략화되어 생산성을 향상시킬 수 있다.

[0242] 도 16의 (A) 및 (B)에 나타낸 바와 같이, 절연체(222)는 절연체(216) 및 도전체(205) 위의 절연체(222b)와, 절연체(222b) 위의 절연체(222d)의 적층 구조로 하는 것이 바람직하다.

[0243] 절연체(222b)는 절연체(216) 및 도전체(205)와 절연체(222d) 사이에 제공된다. 절연체(222b)로서 수소의 확산을 억제하는 기능을 가지는 것이 바람직하다. 이로써 절연체(222b)의 아래쪽으로부터 트랜지스터(200)로 수소가 확산되는 것을 억제할 수 있다. 또한 절연체(222b)는 절연체(215)가 가지는 기능을 겸할 수 있다. 이러한 경우에는, 절연체(215)를 제공하지 않는 구성을 적용하면, 반도체 장치의 제작 공정을 간략화하고, 생산성을 향상시킬 수 있다.

[0244] 절연체(222b)로서 예를 들어 ALD법(특히 PEALD법)으로 성막된 질화 실리콘을 사용하는 것이 바람직하다. 절연체(222b)의 성막에 대하여 ALD법을 사용함으로써, 절연체(216)와 도전체(205)에서 요철이 형성되어도 절연체(222b)를 높은 피복성으로 성막할 수 있다. 따라서 절연체(222b) 위에 성막되는 절연체(222d)에 핀홀 또는 단절 등이 형성되는 것을 억제할 수 있다.

[0245] 또는 도 17의 (A) 및 (B)에 나타낸 바와 같이, 절연체(222)는 단층 구조를 가지는 것이 바람직하다. 또한 도 12의 (A) 및 (B)에 나타낸 트랜지스터(200D) 그리고 도 12의 (C) 및 (D)에 나타낸 트랜지스터(200D)와 마찬가지로 상술한 절연체(222b)에 적용할 수 있는 재료를 사용하여 막 두께가 두꺼운 절연체(222)를 형성하는 것이 바람직하다.

[0246] 또한 앞에서 절연체(222)가 단층 구조 또는 절연체(222b)와 절연체(222d)의 2층 구조를 가지는 구성에 대하여 설명하였지만, 본 발명은 이에 한정되지 않는다. 절연체(222)는 3층 이상의 적층 구조로 하여도 좋다.

[0247] 절연체(224)는 산화물(230)과 마찬가지로, 섬 형상으로 가공하는 것이 바람직하다. 이로써 복수의 트랜지스터(200)를 제공하는 경우에 하나의 트랜지스터(200)에 대하여 거의 같은 정도의 크기의 절연체(224)가 제공된다. 이에 의하여, 각 트랜지스터(200)에서 절연체(224)로부터 산화물(230)에 공급되는 산소의 양이 같은 정도가 된다. 따라서 기판면 내에서의 트랜지스터(200)의 전기 특성의 편차를 억제할 수 있다.

[0248] 또한 절연체(224)는 2층 이상의 적층 구조를 가져도 좋다. 이 경우, 같은 재료로 이루어진 적층 구조에 한정되지 않고, 상이한 재료로 이루어진 적층 구조로 하여도 좋다. 또한 도 1의 (B) 등에 나타낸 바와 같이, 절연체(224)를 제공하지 않는 구성으로 하여도 좋다.

[0249] 절연체(275)는 산소에 대한 배리어성을 가지는 것이 바람직하다. 절연체(275)는 절연체(280)와 도전체(242a) 사이 및 절연체(280)와 도전체(242b) 사이에 제공되어 있다. 절연체(275)를 제공함으로써, 절연체(280)에 포함되는 산소가 도전체(242a) 및 도전체(242b)로 확산되는 것을 억제할 수 있다. 따라서 절연체(280)에 포함되는 산소에 의하여 도전체(242a) 및 도전체(242b)가 산화되어 저항률이 증대되고 온 전류가 작아지는 것을 억제할 수 있다. 절연체(275)는 적어도 절연체(280)보다 산소를 투과시키기 어려운 것이 바람직하다. 예를 들어 절연체(275)에 질화 실리콘을 사용하는 것이 바람직하다. 이 경우, 절연체(275)는 적어도 질소와 실리콘을 포함한다.

[0250] 또한 절연체(275)는 절연체(280)와 영역(230bna) 사이 및 절연체(280)와 영역(230bnb) 사이에 제공된다. 바꿔 말하면, 영역(230bna) 및 영역(230bnb)은 절연체(275)와 산화물(230a)로 둘러싸여 있다. 따라서, 절연체(280)에 포함되는 산소가 영역(230bna) 및 영역(230bnb)으로 확산되는 것을 억제할 수 있다.

[0251] 또한 절연체(275)는 수소에 대한 배리어성을 가지는 것이 바람직하다. 절연체(275)가 수소에 대한 배리어성을 가짐으로써, 영역(230bna) 및 영역(230bnb) 내의 수소 농도가 저감되는 것을 억제할 수 있다.

[0252] 수소에 대한 배리어 절연체로서 산화 알루미늄, 산화 하프늄, 산화 탄탈럼 등의 산화물, 및 질화 실리콘 등의 질화물을 들 수 있다. 예를 들어 절연체(275)는 상기 산소에 대한 배리어 절연체의 단층 구조 또는 적층 구조를 가지는 것이 바람직하다.

[0253] 상술한 구성으로 함으로써, 영역(230bi)을 i형 또는 실질적으로 i형으로 하고, 영역(230bna) 및 영역(230bnb)을 n형으로 할 수 있다. 따라서 전기 특성이 양호한 반도체 장치를 제공할 수 있다. 또한 반도체 장치를 미세화 또는 고집적화하여도 양호한 전기 특성을 가질 수 있다. 또한 트랜지스터(200)를 미세화함으로써 고주파 특성을 향상시킬 수 있다. 구체적으로는 차단 주파수를 향상시킬 수 있다.

[0254] 절연체(271a)는 도전체(242a)의 상면 및 절연체(275)의 하면에 접하고, 절연체(271b)는 도전체(242b)의 상면 및 절연체(275)의 하면에 접한다.

[0255] 절연체(271a) 및 절연체(271b)는 도전체(242a) 및 도전체(242b)를 보호하는 에칭 스토퍼로서 기능한다. 따라서 도 15의 (B)에 나타낸 바와 같이, 트랜지스터(200)의 단면에서 보았을 때 절연체(271a)의 측단부는 도전체(242a)의 측단부와 일치하고, 절연체(271b)의 측단부는 도전체(242b)의 측단부와 일치하는 것이 바람직하다.

[0256] 절연체(271a) 및 절연체(271b)는 각각 도전체(242a) 및 도전체(242b)에 접하기 때문에, 도전체(242a) 및 도전체(242b)를 산화시키기 어려운 무기 절연체인 것이 바람직하다. 절연체(271a) 및 절연체(271b)에는 예를 들어 절연체(250b)에 적용할 수 있는 질화물 절연체를 사용하는 것이 바람직하다.

[0257] 또한 도 15의 (B)에서는 절연체(271a) 및 절연체(271b)를 단층으로 나타내었지만, 본 발명은 이에 한정되지 않는다. 절연체(271a) 및 절연체(271b)는 각각 적층 구조를 가져도 좋다.

[0258] 또한 본 실시형태의 반도체 장치는 상기 구성에 더하여 수소가 트랜지스터(200) 등에 혼입되는 것을 억제하는 구성을 가지는 것이 바람직하다. 예를 들어 수소의 확산을 억제하는 기능을 가지는 절연체를 트랜지스터(200) 등의 위 및 아래 중 한쪽 또는 양쪽을 덮도록 제공하는 것이 바람직하다. 본 실시형태에서 설명하는 반도체 장치에서 상기 절연체는 예를 들어 절연체(215), 절연체(282), 및 절연체(283) 등이다. 또한 트랜지스터(200) 아래에 제공하는 절연체(215)를 절연체(282) 및 절연체(283) 중 어느 한쪽 또는 양쪽과 같은 구성으로 하여도 좋다. 이 경우, 절연체(215)를 절연체(282)와 절연체(283)의 적층 구조로 하고, 절연체(282)를 아래에 배치하고 절연체(283)를 위에 배치하는 구성으로 하여도 좋고, 절연체(282)를 위에 배치하고 절연체(283)를 아래에 배치하는 구성으로 하여도 좋다. 또한 절연체(215)에서 절연체(282)를 위에 배치하고 절연체(283)를 아래에 배치하는 구성으로 하는 경우, 절연체(215)와, 절연체(282) 및 절연체(283)는 채널 형성 영역을 기준으로 하여 대칭으로 제공된다.

[0259] 절연체(282) 및 절연체(283) 중 한쪽 또는 양쪽은 물, 수소 등의 불순물이 기판 측으로부터 또는 트랜지스터(200) 등의 위쪽으로부터 트랜지스터(200) 등으로 확산되는 것을 억제하는 배리어 절연체로서 기능하는 것이 바람직하다. 따라서 절연체(282) 및 절연체(283) 중 한쪽 또는 양쪽은 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자(N_2O, NO, NO_2 등), 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는(상기 불순물이 투과하기 어려운) 절연성 재료를 가지는 것이 바람직하다. 또는 산소(예를 들어 산소 원자 및 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는(상기 산소가 투과하기 어려운) 절연성 재료를 가지는 것이 바람직하다.

[0260] 절연체(282) 및 절연체(283)는 각각 물, 수소 등의 불순물 및 산소의 확산을 억제하는 기능을 가지는 절연체를 가지는 것이 바람직하고, 예를 들어 산화 알루미늄, 산화 마그네슘, 산화 하프늄, 산화 갈륨, 인듐 갈륨 아연 산화물, 질화 실리콘, 또는 질화산화 실리콘 등을 사용할 수 있다. 예를 들어 절연체(283)로서 수소 배리어성이 더 높은 질화 실리콘 등을 사용하는 것이 바람직하다. 또한 예를 들어 절연체(282)에는 각각 수소를 포획 및 고착하는 기능이 높은 산화 알루미늄 또는 산화 마그네슘 등을 포함하는 것이 바람직하다. 이 경우, 물, 수소 등의 불순물이 절연체(283)보다 외측에 배치되는 층간 절연막 등으로부터 트랜지스터(200) 등으로 확산되는 것을 억제할 수 있다. 또한 절연체(280) 등에 포함되는 산소가 절연체(282) 등을 통하여 트랜지스터(200) 등보다 위쪽으로 확산되는 것을 억제할 수 있다. 또한 절연체(215)로서 절연체(282) 및 절연체(283) 중 한쪽 또는 양쪽과 같은 구성으로 함으로써, 물, 수소 등의 불순물이 절연체(215)를 통하여 기판 측으로부터 트랜지스터(200) 등으로 확산되는 것을 억제할 수 있다. 또한 절연체(224) 등에 포함되는 산소가 기판 측으로 확산되는 것을 억제할 수 있다. 이와 같이, 트랜지스터(200) 등의 상하를 물, 수소 등의 불순물 및 산소 확산을 억제하는 기능을 가지는 절연체로 둘러싸는 구조로 하는 것이 바람직하다.

[0261] 도전체(205)는 단층 구조이어도 좋고, 적층 구조이어도 좋다. 도 15의 (B) 및 (C)에서, 도전체(205)는 도전체(205a) 및 도전체(205b)를 가진다. 도전체(205a)는 절연체(216)에 형성된 개구부의 밑면 및 측벽과 접하여 제공된다. 도전체(205b)는 상기 개구부를 따라 형성된 도전체(205a)의 오목부를 매립하도록 제공된다.

[0262] 여기서 도전체(205a)는 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자(N_2O, NO, NO_2 등), 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는 도전성 재료를 가지는 것이 바람직하다. 또는 산소(예를 들어 산소 원자 및 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는 도전성 재료를 가지는 것이 바람직하다.

[0263] 도전체(205a)에 수소의 확산을 저감시키는 기능을 가지는 도전성 재료를 사용함으로써, 도전체(205b)에 포함되는 수소 등의 불순물이 절연체(216) 등을 통하여 산화물(230)로 확산되는 것을 방지할 수 있다. 또한 도전체(205a)에 산소 확산을 억제하는 기능을 가지는 도전성 재료를 사용함으로써, 도전체(205b)가 산화되어 도전율이

저하되는 것을 억제할 수 있다. 산소 확산을 억제하는 기능을 가지는 도전성 재료로서는 예를 들어 타이타늄, 질화 타이타늄, 탄탈럼, 질화 탄탈럼, 루테늄, 및 산화 루테늄이 있다. 도전체(205a)는 상기 도전성 재료의 단층 구조 또는 적층 구조를 가질 수 있다. 예를 들어 도전체(205a)는 질화 타이타늄을 포함하는 것이 바람직하다.

[0264] 또한 도전체(205b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 예를 들어 도전체(205b)는 텅스텐을 가지는 것이 바람직하다.

[0265] 도전체(242a) 및 도전체(242b)는 각각 산화물(230b)과 접하는 영역을 가진다. 도전체(242a) 및 도전체(242b)는 단층 구조를 가져도 좋고, 적층 구조를 가져도 좋다. 예를 들어 도 16의 (A)에 나타낸 바와 같이 도전체(242a) 및 도전체(242b) 각각을 2층 구조로 하여도 좋다. 이 경우, 도전체(242a)는 도전체(242a1)와 도전체(242a1) 위의 도전체(242a2)의 적층체이고, 도전체(242b)는 도전체(242b1)와 도전체(242b1) 위의 도전체(242b2)의 적층체이다. 이때 산화물(230b)에 접하는 층(도전체(242a1) 및 도전체(242b1))에는 상술한 산화되기 어려운 도전성 재료 또는 산소 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 이로써, 산화물(230b)에 포함되는 산소로 인하여 도전체(242a) 및 도전체(242b)가 과도하게 산화되는 것을 방지할 수 있다. 또한 도전체(242a) 및 도전체(242b)의 도전율이 저하되는 것을 억제할 수 있다.

[0266] 또한 도전체(242a2) 및 도전체(242b2)는 도전체(242a1) 및 도전체(242b1)보다 도전성이 높은 것이 바람직하다. 예를 들어 도전체(242a2) 및 도전체(242b2)의 막 두께를 도전체(242a1) 및 도전체(242b1)의 막 두께보다 두껍게 하는 것이 바람직하다. 도전체(242a2) 및 도전체(242b2)로서는, 도전체(205b)에 적용할 수 있는 도전체를 사용하면 좋다. 상기와 같은 구조로 함으로써, 도전체(242a2) 및 도전체(242b2)의 저항을 저감할 수 있다. 이에 의하여 도전체(242a) 및 도전체(242b)를 도전성이 높은 배선 또는 전극으로서 기능시킬 수 있다. 또한 트랜지스터(200)의 동작 속도를 향상시킬 수 있다.

[0267] 예를 들어 도전체(242a1) 및 도전체(242b1)로서 질화 탄탈럼 또는 질화 타이타늄을 사용하고, 도전체(242a2) 및 도전체(242b2)로서 텅스텐을 사용할 수 있다.

[0268] 도전체(260)는 도 16의 (A) 내지 도 17의 (B)에 나타낸 바와 같이 절연체(280) 및 절연체(275)에 형성된 개구부를 매립하도록 배치된다. 도전체(260)는 상기 개구부에서 절연체(250)를 개재하여 절연체(224)의 측면, 산화물(230a)의 측면, 그리고 산화물(230b)의 측면 및 상면을 덮도록 제공된다.

[0269] 또한 도 16의 (B) 및 도 17의 (B)에 나타낸 바와 같이 트랜지스터(200)의 채널 폭 방향의 단면에서 보았을 때, 산화물(230b)의 측면과 산화물(230b)의 상면 사이에 만곡면을 가져도 좋다. 즉 상기 측면의 단부와 상기 상면의 단부는 만곡되어도 좋다(이하, 라운드 형상이라고도 함). 이와 같은 형상으로 함으로써, 산화물(230b)에 대한 절연체(250) 및 도전체(260)의 피복성을 높일 수 있다.

[0270] 섬 형상의 절연체(224)를 제공하는 구성에 있어서, 도 16의 (B) 및 도 17의 (B)에 나타낸 바와 같이, 도전체(260)의 하면의 적어도 일부를 산화물(230b)의 하면보다 아래에 제공할 수 있다. 이에 의하여, 산화물(230b)의 상면 및 측면과 대향하여 도전체(260)를 제공할 수 있기 때문에, 도전체(260)의 전계를 산화물(230b)의 상면 및 측면에 작용시킬 수 있다. 이와 같이, 절연체(224)를 섬 형상으로 제공하는 구성으로 함으로써, S-channel 구조의 트랜지스터가 실현하기 쉬워진다.

[0271] 또한 본 명세서 등에서 개시하는 S-channel 구조는 Fin형 구조 및 플레이너형 구조와는 상이하다. 한편, 본 명세서 등에 개시되는 S-channel 구조는 Fin형 구조의 일종으로 간주할 수도 있다. 또한 본 명세서 등에서 Fin형 구조란, 게이트 전극이 적어도 채널의 2면 이상(구체적으로는 2면, 3면, 또는 4면 등)을 감싸도록 배치되는 구조를 가리킨다. Fin형 구조 및 S-channel 구조를 채용함으로써, 단채널 효과에 대한 내성을 높일 수 있고, 바꿔 말하면, 단채널 효과가 발생하기 어려운 트랜지스터로 할 수 있다.

[0272] 트랜지스터(200)를 S-channel 구조로 함으로써, 채널 형성 영역을 전기적으로 둘러쌀 수 있다. 또한 S-channel 구조는 채널 형성 영역을 전기적으로 둘러싼 구조이기 때문에, GAA(Gate All Around) 구조 또는 LGAA(Lateral Gate All Around) 구조와 실질적으로 같은 구조라고도 할 수 있다.

[0273] 또한 도 16의 (B) 및 도 17의 (B)에는 트랜지스터(200)로서 S-channel 구조의 트랜지스터를 예시하였지만, 본 발명의 일 형태의 반도체 장치는 이에 한정되지 않는다. 예를 들어 본 발명의 일 형태에 사용할 수 있는 트랜지스터 구조를 플레이너형 구조, Fin형 구조, 및 GAA 구조에서 선택되는 어느 하나 또는 복수로 하여도 좋다.

[0274] 도 16의 (A) 및 도 17의 (A)에서는 도전체(260)를 2층 구조로 나타내었다. 여기서 도전체(260)는 도전체(260

a)와, 도전체(260a) 위에 배치된 도전체(260b)를 가지는 것이 바람직하다. 예를 들어 도전체(260a)는 도전체(260b)의 밑면 및 측면을 감싸도록 배치되는 것이 바람직하다. 이때 도전체(260a)에는 산화되기 어려운 도전성 재료 또는 산소 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다.

[0275] 도전체(260a)에는 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자, 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 또는 산소(예를 들어 산소 원자 및 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다.

[0276] 또한 도전체(260a)가 산소 확산을 억제하는 기능을 가짐으로써, 절연체(280) 등에 포함되는 산소로 인하여 도전체(260b)가 산화되어 도전율이 저하되는 것을 억제할 수 있다. 산소 확산을 억제하는 기능을 가지는 도전성 재료로서는, 예를 들어 타이타늄, 질화 타이타늄, 탄탈럼, 질화 탄탈럼, 루테늄, 산화 루테늄 등을 사용하는 것이 바람직하다.

[0277] 또한 도전체(260b)에는 도전성이 높은 도전체를 사용하는 것이 바람직하다. 예를 들어 도전체(260b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로서 포함하는 도전성 재료를 사용할 수 있다. 또한 도전체(260b)는 적층 구조를 가져도 좋고, 예를 들어 타이타늄 또는 질화 타이타늄과 상기 도전성 재료의 적층 구조를 가져도 좋다.

[0278] 또한 트랜지스터(200)에서 도전체(260)는 절연체(280) 등에 형성된 개구를 매립하도록 자기 정합(自己整合)적으로 형성된다. 도전체(260)를 이와 같이 형성함으로써, 도전체(242a)와 도전체(242b) 사이의 영역에 도전체(260)를 위치 맞춤 없이 확실하게 배치할 수 있다.

[0279] 또한 도 16의 (A)에는 절연체(250c)가 도전체(242a2) 및 도전체(242b2)의 측면과 접하는 구성을 나타내었지만, 본 발명은 이에 한정되지 않는다. 예를 들어 절연체(250c)와 도전체(242a2) 사이 및 절연체(250c)와 도전체(242b2) 사이에 절연체(255)를 제공하여도 좋다.

[0280] 도 18의 (A) 및 (B)는 트랜지스터(200)의 채널 길이 방향의 단면 확대도이다. 도 18의 (A)에 나타낸 반도체 장치 및 도 18의 (B)에 나타낸 반도체 장치는 도 16의 (A)에 나타낸 반도체 장치의 변형예이다. 구체적으로는, 도 18의 (A)에 나타낸 반도체 장치 및 도 18의 (B)에 나타낸 반도체 장치의 각각은 절연체(250c)와 도전체(242a2) 사이 및 절연체(250c)와 도전체(242b2) 사이에 절연체(255)를 가지는 점에서 도 16의 (A)에 나타낸 반도체 장치와 다르다.

[0281] 도 18의 (A)에 나타낸 바와 같이 트랜지스터(200)를 채널 길이 방향의 단면에서 볼 때, 도전체(242a1)와 도전체(242b1) 사이의 거리는 도전체(242a2)와 도전체(242b2) 사이의 거리보다 작은 것이 바람직하다. 이러한 구성으로 함으로써, 소스와 드레인 사이의 거리를 더 짧게 할 수 있고, 이에 따라 채널 길이를 짧게 할 수 있다. 따라서 트랜지스터(200)의 주파수 특성을 향상시킬 수 있다. 이와 같이, 반도체 장치를 미세화함으로써, 동작 속도가 향상된 반도체 장치를 제공할 수 있다.

[0282] 절연체(255)는 예를 들어 질화물 등의 산화되기 어려운 절연체인 것이 바람직하다. 절연체(255)는 도전체(242a2)의 측면 및 도전체(242b2)의 측면과 접하여 형성되어 있고, 도전체(242a2) 및 도전체(242b2)를 보호하는 기능을 가진다. 절연체(255)는 산화 분위기에 노출되기 때문에, 산화되기 어려운 무기 절연체인 것이 바람직하다. 또한 절연체(255)는 도전체(242a2) 및 도전체(542b2)에 접하기 때문에, 도전체(242a2) 및 도전체(242b2)를 산화시키기 어려운 무기 절연체인 것이 바람직하다. 따라서 절연체(255)로서는 산소에 대한 배리어성을 가지는 절연성 재료를 사용하는 것이 바람직하다. 예를 들어 절연체(255)로서, 질화 실리콘을 사용할 수 있다.

[0283] 도 18의 (A)에 나타낸 트랜지스터(200)는, 절연체(280) 및 절연체(275)에 개구부를 형성하고, 이 개구부의 측벽과 접하여 절연체(255)를 형성하고, 그리고 마스크를 사용하여 도전체(242a1)와 도전체(242b1)를 분단함으로써 형성된다. 여기서 상기 개구부는 도전체(242a2)와 도전체(242b2) 사이의 영역과 중첩된다. 또한 도전체(242a1) 및 도전체(242b1)의 일부는 상기 개구부에 돌출되도록 형성되어 있다. 따라서 절연체(255)는 상기 개구부에서 도전체(242a1)의 상면, 도전체(242b1)의 상면, 도전체(242a2)의 측면, 및 도전체(242b2)의 측면에 접한다. 또한 절연체(250)는 도전체(242a1)와 도전체(242b1) 사이의 영역에서, 산화물(230)의 상면과 접한다.

[0284] 도전체(242a1)와 도전체(242b1)로 분단한 후, 절연체(250)를 성막하기 전에 산소를 포함하는 분위기에서 열처리를 수행하는 것이 바람직하다. 이로써, 산화물(230)에 산소가 공급되므로 산소 결손을 저감할 수 있다. 또한 절연체(255)가 도전체(242a2)의 측면 및 도전체(242b2)의 측면에 접하여 형성되어 있기 때문에, 도전체(242a2) 및 도전체(242b2)가 과도하게 산화되는 것을 방지할 수 있다. 이러한 식으로 트랜지스터의 전기 특성 및 신뢰성을 향상시킬 수 있다. 또한 동일 기판 위에 형성되는 복수의 트랜지스터의 전기 특성의 편차를 억제할 수 있

다.

[0285] 또한 도 18의 (A)에는 절연체(250)가 절연체(255)를 통하여 도전체(242a1) 및 도전체(242b1)와 중첩되는 영역을 가지는 구성을 나타내었지만, 본 발명은 이에 한정되지 않는다. 예를 들어 도 18의 (B)에 나타낸 바와 같이, 절연체(280) 및 절연체(275)에 형성된 개구부에서, 절연체(255)의 측면이 도전체(242a1)의 측면과 일치하고, 절연체(255)의 측면이 도전체(242b1)의 측면과 일치하는 구성으로 하여도 좋다. 이와 같은 구성으로 함으로써, 마스크를 사용하여 도전체(242a1)와 도전체(242b1)를 분단하는 상기 공정을 생략할 수 있으므로, 반도체 장치의 제작 공정을 간략화하여, 생산성의 향상을 실현할 수 있다.

[0286] 또한 도 18의 (A) 및 (B)에서는 제 1 적층체 및 제 2 적층체로서, 도 11의 (C) 및 (D)에 나타낸 트랜지스터(200D)의 구성을 적용한 예를 나타내었지만, 상술한 트랜지스터(200A) 내지 트랜지스터(200E) 중 어느 하나의 구성을 적용하면 좋다.

[0287] <반도체 장치의 구성 재료>

[0288] 이하에서는 반도체 장치에 사용할 수 있는 구성 재료에 대하여 설명한다. 또한 반도체 장치를 구성하는 각 층은 단층 구조를 가져도 좋고, 적층 구조를 가져도 좋다.

[0289] <<기판>>

[0290] 트랜지스터를 형성하는 기판으로서는 예를 들어 절연체 기판, 반도체 기판, 또는 도전체 기판을 사용할 수 있다. 절연체 기판으로서는 예를 들어 유리 기판, 석영 기판, 사파이어 기판, 안정화 지르코니아 기판(이트리아 안정화 지르코니아 기판 등), 및 수지 기판이 있다. 또한 반도체 기판으로서는 예를 들어 실리콘 또는 저마늄을 재료로 한 반도체 기판, 및 탄소화 실리콘, 실리콘 저마늄, 비소화 갈륨, 인화 인듐, 산화 아연, 또는 산화 갈륨으로 이루어지는 화합물 반도체 기판이 있다. 또한 상술한 반도체 기판 내부에 절연체 영역을 가지는 반도체 기판, 예를 들어 SOI(Silicon On Insulator) 기판 등이 있다. 도전체 기판으로서는 예를 들어 흑연 기판, 금속 기판, 합금 기판, 및 도전성 수지 기판이 있다. 또한 기판으로서는 예를 들어 금속의 질화물을 가지는 기판, 금속의 산화물을 가지는 기판, 절연체 기판에 도전체 또는 반도체가 제공된 기판, 반도체 기판에 도전체 또는 절연체가 제공된 기판, 및 도전체 기판에 반도체 또는 절연체가 제공된 기판이 있다. 또는 이들 기판에 1종류 또는 복수 종류의 소자가 제공된 것을 사용하여도 좋다. 기판에 제공되는 소자로서는 예를 들어 용량 소자, 저항 소자, 스위칭 소자, 발광 소자, 및 기억 소자가 있다.

[0291] <<절연체>>

[0292] 절연체로서는 예를 들어 절연성을 가지는 산화물, 질화물, 산화질화물, 질화산화물, 금속 산화물, 금속 산화질화물, 및 금속 질화산화물이 있다.

[0293] 예를 들어 트랜지스터의 미세화 및 고집적화가 진행되면, 게이트 절연체의 박막화로 인하여 누설 전류 등의 문제가 발생하는 경우가 있다. 게이트 절연체로서 기능하는 절연체에 high-k 재료를 사용함으로써, 물리 막 두께를 유지하면서 트랜지스터 동작 시의 전압을 저감할 수 있다. 한편으로, 층간막으로서 기능하는 절연체에 비유전율이 낮은 재료를 사용함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다. 따라서 절연체의 기능에 따라 재료를 선택하면 좋다.

[0294] 비유전율이 높은(high-k) 재료로서는 예를 들어 산화 갈륨, 산화 하프늄, 산화 지르코늄, 알루미늄 및 하프늄을 포함하는 산화물, 알루미늄 및 하프늄을 포함하는 산화질화물, 실리콘 및 하프늄을 포함하는 산화물, 실리콘 및 하프늄을 포함하는 산화질화물, 그리고 실리콘 및 하프늄을 포함하는 질화물이 있다.

[0295] 비유전율이 낮은 재료로서는, 예를 들어 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공을 가지는 산화 실리콘 등의 무기 절연 재료, 폴리에스터, 폴리올레핀, 폴리아마이드(나일론, 아라미드 등), 폴리이미드, 폴리카보네이트, 및 아크릴 등의 수지를 들 수 있다. 또한 비유전율이 낮은 재료는 절연 내력이 큰 재료이기도 하다.

[0296] 또한 금속 산화물을 사용한 트랜지스터는 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로 둘러쌈으로써, 트랜지스터의 전기 특성을 안정적으로 할 수 있다. 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로서는, 예를 들어 붕소, 탄소, 질소, 산소, 플루오린, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄, 및 탄탈럼 중 하나 또는 복수를 포함하는 절연체를 단층으로 또는 적층하여 사용할 수 있다. 구체적으로는 수소 등의 불순물 및 산소의 투

과를 억제하는 기능을 가지는 절연체로서, 예를 들어 산화 알루미늄, 산화 마그네슘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 산화 탄탈럼 등의 금속 산화물, 및 질화 알루미늄, 질화산화 실리콘, 질화 실리콘 등의 금속 질화물이 있다.

[0297] 또한 게이트 절연체로서 기능하는 절연체는 가열에 의하여 이탈되는 산소를 포함하는 영역을 가지는 절연체인 것이 바람직하다. 예를 들어 가열에 의하여 이탈되는 산소를 포함하는 영역을 가지는 산화 실리콘 또는 산화질화 실리콘이 산화물(230)과 접하는 구조로 함으로써, 산화물(230)이 가지는 산소 결손을 보상할 수 있다.

[0298] <<도전체>>

[0299] 도전체로서는 알루미늄, 크로뮴, 구리, 은, 금, 백금, 탄탈럼, 니켈, 타이타늄, 몰리브데넘, 텅스텐, 하프늄, 바나듐, 나이오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 루테늄, 이리듐, 스트론튬, 란타넘 등 중에서 선택된 금속 원소, 상술한 금속 원소를 성분으로 포함하는 합금, 또는 상술한 금속 원소를 조합한 합금 등을 사용하는 것이 바람직하다. 도전체로서는 예를 들어 질화 탄탈럼, 질화 타이타늄, 텅스텐, 타이타늄과 알루미늄을 포함하는 질화물, 탄탈럼과 알루미늄을 포함하는 질화물, 산화 루테늄, 질화 루테늄, 스트론튬과 루테늄을 포함하는 산화물, 및 란타넘과 니켈을 포함하는 산화물이 있다. 또한 질화 탄탈럼, 질화 타이타늄, 타이타늄과 알루미늄을 포함하는 질화물, 탄탈럼과 알루미늄을 포함하는 질화물, 산화 루테늄, 질화 루테늄, 스트론튬과 루테늄을 포함하는 산화물, 및 란타넘과 니켈을 포함하는 산화물은 각각 산화되기 어려운 도전성 재료, 또는 산소를 흡수하여도 도전성을 유지하는 재료이기 때문에 바람직하다. 또한 인 등의 불순물 원소를 함유시킨 다결정 실리콘으로 대표되는, 전기 전도도가 높은 반도체, 또는 니켈 실리사이드 등의 실리사이드를 사용하여도 좋다.

[0300] 적층 구조의 도전체를 사용하는 경우, 예를 들어 상술한 금속 원소를 포함하는 재료와 산소를 포함하는 도전성 재료를 조합한 적층 구조, 상술한 금속 원소를 포함하는 재료와 질소를 포함하는 도전성 재료를 조합한 적층 구조, 또는 상술한 금속 원소를 포함하는 재료와, 산소를 포함하는 도전성 재료와, 질소를 포함하는 도전성 재료를 조합한 적층 구조를 적용하여도 좋다.

[0301] 또한 트랜지스터의 채널 형성 영역에 산화물을 사용하는 경우, 게이트 전극으로서 기능하는 도전체에는 상술한 금속 원소를 포함하는 재료와 산소를 포함하는 도전성 재료를 조합한 적층 구조를 사용하는 것이 바람직하다. 이 경우, 산소를 포함하는 도전성 재료를 채널 형성 영역 측에 제공하면 좋다. 산소를 포함하는 도전성 재료를 채널 형성 영역 측에 제공함으로써, 상기 도전성 재료로부터 이탈된 산소가 채널 형성 영역에 공급되기 쉬워진다.

[0302] 특히 게이트 전극으로서 기능하는 도전체로서 채널이 형성되는 금속 산화물에 포함되는 금속 원소 및 산소를 포함하는 도전성 재료를 사용하는 것이 바람직하다. 또한 상술한 금속 원소 및 질소를 포함하는 도전성 재료를 사용하여도 좋다. 예를 들어 질화 타이타늄, 질화 탄탈럼 등의 질소를 포함하는 도전성 재료를 사용하여도 좋다. 또한 인듐 주석 산화물, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 및 실리콘을 첨가한 인듐 주석 산화물 중 하나 또는 복수를 사용하여도 좋다. 또한 질소를 포함하는 인듐 갈륨 아연 산화물을 사용하여도 좋다. 이와 같은 재료를 사용함으로써, 채널이 형성되는 금속 산화물에 포함되는 수소를 포획할 수 있는 경우가 있다. 또는 외부의 절연체 등으로부터 혼입되는 수소를 포획할 수 있는 경우가 있다.

[0303] 본 실시형태에 따른 반도체 장치는 OS 트랜지스터를 가진다. OS 트랜지스터는 오프 전류가 낮기 때문에, 소비 전력이 낮은 반도체 장치를 실현할 수 있다. 또한 OS 트랜지스터는 주파수 특성이 높기 때문에 동작 속도가 빠른 반도체 장치를 실현할 수 있다. 또한 OS 트랜지스터를 사용함으로써, 양호한 전기 특성을 가지는 반도체 장치, 트랜지스터의 전기 특성의 편차가 적은 반도체 장치, 온 전류가 높은 반도체 장치, 신뢰성이 높은 반도체 장치를 실현할 수 있다.

[0304] <반도체 장치의 응용예>

[0305] 이하에서는 도 19의 (A) 내지 (C)를 사용하여 본 발명의 일 형태인 반도체 장치의 일례에 대하여 설명한다.

[0306] 도 19의 (A)는 반도체 장치(500)의 상면도이다. 도 19의 (A)에서 x축은 트랜지스터(200)의 채널 길이 방향에 대하여 평행하고, y축은 x축에 대하여 수직이다. 또한 도 19의 (B)는 도 19의 (A)에 일점쇄선 A1-A2로 나타낸 부분에 대응하는 단면도이고, 트랜지스터(200)의 채널 길이 방향의 단면도이기도 하다. 도 19의 (C)는 도 19의 (A)에서 일점쇄선 A3-A4로 나타낸 부분에 대응하는 단면도이고, 개구 영역(400) 및 그 근방의 단면도이기도 하다. 또한 도 19의 (A)의 상면도에서는, 도면의 명료화를 위하여 일부 요소를 생략하였다.

[0307] 또한 도 19의 (A) 내지 (C)에 나타낸 반도체 장치에서, <자세한 구성예>에서 설명한 반도체 장치를 구성하는 구조와 같은 기능을 가지는 구조에는 같은 부호를 부기하였다. 또한 본 항목에서도 반도체 장치의 구성 재료로서는 <자세한 구성예>에서 자세히 설명한 재료를 사용할 수 있다.

[0308] 도 19의 (A) 내지 (C)에 나타낸 반도체 장치(500)는 도 15의 (A) 내지 (D)에 나타낸 반도체 장치의 변형예이다. 도 19의 (A) 내지 (C)에 나타낸 반도체 장치(500)는 절연체(282) 및 절연체(280)에 개구 영역(400)이 형성되어 있다는 점이 도 15의 (A) 내지 (D)에 나타낸 반도체 장치와 다르다. 또한 복수의 트랜지스터(200)를 둘러싸도록 밀봉부(265)가 형성되어 있는 점이, 도 15의 (A) 내지 (D)에 나타낸 반도체 장치와 다르다.

[0309] 반도체 장치(500)는 매트릭스로 배치된 복수의 트랜지스터(200) 및 복수의 개구 영역(400)을 가진다. 또한 트랜지스터(200)의 게이트 전극으로서 기능하는 복수의 도전체(260)가 y축 방향으로 연장되어 제공되어 있다. 개구 영역(400)은 산화물(230) 및 도전체(260)와 중첩되지 않는 영역에 형성되어 있다. 또한 복수의 트랜지스터(200), 복수의 도전체(260), 및 복수의 개구 영역(400)을 둘러싸도록 밀봉부(265)가 형성되어 있다. 또한 트랜지스터(200), 도전체(260), 및 개구 영역(400)의 개수, 배치, 및 크기는 도 19의 (A) 내지 (C)에 나타낸 구조에 한정되지 않고, 반도체 장치(500)의 설계에 맞추어 적절히 설정하면 좋다.

[0310] 절연체(283) 위에는 절연체(285)가 제공되어 있다. 절연체(285)로서는 절연체(280)와 같은 절연체를 사용할 수 있다.

[0311] 도 19의 (B) 및 (C)에 나타낸 바와 같이, 밀봉부(265)는 복수의 트랜지스터(200), 절연체(216), 절연체(222), 절연체(275), 절연체(280), 및 절연체(282)를 둘러싸도록 제공되어 있다. 바꿔 말하면, 절연체(283)는 복수의 트랜지스터(200), 절연체(216), 절연체(222), 절연체(275), 절연체(280), 및 절연체(282)를 덮도록 제공되어 있다. 또한 밀봉부(265)에서는 절연체(283)가 절연체(215b)의 상면과 접한다. 또한 밀봉부(265)의 위쪽에서는 절연체(283)와 절연체(285) 사이에 절연체(274)가 제공되어 있다. 절연체(274)의 상면은 절연체(283)의 최상면과 높이가 실질적으로 일치한다. 또한 절연체(274)로서는 절연체(280)와 같은 절연체를 사용할 수 있다.

[0312] 이러한 구조로 함으로써, 복수의 트랜지스터(200)를 절연체(283), 절연체(215b), 및 절연체(215a)로 감쌀 수 있다. 여기서, 절연체(283), 절연체(215b), 및 절연체(215a) 중 하나 또는 복수는 수소에 대한 배리어 절연체로서 기능하는 것이 바람직하다. 이 경우, 밀봉부(265)의 영역 외부에 포함되는 수소가 밀봉부(265)의 영역 내에 혼입되는 것을 억제할 수 있다.

[0313] 도 19의 (C)에 나타낸 바와 같이, 개구 영역(400)에서 절연체(282)는 개구부를 가진다. 또한 개구 영역(400)에서 절연체(280)는 절연체(282)의 개구부와 중첩되어 홈부를 가져도 좋다. 절연체(280)의 홈부의 깊이는 깊어도 절연체(275)의 상면이 노출되는 깊이 이하로 하면 좋고, 예를 들어 절연체(280)의 최대 막 두께의 1/4 이상 1/2 이하 정도로 하면 좋다.

[0314] 또한 도 19의 (C)에 나타낸 바와 같이, 절연체(283)는 개구 영역(400)의 내측에서 절연체(282)의 측면, 절연체(280)의 측면, 및 절연체(280)의 상면과 접한다. 또한 개구 영역(400) 내에서 절연체(283)에 형성된 오목부를 매립하도록 절연체(274)의 일부가 형성되는 경우가 있다. 이때 개구 영역(400) 내에 형성된 절연체(274)의 상면은 절연체(283)의 최상면과 높이가 일치하는 경우가 있다.

[0315] 이와 같이 개구 영역(400)이 형성되고 절연체(282)의 개구부에서 절연체(280)가 노출된 상태에서 가열 처리를 수행함으로써, 산화물(230)에 산소를 공급하면서, 절연체(280)에 포함되는 산소의 일부를 개구 영역(400)으로부터 외부로 확산시킬 수 있다. 이에 의하여, 가열에 의하여 이탈되는 산소를 포함한 절연체(280)로부터, 산화물 반도체에서 채널 형성 영역으로서 기능하는 영역 및 그 근방에 산소를 충분히 공급하되 과잉량의 산소는 공급되지 않도록 할 수 있다.

[0316] 이때 절연체(280)에 포함되는 수소를 산소와 결합시켜 개구 영역(400)을 통하여 외부로 방출할 수 있다. 산소와 결합된 수소는 물로서 방출된다. 따라서 절연체(280)에 포함되는 수소를 저감하고, 절연체(280)에 포함되는 수소가 산화물(230)에 혼입되는 것을 저감할 수 있다.

[0317] 또한 도 19의 (A)에서 개구 영역(400)을 상면에서 보았을 때의 형상은 대략 직사각형이지만, 본 발명은 이에 한정되지 않는다. 예를 들어 개구 영역(400)을 상면에서 볼 때의 형상은 직사각형, 타원형, 원형, 마름모형, 또는 이들을 조합한 형상이어도 좋다. 또한 개구 영역(400)의 면적 및 배치 간격은 트랜지스터(200)를 포함한 반도체 장치의 설계에 맞추어 적절히 설정할 수 있다. 예를 들어 트랜지스터(200)의 밀도가 낮은 영역에서는 개구 영역(400)의 면적을 넓히거나 개구 영역(400)의 배치 간격을 좁히면 좋다. 또한 예를 들어 트랜지스터(20

0)의 밀도가 높은 영역에서는 개구 영역(400)의 면적을 좁히거나 개구 영역(400)의 배치 간격을 넓히면 좋다.

[0318] 본 발명의 일 형태에 의하여 신규 트랜지스터를 제공할 수 있다. 또는 전기 특성이 양호한 반도체 장치를 제공할 수 있다. 또는 신뢰성이 양호한 반도체 장치를 제공할 수 있다. 또는 트랜지스터 특성의 편차가 적은 반도체 장치를 제공할 수 있다. 또는 온 전류가 높은 반도체 장치를 제공할 수 있다. 또는 전계 효과 이동도가 높은 반도체 장치를 제공할 수 있다. 또는 주파수 특성이 양호한 반도체 장치를 제공할 수 있다. 또는 미세화 또는 고집적화가 가능한 반도체 장치를 제공할 수 있다. 또는 소비 전력이 낮은 반도체 장치를 제공할 수 있다.

[0319] <트랜지스터(200)와 용량 소자(100)를 가지는 반도체 장치의 구성예>

[0320] 도 20의 (A) 및 (B)에 상술한 트랜지스터(200)와 용량 소자(100)를 가지는 반도체 장치를 나타내었다. 도 20의 (A)는 상기 반도체 장치의 상면도이다. 또한 도 20의 (B)는 도 20의 (A)에 일점쇄선 A1-A2로 나타낸 부분의 단면도이고, 트랜지스터(200)의 채널 길이 방향의 단면도이기도 하다. 또한 도 20의 (A)의 상면도에서는, 도면의 명료화를 위하여 일부 요소를 생략하였다.

[0321] 도 20의 (A) 및 (B)에 나타낸 반도체 장치에서는, 트랜지스터(200) 위에 용량 소자(100) 및 도전체(112)가 배치되어 있다. 여기서 상면에서 보았을 때, 용량 소자(100)와 트랜지스터(200)가 중첩되는 면적이 큰 것이 바람직하다. 이와 같은 구성으로 함으로써 용량 소자(100)와 트랜지스터(200)를 가지는 반도체 장치의 점유 면적을 저감할 수 있다. 이로써 반도체 장치의 미세화 또는 고집적화를 실현할 수 있다.

[0322] 상기 반도체 장치는 플러그로서 기능하는 도전체(240a) 및 도전체(240b)를 가진다. 도전체(240a)는 절연체(285), 절연체(283), 절연체(282), 절연체(280), 절연체(275), 및 절연체(271a)에 형성된 개구의 내부에 제공되고, 도전체(240b)는 절연체(285), 절연체(283), 절연체(282), 절연체(280), 절연체(275), 및 절연체(271b)에 형성된 개구의 내부에 제공되어 있다.

[0323] 도 20의 (B)에 나타낸 바와 같이, 도전체(240a)는 도전체(242a)와 접하는 영역과, 도전체(112)의 하면의 적어도 일부와 접하는 영역을 가진다. 또한 도전체(240b)는 도전체(242b)와 접하는 영역과, 용량 소자(100)에 포함되는 도전체(110)의 하면의 적어도 일부와 접하는 영역을 가진다. 즉 도전체(240a)는 트랜지스터(200)의 소스 및 드레인 중 한쪽에 전기적으로 접속되고, 도전체(240b)는 트랜지스터(200)의 소스 및 드레인 중 다른 쪽에 전기적으로 접속되어 있다.

[0324] 도전체(240a) 및 도전체(240b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료 등을 사용하는 것이 바람직하다. 또한 도전체(240a) 및 도전체(240b) 각각은 상기 개구의 측면 및 밑면을 따라 제공되는, 제 1 도전체와, 제 1 도전체 위의 제 2 도전체의 적층 구조로 하여도 좋다.

[0325] 도전체(240a) 및 도전체(240b)를 적층 구조로 하는 경우, 절연체(285) 및 절연체(280)의 근방에 배치되는 제 1 도전체에는 물, 수소 등의 불순물의 투과를 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 예를 들어, 탄탈럼, 질화 탄탈럼, 타이타늄, 질화 타이타늄, 루테늄, 산화 루테늄 등을 사용하는 것이 바람직하다. 또한 물, 수소 등의 불순물의 투과를 억제하는 기능을 가지는 도전성 재료를 단층으로 또는 적층으로 사용하여도 좋다. 이러한 구성으로 함으로써, 절연체(283)보다 위층에 포함되는 물, 수소 등의 불순물이 도전체(240a) 및 도전체(240b)를 통하여 산화물(230)에 혼입되는 것을 억제할 수 있다. 또한 제 2 도전체는 배선으로서도 기능하기 때문에, 도전성이 높은 도전체를 사용하는 것이 바람직하다. 예를 들어 제 2 도전체로서는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료 등을 사용하면 좋다.

[0326] 또한 도 20의 (B)에 나타낸 도전체(240a) 및 도전체(240b)에서는 제 1 도전체와 제 2 도전체를 적층한 구성을 나타내었지만 본 발명은 이에 한정되지 않는다. 예를 들어 도전체(240)를 단층 또는 3층 이상의 적층 구조로서 제공하는 구성으로 하여도 좋다.

[0327] 절연체(285), 절연체(283), 절연체(282), 절연체(280), 절연체(275), 및 절연체(271a)에 형성된 개구부의 내벽 그리고 도전체(240a)의 측면과 접하여 절연체(241a)가 제공되어 있다. 또한 절연체(285), 절연체(283), 절연체(282), 절연체(280), 절연체(275), 및 절연체(271b)에 형성된 개구부의 내벽 그리고 도전체(240b)의 측면과 접하여 절연체(241b)가 제공되어 있다. 또한 절연체(241a) 및 절연체(241b)는 각각 제 1 절연체가 상기 개구부의 내벽과 접하여 제공되고, 그 내측에 제 2 절연체가 제공된 구조를 가진다.

[0328] 절연체(241a) 및 절연체(241b)로서는 수소 및 산소 중 한쪽 또는 양쪽에 대한 배리어 절연체를 사용하면 좋다. 예를 들어 절연체(241a) 및 절연체(241b)로서, 질화 실리콘, 질화산화 실리콘, 산화 알루미늄, 또는 산화 하프

늄 등을 사용하는 것이 바람직하다. 또한 이들 외에도, 예를 들어 산화 마그네슘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 또는 산화 탄탈럼 등의 금속 산화물 등을 사용할 수 있다. 절연체(241a) 및 절연체(241b) 각각은 절연체(283), 절연체(282), 및 절연체(275)와 접하여 제공되기 때문에, 절연체(280) 등에 포함되는 물, 수소 등의 불순물이 도전체(240a) 및 도전체(240b)를 통하여 산화물(230)에 혼입되는 것을 억제할 수 있다. 특히 질화 실리콘은 수소에 대한 배리어성이 높기 때문에 적합하다.

[0329] 또한 절연체(241a)는 절연체(280)와 도전체(240a) 사이에 제공되고, 절연체(241b)는 절연체(280)와 도전체(240b) 사이에 제공되어 있다. 절연체(280)는 과잉 산소를 포함하고, 산화물 반도체 근방에 제공된다. 절연체(241a) 및 절연체(241b)로서 산소에 대한 배리어 절연체를 사용함으로써 절연체(280)에 포함되는 산소가 도전체(240a) 및 도전체(240b)에 흡수되는 것을 억제할 수 있다.

[0330] 절연체(241a) 및 절연체(241b)를 도 20의 (B)에 나타낸 바와 같이 적층 구조로 하는 경우, 절연체(280) 등에 형성되는 개구부의 내벽에 접하는 제 1 절연체와, 그 내측의 제 2 절연체로서는 산소에 대한 배리어 절연체와, 수소에 대한 배리어 절연체를 조합한 것을 사용하는 것이 바람직하다.

[0331] 예를 들어 제 1 절연체로서 ALD법으로 성막된 산화 알루미늄을 사용하고, 제 2 절연체로서 PEALD법으로 성막된 질화 실리콘을 사용하면 좋다. 이와 같은 구성으로 함으로써 도전체(240a) 및 도전체(240b)의 산화를 억제하며, 도전체(240a) 및 도전체(240b)에 수소가 혼입되는 것을 억제할 수 있다.

[0332] <용량 소자(100)>

[0333] 용량 소자(100)는 트랜지스터(200)의 위쪽에 제공된다. 용량 소자(100)는 제 1 전극(하부 전극이라고도 함)으로서 기능하는 도전체(110)와, 제 2 전극(상부 전극이라고도 함)으로서 기능하는 도전체(120)와, 유전체로서 기능하는 절연체(132)를 가진다. 용량 소자(100)의 한 쌍의 전극은 제 1 전극과 제 2 전극으로 구성된다.

[0334] 도전체(110)로서는 알루미늄, 크로뮴, 구리, 은, 금, 백금, 탄탈럼, 니켈, 타이타늄, 몰리브데넘, 텅스텐, 하프늄, 바나듐, 나이오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 루테늄, 이리듐, 스트론튬, 란타넘 등에서 선택된 금속 원소, 또는 상술한 금속 원소를 성분으로 하는 합금, 상술한 금속 원소를 조합한 합금 등을 사용하는 것이 바람직하다. 상기 금속 원소를 성분으로 하는 합금으로서, 상기 합금의 질화물 또는 상기 합금의 산화물을 사용하여도 좋다. 예를 들어 질화 탄탈럼, 질화 타이타늄, 텅스텐, 타이타늄과 알루미늄을 포함한 질화물, 탄탈럼과 알루미늄을 포함한 질화물, 산화 루테늄, 질화 루테늄, 스트론튬과 루테늄을 포함하는 산화물, 란타넘과 니켈을 포함한 산화물 등을 사용하는 것이 바람직하다. 또한 질화 탄탈럼, 질화 타이타늄, 타이타늄과 알루미늄을 포함한 질화물, 탄탈럼과 알루미늄을 포함한 질화물, 산화 루테늄, 질화 루테늄, 스트론튬과 루테늄을 포함한 산화물, 란타넘과 니켈을 포함한 산화물은 산화되기 어려운 도전성 재료, 또는 산소를 흡수하여도 도전성을 유지하는 재료이기 때문에 바람직하다. 또한 인 등의 불순물 원소를 함유시킨 다결정 실리콘으로 대표되는 전기 전도도가 높은 반도체, 니켈실리사이드 등의 실리사이드를 사용하여도 좋다.

[0335] 또한 상기 재료로 형성되는 도전층을 복수로 적층하여 사용하여도 좋다. 예를 들어 상술한 금속 원소를 포함하는 재료와, 산소를 포함하는 도전성 재료를 조합한 적층 구조로 하여도 좋다. 또한 상술한 금속 원소를 포함하는 재료와, 질소를 포함하는 도전성 재료를 조합한 적층 구조로 하여도 좋다. 또한 상술한 금속 원소를 포함하는 재료와, 산소를 포함하는 도전성 재료와, 질소를 포함하는 도전성 재료를 조합한 적층 구조로 하여도 좋다.

[0336] 도전체(120)에는 도전체(110)에 적용할 수 있는 도전성 재료를 사용하면 좋다.

[0337] 예를 들어 도전체(240a) 위에 제공된 도전체(112)와, 도전체(240b) 위에 제공된 도전체(110)는 동시에 형성할 수 있다. 이때 도전체(112)는 도전체(110)와 같은 도전성 재료를 가진다. 또한 도전체(112)는 용량 소자(100) 또는 트랜지스터(200)에 전기적으로 접속되는 플러그 또는 배선으로서의 기능을 가진다.

[0338] 도 20의 (B)에서는, 도전체(112) 및 도전체(110)를 단층 구조로 나타내었지만, 본 발명은 이에 한정되지 않는다. 예를 들어, 도전체(112) 및 도전체(110)는 2층 이상의 적층 구조이어도 좋다. 예를 들어 배리어성을 가지는 도전체와 도전성이 높은 도전체 사이에, 배리어성을 가지는 도전체 및 도전성이 높은 도전체에 대하여 밀착성이 높은 도전체를 형성하여도 좋다.

[0339] 절연체(132)는, 예를 들어 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화질화 알루미늄, 질화산화 알루미늄, 질화 알루미늄, 산화 하프늄, 산화질화 하프늄, 질화산화 하프늄, 질화 하프늄 등을 사용하면 좋고, 적층 또는 단층으로 제공할 수 있다. 또한 예를 들어 절연체(132)로서는 산화 지르코늄, 산화 알루미늄, 산화 지르코늄이 이 순서대로 적층된 절연체를 사용할 수 있다.

[0340] 또한 예를 들어 절연체(132)에는 절연 내력이 큰 재료(비유전율이 낮은 재료)를 포함한 절연체와, 비유전율이 높은(high-k) 재료를 포함한 절연체의 적층 구조를 사용하는 것이 바람직하다. 상기 구성에 의하여, 용량 소자(100)는 high-k 재료를 포함한 절연체를 가짐으로써 충분한 용량을 확보할 수 있고, 절연 내력이 큰 재료를 포함한 절연체를 가짐으로써 절연 내력이 향상되므로 용량 소자(100)의 정전 파괴를 억제할 수 있다.

[0341] 도전체(120) 및 절연체(132) 위에는 절연체(150)가 제공되어 있다. 절연체(150)는 층간막으로서 기능한다.

[0342] 층간막으로서 사용할 수 있는 절연체로서는 절연성을 가지는 산화물, 질화물, 산화질화물, 질화산화물, 금속 산화물, 금속 산화질화물, 금속 질화산화물 등이 있다.

[0343] 예를 들어, 층간막으로서 기능하는 절연체에 비유전율이 낮은 재료를 사용함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다. 따라서 절연체의 기능에 따라 재료를 선택하면 좋다.

[0344] 예를 들어 절연체(150)는 상술한 비유전율이 낮은 재료를 포함하는 것이 바람직하다. 또는 절연체(150)는 상술한 무기 절연 재료를 포함한 절연체와, 상술한 수지를 포함한 절연체의 적층 구조를 가지는 것이 바람직하다. 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이기 때문에, 수지와 조합함으로써 열적으로 안정적이며 비유전율이 낮은 적층 구조로 할 수 있다.

[0345] 또한 도 20의 (A) 및 (B)에 나타낸 반도체 장치에서는, 용량 소자(100)의 형상을 플레이너형으로 하였지만, 본 발명은 이에 한정되지 않는다. 예를 들어 도 21에 나타낸 바와 같이, 용량 소자(100)의 형상을 실린더형으로 하여도 좋다. 또한 도 21에 나타낸 반도체 장치의 절연체(150)보다 아래의 구성은 도 20의 (A) 및 (B)에 나타낸 반도체 장치와 마찬가지이다.

[0346] 도 21에 나타낸 반도체 장치는 절연체(132) 위에 절연체(150)가 배치되고, 절연체(150) 위에 절연체(142)가 배치되어 있다. 또한 절연체(132), 절연체(150), 및 절연체(142)에는, 도전체(110)에 도달하는 개구(168)가 형성되어 있다.

[0347] 도 21에 나타낸 용량 소자(100)는 도전체(115)와, 도전체(115) 및 절연체(142) 위의 절연체(145)와, 절연체(145) 위의 도전체(125)를 가진다. 여기서, 개구(168) 내부에 도전체(115), 절연체(145), 및 도전체(125) 각각의 적어도 일부가 배치된다.

[0348] 도전체(125) 및 절연체(145) 위에 절연체(151)가 배치되고, 절연체(151) 위에 절연체(154)가 배치되고, 절연체(154) 위에 도전체(153) 및 절연체(156)가 배치된다. 또한 절연체(132), 절연체(150), 절연체(142), 절연체(145), 절연체(151), 및 절연체(154)에 형성된 개구의 내부에 도전체(140)가 제공되어 있다.

[0349] 도전체(115)는 용량 소자(100)의 제 1 전극으로서 기능하고, 도전체(125)는 용량 소자(100)의 제 2 전극으로서 기능하고, 절연체(145)는 용량 소자(100)의 유전체로서 기능한다. 용량 소자(100)는 개구(168)의 내부에서, 밑면뿐만 아니라 측면에서도 제 1 전극과 제 2 전극이 유전체를 사이에 두고 대향하는 구성을 가지기 때문에, 단위 면적당 정전 용량을 크게 할 수 있다. 따라서 개구(168)의 깊이를 깊게 할수록, 용량 소자(100)의 정전 용량을 크게 할 수 있다. 이와 같이 용량 소자(100)의 단위 면적당 정전 용량을 크게 함으로써, 반도체 장치의 미세화 또는 고집적화를 추진할 수 있다.

[0350] 절연체(151)로서는 절연체(150)에 적용할 수 있는 절연체를 사용하면 좋다. 또한 절연체(142)에는 절연체(282)에 적용할 수 있는 절연체를 사용하면 좋다.

[0351] 개구(168)를 상면에서 보았을 때의 형상은 사각형이어도 좋고, 사각형 이외의 다각형이어도 좋고, 다각형의 모서리 부분을 만곡시킨 형상이어도 좋고, 타원을 포함하는 원형이어도 좋다. 여기서 상면에서 보았을 때, 개구(168)와 트랜지스터(200)가 중첩되는 면적이 큰 것이 바람직하다. 이와 같은 구성으로 함으로써 용량 소자(100)와 트랜지스터(200)를 가지는 반도체 장치의 점유 면적을 저감할 수 있다.

[0352] 도전체(115)는 개구(168)에서의 절연체(150) 및 절연체(142) 각각의 측면과 접하여 배치된다. 도전체(115)의 상면은 절연체(142)의 상면과 높이가 일치하는 것이 바람직하다. 또한 도전체(115)의 하면은 개구(168)를 통하여 도전체(110)와 접한다. 도전체(115)는 ALD법 또는 CVD법 등을 사용하여 성막하는 것이 바람직하고, 예를 들어 도전체(205)에 적용할 수 있는 도전체를 사용하면 좋다.

[0353] 절연체(145)는 도전체(115) 및 절연체(142)를 덮도록 배치된다. 절연체(145)는 ALD법 또는 CVD법 등을 사용하여 성막하는 것이 바람직하다. 절연체(145)로서는 절연체(132)에 적용할 수 있는 절연체를 사용할 수 있다.

[0354] 도전체(125)는 개구(168)를 매립하도록 배치된다. 도전체(125)는 ALD법 또는 CVD법 등을 사용하여 성막하는 것

이 바람직하고, 예를 들어 도전체(205)에 적용할 수 있는 도전체를 사용하면 좋다.

[0355] 도전체(153)는 절연체(154) 위에 제공되고, 절연체(156)로 덮여 있다. 도전체(153)에는 도전체(112)에 적용할 수 있는 도전체를 사용하면 좋다. 또한 절연체(156)에는 절연체(150)에 적용할 수 있는 절연체를 사용하면 좋다. 여기서 도전체(153)는 도전체(140)의 상면에 접하고, 용량 소자(100) 또는 트랜지스터(200)의 단자로서 기능한다.

[0356] 또한 도 21에는 실린더형 형상을 가지는 용량 소자(100)의 하부 전극이 도전체(240b)를 통하여 트랜지스터(200)의 소스 전극 및 드레인 전극 중 다른 쪽에 전기적으로 접속되는 구성을 나타내었지만, 본 발명은 이에 한정되지 않는다. 예를 들어, 도 22에 나타낸 바와 같이, 실린더형 형상을 가지는 용량 소자의 하부 전극이 트랜지스터(200)의 소스 전극 및 드레인 전극 중 다른 쪽과 접하는 구성이어도 좋다.

[0357] 도 22에, 상술한 트랜지스터(200)와 실린더형 형상을 가지는 용량 소자(100)를 가진 반도체 장치를 나타내었다. 또한 도 22에서 X 방향은 도시한 트랜지스터의 채널 길이 방향에 평행하고, Y 방향은 X 방향에 수직이고, Z 방향은 X 방향 및 Y 방향에 수직이다. 이하에서는, 도 21에 나타낸 반도체 장치와 상이한 부분에 대하여 주로 설명하고, 중복되는 부분에 대해서는 설명을 생략한다.

[0358] 절연체(285) 위에는 절연체(284)가 제공되어 있다. 절연체(284)로서는 절연체(216)에 적용할 수 있는 절연체를 사용하면 좋다.

[0359] 용량 소자(100)는 도전체(242b) 위의 도전체(153)와, 도전체(153) 위의 절연체(154)와, 절연체(154) 위의 도전체(160)(도전체(160a) 및 도전체(160b))를 가진다.

[0360] 도전체(153), 절연체(154), 및 도전체(160)는 각각 적어도 일부가 절연체(271b), 절연체(275), 절연체(280), 절연체(282), 절연체(283), 및 절연체(285)에 형성된 개구의 내부에 배치되어 있다. 도전체(153), 절연체(154), 및, 도전체(160) 각각의 단부는 적어도 절연체(282) 위에 위치하고, 바람직하게는 절연체(285) 위에 위치한다. 절연체(154)는 도전체(153)의 단부를 덮도록 제공되어 있다. 이에 의하여, 도전체(153)와 도전체(160)를 전기적으로 절연할 수 있다.

[0361] 도전체(153)는 용량 소자(100)의 제 1 전극(하부 전극)으로서 기능하는 영역을 가진다. 절연체(154)는 용량 소자(100)의 유전체로서 기능하는 영역을 가진다. 도전체(160)는 용량 소자(100)의 제 2 전극(상부 전극)으로서 기능하는 영역을 가진다. 즉 용량 소자(100)는 MIM(Metal-Insulator-Metal) 용량 소자를 구성한다.

[0362] 또한 산화물(230) 위에 중첩되어 제공된 도전체(242b)는 용량 소자(100)의 도전체(153)에 전기적으로 접속되는 배선으로서 기능한다.

[0363] 용량 소자(100)가 가지는 도전체(153) 및 도전체(160)는 각각 도전체(205), 도전체(242a), 도전체(242b), 또는 도전체(260)에 적용할 수 있는 도전체를 사용할 수 있다. 도전체(153) 및 도전체(160)는 각각 ALD법 또는 CVD법 등 피복성이 양호한 성막법을 사용하여 성막하는 것이 바람직하다. 예를 들어 도전체(153)로서 ALD법 또는 CVD법을 사용하여 성막한 질화 타이타늄 또는 질화 탄탈럼을 사용할 수 있다.

[0364] 또한 도전체(153)의 하면에는 도전체(242b)의 상면이 접한다. 여기서 도전체(242b)로서 도전성이 양호한 도전성 재료를 사용함으로써, 도전체(153)와 도전체(242b)의 접촉 저항을 저감할 수 있다.

[0365] 또한 도전체(160a)로서 ALD법 또는 CVD법을 사용하여 성막한 질화 타이타늄을 사용하고, 도전체(160b)로서 CVD법을 사용하여 성막한 텅스텐을 사용할 수 있다. 또한 절연체(154)에 대한 텅스텐의 밀착성이 충분히 높은 경우에는, 도전체(160)로서 CVD법을 사용하여 성막한 텅스텐의 단층 구조를 사용하여도 좋다.

[0366] 용량 소자(100)가 가지는 절연체(154)에는 비유전율이 높은(high-k) 재료를 사용하는 것이 바람직하다. 절연체(154)는 ALD법 또는 CVD법 등 피복성이 양호한 성막법을 사용하여 성막하는 것이 바람직하다.

[0367] 또한 절연체(154)로서 비유전율이 높은(high-k) 재료와, 절연 내력이 큰 재료의 적층 구조를 사용하는 것이 바람직하다. 예를 들어 절연체(154)로서 산화 지르코늄, 산화 알루미늄, 산화 지르코늄이 이 순서대로 적층된 절연체를 사용할 수 있다. 또한 예를 들어 산화 지르코늄, 산화 알루미늄, 산화 지르코늄, 산화 알루미늄이 이 순서대로 적층된 절연체를 사용할 수 있다. 또한 예를 들어 하프늄 지르코늄 산화물, 산화 알루미늄, 하프늄 지르코늄 산화물, 산화 알루미늄이 이 순서대로 적층된 절연막을 사용할 수 있다. 산화 알루미늄과 같은 절연 내력이 비교적 큰 절연체를 적층시켜 사용함으로써, 절연 내력이 향상되어 용량 소자(100)의 정전 파괴를 억제할 수 있다.

[0368] 또한 절연체(154)로서 후술하는 강유전성을 가질 수 있는 재료를 사용하여도 좋다.

[0369] 절연체(271b), 절연체(275), 절연체(280), 절연체(282), 절연체(283), 및 절연체(285)에 형성된 개구부의 깊이를 깊게(즉 절연체(271b), 절연체(275), 절연체(280), 절연체(282), 절연체(283), 및 절연체(285) 중 하나 또는 복수의 두께를 두껍게) 할수록, 용량 소자(100)의 정전 용량을 크게 할 수 있다. 용량 소자(100)의 단위 면적당 정전 용량을 크게 함으로써, 반도체 장치를 미세화 또는 고집적화할 수 있다.

[0370] 여기서 절연체(271b), 절연체(275), 절연체(282), 및 절연체(283)는 배리어 절연체로서 기능하기 때문에, 반도체 장치에 요구되는 배리어성에 따라 막 두께를 설정하는 것이 바람직하다. 또한 게이트 전극으로서 기능하는 도전체(260)의 막 두께는 절연체(280)의 막 두께에 의존하기 때문에, 반도체 장치에 요구되는 도전체(260)의 막 두께에 따라 절연체(280)의 막 두께를 설정하는 것이 바람직하다.

[0371] 따라서 절연체(285)의 막 두께를 조절함으로써 용량 소자(100)의 정전 용량을 설정하는 것이 바람직하다. 예를 들어 절연체(285)의 막 두께를 50nm 이상 250nm 이하의 범위로 설정하고, 상기 개구부의 깊이를 150nm 이상 350nm 이하 정도로 하면 좋다. 이러한 범위로 용량 소자(100)를 형성함으로써, 용량 소자(100)는 충분한 정전 용량을 가질 수 있고, 또한 용량 소자(100)를 포함하는 층을 복수로 적층하는 반도체 장치에 있어서 하나의 층의 높이가 과도하게 높아지지 않도록 할 수 있다. 또한 복수의 상기 층 각각에서, 용량 소자의 정전 용량을 다르게 하는 구성으로 하여도 좋다. 상기 구성의 경우, 예를 들어 각 층에 제공되는 절연체(285)의 막 두께를 다르게 하면 좋다.

[0372] 또한 용량 소자(100)가 배치된, 절연체(285) 등에 제공된 개구부에서, 상기 개구부의 측벽은 절연체(222)의 상면에 대하여 실질적으로 수직이어도 좋고, 테이퍼 형상을 가져도 좋다. 측벽을 테이퍼 형상으로 함으로써, 상기 개구부에 제공되는 도전체(153) 등의 피복성이 향상되어 공동 등의 결함을 저감할 수 있다.

[0373] 도전체(240)는 절연체(216), 절연체(222), 절연체(275), 절연체(280), 절연체(282), 절연체(283), 절연체(285), 및 절연체(284)에 형성된 개구부 내측에 제공된다. 또한 도전체(240)는 트랜지스터(200)의 소스 전극 및 드레인 전극 중 한쪽(도전체(242a))과 접하여 제공되어 있다. 도전체(240)는 Z 방향으로 연장되어 제공되어 있다.

[0374] 또한 산화물(230) 위에 중첩되어 제공된 도전체(242a)는 도전체(240)에 전기적으로 접속되는 영역을 가진다. 예를 들어 도 22에서는 도전체(242a)의 상면 및 측단부가 Z 방향으로 연장되는 도전체(240)와 전기적으로 접속되어 있다. 도전체(240)가 도전체(242a)의 상면 및 측단부 중 적어도 한쪽과 직접 접함으로써, 접속용 전극을 별도로 제공할 필요가 없기 때문에 반도체 장치의 점유 면적을 저감할 수 있다. 또한 도전체(240)는 도전체(242a)의 상면의 일부 및 측단부와 접하는 것이 바람직하다. 도전체(240)가 도전체(242a)의 복수 면과 접함으로써, 도전체(240)와 도전체(242a)의 접촉 저항을 저감할 수 있다.

[0375] 도전체(240)는 제 1 도전체와 제 2 도전체의 적층 구조로 하는 것이 바람직하다. 예를 들어 도 22에 나타낸 바와 같이 도전체(240)는 제 1 도전체가 상기 개구부의 내벽에 접하여 제공되고, 그 내측에 제 2 도전체가 제공되는 구조로 할 수 있다. 즉 제 1 도전체는 제 2 도전체에 비하여 절연체(216), 절연체(222), 절연체(275), 절연체(280), 절연체(282), 절연체(283), 절연체(285), 및 절연체(284)의 근방에 배치된다. 또한 제 1 도전체는 도전체(242a)의 상면 및 측단부와 접한다.

[0376] 도전체(240)의 제 1 도전체로서는, 상술한 도전체(240a) 또는 도전체(240b)의 제 1 도전체에 적용할 수 있는 도전성 재료를 사용하면 좋고, 도전체(240)의 제 2 도전체로서는, 상술한 도전체(240a) 또는 도전체(240b)의 제 2 도전체에 적용할 수 있는 도전성 재료를 사용하면 좋다.

[0377] 예를 들어 도전체(240)의 제 1 도전체로서 질화 타이타늄을 사용하고, 도전체(240)의 제 2 도전체로서 텅스텐을 사용하는 것이 바람직하다. 이 경우, 도전체(240)의 제 1 도전체는 타이타늄과 질소를 포함하고, 도전체(240)의 제 2 도전체는 텅스텐을 포함한다.

[0378] 또한 도전체(240)는 단층 구조이어도 좋고, 3층 이상의 적층 구조이어도 좋다.

[0379] 또한 도 22에 나타낸 바와 같이, 도전체(240)의 측면과 접하여 절연체(241)가 제공되는 것이 바람직하다. 구체적으로는 절연체(216), 절연체(222), 절연체(275), 절연체(280), 절연체(282), 절연체(283), 절연체(285), 및 절연체(284)에 제공된 개구부의 내벽에 접하여 절연체(241)가 제공된다. 또한 상기 개구부 내측에서 돌출하여 형성되는 절연체(224), 산화물(230), 및 도전체(242a)의 측면에도 절연체(241)가 형성된다. 여기서 도전체(242a)의 적어도 일부는 절연체(241)로부터 노출되어 있고, 도전체(240)와 접한다. 즉 도전체(240)는 절연체

(241)를 개재하여 상기 개구의 내부를 매립하도록 제공된다.

[0380] 또한 도 22에 나타낸 바와 같이, 도전체(242a)보다 아래에 형성되는 절연체(241)의 최상부는 도전체(242a)의 상면보다 아래쪽에 위치하는 것이 바람직하다. 이러한 구성으로 함으로써, 도전체(240)가 도전체(242a)의 측단부의 적어도 일부와 접할 수 있다. 또한 도전체(242a)보다 아래에 형성되는 절연체(241)는 산화물(230)의 측면과 접하는 영역을 포함하는 것이 바람직하다. 이러한 구성으로 함으로써, 절연체(280) 등에 포함되는 물, 수소 등의 불순물이 도전체(240)를 통하여 산화물(230)에 혼입되는 것을 억제할 수 있다.

[0381] 절연체(241)로서, 상술한 절연체(241a) 및 절연체(241b)에 적용할 수 있는 배리어 절연체를 사용하면 좋다.

[0382] 또한 도 22에서는 절연체(241)를 단층으로 하는 구성을 나타내었지만, 본 발명은 이에 한정되지 않는다. 절연체(241)는 2층 이상의 적층 구조로 하여도 좋다.

[0383] 절연체(241)를 2층 적층 구조로 하는 경우, 절연체(280) 등의 개구의 내벽과 접하는 제 1 층으로서 산소에 대한 배리어 절연막을 사용하고, 그 내측의 제 2 층으로서 수소에 대한 배리어 절연막을 사용하면 좋다. 예를 들어 제 1 층으로서 ALD법으로 성막된 산화 알루미늄을 사용하고, 제 2 층으로서 PEALD법으로 성막된 질화 실리콘을 사용하면 좋다. 상기 구성으로 함으로써, 도전체(240)의 산화를 억제하고, 도전체(240)로부터 산화물(230) 등으로 수소가 혼입되는 것을 저감할 수 있다. 이로써 트랜지스터(200)의 전기 특성 및 신뢰성의 향상을 실현할 수 있다.

[0384] 또한 도전체(240) 및 절연체(241)가 배치된 개구부에서, 상기 개구부의 측벽은 절연체(222)의 상면에 대하여 실질적으로 수직이어도 좋고, 테이퍼 형상을 가져도 좋다. 측벽이 테이퍼 형상을 가지면, 상기 개구부에 제공되는 절연체(241) 등의 피복성이 향상된다.

[0385] 트랜지스터(200)와 용량 소자(100)를 가지고, 트랜지스터(200)의 소스 및 드레인 중 한쪽이 용량 소자(100)의 한쪽 전극에 전기적으로 접속된 구성을 가지는 반도체 장치는 예를 들어 기억 장치의 메모리 셀로서 기능시킬 수 있다.

[0386] <트랜지스터(200)와 용량 소자(100A)를 가지는 반도체 장치의 구성예>

[0387] 도 23의 (A) 및 (B)에 상술한 트랜지스터(200)와 용량 소자(100A)를 가지는 반도체 장치를 나타내었다. 도 23의 (A)는 상기 반도체 장치의 상면도이다. 또한 도 23의 (B)는 도 23의 (A)에 일점쇄선 A1-A2로 나타낸 부분의 단면도이고, 트랜지스터(200)의 채널 길이 방향의 단면도이기도 하다. 또한 도 23의 (A)의 상면도에서는, 도면의 명료화를 위하여 일부 요소를 생략하였다.

[0388] 도 23의 (A) 및 (B)에 나타낸 반도체 장치에서는, 트랜지스터(200) 위에 용량 소자(100A) 및 도전체(246)가 배치되어 있다. 도전체(246)는 배선으로서 기능한다. 여기서 상면에서 보았을 때, 용량 소자(100A)와 트랜지스터(200)가 중첩되는 면적이 큰 것이 바람직하다. 이와 같은 구성으로 함으로써 용량 소자(100A)와 트랜지스터(200)를 가지는 반도체 장치의 점유 면적을 저감할 수 있다. 이로써 반도체 장치의 미세화 또는 고집적화를 실현할 수 있다.

[0389] 또한 도 23의 (A) 및 (B)에 나타낸 반도체 장치에서 절연체(285)보다 아래의 구성은 도 20의 (A) 및 (B)에 나타낸 반도체 장치와 마찬가지이다. 이후에서는 도 20의 (A) 및 (B)에 나타낸 반도체 장치와 상이한 부분에 대하여 주로 설명하고, 중복되는 부분에 대해서는 설명을 생략한다.

[0390] 도 23의 (A) 및 (B)에 나타낸 반도체 장치는 절연체(285) 위에 절연체(287)를 가진다.

[0391] 도전체(240a)는 절연체(287), 절연체(285), 절연체(283), 절연체(282), 절연체(280), 절연체(275), 및 절연체(271a)에 형성된 개구의 내부에 제공되고, 도전체(240b)는 절연체(287), 절연체(285), 절연체(283), 절연체(282), 절연체(280), 절연체(275), 및 절연체(271b)에 형성된 개구의 내부에 제공되어 있다. 도 23의 (B)에 나타낸 바와 같이, 도전체(240a)는 도전체(242a)와 접하는 영역과, 도전체(246)의 하면의 적어도 일부와 접하는 영역을 가진다. 또한 도전체(240b)는 도전체(242b)와 접하는 영역과, 용량 소자(100A)에 포함되는 도전체(110)의 하면의 적어도 일부와 접하는 영역을 가진다.

[0392] 도전체(246)는 도전체(240a)의 상면에 접하여 배치하면 좋다. 도전체(246)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로서 포함하는 도전성 재료를 사용하는 것이 바람직하다. 또한 도전체(246)는 적층 구조를 가져도 좋고, 예를 들어 타이타늄 또는 질화 타이타늄과 상기 도전성 재료의 적층으로 하여도 좋다. 또한 도전체(246)는 도전체(110)와 같은 층에 같은 재료로 형성되는 구성으로 하는 것이 바람직하다.

[0393] <용량 소자(100A)>

[0394] 용량 소자(100A)는 도전체(110)와, 도전체(120)와, 도전체(110)와 도전체(120) 사이에 끼워진 절연체(130)를 가진다. 예를 들어 절연체(287) 및 도전체(240b) 위에 도전체(110)가 배치되고, 도전체(110) 위에 절연체(130)가 배치되고, 절연체(130) 위에 도전체(120)가 배치되어 있다. 여기서 도전체(110)는 용량 소자(100A)의 제 1 전극으로서 기능하고, 도전체(120)는 용량 소자(100A)의 제 2 전극으로서 기능하고, 절연체(130)는 용량 소자(100A)의 유전체로서 기능한다. 또한 자세한 사항은 후술하지만, 용량 소자(100A)는 강유전성을 가질 수 있는 재료를 유전체로서 사용한 용량 소자이다.

[0395] 도전체(110)는 용량 소자(100)의 도전체(110)에 적용할 수 있는 도전체를 사용하면 좋다. 또한 도전체(120)는 용량 소자(100)의 도전체(120)에 적용할 수 있는 절연체를 사용하면 좋다.

[0396] 도전체(110)는 단층 구조이어도 좋고, 적층 구조이어도 좋다. 도전체(110)는 상술한 용량 소자(100)의 도전체(110)에 적용할 수 있는 도전체를 사용하면 좋다.

[0397] 도 23의 (B)에서는 도전체(120)를 도전체(120a)와, 도전체(120a) 위에 접하여 제공된 도전체(120b)의 적층 구조로 하였다.

[0398] 도전체(120a)는 상술한 도전체(120)에 적용할 수 있는 도전체를 스퍼터링법, ALD법, 또는 CVD법 등을 사용하여 성막하면 좋다. 도전체(120a)로서, 예를 들어 스퍼터링법을 사용하여 질화 티이타늄을 성막하면 좋다.

[0399] 또는 도전체(120a)로서, 예를 들어 열 ALD법을 사용하여 질화 타이타늄을 성막하여도 좋다. 여기서 도전체(120a)의 성막은 열 ALD법과 같은, 기판을 가열하면서 성막하는 방법을 사용하여 수행하는 것이 바람직하다. 예를 들어 기판 온도를 실온 이상, 바람직하게는 300℃ 이상, 더 바람직하게는 325℃ 이상, 더욱 바람직하게는 350℃ 이상으로 하여 성막하면 좋다. 또한 예를 들어 기판 온도를 500℃ 이하, 바람직하게는 450℃ 이하로 하여 성막하면 좋다. 예를 들어 기판 온도를 400℃ 정도로 하면 좋다.

[0400] 상술한 바와 같은 온도 범위로 도전체(120a)를 성막함으로써, 도전체(120a)의 형성 후에 고온의 베이킹 처리(예를 들어, 열처리 온도 400℃ 이상 또는 500℃ 이상의 베이킹 처리)를 수행하지 않아도 절연체(130)에 강유전성을 부여시킬 수 있다. 또한 상기와 같이, 하지에 주는 대미지가 비교적 적은 ALD법을 사용하여 도전체(120a)를 성막함으로써, 절연체(130)의 결정 구조가 과잉으로 파괴되는 것을 억제할 수 있으므로, 절연체(130)의 강유전성을 높일 수 있다. 또한 도전체(120a)의 성막 후의 어닐링을 수행하지 않고, 도전체(120)의 성막 시의 온도를 이용하여 절연체(130)의 결정성 또는 강유전성을 향상시키는 것을 셀프 어닐링이라고 호칭하는 경우가 있다.

[0401] 도전체(120b)는 상술한 도전체(120)에 적용할 수 있는 도전체를 스퍼터링법, ALD법, 또는 CVD법 등을 사용하여 성막하면 좋다. 예를 들어 스퍼터링법을 사용하여 텅스텐을 성막하면 좋다.

[0402] 또한 상술한 것에 한정되지 않고, 도전체(120)를 단층 또는 3층 이상의 적층 구조로 하여도 좋다.

[0403] 절연체(130)에는 강유전성을 가질 수 있는 재료를 사용하는 것이 바람직하다. 강유전성을 가질 수 있는 재료로서는 산화 하프늄, 산화 지르코늄, $HfZrO_X$(X는 0보다 큰 실수로 함) 등의 금속 산화물을 들 수 있다. 또한 강유전성을 가질 수 있는 재료로서는 산화 하프늄에 원소 J1(여기서의 원소 J1은 지르코늄(Zr), 실리콘(Si), 알루미늄(Al), 가돌리늄(Gd), 이트륨(Y), 란타넘(La), 스트론튬(Sr) 등에서 선택된 하나 또는 복수임)을 첨가한 재료를 들 수 있다. 여기서 하프늄의 원자수와 원소 J1의 원자수의 비는 적절히 설정할 수 있고, 예를 들어 하프늄의 원자수와 원소 J1의 원자수의 비를 1:1 또는 그 근방으로 하면 좋다. 또한 강유전성을 가질 수 있는 재료로서는 산화 지르코늄에 원소 J2(여기서의 원소 J2는 하프늄(Hf), 실리콘(Si), 알루미늄(Al), 가돌리늄(Gd), 이트륨(Y), 란타넘(La), 스트론튬(Sr) 등에서 선택된 하나 또는 복수임)를 첨가한 재료 등을 들 수 있다. 또한 지르코늄의 원자수와 원소 J2의 원자수의 비는 적절히 설정할 수 있고, 예를 들어 지르코늄의 원자수와 원소 J2의 원자수의 비를 1:1 또는 그 근방으로 하면 좋다. 또한 강유전성을 가질 수 있는 재료로서, 타이타늄산 납($PbTiO_X$), 타이타늄산 바륨 스트론튬(BST), 타이타늄산 스트론튬, 타이타늄산 지르콘산 연(PZT), 탄탈럼산 비스무트산 스트론튬(SBT), 비스무트 페라이트(BFO), 타이타늄산 바륨 등의 페로브스카이트 구조를 가지는 압전성 세라믹을 사용하여도 좋다.

[0404] 또한 강유전성을 가질 수 있는 재료로서는 질화 알루미늄 스칸듐($Al_{1-a}Sc_aN_b$(a는 0보다 크고 0.5보다 작은 실수이고, b는 1 또는 그 근방의 값임)), Al-Ga-Sc 질화물, Ga-Sc 질화물 등의 금속 질화물을 들 수 있다. 또한 강유전성을 가질 수 있는 재료로서는, 원소 M1과, 원소 M2와, 질소를 포함하는 금속 질화물을 들 수 있다. 여기서

원소 M1은 알루미늄(Al), 갈륨(Ga), 인듐(In) 등 중에서 선택되는 하나 또는 복수이다. 또한 원소 M2는 붕소(B), 스칸듐(Sc), 이트륨(Y), 란타넘(La), 세륨(Ce), 네오디뮴(Nd), 유로퓸(Eu), 타이타늄(Ti), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 나이오븀(Nb), 탄탈럼(Ta), 크로뮴(Cr) 등 중에서 선택된 하나 또는 복수이다. 또한 원소 M1의 원자수와 원소 M2의 원자수의 비는 적절히 설정할 수 있다. 또한 원소 M1과 질소를 포함하는 금속 산화물은 원소 M2를 포함하지 않아도 강유전성을 가지는 경우가 있다. 또한 강유전성을 가질 수 있는 재료로서는 상기 금속 질화물에 원소 M3이 첨가된 재료를 들 수 있다. 또한 원소 M3은 마그네슘(Mg), 칼슘(Ca), 스트론튬(Sr), 아연(Zn), 카드뮴(Cd) 등 중에서 선택된 하나 또는 복수이다. 여기서 원소 M1의 원자수, 원소 M2의 원자수, 및 원소 M3의 원자수의 비는 적절히 설정할 수 있다.

[0405] 또한 강유전성을 가질 수 있는 재료로서는 $SrTaO_2N$, $BaTaO_2N$ 등의 페로브스카이트형 산질화물, κ알루미나형 구조의 $GaFeO_3$ 등을 들 수 있다.

[0406] 또한 앞의 설명에서는 금속 산화물 및 금속 질화물에 대하여 예시하였지만 이에 한정되지 않는다. 예를 들어 상술한 금속 산화물에 질소가 첨가된 금속 산화질화물 또는 상술한 금속 질화물에 산소가 첨가된 금속 질화산화물 등을 사용하여도 좋다.

[0407] 또한 강유전성을 가질 수 있는 재료로서는 예를 들어 위에서 열거한 재료에서 선택된 복수의 재료로 이루어지는 혼합물 또는 화합물을 사용할 수 있다. 또는 절연체(130)를, 위에서 열거한 재료에서 선택된 복수의 재료로 이루어지는 적층 구조로 할 수 있다. 또한 위에서 열거한 재료 등은 성막 조건뿐만 아니라 각종 공정 등에 따라서도 결정 구조(특성)가 변화될 가능성이 있기 때문에, 본 명세서 등에서는 강유전성을 발현하는 재료를 강유전체라고만 부르지 않고 강유전성을 가질 수 있는 재료라고도 부른다.

[0408] 이들 중에서도 강유전성을 가질 수 있는 재료로서 산화 하프늄, 또는 산화 하프늄 및 산화 지르코늄을 포함하는 재료는 수nm 정도의 박막으로 가공하여도 강유전성을 가질 수 있기 때문에 바람직하다. 여기서, 절연체(130)의 막 두께는 100nm 이하, 바람직하게는 50nm 이하, 더 바람직하게는 20nm 이하, 더욱 바람직하게는 10nm 이하로 할 수 있다. 예를 들어, 막 두께를 5nm 이상 15nm 이하로 하는 것이 바람직하고, 8nm 이상 12nm 이하로 하는 것이 더 바람직하다. 박막화가 가능한 강유전체층으로 함으로써, 용량 소자(100A)를 미세화된 트랜지스터 등의 반도체 소자에 조합하여 반도체 장치를 형성할 수 있다. 또한 본 명세서 등에서, 강유전성을 가질 수 있는 재료를 층상으로 한 것을 강유전체층, 금속 산화물막, 또는 금속 질화물막이라고 부르는 경우가 있다. 또한 본 명세서 등에서, 이러한 강유전체층, 금속 산화물막, 또는 금속 질화물막을 가지는 장치를 강유전체 디바이스라고 부르는 경우가 있다.

[0409] 또한 산화 하프늄 또는 산화 하프늄과 산화 지르코늄을 포함하는 재료는 미세한 면적에서도 강유전성을 가질 수 있기 때문에 바람직하다. 예를 들어 상면에서 보았을 때의 강유전체층의 면적(점유 면적)이 $10000\,\mu m^2$ 이하, $1000\,\mu m^2$ 이하, $100\,\mu m^2$ 이하, $10\,\mu m^2$ 이하, $1\,\mu m^2$ 이하, 또는 $0.1\,\mu m^2$ 이하인 경우에도 강유전성을 가질 수 있다. 면적이 작은 강유전체층으로 하면, 용량 소자(100A)의 점유 면적을 작게 할 수 있다.

[0410] 강유전성을 가질 수 있는 재료는 절연체이며, 외부로부터 전기장을 인가함으로써 내부에 분극이 발생하고, 또한 상기 전기장을 0으로 하여도 분극이 잔존하는 성질을 가진다. 그러므로 상기 재료를 유전체로서 사용한 용량 소자(이하 강유전체 커패시터라고 부르는 경우가 있음)를 사용하여 비휘발성 기억 소자를 형성할 수 있다. 강유전체 커패시터를 사용한 비휘발성 기억 소자는 FeRAM(Ferroelectric Random Access Memory), 강유전체 메모리 등이라고 불리는 경우가 있다. 예를 들어 강유전체 메모리는 트랜지스터와 강유전체 커패시터를 가지고, 트랜지스터의 소스 및 드레인 중 한쪽이 강유전체 커패시터의 한쪽 단자에 전기적으로 접속된 구성을 가진다. 따라서, 본 실시형태에 나타낸 용량 소자(100A)는 강유전체 커패시터이고, 용량 소자(100A)와 상술한 트랜지스터(200)를 가지는 반도체 장치는 강유전체 메모리로서 기능시킬 수 있다.

[0411] 또한 강유전성은 강유전체층에 포함되는 결정의 산소가 외부 전기장에 의하여 변위함으로써 발현된다고 한다. 또한 강유전성의 발현은 강유전체층에 포함되는 결정의 결정 구조에 의존하는 것으로 추정된다. 따라서 절연체(130)가 강유전성을 발현하기 위해서는 절연체(130)는 결정을 포함할 필요가 있다. 특히 절연체(130)로서 직방정계 결정 구조를 가지는 결정을 포함하면 강유전성이 발현되기 때문에 바람직하다. 또한 절연체(130)에 포함되는 결정의 결정 구조로서는 정방정계, 직방정계, 및 단사정계에서 선택되는 어느 하나 또는 복수로 하면 좋다. 또한 절연체(130)는 비정질 구조를 가져도 좋다. 이때 절연체(130)는 비정질 구조와 결정 구조를 가지는 복합 구조로 하여도 좋다.

[0412] 결정을 포함하는 절연체(130)를 형성하기 위해서는 절연체(130) 중의 수소 또는 염소 등의 불순물이 저감되어 있는 것이 바람직하다. 여기서 상기 불순물은 단체(單體)의 원자만을 가리키는 것이 아니다. 절연체(130) 중에서 상술한 불순물과 결합된 물질도 저감되어 있는 것이 바람직하다. 예를 들어 절연체(130) 중의 수소와 결합된 물질(예를 들어 OH^- 등) 등도 저감되어 있는 것이 바람직하다. 이들 불순물은 절연체(130) 중의 결정에서 산소 결손을 형성하는 경우가 있다. 또한 상기 산소 결손 부분에 수소 등의 불순물 원소가 결합되어 절연체(130)의 결정성이 저하되는 경우가 있다. 따라서 이들 불순물이 절연체(130) 중에 포함됨으로써 절연체(130)의 결정화가 저해되는 경우가 있다. 따라서 절연체(130)의 강유전성을 향상시키기 위해서는 수소 또는 염소 등의 불순물을 저감하는 것이 바람직하다.

[0413] 그러므로 도 23의 (B)에 나타낸 바와 같이, 용량 소자(100A)를 덮도록 절연체(152)를 제공하고, 절연체(152)와 절연체(130) 사이에 절연체(155)를 제공하는 것이 바람직하다. 이때 절연체(155)는 도전체(110)와 중첩되지 않은 영역에서 절연체(287)와 접하는 것이 바람직하다.

[0414] 여기서, 절연체(152) 및 절연체(155)는 수소에 대한 배리어 절연체로서 기능한다. 절연체(152)는 수소 및 수소가 결합된 물질(예를 들어 OH^- 등) 중 적어도 하나의 확산을 억제하는 기능을 가진다. 따라서 절연체(152)는 수소 및 수소가 결합된 물질(예를 들어 OH^- 등) 중 적어도 하나의 확산을 억제하는 능력이 절연체(130)보다 높은 것이 바람직하다. 또한 절연체(155)는 수소 및 수소가 결합된 물질 중 적어도 하나를 포획 또는 고착하는 기능을 가진다. 따라서 절연체(155)는 수소 및 수소가 결합된 물질 중 적어도 하나를 포획 또는 고착하는 능력이 절연체(130)보다 높은 것이 바람직하다.

[0415] 절연체(152) 및 절연체(155)로서는 예를 들어 산화 알루미늄, 산화 마그네슘, 산화 하프늄, 산화 갈륨, 인듐 갈륨 아연 산화물, 질화 실리콘, 또는 질화산화 실리콘 등을 사용할 수 있다. 수소 등의 불순물의 확산을 억제하는 능력이 높은 절연체(152)로서는 예를 들어 질화 실리콘을 사용하는 것이 바람직하다. 이 경우, 절연체(152)는 적어도 질소와 실리콘을 포함한다.

[0416] 또한 수소 등의 불순물을 포획 또는 고착하는 능력이 높은 절연체(155)에 비정질 구조를 가지는 산화물을 사용하는 것이 바람직하다. 예를 들어 산화 알루미늄 또는 산화 마그네슘 등의 금속 산화물을 사용하는 것이 바람직하다. 절연체(155)에 산화 알루미늄을 사용하는 경우, 절연체(155)는 적어도 산소와 알루미늄을 포함한다. 상술한 바와 같이 비정질 구조를 가지는 금속 산화물은 수소를 포획 또는 고착하는 성질을 가지는 경우가 있다. 이와 같은 비정질 구조를 가지는 금속 산화물을 용량 소자(100A)의 구성 요소로서 사용하거나 용량 소자(100A)의 주위에 제공함으로써, 용량 소자(100A)에 포함되는 수소 또는 용량 소자(100A)의 주위에 존재하는 수소를 포획 또는 고착할 수 있다. 특히 절연체(130)에 포함되는 수소를 포획 또는 고착하는 것이 바람직하다.

[0417] 또한 절연체(155)는 비정질 구조인 것이 바람직하지만, 일부에 결정 영역이 형성되어 있어도 좋다. 또한 절연체(155)는 비정질 구조의 층과 결정 영역을 가지는 층이 적층된 다층 구조이어도 좋다. 예를 들어 절연체(155)는 비정질 구조의 층 위에 결정 영역을 가지는 층, 대표적으로는 다결정 구조의 층이 형성된 적층 구조이어도 좋다.

[0418] 절연체(152)에 의하여, 절연체(152) 외측으로부터 절연체(130)로 수소 등의 불순물이 확산되는 것을 억제할 수 있다. 또한 절연체(152)로 감싸인 영역의 내측에 존재하는 수소 등의 불순물을 절연체(155)에 의하여 포획 또는 고착하여, 절연체(130) 중에 포함되는 수소 등의 불순물의 농도를 저감할 수 있다. 이와 같이, 절연체(130) 중에서 수소 등의 불순물을 포함하지 않게 하거나 수소 등의 불순물을 매우 적게 함으로써, 절연체(130)의 결정성을 향상시킬 수 있어, 높은 강유전성을 가지는 구조로 할 수 있다.

[0419] 도 23의 (B)에서는 절연체(155)를 절연체(155a)와, 절연체(155a) 위에 접하여 제공된 절연체(155b)의 적층 구조로 하였다. 또한 절연체(152)를 절연체(152a)와, 절연체(152a) 위에 접하여 제공된 절연체(152b)의 적층 구조로 하였다. 또한 상술한 것에 한정되지 않고, 절연체(155) 및 절연체(152) 중 한쪽 또는 양쪽을 단층 또는 3층 이상의 구조로 하여도 좋다.

[0420] 절연체(155a)는 상술한 절연체(155)에 적용할 수 있는 절연체를 ALD법, 특히 열 ALD법을 사용하여 성막하는 것이 바람직하다. 예를 들어 절연체(155a)로서 ALD법으로 성막한 산화 알루미늄을 사용할 수 있다. 이에 의하여 절연체(155a)를 높은 피복성으로 성막할 수 있기 때문에, 스퍼터링법으로 성막한 절연체(155b)에 핀홀이 형성되거나 단절이 발생하는 경우에도, 절연체(155b)의 외측으로부터 핀홀 또는 단절 등을 통하여 절연체(130)로 불순물이 확산되는 것을 억제할 수 있다.

[0421] 절연체(155b)는 상술한 절연체(155)에 사용할 수 있는 절연체를 스퍼터링법을 사용하여 성막하면 좋다. 예를 들어 절연체(155b)로서 스퍼터링법으로 성막한 산화 알루미늄을 사용할 수 있다. 스퍼터링법은 성막 가스에 수소를 포함하는 분자를 사용하지 않아도 되기 때문에, 절연체(155b)의 수소 농도를 저감할 수 있다. 이에 의하여 절연체(130)에 포함되는 수소 등의 불순물을 더 많이 포획 또는 고착할 수 있다.

[0422] 절연체(152a)는 상술한 절연체(152)에 사용할 수 있는 절연체를 스퍼터링법을 사용하여 성막하면 좋다. 예를 들어 절연체(152a)로서 스퍼터링법으로 성막한 질화 실리콘을 사용할 수 있다. 스퍼터링법은 성막 가스에 수소를 포함하는 분자를 사용하지 않아도 되기 때문에, 절연체(152a)의 수소 농도를 저감할 수 있다.

[0423] 절연체(152b)는 상술한 절연체(152)에 사용할 수 있는 절연체를 ALD법, 특히 PEALD법을 사용하여 성막하는 것이 바람직하다. 예를 들어 절연체(152b)로서 PEALD법으로 성막한 질화 실리콘을 사용할 수 있다. 이에 의하여 스퍼터링법으로 성막한 절연체(152a)에 핀홀 또는 단절 등이 형성되더라도, 그들과 중첩되는 부분을 피복성이 양호한 ALD법으로 성막한 질화 실리콘으로 메울 수 있다. 또한 핀홀 또는 단절 등을 절연체(152b)로 덮음으로써, 절연체(152b)의 외측으로부터 절연체(130)로 불순물이 확산되는 것을 억제할 수 있다.

[0424] 또한 도 23의 (B)에 나타낸 바와 같이, 절연체(155) 및 절연체(152)는 용량 소자(100A)뿐만 아니라 도전체(246)도 덮도록 제공되어 있다. 이에 의하여 열처리 시에 용량 소자(100A), 도전체(246), 및 도전체(240)를 통하여 산화물(230) 중으로 수소 등의 불순물이 확산되는 것을 억제할 수 있다. 이와 같이, 수소 등의 불순물이 저감된 고순도 진성의 강유전성을 가지는 용량 소자와 수소 등의 불순물이 저감된 고순도 진성의 산화물 반도체는 제조 공정의 정합성이 매우 높다. 따라서 생산성이 높은 반도체 장치의 제작 방법을 제공할 수 있다.

[0425] 절연체(287)에, 절연체(152)와 같은, 수소 등의 불순물의 확산을 억제하는 능력이 높은 절연체를 사용하는 것이 바람직하다. 용량 소자(100A)와 중첩되지 않은 영역에서 절연체(155)와 절연체(287)가 접하는 구성으로 함으로써, 절연체(287), 절연체(155), 및 절연체(152)로 용량 소자(100A)가 밀봉된다. 이에 의하여 절연체(152) 및 절연체(287)의 외부로부터 용량 소자(100A)로 수소가 확산되는 것을 억제하고, 또한 절연체(152) 및 절연체(287)로 둘러싸인 영역의 내부의 수소를 포획 또는 고착하여, 용량 소자(100A)의 절연체(130)의 수소 농도를 저감할 수 있다. 따라서 절연체(130)의 강유전성을 높일 수 있다.

[0426] 또한 도 23의 (B)에는 절연체(287)가 도전체(110)와 중첩되지 않은 영역에서 절연체(155)와 접하는 구성을 나타내었지만, 본 발명은 이에 한정되지 않는다. 절연체(287)를 제공하지 않고, 도전체(246)의 하면, 절연체(155a)의 하면, 및 도전체(110)의 하면이 절연체(285)의 상면에 접하는 구성으로 하여도 좋다.

[0427] 또한 절연체(130)와 도전체(110) 사이 및/또는 절연체(130)와 도전체(120) 사이에 절연체(130)의 결정성을 높이는 층을 제공하여도 좋다. 결정성을 높이는 층으로서, 예를 들어 절연체(130)가 포함하는 원소 중 적어도 하나를 포함하는 층을 사용하는 것이 바람직하다. 또한 결정성을 높이는 층의 조성과 절연체(130)의 조성이 다른 것이 바람직하다. 절연체(130)에 $HfZrO_X$를 사용하는 경우, 결정성을 높이는 층으로서 구체적으로는 산화 하프늄 또는 산화 지르코늄 등의 금속 산화물, 혹은 하프늄 또는 지르코늄 등의 금속을 사용하는 것이 바람직하다.

[0428] 또한 결정성을 높이는 층의 조성으로서는 절연체(130)가 포함하는 원소를 가지지 않아도 된다. 이 경우, 사용할 수 있는 원소로서는 실리콘, 이트륨, 알루미늄, 스칸듐 등을 들 수 있다. 결정성을 높이는 층을 제공함으로써, 절연체(130)의 결정성을 향상시켜, 절연체(130)의 강유전성을 높일 수 있다. 또한 절연체(130)의 결정성을 향상시킴으로써 절연체(130)의 강유전성을 높일 수 있으므로, 결정성을 높이는 층은 절연체(130)의 잔류 분극을 크게 하는 층이라고 바꿔 말할 수 있다.

[0429] <용량 소자(100A)의 변형예>

[0430] 또한 도 23의 (A) 및 (B)에 나타낸 용량 소자(100A)는 도전체(110)의 측면과, 절연체(130)의 측면과, 도전체(120)의 측면이 일치하는 구성을 가지지만, 본 발명은 이에 한정되지 않는다. 이하에서, 도 24의 (A) 내지 도 25의 (B)를 사용하여, 도 23의 (A) 및 (B)에 나타낸 용량 소자(100A)의 변형예에 대하여 설명한다. 이후에서는 도 23의 (A) 및 (B)에 나타낸 반도체 장치와 상이한 부분에 대하여 주로 설명하고, 중복되는 부분에 대해서는 설명을 생략한다.

[0431] 도 24의 (A)는 반도체 장치의 상면도이다. 또한 도 24의 (B)는 도 24의 (A)에 일점쇄선 A1-A2로 나타낸 부분의 단면도이고, 트랜지스터(200)의 채널 길이 방향의 단면도이기도 하다. 또한 도 24의 (A)의 상면도에서는, 도면의 명료화를 위하여 일부 요소를 생략하였다.

[0432] 도 24의 (B)에 나타낸 바와 같이, 도전체(110)의 측면이 절연체(130) 및 도전체(120)의 측면보다 내측에 위치하

는 구성으로 하여도 좋다. 절연체(130)는 도전체(110)의 상면 및 측면을 덮어 형성되고, 절연체(130)에서의 도전체(110)와 중첩되지 않은 영역이 절연체(287)에 접한다. 이 경우에는 상면에서 보았을 때, 도전체(110)의 외주가 절연체(130) 및 도전체(120)의 외주보다 내측에 위치하게 된다. 이러한 구성으로 함으로써 절연체(130)에 의하여 도전체(110)와 도전체(120)를 충분히 이격할 수 있다.

[0433] 또한 상면에서 보았을 때, 도전체(120)의 면적을 더 크게 함으로써, 도전체(120)와 접속되고 플러그 또는 배선으로서 기능하는 도전체(미도시)를 제공하는 경우에 설계의 여유(머진)를 충분히 확보할 수 있다.

[0434] 또한 도 23의 (B)에서는 도전체(110)를 단층으로 하는 구성을 나타내었지만, 본 발명은 이에 한정되지 않고, 도전체(110)를 2층 이상의 적층 구조로 하여도 좋다. 예를 들어 도 24의 (B)에 나타낸 바와 같이, 도전체(110)를 도전체(110a)와, 도전체(110a) 위의 도전체(110b)의 2층 적층 구조로 하여도 좋다.

[0435] 도전체(110a)는 상술한 도전체(110)에 적용할 수 있는 도전체를 스퍼터링법, ALD법, 또는 CVD법 등을 사용하여 성막하면 좋다. 예를 들어 스퍼터링법 또는 CVD법을 사용하여 텅스텐을 성막하면 좋다.

[0436] 절연체(130)의 하면의 적어도 일부와 접하는 도전체(110b)로서는, 상술한 도전체(110)에 적용할 수 있는 도전체를 ALD법 또는 CVD법 등을 사용하여 성막하면 좋다. 예를 들어 열 ALD법을 사용하여 질화 타이타늄을 성막하면 좋다. 또한 도전체(110b)의 상면은 평탄성이 양호한 것이 바람직하다. 도전체(110b)의 상면의 평탄성을 양호하게 함으로써, 절연체(130)의 결정성이 향상되어, 절연체(130)의 강유전성을 높일 수 있다.

[0437] 도 25의 (A)는 반도체 장치의 상면도이다. 또한 도 25의 (B)는 도 25의 (A)에 일점쇄선 A1-A2로 나타낸 부분의 단면도이고, 트랜지스터(200)의 채널 길이 방향의 단면도이기도 하다. 또한 도 25의 (A)의 상면도에서는, 도면의 명료화를 위하여 일부 요소를 생략하였다.

[0438] 도 25의 (A) 및 (B)에 나타낸 바와 같이, 도 23의 (B)에 나타낸 절연체(287) 대신에 절연체(286)를 제공하고, 절연체(286) 및 절연체(285)에 형성된 개구의 내부를 매립하도록 도전체(110)를 제공하여도 좋다.

[0439] 절연체(286)는 상술한 절연체(285)에 사용할 수 있는 절연성 재료를 사용하면 좋다.

[0440] 절연체(286) 및 절연체(285)에 형성된 개구의 내부에 도전체(110)가 매립되어 있다. 도전체(110)는 절연체(286) 및 절연체(285)에 형성된 개구의 내부에서 도전체(240b)와 접하는 영역을 가진다. 절연체(286) 및 절연체(285)에 형성된 개구의 내부에 도전체(110)가 매립됨으로써, 도전체(110)와 도전체(120)를 충분히 이격시킬 수 있다. 따라서 용량 소자(100A)의 누설 전류를 억제할 수 있다.

[0441] 또한 도 25의 (B)에 나타낸 도전체(110)는 절연체(286) 및 절연체(285)에 개구를 형성하고, 도전체(110)가 되는 도전막을 성막하고, 절연체(286)가 노출될 때까지 화학 기계 연마(CMP)법 등을 사용한 평탄화 처리를 수행함으로써 형성할 수 있다. 즉 도 25의 (B)에 나타낸 도전체(110)는 싱글 다마신법을 사용하여 형성할 수 있다. 이와 같은 도전체(110)의 형성 공정은 도전체(110)의 상면의 평탄성을 양호하게 하는 공정을 겸한다. 그러므로 평탄성이 양호한 도전체(110) 위에 절연체(130)가 제공되기 때문에 절연체(130)의 평탄성도 양호하게 할 수 있다. 따라서 박막의 강유전체층을 사용하여 절연체(130)를 형성한 경우에도, 용량 소자(100A)의 누설 전류를 억제할 수 있다. 또한 이와 같은 도전체(110)의 형성 공정은, 절연체(286) 상면의 평탄성도 양호하게 되므로, 절연체(130)의 일부가 절연체(286) 위에 제공되는 경우에도 적합하다.

[0442] 또한 도 25의 (B)에 나타낸 바와 같이, 도전체(110)는 도전체(110c)와, 도전체(110c) 위의 도전체(110a)와, 도전체(110a) 위의 도전체(110b)의 적층 구조로 하여도 좋다. 도전체(110c)는 절연체(286) 및 절연체(285)에 형성된 개구의 내부에서, 절연체(286)의 측면, 절연체(285)의 측면, 절연체(283)의 상면, 절연체(241b)의 측면, 및 도전체(240b)의 상면과 접하여 제공된다. 도전체(110a)는 도전체(110c)에 형성된 오목부의 일부를 매립하도록 제공된다. 여기서 도전체(110a)의 상면은 도전체(110c)의 상면 및 절연체(286)의 상면보다 높이가 낮아진다. 도전체(110b)는 도전체(110a)의 상면 및 도전체(110c)의 측면과 접하여 제공된다. 여기서, 도전체(110b)의 상면은 도전체(110c)의 상면 및 절연체(286)의 상면과 높이가 일치한다. 즉 도전체(110a)는 도전체(110c) 및 도전체(110b)로 감싸이는 구성을 가진다.

[0443] 도전체(110)를 도전체(110c)와 도전체(110a)와 도전체(110b)의 3층 구조로 하는 경우, 도전체(110)는 예를 들어 절연체(286) 및 절연체(285)에 개구를 형성하고, 도전체(110c)가 되는 도전막 및 도전체(110a)가 되는 도전막을 성막하고, 절연체(286)가 노출되도록 CMP 처리를 수행함으로써 도전체(110c) 및 도전체(110a)를 형성하고, 도전체(110a)의 일부를 에치 백하여 도전체(110b)를 매립함으로써 형성할 수 있다.

[0444] 도전체(110c)는 상술한 도전체(205a)에 적용할 수 있는 도전체를 스퍼터링법, ALD법, 또는 CVD법 등을 사용하여

성막하면 좋다. 도전체(110c)에 산소 확산을 억제하는 기능을 가지는 도전성 재료를 사용함으로써, 도전체(110a)가 산화되어 도전율이 저하되는 것을 억제할 수 있다. 예를 들어 도전체(110c)는 CVD법을 사용하여 질화 타이타늄을 성막하면 좋다.

[0445] 도전체(110b)로서는, 상술한 도전체(110)에 적용할 수 있는 도전체를 ALD법 또는 CVD법 등을 사용하여 성막하면 좋다. 또한 상술한 바와 같이, 평탄화 처리를 수행함으로써 도전체(110c)를 형성하는 경우에는, 도전체(110c)는 성막 속도가 빠른 스퍼터링법, CVD법, 또는 PECVD법을 사용하여 형성하여도 좋다. 이에 의하여, 반도체 장치를 높은 생산성으로 제작할 수 있다. 예를 들어 도전체(110b)는 CVD법을 사용하여 질화 타이타늄을 성막하면 좋다.

[0446] 도 25의 (B)에서는, 도전체(110)의 측면이 절연체(130)의 측면의 내측에 위치한다. 이 경우에는 상면에서 보았을 때, 도전체(110)의 외주가 절연체(130) 및 도전체(120)의 외주보다 내측에 위치하게 된다. 예를 들어, 도전체(110)의 측면에서 절연체(130)의 측면까지의 최단 거리는 절연체(130)의 막 두께 이상인 것이 바람직하고, 절연체(130)의 막 두께의 2배 이상인 것이 더 바람직하다. 이러한 구성으로 함으로써 절연체(130)에 의하여 도전체(110)와 도전체(120)를 충분히 이격할 수 있다. 이때 도 25의 (B)에 나타낸 바와 같이, 절연체(286)에서 도전체(120)와 중첩되지 않은 영역의 일부가 제거되는 경우가 있다.

[0447] 도 25의 (B)에는 도전체(110)의 측면이 절연체(130)의 측면의 내측에 위치하는 구성을 나타내었지만, 본 발명은 이에 한정되지 않는다. 예를 들어 도전체(110)의 측면은 절연체(130)의 측면보다 외측에 위치하여도 좋다. 이와 같은 구성으로 함으로써, 절연체(130)는 도전체(110c), 절연체(155), 및 절연체(152)로 둘러싸여 있다. 도전체(110c)에 수소의 확산을 저감하는 기능을 가지는 도전성 재료를 사용함으로써, 절연체(152) 및 도전체(110c)의 외부로부터 절연체(130)로 수소가 확산되는 것을 억제할 수 있고, 또한 절연체(130)의 수소를 포획 또는 고착시켜 절연체(130)의 수소 농도를 저감할 수 있다. 따라서 절연체(130)의 강유전성을 높일 수 있다. 또한 도전체(110)의 측면은 절연체(130)의 측면과 일치하여도 좋다.

[0448] 도전체(246)는 절연체(286) 및 절연체(285)에 형성된 개구의 내부에서 도전체(240a)와 접하는 영역을 가진다. 도전체(246)는 배선 또는 단자로서 기능한다. 도전체(246)는 도전체(110)와 같은 층에 같은 재료로 형성되는 구성으로 하는 것이 바람직하다. 도 25의 (B)에 나타낸 바와 같이, 도전체(110)가 상술한 3층 적층 구조를 가지는 경우, 도전체(246)와 도전체(110)를 같은 재료를 사용하여 같은 층에 형성하면, 도전체(246)는 3층 적층 구조를 가진다.

[0449] 또한 도 25의 (B)에서는, 도전체(120)는 단층 구조를 가진다. 또한 도전체(120)는 도 23의 (B)에 나타낸 2층의 적층 구조를 가져도 좋고, 3층 이상의 적층 구조를 가져도 좋다. 또한 도전체(120)가 단층 구조를 가지는 경우, 도전체(120)는 상술한 도전체(120a) 또는 도전체(120b)에 적용할 수 있는 도전체를 사용하면 좋다. 또한 도전체(120)의 성막은 상술한 도전체(120a) 또는 도전체(120b)에 적용할 수 있는 방법을 사용하여 수행하면 좋다.

[0450] 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다. 또한 본 명세서에서, 하나의 실시형태에 복수의 구성예가 기재된 경우에는 구성예를 적절히 조합할 수 있다.

[0451] (실시형태 2)

[0452] 본 실시형태에서는 반도체 장치의 일 형태인 기억 장치를 도 26 및 도 27을 사용하여 설명한다.

[0453] [기억 장치 1]

[0454] 본 발명의 일 형태인 기억 장치의 일례를 도 26에 나타내었다. 본 발명의 일 형태의 기억 장치에서, 트랜지스터(200)는 트랜지스터(300)의 위쪽에 제공되고, 용량 소자(100)는 트랜지스터(300) 및 트랜지스터(200)의 위쪽에 제공되어 있다. 또한 트랜지스터(200)로서는 앞의 실시형태에서 설명한 트랜지스터(200)를 사용할 수 있다.

[0455] 트랜지스터(200)는 산화물 반도체를 가지는 반도체층에 채널이 형성되는 트랜지스터이다. 트랜지스터(200)는 오프 전류가 낮기 때문에, 이를 기억 장치에 사용함으로써 장기간에 걸쳐 기억 내용을 유지할 수 있다. 즉 리프레시 동작이 불필요하거나 리프레시 동작의 빈도가 매우 낮기 때문에, 기억 장치의 소비 전력을 충분히 저감시킬 수 있다.

[0456] 도 26에 나타낸 기억 장치에서, 배선(1001)은 트랜지스터(300)의 소스에 전기적으로 접속되고, 배선(1002)은 트랜지스터(300)의 드레인에 전기적으로 접속되고, 배선(1007)은 트랜지스터(300)의 게이트에 전기적으로 접속되어 있다. 또한 배선(1003)은 트랜지스터(200)의 소스 및 드레인 중 한쪽에 전기적으로 접속되고, 배선(1004)은

트랜지스터(200)의 제 1 게이트에 전기적으로 접속되고, 배선(1006)은 트랜지스터(200)의 제 2 게이트에 전기적으로 접속되어 있다. 그리고 트랜지스터(200)의 소스 및 드레인 중 다른 쪽은 용량 소자(100)의 한쪽 전극에 전기적으로 접속되고, 배선(1005)은 용량 소자(100)의 다른 쪽 전극에 전기적으로 접속되어 있다.

[0457] 또한 도 26에 나타낸 기억 장치는 매트릭스로 배치됨으로써, 메모리 셀 어레이를 구성할 수 있다.

[0458] 용량 소자(100)로서 앞의 실시형태에서 설명한 용량 소자(100)를 사용할 수 있다. 또한 용량 소자(100)로서 앞의 실시형태에서 설명한 용량 소자(100A)를 사용하여도 좋다. 용량 소자(100)로서 용량 소자(100A)를 사용하는 경우, 도 26에 나타낸 기억 장치는 강유전체 메모리를 가진다.

[0459] <트랜지스터(300)>

[0460] 트랜지스터(300)는 기판(311) 위에 제공되고, 게이트로서 기능하는 도전체(316)와, 게이트 절연체로서 기능하는 절연체(315)와, 기판(311)의 일부로 이루어지는 반도체 영역(313)과, 소스 영역 또는 드레인 영역으로서 기능하는 저저항 영역(314a) 및 저저항 영역(314b)을 가진다. 트랜지스터(300)는 p채널형 및 n채널형 중 어느 쪽이어도 좋다.

[0461] 여기서, 도 26에 나타낸 트랜지스터(300)에서는 채널이 형성되는 반도체 영역(313)(기판(311)의 일부)이 볼록 형상을 가진다. 또한 반도체 영역(313)의 측면 및 상면을 절연체(315)를 개재하여 도전체(316)가 덮도록 제공되어 있다. 또한 도전체(316)에는 일함수를 조정하는 재료를 사용하여도 좋다. 이와 같은 트랜지스터(300)는 반도체 기판의 볼록부를 이용하기 때문에 FIN형 트랜지스터라고도 불린다. 또한 볼록부의 상부와 접하여, 볼록부를 형성하기 위한 마스크로서 기능하는 절연체를 가져도 좋다. 또한 여기서는 반도체 기판의 일부를 가공하여 볼록부를 형성하는 경우를 나타내었지만 SOI 기판을 가공하여 볼록 형상을 가지는 반도체막을 형성하여도 좋다.

[0462] 또한 도 26에 나타낸 트랜지스터(300)는 일례이고, 그 구조에 한정되지 않고, 회로 구성 또는 구동 방법에 따라 적절한 트랜지스터를 사용하면 좋다.

[0463] <배선층>

[0464] 각 구조체 사이에는 층간막, 배선, 및 플러그 등이 제공된 배선층이 제공되어도 좋다. 또한 배선층은 설계에 따라 복수 층 제공할 수 있다. 여기서, 플러그 또는 배선으로서 기능하는 도전체에는, 복수의 구조를 합쳐서 동일한 부호를 부여하는 경우가 있다. 또한 본 명세서 등에서 배선과, 배선과 전기적으로 접속되는 플러그가 일체물이어도 좋다. 즉 도전체의 일부가 배선으로서 기능하는 경우, 그리고 도전체의 일부가 플러그로서 기능하는 경우도 있다.

[0465] 예를 들어 트랜지스터(300) 위에는 층간막으로서 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)가 이 순서대로 적층되어 제공되어 있다. 또한 절연체(320) 및 절연체(322)에는 도전체(328)가 매립되고, 절연체(324) 및 절연체(326)에는 도전체(330)가 매립되어 있다. 또한 도전체(328) 및 도전체(330)는 플러그 또는 배선으로서 기능한다.

[0466] 또한 층간막으로서 기능하는 절연체는 그 아래쪽의 요철 형상을 피복하는 평탄화막으로서 기능하여도 좋다. 예를 들어, 절연체(322)의 상면은, 평탄성을 높이기 위하여 CMP법 등을 사용한 평탄화 처리에 의하여 평탄화되어 있어도 좋다.

[0467] 절연체(326) 및 도전체(330) 위에 배선층을 제공하여도 좋다. 예를 들어 도 26에서는 절연체(350), 절연체(352), 및 절연체(354)가 이 순서대로 적층되어 제공되어 있다. 또한 절연체(350), 절연체(352), 및 절연체(354)에는 도전체(356)가 형성되어 있다. 도전체(356)는 플러그 또는 배선으로서 기능한다.

[0468] 이와 마찬가지로, 절연체(210), 절연체(215), 및 절연체(216)에는 도전체(218) 및 트랜지스터(200)를 구성하는 도전체(도전체(205))가 매립되어 있다. 또한 도전체(218)는 트랜지스터(300)에 전기적으로 접속되는 플러그 또는 배선으로서 기능한다.

[0469] 여기서, 앞의 실시형태에서 설명한 절연체(241a) 및 절연체(241b)와 마찬가지로, 도전체(218)의 측면에 접하여 절연체(217)가 제공된다. 절연체(217)는 절연체(210), 절연체(215), 및 절연체(216)에 형성된 개구부의 내벽과 접하여 제공되어 있다. 즉 절연체(217)는 도전체(218)와, 절연체(210), 절연체(215), 및 절연체(216) 사이에 제공되어 있다. 또한 도전체(205)는 도전체(218)와 병행하여 형성할 수 있기 때문에, 도전체(205)의 측면에 접하여 절연체(217)가 형성되는 경우도 있다.

[0470] 절연체(217)로서, 예를 들어 상술한 절연체(241a) 및 절연체(241b)에 적용할 수 있는 절연체를 사용하면 좋다. 절연체(217)는 절연체(215) 및 절연체(222)에 접하여 제공되기 때문에, 절연체(210) 또는 절연체(216) 등에 포함되는 물 또는 수소 등의 불순물이 도전체(218)를 통하여 산화물(230)에 혼입되는 것을 억제할 수 있다. 특히 질화 실리콘은 수소에 대한 차단성이 높기 때문에 적합하다. 또한 절연체(210) 또는 절연체(216)에 포함되는 산소가 도전체(218)에 흡수되는 것을 방지할 수 있다.

[0471] 절연체(217)는 상술한 절연체(241a) 및 절연체(241b)와 같은 방법으로 형성할 수 있다. 예를 들어 PEALD법을 사용하여 질화 실리콘을 성막하고, 이방성 에칭을 사용하여 도전체(356)에 도달하는 개구를 형성하면 좋다.

[0472] 층간막으로서 기능하는 절연체(210), 절연체(352), 및 절연체(354) 등으로서는, 절연체(150)에 사용할 수 있는 절연체를 사용하면 좋다.

[0473] 또한 산화물 반도체를 사용한 트랜지스터는 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로 둘러쌈으로써, 트랜지스터의 전기 특성을 안정적으로 할 수 있다. 따라서 절연체(215) 및 절연체(350) 등에는 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체를 사용하면 좋다.

[0474] 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로서는 예를 들어 붕소, 탄소, 질소, 산소, 플루오린, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄, 또는 탄탈럼을 포함하는 절연체를 단층으로 또는 적층하여 사용하면 좋다. 구체적으로는, 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로서 산화 알루미늄, 산화 마그네슘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 또는 산화 탄탈럼 등의 금속 산화물, 질화산화 실리콘, 또는 질화 실리콘 등을 사용할 수 있다.

[0475] 배선, 플러그에 사용할 수 있는 도전체에는 알루미늄, 크로뮴, 구리, 은, 금, 백금, 탄탈럼, 니켈, 타이타늄, 몰리브데넘, 텅스텐, 하프늄, 바나듐, 나이오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 루테늄 등 중에서 선택된 금속 원소를 1종류 이상 포함하는 재료를 사용할 수 있다. 또한 인 등의 불순물 원소를 함유시킨 다결정 실리콘으로 대표되는 전기 전도도가 높은 반도체, 니켈실리사이드 등의 실리사이드를 사용하여도 좋다.

[0476] 예를 들어 도전체(328), 도전체(330), 도전체(356), 도전체(218), 및 도전체(112) 등에는, 상기 재료로 형성되는 금속 재료, 합금 재료, 금속 질화물 재료, 또는 금속 산화물 재료 등의 도전성 재료를 단층으로 또는 적층하여 사용할 수 있다. 내열성과 도전성을 양립하는 텅스텐, 몰리브데넘 등의 고융점 재료를 사용하는 것이 바람직하고, 텅스텐을 사용하는 것이 바람직하다. 또는 알루미늄, 구리 등의 저저항 도전성 재료로 형성하는 것이 바람직하다. 저저항 도전성 재료를 사용함으로써 배선 저항을 낮출 수 있다.

[0477] <산화물 반도체가 제공된 층의 배선 또는 플러그>

[0478] 앞의 실시형태에서 설명한 바와 같이, 트랜지스터(200)는 절연체(215) 및 절연체(283)로 밀봉되어도 좋다. 이와 같은 구성으로 함으로써 절연체(274), 절연체(150) 등에 포함되는 수소가 절연체(280) 등에 혼입되는 것을 억제할 수 있다.

[0479] 또한 절연체(283)에는 도전체(240)가 관통되고, 절연체(215)에는 도전체(218)가 관통되어 있지만, 도 26에 나타낸 바와 같이 절연체(241)가 도전체(240)와 접하여 제공되고, 절연체(217)가 도전체(218)와 접하여 제공되어 있다. 절연체(241) 및 절연체(217)로서 수소에 대한 배리어 절연체를 사용함으로써 도전체(240) 및 도전체(218)를 통하여 절연체(215) 및 절연체(283)의 내측에 수소가 혼입되는 것을 억제할 수 있다. 이러한 식으로, 절연체(215), 절연체(283), 절연체(241), 및 절연체(217)로 트랜지스터(200)를 밀봉하여, 절연체(274) 등에 포함되는 수소 등의 불순물이 외측으로부터 혼입되는 것을 억제할 수 있다.

[0480] <다이싱 라인>

[0481] 이하에서는, 대면적 기판을 반도체 소자마다 분단함으로써 복수의 반도체 장치를 칩 형상으로 얻는 경우에 제공되는 다이싱 라인(스크라이브 라인, 분단 라인, 또는 절단 라인이라고 부르는 경우가 있음)에 대하여 설명한다. 분단 방법으로서는, 예를 들어 먼저 기판에 반도체 소자를 분단하기 위한 홈(다이싱 라인)을 형성한 후, 다이싱 라인을 따라 절단하여, 복수의 반도체 장치로 분단(분할)하는 경우가 있다.

[0482] 여기서, 예를 들어 도 26에 나타낸 바와 같이, 절연체(283)와 절연체(215)가 접하는 영역이 다이싱 라인에 겹치도록 설계하는 것이 바람직하다. 즉 복수의 트랜지스터(200)를 포함한 메모리 셀의 가장자리에 제공되는 다이싱 라인이 되는 영역 근방에서, 절연체(282), 절연체(280), 절연체(275), 절연체(222), 및 절연체(216)에 개구

를 제공한다.

[0483] 즉 절연체(282), 절연체(280), 절연체(275), 절연체(222), 및 절연체(216)에 제공된 개구에서 절연체(215)와 절연체(283)가 접한다.

[0484] 또한 예를 들어 절연체(282), 절연체(280), 절연체(275), 절연체(222), 절연체(216), 및 절연체(215)의 위층에 개구를 제공하여도 좋다. 이와 같은 구성으로 함으로써 절연체(282), 절연체(280), 절연체(275), 절연체(222), 절연체(216)에 제공된 개구에서 절연체(215)와 절연체(283)가 접한다. 이때 절연체(215)의 아래층 및 절연체(283)를 같은 재료 및 같은 방법을 사용하여 형성하여도 좋다. 절연체(215)의 아래층 및 절연체(283)를 같은 재료 및 같은 방법을 사용하여 제공함으로써, 밀착성을 높일 수 있다. 예를 들어 질화 실리콘을 사용하는 것이 바람직하다.

[0485] 상기 구조에 의하여 절연체(215) 및 절연체(283)로 트랜지스터(200)를 감쌀 수 있다. 절연체(215) 및 절연체(283) 중 적어도 하나는 산소, 수소, 및 물의 확산을 억제하는 기능을 가지기 때문에, 본 실시형태에 나타낸 반도체 소자가 형성된 회로 영역마다 기판을 분단함으로써 복수의 칩으로 가공하여도, 분단된 기판의 측면 방향으로부터 수소 또는 물 등의 불순물이 혼입되어 트랜지스터(200)로 확산되는 것을 방지할 수 있다.

[0486] 또한 상기 구조로 함으로써, 절연체(280)의 과잉 산소가 외부로 확산되는 것을 방지할 수 있다. 따라서 절연체(280)의 산소는 트랜지스터(200)의 채널 형성 영역에 효율적으로 공급된다. 상기 산소에 의하여 트랜지스터(200)의 채널 형성 영역의 산소 결손을 저감할 수 있다. 따라서 트랜지스터(200)에서 채널 형성 영역을 포함하는 산화물 반도체를 결함 준위 밀도가 낮고 안정적인 특성을 가지는 산화물 반도체로 할 수 있다. 즉 트랜지스터(200)의 전기 특성의 변동을 억제하면서 신뢰성을 향상시킬 수 있다.

[0487] [기억 장치 2]

[0488] 도 26에 나타낸 기억 장치와 다른 구성예를 도 27에 나타내었다. 또한 이하에 나타낸 기억 장치에서, 상술한 기억 장치를 구성하는 구조와 같은 기능을 가지는 구조에는, 같은 부호를 부기한다. 또한 이후에서는 상술한 기억 장치와 상이한 부분에 대하여 주로 설명하고, 중복되는 부분에 대해서는 설명을 생략한다.

[0489] 도 27은 기억 장치의 단면도이다. 도 27에 나타낸 기억 장치는 배선(1007)을 가지지 않는 점, 그리고 트랜지스터(300)의 게이트가 트랜지스터(200)의 소스 및 드레인 중 다른 쪽과 용량 소자(100)의 한쪽 전극에 전기적으로 접속된 점에서, 도 26에 나타낸 기억 장치와 다르다.

[0490] 도 27에 나타낸 기억 장치에서, 배선(1001)은 트랜지스터(300)의 소스에 전기적으로 접속되고, 배선(1002)은 트랜지스터(300)의 드레인에 전기적으로 접속되어 있다. 또한 배선(1003)은 트랜지스터(200)의 소스 및 드레인 중 한쪽에 전기적으로 접속되고, 배선(1004)은 트랜지스터(200)의 제 1 게이트에 전기적으로 접속되고, 배선(1006)은 트랜지스터(200)의 제 2 게이트에 전기적으로 접속되어 있다. 그리고 트랜지스터(300)의 게이트, 그리고 트랜지스터(200)의 소스 및 드레인 중 다른 쪽은 용량 소자(100)의 한쪽 전극에 전기적으로 접속되고, 배선(1005)은 용량 소자(100)의 다른 쪽 전극에 전기적으로 접속되어 있다.

[0491] 또한 도전체(316)는 도전체(328), 도전체(330), 도전체(356), 도전체(218), 및 도전체(240)를 통하여 용량 소자(100) 또는 트랜지스터(200)에 전기적으로 접속되어 있다.

[0492] 본 실시형태에 나타낸 기억 장치는 도 19의 (A)에 나타낸 복수의 트랜지스터(200)와 마찬가지로 메모리 셀을 xy 평면 위에서 매트릭스로 배치함으로써, 메모리 셀 어레이를 구성할 수 있다. 또한 본 실시형태에 나타낸 기억 장치는 메모리 셀 어레이를 적층하는 구성을 가져도 좋다. 복수의 메모리 셀 어레이를 적층함으로써, 메모리 셀 어레이의 점유 면적을 증대시키지 않고 메모리 셀을 집적하여 배치할 수 있다. 즉 3D 셀 어레이를 구성할 수 있다.

[0493] 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다. 또한 본 명세서에서, 하나의 실시형태에 복수의 구성예가 기재된 경우에는 구성예를 적절히 조합할 수 있다.

[0494] (실시형태 3)

[0495] 본 실시형태에서는, 도 28의 (A) 내지 도 31의 (C)를 사용하여 본 발명의 일 형태에 따른 산화물을 반도체에 사용한 트랜지스터(이하, OS 트랜지스터라고 부르는 경우가 있음) 및 용량 소자가 적용된 기억 장치(이하, OS 메모리 장치라고 부르는 경우가 있음)에 대하여 설명한다. OS 메모리 장치는 적어도 용량 소자와, 용량 소자의 충방전을 제어하는 OS 트랜지스터를 가지는 기억 장치이다. OS 트랜지스터의 오프 전류는 매우 낮기 때문에,

OS 메모리 장치는 유지 특성이 우수하고 비휘발성 메모리로서 기능할 수 있다.

[0496] <기억 장치의 구성예>

[0497] 도 28의 (A)에 OS 메모리 장치의 구성의 일례를 나타내었다. 기억 장치(1400)는 주변 회로(1411) 및 메모리 셀 어레이(1470)를 가진다. 주변 회로(1411)는 행 회로(1420), 열 회로(1430), 출력 회로(1440), 및 컨트롤 로직 회로(1460)를 가진다.

[0498] 열 회로(1430)는 예를 들어 열 디코더, 프리차지 회로, 감지 증폭기, 기록 회로 등을 가진다. 프리차지 회로는, 배선을 프리차지하는 기능을 가진다. 감지 증폭기는 메모리 셀로부터 판독된 데이터 신호를 증폭하는 기능을 가진다. 또한 상기 배선은 메모리 셀 어레이(1470)가 가지는 메모리 셀에 접속되는 배선이고, 자세한 것은 후술한다. 증폭된 데이터 신호는 출력 회로(1440)를 통하여 데이터 신호(RDATA)로서 기억 장치(1400)의 외부에 출력된다. 또한 행 회로(1420)는 예를 들어 행 디코더, 워드선 드라이버 회로 등을 가지고, 액세스하는 행을 선택할 수 있다.

[0499] 기억 장치(1400)에는 외부로부터 전원 전압으로서 저전원 전압(VSS), 주변 회로(1411)용 고전원 전압(VDD), 메모리 셀 어레이(1470)용 고전원 전압(VIL)이 공급된다. 또한 기억 장치(1400)에는 제어 신호(CE, WEN, RES), 어드레스 신호(ADDR), 데이터 신호(WDATA)가 외부로부터 입력된다. 어드레스 신호(ADDR)는 행 디코더 및 열 디코더에 입력되고, 데이터 신호(WDATA)는 기록 회로에 입력된다.

[0500] 컨트롤 로직 회로(1460)는 외부로부터 입력되는 제어 신호(CE, WEN, RES)를 처리하여, 행 디코더, 열 디코더의 제어 신호를 생성한다. 제어 신호(CE)는 칩 인에이블 신호이고, 제어 신호(WEN)는 기록 인에이블 신호이고, 제어 신호(RES)는 판독 인에이블 신호이다. 컨트롤 로직 회로(1460)가 처리하는 신호는 이들에 한정되지 않고, 필요에 따라 다른 제어 신호를 입력하면 좋다.

[0501] 메모리 셀 어레이(1470)는 매트릭스로 배치된 복수의 메모리 셀(MC)과 복수의 배선을 가진다. 또한 메모리 셀 어레이(1470)와 행 회로(1420)를 접속한 배선의 개수는 메모리 셀(MC)의 구성, 1렬에 가지는 메모리 셀(MC)의 개수 등에 따라 결정된다. 또한 메모리 셀 어레이(1470)와 열 회로(1430)를 접속하는 배선의 개수는, 메모리 셀(MC)의 구성, 1행에 가지는 메모리 셀(MC)의 개수 등에 따라 결정된다.

[0502] 또한 도 28의 (A)에는 주변 회로(1411)와 메모리 셀 어레이(1470)를 동일한 평면에 형성하는 예를 나타내었지만, 본 실시형태는 이에 한정되지 않는다. 예를 들어 도 28의 (B)에 나타낸 바와 같이, 주변 회로(1411)의 일부 위에 중첩되도록 메모리 셀 어레이(1470)가 제공되어도 좋다. 예를 들어 메모리 셀 어레이(1470) 아래에 중첩되도록 감지 증폭기를 제공하는 구성으로 하여도 좋다. OS 트랜지스터는 기억 장치의 배선을 형성하는 BEOL(Back end of line) 공정 중에 형성할 수 있다. 따라서 메모리 셀 어레이(1470)에 OS 트랜지스터를 사용하고, 메모리 셀 어레이(1470) 아래에 중첩되는 주변 회로(1411)에 Si 트랜지스터를 사용하는 경우, Si 트랜지스터의 위쪽에 직접 OS 트랜지스터를 형성하는 기술(BEOL-Tr 기술이라고 부름)을 적용할 수 있다.

[0503] 또한 메모리 셀 어레이(1470)를 복수로 적층시키는 구성으로 하여도 좋다. 복수의 메모리 셀 어레이(1470)를 적층함으로써, 메모리 셀 어레이(1470)의 점유 면적을 증대시키지 않고 메모리 셀을 집적하여 배치할 수 있다. 즉 3D 셀 어레이를 구성할 수 있다. 이러한 식으로 메모리 셀을 고집적화하여 기억 용량이 큰 반도체 장치를 제공할 수 있다. 또한 OS 트랜지스터를 포함하는 층은 모놀리식으로 적층할 수 있기 때문에 적합하다.

[0504] 또한 본 실시형태에서 설명한 주변 회로(1411), 메모리 셀 어레이(1470) 등의 구성은 상기에 한정되지 않는다. 이들 회로 및 상기 회로에 접속되는 배선, 회로 소자 등의 배치 또는 기능은 필요에 따라 변경, 삭제, 또는 추가되어도 좋다. 본 발명의 일 형태의 기억 장치는 동작 속도가 빠르고 장기간에 걸쳐 데이터를 유지할 수 있다.

[0505] 도 29의 (A) 내지 (I), 및 도 31의 (A)는 상술한 메모리 셀(MC)에 적용할 수 있는 메모리 셀의 구성예를 설명하기 위한 것이다.

[0506] [DOSRAM]

[0507] 도 29의 (A) 내지 (C)에 DRAM의 메모리 셀의 회로 구성예를 나타내었다. 본 명세서 등에서는, 하나의 OS 트랜지스터와 하나의 용량 소자를 포함하는 메모리 셀을 사용한 DRAM을 DOSRAM(Dynamic Oxide Semiconductor Random Access Memory)이라고 부르는 경우가 있다. 도 29의 (A)에 나타낸 메모리 셀(1471)은 트랜지스터(M1)와 용량 소자(CA)를 가진다. 또한 트랜지스터(M1)는 게이트(톱 게이트라고 부르는 경우가 있음) 및 백 게이트

를 가진다.

[0508] 트랜지스터(M1)의 제 1 단자는 용량 소자(CA)의 제 1 단자에 접속되고, 트랜지스터(M1)의 제 2 단자는 배선(BIL)에 접속되고, 트랜지스터(M1)의 게이트는 배선(WOL)에 접속되고, 트랜지스터(M1)의 백 게이트는 배선(BGL)에 접속되어 있다. 용량 소자(CA)의 제 2 단자는 배선(LL)에 접속되어 있다.

[0509] 배선(BIL)은 비트선으로서 기능하고, 배선(WOL)은 워드선으로서 기능한다. 배선(LL)은 용량 소자(CA)의 제 2 단자에 소정의 전위를 인가하기 위한 배선으로서 기능한다. 데이터의 기록 시 및 판독 시, 배선(LL)의 전위는 접지 전위로 하여도 좋고, 저레벨 전위로 하여도 좋다. 배선(BGL)은 트랜지스터(M1)의 백 게이트에 전위를 인가하기 위한 배선으로서 기능한다. 배선(BGL)에 임의의 전위를 인가함으로써, 트랜지스터(M1)의 문턱 전압을 증감시킬 수 있다.

[0510] 여기서, 도 29의 (A)에 나타낸 메모리 셀(1471)은 도 26에 나타낸 기억 장치에 대응한다. 즉 트랜지스터(M1)는 트랜지스터(200)에 대응하고, 용량 소자(CA)는 용량 소자(100)에 대응한다.

[0511] 또한 메모리 셀(MC)은 메모리 셀(1471)에 한정되지 않고, 회로 구성을 변경할 수 있다. 예를 들어 메모리 셀(MC)은 도 29의 (B)에 나타낸 메모리 셀(1472)과 같이 트랜지스터(M1)의 백 게이트가 배선(BGL)이 아니라 배선(WOL)에 접속되는 구성으로 하여도 좋다. 또한 예를 들어 메모리 셀(MC)은 도 29의 (C)에 나타낸 메모리 셀(1473)과 같이 싱글 게이트 구조의 트랜지스터, 즉 백 게이트를 가지지 않는 트랜지스터(M1)로 구성된 메모리 셀이어도 좋다.

[0512] 앞의 실시형태에서 설명한 반도체 장치를 메모리 셀(1471) 등에 사용하는 경우, 트랜지스터(M1)로서 트랜지스터(200)를 사용하고, 용량 소자(CA)로서 용량 소자(100)를 사용할 수 있다. 트랜지스터(M1)로서 OS 트랜지스터를 사용함으로써, 트랜지스터(M1)의 누설 전류를 매우 낮게 할 수 있다. 즉 기록한 데이터가 트랜지스터(M1)에 의하여 장시간 유지될 수 있기 때문에, 메모리 셀의 리프레시 빈도를 줄일 수 있다. 또는 메모리 셀의 리프레시 동작을 불필요하게 할 수 있다. 또한 누설 전류가 매우 낮기 때문에, 메모리 셀(1471), 메모리 셀(1472), 메모리 셀(1473)에서 멀티레벨 데이터 또는 아날로그 데이터를 유지할 수 있다.

[0513] 또한 DOSRAM에서, 상술한 바와 같이 메모리 셀 어레이(1470) 아래에 중첩되도록 감지 증폭기를 제공하면, 비트선을 짧게 할 수 있다. 이로써 비트선 용량이 작아져, 메모리 셀의 유지 용량을 저감할 수 있다.

[0514] [NOSRAM]

[0515] 도 29의 (D) 내지 (G)에 2 트랜지스터 1 용량 소자의 게인 셀형 메모리 셀의 회로 구성예를 나타내었다. 도 29의 (D)에 나타낸 메모리 셀(1474)은 트랜지스터(M2)와, 트랜지스터(M3)와, 용량 소자(CB)를 가진다. 또한 트랜지스터(M2)는 톱 게이트(단순히 게이트라고 부르는 경우가 있음) 및 백 게이트를 가진다. 본 명세서 등에서는, 트랜지스터(M2)로서 OS 트랜지스터를 사용한 게인 셀형 메모리 셀을 가진 기억 장치를 NOSRAM(Nonvolatile Oxide Semiconductor RAM)이라고 부르는 경우가 있다.

[0516] 트랜지스터(M2)의 제 1 단자는 용량 소자(CB)의 제 1 단자에 접속되고, 트랜지스터(M2)의 제 2 단자는 배선(WBL)에 접속되고, 트랜지스터(M2)의 게이트는 배선(WOL)에 접속되고, 트랜지스터(M2)의 백 게이트는 배선(BGL)에 접속되어 있다. 용량 소자(CB)의 제 2 단자는 배선(CAL)에 접속되어 있다. 트랜지스터(M3)의 제 1 단자는 배선(RBL)에 접속되고, 트랜지스터(M3)의 제 2 단자는 배선(SL)에 접속되고, 트랜지스터(M3)의 게이트는 용량 소자(CB)의 제 1 단자에 접속되어 있다.

[0517] 배선(WBL)은 기록 비트선으로서 기능하고, 배선(RBL)은 판독 비트선으로서 기능하고, 배선(WOL)은 워드선으로서 기능한다. 배선(CAL)은 용량 소자(CB)의 제 2 단자에 소정의 전위를 인가하기 위한 배선으로서 기능한다. 데이터의 기록 시 및 데이터의 판독 시, 배선(CAL)에는 고레벨 전위를 인가하는 것이 바람직하다. 또한 데이터 유지 중 배선(CAL)에는 저레벨 전위를 인가하는 것이 바람직하다. 배선(BGL)은 트랜지스터(M2)의 백 게이트에 전위를 인가하기 위한 배선으로서 기능한다. 배선(BGL)에 임의의 전위를 인가함으로써, 트랜지스터(M2)의 문턱 전압을 증감시킬 수 있다.

[0518] 여기서, 도 29의 (D)에 나타낸 메모리 셀(1474)은 도 27에 나타낸 기억 장치에 대응한다. 즉 트랜지스터(M2)는 트랜지스터(200)에 대응하고, 용량 소자(CB)는 용량 소자(100)에 대응하고, 트랜지스터(M3)는 트랜지스터(300)에 대응하고, 배선(WBL)은 배선(1003)에 대응하고, 배선(WOL)은 배선(1004)에 대응하고, 배선(BGL)은 배선(1006)에 대응하고, 배선(CAL)은 배선(1005)에 대응하고, 배선(RBL)은 배선(1002)에 대응하고, 배선(SL)은 배선(1001)에 대응한다.

[0519] 또한 메모리 셀(MC)은 메모리 셀(1474)에 한정되지 않고, 회로 구성을 적절히 변경할 수 있다. 예를 들어 메모리 셀(MC)은 도 29의 (E)에 나타낸 메모리 셀(1475)과 같이 트랜지스터(M2)의 백 게이트가 배선(BGL)이 아니라 배선(WOL)에 접속되는 구성으로 하여도 좋다. 또한 예를 들어 메모리 셀(MC)은 도 29의 (F)에 나타낸 메모리 셀(1476)과 같이 싱글 게이트 구조의 트랜지스터, 즉 백 게이트를 가지지 않는 트랜지스터(M2)로 구성된 메모리 셀이어도 좋다. 또한 예를 들어 메모리 셀(MC)은 도 29의 (G)에 나타낸 메모리 셀(1477)과 같이 배선(WBL)과 배선(RBL)을 하나의 배선(BIL)으로 합친 구성이어도 좋다.

[0520] 앞의 실시형태에서 설명한 반도체 장치를 메모리 셀(1474) 등에 사용하는 경우, 트랜지스터(M2)로서 트랜지스터(200)를 사용하고, 트랜지스터(M3)로서 트랜지스터(300)를 사용하고, 용량 소자(CB)로서 용량 소자(100)를 사용할 수 있다. 트랜지스터(M2)로서 OS 트랜지스터를 사용함으로써, 트랜지스터(M2)의 누설 전류를 매우 낮게 할 수 있다. 이에 의하여, 기록한 데이터가 트랜지스터(M2)에 의하여 장시간 유지될 수 있기 때문에, 메모리 셀의 리프레시 빈도를 줄일 수 있다. 또는 메모리 셀의 리프레시 동작을 불필요하게 할 수 있다. 또한 누설 전류가 매우 낮기 때문에, 메모리 셀(1474)에서 멀티레벨 데이터 또는 아날로그 데이터를 유지할 수 있다. 메모리 셀(1475) 내지 메모리 셀(1477)도 마찬가지이다.

[0521] 또한 트랜지스터(M3)는 채널 형성 영역에 실리콘을 포함한 트랜지스터(이하, Si 트랜지스터라고 부르는 경우가 있음)이어도 좋다. Si 트랜지스터의 도전형은 n채널형이어도 좋고, p채널형이어도 좋다. Si 트랜지스터는 OS 트랜지스터보다 전계 효과 이동도가 높은 경우가 있다. 따라서 판독 트랜지스터로서 기능하는 트랜지스터(M3)로서 Si 트랜지스터를 사용하여도 좋다. 또한 트랜지스터(M3)로서 Si 트랜지스터를 사용함으로써 트랜지스터(M3) 위에 적층하여 트랜지스터(M2)를 제공할 수 있기 때문에, 메모리 셀의 점유 면적을 감소시켜, 기억 장치의 고집적화를 이룰 수 있다.

[0522] 또한 트랜지스터(M3)는 OS 트랜지스터이어도 좋다. 트랜지스터(M2) 및 트랜지스터(M3)로서 OS 트랜지스터를 사용한 경우, 메모리 셀 어레이(1470)의 회로를 n채널형 트랜지스터만을 사용하여 구성할 수 있다.

[0523] 또한 도 29의 (H)에 3 트랜지스터 1 용량 소자의 게인 셀형 메모리 셀의 일례를 나타내었다. 도 29의 (H)에 나타낸 메모리 셀(1478)은 트랜지스터(M4) 내지 트랜지스터(M6) 및 용량 소자(CC)를 가진다. 용량 소자(CC)는 적절히 제공된다. 메모리 셀(1478)은 배선(BIL), 배선(RWL), 배선(WWL), 배선(BGL), 및 배선(GNDL)에 전기적으로 접속되어 있다. 배선(GNDL)은 저레벨 전위를 인가하는 배선이다. 또한 메모리 셀(1478)을 배선(BIL) 대신에 배선(RBL), 배선(WBL)에 전기적으로 접속하여도 좋다.

[0524] 트랜지스터(M4)는 백 게이트를 가지는 OS 트랜지스터이고, 백 게이트는 배선(BGL)에 전기적으로 접속되어 있다. 또한 트랜지스터(M4)의 백 게이트와 게이트를 서로 전기적으로 접속하여도 좋다. 또는 트랜지스터(M4)는 백 게이트를 가지지 않아도 된다.

[0525] 또한 트랜지스터(M5), 트랜지스터(M6)는 각각, n채널형 Si 트랜지스터 또는 p채널형 Si 트랜지스터이어도 좋다. 또는 트랜지스터(M4) 내지 트랜지스터(M6)가 OS 트랜지스터이어도 좋다. 이 경우, 메모리 셀 어레이(1470)의 회로를 n채널형 트랜지스터만을 사용하여 구성할 수 있다.

[0526] 앞의 실시형태에서 설명한 반도체 장치를 메모리 셀(1478)에 사용하는 경우, 트랜지스터(M4)로서 트랜지스터(200)를 사용하고, 트랜지스터(M5), 트랜지스터(M6)로서 트랜지스터(300)를 사용하고, 용량 소자(CC)로서 용량 소자(100)를 사용할 수 있다. 트랜지스터(M4)로서 OS 트랜지스터를 사용함으로써, 트랜지스터(M4)의 누설 전류를 매우 낮게 할 수 있다.

[0527] 또한 도 29의 (I)에 2 트랜지스터의 게인 셀형 메모리 셀의 일례를 나타내었다. 도 29의 (I)에 나타낸 메모리 셀(1479)은 트랜지스터(M7) 및 트랜지스터(M8)를 가진다. 메모리 셀(1479)은 배선(BIL), 배선(WWL), 배선(BGL), 및 배선(SL)에 전기적으로 접속된다.

[0528] 트랜지스터(M7)는 백 게이트를 가지는 OS 트랜지스터이고, 백 게이트는 배선(BGL)에 전기적으로 접속되어 있다. 또한 트랜지스터(M7)의 백 게이트와 게이트를 서로 전기적으로 접속하여도 좋다. 또는 트랜지스터(M7)는 백 게이트를 가지지 않아도 된다.

[0529] 도 29의 (I)에 나타낸 메모리 셀(1479)에서는 트랜지스터(M8)의 게이트 용량을 유지 용량으로서 사용한다. 즉 메모리 셀(1479)은 커패시터리스 메모리 셀이라고도 할 수 있다. 또한 메모리 셀(1479)은 도 29의 (G)에 나타낸 메모리 셀(1477)에서 용량 소자(CB)를 가지지 않는 구성으로 간주할 수 있고, 2 트랜지스터 0 용량 소자의 게인 셀형 메모리 셀이라고도 할 수 있다.

[0530] 트랜지스터(M7)로서 OS 트랜지스터를 사용함으로써 트랜지스터(M7)를 오프 상태로 함으로써, 트랜지스터(M7)의 소스 전극 및 드레인 전극 중 한쪽과, 트랜지스터(M8)의 게이트 전극이 전기적으로 접속된 노드의 전하가 매우 긴 시간에 걸쳐 유지될 수 있다. 따라서 비휘발성의 메모리 셀을 실현할 수 있다.

[0531] 트랜지스터(M8)는 n채널형 Si 트랜지스터 또는 p채널형 Si 트랜지스터이어도 좋다.

[0532] 앞의 실시형태에 나타낸 반도체 장치를 메모리 셀(1479)에 사용하는 경우, 트랜지스터(M7)로서 트랜지스터(200)를 사용하고, 트랜지스터(M8)로서 트랜지스터(300)를 사용할 수 있다. 트랜지스터(M7)로서 OS 트랜지스터를 사용함으로써, 트랜지스터(M7)의 누설 전류를 매우 낮게 할 수 있다.

[0533] 또는 트랜지스터(M8)는 OS 트랜지스터이어도 좋다. 이 경우, 메모리 셀 어레이(1470)의 회로를 n채널형 트랜지스터만을 사용하여 구성할 수 있다.

[0534] 앞의 실시형태에 나타낸 반도체 장치를 메모리 셀(1479)에 사용하는 경우, 트랜지스터(M7), 트랜지스터(M8)로서 트랜지스터(200)를 사용할 수 있다. 상기 구성으로 함으로써 트랜지스터(M7), 트랜지스터(M8)를 같은 층에 형성할 수 있게 된다. 따라서 트랜지스터(M7)와 트랜지스터(M8)를 다른 층에 제공하는 경우에 비하여 메모리 셀(1479)을 가지는 층을 적층할 때의 제작 공정이 간략화되어 생산성을 향상시킬 수 있다.

[0535] 트랜지스터(M7), 트랜지스터(M8)로서 트랜지스터(200)를 사용하는 경우, 트랜지스터(M7) 및 트랜지스터(M8)에 요구되는 특성에 맞추어 트랜지스터의 구성 요소(채널 길이, 채널 폭, 단면 형상 등을 포함함)를 적절히 설정하면 좋다.

[0536] 또한 트랜지스터(M8)에 사용하는 반도체 재료에 상관없이, 트랜지스터(M8)의 구조는 특별히 한정되지 않는다. 예를 들어 플레이너형 트랜지스터, 스태거형 트랜지스터, 역스태거형 트랜지스터 등을 사용할 수 있다. 또한 톱 게이트형 및 보텀 게이트형 중 어느 트랜지스터 구조로 하여도 좋다. 또는 채널이 형성되는 반도체층의 상하에 게이트가 제공되어도 좋다.

[0537] 상술한 바와 같이 메모리 셀 어레이(1470)를 복수로 적층시키는 구성으로 하여도 좋다. 복수의 메모리 셀 어레이(1470)를 적층함으로써, 메모리 셀 어레이(1470)의 점유 면적을 증대시키지 않고 메모리 셀을 집적하여 배치할 수 있다. 즉 3D 셀 어레이를 구성할 수 있다. 복수의 메모리 셀 어레이(1470)가 적층된 구성을 가지는 기억 장치의 일례를 도 30에 나타내었다.

[0538] 도 30에 나타낸 기억 장치는 트랜지스터(300)를 가지는 제 1 층과, 제 1 층 위의 메모리 셀 어레이(1470[1]) 내지 메모리 셀 어레이(1470[m])(도 30에서는 메모리 셀 어레이(1470[1]) 및 메모리 셀 어레이(1470[2])만을 도시하였음)를 가진다. 또한 도 30에 나타낸 기억 장치에서 절연체(326)보다 아래의 구성은 도 26에 나타낸 기억 장치와 마찬가지이다.

[0539] 메모리 셀 어레이(1470[1]) 내지 메모리 셀 어레이(1470[m])의 각각은 복수의 메모리 셀(MC)을 가진다. 또한 복수의 메모리 셀(MC)은 각각 트랜지스터(200)와 용량 소자(100)를 가진다. 여기서, 트랜지스터(200)는 앞의 실시형태에서 설명한 트랜지스터(200)에 대응하고, 용량 소자(100)는 앞의 실시형태에서 설명한 용량 소자(100) 또는 용량 소자(100A)에 대응한다. 또한 도 30에는, 트랜지스터(200) 및 용량 소자(100)로서 도 22에 나타낸 트랜지스터(200) 및 용량 소자(100)를 적용한 예를 나타내었다.

[0540] 제 1 층과 메모리 셀 어레이(1470) 사이, 또는 2개의 메모리 셀 어레이(1470) 사이에는, 층간막, 배선, 및 플러그 등이 제공된 배선층이 제공되어도 좋다. 또한 배선층은 설계에 따라 복수 층 제공할 수 있다. 또한 본 명세서 등에서 배선과, 배선과 전기적으로 접속되는 플러그가 일체물이어도 좋다. 즉 도전체의 일부가 배선으로서 기능하는 경우, 그리고 도전체의 일부가 플러그로서 기능하는 경우도 있다.

[0541] 절연체(326) 위쪽에 절연체(210)가 제공되고, 절연체(210)에 형성된 개구부 내측에 도전체(209)가 제공된다. 또한 절연체(210) 위에 절연체(215)가 제공된다. 절연체(215)에 형성된 개구부에는 메모리 셀 어레이(1470[1])에 제공된 도전체(240)의 일부가 매립되어 있다. 여기서, 절연체(210)로서는 절연체(216)에 적용할 수 있는 절연체를 사용할 수 있다.

[0542] 도전체(209)의 하면과 접하여 도전체(도시하지 않았음)가 제공되어 있다. 또한 도전체(209)의 상면은 메모리 셀 어레이(1470[1])에 제공된 도전체(240)의 하면에 접하여 제공된다. 이와 같은 구성으로 함으로써, 배선(BL)으로서 기능하는 도전체(240)를 메모리 셀 어레이(1470)의 아래쪽에 제공되는 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 및 다이오드 등의 회로 소자, 배선, 전극, 또는 단자에 전기적으로 접속할 수 있다.

[0543] 메모리 셀 어레이(1470[1]) 내지 메모리 셀 어레이(1470[m]) 각각은 복수의 메모리 셀(MC)을 포함한다. 각 메모리 셀(MC)이 가지는 도전체(240)는 위층의 도전체(240) 및 아래층의 도전체(240)와 전기적으로 접속된다.

[0544] 도 30에 나타낸 바와 같이, 인접한 메모리 셀(MC)에 있어서 도전체(240)가 공유된다. 또한 인접한 메모리 셀(MC)에 있어서 도전체(240)를 경계로 하여 오른쪽 구성과 왼쪽 구성이 대칭으로 배치된다.

[0545] 여기서 아래층(예를 들어 메모리 셀 어레이(1470[1])의 층)의 용량 소자(100)의 상부 전극으로서 기능하는 도전체(160)와, 위층(예를 들어 메모리 셀 어레이(1470[2])의 층)의 트랜지스터(200)의 제 2 게이트 전극으로서 기능하는 도전체(261)는 같은 층에 형성할 수 있다. 바꿔 말하면, 아래층의 용량 소자(100)의 도전체(160)와 위층의 트랜지스터(200)의 도전체(261)는 동일한 절연체(216)에 형성된 개구에 각각 매립되도록 형성할 수 있다. 아래층의 용량 소자(100)의 도전체(160) 및 위층의 트랜지스터(200)의 도전체(261)를 하나의 도전막을 가공하여 형성함으로써, 상술한 바와 같은 구성이 된다. 이때 아래층의 용량 소자(100)의 도전체(160)는 위층의 트랜지스터(200)의 도전체(261)와 동일한 재료를 포함한다.

[0546] 상술한 바와 같이, 아래층의 용량 소자(100)의 도전체(160)와 위층의 트랜지스터(200)의 도전체(261)를 동시에 형성함으로써, 본 실시형태에 따른 기억 장치의 제작 공정을 삭감하여 상기 기억 장치의 생산성을 향상시킬 수 있다.

[0547] 상술한 메모리 셀 어레이(1470)에서는, 복수의 메모리 셀 어레이(메모리 셀 어레이(1470[1]) 내지 메모리 셀 어레이(1470[m]))를 적층하여 제공할 수 있다. 메모리 셀 어레이(1470)에 포함되는 메모리 셀 어레이(1470[1]) 내지 메모리 셀 어레이(1470[m])를 기판 표면의 수직 방향으로 배치함으로써 메모리 셀의 메모리 밀도의 향상을 실현할 수 있다. 또한 메모리 셀 어레이(1470)는 같은 제조 공정을 반복적으로 사용하여 수직 방향으로 제작할 수 있다. 도 30에 나타낸 기억 장치는 메모리 셀 어레이(1470)의 제조 비용을 절감할 수 있다.

[0548] [강유전체 메모리]

[0549] 도 31의 (A)에 강유전체 커패시터를 사용한 메모리 셀의 회로 구성예를 나타내었다. 메모리 셀(1480)은 트랜지스터(M9)와 용량 소자(Cfe)를 가진다. 여기서 메모리 셀(1480)로서 도 23의 (A) 내지 도 25의 (B)에 나타낸 트랜지스터(200) 및 용량 소자(100A)를 가지는 반도체 장치를 사용할 수 있다. 이 경우, 트랜지스터(M9)는 트랜지스터(200)에 대응하고, 용량 소자(Cfe)는 용량 소자(100A)에 대응한다. 또한 트랜지스터(M9)는 백 게이트를 가져도 좋고, 가지지 않아도 된다.

[0550] 트랜지스터(M9)로서 앞의 실시형태에서 설명한 OS 트랜지스터를 사용하는 것이 바람직하다. OS 트랜지스터는 소스와 드레인 사이의 절연 내압이 높다는 특성을 가진다. 즉 OS 트랜지스터는 미소 고전압 디바이스라고 부를 수 있다. 따라서 트랜지스터(M9)를 OS 트랜지스터로 함으로써, 트랜지스터(M9)를 미세화하여도 트랜지스터(M9)에 고전압을 인가할 수 있다. 트랜지스터(M9)를 미세화함으로써 반도체 장치의 점유 면적을 작게 할 수 있다. 그러므로 반도체 장치를 고밀도로 배치할 수 있다. 따라서 기억 용량이 큰 기억 장치를 실현할 수 있다.

[0551] 트랜지스터(M9)의 소스 및 드레인 중 한쪽은 배선(BL)에 전기적으로 접속된다. 트랜지스터(M9)의 소스 및 드레인 중 다른 쪽은 용량 소자(Cfe)의 한쪽 전극에 전기적으로 접속된다. 트랜지스터(M9)의 게이트는 배선(WL)에 전기적으로 접속된다. 용량 소자(Cfe)의 다른 쪽 전극은 배선(PL)에 전기적으로 접속된다.

[0552] 배선(WL)은 워드선으로서의 기능을 가지고, 배선(WL)의 전위를 제어함으로써 트랜지스터(M9)의 온 상태와 오프 상태를 제어할 수 있다. 예를 들어, 배선(WL)의 전위를 고전위(H)로 함으로써 트랜지스터(M9)를 온 상태로 하고, 배선(WL)의 전위를 저전위(L)로 함으로써 트랜지스터(M9)를 오프 상태로 할 수 있다. 배선(WL)은 행 회로(1420)가 가지는 워드선 드라이버 회로와 전기적으로 접속되고, 워드선 드라이버 회로에 의하여 배선(WL)의 전위를 제어할 수 있다.

[0553] 배선(BL)은 비트선으로서의 기능을 가지고, 트랜지스터(M9)가 온 상태인 경우에 배선(BL)의 전위에 대응하는 전위가 용량 소자(Cfe)의 한쪽 전극에 공급된다. 배선(BL)은 열 회로(1430)의 비트선 드라이버 회로와 전기적으로 접속된다. 비트선 드라이버 회로는 메모리 셀(MC)에 기록되는 데이터를 생성하는 기능을 가진다. 또한 비트선 드라이버 회로는 메모리 셀(MC)로부터 출력된 데이터를 판독하는 기능을 가진다. 구체적으로는 비트선 드라이버 회로에는 감지 증폭기가 제공되고, 메모리 셀(MC)로부터 출력된 데이터를, 감지 증폭기를 사용하여 판독할 수 있다.

[0554] 배선(PL)은 플레이트선으로서의 기능을 가진다. 용량 소자(Cfe)의 다른 쪽 전극에는 배선(PL)을 통하여 전위가

공급된다.

[0555] 용량 소자(Cfe)는 2개의 전극 간에, 유전체층으로서 강유전성을 가질 수 있는 재료를 가진다. 강유전성을 가질 수 있는 재료로서는 상술한 절연체(130)에 적용할 수 있는 재료를 사용하면 좋다. 박막화가 가능한 강유전체층으로 함으로써, 미세화된 트랜지스터와 조합된 기억 장치로 할 수 있다. 이하에서는 용량 소자(Cfe)가 가지는 유전체층을 강유전체층이라고 부른다.

[0556] 용량 소자(Cfe)가 가지는 강유전체층은 히스테리시스 특성을 가진다. 도 31의 (B)는 상기 히스테리시스 특성의 일례를 나타내는 그래프이다. 도 31의 (B)에서 가로축은 강유전체층에 인가하는 전압을 나타낸다. 상기 전압은 예를 들어 용량 소자(Cfe)의 한쪽 전극의 전위와 용량 소자(Cfe)의 다른 쪽 전극의 전위의 차로 할 수 있다.

[0557] 또한 도 31의 (B)에서 세로축은 강유전체층의 분극을 나타내고, 양의 값인 경우에는 양 전하가 용량 소자(Cfe)의 한쪽 전극 측에 치우치고 음 전하가 용량 소자(Cfe)의 다른 쪽 전극 측에 치우치는 것을 나타낸다. 한편 분극이 음의 값인 경우에는 양 전하가 용량 소자(Cfe)의 다른 쪽 전극 측에 치우치고 음 전하가 용량 소자(Cfe)의 한쪽 전극 측에 치우치는 것을 나타낸다.

[0558] 또한 도 31의 (B)의 그래프의 가로축에 나타낸 전압을 용량 소자(Cfe)의 다른 쪽 전극의 전위와 용량 소자(Cfe)의 한쪽 전극의 전위의 차로 하여도 좋다. 또한 도 31의 (B)의 그래프의 세로축에 나타낸 분극을, 양 전하가 용량 소자(Cfe)의 다른 쪽 전극 측에 치우치고 음 전하가 용량 소자(Cfe)의 한쪽 전극 측에 치우치는 경우에 양의 값으로 하고, 양 전하가 용량 소자(Cfe)의 한쪽 전극 측에 치우치고 음 전하가 용량 소자(Cfe)의 다른 쪽 전극 측에 치우치는 경우에 음의 값으로 하여도 좋다.

[0559] 도 31의 (B)에 나타낸 바와 같이, 강유전체층의 히스테리시스 특성은 곡선(61)과 곡선(62)으로 나타낼 수 있다. 곡선(61)과 곡선(62)의 교점에서의 전압을 VSP 및 -VSP로 한다. VSP와 -VSP는 극성이 다르다고 할 수 있다.

[0560] 강유전체층에 -VSP 이하의 전압을 인가한 후, 강유전체층에 인가하는 전압을 높이면 강유전체층의 분극은 곡선(61)을 따라 증가된다. 한편으로 강유전체층에 VSP 이상의 전압을 인가한 후, 강유전체층에 인가하는 전압을 낮추면 강유전체층의 분극은 곡선(62)을 따라 감소된다. 따라서 VSP 및 -VSP는 각각 포화 분극 전압이라고 할 수 있다. 또한 예를 들어 VSP를 제 1 포화 분극 전압이라고 부르고, -VSP를 제 2 포화 분극 전압이라고 부르는 경우가 있다. 또한 도 31의 (B)에서는 제 1 포화 분극 전압의 절댓값과 제 2 포화 분극 전압의 절댓값이 동등한 경우를 나타내었지만 양자의 절댓값은 상이하여도 좋다.

[0561] 여기서, 강유전체층의 분극이 곡선(61)을 따라 변화할 때에 강유전체층의 분극이 0인 경우에 강유전체층에 인가되는 전압을 Vc로 한다. 또한 강유전체층의 분극이 곡선(62)을 따라 변화할 때에 강유전체층의 분극이 0인 경우에 강유전체층에 인가되는 전압을 -Vc로 한다. Vc 및 Vc는 각각 항전압이라고 할 수 있다. Vc의 값 및 Vc의 값은 -VSP와 VSP 사이의 값이라고 할 수 있다. 또한 예를 들어 Vc를 제 1 항전압이라고 부르고, -Vc를 제 2 항전압이라고 부르는 경우가 있다. 또한 도 31의 (B)에서는 제 1 항전압의 절댓값과 제 2 항전압의 절댓값을 동등한 것으로 하였지만 양자의 절댓값은 상이하여도 좋다.

[0562] 또한 강유전체층에 전압이 인가되지 않을 때의 분극의 최댓값을 "잔류 분극 Pr"라고 부르고, 최솟값을 "잔류 분극 -Pr"라고 부른다. 또한 잔류 분극 Pr와 잔류 분극 -Pr의 차를 "잔류 분극 2Pr"라고 부른다.

[0563] 상술한 바와 같이, 용량 소자(Cfe)가 가지는 강유전체층에 인가되는 전압은 용량 소자(Cfe)의 한쪽 전극의 전위와 용량 소자(Cfe)의 다른 쪽 전극의 전위의 차로 나타낼 수 있다. 또한 상술한 바와 같이, 용량 소자(Cfe)의 다른 쪽 전극은 배선(PL)과 전기적으로 접속된다. 따라서 배선(PL)의 전위를 제어함으로써, 용량 소자(Cfe)가 가지는 강유전체층에 인가되는 전압을 제어할 수 있다.

[0564] 도 31의 (A)에 나타낸 메모리 셀(1480)의 구동 방법의 일례에 대하여 설명한다. 이하의 설명에서, 용량 소자(Cfe)의 강유전체층에 인가되는 전압이란, 용량 소자(Cfe)의 한쪽 전극의 전위와 용량 소자(Cfe)의 다른 쪽 전극(배선(PL))의 전위의 차(전위차)이다. 또한 트랜지스터(M9)는 n채널형 트랜지스터로 한다.

[0565] 도 31의 (C)는 메모리 셀(1480)의 구동 방법예를 나타내는 타이밍 차트이다. 도 31의 (C)에는, 메모리 셀(1480)에 이진 디지털 데이터를 기록하고 판독하는 예를 나타내었다. 구체적으로, 도 31의 (C)에서는 시각 T01 내지 시각 T02에서 메모리 셀(1480)에 데이터 "1"을 기록하고, 시각 T03 내지 시각 T05에서 판독 및 재기록을 수행하고, 시각 T11 내지 시각 T13에서 판독 및 메모리 셀(1480)로의 데이터 "0"의 기록을 수행하고, 시각 T14 내지 시각 T16에서 판독 및 재기록을 수행하고, 시각 T17 내지 시각 T19에서 판독 및 메모리 셀(1480)로의 데이터 "1"의 기록을 수행하는 예를 나타내었다.

[0566] 배선(BL)과 전기적으로 접속되는 감지 증폭기에는 기준 전위로서 Vref가 공급되는 것으로 한다. 도 31의 (C) 등에 나타낸 판독 동작에 있어서, 배선(BL)의 전위가 Vref보다 높은 경우에는 비트선 드라이버 회로에 의하여 데이터 "1"이 판독되는 것으로 한다. 한편, 배선(BL)의 전위가 Vref보다 낮은 경우에는 비트선 드라이버 회로에 의하여 데이터 "0"이 판독되는 것으로 한다.

[0567] 시각 T01 내지 시각 T02에서, 배선(WL)의 전위를 고전위로 한다. 이로써 트랜지스터(M9)가 온 상태가 된다. 또한 배선(BL)의 전위를 Vw로 한다. 트랜지스터(M9)는 온 상태이기 때문에 용량 소자(Cfe)의 한쪽 전극의 전위는 Vw가 된다. 또한 배선(PL)의 전위를 GND로 한다. 이상에 의하여 용량 소자(Cfe)의 강유전체층에 인가되는 전압은 "Vw-GND"가 된다. 이에 의하여 메모리 셀(1480)에 데이터 "1"을 기록할 수 있다. 따라서 시각 T01 내지 시각 T02는 기록 동작을 수행하는 기간이라고 할 수 있다.

[0568] 여기서 Vw는 VSP 이상으로 하는 것이 바람직하고, 예를 들어 VSP와 동등하게 하는 것이 바람직하다. 또한 본 명세서 등에서 GND는 접지 전위이지만, 메모리 셀(1480)을 본 발명의 일 형태의 취지를 만족시키도록 구동시킬 수 있으면 반드시 접지 전위로 할 필요는 없다. 예를 들어 제 1 포화 분극 전압의 절댓값과 제 2 포화 분극 전압의 절댓값이 상이하고, 제 1 항전압의 절댓값과 제 2 항전압의 절댓값이 상이한 경우에는 GND를 접지 전위 이외의 전위로 할 수 있다.

[0569] 시각 T02 내지 시각 T03에서, 배선(BL)의 전위 및 배선(PL)의 전위를 GND로 한다. 이에 의하여 용량 소자(Cfe)의 강유전체층에 인가되는 전압은 0V가 된다. 시각 T01 내지 시각 T02에서 용량 소자(Cfe)의 강유전체층에 인가되는 전압 "Vw-GND"를 VSP 이상으로 할 수 있으므로, 시각 T02 내지 시각 T03에서 용량 소자(Cfe)의 강유전체층의 분극량은 도 31의 (B)에 나타낸 곡선(62)을 따라 변화한다. 이상에 의하여 시각 T02 내지 시각 T03에서는 용량 소자(Cfe)의 강유전체층에서 분극 반전은 발생하지 않는다.

[0570] 배선(BL)의 전위 및 배선(PL)의 전위를 GND로 한 후, 배선(WL)의 전위를 저전위로 한다. 이로써 트랜지스터(M9)는 오프 상태가 된다. 이에 의하여, 기록 동작이 완료되고, 메모리 셀(1480)에 데이터 "1"이 유지된다. 또한 배선(BL) 및 배선(PL)의 전위는 용량 소자(Cfe)의 강유전체층에서 분극 반전이 발생하지 않는, 즉 용량 소자(Cfe)의 강유전체층에 인가되는 전압이 제 2 항전압인 -Vc 이상이 되기만 하면 임의의 전위로 할 수 있다.

[0571] 시각 T03 내지 시각 T04에서, 배선(WL)의 전위를 고전위로 한다. 이로써 트랜지스터(M9)가 온 상태가 된다. 또한 배선(PL)의 전위를 Vw로 한다. 배선(PL)의 전위를 Vw로 함으로써, 용량 소자(Cfe)의 강유전체층에 인가되는 전압이 "GND-Vw"가 된다. 상술한 바와 같이, 시각 T01 내지 시각 T02에서 용량 소자(Cfe)의 강유전체층에 인가되는 전압은 "Vw-GND"이다. 따라서 용량 소자(Cfe)의 강유전체층에서 분극 반전이 발생한다. 분극 반전시에, 배선(BL)에 전류가 흘러 배선(BL)의 전위는 Vref보다 높게 된다. 따라서 비트선 드라이버 회로가 메모리 셀(1480)에 유지된 데이터 "1"을 판독할 수 있다. 따라서 시각 T03 내지 시각 T04는 판독 동작을 수행하는 기간이라고 할 수 있다. 또한 Vref는 GND보다 높고 Vw보다 낮은 것으로 하였지만 예를 들어 Vw보다 높아도 좋다.

[0572] 상기 판독은 파괴 판독이기 때문에 메모리 셀(1480)에 유지된 데이터 "1"은 상실된다. 그래서 시각 T04 내지 시각 T05에서, 배선(BL)의 전위를 Vw로 하고, 배선(PL)의 전위를 GND로 한다. 이에 의하여 메모리 셀(1480)에 데이터 "1"을 재기록한다. 따라서 시각 T04 내지 시각 T05는 재기록 동작을 수행하는 기간이라고 할 수 있다.

[0573] 시각 T05 내지 시각 T11에서, 배선(BL)의 전위 및 배선(PL)의 전위를 GND로 한다. 그 후, 배선(WL)의 전위를 저전위로 한다. 이에 의하여, 재기록 동작이 완료되고, 메모리 셀(1480)에 데이터 "1"이 유지된다.

[0574] 시각 T11 내지 시각 T12에서, 배선(WL)의 전위를 고전위로 하고, 배선(PL)의 전위를 Vw로 한다. 메모리 셀(1480)에는 데이터 "1"이 유지되기 때문에, 배선(BL)의 전위가 Vref보다 높게 되어, 메모리 셀(1480)에 유지된 데이터 "1"이 판독된다. 따라서 시각 T11 내지 시각 T12는 판독 동작을 수행하는 기간이라고 할 수 있다.

[0575] 시각 T12 내지 시각 T13에서, 배선(BL)의 전위를 GND로 한다. 트랜지스터(M9)는 온 상태이기 때문에 용량 소자(Cfe)의 한쪽 전극의 전위는 GND가 된다. 또한 배선(PL)의 전위를 Vw로 한다. 이상에 의하여 용량 소자(Cfe)의 강유전체층에 인가되는 전압은 "GND-Vw"가 된다. 이에 의하여 메모리 셀(1480)에 데이터 "0"을 기록할 수 있다. 따라서 시각 T12 내지 시각 T13은 기록 동작을 수행하는 기간이라고 할 수 있다.

[0576] 시각 T13 내지 시각 T14에서, 배선(BL)의 전위 및 배선(PL)의 전위를 GND로 한다. 이에 의하여 용량 소자(Cfe)의 강유전체층에 인가되는 전압은 0V가 된다. 시각 T12 내지 시각 T13에서 용량 소자(Cfe)의 강유전체층에 인가되는 전압 "GND-Vw"는 -VSP 이하로 할 수 있으므로, 시각 T13 내지 시각 T14에서 용량 소자(Cfe)의 강유전체층의 분극량은 도 31의 (B)에 나타낸 곡선(61)을 따라 변화한다. 이상에 의하여 시각 T13 내지 시각 T14에서

는 용량 소자(Cfe)의 강유전체층에서 분극 반전은 발생하지 않는다.

[0577] 배선(BL)의 전위 및 배선(PL)의 전위를 GND로 한 후, 배선(WL)의 전위를 저전위로 한다. 이로써 트랜지스터(M9)는 오프 상태가 된다. 이에 의하여, 기록 동작이 완료되고, 메모리 셀(1480)에 데이터 "0"이 유지된다. 또한 배선(BL) 및 배선(PL)의 전위는 용량 소자(Cfe)의 강유전체층에서 분극 반전이 발생하지 않는, 즉 용량 소자(Cfe)의 강유전체층에 인가되는 전압이 제 1 항전압인 Vc 이하가 되기만 하면 임의의 전위로 할 수 있다.

[0578] 시각 T14 내지 시각 T15에서, 배선(WL)의 전위를 고전위로 한다. 이로써 트랜지스터(M9)가 온 상태가 된다. 또한 배선(PL)의 전위를 Vw로 한다. 배선(PL)의 전위를 Vw로 함으로써, 용량 소자(Cfe)의 강유전체층에 인가되는 전압이 "GND-Vw"가 된다. 상술한 바와 같이, 시각 T12 내지 시각 T13에서 용량 소자(Cfe)의 강유전체층에 인가되는 전압은 "GND-Vw"이다. 따라서 용량 소자(Cfe)의 강유전체층에서 분극 반전이 발생하지 않는다. 따라서 배선(BL)에 흐르는 전류의 양은 용량 소자(Cfe)의 강유전체층에서 분극 반전이 발생하는 경우보다 작다. 이에 의하여 배선(BL)의 전위의 상승폭은 용량 소자(Cfe)의 강유전체층에서 분극 반전이 발생하는 경우보다 작게 되고, 구체적으로는 배선(BL)의 전위는 Vref 이하가 된다. 따라서 비트선 드라이버 회로가 메모리 셀(1480)에 유지된 데이터 "0"을 판독할 수 있다. 따라서 시각 T14 내지 시각 T15는 판독 동작을 수행하는 기간이라고 할 수 있다.

[0579] 시각 T15 내지 시각 T16에서, 배선(BL)의 전위를 GND로 하고, 배선(PL)의 전위를 Vw로 한다. 이에 의하여 메모리 셀(1480)에 데이터 "0"을 재기록한다. 따라서 시각 T15 내지 시각 T16은 재기록 동작을 수행하는 기간이라고 할 수 있다.

[0580] 시각 T16 내지 시각 T17에서, 배선(BL)의 전위 및 배선(PL)의 전위를 GND로 한다. 그 후, 배선(WL)의 전위를 저전위로 한다. 이에 의하여, 재기록 동작이 완료되고, 메모리 셀(1480)에 데이터 "0"이 유지된다.

[0581] 시각 T17 내지 시각 T18에서, 배선(WL)의 전위를 고전위로 하고, 배선(PL)의 전위를 Vw로 한다. 메모리 셀(1480)에는 데이터 "0"이 유지되기 때문에, 배선(BL)의 전위가 Vref보다 낮게 되어, 메모리 셀(1480)에 유지된 데이터 "0"이 판독된다. 따라서 시각 T17 내지 시각 T18은 판독 동작을 수행하는 기간이라고 할 수 있다.

[0582] 시각 T18 내지 시각 T19에서, 배선(BL)의 전위를 Vw로 한다. 트랜지스터(M9)는 온 상태이기 때문에 용량 소자(Cfe)의 한쪽 전극의 전위는 Vw가 된다. 또한 배선(PL)의 전위를 GND로 한다. 이상에 의하여 용량 소자(Cfe)의 강유전체층에 인가되는 전압은 "Vw-GND"가 된다. 이에 의하여 메모리 셀(1480)에 데이터 "1"을 기록할 수 있다. 따라서 시각 T18 내지 시각 T19는 기록 동작을 수행하는 기간이라고 할 수 있다.

[0583] 시각 T19 이후에 있어서, 배선(BL)의 전위 및 배선(PL)의 전위를 GND로 한다. 그 후, 배선(WL)의 전위를 저전위로 한다. 이에 의하여, 기록 동작이 완료되고, 메모리 셀(1480)에 데이터 "1"이 유지된다.

[0584] 용량 소자(Cfe)에 강유전체층을 사용한 반도체 장치는 전력 공급이 정지되어도, 기록된 정보를 유지할 수 있는 비휘발성 기억 소자로서 기능한다.

[0585] 또한 DRAM에서는 정기적인 리프레시 동작이 필요하기 때문에 소비 전력이 증가한다. 용량 소자(Cfe)에 강유전체층을 사용한 반도체 장치는 리프레시 동작이 불필요하기 때문에 소비 전력을 저감할 수 있다.

[0586] 본 명세서 등에서 강유전체층을 포함한 기억 소자 또는 기억 회로를 "강유전체 메모리" 또는 "FE 메모리"라고 부르는 경우가 있다. 그러므로 본 발명의 일 형태의 반도체 장치는 강유전체 메모리이고, FE 메모리이기도 하다. FE 메모리는 1×10^{10} 이상, 바람직하게는 1×10^{12} 이상, 더 바람직하게는 1×10^{15} 이상의 재기록 횟수의 실현을 기대할 수 있다. 또한 FE 메모리는 10MHz 이상, 바람직하게는 1GHz 이상의 동작 주파수의 실현을 기대할 수 있다.

[0587] 또한 FE 메모리에서 잔류 분극 2Pr와 데이터 유지 능력에는 상관이 있고, 잔류 분극 2Pr가 작아지면 데이터 유지 능력이 저하된다. 본 명세서 등에서는, 잔류 분극 2Pr가 5% 저하되기(데이터 유지 능력이 5% 저하되기)까지의 기간을 "메모리 유지 기간"이라고 부른다. FE 메모리는 150℃ 또는 200℃의 온도 환경하에서 10일 이상, 바람직하게는 1년 이상, 더 바람직하게는 10년 이상의 메모리 유지 기간의 실현을 기대할 수 있다.

[0588] 또한 FE 메모리는 CPU, GPU(Graphics Processing Unit) 등의 캐시 메모리 및 레지스터 등에도 적용할 수 있다. CPU의 캐시 메모리 및 레지스터 등에 FE 메모리를 조합함으로써, 노멀리 오프 CPU(NoffCPU(등록 상표))를 실현할 수 있다. GPU의 캐시 메모리 및 레지스터 등에 FE 메모리를 조합함으로써, 노멀리 오프 GPU(NoffGPU(등록 상표))를 실현할 수 있다.

[0589] 본 실시형태에 나타낸 구성, 방법 등은 본 실시형태에 나타낸 다른 구성, 방법, 다른 실시형태에 나타낸 구성, 방법 등과 적절히 조합하여 사용할 수 있다.

[0590] (실시형태 4)

[0591] 본 실시형태에서는 도 32의 (A) 및 (B)를 사용하여 본 발명의 반도체 장치가 실장된 칩(1200)의 일례에 대하여 설명한다. 칩(1200)에는 복수의 회로(시스템)가 실장되어 있다. 이와 같이, 복수의 회로(시스템)를 하나의 칩에 집적하는 기술을 시스템 온 칩(System on Chip: SoC)이라고 부르는 경우가 있다.

[0592] 도 32의 (A)에 나타낸 바와 같이 칩(1200)은 CPU(1211), GPU(1212), 하나 또는 복수의 아날로그 연산부(1213), 하나 또는 복수의 메모리 컨트롤러(1214), 하나 또는 복수의 인터페이스(1215), 하나 또는 복수의 네트워크 회로(1216) 등을 가진다.

[0593] 칩(1200)에는 범프(도시하지 않았음)가 제공되고, 도 32의 (B)에 나타낸 바와 같이 패키지 기판(1201)의 제 1 면에 접속된다. 또한 패키지 기판(1201)의 제 1 면의 뒷면에는 복수의 범프(1202)가 제공되고 머더보드(1203)에 접속된다.

[0594] 머더보드(1203)에는 DRAM(1221), 플래시 메모리(1222) 등의 기억 장치가 제공되어도 좋다. 예를 들어 DRAM(1221)으로서 앞의 실시형태에서 설명한 DOSRAM을 사용할 수 있다. 또한 예를 들어 플래시 메모리(1222)로서 앞의 실시형태에서 설명한 NOSRAM을 사용할 수 있다.

[0595] CPU(1211)는 복수의 CPU 코어를 가지는 것이 바람직하다. 또한 GPU(1212)는 복수의 GPU 코어를 가지는 것이 바람직하다. 또한 CPU(1211) 및 GPU(1212)는 각각 데이터를 일시적으로 저장하는 메모리를 가져도 좋다. 또는 CPU(1211) 및 GPU(1212)에 공통된 메모리가 칩(1200)에 제공되어도 좋다. 상기 메모리로서는 상술한 NOSRAM 또는 DOSRAM을 사용할 수 있다. 또한 GPU(1212)는 다수의 데이터의 병렬 계산에 적합하고 화상 처리 또는 적화 연산(product-sum operation)에 사용할 수 있다. GPU(1212)에 본 발명의 산화물 반도체를 사용한 화상 처리 회로 또는 적화 연산 회로를 제공함으로써, 화상 처리 및 적화 연산을 낮은 소비 전력으로 실행할 수 있다.

[0596] 또한 CPU(1211) 및 GPU(1212)가 동일한 칩에 제공되면, CPU(1211)와 GPU(1212) 간의 배선을 짧게 할 수 있기 때문에, CPU(1211)로부터 GPU(1212)로의 데이터 전송(轉送), CPU(1211) 및 GPU(1212)가 가지는 메모리 간의 데이터 전송, 그리고 GPU(1212)에서의 연산 후의, GPU(1212)로부터 CPU(1211)로의 연산 결과의 전송을 고속으로 수행할 수 있다.

[0597] 아날로그 연산부(1213)는 A/D(아날로그/디지털) 변환 회로 및 D/A(디지털/아날로그) 변환 회로 중 한쪽 또는 양쪽을 가진다. 또한 아날로그 연산부(1213)에 상기 적화 연산 회로를 제공하여도 좋다.

[0598] 메모리 컨트롤러(1214)는 DRAM(1221)의 컨트롤러로서 기능하는 회로 및 플래시 메모리(1222)의 인터페이스로서 기능하는 회로를 가진다.

[0599] 인터페이스(1215)는 표시 장치, 스피커, 마이크로폰, 카메라, 컨트롤러 등의 외부 접속 기기와의 인터페이스 회로를 가진다. 컨트롤러에는 마우스, 키보드, 게임용 컨트롤러 등이 포함된다. 이와 같은 인터페이스로서 USB(Universal Serial Bus), HDMI(등록 상표)(High-Definition Multimedia Interface) 등을 사용할 수 있다.

[0600] 네트워크 회로(1216)는 LAN(Local Area Network) 등의 네트워크 회로를 가진다. 또한 네트워크 보안용 회로를 가져도 좋다.

[0601] 칩(1200)에는 상기 회로(시스템)를 동일한 제조 공정으로 형성할 수 있다. 그러므로 칩(1200)에 필요한 회로의 개수가 증가하여도 제조 공정을 증가시킬 필요가 없어, 칩(1200)을 낮은 비용으로 제작할 수 있다.

[0602] GPU(1212)를 가지는 칩(1200)이 제공된 패키지 기판(1201), DRAM(1221), 및 플래시 메모리(1222)가 제공된 머더보드(1203)를 GPU 모듈(1204)이라고 부를 수 있다.

[0603] GPU 모듈(1204)은 SoC 기술을 사용한 칩(1200)을 가지기 때문에 그 크기를 작게 할 수 있다. 또한 화상 처리에 뛰어나기 때문에 스마트폰, 태블릿 단말기, 랩톱 PC, 휴대용(들고 다닐 수 있는) 게임기 등의 휴대용 전자 기기에 사용하는 것이 적합하다. 또한 GPU(1212)를 사용한 적화 연산 회로에 의하여, 심층 신경망(DNN), 합성곱 신경망(CNN), 순환 신경망(RNN), 자기 부호화기, 심층 볼츠만 머신(DBM), 심층 신뢰 신경망(DBN) 등의 방법을 실행할 수 있기 때문에, 칩(1200)을 AI 칩으로서, 또는 GPU 모듈(1204)을 AI 시스템 모듈로서 사용할 수 있다.

[0604] 본 실시형태에 기재된 구성, 방법 등은 적어도 그 일부를 본 명세서에 기재된 다른 실시형태, 다른 실시예 등과

적절히 조합하여 실시할 수 있다.

[0605] (실시형태 5)

[0606] 본 실시형태에서는, 앞의 실시형태에서 설명한 기억 장치를 사용한 반도체 장치의 응용예에 대하여 설명한다. 앞의 실시형태에서 설명한 기억 장치는 메모리 카드(예를 들어 SD 카드), USB 메모리, SSD(Solid State Drive) 등의 각종 리무버블 기억 장치에 적용할 수 있다. 도 33의 (A) 내지 (E)에 리무버블 기억 장치의 몇 가지 구성예를 모식적으로 나타내었다. 예를 들어 앞의 실시형태에서 설명한 반도체 장치는 패키징된 메모리 칩으로 가공되고, 다양한 기억 장치, 리무버블 메모리에 사용된다.

[0607] 도 33의 (A)는 USB 메모리의 모식도이다. USB 메모리(1100)는 하우징(1101), 캡(1102), USB 커넥터(1103), 및 기판(1104)을 가진다. 기판(1104)은 하우징(1101)에 수납되어 있다. 예를 들어 기판(1104)에는 메모리 칩(1105), 컨트롤러 칩(1106)이 장착되어 있다. 메모리 칩(1105) 등에 앞의 실시형태에서 설명한 기억 장치 또는 반도체 장치를 제공할 수 있다.

[0608] 도 33의 (B)는 SD 카드의 외관의 모식도이고, 도 33의 (C)는 SD 카드의 내부 구조의 모식도이다. SD 카드(1110)는 하우징(1111), 커넥터(1112), 및 기판(1113)을 가진다. 기판(1113)은 하우징(1111)에 수납되어 있다. 예를 들어 기판(1113)에는 메모리 칩(1114), 컨트롤러 칩(1115)이 장착되어 있다. 기판(1113)의 뒷면 측에도 메모리 칩(1114)을 제공함으로써, SD 카드(1110)의 용량을 증가시킬 수 있다. 또한 무선 통신 기능을 가지는 무선 칩을 기판(1113)에 제공하여도 좋다. 이로써, 호스트 장치와 SD 카드(1110) 사이의 무선 통신에 의하여 메모리 칩(1114)의 데이터의 판독, 기록이 가능하게 된다. 메모리 칩(1114) 등에 앞의 실시형태에서 설명한 기억 장치 또는 반도체 장치를 제공할 수 있다.

[0609] 도 33의 (D)는 SSD의 외관의 모식도이고, 도 33의 (E)는 SSD의 내부 구조의 모식도이다. SSD(1150)는 하우징(1151), 커넥터(1152), 및 기판(1153)을 가진다. 기판(1153)은 하우징(1151)에 수납되어 있다. 예를 들어 기판(1153)에는 메모리 칩(1154), 메모리 칩(1155), 컨트롤러 칩(1156)이 장착되어 있다. 메모리 칩(1155)은 컨트롤러 칩(1156)의 작업 메모리이고, 예를 들어 DOSRAM 칩을 사용하면 좋다. 기판(1153)의 뒷면 측에도 메모리 칩(1154)을 제공함으로써, SSD(1150)의 용량을 증가시킬 수 있다. 메모리 칩(1154) 등에 앞의 실시형태에서 설명한 기억 장치 또는 반도체 장치를 제공할 수 있다.

[0610] 본 실시형태는 다른 실시형태 등에 기재된 구성과 적절히 조합하여 실시할 수 있다.

[0611] (실시형태 6)

[0612] 본 실시형태에서는 채널 형성 영역에 산화물 반도체를 가지는 트랜지스터(OS 트랜지스터)에 대하여 설명한다. 또한 OS 트랜지스터의 설명에서 채널 형성 영역에 실리콘을 가지는 트랜지스터(Si 트랜지스터라고도 함)와의 비교에 대해서도 간단하게 설명한다.

[0613] [OS 트랜지스터]

[0614] OS 트랜지스터에는 캐리어 농도가 낮은 산화물 반도체를 사용하는 것이 바람직하다. 예를 들어 산화물 반도체의 채널 형성 영역의 캐리어 농도는 $1\times10^{18}cm^{-3}$ 이하, 바람직하게는 $1\times10^{17}cm^{-3}$ 미만, 더 바람직하게는 $1\times10^{16}cm^{-3}$ 미만, 더 바람직하게는 $1\times10^{13}cm^{-3}$ 미만, 더 바람직하게는 $1\times10^{10}cm^{-3}$ 미만이고, $1\times10^{-9}cm^{-3}$ 이상이다. 또한 산화물 반도체막의 캐리어 농도를 낮추는 경우에는, 산화물 반도체막 내의 불순물 농도를 낮추고, 결함 준위 밀도를 낮추면 좋다. 본 명세서 등에서 불순물 농도가 낮고 결함 준위 밀도가 낮은 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 한다. 또한 캐리어 농도가 낮은 산화물 반도체를 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체라고 부르는 경우가 있다.

[0615] 또한 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체는 결함 준위 밀도가 낮기 때문에 트랩 준위 밀도도 낮아지는 경우가 있다. 또한 산화물 반도체의 트랩 준위에 포획된 전하는 소실되는 데 걸리는 시간이 길고, 마치 고정 전하처럼 작용하는 경우가 있다. 그러므로 트랩 준위 밀도가 높은 산화물 반도체에 채널 형성 영역이 형성되는 트랜지스터는 전기 특성이 불안정해지는 경우가 있다.

[0616] 따라서 트랜지스터의 전기 특성을 안정적으로 하기 위해서는, 산화물 반도체 내의 불순물 농도를 저감하는 것이 유효하다. 또한 산화물 반도체 내의 불순물 농도를 저감하기 위해서는 근접한 막 내의 불순물 농도도 저감하는 것이 바람직하다. 불순물로서는 수소, 질소 등이 있다. 또한 산화물 반도체 내의 불순물이란, 예를 들어 산화물 반도체를 구성하는 주성분 이외를 말한다. 예를 들어 농도가 0.1atomic% 미만의 원소는 불순물이라고 할 수

있다.

[0617] 또한 OS 트랜지스터는 산화물 반도체 내의 채널 형성 영역에 불순물 및 산소 결손이 존재하면, 전기 특성이 변동되기 쉽고 신뢰성이 악화되는 경우가 있다. 또한 OS 트랜지스터에서는 산화물 반도체 내의 산소 결손에 수소가 들어간 결함(이하, V_OH라고 부르는 경우가 있음)을 형성하고, 캐리어가 되는 전자를 생성하는 경우가 있다. 또한 채널 형성 영역에 V_OH가 형성되면, 채널 형성 영역 내의 도너 농도가 증가되는 경우가 있다. 채널 형성 영역 내의 도너 농도가 증가됨에 따라 문턱 전압에 편차가 생기는 경우가 있다. 그러므로 산화물 반도체 내의 채널 형성 영역에 산소 결손이 포함되면, 트랜지스터는 노멀리 온 특성(게이트 전극에 전압을 인가하지 않아도 채널이 존재하고, 트랜지스터에 전류가 흐르는 특성)을 가지기 쉽다. 따라서 산화물 반도체 내의 채널 형성 영역에서는 불순물, 산소 결손, 및 V_OH는 가능한 한 저감되어 있는 것이 바람직하다.

[0618] 또한 산화물 반도체의 밴드 갭은 실리콘의 밴드 갭(대표적으로는 1.1eV)보다 큰 것이 바람직하고, 바람직하게는 2eV 이상, 더 바람직하게는 2.5eV 이상, 더 바람직하게는 3.0eV 이상이다. 실리콘보다 밴드 갭이 큰 산화물 반도체를 사용함으로써 트랜지스터의 오프 전류(Ioff라고도 부름)를 저감할 수 있다.

[0619] 또한 Si 트랜지스터에서는 트랜지스터의 미세화가 진행됨에 따라 단채널 효과(Short Channel Effect: SCE라고도 함)가 발현한다. 그러므로 Si 트랜지스터는 미세화가 어렵다. 단채널 효과가 발현하는 요인의 하나로서 실리콘의 밴드 갭이 작은 것을 들 수 있다. 한편, OS 트랜지스터는 밴드 갭이 큰 반도체 재료인 산화물 반도체를 사용하기 때문에 단채널 효과를 억제할 수 있다. 바꿔 말하면, OS 트랜지스터는 단채널 효과가 없거나 단채널 효과가 매우 적은 트랜지스터이다.

[0620] 또한 단채널 효과란, 트랜지스터의 미세화(채널 길이의 축소)에 따라 현재화되는 전기 특성의 열화이다. 단채널 효과의 구체적인 예로서는 문턱 전압의 저하, 서브스레숄드 스윙값(S값이라고 표기하는 경우가 있음)의 증대, 누설 전류의 증대 등이 있다. 여기서 S값이란, 드레인 전압이 일정한 상태에서 드레인 전류를 한 자릿수 변화시키는 서브스레숄드 영역에서의 게이트 전압의 변화량을 말한다.

[0621] 또한 단채널 효과에 대한 내성의 지표로서 특성 길이(Characteristic Length)가 널리 사용되고 있다. 특성 길이란, 채널 형성 영역의 퍼텐셜의 굴곡성의 지표이다. 특성 길이가 작을수록 퍼텐셜이 가파르게 상승되기 때문에 단채널 효과에 강하다고 할 수 있다.

[0622] OS 트랜지스터는 축적형 트랜지스터이고, Si 트랜지스터는 반전형 트랜지스터이다. 따라서 Si 트랜지스터에 비하여 OS 트랜지스터는 소스 영역-채널 형성 영역 사이의 특성 길이 및 드레인 영역-채널 형성 영역 사이의 특성 길이가 짧다. 따라서 OS 트랜지스터는 Si 트랜지스터보다 단채널 효과에 강하다. 즉 채널 길이가 짧은 트랜지스터를 제작하고자 하는 경우에는 OS 트랜지스터가 Si 트랜지스터보다 적합하다.

[0623] 채널 형성 영역이 i형 또는 실질적으로 i형이 될 때까지 산화물 반도체의 캐리어 농도를 낮춘 경우에도, 단채널 트랜지스터에서는 Conduction-Band-Lowering(CBL) 효과에 의하여 채널 형성 영역의 전도대 하단이 낮아지기 때문에, 소스 영역 또는 드레인 영역과 채널 형성 영역 사이의 전도대 하단의 에너지 차이는 0.1eV 이상 0.2eV 이하까지 작아질 가능성이 있다. 이에 의하여 OS 트랜지스터는 채널 형성 영역이 n^-형 영역이 되고, 소스 영역 및 드레인 영역이 n^+형 영역이 되는 $n^+/n^-/n^+$의 축적형 junction-less 트랜지스터 구조 또는 $n^+/n^-/n^+$의 축적형 non-junction 트랜지스터 구조를 가지는 것으로 간주할 수도 있다.

[0624] OS 트랜지스터를 상기 구조로 하면, 반도체 장치를 미세화 또는 고집적화한 경우에도 양호한 전기 특성을 얻을 수 있다. 예를 들어 OS 트랜지스터의 게이트 길이가 20nm 이하, 15nm 이하, 10nm 이하, 7nm 이하, 또는 6nm 이하이며, 1nm 이상, 3nm 이상, 또는 5nm 이상인 경우에도 양호한 전기 특성을 얻을 수 있다. 한편, Si 트랜지스터에서는 단채널 효과가 발현하기 때문에, 20nm 이하 또는 15nm 이하의 게이트 길이로 하기 어려운 경우가 있다. 따라서 OS 트랜지스터는 Si 트랜지스터에 비하여 채널 길이가 짧은 트랜지스터에 적합하게 사용할 수 있다. 또한 게이트 길이란, 트랜지스터 동작 시에 캐리어가 채널 형성 영역 내부를 이동하는 방향에서의 게이트 전극의 길이다.

[0625] 또한 OS 트랜지스터를 미세화함으로써 트랜지스터의 고주파 특성을 향상시킬 수 있다. 구체적으로는, 트랜지스터의 차단 주파수를 향상시킬 수 있다. OS 트랜지스터의 게이트 길이가 상기 범위 내에 있는 경우, 예를 들어 실온 환경하에서 트랜지스터의 차단 주파수를 50GHz 이상, 바람직하게는 100GHz 이상, 더 바람직하게는 150GHz 이상으로 할 수 있다.

[0626] 상술한 바와 같이, OS 트랜지스터는 Si 트랜지스터에 비하여 오프 전류가 작은 것, 채널 길이가 짧은 트랜지스터의 제작이 가능한 것 등의 우수한 효과를 가진다.

[0627] 본 실시형태에서 기재된 구성, 구조, 방법 등은 다른 실시형태 등에서 기재된 구성, 구조, 방법 등과 적절히 조합하여 사용할 수 있다.

[0628] (실시형태 7)

[0629] 본 실시형태에서는 앞의 실시형태에서 설명한 반도체 장치를 사용할 수 있는 전자 부품, 전자 기기, 대형 컴퓨터, 우주용 기기, 및 데이터 센터(Data Center: DC라고도 부름)에 대하여 설명한다. 본 발명의 일 형태의 반도체 장치를 사용한 전자 부품, 전자 기기, 대형 컴퓨터, 우주용 기기, 및 데이터 센터는 저소비 전력화 등의 고성능화에 유효하다.

[0630] [전자 부품]

[0631] 전자 부품(700)이 실장된 기판(실장 기판(704))의 사시도를 도 34의 (A)에 나타내었다. 도 34의 (A)에 나타낸 전자 부품(700)은 몰드(711) 내에 반도체 장치(710)를 가진다. 도 34의 (A)는 전자 부품(700)의 내부를 나타내기 위하여 일부 기재를 생략하였다. 전자 부품(700)은 몰드(711) 외측에 랜드(712)를 가진다. 랜드(712)는 전극 패드(713)와 전기적으로 접속되고, 전극 패드(713)는 와이어(714)를 통하여 반도체 장치(710)와 전기적으로 접속된다. 전자 부품(700)은 예를 들어 인쇄 기판(702)에 실장된다. 이와 같은 전자 부품이 복수 조합되고 각각이 인쇄 기판(702) 위에서 전기적으로 접속됨으로써 실장 기판(704)이 완성된다.

[0632] 또한 반도체 장치(710)는 구동 회로층(715)과 기억층(716)을 가진다. 또한 기억층(716)은 복수의 메모리 셀 어레이가 적층된 구성을 가진다. 또한 기억층(716)은 메모리 셀 어레이를 포함한 층이 1층 제공된 구성을 가져도 좋다. 구동 회로층(715)과 기억층(716)이 적층된 구성은 모놀리식 적층의 구성으로 할 수 있다. 모놀리식 적층의 구성에서는 TSV(Through Silicon Via) 등의 관통 전극 기술 및 Cu-Cu 직접 접합 등의 접합 기술을 사용하지 않고 층들을 접속시킬 수 있다. 구동 회로층(715)과 기억층(716)을 모놀리식으로 적층시킴으로써, 예를 들어 프로세서 위에 메모리가 직접 형성되는, 소위 온 칩 메모리의 구성으로 할 수 있다. 온 칩 메모리의 구성으로 함으로써, 프로세서와 메모리의 인터페이스 부분의 동작을 고속으로 할 수 있다.

[0633] 또한 온 칩 메모리의 구성으로 함으로써, TSV 등의 관통 전극을 사용하는 기술에 비하여, 접속 배선 등의 크기를 작게 할 수 있기 때문에 접속 핀의 수를 늘릴 수도 있다. 접속 핀의 수를 늘림으로써 병렬 동작이 가능해지기 때문에 메모리의 밴드 폭(메모리 밴드 폭이라고도 함)을 향상시킬 수 있다.

[0634] 또한 기억층(716)이 가지는 복수의 메모리 셀 어레이를 OS 트랜지스터를 사용하여 형성하고, 상기 복수의 메모리 셀 어레이를 모놀리식으로 적층하는 것이 바람직하다. 복수의 메모리 셀 어레이를 모놀리식 적층의 구성으로 함으로써, 메모리의 밴드 폭 및 메모리의 액세스 레이턴시 중 한쪽 또는 양쪽을 향상시킬 수 있다. 또한 밴드 폭이란, 단위 시간당 데이터 전송량을 가리키고, 액세스 레이턴시란, 액세스 후에서 데이터의 송수신 시작까지의 시간을 가리킨다. 또한 기억층(716)에 Si 트랜지스터를 사용하는 구성의 경우, OS 트랜지스터에 비하여 모놀리식 적층의 구성으로 하는 것은 어렵다. 그러므로 모놀리식 적층의 구성에 있어서 OS 트랜지스터는 Si 트랜지스터보다 우수한 구조라고 할 수 있다.

[0635] 또한 반도체 장치(710)를 다이라고 불러도 좋다. 또한 본 명세서 등에서 다이란, 반도체 칩의 제조 공정에 있어서 예를 들어 원반상 기판(웨이퍼라고도 함) 등에 회로 패턴을 형성하고, 주사위상으로 잘라서 얻은 칩 조각을 나타낸다. 또한 다이에 사용할 수 있는 반도체 재료로서는 예를 들어 실리콘(Si), 탄소화 실리콘(SiC), 또는 질화 갈륨(GaN) 등이 있다. 예를 들어 실리콘 기판(실리콘 웨이퍼라고도 함)에서 얻은 다이를 실리콘 다이라고 하는 경우가 있다.

[0636] 다음으로 전자 부품(730)의 사시도를 도 34의 (B)에 나타내었다. 전자 부품(730)은 SiP(System in Package) 또는 MCM(Multi Chip Module)의 일례이다. 전자 부품(730)은 패키지 기판(732)(인쇄 기판) 위에 인터포저(731)가 제공되고, 인터포저(731) 위에 반도체 장치(735) 및 복수의 반도체 장치(710)가 제공되어 있다.

[0637] 전자 부품(730)에서는 반도체 장치(710)를 광대역 메모리(HBM: High Bandwidth Memory)로서 사용하는 예를 나타내었다. 또한 반도체 장치(735)는 CPU(Central Processing Unit), GPU(Graphics Processing Unit), 또는 FPGA(Field Programmable Gate Array) 등의 집적 회로에 사용할 수 있다.

[0638] 패키지 기판(732)으로서는 예를 들어 세라믹 기판, 플라스틱 기판, 또는 유리 에폭시 기판을 사용할 수 있다.

인터포저(731)로서는 예를 들어 실리콘 인터포저 또는 수지 인터포저를 사용할 수 있다.

[0639] 인터포저(731)는 복수의 배선을 가지고, 단자 피치가 상이한 복수의 집적 회로를 전기적으로 접속하는 기능을 가진다. 복수의 배선은 단층 또는 다층으로 제공된다. 또한 인터포저(731)는 인터포저(731) 위에 제공된 집적 회로를 패키지 기판(732)에 제공된 전극과 전기적으로 접속하는 기능을 가진다. 그러므로 인터포저를 "재배선 기판" 또는 "중간 기판"이라고 부르는 경우가 있다. 또한 인터포저(731)에 관통 전극을 제공하고, 상기 관통 전극을 사용하여 집적 회로와 패키지 기판(732)을 전기적으로 접속하는 경우도 있다. 또한 실리콘 인터포저에서는 관통 전극으로서 TSV를 사용할 수도 있다.

[0640] HBM에서는 넓은 메모리 밴드 폭을 실현하기 위하여 많은 배선을 접속할 필요가 있다. 그러므로 HBM을 실장하는 인터포저에는 미세하고 밀도가 높은 배선의 형성이 요구된다. 따라서 HBM을 실장하는 인터포저로서는 실리콘 인터포저를 사용하는 것이 바람직하다.

[0641] 또한 실리콘 인터포저를 사용한 SiP 및 MCM 등에서는, 집적 회로와 인터포저 사이의 팽창 계수의 차이로 인한 신뢰성 저하가 생기기 어렵다. 또한 실리콘 인터포저는 표면의 평탄성이 높으므로 실리콘 인터포저 위에 제공되는 집적 회로와 실리콘 인터포저 사이의 접속 불량이 생기기 어렵다. 특히 인터포저 위에 복수의 집적 회로를 나란히 배치하는 2.5D 패키지(2.5차원 실장)에서는 실리콘 인터포저를 사용하는 것이 바람직하다.

[0642] 한편, 실리콘 인터포저 및 TSV 등을 사용하여 단자 피치가 상이한 복수의 집적 회로를 전기적으로 접속하는 경우, 상기 단자 피치의 폭 등의 스페이스가 필요하다. 그러므로 전자 부품(730)의 크기를 작게 하고자 한 경우, 상기 단자 피치의 폭이 문제가 되어, 넓은 메모리 밴드 폭의 실현에 필요한 많은 배선의 제공이 어려워지는 경우가 있다. 그래서 상술한 바와 같이, OS 트랜지스터를 사용한 모놀리식 적층의 구성이 적합하다. TSV를 사용하여 적층된 메모리 셀 어레이와 모놀리식 적층된 메모리 셀 어레이를 조합한 복합화 구조로 하여도 좋다.

[0643] 또한 전자 부품(730)과 중첩시켜 히트 싱크(방열판)를 제공하여도 좋다. 히트 싱크를 제공하는 경우에는 인터포저(731) 위에 제공하는 집적 회로의 높이를 일치시키는 것이 바람직하다. 예를 들어 본 실시형태에서 설명하는 전자 부품(730)에서는 반도체 장치(710)와 반도체 장치(735)의 높이를 일치시키는 것이 바람직하다.

[0644] 전자 부품(730)을 다른 기판에 실장하기 위하여 패키지 기판(732)의 바닥부에 전극(733)을 제공하여도 좋다. 도 34의 (B)에는 전극(733)을 땜납 볼로 형성하는 예를 나타내었다. 패키지 기판(732)의 바닥부에 땜납 볼을 매트릭스상으로 제공함으로써 BGA(Ball Grid Array) 실장을 실현할 수 있다. 또한 전극(733)을 도전성의 핀으로 형성하여도 좋다. 패키지 기판(732)의 바닥부에 도전성의 핀을 매트릭스상으로 제공함으로써 PGA(Pin Grid Array) 실장을 실현할 수 있다.

[0645] 전자 부품(730)은 BGA 및 PGA에 한정되지 않고, 다양한 실장 방법을 사용하여 다른 기판에 실장할 수 있다. 실장 방법으로서는 예를 들어 SPGA(Staggered Pin Grid Array), LGA(Land Grid Array), QFP(Quad Flat Package), QFJ(Quad Flat J-leaded package), 및 QFN(Quad Flat Non-leaded package)이 있다.

[0646] [전자 기기]

[0647] 다음으로 전자 기기(6500)의 사시도를 도 35의 (A)에 나타내었다. 도 35의 (A)에 나타낸 전자 기기(6500)는 스마트폰으로서 사용할 수 있는 휴대 정보 단말기이다. 전자 기기(6500)는 하우징(6501), 표시부(6502), 전원 버튼(6503), 버튼(6504), 스피커(6505), 마이크로폰(6506), 카메라(6507), 광원(6508), 및 제어 장치(6509) 등을 가진다. 또한 제어 장치(6509)로서는 예를 들어 CPU, GPU, 및 기억 장치에서 선택되는 어느 하나 또는 복수를 가진다. 본 발명의 일 형태의 반도체 장치는 표시부(6502), 제어 장치(6509) 등에 적용할 수 있다.

[0648] 도 35의 (B)에 나타낸 전자 기기(6600)는 노트북형 퍼스널 컴퓨터로서 사용할 수 있는 정보 단말기이다. 전자 기기(6600)는 하우징(6611), 키보드(6612), 포인팅 디바이스(6613), 외부 접속 포트(6614), 표시부(6615) 및 제어 장치(6616) 등을 가진다. 또한 제어 장치(6616)로서는 예를 들어 CPU, GPU, 및 기억 장치에서 선택되는 어느 하나 또는 복수를 가진다. 본 발명의 일 형태의 반도체 장치는 표시부(6615), 제어 장치(6616) 등에 적용할 수 있다. 또한 본 발명의 일 형태의 반도체 장치를 상술한 제어 장치(6509) 및 제어 장치(6616)에 사용함으로써 소비 전력을 절감시킬 수 있어 적합하다.

[0649] [대형 컴퓨터]

[0650] 다음으로 대형 컴퓨터(5600)의 사시도를 도 35의 (C)에 나타내었다. 도 35의 (C)에 나타낸 대형 컴퓨터(5600)에서는 랙(5610)에 복수의 랙 마운트형 컴퓨터(5620)가 제공되어 있다. 또한 대형 컴퓨터(5600)를 슈퍼컴퓨터

라고 불러도 좋다.

[0651] 컴퓨터(5620)는 예를 들어 도 35의 (D)에 나타낸 사시도의 구성을 가질 수 있다. 도 35의 (D)에서 컴퓨터(5620)는 머더보드(5630)를 가지고, 머더보드(5630)는 복수의 슬롯(5631), 복수의 접속 단자를 가진다. 슬롯(5631)에는 PC 카드(5621)가 삽입되어 있다. 또한 PC 카드(5621)는 접속 단자(5623), 접속 단자(5624), 및 접속 단자(5625)를 가지고, 각각 머더보드(5630)에 접속된다.

[0652] 도 35의 (E)에 나타낸 PC 카드(5621)는 CPU, GPU, 기억 장치 등이 제공된 처리 보드의 일례이다. PC 카드(5621)는 보드(5622)를 가진다. 또한 보드(5622)는 접속 단자(5623)와, 접속 단자(5624)와, 접속 단자(5625)와, 반도체 장치(5626)와, 반도체 장치(5627)와, 반도체 장치(5628)와, 접속 단자(5629)를 가진다. 또한 도 35의 (E)에는 반도체 장치(5626), 반도체 장치(5627), 및 반도체 장치(5628) 외의 반도체 장치를 도시하였지만, 이들 반도체 장치에 대해서는 이하의 반도체 장치(5626), 반도체 장치(5627), 및 반도체 장치(5628)에 대한 설명을 참조하면 좋다.

[0653] 접속 단자(5629)는 머더보드(5630)의 슬롯(5631)에 삽입될 수 있는 형상을 가지고, 접속 단자(5629)는 PC 카드(5621)와 머더보드(5630)를 접속하기 위한 인터페이스로서 기능한다. 접속 단자(5629)의 규격으로서는 예를 들어 PCIe 등이 있다.

[0654] 접속 단자(5623), 접속 단자(5624), 및 접속 단자(5625)는 예를 들어 PC 카드(5621)에 대하여 전력 공급, 신호 입력 등을 수행하기 위한 인터페이스로 할 수 있다. 또한 예를 들어 PC 카드(5621)에 의하여 계산된 신호의 출력 등을 수행하기 위한 인터페이스로 할 수 있다. 접속 단자(5623), 접속 단자(5624), 및 접속 단자(5625) 각각의 규격으로서는 예를 들어 USB(Universal Serial Bus), SATA(Serial ATA), SCSI(Small Computer System Interface) 등이 있다. 또한 접속 단자(5623), 접속 단자(5624), 및 접속 단자(5625)로부터 영상 신호를 출력하는 경우, 각각의 규격으로서는 HDMI(등록 상표) 등을 들 수 있다.

[0655] 반도체 장치(5626)는 신호의 입출력을 수행하는 단자(도시하지 않았음)를 가지고, 상기 단자를 보드(5622)의 소켓(도시하지 않았음)에 삽입함으로써, 반도체 장치(5626)와 보드(5622)를 전기적으로 접속할 수 있다.

[0656] 반도체 장치(5627)는 복수의 단자를 가지고, 상기 단자를 보드(5622)의 배선에 대하여 예를 들어 리플로 방식으로 납땜함으로써, 반도체 장치(5627)와 보드(5622)를 전기적으로 접속할 수 있다. 반도체 장치(5627)로서는 예를 들어 FPGA, GPU, CPU 등이 있다. 반도체 장치(5627)에는 예를 들어 전자 부품(730)을 사용할 수 있다.

[0657] 반도체 장치(5628)는 복수의 단자를 가지고, 상기 단자를 보드(5622)의 배선에 대하여 예를 들어 리플로 방식으로 납땜함으로써, 반도체 장치(5628)와 보드(5622)를 전기적으로 접속할 수 있다. 반도체 장치(5628)로서 예를 들어 기억 장치 등이 있다. 반도체 장치(5628)에는 예를 들어 전자 부품(700)을 사용할 수 있다.

[0658] 대형 컴퓨터(5600)는 병렬 컴퓨터로서 기능할 수도 있다. 대형 컴퓨터(5600)를 병렬 컴퓨터로서 사용함으로써 예를 들어 인공 지능의 학습 및 추론에 필요한 대규모 계산을 수행할 수 있다.

[0659] [우주용 기기]

[0660] 본 발명의 일 형태의 반도체 장치는 정보를 처리 및 기억하는 기기 등의 우주용 기기에 적합하게 사용할 수 있다.

[0661] 본 발명의 일 형태의 반도체 장치는 OS 트랜지스터를 포함할 수 있다. 상기 OS 트랜지스터는 방사선 조사로 인한 전기 특성의 변동이 작다. 즉 방사선에 대한 내성이 높기 때문에, 방사선이 입사할 수 있는 환경에서 적합하게 사용할 수 있다. 예를 들어 OS 트랜지스터는 우주 공간에서 사용되는 경우에 적합하다.

[0662] 도 36에는 우주용 기기의 일례로서 인공위성(6800)을 나타내었다. 인공위성(6800)은 기체(6801)와, 태양 전지판(6802)과, 안테나(6803)와, 이차 전지(6805)와, 제어 장치(6807)를 가진다. 또한 도 36에서는 우주 공간에 행성(6804)을 예시하였다. 또한 우주 공간이란, 예를 들어 고도 100km 이상을 가리키지만, 본 명세서에 기재된 우주 공간은 열권, 중간권, 및 성층권을 포함하여도 좋다.

[0663] 또한 도 36에는 도시하지 않았지만, 이차 전지(6805)에 배터리 매니지먼트 시스템(BMS라고도 함) 또는 배터리 제어 회로를 제공하여도 좋다. 상술한 배터리 매니지먼트 시스템 또는 배터리 제어 회로에 OS 트랜지스터를 사용하면, 소비 전력이 낮고 우주 공간에서도 신뢰성이 높기 때문에 적합하다.

[0664] 또한 우주 공간은 지상에 비하여 방사선량이 100배 이상 많은 환경이다. 또한 방사선으로서, 예를 들어 X선 및 감마선으로 대표되는 전자기파(전자기 방사선), 그리고 알파선, 베타선, 중성자선, 양자선, 중이온선, 중간자선

등으로 대표되는 입자 방사선이 있다.

[0665] 태양 전지판(6802)에 태양광이 조사됨으로써 인공위성(6800)이 동작하기 위하여 필요한 전력이 생성된다. 하지만 예를 들어 태양 전지판에 태양광이 조사되지 않는 상황, 또는 태양 전지판에 조사되는 태양광의 광량이 적은 상황에서는 생성되는 전력이 낮아진다. 따라서 인공위성(6800)이 동작하기 위하여 필요한 전력이 생성되지 않을 가능성이 있다. 생성되는 전력이 낮은 상황에서도 인공위성(6800)을 동작시키기 위하여, 인공위성(6800)에 이차 전지(6805)를 제공하는 것이 좋다. 또한 태양 전지판은 태양 전지 모듈이라고 불리는 경우가 있다.

[0666] 인공위성(6800)은 신호를 생성할 수 있다. 상기 신호는 안테나(6803)를 통하여 송신되고, 예를 들어 지상에 제공된 수신기 또는 다른 인공위성이 상기 신호를 수신할 수 있다. 인공위성(6800)이 송신한 신호를 수신함으로써, 상기 신호를 수신한 수신기의 위치를 측정할 수 있다. 이상에 의하여 인공위성(6800)은 위성 측위 시스템을 구성할 수 있다.

[0667] 또한 제어 장치(6807)는 인공위성(6800)을 제어하는 기능을 가진다. 제어 장치(6807)는 예를 들어 CPU, GPU, 및 기억 장치에서 선택되는 어느 하나 또는 복수를 사용하여 구성된다. 또한 제어 장치(6807)에는 본 발명의 일 형태인 OS 트랜지스터를 가지는 반도체 장치를 사용하는 것이 적합하다. OS 트랜지스터는 Si 트랜지스터에 비하여 방사선 조사로 인한 전기 특성의 변동이 작다. 즉 방사선이 입사할 수 있는 환경에서도 신뢰성이 높아 적합하게 사용할 수 있다.

[0668] 또한 인공위성(6800)은 센서를 가지는 구성으로 할 수 있다. 예를 들어 가시광 센서를 가지는 구성으로 함으로써, 인공위성(6800)은 지상에 제공된 물체에 닿아 반사된 태양광을 검출하는 기능을 가질 수 있다. 또는 열 적외 센서를 가지는 구성으로 함으로써, 인공위성(6800)은 지표로부터 방출되는 열 적외선을 검출하는 기능을 가질 수 있다. 이상에 의하여, 인공위성(6800)은 예를 들어 지구 관측 위성으로서의 기능을 가질 수 있다.

[0669] 또한 본 실시형태에서는 우주용 기기의 일례로서 인공위성에 대하여 예시하였지만 이에 한정되지 않는다. 예를 들어 본 발명의 일 형태의 반도체 장치는 우주선, 우주 캡슐, 우주 탐사기 등의 우주용 기기에 적합하게 사용할 수 있다.

[0670] 상술한 바와 같이, OS 트랜지스터는 Si 트랜지스터에 비하여 넓은 메모리 밴드 폭을 실현할 수 있다는 것, 방사선 내성이 높다는 것 등 우수한 효과를 가진다.

[0671] [데이터 센터]

[0672] 본 발명의 일 형태의 반도체 장치는 예를 들어 데이터 센터 등에 적용되는 저장 시스템에 적합하게 사용할 수 있다. 데이터 센터는 데이터의 불변성을 보장하는 등 데이터를 장기적으로 관리하는 것이 요구된다. 데이터를 장기적으로 관리하는 경우, 방대한 데이터를 기억하기 위한 스토리지 및 서버의 설치, 데이터를 유지하기 위한 안정적인 전원의 확보, 또는 데이터의 유지에 필요한 냉각 설비의 확보 등을 위하여 보다 큰 건물이 필요하다.

[0673] 데이터 센터에 적용되는 저장 시스템에 본 발명의 일 형태의 반도체 장치를 사용함으로써, 데이터의 유지에 필요한 전력을 저감하고, 데이터를 유지하는 반도체 장치를 소형화할 수 있다. 그러므로 저장 시스템의 소형화, 데이터를 유지하기 위한 전원의 소형화, 냉각 설비의 소규모화 등을 실현할 수 있다. 그러므로 데이터 센터의 공간 절약화를 실현할 수 있다.

[0674] 또한 본 발명의 일 형태의 반도체 장치는 소비 전력이 낮기 때문에 회로로부터의 발열을 저감할 수 있다. 따라서 상기 발열로 인한 그 회로 자체, 주변 회로, 및 모듈에 대한 악영향을 줄일 수 있다. 또한 본 발명의 일 형태의 반도체 장치를 사용함으로써, 고온 환경하에서도 동작이 안정된 데이터 센터를 실현할 수 있다. 따라서 데이터 센터의 신뢰성을 높일 수 있다.

[0675] 데이터 센터에 적용 가능한 저장 시스템을 도 37에 나타내었다. 도 37에 나타낸 저장 시스템(7000)은 호스트(7001)(Host Computer라고 도시함)로서 복수의 서버(7001sb)를 가진다. 또한 스토리지(7003)(Storage라고 도시함)로서 복수의 기억 장치(7003md)를 가진다. 호스트(7001)와 스토리지(7003)는 스토리지 에어리어 네트워크(7004)(SAN: Storage Area Network라고 도시함) 및 저장 제어 회로(7002)(Storage Controller라고 도시함)를 통하여 접속된다.

[0676] 호스트(7001)는 스토리지(7003)에 기억된 데이터에 액세스하는 컴퓨터에 상당한다. 호스트(7001)들은 네트워크를 통하여 서로 접속되어도 좋다.

[0677] 스토리지(7003)는 플래시 메모리를 사용함으로써 데이터의 액세스 속도, 즉 데이터의 기억 및 출력에 필요한 시

간이 단축되지만, 이 시간은 스토리지 내의 캐시 메모리로서 사용될 수 있는 DRAM에서 걸리는 시간에 비하여 상당히 길다. 저장 시스템에서는 스토리지(7003)의 액세스 속도가 느리다는 문제를 해결하기 위하여, 일반적으로는 스토리지 내에 캐시 메모리를 제공하여 데이터의 기억 및 출력에 걸리는 시간을 짧게 한다.

[0678] 상술한 캐시 메모리는 저장 제어 회로(7002) 및 스토리지(7003) 내에 사용된다. 호스트(7001)와 스토리지(7003) 사이에서 송수신되는 데이터는 저장 제어 회로(7002) 및 스토리지(7003) 내의 상기 캐시 메모리에 기억된 후, 호스트(7001) 또는 스토리지(7003)에 출력된다.

[0679] 상술한 캐시 메모리의 데이터를 기억하기 위한 트랜지스터로서 OS 트랜지스터를 사용하여 데이터에 따른 전위를 유지하는 구성으로 함으로써, 리프레시 빈도를 줄이고 소비 전력을 낮게 할 수 있다. 또한 메모리 셀 어레이를 적층하는 구성으로 함으로써 소형화가 가능하다.

[0680] 또한 본 발명의 일 형태의 반도체 장치를 전자 부품, 전자 기기, 대형 컴퓨터, 우주용 기기, 및 데이터 센터에서 선택되는 어느 하나 또는 복수에 적용함으로써, 소비 전력을 저감시키는 효과가 기대된다. 그러므로 반도체 장치의 고성능화 또는 고집적화에 따른 에너지 수요의 증가가 예상되는 가운데, 본 발명의 일 형태의 반도체 장치를 사용함으로써 이산화 탄소(CO_2)로 대표되는 온실 효과 가스의 배출량을 저감시킬 수도 있다. 또한 본 발명의 일 형태의 반도체 장치는 소비 전력이 낮기 때문에 지구 온난화에 대한 대책으로서도 유효하다.

[0681] 본 실시형태에서 기재된 구성, 구조, 방법 등은 다른 실시형태 등에서 기재된 구성, 구조, 방법 등과 적절히 조합하여 사용할 수 있다.

[0682] (실시예 1)

[0683] 본 실시예에서는, 강유전성을 나타내는 절연체로서 산화 하프늄 지르코늄($HfZrO_X$)을 제작하고, 상기 절연체의 결정성의 평가 결과 그리고 상기 절연체의 전압-분극 특성 및 피로 특성 등의 측정 결과에 대하여 설명한다. 또한 본 실시예에서는, 강유전체 커패시터를 가지는 메모리 셀을 제작하고, 상기 메모리 셀의 측정 결과에 대하여 설명한다.

[0684] <$HfZrO_X$막의 결정 구조>

[0685] 본 항목에서는 $HfZrO_X$를 평가하였다. 구체적으로는 $HfZrO_X$를 포함하는 시료를 제작하고, XRD 분석법의 일종인 스침각 X선 회절법(GIXRD: Grazing Incident X-ray Diffraction)을 사용하여 결정 상태를 조사하였다.

[0686] GIXRD 측정에 사용하는 시료의 제작 방법에 대하여 설명한다.

[0687] 우선, 실리콘 기판 위에 열 산화 처리를 사용하여 막 두께 100nm의 산화 실리콘막을 형성하고, 상기 산화 실리콘막 위에 스퍼터링법에 의하여 막 두께 35nm의 제 1 질화 타이타늄막을 성막하였다. 제 1 질화 타이타늄막을 성막한 후, CMP 처리를 수행하였다.

[0688] 다음으로, 제 1 질화 타이타늄막을 가공하여 섬 형상의 제 1 질화 타이타늄층을 형성하고, 섬 형상의 제 1 질화 타이타늄층 위에 ALD법에 의하여 Hf:Zr=1:1[원자수비]의 $HfZrO_X$막을 성막하였다. 전구체로서 테트라키스(에틸메틸아마이드)지르코늄(TEMAZr) 및 테트라키스(에틸메틸아마이드)하프늄(TEMAHf)을 사용하고, 산화제로서 오존(O_3)을 사용하였다. 또한 성막 온도를 250℃로 하였다. 또한 $HfZrO_X$막의 막 두께는 10nm로 하였다.

[0689] 다음으로, 상기 $HfZrO_X$막 위에 스퍼터링법에 의하여 막 두께 30nm의 제 2 질화 타이타늄막을 성막하였다. 제 2 질화 타이타늄막을 성막한 후, 가열 처리를 수행하였다. 상기 가열 처리로서 RTA(Rapid Thermal Anneal) 장치를 사용하여, 질소 분위기하에서 450℃로 1분 동안 처리를 수행하였다.

[0690] 다음으로, 제 2 질화 타이타늄막을 가공하여 섬 형상의 제 2 질화 타이타늄층을 형성하였다.

[0691] 상술한 공정에 의하여, GIXRD 측정에 사용하는 시료를 제작하였다.

[0692] 상기 시료에 대하여, GIXRD 측정을 수행하였다. GIXRD 측정에는, 다기능 박막 재료 평가 X선 회절 장치 D8 DISCOVER Hybrid/TXS(Bruker사 제조)를 사용하였다. 또한 상기 장치를 사용하는 경우의 측정 조건으로서, X선 출력을 50kV, 100mA로 하고, 입사각 Θ를 0.5° 로 하고, 주사 범위 2Θ를 27° 내지 33° 로 하였다.

[0693] 도 38에 GIXRD 측정 결과를 나타내었다. 도 38은 X선의 회절 각도(2Θ)와 검출된 신호 강도의 관계를 나타낸 것이다. 도 38에서, 세로축은 강도(Intensity)를 나타내고, 가로축은 회절 각도(2Θ)를 나타낸다.

[0694] 도 38에서, 2Θ=30.4° 부근에 피크가 관찰되었다. 상기 피크는 강유전성을 나타내는 직방정에서 유래하므로, 상기 방법으로 성막한 $HfZrO_X$막은 강유전성을 나타낸 것을 알 수 있었다.

[0695] <강유전체층에 포함되는 결정립의 크기>

[0696] 본 항목에서는, 강유전체층에 포함되는 결정립의 크기를 평가하였다.

[0697] 본 항목에서는, 2개의 시료(시료 700A 및 시료 700B)를 제작하였다. 2개의 시료는 강유전체층의 막 두께가 상이하다.

[0698] 먼저, 시료의 제작 방법에 대하여 설명한다.

[0699] 우선, 실리콘 기판 위에 열 산화 처리를 사용하여 막 두께 100nm의 산화 실리콘막을 형성하고, 상기 산화 실리콘막 위에 스퍼터링법에 의하여 막 두께 60nm의 질화 실리콘막을 성막하고, 상기 질화 실리콘막 위에 스퍼터링법에 의하여 막 두께 40nm의 산화 알루미늄막을 성막하였다.

[0700] 다음으로, 상기 산화 알루미늄막 위에 스퍼터링법에 의하여 막 두께 30nm의 텅스텐막을 성막하고, 상기 텅스텐막 위에 스퍼터링법에 의하여 막 두께 10nm의 질화 타이타늄막을 성막하였다. 질화 타이타늄막을 성막한 후, CMP 처리를 수행하였다.

[0701] 다음으로, 텅스텐막과 질화 타이타늄막의 적층체를 섬 형상으로 가공하고, 섬 형상의 적층체 위에 ALD법에 의하여 Hf:Zr=1:1[원자수비]의 $HfZrO_X$막을 성막하였다. 전구체로서 트리스(다이메틸아미노)사이클로펜타다이엔일·지르코늄(ZyALD(등록 상표)) 및 TEMAHf를 사용하고, 산화제로서 H_2O를 사용하였다. 또한 성막 온도를 250℃로 하였다. 또한 $HfZrO_X$막의 막 두께는 시료 700A에서는 10nm로 하고, 시료 700B에서는 20nm로 하였다.

[0702] 상술한 공정에 의하여 2개의 시료를 제작하였다.

[0703] 제작한 2개의 시료 각각에 대하여, $HfZrO_X$막의 표면의 평균 거칠기를 측정하였다. 또한 표면의 평균 거칠기는 원자간력 현미경(AFM: Atomic Force Microscope)으로 측정하였다. AFM로서, SII Nano Technology Inc. 제조의 SPA-500을 사용하고, 측정 조건은 주사 속도 1.0Hz, 측정 면적 1μm×1μm로 하였다.

[0704] AFM을 사용하여 표면 관찰을 수행한 결과를 도 39의 (A) 및 (B)에 나타내었다. 도 39의 (A)는 시료 700A를 측정하여 얻은 AFM 데이터이고, 도 39의 (B)는 시료 700B를 측정하여 얻은 AFM 데이터이다.

[0705] 다음으로, 측정으로 얻은 AFM 데이터의 화상 해석을 수행하였다. 구체적으로는, AFM 데이터에 있어서 입계를 검출하도록 기계 학습된 화상 해석 소프트웨어를 사용하여 그레인을 식별·분리하고, 그레인이 분리된 화상에 대하여 보로노이 해석을 수행함으로써, 입계가 구축된 데이터를 작성하였다.

[0706] 화상 해석을 수행한 결과를 도 39의 (C) 및 (D)에 나타내었다. 도 39의 (C)는 도 39의 (A)에 나타낸 AFM 데이터의 화상 해석을 수행함으로써 얻은 데이터이고, 도 39의 (D)는 도 39의 (B)에 나타낸 AFM 데이터의 화상 해석을 수행함으로써 얻은 데이터이다. 즉, 도 39의 (C)는 시료 700A에 관한 데이터이고, 도 39의 (D)는 시료 700B에 관한 데이터이다.

[0707] 다음으로, 도 39의 (C) 및 (D)에 나타낸 데이터를 바탕으로 입경 분포를 평가하였다. 도 39의 (E) 및 (F)에 입경 분포를 평가한 결과를 나타내었다.

[0708] 도 39의 (E) 및 (F)는 입경에 대한 면적 점유율을 나타낸 도면이다. 도 39의 (E) 및 (F)에 있어서, 세로축은 면적 점유율을 나타내고, 가로축은 입경을 나타낸다. 도 39의 (E)는 도 39의 (C)에 나타낸 데이터로부터 입경 분포를 평가한 결과이고, 도 39의 (F)는 도 39의 (D)에 나타낸 데이터로부터 입경 분포를 평가한 결과이다. 즉, 도 39의 (E)는 시료 700A에 대한 결과이고, 도 39의 (F)는 시료 700B에 대한 결과이다.

[0709] 도 39의 (A) 내지 (F)에서는 $HfZrO_X$막의 막 두께가 두꺼울수록 입경의 편차가 커지는 경향이 관찰되었다. 입경의 편차가 크면, 특성의 편차에 영향을 미칠 우려가 있다. 따라서, $HfZrO_X$막의 막 두께는 15nm 이하인 것이 바람직하고, 12nm 이하인 것이 더 바람직하다.

[0710] [시료의 제작]

[0711] 절연체의 전압-분극 특성 및 피로 특성 등의 측정에 사용하는 시료에 대하여 설명한다. 우선, 4개의 시료(시료 800A 내지 시료 800D)를 제작하였다. 시료 800A 내지 시료 800D는 용량 소자를 가진다. 또한 시료 800A 내지

시료 800D에 포함되는 용량 소자의 단면도에 대해서는 도 25의 (B)를 참조할 수 있다. 또한 시료 800A 내지 시료 800D는 용량 소자의 유전체의 막 두께가 상이하다.

[0712] 이하에서는, 4개의 시료의 제작 방법에 대하여 설명한다. 또한 시료 800A 내지 시료 800D의 구성은 유전체의 막 두께가 상이한 것을 제외하고 공통된다.

[0713] 도전체(110)는 CVD법으로 성막한 질화 타이타늄막을 사용하여 형성하였다.

[0714] 용량 소자의 유전체로서 기능하는 절연체(130)는 ALD법으로 성막한 Hf:Zr=1:1[원자수비]의 $HfZrO_X$막을 사용하여 형성하였다. 전구체로서 TEMAZr 및 TEMAHf를 사용하고, 산화제로서 오존(O_3)을 사용하였다. 또한 성막 온도를 250℃로 하였다. 또한 절연체(130)의 막 두께는 시료 800A에서는 6nm로 하고, 시료 800B에서는 8nm로 하고, 시료 800C에서는 10nm로 하고, 시료 800D에서는 12nm로 하였다.

[0715] 도전체(120)는 스퍼터링법으로 성막한 질화 타이타늄막을 사용하여 형성하였다.

[0716] 도전체(120)를 형성한 후, RTA 장치를 사용하여 450℃에서 60초의 가열 처리를 수행하였다.

[0717] 이러한 식으로, 용량 소자를 포함하는 시료 800A 내지 시료 800D를 제작하였다. 또한 각 시료에서는 설계 면적이 $0.016\mu m^2$인 용량 소자가 1024개 병렬로 접속되어 있다. 따라서, 용량 소자의 면적의 합계는 $16.384\mu m^2$이다. 또한 용량 소자의 면적은 용량 소자의 2개의 전극이 중첩되는 면적이라고 바꿔 말할 수 있다.

[0718] 또한 3개의 시료(시료 801C, 시료 802C, 시료 803C)를 제작하였다. 상기 3개의 시료는 용량 소자를 가진다. 또한 시료 801C 내지 시료 803C에 포함되는 용량 소자의 단면도에 대해서는 도 25의 (B)를 참조할 수 있다. 또한 시료 801C 내지 시료 803C는 용량 소자의 면적이 상이한 것을 제외하고 시료 800C와 같다. 따라서, 시료 801C 내지 시료 803C의 용량 소자의 면적 이외의 구성에 대해서는 상술한 시료 800C의 구성을 참조할 수 있다. 또한 시료 801C 내지 시료 803C의 제작 방법에 대해서는 상술한 시료 800C의 제작 방법을 참조할 수 있다.

[0719] 시료 801C는 설계 면적이 $94.97\mu m^2$인 용량 소자를 하나 가진다. 시료 802C에서는 설계 면적이 $0.06\mu m^2$인 용량 소자가 1024개 병렬로 접속되어 있다. 따라서, 시료 802C에서의 용량 소자의 면적의 합계는 $61.44\mu m^2$이다. 시료 803C는 설계 면적이 $10\mu m^2$인 용량 소자를 하나 가진다.

[0720] <P-E 특성>

[0721] 도전체(120)와 도전체(110) 사이에 삼각파를 인가하고, 절연체(130)의 자발적 분극의 변화(P-E 특성)를 측정하였다. 도 40의 (A)에 입력 전압 파형을 나타내었다. 도 40의 (A)에 나타낸 바와 같이, P-E 특성은 삼각파 더블 펄스 방법을 사용하여 평가하였다. 또한 삼각파 더블 펄스 방법은 2개의 양의 삼각파 펄스를 인가하고, 이어서 2개의 음의 삼각파 펄스를 인가하여, 그 응답 전하를 측정하는 방법이다. 인가하는 삼각파에 있어서, 주파수는 1kHz로 하고, 전계 강도는 2.5MV/cm로 고정하였다. 또한 인가하는 삼각파에서의 주파수를 측정 주파수라고 부르는 경우가 있다. 또한 상술한 양의 삼각파 펄스를 인가하기 전에 음의 삼각파 펄스(도 40의 (A)의 Poling)를 인가하였다. 본 명세서 등에서는, 삼각파 더블 펄스 방법을 Triangle-PUND(Positive-up-negative-down) 방법이라고 부르는 경우가 있다.

[0722] 상술한 바와 같이, 절연체(130)의 막 두께는 시료마다 다르다. 따라서, 전계 강도를 2.5MV/cm로 고정하기 위하여 삼각파 펄스의 전압을 시료마다 다르게 하였다. 구체적으로는, 전압을 시료 800A에서는 1.5V로 하고, 시료 800B에서는 2.0V로 하고, 시료 800C에서는 2.5V로 하고, 시료 800D에서는 3.0V로 하였다.

[0723] 결과를 도 40의 (B)에 나타내었다. 도 40의 (B)에 있어서, 세로축은 단위 면적당 잔류 분극량(Polarization)을 나타내고, 가로축은 전계 강도 E를 나타낸다. 또한 이하에서는, 단위 면적당 잔류 분극량을 단순히 분극이라고 부르는 경우가 있다.

[0724] 도 40의 (B)에서, 점선으로 나타낸 P-E 곡선은 시료 800A의 결과이고, 실선에서 나타낸 P-E 곡선은 시료 800B의 결과이고, 파선으로 나타낸 P-E 곡선은 시료 800C의 결과이고, 일점쇄선으로 나타낸 P-E 곡선은 시료 800D의 결과이다. 또한 도 40의 (B)에 나타낸 양쪽 화살표는 전계 강도 E가 0MV/cm일 때의 최소 분극과 최대 분극의 차 2Pr를 나타낸다.

[0725] 도 40의 (B)를 보면, 모든 시료에 있어서 히스테리시스 특성이 얻어졌다. 또한 시료 800A에서는 2Pr는 작았지만, 시료 800B 내지 시료 800D에서는 2Pr가 컸다. 즉, 절연체(130)의 막 두께가 8nm 이상일 때 2Pr가 컸다.

또한 시료 800C에서 2Pr가 가장 컸다.

[0726] 또한 상술한 방법을 사용하여, 시료 801C 및 시료 802C의 P-E 특성의 측정도 수행하였다. 전계 강도를 2.5MV/cm로 고정하기 위하여 시료 801C 및 시료 802C에서는 전압을 2.5V로 하였다. 즉, 시료 800C 내지 시료 802C에서는 전압이 같으므로 시료 800C 내지 시료 802C를 비교하는 경우에는 P-E 특성을 P-V 특성이라고 바꿔 말할 수 있다.

[0727] P-V 특성의 측정 결과를 도 71에 나타내었다. 도 71에 있어서, 세로축은 단위 면적당 잔류 분극량(Polarization)을 나타내고, 가로축은 전압(Voltage)을 나타낸다. 도 71의 실선은 시료 801C의 P-V 곡선이고, 도 71의 일점쇄선은 시료 802C의 P-V 곡선이고, 도 71의 파선은 시료 800C의 P-V 곡선이다.

[0728] 도 71을 보면, 용량 소자의 면적에 의존하지 않고, 모든 시료에서 히스테리시스 특성이 얻어졌다. 따라서, 강유전성을 나타내면서 용량 소자의 미세화를 실현할 수 있다는 것을 알 수 있었다.

[0729] <피로 특성>

[0730] 상술한 시료 800A 내지 시료 800D에 대하여 수행한 피로(Endurance) 특성의 측정 결과에 대하여 설명한다.

[0731] 도 41의 (A)에 입력 전압 파형을 나타내었다. 도 41의 (A)에 나타낸 바와 같이, 피로 특성의 측정은 사다리꼴파를 1주기 인가하는 것을 1사이클로 하고, 규정된 사이클 수에 도달할 때까지 상기 사다리꼴파를 반복적으로 인가하고(Cycling), 규정된 사이클 수마다 상술한 삼각파 더블 펄스 방법을 사용하여 P-E 특성을 측정하여, 전계 강도 E가 0일 때의 최소 분극과 최대 분극의 차 2Pr를 취득하였다. 인가하는 사다리꼴파에 있어서, 주파수는 100kHz로 하고, 전계 강도를 2.5MV/cm로 고정하였다. 또한 인가하는 사다리꼴파에서의 주파수를 피로 주파수(Endurance frequency)라고 부르는 경우가 있다. 또한 전계 강도를 고정하기 위하여 전압을 시료 800A에서는 1.5V로 하고, 시료 800B에서는 2.0V로 하고, 시료 800C에서는 2.5V로 하고, 시료 800D에서는 3.0V로 하였다.

[0732] 도 41의 (B)에 시료 800A 내지 시료 800D의 피로 특성의 측정 결과를 나타내었다. 또한 도 41의 (B)에 있어서, 세로축은 전계 강도 E가 0MV/cm일 때의 최소 분극과 최대 분극의 차 2Pr를 나타내고, 가로축은 사이클 수(Cycle)를 나타낸다. 도 41의 (B)에 있어서, 삼각형의 표식으로 나타낸 플롯은 시료 800A의 결과이고, 마름모꼴의 표식으로 나타낸 플롯은 시료 800B의 결과이고, 사각형의 표식으로 나타낸 플롯은 시료 800C의 결과이고, 동그라미의 표식으로 나타낸 플롯은 시료 800D의 결과이다.

[0733] 도 41의 (B)를 보면, 어느 시료에서도 사이클 수가 $1X10^{10}$회에 도달할 때까지 절연 파괴는 일어나지 않았다. 즉, $HfZrO_X$막의 막 두께가 6nm로 작아도 절연 파괴는 일어나지 않았다. 또한 사이클 수가 $1X10^{10}$회 시점에서는 2Pr는 시료 800D에서 가장 크고, 시료 800C에서 다음으로 크고, 시료 800B에서 다음으로 크고, 시료 800A에서 가장 작았다. 즉, 절연체(130)의 막 두께가 두꺼울수록 2Pr가 컸다.

[0734] 도 41의 (B)를 보면, 어느 시료에서도 사이클 수에 따라서 웨이크업(wakeup)과 파티그(fatigue)가 관찰되었다. 또한 웨이크업이란 분극의 전하량이 증가하는 단계 또는 2Pr의 절댓값이 커지는 단계를 가리키고, 파티그란 분극의 전하량이 감소하는 단계, 2Pr의 절댓값이 작아지는 단계를 가리킨다. 또한 초기의 2Pr를 기준으로 하였을 때의 사이클 수 1×10^{10}회 후의 2Pr는 시료 800B에서는 약 40%이고, 시료 800C에서는 약 60%이었다. 앞의 <강유전체층에 포함되는 결정립의 크기>에서 설명한 결과도 고려하면, $HfZrO_X$막의 막 두께는 바람직하게는 5nm 이상 15nm 이하, 더 바람직하게는 8nm 이상 12nm 이하, 대표적으로는 10nm로 하는 것이 좋다.

[0735] 또한 상술한 방법을 사용하여, 시료 801C 및 시료 802C의 피로 특성의 측정도 수행하였다.

[0736] 피로 특성의 측정 결과를 도 72에 나타내었다. 도 72에 있어서, 세로축은 전계 강도 E가 0MV/cm일 때의 단위 면적당 분극(Polarization)을 나타내고, 가로축은 사이클 수(Cycle)를 나타낸다. 도 72의 실선은 시료 801C의 결과이고, 도 72의 일점쇄선은 시료 802C의 결과이고, 도 72의 파선은 시료 800C의 결과이다.

[0737] 도 72를 보면, 용량 소자의 면적에 의존하지 않고, 모든 시료에 있어서 사이클 수가 1×10^{8}회에 도달할 때까지 절연 파괴는 일어나지 않았다.

[0738] 도 42의 (A) 및 (B)에 시료 803C 및 시료 800C의 피로 특성의 측정 결과를 각각 나타내었다. 도 42의 (A) 및 (B)에 있어서, 세로축은 전계 강도 E가 0MV/cm일 때의 단위 면적당 분극 P를 나타내고, 가로축은 사이클 수를 나타낸다. 도 42의 (A)를 보면, 시료 803C에서는 사이클 수가 1×10^{8}회에 도달할 때까지 절연 파괴는 일어나지

않았다. 또한 도 42의 (B)를 보면, 상술한 바와 같이, 시료 800C에서는 사이클 수가 1×10^{10}회에 도달할 때까지 절연 파괴는 일어나지 않았다.

[0739] <리텐션 측정>

[0740] 상술한 시료 800C에 대하여 수행한 리텐션 측정의 결과에 대하여 설명한다.

[0741] 도 43의 (A)에 리텐션 측정의 동작 시퀀스를 나타내었다. 도 43의 (B)에 분극의 변화의 상정도를 나타내었다. 도 44에 리텐션 측정의 결과를 나타내었다.

[0742] 리텐션 측정에서는 TOYO Corporation 제조의 강유전체 특성 평가 시스템"FCE10-F"를 사용하였다. 또한 본 실시예에서는, 복수의 온도 조건으로 리텐션 측정을 수행하기 때문에, 온도 조정 기능을 가진 스테이지가 제공된 프로버를 사용하였다.

[0743] 리텐션 측정에서는, 펄스 생성기를 사용하여 시료에 전위를 인가하고, 그 때 흐르는 전류를 측정한다. 도 43의 (A)에 나타낸 리텐션 측정의 동작 시퀀스에 대하여 설명한다. 또한 리텐션 측정은 2가지 조건으로 수행하였다.

[0744] 첫 번째 조건(Case1)에 대하여 설명한다. 기간 T1에 있어서, 시료에 양의 삼각파 펄스를 공급하여, $HfZrO_X$막을 양의 전위 측의 분극 상태로 한다(Poling). 다음으로, 기간 T2에 있어서, 0V의 전위에서 유지한다(Wating time). 다음으로, 기간 T3에 있어서, 상술한 삼각파 더블 펄스 방법을 사용하여, P-E 특성을 측정하여, 전계 강도 E가 0MV/cm일 때의 최소 분극과 최대 분극의 차를 취득하였다(Polarization measurement).

[0745] 다음으로, 두 번째 조건(Case2)에 대하여 설명한다. 기간 T1에 있어서, 시료에 음의 삼각파 펄스를 공급하여, $HfZrO_X$막을 음의 전위 측의 분극 상태로 한다. 기간 T2 이후의 전압의 인가 방법은 상술한 첫 번째 조건과 같다.

[0746] 상술한 첫 번째 조건(Case1)에서는 반전 분극이 일어나지 않는다(Non-Switching). 한편, 상술한 두 번째 조건(Case2)에서는 반전 분극이 일어난다(Switching). 이와 같이, 여기서 수행한 리텐션 측정에서는, 반전 분극이 일어나지 않는 경우가 있기 때문에 전계 강도 E가 0일 때의 최소 분극과 최대 분극의 차를 ΔPr라고 표기한다.

[0747] 시료 800C에 대하여 수행한 리텐션 측정의 결과를 도 44에 나타내었다. 온도 조건은 85℃로 하였다. 도 44에 있어서, 세로축은 ΔPr를 나타내고, 가로축은 85℃에서의 유지 시간(85℃ bake time)을 나타낸다. 도 44에 있어서, 동그라미의 표식의 플롯은 첫 번째 조건(Non-Switching)의 결과이고, 사각형의 표식의 플롯은 두 번째 조건(Switching)의 결과이다. 이와 같이 측정 데이터의 해석으로 얻어진 ΔPr의 값과 기간 T2의 유지 기간의 길이를 그래프로 함으로써, 어느 정도의 기간에서 분극을 유지할 수 있는지를 알 수 있다. 또한 도 44의 점선은 10년(10years)을 나타낸다.

[0748] 도 44를 보면, 반전 분극이 일어나는 경우, 100초로는 열화가 보이지 않았다. 또한 24시간(24hours) 후의 ΔPr는 37% 감소되었지만 15μC/cm^2 이상이었다. 한편, 반전 분극이 일어나지 않는 경우, 거의 분극되지 않았다.

[0749] <절연 파괴>

[0750] 시료 800C와 같은 구성을 가지는 시료를 제작하고, I-V 특성을 측정하였다.

[0751] 본 항목에서 제작한 시료는 도전체(120)가 질화 타이타늄과 상기 질화 타이타늄 위의 텅스텐의 적층체인 점에서 시료 800C와 다르다. 도전체(120)의 아래층이 되는 질화 타이타늄은 스퍼터링법에 의하여 성막한 막 두께 10nm의 질화 타이타늄막을 사용하여 형성하였다. 또한 도전체(120)의 위층이 되는 텅스텐은 스퍼터링법에 의하여 성막한 막 두께 20nm의 텅스텐막을 사용하여 형성하였다.

[0752] 상기 시료를 사용하여 J-V 특성을 측정하였다. 결과를 도 45에 나타내었다. 도 45에서, 세로축은 전류 밀도 J[A/μm^2]를 나타내고, 가로축은 전압 V[V]를 나타낸다.

[0753] 도 45로부터, 용량 소자를 도 24의 (B)에 나타낸 구성으로 함으로써, 고내압(항복(breakdown) 전압의 상승)을 실현할 수 있는 것을 알 수 있었다.

[0754] 여기까지가 강유전성을 나타낸 절연체의 평가 결과이다.

[0755] <OS 트랜지스터의 드레인 내압 시험>

[0756] 다음으로, 채널 형성 영역이 산화물 반도체를 가지는 트랜지스터(OS 트랜지스터라고 함)를 제작하고, 고전압 구

동을 상정한 평가를 수행하였다. 또한 본 실시예에서 제작한 OS 트랜지스터는 도 17의 (A) 및 (B)에 나타낸 OS 트랜지스터에 상당한다. 따라서, 본 실시예에서 제작한 OS 트랜지스터의 구성 등에 대해서는 앞의 실시형태에서 설명한 내용을 참조할 수 있다.

[0757] 또한 본 항목에서는, 채널 길이(L)의 설곗값 및 채널 폭(W)의 설곗값이 상이한 OS 트랜지스터(시료 820A 내지 시료 820D)를 준비하였다. 구체적으로는, L/W=20nm/20nm인 OS 트랜지스터를 시료 820A로 하고, L/W=30nm/30nm인 OS 트랜지스터를 시료 820B로 하고, L/W=40nm/40nm인 OS 트랜지스터를 시료 820C로 하고, L/W=60nm/60nm인 OS 트랜지스터를 시료 820D로 한다. 또한 상술한 L 및 W의 값은 설곗값을 나타낸다.

[0758] 시료 820A 내지 시료 820D에 있어서, 제 1 게이트 절연체의 EOT는 2.8nm이다.

[0759] 또한 비교예로서 채널 형성 영역이 실리콘을 포함하는 트랜지스터(Si 트랜지스터라고 함)를 준비하였다. 본 항목에서는, n채널형 Si 트랜지스터를 제작하였다. 이하에서는, n채널형 Si 트랜지스터를 시료 820E로 한다. 또한 시료 820E에서 EOT는 2.6nm이고, L/W는 60nm/120nm이다.

[0760] 시료 820A 내지 시료 820E를 제작하고, 시료 820A 내지 시료 820E 각각의 드레인 내압 시험을 수행하였다.

[0761] 드레인 내압 시험에서는, 게이트 전압(Vg)을 0V로 설정하고, 소스 전압(Vs) 및 백 게이트 전압(Vbg)을 0V로 설정하였다. 그리고 드레인 전압(Vd)을 0V에서 증가시키면서, 드레인 전류(Id)를 측정하였다. 드레인 전류(Id)가 1nA를 넘었을 때 트랜지스터가 파괴되는 것으로 정의하고, 그 때의 Vd를 드레인 내압으로 하였다. 도 69의 (A) 및 (B)의 파선은 Id=1nA를 나타낸다. 또한 Vd의 최대 전압은 +10V로 하였다. 또한 측정 시의 온도는 실온으로 하였다.

[0762] 도 69의 (A)에 시료 820D의 드레인 내압 시험의 결과를 나타내고, 도 69의 (B)에 시료 820E의 드레인 내압 시험의 결과를 나타내었다. 도 69의 (A) 및 (B)에 있어서, 세로축은 드레인 전류(Id)[A]이고, 가로축은 드레인 전압(Vd)[V]이다. 도 69의 (A)는 시료 820D의 Id-Vd 특성의 그래프이고, 도 69의 (B)는 시료 820E의 Id-Vd 특성의 그래프이다.

[0763] 도 69의 (A)에서 일점쇄선으로 나타낸 바와 같이, 시료 820D의 드레인 내압은 6.8V인 것을 알 수 있었다. 도 69의 (B)에서 일점쇄선으로 나타낸 바와 같이, 시료 820E의 드레인 내압은 2.25V인 것을 알 수 있었다. 이와 같이, OS 트랜지스터는 Si 트랜지스터보다 높은 드레인 내압을 가지는 것을 알 수 있었다.

[0764] 도 70에 시료 820A 내지 시료 820E의 드레인 내압 시험의 결과를 나타내었다. 도 70에 있어서, 세로축은 드레인 내압(Drain breakdown voltage)[V]이고, 가로축은 채널 길이(Channel length[nm])이다. 도 70에 나타낸 동그라미의 표식의 플롯은 시료 820A 내지 시료 820D의 드레인 내압 시험의 결과이고, 도 70에 나타낸 삼각형의 표식의 플롯은 시료 820E의 드레인 내압 시험의 결과이다. 또한 도 70에서는 시료 820A 내지 시료 820D의 드레인 내압의 선형 근사선을 파선으로 나타내었다.

[0765] 도 70으로부터, 채널 길이가 20nm인 OS 트랜지스터는 채널 길이가 60nm인 Si 트랜지스터보다 드레인 내압이 우수한 것을 알 수 있었다. 또한 구동 전압을 2.5V로 가정한 경우(도 70의 일점쇄선), OS 트랜지스터는 채널 길이가 20nm보다 짧은 경우에도 충분한 드레인 내압을 가지는 것이 시사되었다.

[0766] 이와 같이, OS 트랜지스터는 높은 구동 전압에도 견딜 수 있고, 또한 Si 트랜지스터보다 미세화하는 것이 가능하다. 또한 OS 트랜지스터의 오프 전류는 Si 트랜지스터의 오프 전류보다 작기 때문에 OS 트랜지스터는 기억 장치의 실렉터 소자로서 사용하는 데 적합하다.

[0767] 다음으로, 1Tr1C(1 트랜지스터, 1 커패시터)의 소자 구성을 가지는 4개의 시료(시료 810A 내지 시료 810D)를 제작하고, 그 전기 특성을 측정하였다. 또한 시료 810A 내지 시료 810D에 공통된 내용을 설명할 때, 시료 810으로서 설명하는 경우가 있다.

[0768] <시료의 구성>

[0769] 시료 810이 가지는 트랜지스터는 도 17의 (A) 및 (B)에 나타낸 구성을 가진다. 즉, 시료 810에는 OS 트랜지스터가 포함된다. 또한 시료 810의 트랜지스터는 채널 길이 60nm, 채널 폭 60nm가 되도록 설계하였다.

[0770] 또한 시료 810이 가지는 용량 소자는 상술한 시료 800C에 포함되는 용량 소자의 구성을 가진다. 즉, 시료 810에는 강유전체 커패시터가 포함된다. 또한 시료 810A 내지 시료 810D에서는 용량 소자의 면적이 상이하다. 용량 소자의 면적은 시료 810A에서는 0.016 μm^2로 하고, 시료 810B에서는 0.06 μm^2로 하고, 시료 810C에서는 0.11

μm^2로 하고, 시료 810D에서는 0.58μm^2로 하였다.

[0771] 또한 OS 트랜지스터 및 강유전체 커패시터는 Si의 BEOL로 제작 가능하다.

[0772] <단면 STEM>

[0773] 제작한 시료에 대하여, Hitachi High-Tech Corporation이 제조한 HD-2700을 사용하여 단면 STEM 이미지의 촬영을 수행하였다. 도 46에 시료에 포함되는 트랜지스터의 채널 길이 방향의 단면 STEM 이미지를 나타내었다. 또한 도 46에 나타낸 시료는 용량 소자가 가지는 도전체(120)가 2층 적층 구조를 가지는 점을 제외하고 시료 810과 같다.

[0774] 도 46에 나타낸 바와 같이, 시료 810은 트랜지스터(OSFET)와, 상기 트랜지스터 위의 용량 소자(FE capacitor)를 가진다. 또한 도 46에 나타낸 "Back gate electrode"는 도전체(205)에 대응하고, "Back gate insulator"는 제2 적층체에 대응하고, "CAAC-IGZO"는 산화물(230b)에 대응하고, "Top gate electrode"는 도전체(260)에 대응하고, "S/D electrode"는 도전체(242a) 또는 도전체(242b)에 대응한다. 또한 "Bottom electrode"는 도전체(110)에 대응하고, "$Hf_{0.5}Zr_{0.5}O_2$"는 절연체(130)에 대응하고, "Top electrode"는 도전체(120)에 대응한다.

[0775] 시료 810은 1Tr1C의 메모리 셀 회로를 포함한다. 시료 810에 포함되는 메모리 셀 회로의 회로도를 도 47의 (A)에 나타내고, 평면 광학 현미경 사진을 도 47의 (B)에 나타내었다. 메모리 셀 회로는 데이터 기록용 트랜지스터(Data writing transistor), 1Tr1C의 메모리 셀(Memory Cell), 및 데이터 판독용 소스 폴로어(Source Follower)로 구성된다. 또한 메모리 셀 회로에 포함되는 트랜지스터는 모두 OS 트랜지스터로 하였다. 또한 메모리 셀이 가지는 용량 소자는 강유전체 커패시터(Ferroelectric capacitor)이다. 이하에서는, 데이터 기록용 트랜지스터를 트랜지스터(Tr1)라고 표기하고, 메모리 셀에 포함되는 트랜지스터를 트랜지스터(Tr2)라고 표기하고, 소스 폴로어에 포함되는 2개의 트랜지스터를 트랜지스터(Tr3) 및 트랜지스터(Tr4)라고 표기한다.

[0776] 트랜지스터(Tr1)의 게이트는 배선(WE)과 전기적으로 접속되고, 트랜지스터(Tr1)의 소스 및 드레인 중 한쪽은 단자(IN)와 전기적으로 접속되고, 트랜지스터(Tr1)의 소스 및 드레인 중 다른 쪽은 비트선(Bit Line)과 전기적으로 접속되어 있다. 트랜지스터(Tr2)의 게이트는 배선(WL)과 전기적으로 접속되고, 트랜지스터(Tr2)의 소스 및 드레인 중 한쪽은 용량 소자의 한 쌍의 전극 중 한쪽과 전기적으로 접속되고, 트랜지스터(Tr2)의 소스 및 드레인 중 다른 쪽은 비트선과 전기적으로 접속되어 있다. 용량 소자의 한 쌍의 전극 중 다른 쪽은 배선(PL)과 전기적으로 접속되어 있다. 트랜지스터(Tr2)의 소스 및 드레인 중 한쪽과, 용량 소자의 한 쌍의 전극 중 한쪽이 전기적으로 접속되는 영역이 노드(NODE)로서 기능한다.

[0777] 트랜지스터(Tr3)의 게이트는 비트선과 전기적으로 접속되고, 트랜지스터(Tr3)의 소스 및 드레인 중 한쪽은 전원선(VDD)과 전기적으로 접속되고, 트랜지스터(Tr3)의 소스 및 드레인 중 다른 쪽은 단자(OUT)와 전기적으로 접속되어 있다. 트랜지스터(Tr4)의 게이트는 배선(REF)과 전기적으로 접속되고, 트랜지스터(Tr4)의 소스 및 드레인 중 한쪽은 단자(OUT)와 전기적으로 접속되고, 트랜지스터(Tr4)의 소스 및 드레인 중 다른 쪽은 전원선(VSS)과 전기적으로 접속되어 있다.

[0778] 배선(WE) 및 배선(WL)은 워드선으로서 기능하는 배선이다. 배선(PL)은 용량 소자에 포함되는 강유전체를 가지는 층의 분극 상태를 제어하는 기능을 가지고, 분극 제어선이라고 하는 경우가 있다.

[0779] 메모리 셀을 평가하기 위하여, 비트선의 전압(V_{BL})을 소스 폴로어를 통하여 평가하였다. 구체적으로는 소스 폴로어의 특성을 측정하였다. 결과를 도 48에 나타내었다. 도 48에 있어서, 세로축은 단자(OUT)의 전압(VOUT)을 나타내고, 가로축은 비트선의 전압(V_{BL})을 나타낸다.

[0780] 도 48로부터, 메모리 셀의 평가 전에 소스 폴로어의 특성을 측정함으로써, VOUT로부터 비트선의 전압을 관찰할 수 있다는 것을 알 수 있었다.

[0781] 다음으로, 양의 분극의 기록과 판독의 평가 방법을 도 49의 (A) 및 (B)를 사용하여 설명한다.

[0782] 기간 T1에 있어서, 기록하고자 하는 분극과는 반대의 전위를 인가하여, 초기 기록을 수행한다(Write Pr-). 구체적으로는, 단자(IN)의 전위를 Vw로 하고, 배선(WE) 및 배선(WL)에 양의 전위(도 49의 (A)에서는 "H"라고 표기함)를 인가한다. 이에 의하여, 트랜지스터(Tr1) 및 트랜지스터(Tr2)가 온 상태가 되어, 단자(IN)의 전위가 강유전체 커패시터의 한 쌍의 전극 중 한쪽에 공급된다. 또한 배선(PL)의 전위를 GND로 하였기 때문에 강유전체 커패시터의 한 쌍의 전극 사이에 분극이 일어난다.

[0783] 또한 본 명세서 등에서 GND는 접지 전위이지만, 메모리 셀을 본 발명의 일 형태의 취지를 만족시키도록 구동시킬 수 있으면 반드시 접지 전위로 할 필요는 없다. 또한 Vw는 동작 전압이라고 바꿔 말할 수 있다.

[0784] 이어서, 기간 T2에 기록하고자 하는 분극의 전위를 인가하여, 기록을 수행한다(Write Pr+). 구체적으로는, 단자(IN)의 전위를 GND로 하고, 배선(PL)의 전위를 Vw로 한다. 이에 의하여, 기간 T1에서 일어난 분극과 반대의 분극이 일어난다.

[0785] 이어서, 기간 T3에 배선(WE)에 음의 전위(도 49의 (A)에서는 "L"이라고 표기함)를 인가함으로써, 트랜지스터(Tr1)를 오프 상태로 한다. 또한 배선(WE)에 음의 전위(도 49의 (A)에서는 "L"이라고 표기함)를 인가하고, 배선(PL)의 전위를 Vw로 함으로써 판독을 수행한다(Read). 정상적으로 기록이 수행된 경우, 분극 반전은 일어나지 않고, 단자(OUT)의 전압의 변동은 작다.

[0786] 다음으로, 음의 분극의 기록과 판독의 평가 방법을 도 50의 (A) 및 (B)를 사용하여 설명한다.

[0787] 기간 T1에 있어서, 기록하고자 하는 분극과는 반대의 전위를 인가하여, 초기 기록을 수행한다(Write Pr+). 구체적으로는, 단자(IN)의 전압을 GND로 하고, 배선(WE) 및 배선(WL)에 양의 전위(도 50의 (A)에서는 "H"라고 표기함)를 인가한다. 이에 의하여, 트랜지스터(Tr1) 및 트랜지스터(Tr2)가 온 상태가 되어, 강유전체 커패시터의 한 쌍의 전극 중 한쪽의 전위가 GND가 된다. 또한 배선(PL)의 전위를 Vw로 하였기 때문에 강유전체 커패시터의 한 쌍의 전극 사이에 전위차가 생겨 분극이 일어난다.

[0788] 이어서, 기간 T2에 기록하고자 하는 분극의 전위를 인가하여, 기록을 수행한다(Write Pr-). 구체적으로는, 단자(IN)의 전위를 Vw로 하고, 배선(PL)의 전위를 GND로 한다. 이에 의하여, 기간 T1에서 일어난 분극과 반대의 분극이 일어난다.

[0789] 이어서, 기간 T3에 단자(IN)의 전위를 GND로 한 후, 배선(WE)에 음의 전위(도 50의 (A)에서는 "L"이라고 표기함)를 인가함으로써, 트랜지스터(Tr1)를 오프 상태로 한다. 또한 배선(PL)의 전위를 Vw로 함으로써 판독을 수행한다(Read). 정상적으로 기록이 수행된 경우, 분극 반전이 일어나고, 단자(OUT)의 전압의 변동은 크다.

[0790] 또한 본 실시예에서는, 상술한 양의 전위를 +3V로 하고, 상술한 음의 전위를 -3V로 하고, 상술한 Vw를 +2.5V로 하고, 상술한 GND를 0V로 하였다. 또한 전원선(VDD)에 인가하는 전압(High)을 2V로 하고, 전원선(VSS)에 인가하는 전압(Low)을 -2V로 하고, 배선(REF)에 인가하는 전압(Vr)을 -1V로 하였다. 또한 양의 분극의 기록과 판독의 평가 방법(도 49의 (A) 참조)에 있어서, 기간 T1에서 배선(WL)에 양의 전위를 인가하는 시간을 10ms로 하고, 기간 T2에서 배선(PL)의 전위를 Vw로 하는 시간을 10ms로 하고, 기간 T3에서 배선(PL)의 전위를 Vw로 하는 시간을 1μs로 하였다.

[0791] 또한 양의 분극의 기록과 판독의 평가 및 음의 분극의 기록과 판독의 평가 각각에 있어서, 기간 T2와 기간 T3 사이에 배선(WL)에 양의 전위를 인가하여 트랜지스터(Tr2)를 온 상태로 하고, 비트선에 0V를 인가하여 노드의 전위를 0V로 한다(Reset). 이에 의하여, 기간 T3의 판독 동작에 있어서, 정확한 메모리 평가가 가능하다.

[0792] 판독 시의 배선(PL) 및 단자(OUT)의 전압 파형을 도 51에 나타내었다. 도 51에 있어서, 세로 방향은 전압을 나타내고, 가로 방향은 시간을 나타낸다. 도 51에 나타낸 단자(OUT)의 전압 파형은 시료 810B에 대하여 수행한 평가의 결과이다. 또한 기록 시간을 100ns로 하고, 판독 시간을 1μs로 하고, Vw를 2.5V로 하였다.

[0793] 도 51로부터, 도 50의 (A) 및 (B)에 나타낸 음의 분극의 기록 평가에서의 판독 시의 단자(OUT)의 전압(OUT: Pr-)은 도 49의 (A) 및 (B)에 나타낸 양의 분극의 기록 평가에서의 판독 시의 단자(OUT)의 전압(OUT: Pr+)보다 큰 것을 알 수 있었다. 즉, 양의 분극의 기록과, 음의 분극의 기록이 정상적으로 수행된 것을 확인할 수 있었다. 여기서, 음의 분극의 기록 평가에서의 판독 시의 단자(OUT)의 전압과, 양의 분극의 기록 평가에서의 판독 시의 단자(OUT)의 전압의 차를 ΔV_{BL}로 한다.

[0794] 이하에서는 ΔV_{BL}을 전위창(potential window)이라고 부르는 경우가 있다. 또한 본 실시예에서는, 허용 최소 전위창을 0.1V로 한다.

[0795] 다음으로, 시료 810A 내지 시료 810D 각각에 있어서, 기록 시간을 10ns 이상 10^7ns 이하의 범위에서 변화시킨 경우의 ΔV_{BL}의 추이를 평가하였다. 결과를 도 52 및 도 73에 나타내었다.

[0796] 도 52에 있어서, 세로축은 ΔV_{BL}을 나타내고, 가로축은 기록 시간(Write time)을 나타낸다. 도 52에 있어서, 점선으로 나타낸 그래프는 시료 810A의 결과이고, 실선으로 나타낸 그래프는 시료 810B의 결과이고, 파선으로

나타낸 그래프는 시료 810C의 결과이고, 일점쇄선으로 나타낸 그래프는 시료 810D의 결과이다. 또한 도 52에 있어서 ΔV_{BL}=0.1V를 나타낸 파선은 허용 최소 전위창이다.

[0797] 도 52를 보면, 기록 시간이 짧을수록 ΔV_{BL}이 감소되는 경향이 보였다. 또한 기록 시간이 짧은 경우(예를 들어 10ns 정도), 용량 소자의 면적이 작을수록 ΔV_{BL}의 변화량은 작았다.

[0798] 또한 기록 시간이 10ns인 경우에 있어서, 용량 소자의 면적이 0.06μm^{2}인 시료 810B의 ΔV_{BL}은 0.1V보다 크고, 용량 소자의 면적이 0.58μm^{2}인 시료 810D의 ΔV_{BL}보다 컸다. 이로써, 강유전체 커패시터의 미세화에 의하여 디바이스의 고속 동작이 가능하다는 것이 시사되었다.

[0799] 도 73에 있어서, 세로축은 ΔV_{BL}을 나타내고, 가로축은 용량 소자의 면적(Capacitor area)을 나타낸다. 도 73에 있어서, 마름모꼴의 표식의 플롯은 기록 시간이 10ns인 경우의 결과이고, 동그라미의 표식의 플롯은 기록 시간이 20ns인 경우의 결과이고, 삼각형의 표식의 플롯은 기록 시간이 50ns인 경우의 결과이고, 사각형의 표식의 플롯은 기록 시간이 100ns인 경우의 결과이다. 또한 도 73에 있어서 ΔV_{BL}=0.1V를 나타낸 파선은 허용 최소 전위창이다. 도 73에는 시료 810A 및 시료 810B의 결과를 나타내었다.

[0800] 도 73을 보면, 시료 810A 및 시료 810B 각각에 있어서, ΔV_{BL}의 기록 시간 의존성은 작았다. 시료 810B의 ΔV_{BL}은 약 0.4V이고, 비교적 높았다. 한편, 시료 810A의 ΔV_{BL}은 0.1V보다 작았다. 이로써, 용량 소자의 면적이 0.016μm^{2}보다 크고, 특히 0.06μm^2 이상이면 동작 전압이 2.5V이고 기록 시간이 10ns인 경우에도 기록이 정상적으로 수행되는 것이 확인되었다.

[0801] 또한 실제의 메모리에서는 배선 용량이 강유전체 커패시터의 미세화의 보틀넥이다. 그래서, 3D 커패시터 구조로 함으로써 용량 소자의 면적을 크게 할 수 있다. 또한 BEOL로 제작 가능한 OSFET는 배선 용량을 낮출 수 있다.

[0802] 다음으로, 용량 소자의 면적 및 비트선 용량을 시료마다 다르게 하고, 판독의 여유도(마진)를 평가하였다. 구체적으로는, 동작 전압을 2.5V로 하고, 기록 시간을 100ns로 하고, 판독 시간을 1μs로 하고, 도 49의 (A) 내지 도 50의 (B)를 사용하여 설명한 방법으로 평가하였다.

[0803] 판독의 여유도(마진)의 평가에는 상술한 시료 810A 내지 시료 810D를 사용하였다. 또한 시료 각각에 있어서, 비트선 용량이 2.758fF인 메모리 셀 회로와, 비트선 용량이 8.582fF인 메모리 셀 회로와, 비트선 용량이 27.372fF인 메모리 셀 회로를 준비하였다.

[0804] 결과를 도 53에 나타내었다. 도 53에 있어서, 세로축은 ΔV_{BL}을 나타내고, 가로축은 용량 소자의 면적(capacitor area)을 나타낸다. 도 53에 있어서, 사각형의 표식의 플롯은 비트선 용량이 2.758fF인 메모리 셀 회로의 결과이고, 삼각형의 표식의 플롯은 비트선 용량이 8.582fF인 메모리 셀 회로의 결과이고, 동그라미의 표식의 플롯은 비트선 용량이 27.372fF인 메모리 셀 회로의 결과이다. 또한 도 53에 있어서 ΔV_{BL}=0.1V를 나타낸 파선은 허용 최소 전위창이다. 또한 도 53의 점선은 용량 소자의 면적인 0.06μm^{2}를 나타낸다.

[0805] 도 53을 보면, 비트선 용량이 2.758fF인 경우, 용량 소자의 면적이 0.06μm^2 이상이면, ΔV_{BL}은 0.1V보다 컸다. 구체적으로는, 용량 소자의 면적이 0.06μm^{2}일 때, ΔV_{BL}은 0.350V이었다.

[0806] 또한 비트선 용량이 8.582fF인 경우, 용량 소자의 면적이 0.06μm^2 이상이면, ΔV_{BL}은 0.1V보다 컸다. 구체적으로는, 용량 소자의 면적이 0.06μm^{2}일 때, ΔV_{BL}은 0.148V이었다.

[0807] 또한 비트선 용량이 27.372fF인 경우, 용량 소자의 면적에 상관없이, ΔV_{BL}은 0.1V보다 작았다. 따라서, 비트선 용량이 27.372fF인 경우, 충분한 기록을 확인할 수 없었다.

[0808] 상술한 결과로부터, 강유전체 커패시터를 가지는 메모리 셀(FeRAM)을 설계하는 경우, 용량 소자의 면적과 비트선 용량의 밸런스가 중요한 것을 알 수 있었다.

[0809] <피로 특성>

[0810] 다음으로, 피로(Endurance) 특성의 측정 결과에 대하여 설명한다. 피로 특성의 측정은 상술한 방법을 사용하여 수행하였다.

[0811] 도 54의 (A) 및 (B)에 시료 810B 및 시료 810D의 피로 특성의 측정 결과를 나타내었다. 또한 도 54의 (A) 및 (B)에 있어서, 세로축은 ΔV_{BL}을 나타내고, 가로축은 사이클 수(Cycle)를 나타낸다.

[0812] 도 54의 (A)에서, 시료 810B에 있어서, 사이클 수가 1×10^{8}회에 도달할 때까지 ΔV_{BL}의 값에 큰 변화는 보이지 않았다. 또한 사이클 수가 1×10^{9}회에 도달할 때까지는 ΔV_{BL}이 0.1V보다 크므로, 기록을 확인할 수 있었다.

[0813] 도 54의 (B)에서, 시료 810D에 있어서, 사이클 수가 1×10^{8}회에 도달할 때까지는 ΔV_{BL}이 0.1V보다 크므로, 기록을 확인할 수 있었다.

[0814] <리텐션 측정>

[0815] 상술한 시료 810B 및 시료 810D에 대하여 수행한 데이터의 유지 시험(리텐션 측정)의 결과에 대하여 설명한다.

[0816] 시료 810B에 대하여 수행한 리텐션 측정의 결과를 도 74에 나타내고, 시료 810D에 대하여 수행한 리텐션 측정의 결과를 도 55의 (A) 및 (B)에 나타내었다. 도 74, 도 55의 (A) 및 (B) 각각에 있어서, 세로축은 ΔV_{BL}을 나타내고, 가로축은 시간(Time)을 나타낸다. 도 74는 온도 조건을 실온으로 한 경우의 시료 810B에 대한 결과이고, 도 55의 (A)는 온도 조건을 실온으로 한 경우의 시료 810D에 대한 결과이고, 도 55의 (B)는 온도 조건을 85℃로 한 경우의 시료 810D에 대한 결과이다.

[0817] 도 74를 보면, 시료 810B에서는 온도 조건을 실온으로 한 경우에 있어서, 1000분까지 ΔV_{BL}은 0.1V 이상이었다. 따라서, ΔV_{BL}의 판독 가능 전압을 0.1V로 한 경우, 1000분 이상 데이터가 유지된 것이 확인되었다.

[0818] 도 55의 (A) 및 (B)를 보면, 시료 810D에서는, 온도 조건이 실온 및 85℃ 중 어느 경우에서도 1000분 이상 데이터가 유지된 것이 확인되었다.

[0819] 본 실시예에 기재된 구성, 구조, 방법 등은 다른 실시형태 등에 기재된 구성, 구조, 방법 등과 적절히 조합하여 사용할 수 있다.

[0820] (실시예 2)

[0821] 본 실시예에서는, 도 22 및 도 30에 나타낸 구조와 유사한 복수의 메모리 셀 어레이가 적층된 기억 장치를 제작하고, 단면 TEM 이미지의 관찰, 전기 특성의 평가 등을 수행한 결과에 대하여 설명한다.

[0822] 본 실시예에서는, 도 56의 (A)에 나타낸 바와 같은 기억 장치를 포함하는 시료를 제작하였다. 시료는 산화물 반도체를 사용한 트랜지스터(이하, OSFET라고 부르는 경우가 있음)를 포함하는 층을 4층 적층한 구조(이하, OSFET를 포함하는 4개의 층을 각각 1st layer, 2nd layer, 3rd layer, 4th layer라고 부르는 경우가 있음)이다. 또한 도 56의 (A)에 나타낸 바와 같이, 1st layer와 2nd layer는 사이에 제공된 배선층을 통하여 전기적으로 접속되어 있다. 또한 2nd layer 내지 4th layer는 각각 OSFET의 소스 및 드레인 중 한쪽과 전기적으로 접속된 용량 소자(이하, MIM이라고 부르는 경우가 있음)를 포함한다. 또한 OSFET는 도 22 및 도 30에 나타낸 트랜지스터(200)에 대응하고, MIM은 도 22 및 도 30에 나타낸 용량 소자(100)에 대응하고, 자세한 사항에 대해서는 상술한 실시형태를 참조할 수 있다. 다만, 본 실시예의 MIM은 도 22 및 도 30에 나타낸 용량 소자와 형상이 다르고, 플레이너형이다. 또한 본 실시예의 시료는 도 56의 (A)에 나타내어지는 구조 이외의 TEG(Test Element Group)도 포함한다.

[0823] 본 실시예의 시료에 있어서, 1st layer 내지 4th layer에 포함되는 OSFET는 각각 같은 공정으로 제작하였다. 따라서, 1st layer 내지 4th layer에 포함되는 OSFET는 같은 구조를 가진다.

[0824] 우선 OSFET의 구성에 대하여 설명한다. 도 15의 (A) 내지 (D)에 나타낸 바와 같이, OSFET는 기판(도시하지 않았음) 위에 배치된 절연체(216)와, 절연체(216)에 매립되도록 제공된 도전체(205)(도전체(205a) 및 도전체(205b))와, 절연체(216) 및 도전체(205) 위의 절연체(222)와, 절연체(222) 위의 절연체(224)와, 절연체(224) 위의 산화물(230)(산화물(230a) 및 산화물(230b))과, 산화물(230) 위의 도전체(242a) 및 도전체(242b)와, 도전

체(242a) 위의 절연체(271a)와, 도전체(242b) 위의 절연체(271b)와, 산화물(230) 위의 절연체(250)(절연체(250a) 내지 절연체(250d))와, 절연체(250) 위의 도전체(260)(도전체(260a) 및 도전체(260b))를 가진다. 또한 절연체(271a) 및 절연체(271b) 위에는 절연체(275)가 제공되고 절연체(275) 위에는 절연체(280)가 제공되어 있다. 절연체(250) 및 도전체(260)는 절연체(280) 및 절연체(275)에 제공된 개구의 내부에 매립되어 있다. 또한 절연체(280) 위 및 도전체(260) 위에 절연체(282)가 제공되고, 절연체(282) 위에는 절연체(283)가 제공되어 있다.

[0825] 절연체(216)는 스퍼터링법으로 성막한 산화 실리콘막이다. 또한 도전체(205)는 도전체(205a)와 도전체(205b)의 적층막이고, 절연체(216)의 개구에 매립되도록 제공된다. 도전체(205a)는 스퍼터링법으로 성막한 질화 탄탈럼막이다. 도전체(205b)는 CVD법으로 성막한 질화 타이타늄막과, 상기 질화 타이타늄막 위의 텅스텐막이다.

[0826] 절연체(222)는 막 두께 3nm의 질화 실리콘막과, 상기 질화 실리콘막 위의 막 두께 17nm의 산화 하프늄막의 적층막이다. 질화 실리콘막은 PEALD법으로 성막하고, 산화 하프늄막은 열 ALD법으로 성막하였다.

[0827] 절연체(224)는 스퍼터링법으로 성막한 막 두께 20nm의 산화 실리콘막이다.

[0828] 산화물(230a)로서 스퍼터링법으로 성막한 막 두께 10nm의 In-Ga-Zn 산화물을 사용하였다. 또한 산화물(230a)의 성막에는 In:Ga:Zn=1:3:2[원자수비]의 산화물 타깃을 사용하였다.

[0829] 산화물(230b)로서 스퍼터링법으로 막 두께 15nm의 In-Ga-Zn 산화물을 성막하였다. 또한 산화물(230b)의 성막에는 In:Ga:Zn=1:1:1.2[원자수비]의 산화물 타깃을 사용하였다.

[0830] 도전체(242a) 및 도전체(242b)는 스퍼터링법으로 성막된 막 두께 20nm의 질화 탄탈럼막이다.

[0831] 절연체(271a) 및 절연체(271b)는 막 두께 5nm의 질화 실리콘막과, 상기 질화 실리콘막 위의 막 두께 10nm의 산화 실리콘막의 적층막이다. 질화 실리콘막 및 산화 실리콘막은 각각 스퍼터링법을 사용하여 성막하였다.

[0832] 절연체(275)는 PEALD법으로 성막한 막 두께 5nm의 질화 실리콘막이다. 절연체(280)는 스퍼터링법으로 성막한 산화 실리콘막이다.

[0833] 절연체(250)는 도 17의 (A) 및 (B)에 나타낸 구조와 마찬가지로 절연체(250c), 절연체(250a), 절연체(250d), 절연체(250b)의 순으로 적층된 4층 구조의 적층막이다. 절연체(250c)는 열 ALD법으로 성막한 막 두께 1nm의 산화 알루미늄막이다. 절연체(250a)는 PEALD법으로 성막한 막 두께 4nm의 산화 실리콘막이다. 절연체(250d)는 열 ALD법으로 성막한 막 두께 1.5nm의 산화 하프늄막이다. 절연체(250b)는 PEALD법으로 성막한 막 두께 1nm의 질화 실리콘막이다.

[0834] 도전체(260)는 도전체(260a)와 도전체(260b)의 적층막이다. 도전체(260a)는 CVD법으로 성막한 질화 타이타늄막이다. 도전체(260b)는 CVD법으로 성막한 텅스텐막이다.

[0835] 절연체(282)는 스퍼터링법으로 성막한 막 두께 40nm의 산화 알루미늄막이다. 또한 절연체(283)는 스퍼터링법으로 성막한 막 두께 20nm의 질화 실리콘막이다.

[0836] 다음으로 MIM의 구성예에 대하여 설명한다. 본 실시예의 시료의 MIM은 OSFET의 도전체(242b) 위의 절연체(280) 및 절연체(275)의 개구의 내부에 형성되어 있고, 하부 전극, 유전체막, 상부 전극의 순으로 형성된다. 여기서, MIM의 하부 전극은 OSFET의 도전체(242b)가 겸한다.

[0837] MIM의 유전체막은 막 두께 1nm의 산화 알루미늄막, 막 두께 18nm의 산화 하프늄막, 막 두께 1nm의 산화 알루미늄막의 순으로 적층된 3층 구조의 적층막이다. 산화 알루미늄막 및 산화 하프늄막은 각각 열 ALD법으로 성막하였다.

[0838] MIM의 상부 전극은 질화 타이타늄막과, 질화 타이타늄막 위의 텅스텐막의 적층막이다. 질화 타이타늄막 및 텅스텐막은 각각 CVD법으로 성막하였다.

[0839] 또한 본 실시예의 시료에는 도 56의 (B)에 나타낸 바와 같이, 위층의 트랜지스터(200)와 아래층의 트랜지스터(200)를 전기적으로 접속하는 플러그로서 기능하는 도전체(240)가 형성된다. 도전체(240)는 절연체(280) 등에 제공된 개구 내에 형성되고, 상기 개구 내에서 노출된 도전체(242a)의 측면 및 상면과 접하여 형성된다. 다만, 도 56의 (B)에서는 도 22 및 도 30과 달리, 도전체(240)의 상부가 위층의 트랜지스터(200)의 도전체(205)와 같은 층에 형성된 도전체(207H)와 접하여 제공되고, 도전체(240)의 하부가 아래층의 트랜지스터(200)의 도전체(205)와 같은 층에 형성된 도전체(207L)와 접하여 제공된다. 또한 도전체(240)의 측면과 접하여 절연체(241)가

제공된다.

[0840] 도전체(240)는 도전체(240a)와 도전체(240b)의 적층막이다. 도전체(240a)는 CVD법으로 성막한 질화 타이타늄막이다. 도전체(240b)는 CVD법으로 성막한 텅스텐막이다. 절연체(241)는 막 두께 3nm의 산화 알루미늄막과, 상기 산화 알루미늄막 내측에 제공된 막 두께 5nm의 질화 실리콘막의 적층막이다. 산화 알루미늄막은 열 ALD법으로 성막하고, 질화 실리콘막은 PEALD법으로 성막하였다.

[0841] 상기 OSFET를 포함하는 시료의 제작 공정에서의 공정 온도는 450℃ 이하로 하였다. 여기서, 1st layer에서는 제작 후에 3층, 2nd layer에서는 제작 후에 2층, 제작 공정의 열 이력이 가해진다.

[0842] 그래서, 본 실시예의 시료를 제작하기 전에, 상기 OSFET와 같은 구조의 트랜지스터를 제작하고, 제작 후에 열처리를 수행하여, 전기 특성의 평가를 수행하였다. 상기 열처리 및 전기 특성의 평가는 첫 번째 전기 특성의 측정, 첫 번째 열처리, 두 번째 전기 특성의 측정, 두 번째 열처리, 세 번째 전기 특성의 측정, 세 번째 열처리, 네 번째 전기 특성의 측정의 순으로 수행하였다. 각각의 열처리는 질소 분위기에서 450℃로 1시간(1hr) 수행하였다. 따라서, 두 번째 열처리 후에는 열처리 시간이 2시간(2hr)이 되고, 세 번째 열처리 후에는 열처리 시간이 3시간(3hr)이 된다. 상기 전기 특성의 평가의 결과를 도 58 및 도 59에 나타내었다. 도 58은 Id-Vg 특성의 측정 결과이고, 도 59는 도 58에 나타낸 Id-Vg 특성으로부터 산출된 문턱 전압(Vth)의 그래프이다. 또한 첫 번째 전기 특성의 측정은 열처리를 수행하기 전에 수행되므로, 첫 번째로 측정된 전기 특성을 가열 전의 전기 특성 또는 가열 처리 시간 0시간(0hr)에서의 전기 특성이라고 부르는 경우가 있다.

[0843] 도 58 및 도 59에 나타낸 바와 같이, 열 이력에 의존하지 않고, 트랜지스터는 안정된 특성을 나타내었다. 따라서, 1st layer 내지 4th layer에 포함되는 OSFET도 열 이력에 의존하지 않고, 안정된 특성을 나타내는 것으로 생각된다.

[0844] 상술한 시료의 OSFET는 설곗값이 채널 길이 60nm, 채널 폭 60nm의 트랜지스터이다. 1st layer 내지 4th layer 각각에 있어서, OSFET 9개를 평가하였다.

[0845] 우선, 시료의 1st layer 내지 4th layer를 포함하는 단면에 대하여 단면 STEM 이미지의 촬영을 수행하였다. 단면 STEM 이미지의 촬영은 Hitachi High-Tech Corporation 제조 "HD-2700"을 사용하여 가속 전압을 200kV로 하여 수행하였다.

[0846] 시료의 단면 STEM 이미지를 도 57에 나타내었다. 도 57에 나타낸 바와 같이, 본 실시예의 시료에 있어서, 1st layer 내지 4th layer에 OSFET의 채널 길이 방향의 단면을 확인할 수 있었다. 또한 도 57에 나타낸 바와 같이, 본 실시예의 시료에 있어서, 2nd layer 내지 4th layer에 MIM의 단면을 확인할 수 있었다. 이와 같이, OSFET 및 MIM이 모놀리식으로 적층된 시료를 제작할 수 있었다.

[0847] 다음으로, 1st layer 내지 4th layer 각각의 OSFET에 대하여 전기 특성의 평가를 수행하였다. 전기 특성의 평가로서는 Keysight Technologies 제조의 반도체 파라미터 애널라이저를 사용하여 각각의 소자의 Id-Vg 특성(드레인 전류-게이트 전압 특성)을 측정하였다. Id-Vg 특성의 측정은 드레인 전위 Vd를 1.2V로 하고, 소스 전위 Vs를 0V로 하고, 보텀 게이트 전위 Vbg를 0V로 하고, 톱 게이트 전위 Vg를 -4.0V부터 4.0V까지 0.1V의 스텝으로 소인(sweep)하였다.

[0848] 도 60에 1st layer 내지 4th layer 각각의 Id-Vg 특성의 측정 결과를 나타내었다. 도 60에 있어서 가로축은 톱 게이트 전위(Vg)[V]를 나타내고, 세로축은 드레인 전류(Id)[A]를 나타낸다. 또한 가로축은 -1V 이상 4V 이하의 범위를 표시하였다.

[0849] 또한 도 60에 나타낸 Id-Vg 특성으로부터 산출된 문턱 전압(Vth)을 도 61의 (A)에 나타내었다. 도 60 및 도 61의 (A)에 나타낸 바와 같이, 1st layer 내지 4th layer에 있어서, 문턱 전압(Vth)이 양의 값이고, 노멀리 오프 특성을 나타내었다. 또한 톱 게이트 전위(Vg)가 음의 범위에 있을 때 드레인 전류(Id)는 10^{-12}A 이하이고, 오프 전류가 충분히 저감되어 있는 것이 확인되었다. 또한 1st layer 내지 4th layer에 있어서, 전기 특성 및 문턱 전압(Vth)에서는 적층 순서의 의존성은 명확히 보이지 않았다.

[0850] 또한 1st layer 내지 4th layer 각각에 있어서, OSFET의 SD 전극(도 22에 나타낸 도전체(242a) 또는 도전체(242b))의 시트 저항을 측정한 결과를 도 61의 (B)에 나타내었다. OSFET의 SD 전극의 시트 저항의 측정은, OSFET의 도전체(242a) 또는 도전체(242b)를 측정하기 위한 TEG를 형성하고, 상기 TEG에서 수행하였다. 또한 1st layer 내지 4th layer 각각에 있어서, OSFET의 플러그로서 기능하는 전극(도 20의 (B)에 나타낸 도전체(240a))의 콘택트 저항을 측정한 결과를 도 61의 (C)에 나타내었다. OSFET의 플러그로서 기능하는 전극의 콘택

트 저항의 측정은, 도 20의 (B)에 나타낸 도전체(242a), 도전체(240a), 및 도전체(112)에 대응하는 TEG를 형성하고, 상기 TEG에서 수행하였다.

[0851] 도 61의 (B) 및 (C)에 나타낸 바와 같이, OSFET의 SD 전극의 시트 저항 및 OSFET의 플러그로서 기능하는 전극의 콘택트 저항에서도, 적층 순서의 의존성은 명확히 보이지 않았다.

[0852] 상술한 바와 같이, 도 58 및 도 59에서 나타낸 결과와 마찬가지로 1st layer 내지 4th layer 각각에 있어서, 열 이력에 의존하지 않고, OSFET는 안정된 특성을 나타내었다.

[0853] 또한 3rd layer의 OSFET의 Id-Vg 특성의 온도 의존성을 조사한 결과에 대하여 도 62에 나타내었다. 도 62에 나타낸 바와 같이, 측정 온도를 -40℃, 27℃, 85℃로 하여, Id-Vg 특성의 측정을 수행하였다. 또한 도 62의 파선은 측정 하한(detection limit)을 나타낸다. 어느 온도 조건에서도 오프 전류가 측정 하한(10^{-13}A) 이하가 되는 것이 확인되었다.

[0854] 또한 1st layer 내지 4th layer 각각에 있어서, 도 56의 (B)에 나타낸 구조의 도전체(207L)-도전체(242a) 간, 도전체(207L)-도전체(207H) 간, 및 도전체(242a)-도전체(207H) 간의 콘택트 저항을 측정하였다. 콘택트 저항을 측정한 결과를 도 63의 (A) 내지 (C)에 나타내었다. 여기서, 도 63의 (A)는 도전체(207L)-도전체(242a) 간의 콘택트 저항이고, 도 63의 (B)는 도전체(207L)-도전체(207H) 간의 콘택트 저항이고, 도 63의 (C)는 도전체(242a)-도전체(207H) 간의 콘택트 저항이다. 도 63의 (A) 내지 (C)에 나타낸 바와 같이, 1st layer 내지 4th layer 각각에 있어서, 도전체(207L)-도전체(242a) 간, 도전체(207L)-도전체(207H) 간, 및 도전체(242a)-도전체(207H) 간에서 도통한다.

[0855] 또한 1st layer 내지 4th layer 각각에 있어서, 도 64의 (A)에 나타낸 회로의 TEG를 사용하여 OSFET의 누설 전류의 평가를 수행하였다.

[0856] 도 64의 (A)에 나타낸 바와 같이, 트랜지스터(W)의 소스는 노드(FN)와 전기적으로 접속되고, 트랜지스터(M)의 드레인은 노드(FN)와 전기적으로 접속되고, 판독 회로는 노드(FN)와 전기적으로 접속된다. 판독 회로는 2개의 트랜지스터가 직렬로 접속된 것이고, 한쪽의 트랜지스터의 게이트가 노드(FN)와 전기적으로 접속되고, 양쪽의 트랜지스터의 소스 또는 드레인이 접속된 노드가 출력 단자(OUT)와 전기적으로 접속된다.

[0857] 트랜지스터(W)는 기록용 트랜지스터이고, 트랜지스터(M)는 누설 전류의 평가 대상인 트랜지스터이다. 도 64의 (A)에서 트랜지스터(M)는 하나의 트랜지스터로 도시되었지만, 시료에 포함되는 OSFET(설곗값으로 채널 길이 60nm, 채널 폭 60nm인 트랜지스터)를 20000개 병렬로 접속한 트랜지스터이다. 즉, 트랜지스터(M)는 채널 길이 60nm, 채널 폭 1.2mm의 트랜지스터에 상당한다.

[0858] 다음으로, 누설 전류를 도출하는 방법에 대하여 설명한다. 트랜지스터(W)가 온 상태가 되도록 트랜지스터(W)의 드레인에 전위 1.2V를 인가하고, 전하를 축적시켜 노드(FN)의 전위가 1.2V가 되도록 하였다. 그 후, 트랜지스터(W)의 게이트에 -3V의 전위를 인가하여, 트랜지스터(W)를 오프 상태로 하였다. 트랜지스터(M)가 오프 상태가 되도록, 트랜지스터(M)의 소스의 전위를 0V로 하고, 트랜지스터(M)의 백 게이트의 전위를 -3V로 하였다. 트랜지스터(M)의 톱 게이트의 전위는 -2V로 하였다. 상술한 상태를 일정 시간 유지하고, 노드(FN)의 전위의 시간에 따른 변화를 판독 회로에 의하여 판독하고, 판독한 값으로부터 누설 전류값을 도출하였다.

[0859] 도 64의 (B)에는 85℃, 100℃, 125℃, 및 150℃ 각각의 온도 환경하에서 측정한 누설 전류(Ioff)의 측정 결과를 나타내었다. 도 64의 (B)에 있어서, 가로축은 온도의 역수를 1000배한 값[1/K]을 나타낸 것이고, 세로축은 트랜지스터(M)의 단위 채널 폭 하나당 누설 전류(Ioff[A/μm])를 대수로 나타낸 것이다.

[0860] 도 64의 (B)로부터, 1st layer 내지 4th layer 각각에 있어서, OSFET의 누설 전류에 큰 차이는 보이지 않았고, 충분히 작은 것을 알 수 있었다.

[0861] 또한 3rd layer에 있어서, 도 65의 (A)에 나타낸 회로의 TEG를 사용하여, OSFET의 유지 특성의 평가를 수행하였다.

[0862] 도 65의 (A)에 나타낸 TEG는 앞의 실시형태에서 설명한 NOSRAM의 TEG이다. 도 65의 (A)에 나타낸 바와 같이, 트랜지스터(W)의 소스 및 드레인 중 한쪽은 노드(SN)와 전기적으로 접속되고, 트랜지스터(R)의 톱 게이트는 노드(SN)와 전기적으로 접속되고, 용량 소자(C)의 한 쌍의 전극 중 한쪽은 노드(SN)와 전기적으로 접속된다. 배선(WWL)이 트랜지스터(W)의 톱 게이트에 전기적으로 접속되고, 배선(WBL)이 트랜지스터(W)의 소스 및 드레인 중 다른 쪽에 전기적으로 접속된다. 또한 배선(RBL)이 트랜지스터(R)의 소스 및 드레인 중 한쪽에 전기적으로 접

속되고, 배선(SL)이 트랜지스터(R)의 소스 및 드레인 중 다른 쪽에 전기적으로 접속된다. 또한 배선(CWL)이 용량 소자(C)의 한 쌍의 전극 중 다른 쪽에 전기적으로 접속된다.

[0863] 본 실시예에서는, 상기 NOSRAM-TEG에 있어서, High의 데이터 기억 시 및 Low의 데이터 기억 시의 Id-V_{CWL} 특성을 측정하였다. 여기서, High의 데이터의 기록은 배선(WBL)에 1.2V를 공급하고, 용량 소자(C)에 전하를 축적시킴으로써 수행하였다. 또한 Low의 데이터의 기록은 배선(WBL)에 0V를 공급하고, 용량 소자(C)에 전하를 축적시킴으로써 수행하였다. High 또는 Low의 데이터를 기록한 NOSRAM-TEG에 있어서, 배선(CWL)의 전위(V_{CWL})를 -2.5V부터 +2.5V까지 주사하여, 트랜지스터(R)의 전류(Id)를 측정하였다. 이때, 배선(WWL)의 전위를 -1.5V로 하고, 배선(WBL)의 전위를 0V로 하고, 배선(RBL)의 전위를 1.2V로 하고, 배선(SL)의 전위를 0V로 하였다.

[0864] Id-V_{CWL} 특성의 측정 결과를 도 65의 (B)에 나타내었다. 도 65의 (B)에 있어서, 가로축은 배선(CWL)의 전위(V_{CWL})[V]를 나타내고, 세로축은 트랜지스터(R)의 전류(Id)[A]를 나타낸다. 또한 가로축은 -1V 이상 3V 이하의 범위를 표시하였다. 도 65의 (B)에 나타낸 바와 같이, High의 데이터일 때의 Id-V_{CWL} 곡선이 Low의 데이터일 때의 Id-V_{CWL} 곡선에 대하여 충분히 시프트되어 있고, 본 실시예의 TEG가 NOSRAM의 메모리 셀로서 정상적으로 동작하는 것을 확인할 수 있었다.

[0865] 여기서, Id-V_{CWL} 곡선에서의 Id=10^{-12}A와의 교점의 전위(V_{CWL})를 전위(Vsh)로 한다. High 또는 Low의 데이터의 기록 시간(Write pulse width)을 5ns, 10ns, 20ns, 50ns, 100ns로 하여, Id-V_{CWL} 특성을 측정하고, 전위(Vsh)를 산출한 결과를 도 65의 (C)에 나타내었다. 여기서, 데이터의 기록 시간(Write pulse width)이란, 데이터의 기록에 있어서, 배선(WWL)에 고전위를 인가하여, 트랜지스터(W)를 온 상태로 한 시간을 가리킨다.

[0866] 도 65의 (C)에 나타낸 바와 같이, 기록 시간이 5ns이어도, High의 데이터와, Low의 데이터에서 전위(Vsh)에 충분한 차가 나타나 있다. 즉, 5ns 정도의 짧은 시간에서도, 본 실시예의 메모리 셀에 데이터를 기록할 수 있다는 것이 나타내어졌다.

[0867] 또한 상기 NOSRAM-TEG에 대하여 데이터 유지 평가 시험을 수행하였다. 데이터 유지 평가 시험에서는, 우선 노드(SN)에 전위(V_{SN})가 약 2V가 되도록 데이터를 기록하였다. 그리고 배선(WBL)의 전위를 0V로 하고, 배선(WWL)의 전위를 -1.5V로 하고, 배선(RBL)을 1.2V로 하고, 배선(SL)의 전위를 0V로 하고, 배선(CWL)의 전위를 1.3V로 함으로써, 노드(SN)의 전위를 유지하였다. 정해진 시간이 지날 때까지 각 배선의 전위를 유지한 채, 정기적으로 트랜지스터(R)의 전류(Id)를 측정하였다. 시험 전에 트랜지스터(R)의 Id-Vg 특성을 취득해 두고, 측정한 전류(Id)와, 트랜지스터(R)의 Id-Vg 곡선으로부터, 전위(V_{SN})를 산출하였다.

[0868] 데이터 유지 평가 시험의 결과를 도 66의 (A)에 나타내었다. 도 66의 (A)에 있어서, 가로축은 유지 시간(Retention Time)[sec]을 나타내고, 세로축은 전위(V_{SN})[V]를 나타낸다. 도 66의 (A)에 나타낸 바와 같이, 측정 시간 10시간의 시점에서 노드(SN)의 전압 저하는 약 0.1V이었다. 따라서, 본 실시예의 메모리 셀은 충분한 데이터 유지 성능을 가진다는 것이 나타내어졌다.

[0869] 또한 상기 NOSRAM-TEG에 대하여 데이터 재기록 평가 시험을 수행하였다. 데이터 재기록 평가 시험에서는 데이터의 기록을 규정된 횟수 수행한 후에 도 65의 (B) 및 (C)와 같은 식으로 Id-V_{CWL} 곡선을 측정하고, 전위(Vsh)를 산출하였다. 그리고 이들 처리를 데이터의 기록 횟수를 늘리면서 반복적으로 수행하였다.

[0870] 데이터 재기록 평가 시험의 결과를 도 66의 (B)에 나타내었다. 도 66의 (B)에 있어서, 가로축은 데이터의 기록 횟수(Write cycles)[times]를 나타내고, 세로축은 전위(Vsh)[V]를 나타낸다. 도 66의 (B)에 나타낸 바와 같이, 10^{12}번의 재기록을 수행하여도, High의 데이터와, Low의 데이터에서 전위(Vsh)에 충분한 차가 나타나 있다. 즉, 10^{12}번의 재기록을 수행하여도, 본 실시예의 메모리 셀은 정상적으로 데이터를 기록할 수 있다는 것이 나타내어졌다.

[0871] 또한 상기 시료에 있어서는, OSFET의 SD 전극을 질화 탄탈럼막으로 형성하였다. OSFET의 미세화를 실현하는 데 도 17의 (A)에 나타낸 바와 같이, 텅스텐막처럼 도전성이 더 높은 도전막을 적층하여 SD 전극에 사용하면, SD 전극과 플러그로서 기능하는 전극과의 콘택트 저항을 저감할 수 있다.

[0872] SD 전극에 막 두께 20nm의 질화 탄탈럼막(TaN_x)을 사용한 시료와, 막 두께 5nm의 질화 탄탈럼막과, 그 위에 막

두께 15nm의 텅스텐막을 형성한 적층막(TaN_x\W)을 사용한 시료를 준비하고, 각각의 콘택트 저항 및 시트 저항을 측정하였다. 또한 상기 시료에 있어서, 콘택트 직경을 변경한 플러그를 제공하여 콘택트 저항의 측정을 수행하였다.

[0873] 콘택트 저항의 측정 결과를 도 67의 (A)에 나타내었다. 도 67의 (A)로부터, SD 전극에 질화 탄탈럼과 텅스텐의 적층막을 사용하면, 콘택트 직경이 작게 되더라도 콘택트 저항의 증가를 억제할 수 있다는 것을 알 수 있었다.

[0874] 시트 저항의 측정 결과를 도 67의 (B)에 나타내었다. 도 67의 (B)로부터, SD 전극에 질화 탄탈럼과 텅스텐의 적층막을 사용하면, 시트 저항을 저감할 수 있다는 것을 알 수 있었다.

[0875] 또한 상기 시료에서는, MIM으로서 플레이너형 용량 소자를 사용하였다. 앞의 실시형태에서 설명한 DOSRAM을 제작하는 경우, 용량이 더 높은 용량 소자를 형성하는 것이 요구된다. 용량이 높은 용량 소자를 사용한 메모리 셀로서, 도 68에 나타낸 트렌치형 MIM을 가지는 메모리 셀을 제작하였다. 도 68에 나타낸 바와 같이 상기 메모리 셀은 2층 구조이고, 각 층의 메모리 셀은 OSFET와 MIM을 가진다.

[0876] MIM의 하부 전극은 CVD법으로 성막한 질화 타이타늄막이다. MIM의 상부 전극은 CVD법으로 성막한 질화 타이타늄막과, 질화 타이타늄막 위의 텅스텐막의 적층막이다. MIM의 유전체막은 막 두께 4nm의 산화 지르코늄막, 막 두께 0.5nm의 산화 알루미늄막, 막 두께 4nm의 산화 지르코늄막의 순으로 적층된 3층 구조의 적층막이다. 산화 지르코늄막 및 산화 알루미늄막은 각각 열 ALD법으로 성막하였다. 이와 같이, 유전체에 고비유전율 재료인 ZAZ를 사용함으로써, MIM의 고용량화를 실현하였다.

[0877] 본 실시예는 실시형태 및 다른 실시예와 적절히 조합할 수 있다.

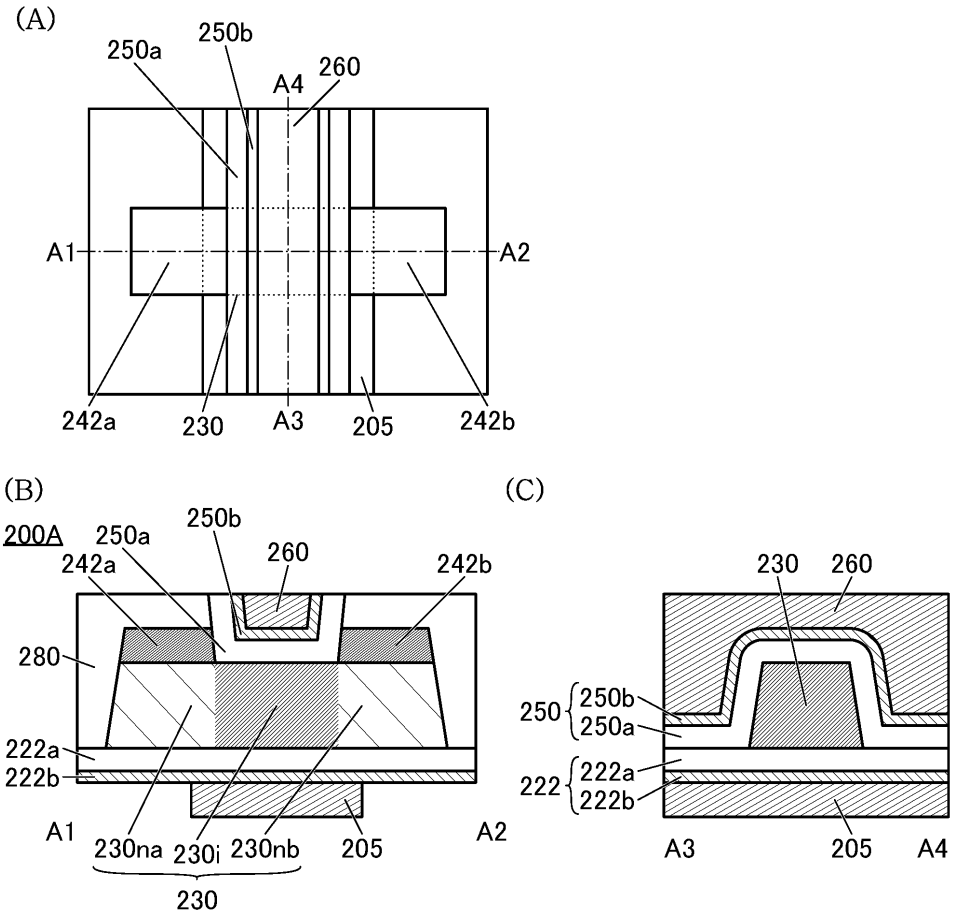
부호의 설명

[0878] 100A: 용량 소자, 100: 용량 소자, 110a: 도전체, 110b: 도전체, 110c: 도전체, 110: 도전체, 112: 도전체, 115: 도전체, 120a: 도전체, 120b: 도전체, 120: 도전체, 125: 도전체, 130: 절연체, 132: 절연체, 140: 도전체, 142: 절연체, 145: 절연체, 150: 절연체, 151: 절연체, 152a: 절연체, 152b: 절연체, 152: 절연체, 153: 도전체, 154: 절연체, 155a: 절연체, 155b: 절연체, 155: 절연체, 156: 절연체, 160a: 도전체, 160b: 도전체, 160: 도전체, 168: 개구, 200A: 트랜지스터, 200B: 트랜지스터, 200C: 트랜지스터, 200D: 트랜지스터, 200E: 트랜지스터, 200: 트랜지스터, 205a: 도전체, 205b: 도전체, 205: 도전체, 207H: 도전체, 207L: 도전체, 209: 도전체, 210: 절연체, 215a: 절연체, 215b: 절연체, 215: 절연체, 216: 절연체, 217: 절연체, 218: 도전체, 222a: 절연체, 222b: 절연체, 222c: 절연체, 222d: 절연체, 222: 절연체, 224a: 절연체, 224c: 절연체, 224d: 절연체, 224: 절연체, 230a: 산화물, 230b: 산화물, 230bi: 영역, 230bna: 영역, 230bnb: 영역, 230i: 영역, 230na: 영역, 230nb: 영역, 230: 산화물, 240a: 도전체, 240b: 도전체, 240: 도전체, 241a: 절연체, 241b: 절연체, 241: 절연체, 242a: 도전체, 242b: 도전체, 246: 도전체, 250a: 절연체, 250b: 절연체, 250c: 절연체, 250d: 절연체, 250: 절연체, 255: 절연체, 260a: 도전체, 260b: 도전체, 260: 도전체, 261: 도전체, 265: 밀봉부, 271a: 절연체, 271b: 절연체, 274: 절연체, 275: 절연체, 280: 절연체, 282: 절연체, 283: 절연체, 284: 절연체, 285: 절연체, 286: 절연체, 287: 절연체, 300: 트랜지스터, 311: 기판, 313: 반도체 영역, 314a: 저저항 영역, 314b: 저저항 영역, 315: 절연체, 316: 도전체, 320: 절연체, 322: 절연체, 324: 절연체, 326: 절연체, 328: 도전체, 330: 도전체, 350: 절연체, 352: 절연체, 354: 절연체, 356: 도전체, 400: 개구 영역, 500: 반도체 장치, 700: 전자 부품, 702: 인쇄 기판, 704: 실장 기판, 710: 반도체 장치, 711: 몰드, 712: 랜드, 713: 전극 패드, 714: 와이어, 715: 구동 회로층, 716: 기억층, 730: 전자 부품, 731: 인터포저, 732: 패키지 기판, 733: 전극, 735: 반도체 장치, 1001: 배선, 1002: 배선, 1003: 배선, 1004: 배선, 1005: 배선, 1006: 배선, 1007: 배선, 1100: USB 메모리, 1101: 하우징, 1102: 캡, 1103: USB 커넥터, 1104: 기판, 1105: 메모리 칩, 1106: 컨트롤러 칩, 1110: SD 카드, 1111: 하우징, 1112: 커넥터, 1113: 기판, 1114: 메모리 칩, 1115: 컨트롤러 칩, 1150: SSD, 1151: 하우징, 1152: 커넥터, 1153: 기판, 1154: 메모리 칩, 1155: 메모리 칩, 1156: 컨트롤러 칩, 1200: 칩, 1201: 패키지 기판, 1202: 범프, 1203: 머더보드, 1204: GPU 모듈, 1211: CPU, 1212: GPU, 1213: 아날로그 연산부, 1214: 메모리 컨트롤러, 1215: 인터페이스, 1216: 네트워크 회로, 1221: DRAM, 1222: 플래시 메모리, 1400: 기억 장치, 1411: 주변 회로, 1420: 행 회로, 1430: 열 회로, 1440: 출력 회로, 1460: 컨트롤 로직 회로, 1470[1]: 메모리 셀 어레이, 1470[2]: 메모리 셀 어레이, 1470[m]: 메모리 셀 어레이, 1470: 메모리 셀 어레이, 1471: 메모리 셀, 1472: 메모리 셀, 1473: 메모리 셀, 1474: 메모리 셀, 1475: 메모리 셀, 1476: 메모리 셀, 1477: 메모리 셀, 1478: 메모리 셀, 1479: 메모리 셀, 1480: 메모리 셀, 5600: 대형 컴퓨터, 5610: 랙, 5620: 컴퓨터, 5621: PC 카드, 5622: 보드, 5623: 접속 단자, 5624: 접속 단자,

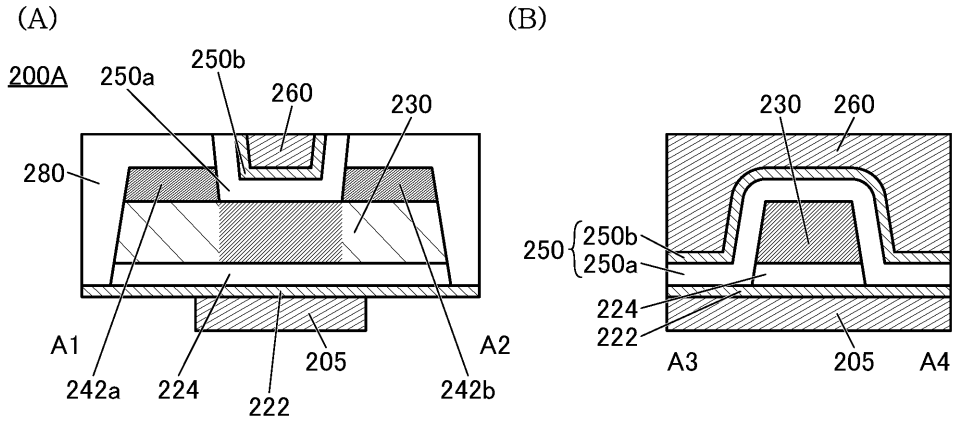
5625: 접속 단자, 5626: 반도체 장치, 5627: 반도체 장치, 5628: 반도체 장치, 5629: 접속 단자, 5630: 머더보드, 5631: 슬롯, 6500: 전자 기기, 6501: 하우징, 6502: 표시부, 6503: 전원 버튼, 6504: 버튼, 6505: 스피커, 6506: 마이크로폰, 6507: 카메라, 6508: 광원, 6509: 제어 장치, 6600: 전자 기기, 6611: 하우징, 6612: 키보드, 6613: 포인팅 디바이스, 6614: 외부 접속 포트, 6615: 표시부, 6616: 제어 장치, 6800: 인공위성, 6801: 기체, 6802: 태양 전지판, 6803: 안테나, 6804: 행성, 6805: 이차 전지, 6807: 제어 장치, 7000: 저장 시스템, 7001sb: 서버, 7001: 호스트, 7002: 스토리지 제어 회로, 7003md: 기억 장치, 7003: 스토리지, 7004: 스토리지 에어리어 네트워크

도면

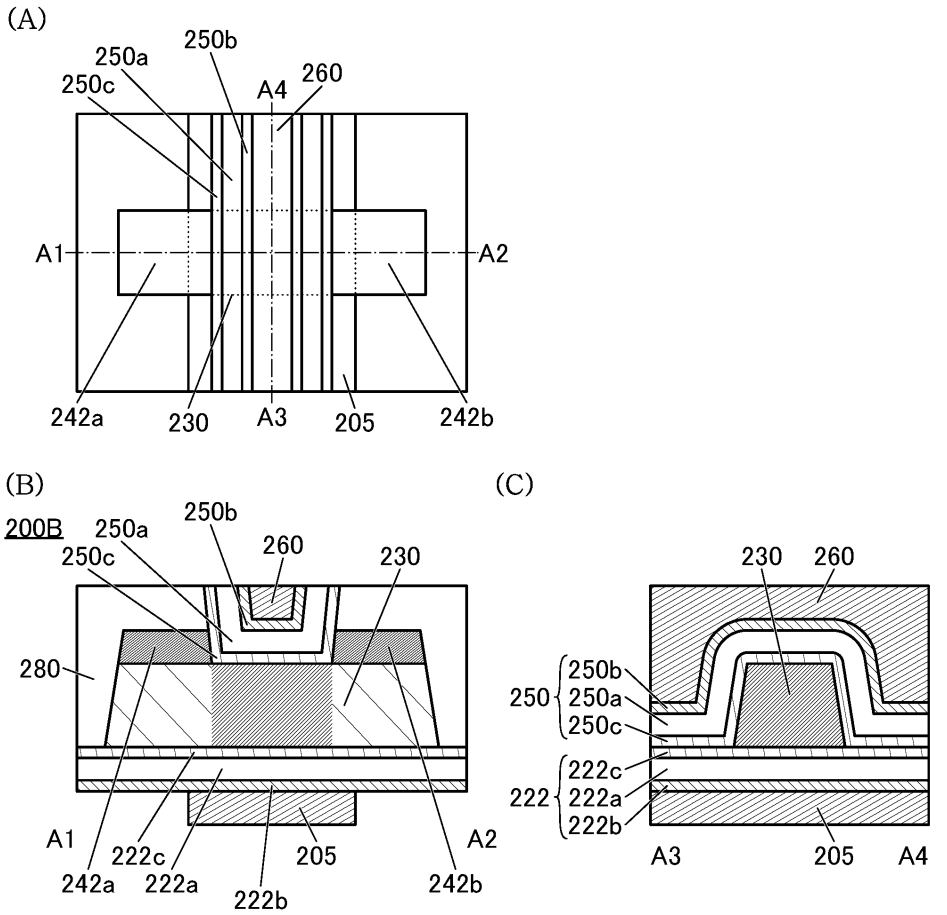
도면1



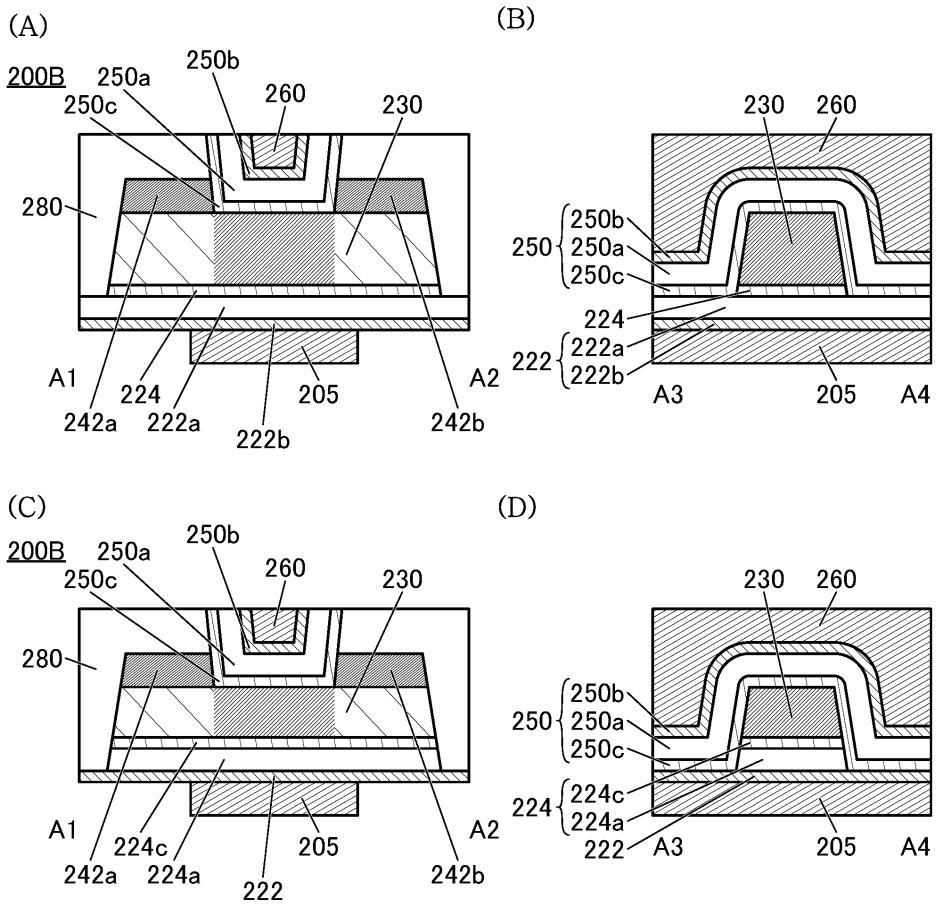
도면2


(A)
200A
250a
250b
260
230
280
A1
A2
242a
224
222
205
242b
(B)
230
260
250
250b
250a
224
222
A3
205
A4

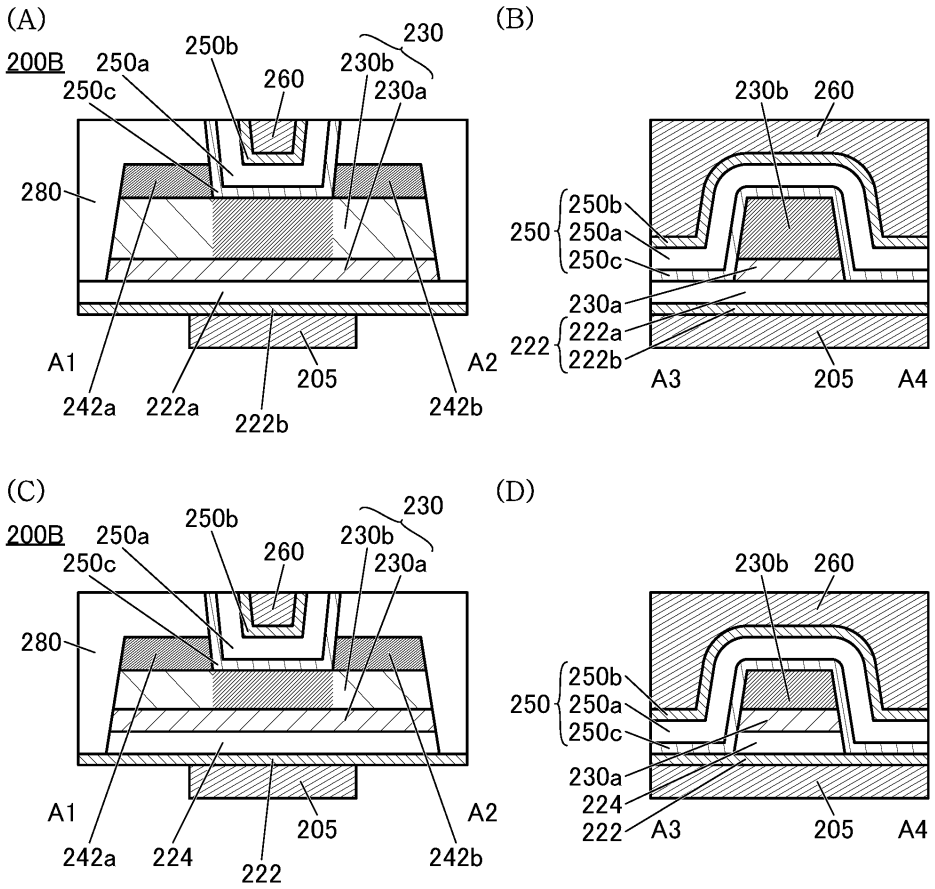
도면3


(A)
250a
250b
250c
A4
260
A1
A2
242a
230
A3
205
242b
(B)
200B
250a
250b
250c
260
230
280
A1
222c
205
A2
242a
222a
222b
242b
(C)
230
260
250
250b
250a
250c
222
222c
222a
222b
A3
205
A4

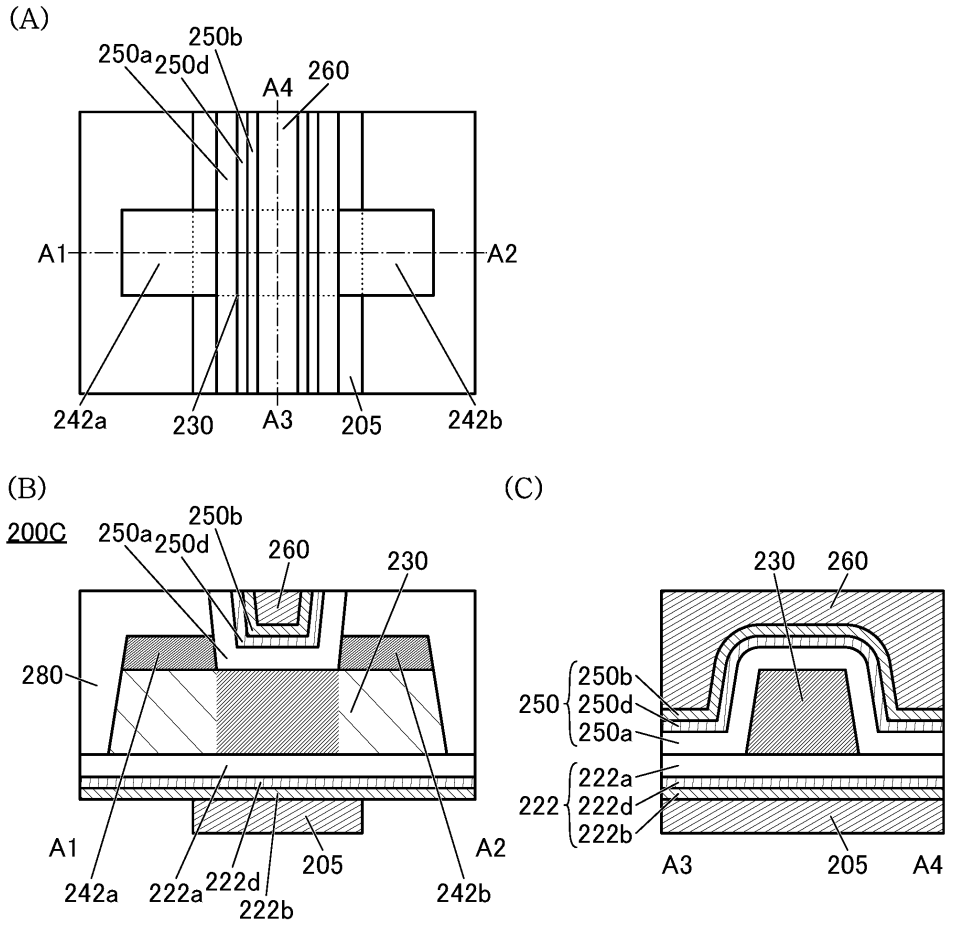
도면4


(A)
200B
250a
250b
250c
260
230
280
A1
A2
224
205
242a
222a
222b
242b
(B)
230
260
250
250b
250a
250c
224
222
222a
222b
A3
205
A4
(C)
200B
250a
250b
250c
260
230
280
A1
A2
224c
224a
205
242a
222
242b
(D)
230
260
250
250b
250a
250c
224
224c
224a
222
A3
205
A4

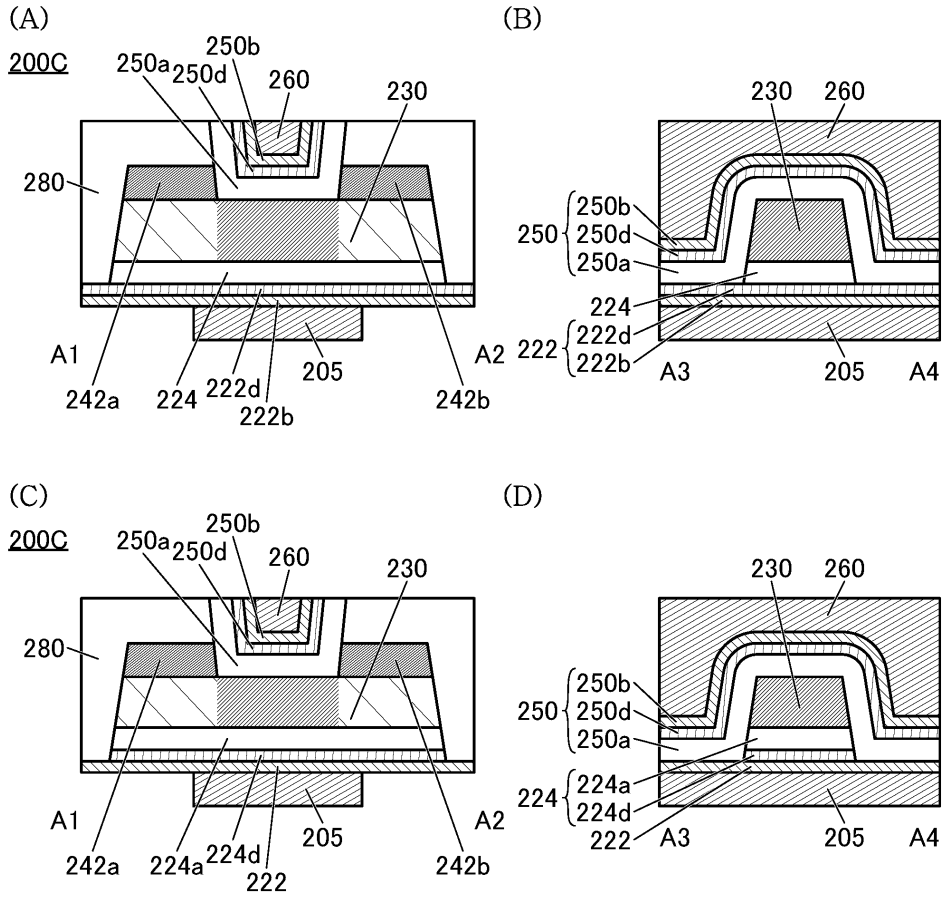
도면5


(A)
200B
250a
250b
230
250c
260
230b
230a
280
A1
A2
242a
222a
222b
205
242b
(B)
230b
260
250
250b
250a
250c
230a
222
222a
222b
A3
205
A4
(C)
200B
250a
250b
230
250c
260
230b
230a
280
A1
A2
242a
224
222
205
242b
(D)
230b
260
250
250b
250a
250c
230a
224
222
A3
205
A4

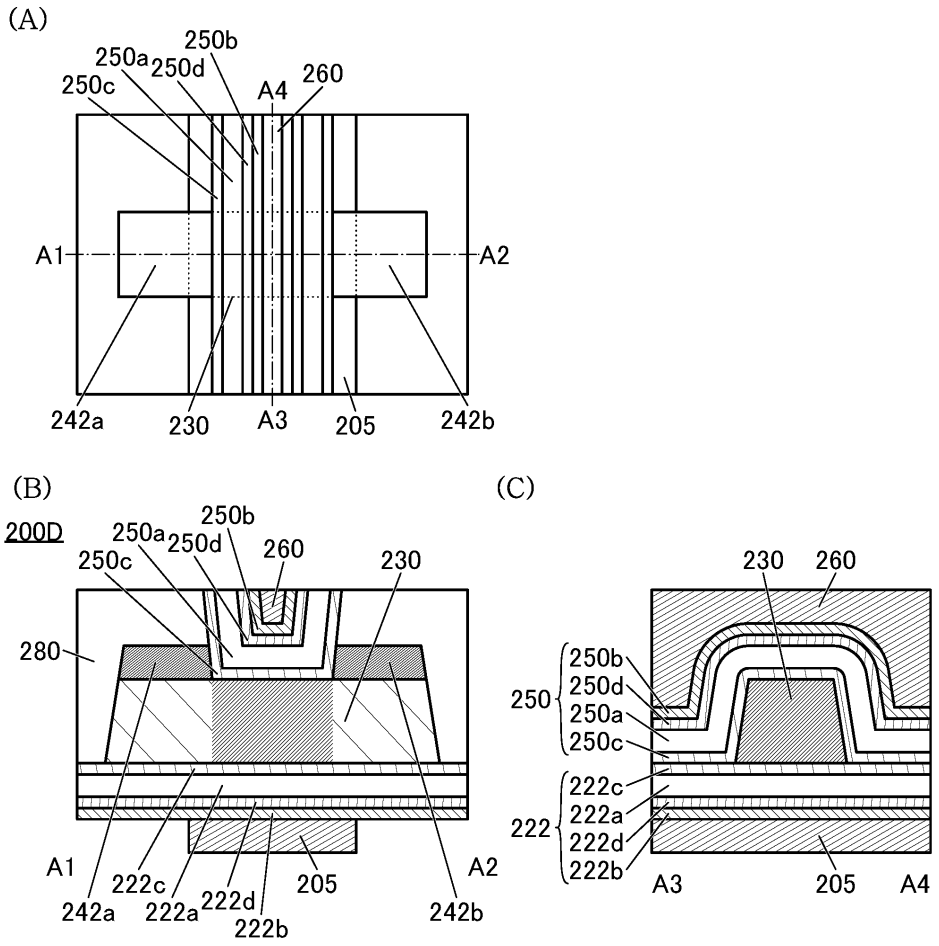
도면6


(A)
250a
250d
250b
A4
260
A1
A2
242a
230
A3
205
242b
(B)
200C
250a
250d
250b
260
230
280
A1
A2
242a
222a
222d
222b
205
242b
(C)
230
260
250
250b
250d
250a
222
222a
222d
222b
A3
205
A4

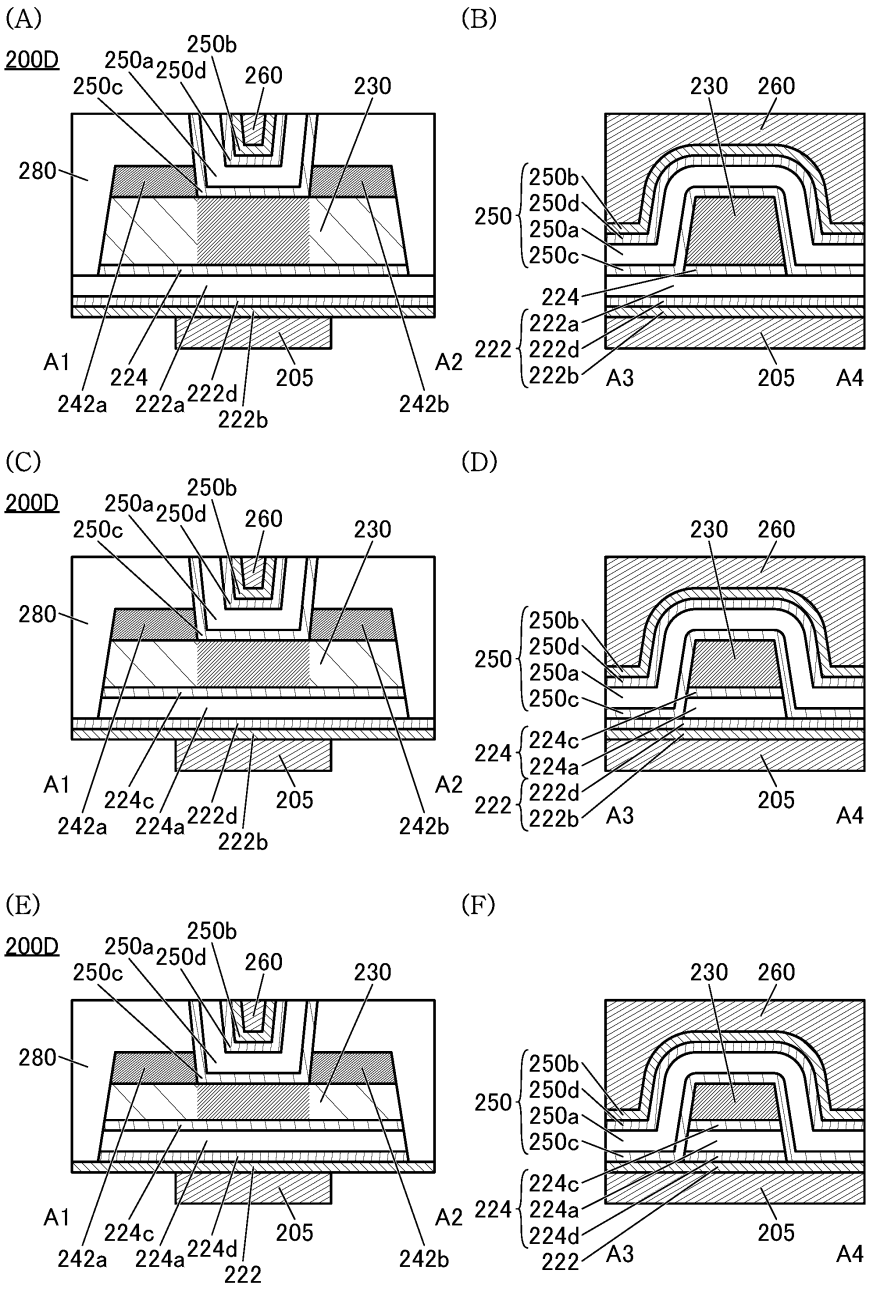
도면7


(A)
200C
250a
250b
250d
260
230
280
A1
A2
242a
224
222d
222b
205
242b
(B)
230
260
250
250b
250d
250a
224
222
222d
222b
A3
205
A4
(C)
200C
250a
250b
250d
260
230
280
A1
A2
242a
224a
224d
222
205
242b
(D)
230
260
250
250b
250d
250a
224
224a
224d
222
A3
205
A4

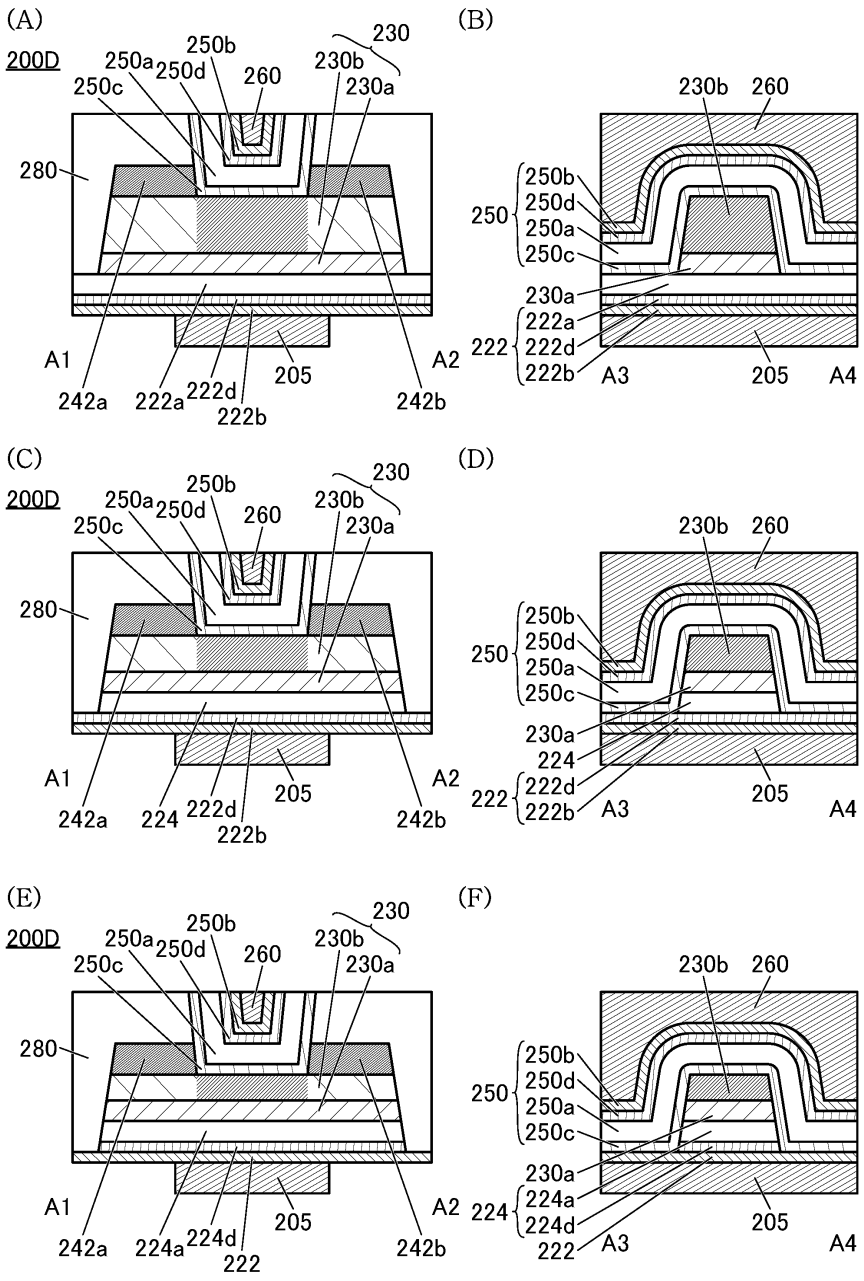
도면8


(A)
250b
250a
250d
250c
A4
260
A1
A2
242a
230
A3
205
242b
(B)
200D
250b
250a
250d
250c
260
230
280
A1
222c
222a
222d
205
A2
242a
222b
242b
(C)
230
260
250b
250d
250a
250c
250
222c
222a
222d
222b
222
A3
205
A4

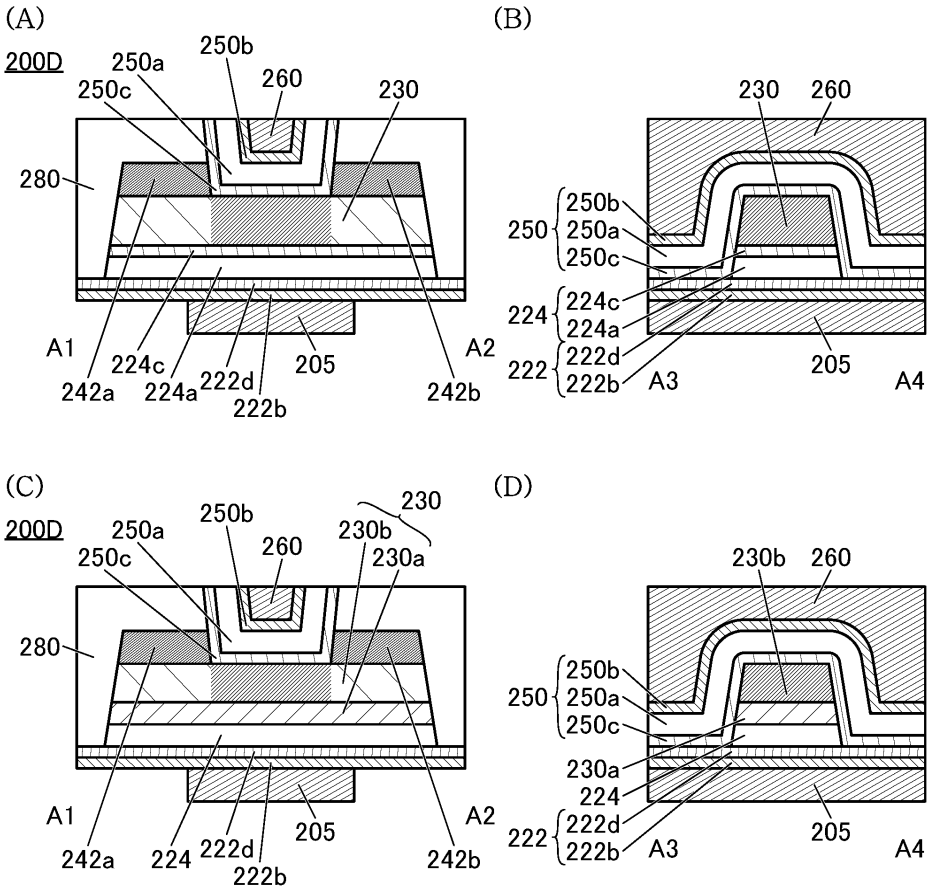
도면9


(A)
200D
250a
250b
250d
260
250c
230
280
A1
224
222a
222d
205
A2
242a
222b
242b
(B)
230
260
250
250b
250d
250a
250c
224
222
222a
222d
222b
A3
205
A4
(C)
200D
250a
250b
250d
260
250c
230
280
A1
224c
224a
222d
205
A2
242a
222b
242b
(D)
230
260
250
250b
250d
250a
250c
224
224c
224a
222
222d
222b
A3
205
A4
(E)
200D
250a
250b
250d
260
250c
230
280
A1
224c
224a
224d
205
A2
242a
222
242b
(F)
230
260
250
250b
250d
250a
250c
224
224c
224a
224d
222
A3
205
A4

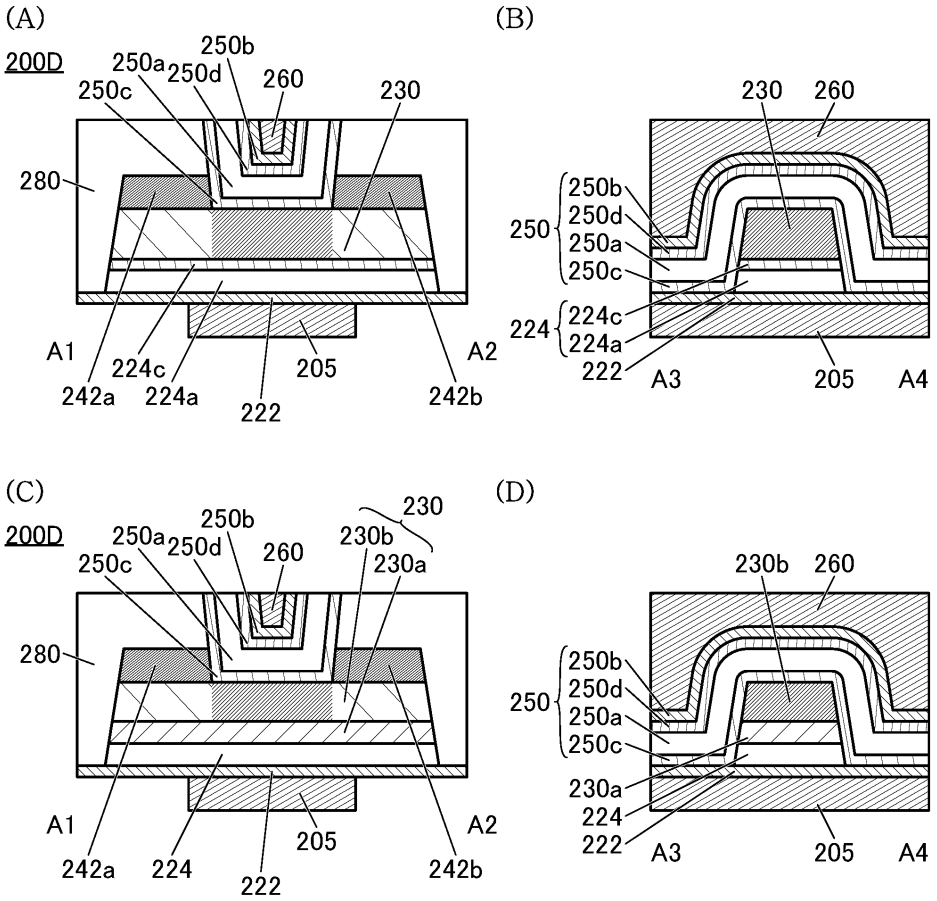
도면10


(A)
200D
250a
250b
250d
260
230
230b
230a
250c
280
A1
A2
242a
222a
222d
222b
205
242b
(B)
230b
260
250
250b
250d
250a
250c
230a
222
222a
222d
222b
A3
205
A4
(C)
200D
250a
250b
250d
260
230
230b
230a
250c
280
A1
A2
242a
224
222d
222b
205
242b
(D)
230b
260
250
250b
250d
250a
250c
230a
224
222
222d
222b
A3
205
A4
(E)
200D
250a
250b
250d
260
230
230b
230a
250c
280
A1
A2
242a
224a
224d
222
205
242b
(F)
230b
260
250
250b
250d
250a
250c
230a
224
224a
224d
222
A3
205
A4

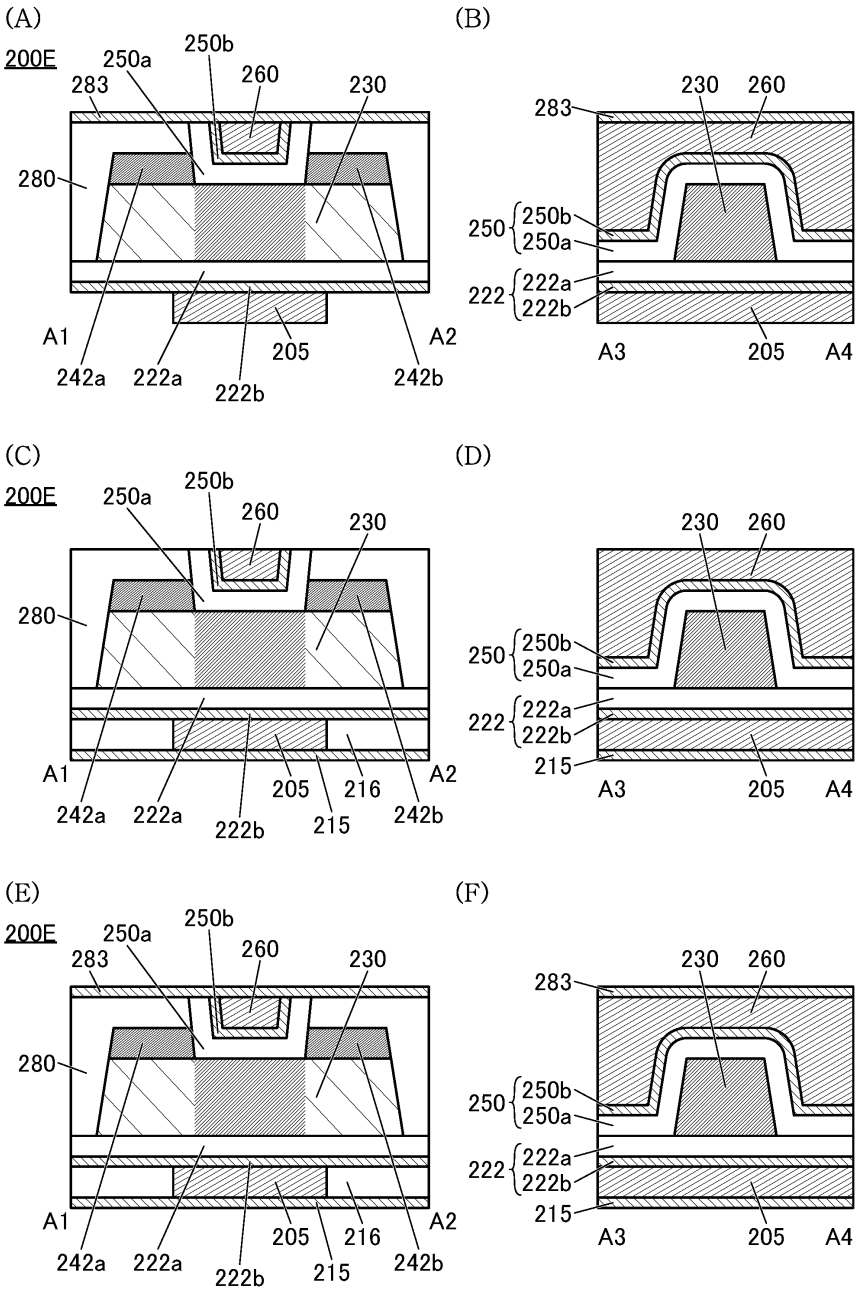
도면11


(A)
200D
250a
250b
250c
260
230
280
A1
A2
242a
224c
224a
222d
205
222b
242b
(B)
230
260
250
250b
250a
250c
224
224c
224a
222
222d
222b
A3
205
A4
(C)
200D
250a
250b
230
230b
230a
250c
260
280
A1
A2
242a
224
222d
205
222b
242b
(D)
230b
260
250
250b
250a
250c
230a
224
222
222d
222b
A3
205
A4

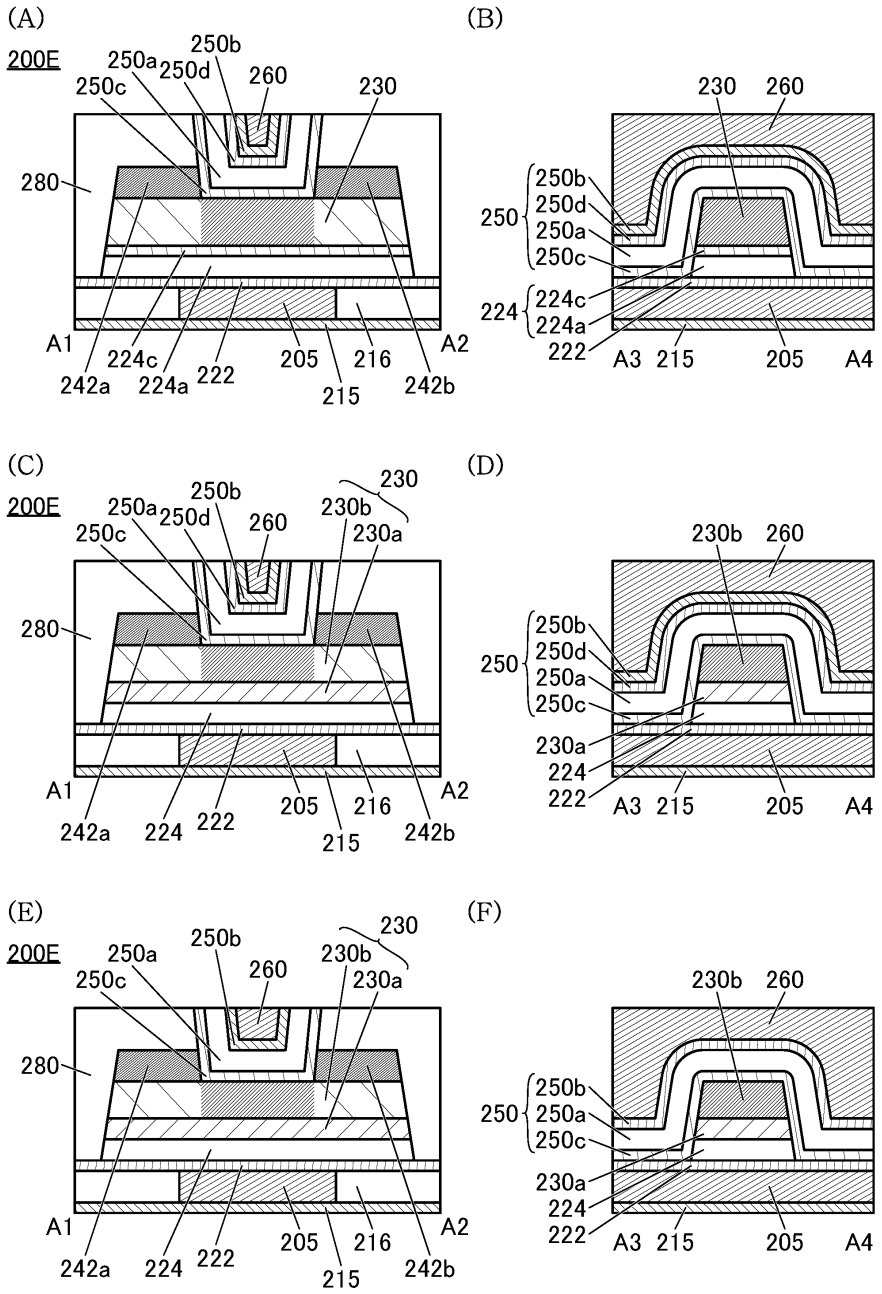
도면12


(A)
200D
250a
250b
250d
260
250c
230
280
A1
224c
205
A2
242a
224a
222
242b
(B)
230
260
250b
250d
250a
250c
250
224c
224a
224
222
A3
205
A4
(C)
200D
250a
250b
230
230b
250d
260
250c
230a
280
A1
205
A2
242a
224
222
242b
(D)
230b
260
250b
250d
250a
250c
250
230a
224
222
A3
205
A4

도면13

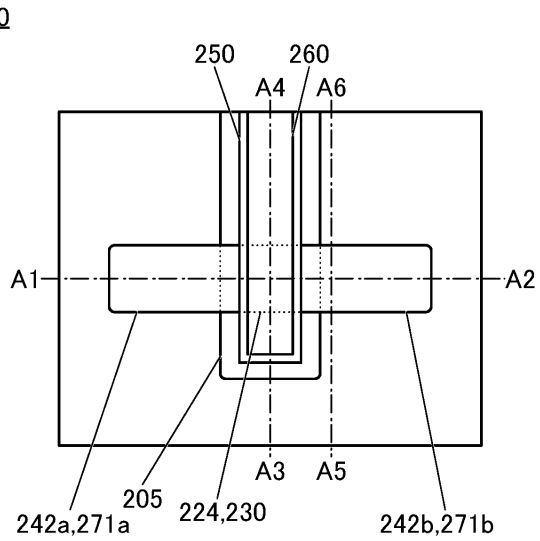

(A)
200E
250a
250b
260
230
283
280
A1
242a
222a
222b
205
242b
A2
(B)
283
230
260
250
250b
250a
222
222a
222b
A3
205
A4
(C)
200E
250a
250b
260
230
280
A1
242a
222a
222b
205
215
216
242b
A2
(D)
230
260
250
250b
250a
222
222a
222b
215
A3
205
A4
(E)
200E
250a
250b
260
230
283
280
A1
242a
222a
222b
205
215
216
242b
A2
(F)
230
260
283
250
250b
250a
222
222a
222b
215
A3
205
A4

도면14

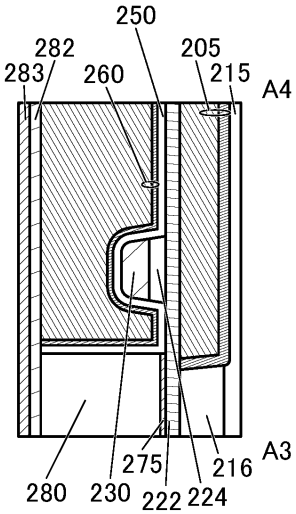

(A)
200E
250a
250b
250d
260
250c
230
280
A1
224c
224a
222
205
216
A2
242a
224a
215
242b
(B)
230
260
250
250b
250d
250a
250c
224
224c
224a
222
A3
215
205
A4
(C)
200E
250a
250b
230
230b
250d
260
230a
250c
280
A1
205
216
A2
242a
224
222
215
242b
(D)
230b
260
250
250b
250d
250a
250c
230a
224
222
A3
215
205
A4
(E)
200E
250a
250b
230
230b
260
230a
250c
280
A1
205
216
A2
242a
224
222
215
242b
(F)
230b
260
250
250b
250a
250c
230a
224
222
A3
215
205
A4

도면15

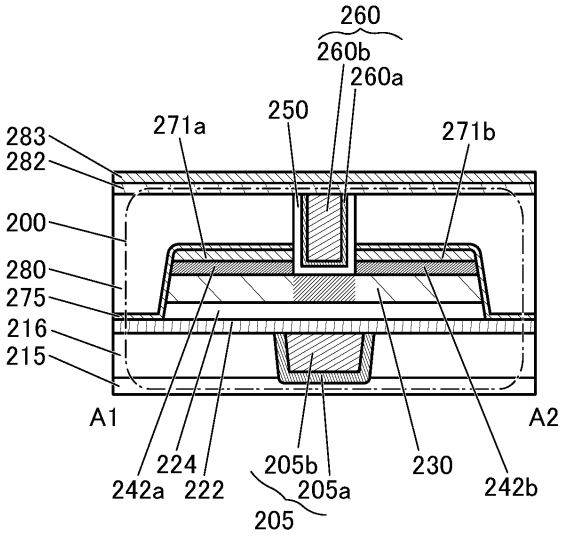
(A)


200
250
260
A4
A6
A1
A2
A3
A5
205
242a,271a
224,230
242b,271b

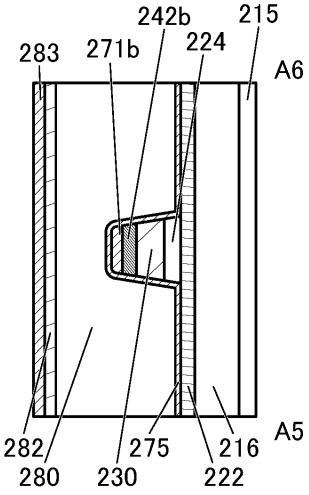
(C)


250
282
283
260
205
215
A4
A3
275
216
280
230
222
224

(B)

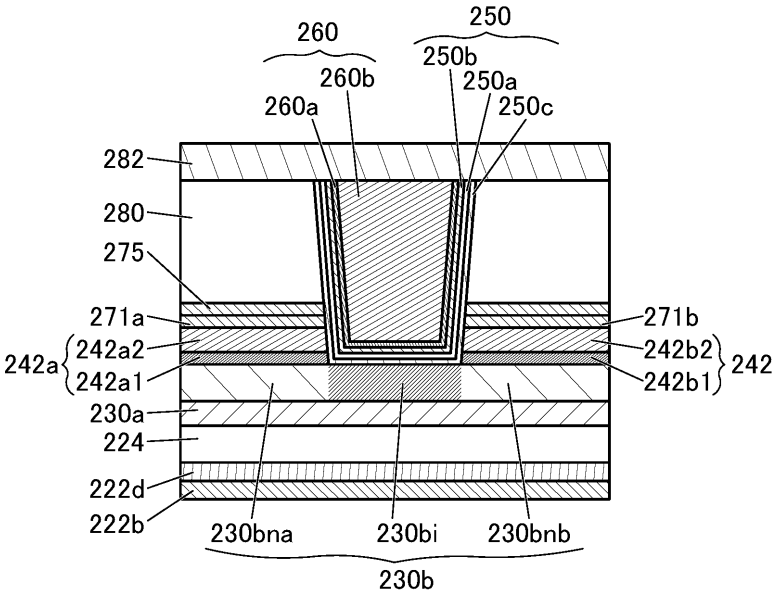

260
260b
260a
250
271a
271b
283
282
200
280
275
216
215
A1
A2
224
242a
222
205b
205a
205
230
242b

(D)

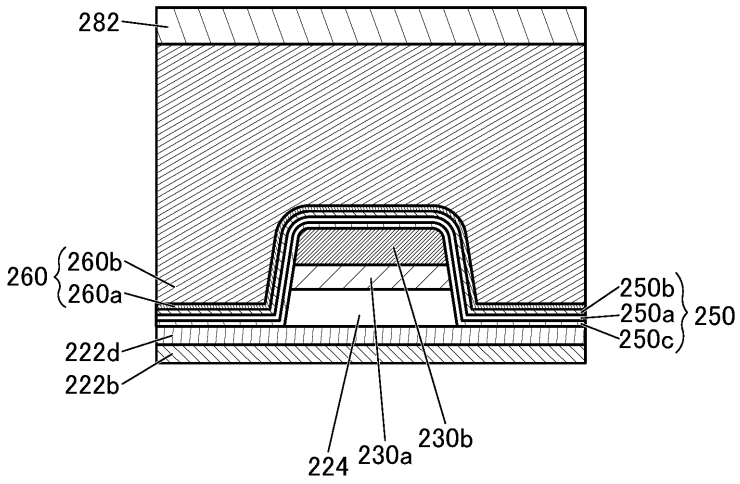

242b
215
283
271b
224
A6
A5
282
280
275
230
216
222

도면16

(A)

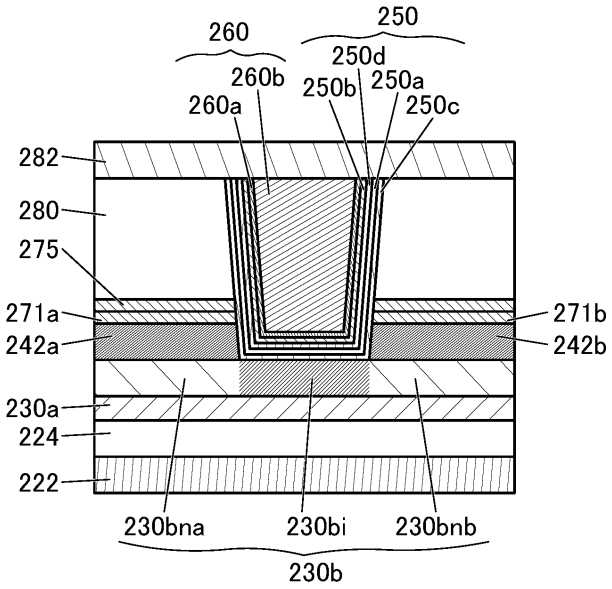

260
250
260b
250b
250a
260a
250c
282
280
275
271a
271b
242a
242a2
242a1
242b2
242b1
242
230a
224
222d
222b
230bna
230bi
230bnb
230b

(B)

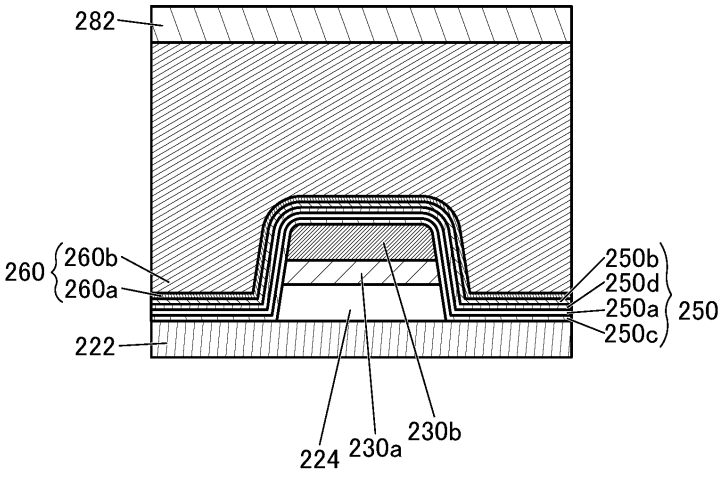

282
260
260b
260a
250b
250a
250c
250
222d
222b
224
230a
230b

도면17

(A)

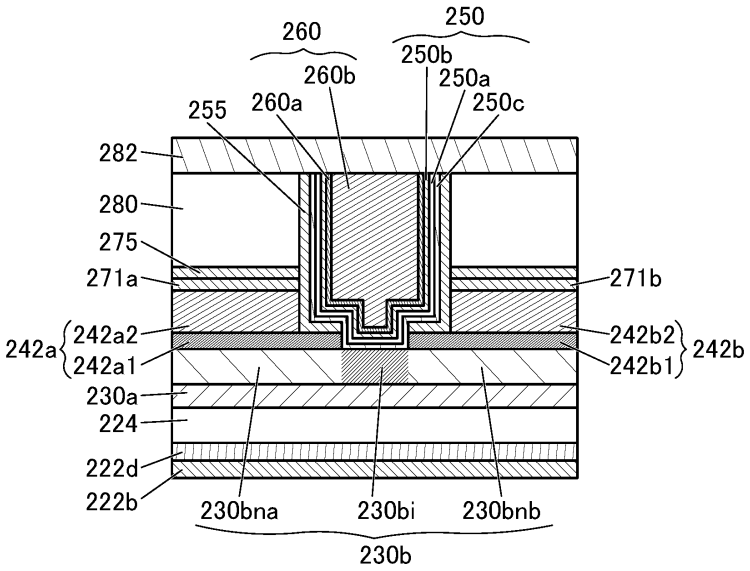

260
250
260b
250d
250b
250a
260a
250c
282
280
275
271a
271b
242a
242b
230a
224
222
230bna
230bi
230bnb
230b

(B)

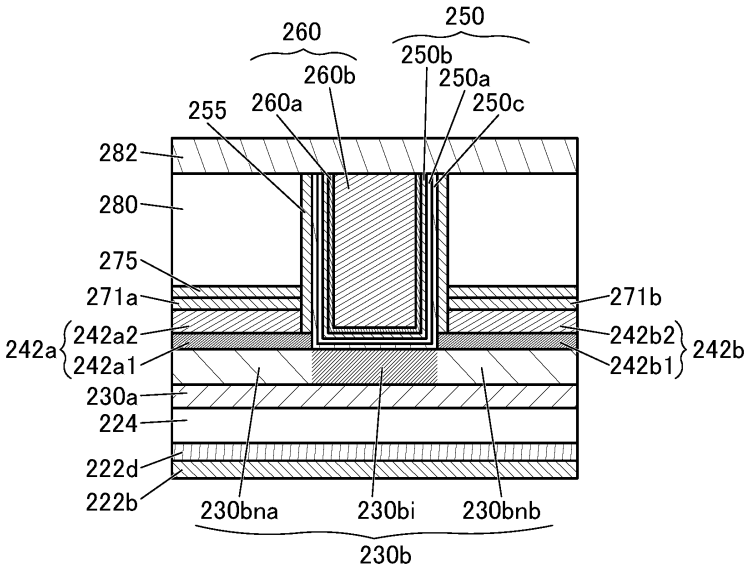

282
260
260b
260a
250b
250d
250a
250c
250
222
224
230a
230b

도면18

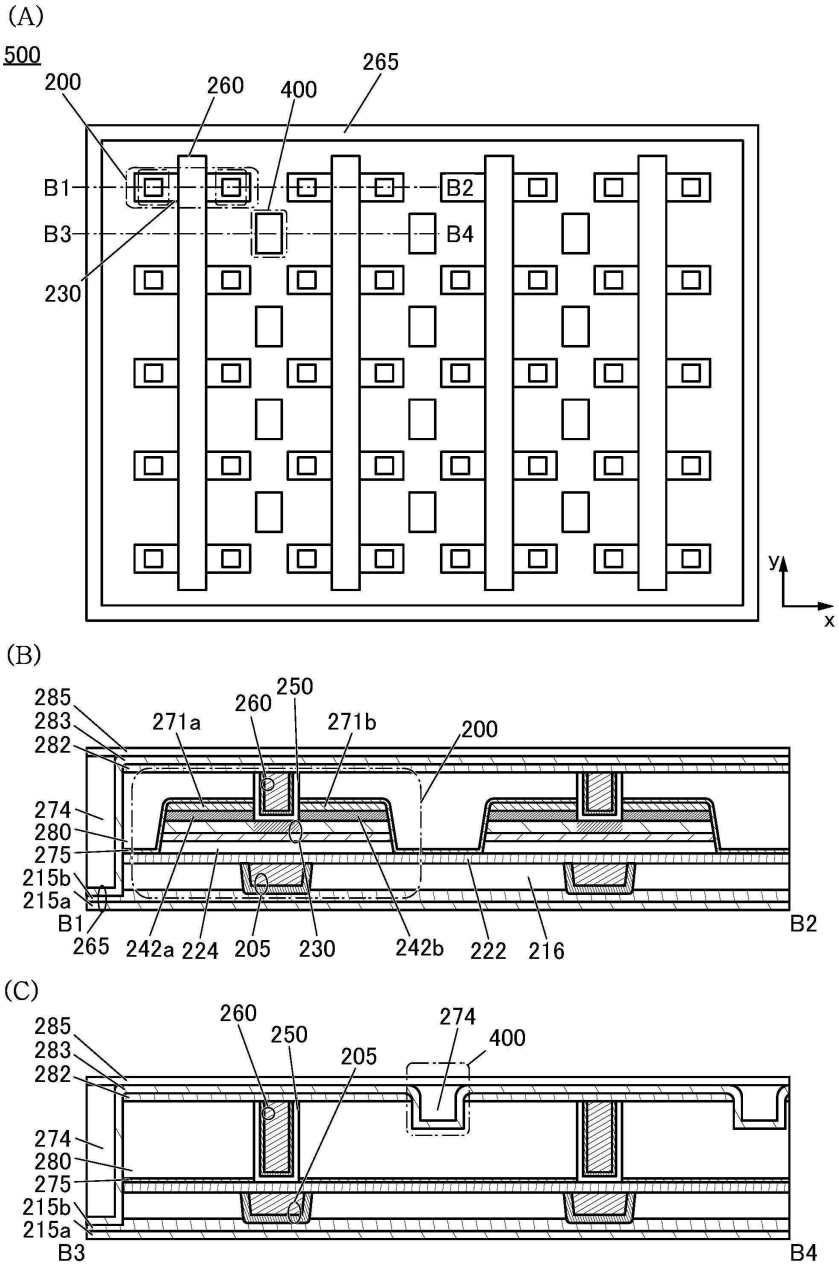
(A)


260
250
260b
250b
250a
255
260a
250c
282
280
275
271a
271b
242a
242a2
242a1
242b2
242b1
242b
230a
224
222d
222b
230bna
230bi
230bnb
230b

(B)

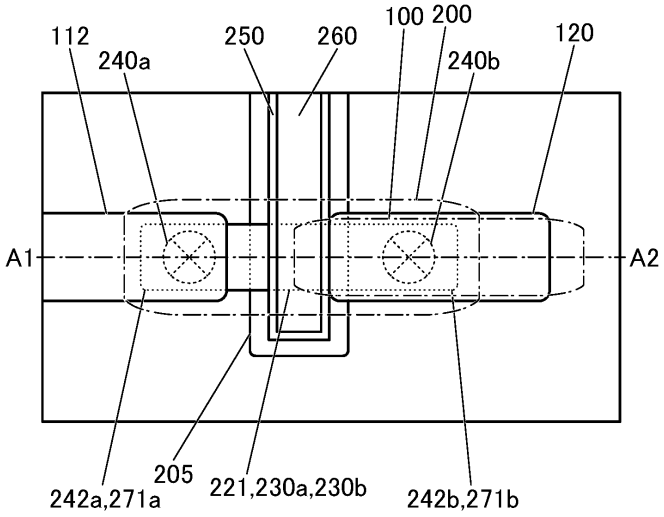

260
250
260b
250b
250a
255
260a
250c
282
280
275
271a
271b
242a
242a2
242a1
242b2
242b1
242b
230a
224
222d
222b
230bna
230bi
230bnb
230b

도면19

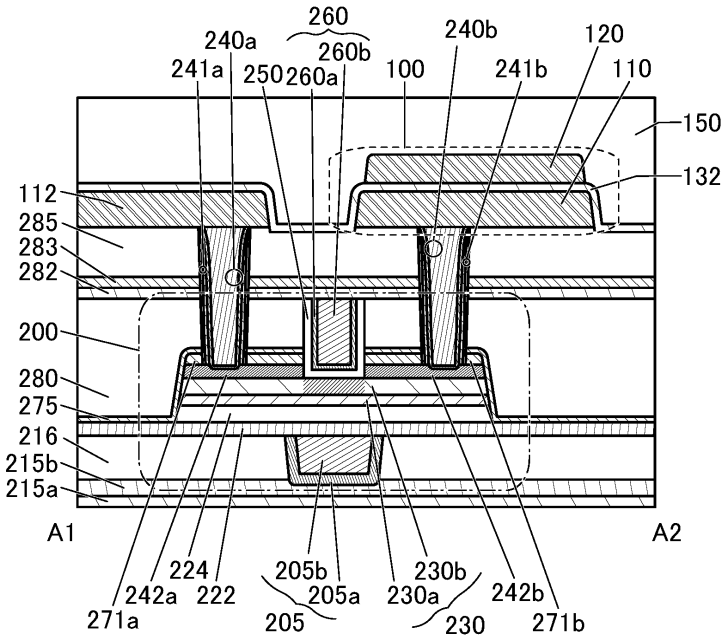

(A)
500
200
260
400
265
B1
B2
B3
B4
230
y
x
(B)
285
283
282
271a
260
250
271b
200
274
280
275
215b
215a
B1
B2
265
242a
224
205
230
242b
222
216
(C)
260
250
205
274
400
285
283
282
274
280
275
215b
215a
B3
B4

도면20

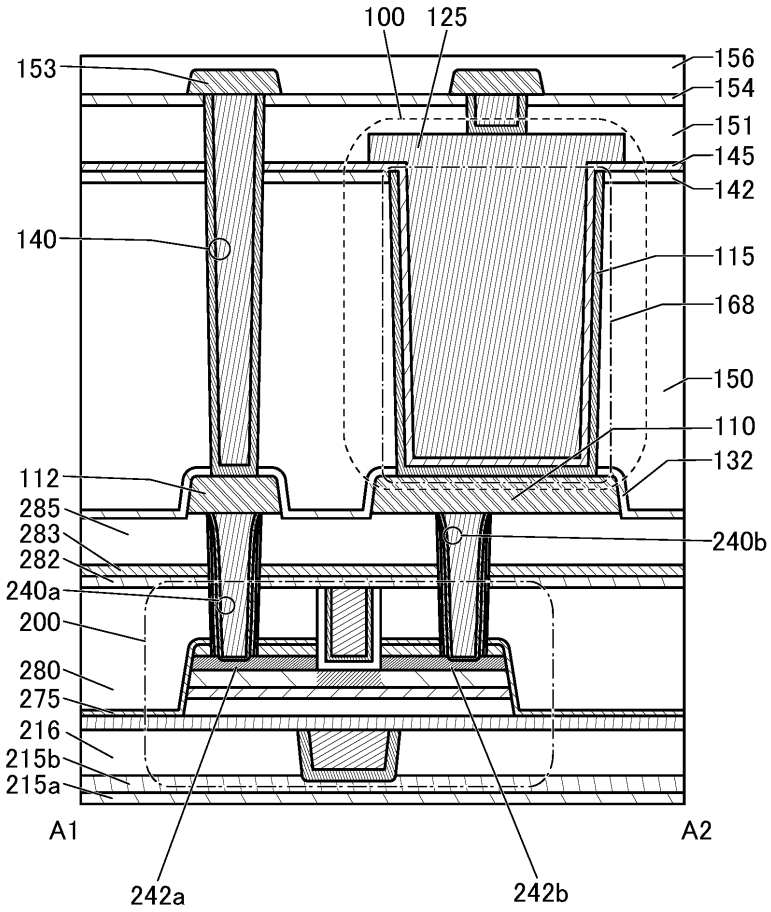
(A)


112
240a
250
260
100
200
240b
120
A1
A2
205
242a,271a
221,230a,230b
242b,271b

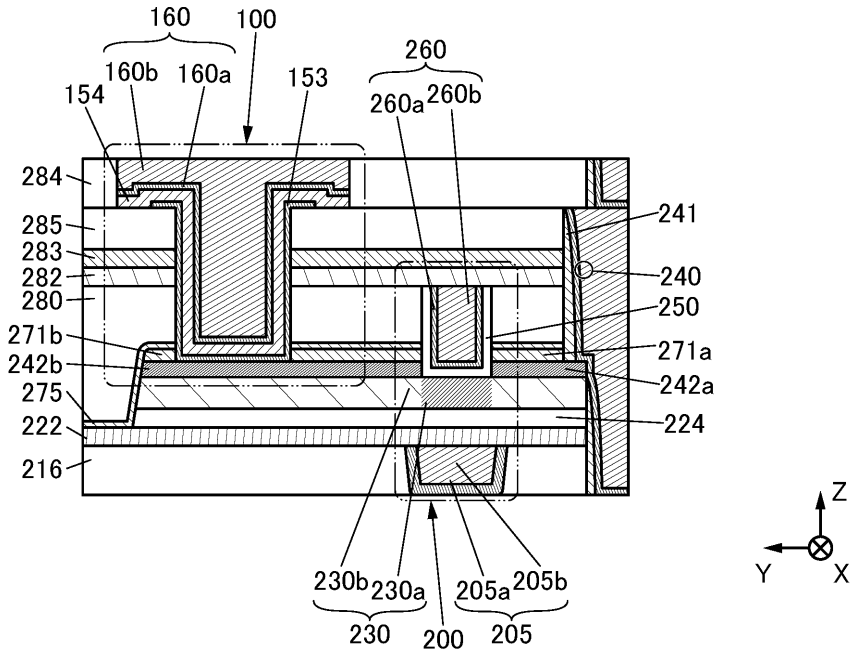
(B)


260
240a
260b
240b
120
241a
250
260a
100
241b
110
150
132
112
285
283
282
200
280
275
216
215b
215a
A1
A2
224
222
205b
205a
230b
230a
242b
242a
271a
205
230
271b

도면21

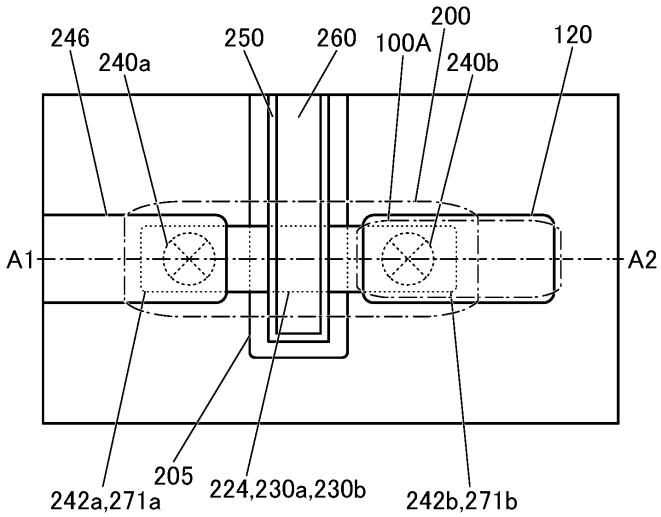

100
125
153
156
154
151
145
142
140
115
168
150
110
132
112
285
283
282
240b
240a
200
280
275
216
215b
215a
A1
A2
242a
242b

도면22

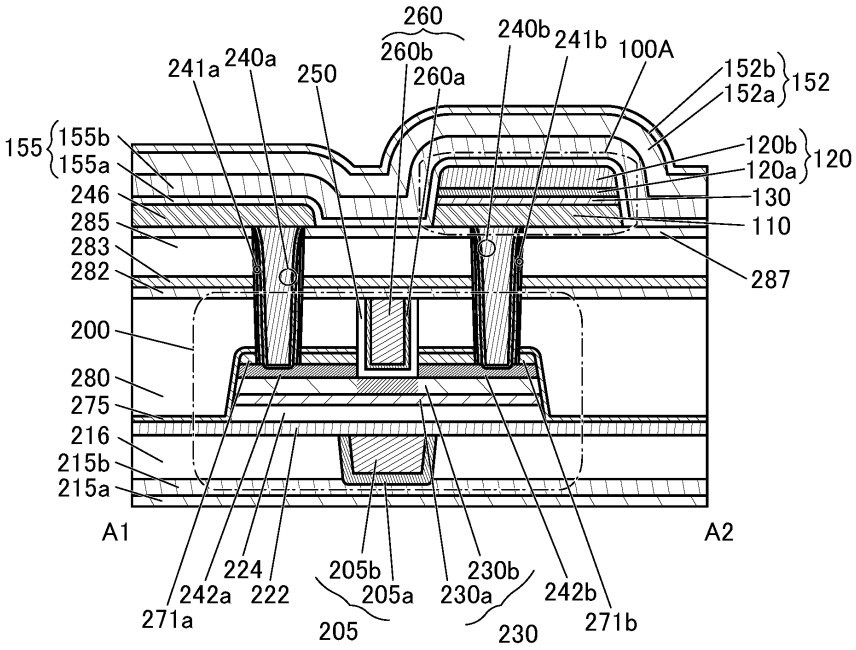

160
100
260
160b
160a
153
154
260a
260b
284
241
285
283
282
240
280
250
271b
271a
242b
242a
275
222
224
216
230b
230a
205a
205b
230
200
205
Z
Y
X

도면23

(A)

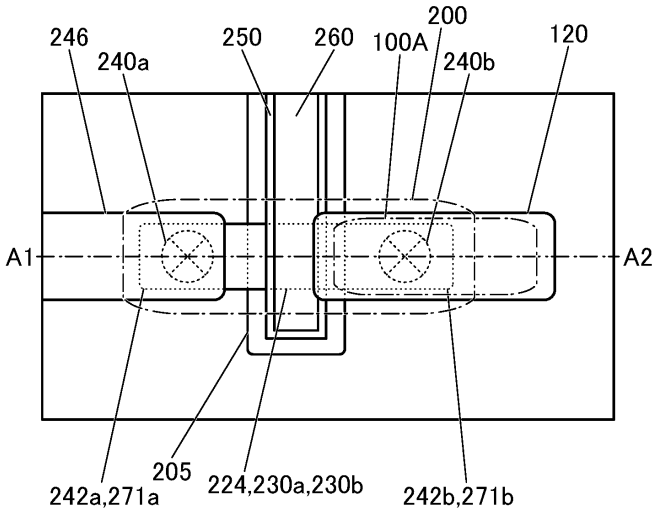

246
240a
250
260
100A
200
240b
120
A1
A2
205
242a,271a
224,230a,230b
242b,271b

(B)

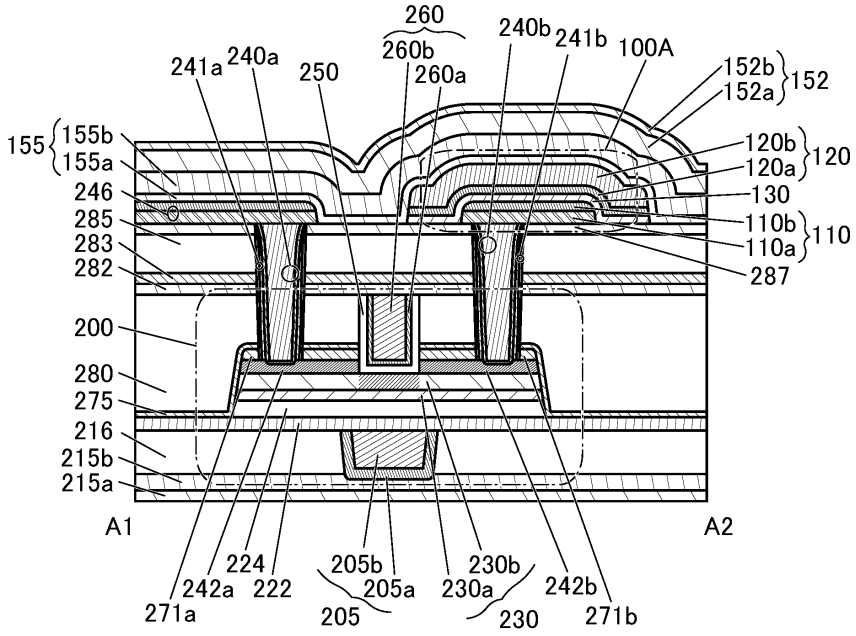

260
260b
260a
240b
241b
100A
241a
240a
250
152b
152a
152
155
155b
155a
120b
120a
120
246
130
285
110
283
282
287
200
280
275
216
215b
215a
A1
A2
224
242a
222
205b
205a
230b
230a
242b
271a
205
230
271b

도면24

(A)

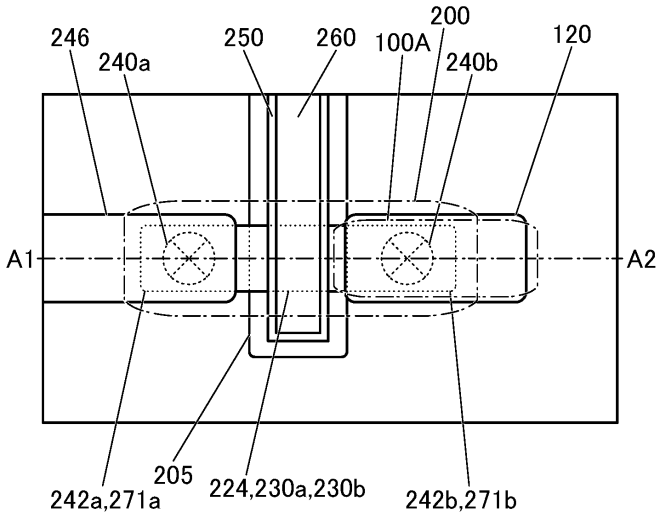

246
240a
250
260
100A
200
240b
120
A1
A2
242a,271a
205
224,230a,230b
242b,271b

(B)

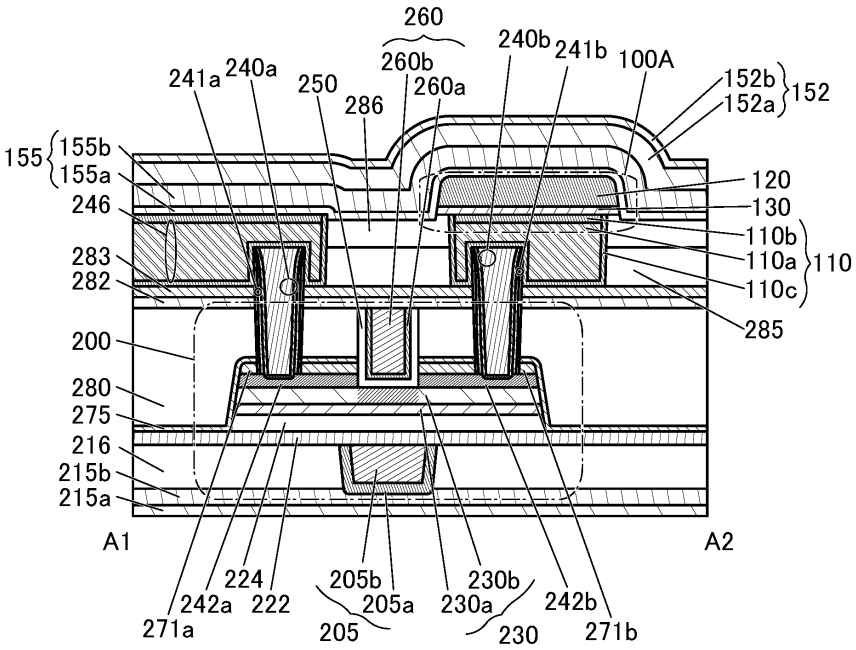

260
260b
260a
240b
241b
100A
241a
240a
250
152b
152a
152
155
155b
155a
120b
120a
120
246
130
285
110b
110a
110
283
287
282
200
280
275
216
215b
215a
A1
A2
224
242a
222
205b
205a
230b
230a
242b
271a
205
230
271b

도면25

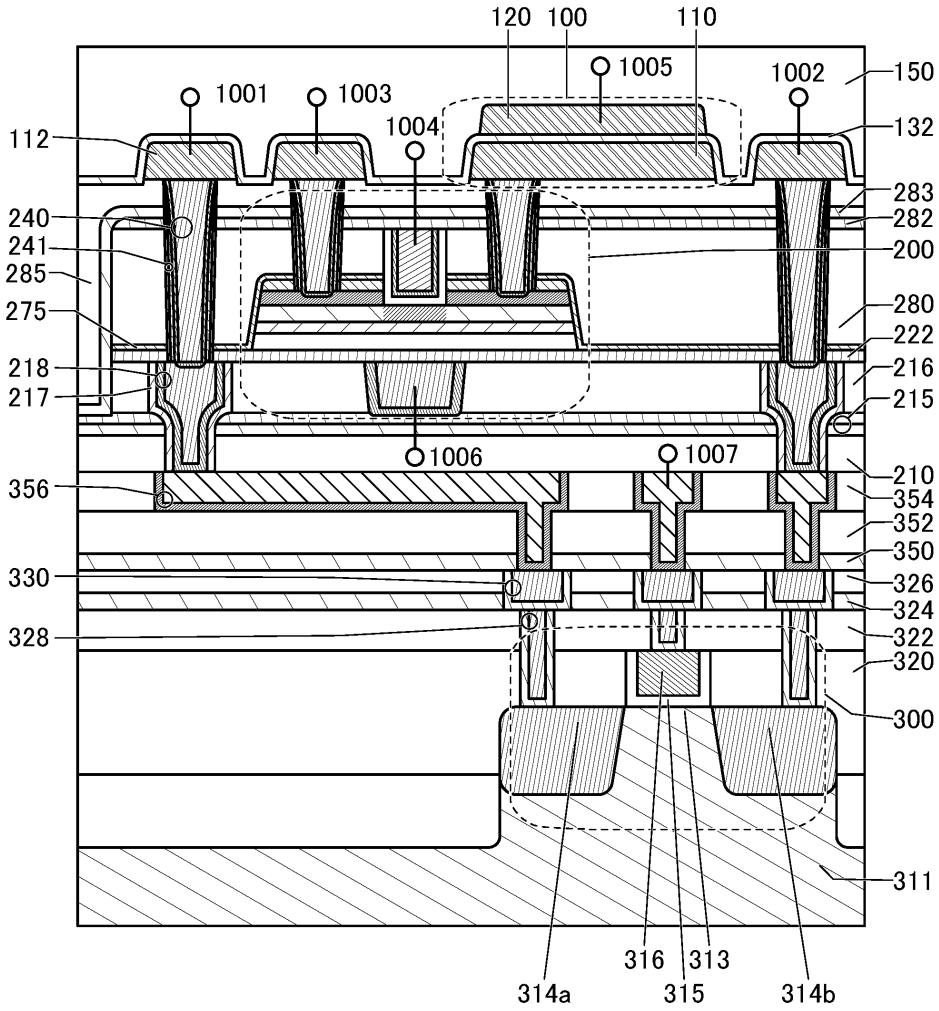
(A)


246
240a
250
260
100A
200
240b
120
A1
A2
242a,271a
205
224,230a,230b
242b,271b

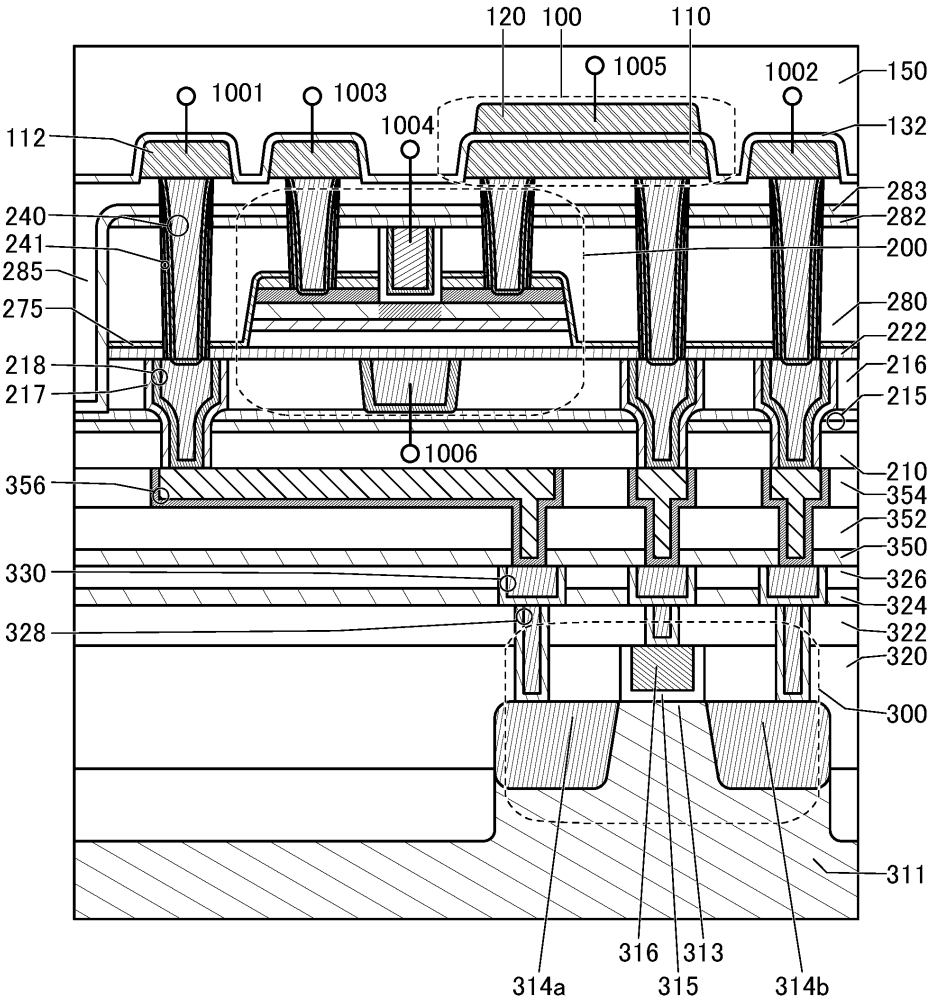
(B)


260
240b
241b
100A
241a
240a
250
260b
260a
286
152b
152a
152
155
155b
155a
246
120
130
110b
110a
110c
110
283
282
285
200
280
275
216
215b
215a
A1
A2
224
242a
222
205b
205a
230b
230a
242b
271a
205
230
271b

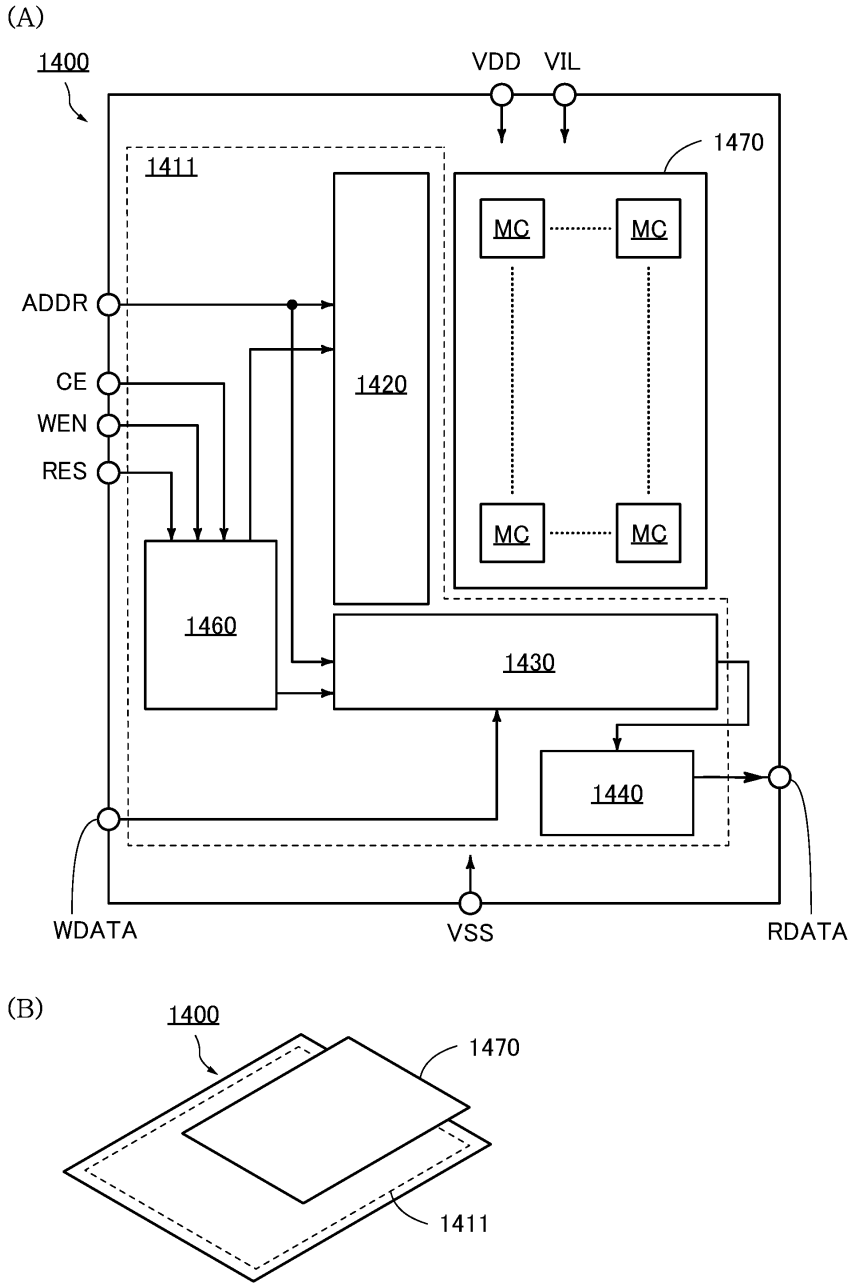
도면26


120
100
110
1005
1001
1003
1002
150
1004
132
112
283
240
282
241
200
285
280
275
222
218
216
217
215
1006
1007
210
356
354
352
350
330
326
324
328
322
320
300
311
316
313
314a
315
314b

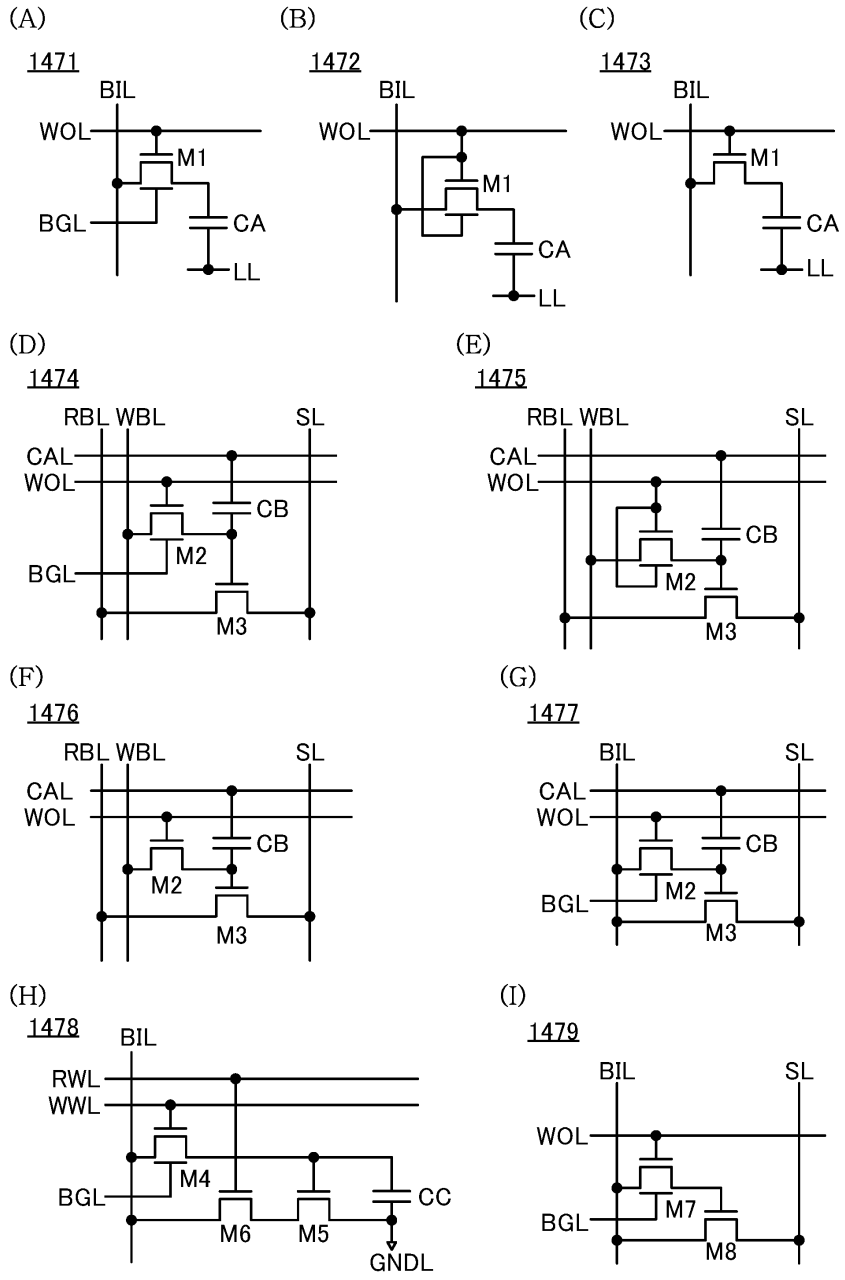
도면27


120
100
110
1005
1001
1003
1002
150
1004
132
112
283
240
282
241
200
285
280
275
222
218
216
217
215
1006
210
356
354
352
350
330
326
324
328
322
320
300
311
316
313
314a
315
314b

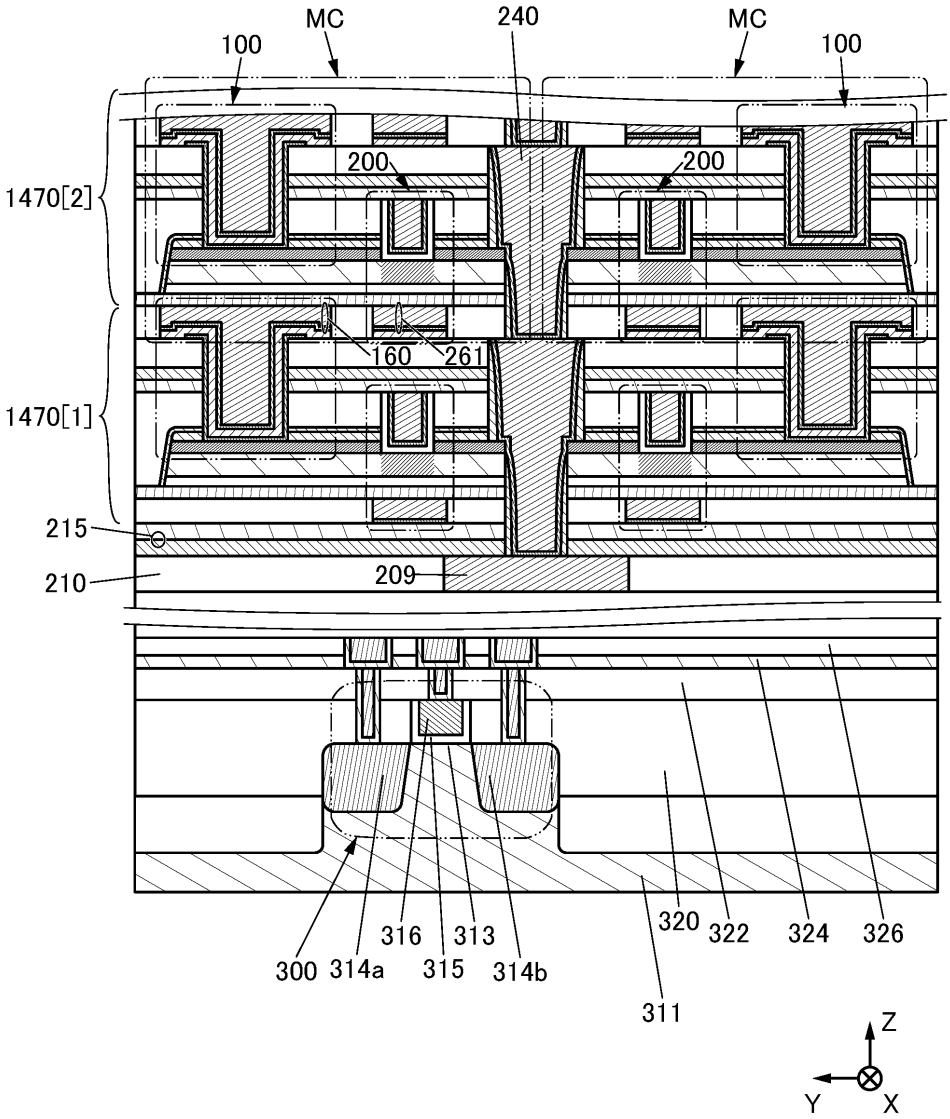
도면28


(A)
1400
VDD
VIL
1470
1411
MC
MC
MC
MC
ADDR
CE
WEN
RES
1420
1460
1430
1440
WDATA
VSS
RDATA
(B)
1400
1470
1411

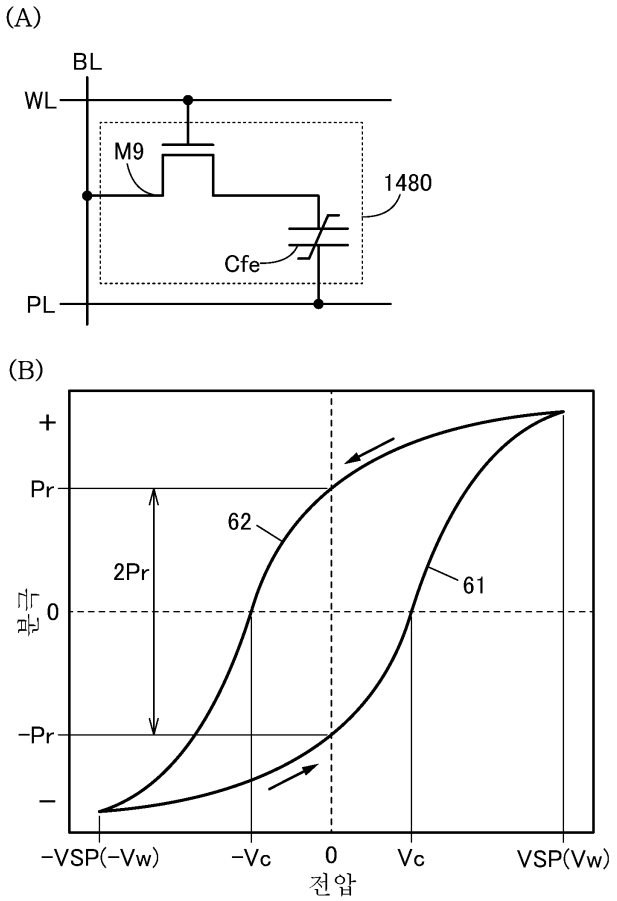
도면29


(A)
1471
BIL
WOL
M1
BGL
CA
LL
(B)
1472
BIL
WOL
M1
CA
LL
(C)
1473
BIL
WOL
M1
CA
LL
(D)
1474
RBL WBL
SL
CAL
WOL
CB
M2
BGL
M3
(E)
1475
RBL WBL
SL
CAL
WOL
CB
M2
M3
(F)
1476
RBL WBL
SL
CAL
WOL
CB
M2
M3
(G)
1477
BIL
SL
CAL
WOL
CB
M2
BGL
M3
(H)
1478
BIL
RWL
WWL
M4
BGL
CC
M6
M5
GNDL
(I)
1479
BIL
SL
WOL
M7
BGL
M8

도면30

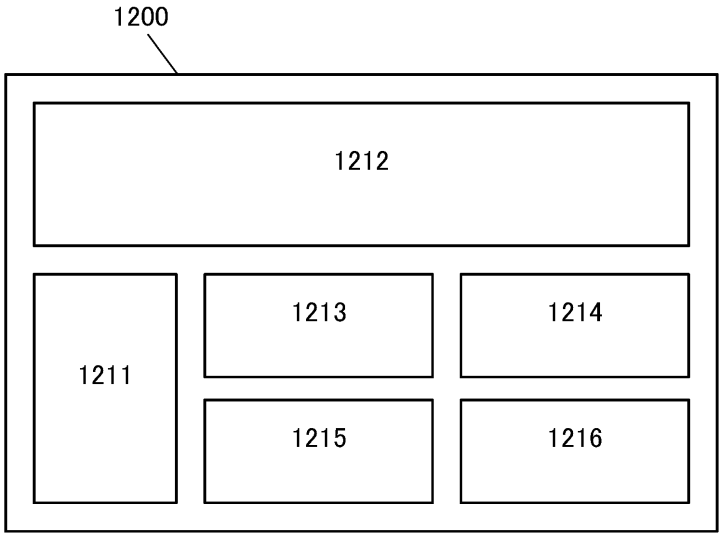

MC
240
MC
100
100
200
200
1470[2]
160
261
1470[1]
215
210
209
300
314a
316
313
315
314b
311
320
322
324
326
Z
Y
X

도면31

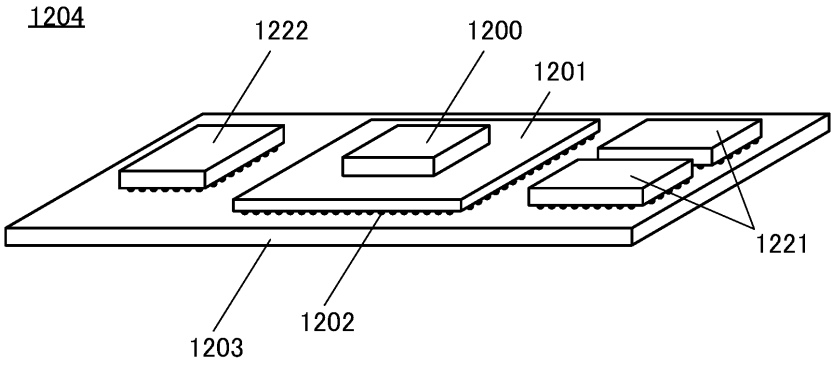

(A)
BL
WL
M9
1480
Cfe
PL
(B)
+
Pr
62
2Pr
61
분극
0
-Pr
−
-VSP(-Vw)
-Vc
0
Vc
VSP(Vw)
전압
(C)
T01
T02
T03
T04
T05
T11
T12
T13
T14
T15
T16
T17
T18
T19
WL
H
L
BL
Vw
Vref
GND
PL
Vw
GND

도면32

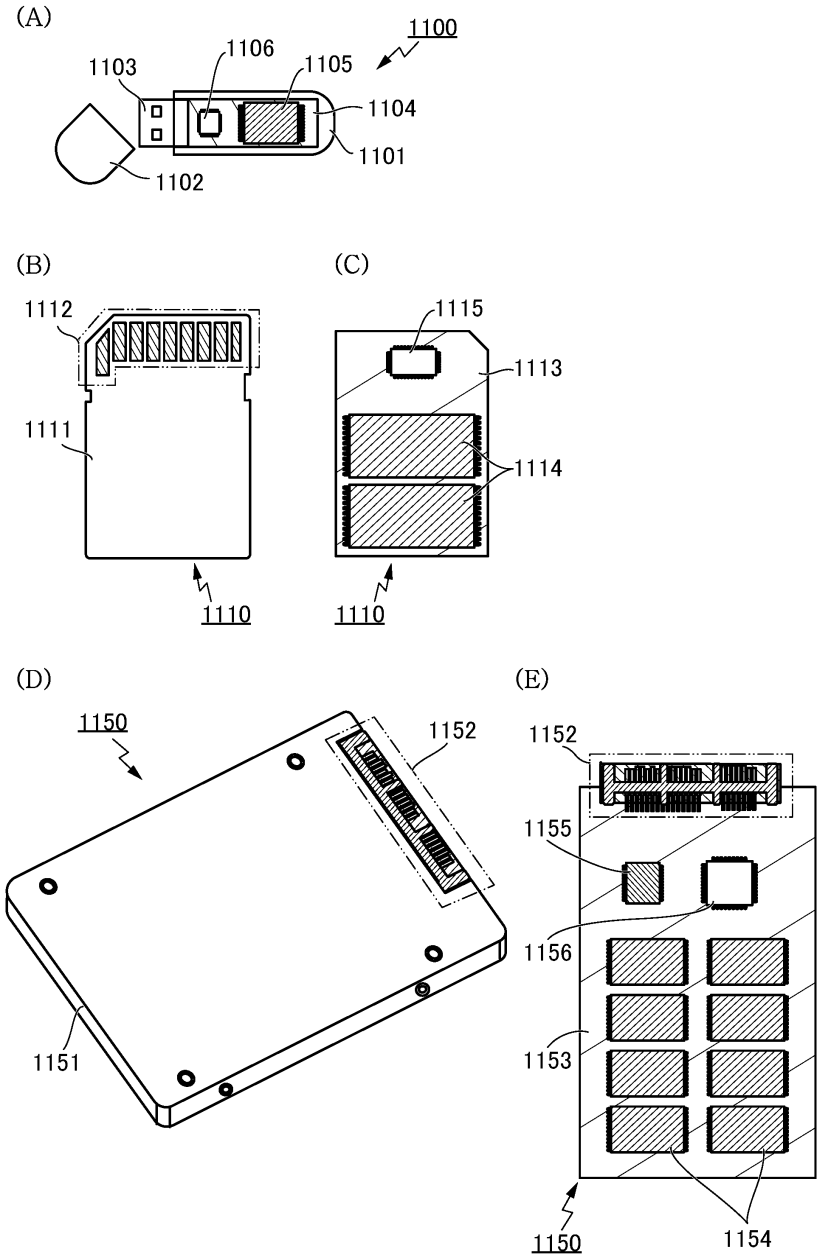
(A)


1200
1212
1211
1213
1214
1215
1216

(B)

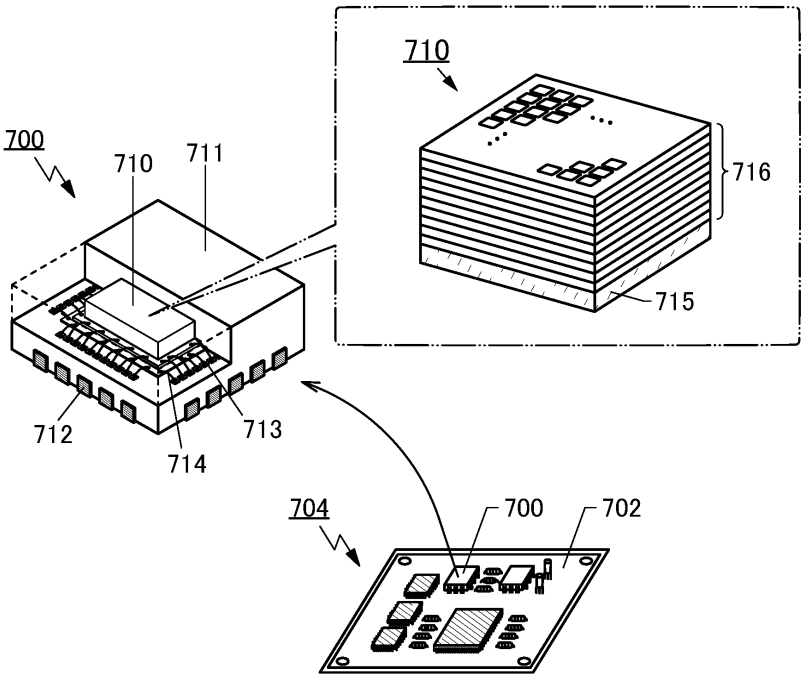

1204
1222
1200
1201
1221
1203
1202

도면33

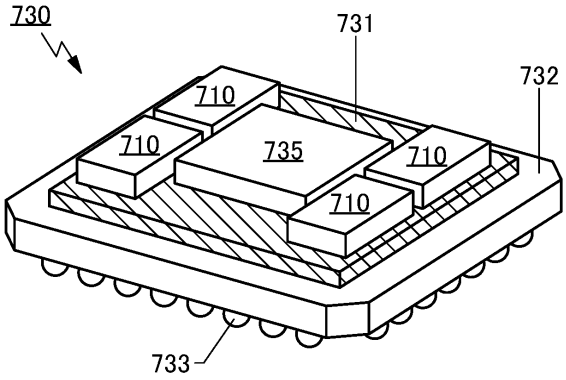

(A)
1100
1103
1106
1105
1104
1101
1102
(B)
1112
1111
1110
(C)
1115
1113
1114
1110
(D)
1150
1152
1151
(E)
1152
1155
1156
1153
1150
1154

도면34

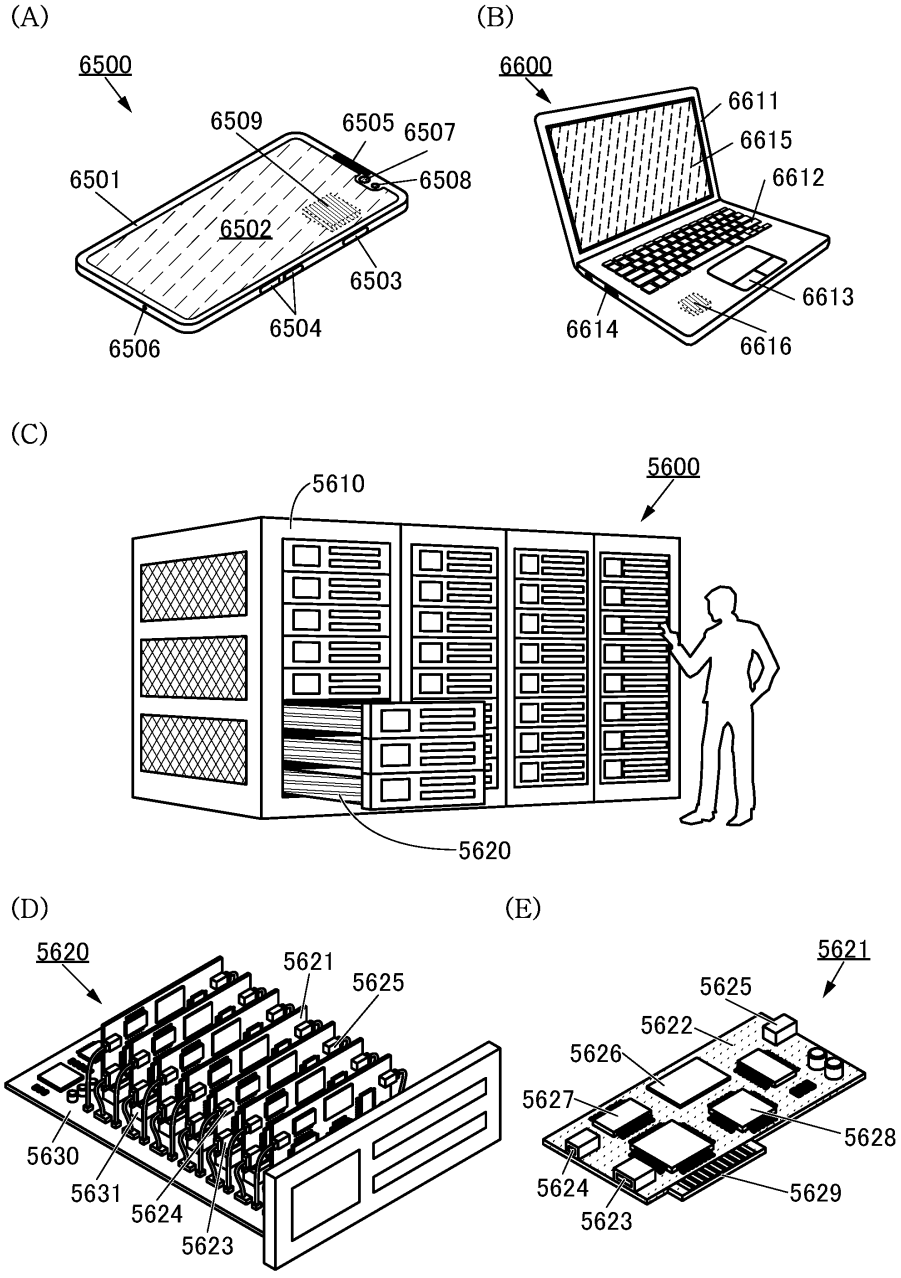
(A)


710
700
710
711
716
715
712
714
713
704
700
702

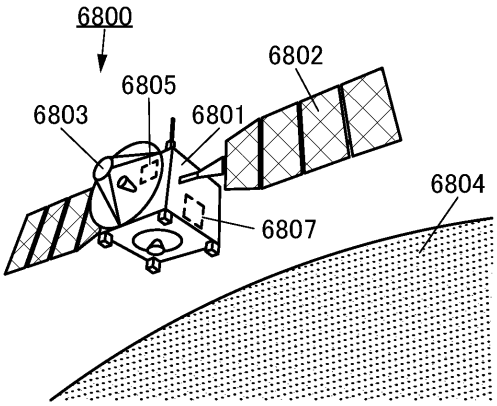
(B)


730
731
732
710
710
735
710
710
733

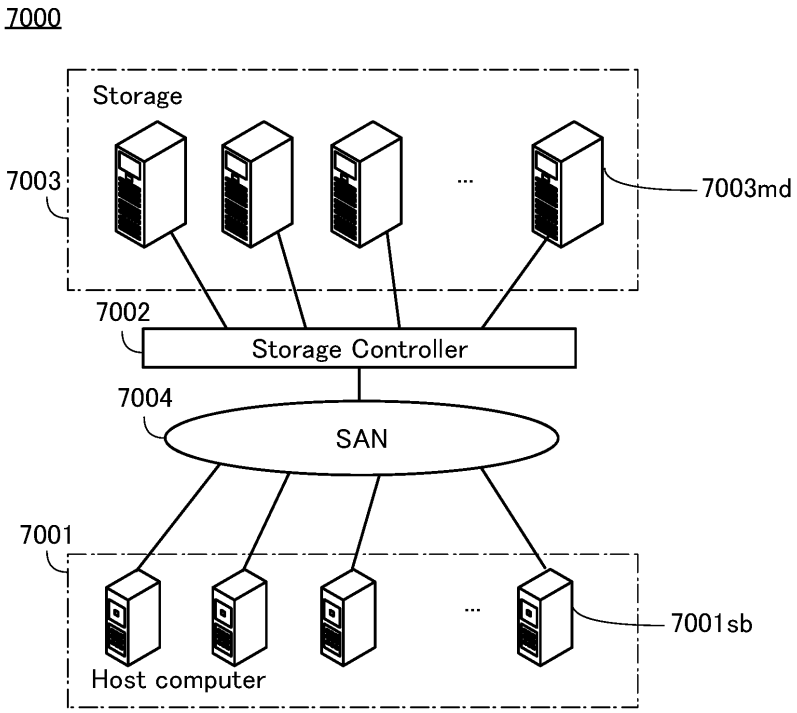
도면35


(A)
6500
6509
6505
6507
6501
6508
6502
6503
6504
6506
(B)
6600
6611
6615
6612
6613
6614
6616
(C)
5610
5600
5620
(D)
5620
5621
5625
5630
5631
5624
5623
(E)
5621
5625
5622
5626
5627
5628
5624
5629
5623

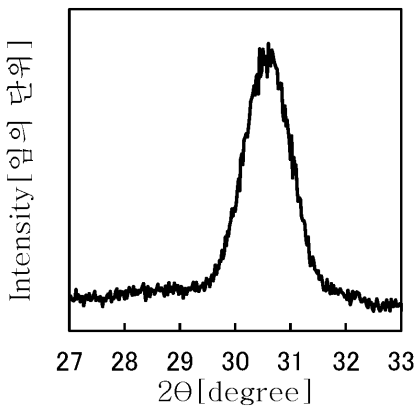
도면36



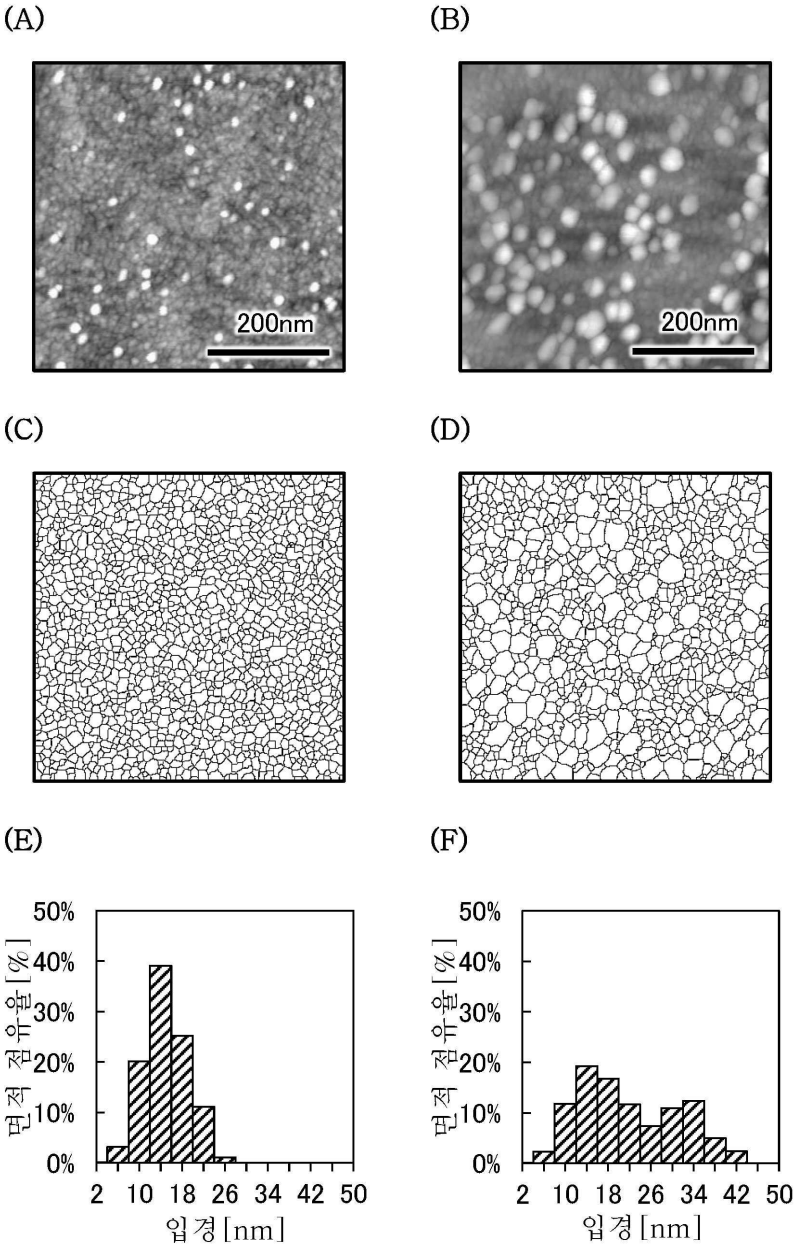
도면37



도면38

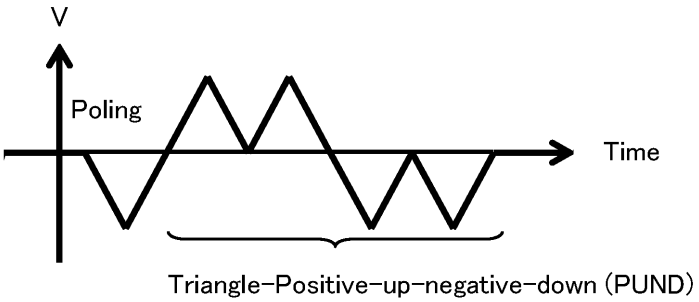


도면39

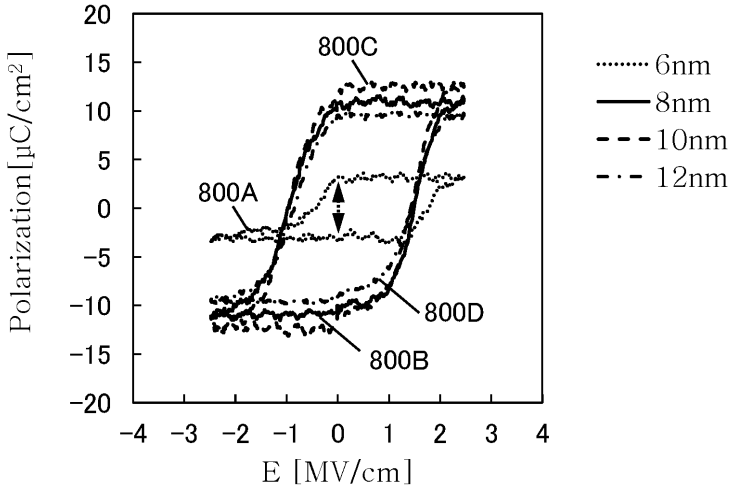

(A)
200nm
(B)
200nm
(C)
(D)
(E)
50%
40%
30%
20%
10%
0%
면적 점유율[%]
2 10 18 26 34 42 50
입경[nm]
(F)
50%
40%
30%
20%
10%
0%
면적 점유율[%]
2 10 18 26 34 42 50
입경[nm]

도면40

(A)

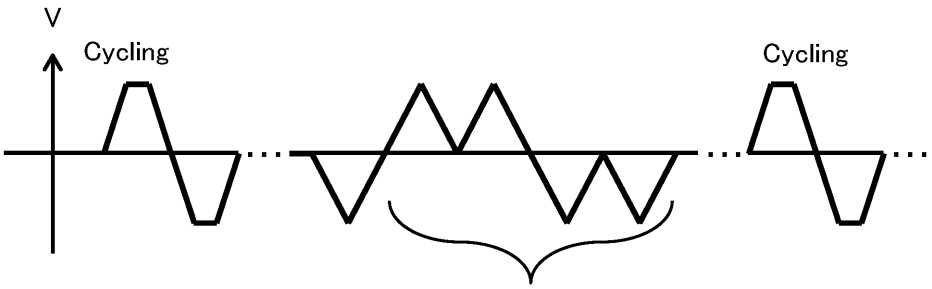

V
Poling
Time
Triangle-Positive-up-negative-down (PUND)

(B)

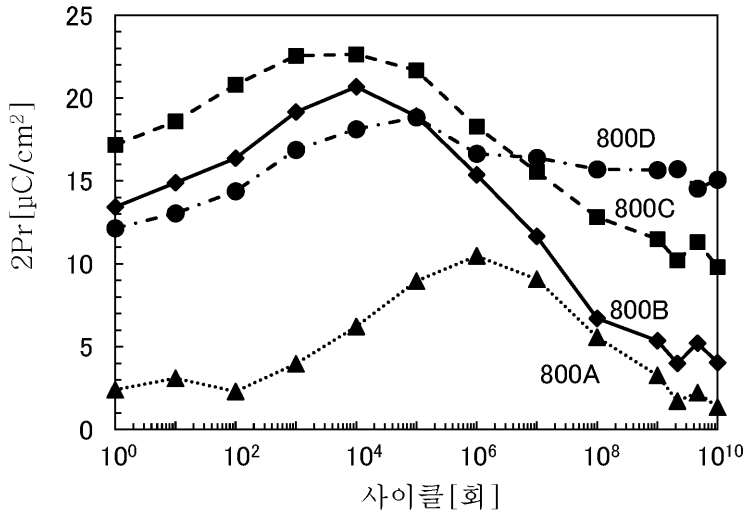

Polarization[μC/cm²]
E [MV/cm]
800A
800B
800C
800D
6nm
8nm
10nm
12nm

도면41

(A)

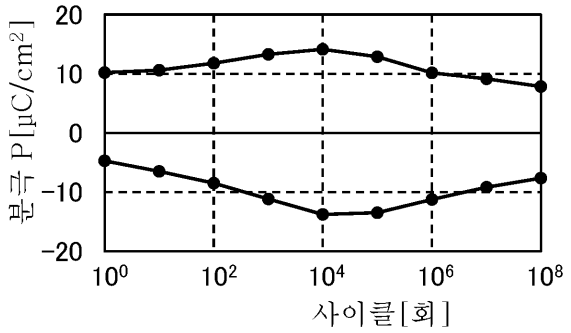

V
Cycling
Cycling
Triangle-PUND

(B)

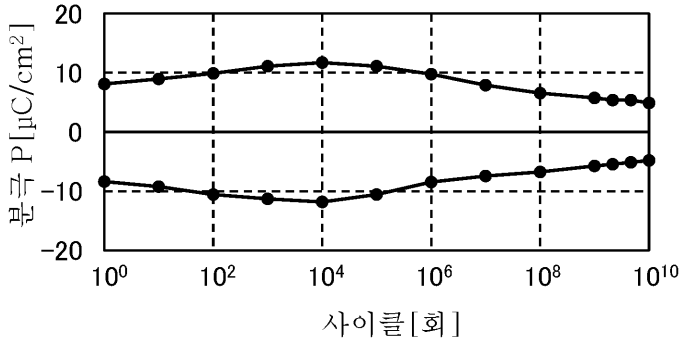

25
20
15
10
5
0
2Pr[μC/cm²]
800D
800C
800B
800A
10⁰
10²
10⁴
10⁶
10⁸
10¹⁰
사이클[회]

도면42

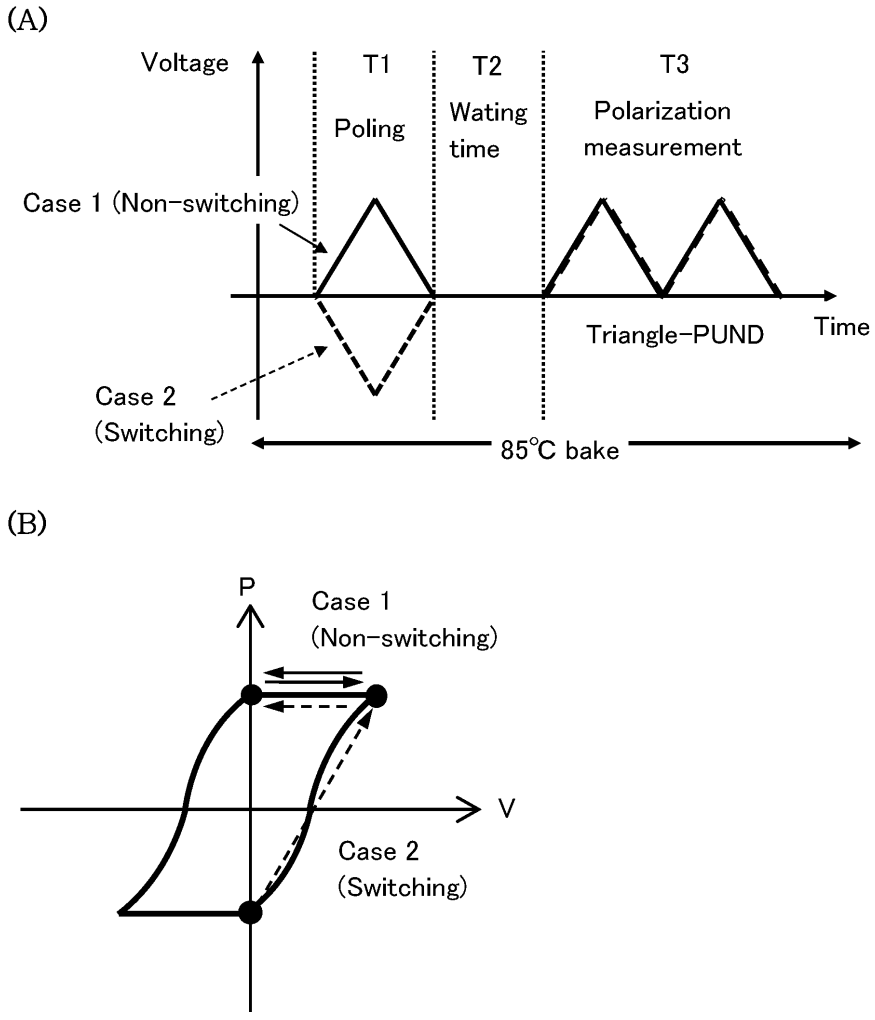
(A)


20
10
0
−10
−20
분극 P[μC/cm²]
10⁰
10²
10⁴
10⁶
10⁸
사이클[회]

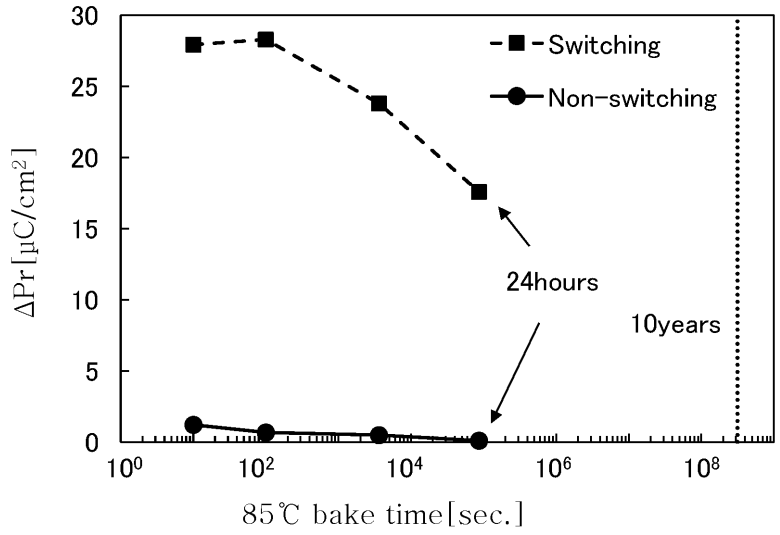
(B)


20
10
0
−10
−20
분극 P[μC/cm²]
10⁰
10²
10⁴
10⁶
10⁸
10¹⁰
사이클[회]

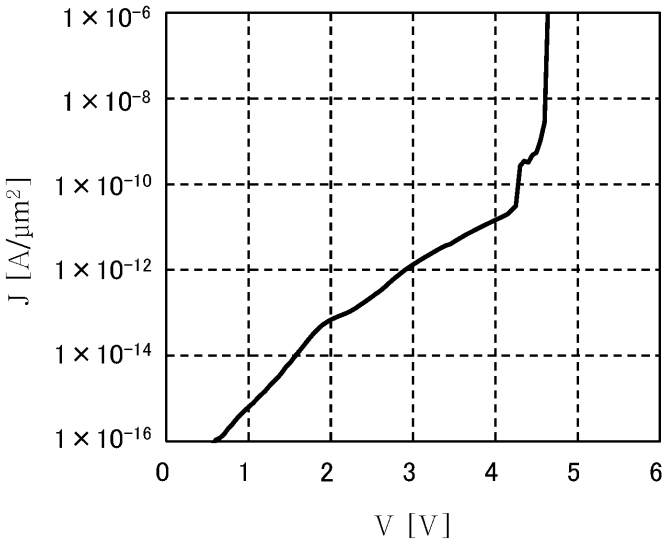
도면43


(A)
Voltage
T1
Poling
T2
Wating time
T3
Polarization measurement
Case 1 (Non-switching)
Triangle-PUND
Time
Case 2 (Switching)
85℃ bake
(B)
P
Case 1 (Non-switching)
V
Case 2 (Switching)

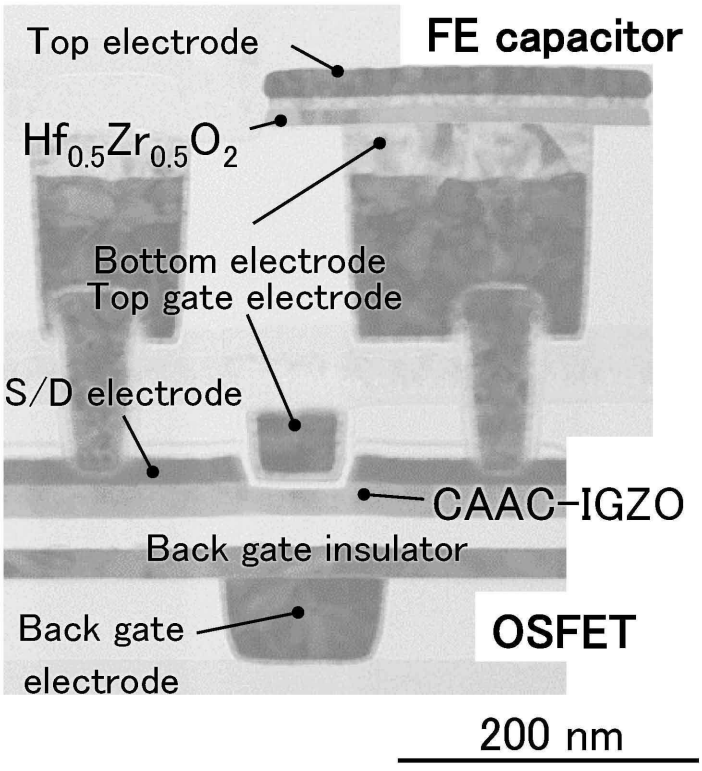
도면44


30
25
20
15
10
5
0
ΔPr[μC/cm²]
Switching
Non-switching
24hours
10years
10⁰
10²
10⁴
10⁶
10⁸
85℃ bake time[sec.]

도면45

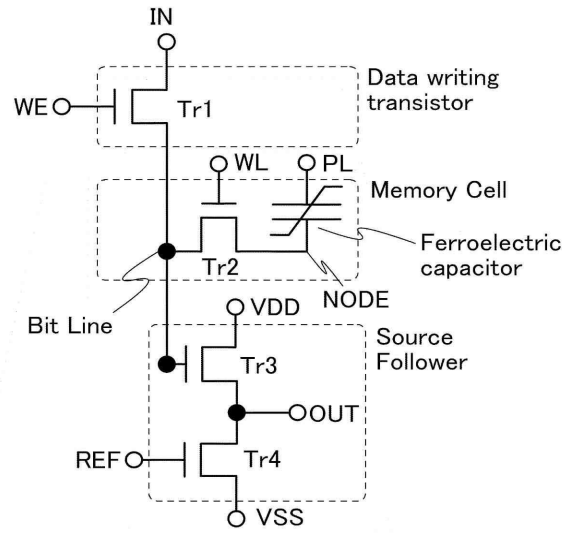

1×10⁻⁶
1×10⁻⁸
1×10⁻¹⁰
1×10⁻¹²
1×10⁻¹⁴
1×10⁻¹⁶
J [A/μm²]
0
1
2
3
4
5
6
V [V]

도면46

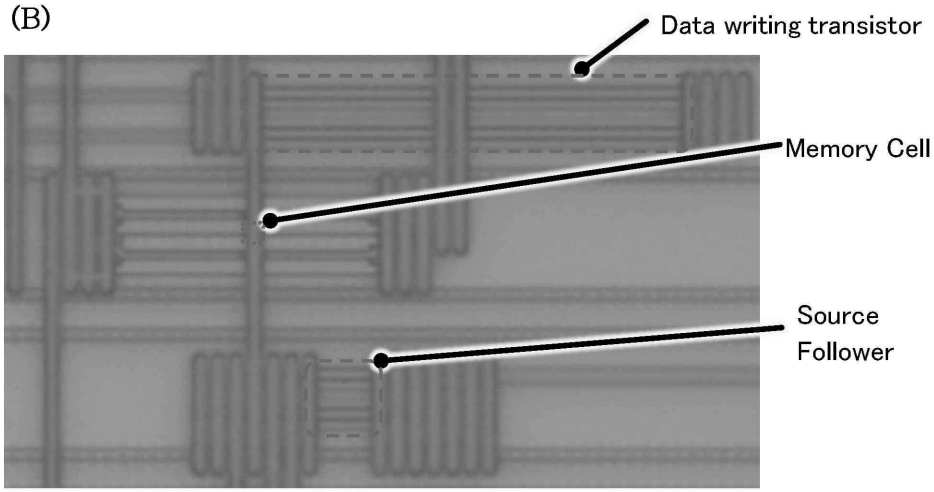

Top electrode
FE capacitor
Hf0.5Zr0.5O2
Bottom electrode
Top gate electrode
S/D electrode
CAAC-IGZO
Back gate insulator
Back gate electrode
OSFET
200 nm

도면47

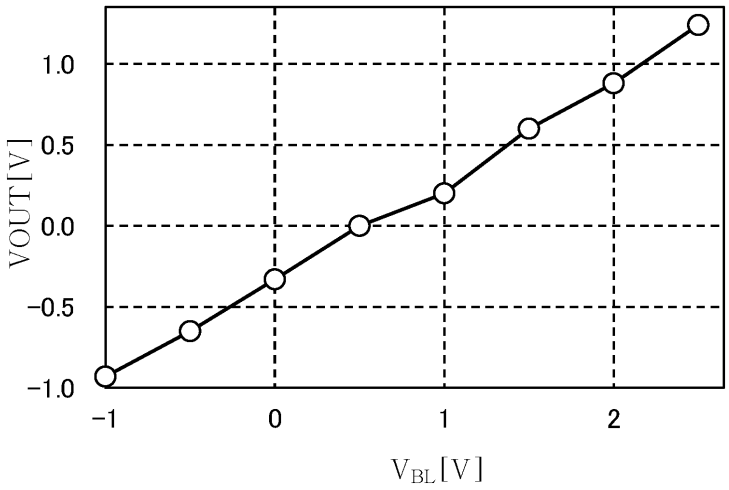
(A)


IN
WE
Tr1
Data writing transistor
WL
PL
Memory Cell
Ferroelectric capacitor
Tr2
NODE
Bit Line
VDD
Source Follower
Tr3
OUT
REF
Tr4
VSS

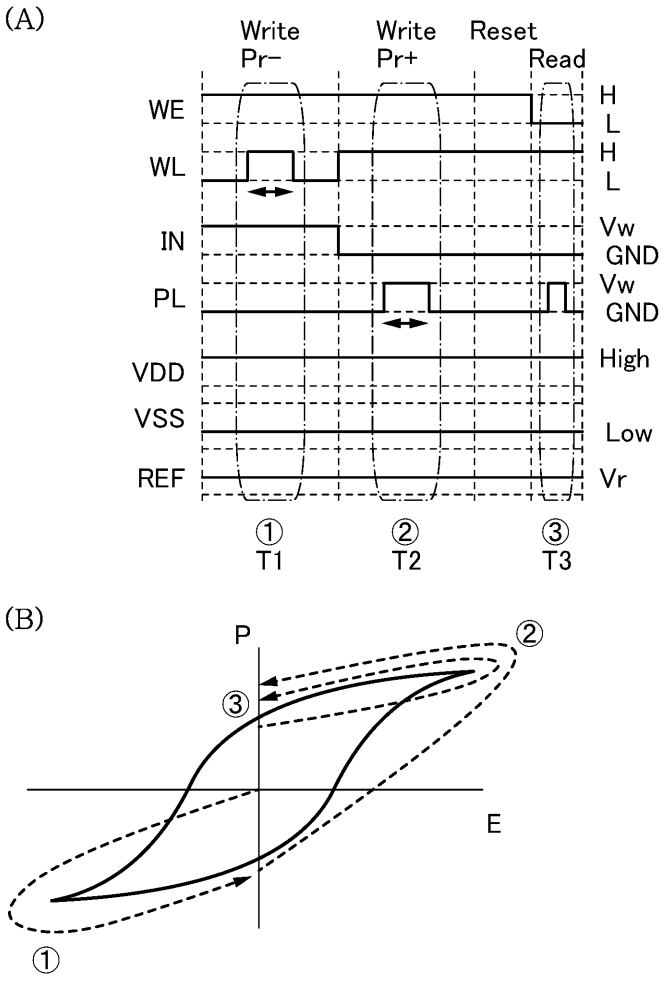
(B)


Data writing transistor
Memory Cell
Source Follower

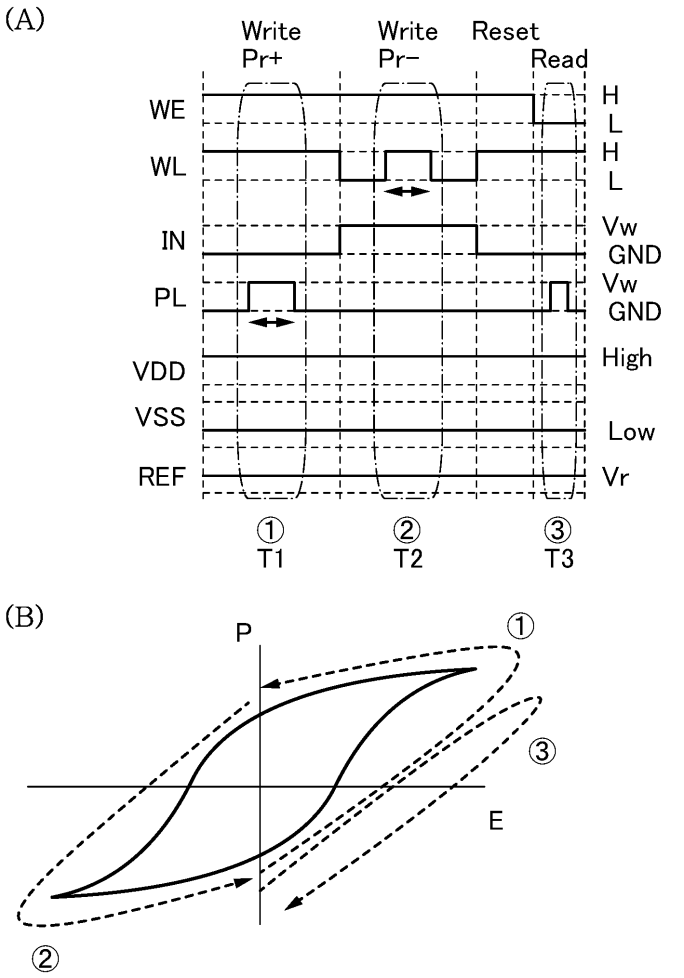
도면48


1.0
0.5
0.0
−0.5
−1.0
VOUT[V]
−1
0
1
2
VBL[V]

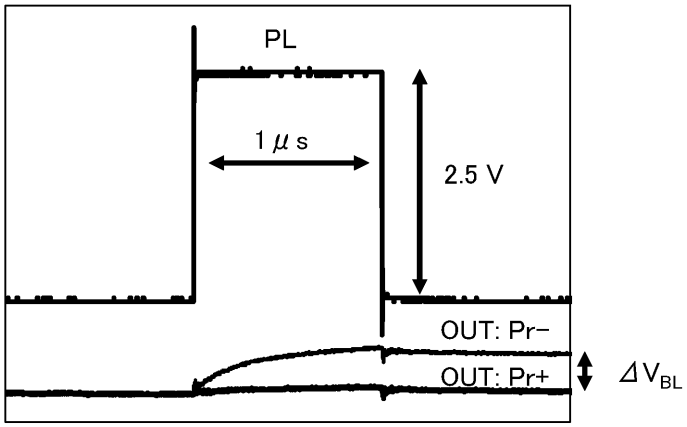
도면49


(A)
Write
Pr−
Write
Pr+
Reset
Read
WE
WL
IN
PL
VDD
VSS
REF
H
L
H
L
Vw
GND
Vw
GND
High
Low
Vr
①
T1
②
T2
③
T3
(B)
P
②
③
E
①

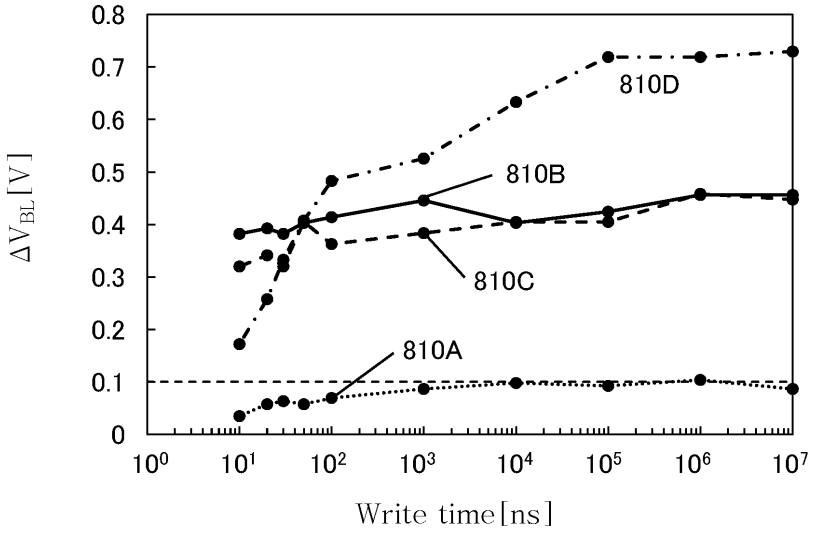
도면50


(A)
Write
Pr+
Write
Pr−
Reset
Read
WE
WL
IN
PL
VDD
VSS
REF
H
L
H
L
Vw
GND
Vw
GND
High
Low
Vr
①
T1
②
T2
③
T3
(B)
P
①
③
E
②

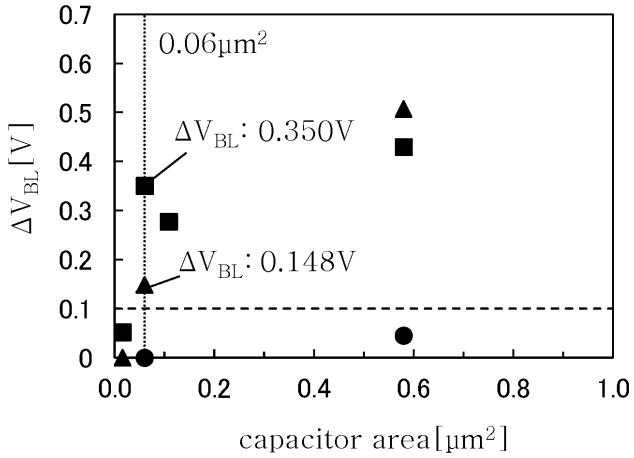
도면51


PL
1 μ s
2.5 V
OUT: Pr−
OUT: Pr+
ΔV_BL

도면52

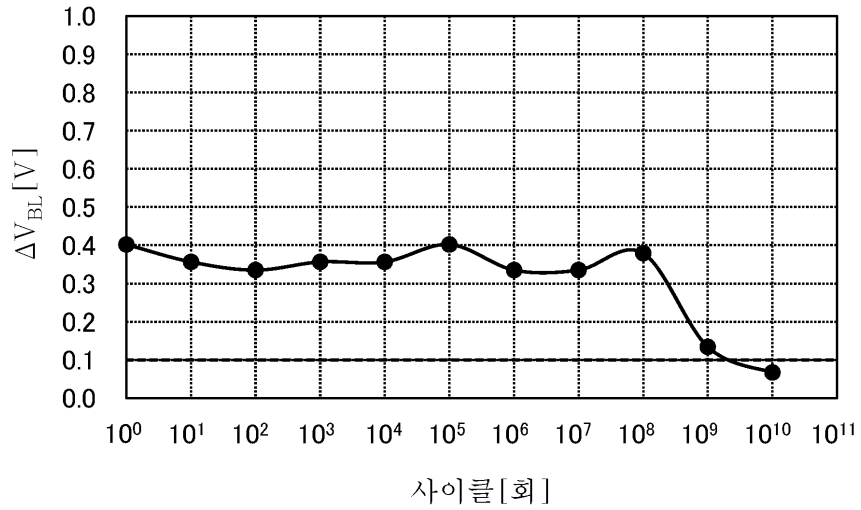

0.8
0.7
0.6
0.5
0.4
0.3
0.2
0.1
0
ΔV_BL [V]
810D
810B
810C
810A
10^0
10^1
10^2
10^3
10^4
10^5
10^6
10^7
Write time[ns]

도면53

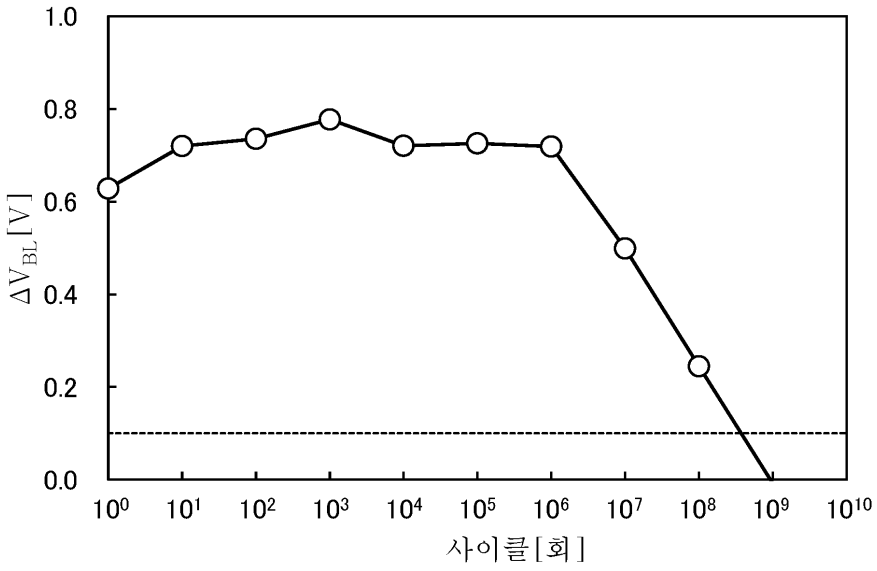

0.7
0.6
0.5
0.4
0.3
0.2
0.1
0
ΔV_BL [V]
0.06μm²
ΔV_BL: 0.350V
ΔV_BL: 0.148V
0.0
0.2
0.4
0.6
0.8
1.0
capacitor area[μm²]

도면54

(A)

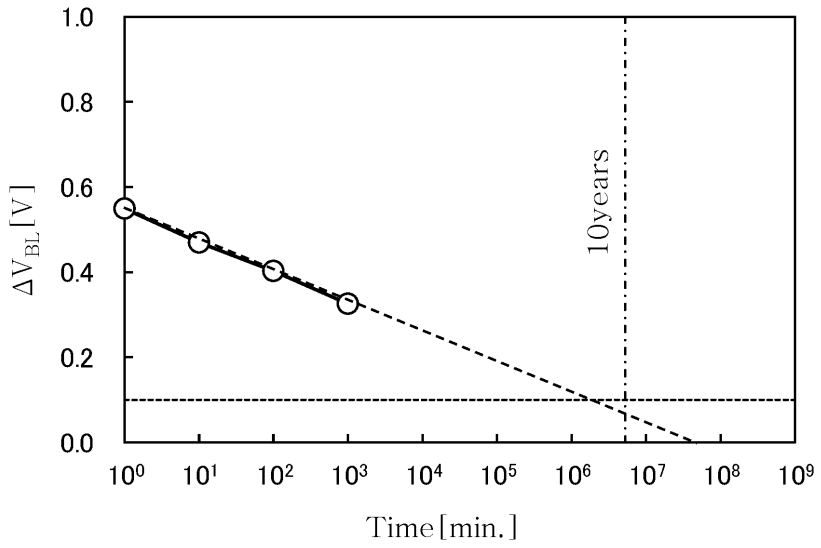

1.0
0.9
0.8
0.7
0.6
0.5
0.4
0.3
0.2
0.1
0.0
ΔVBL [V]
10^0 10^1 10^2 10^3 10^4 10^5 10^6 10^7 10^8 10^9 10^10 10^11
사이클[회]

(B)

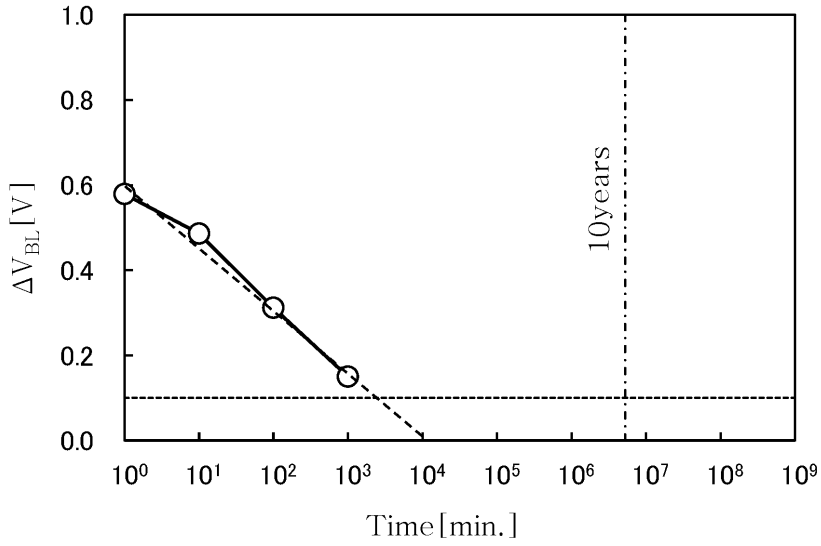

1.0
0.8
0.6
0.4
0.2
0.0
ΔVBL [V]
10^0 10^1 10^2 10^3 10^4 10^5 10^6 10^7 10^8 10^9 10^10
사이클[회]

도면55

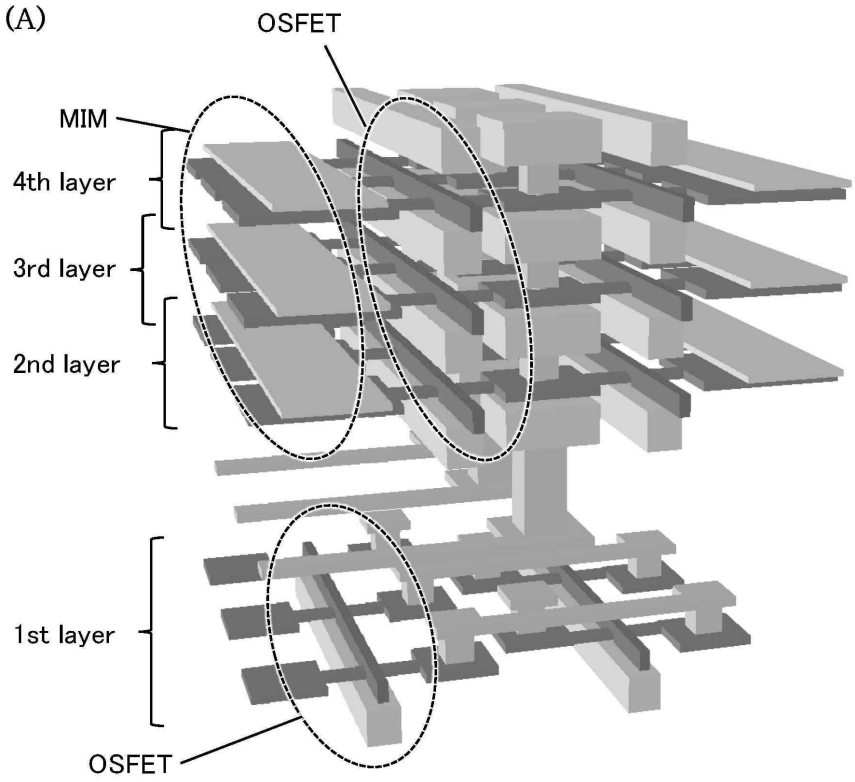
(A)


1.0
0.8
0.6
0.4
0.2
0.0
ΔV_BL [V]
10years
10^0 10^1 10^2 10^3 10^4 10^5 10^6 10^7 10^8 10^9
Time [min.]

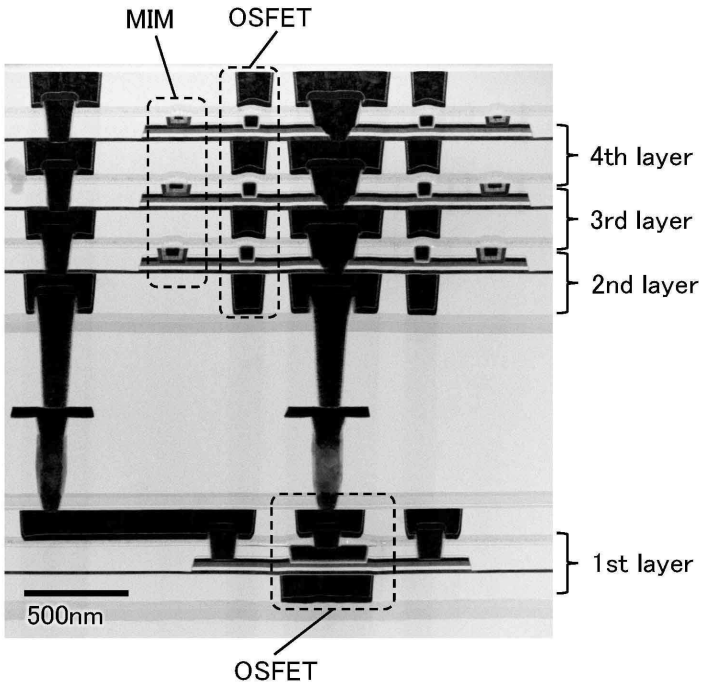
(B)


1.0
0.8
0.6
0.4
0.2
0.0
ΔV_BL [V]
10years
10^0 10^1 10^2 10^3 10^4 10^5 10^6 10^7 10^8 10^9
Time [min.]

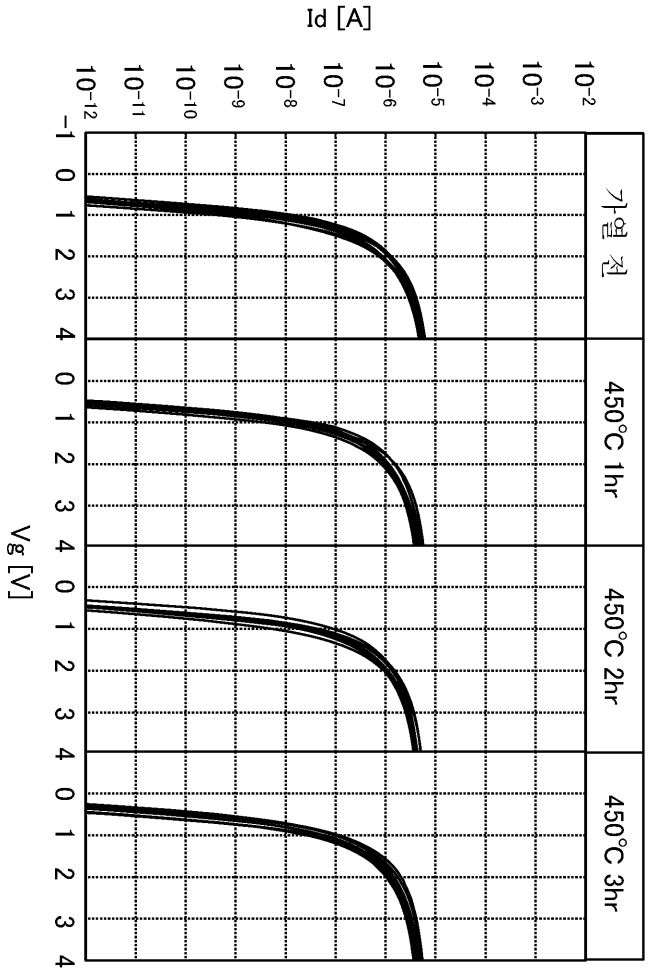
도면56


(A)
OSFET
MIM
4th layer
3rd layer
2nd layer
1st layer
OSFET
(B)
200
200
242a
205
207H
241
240
207L

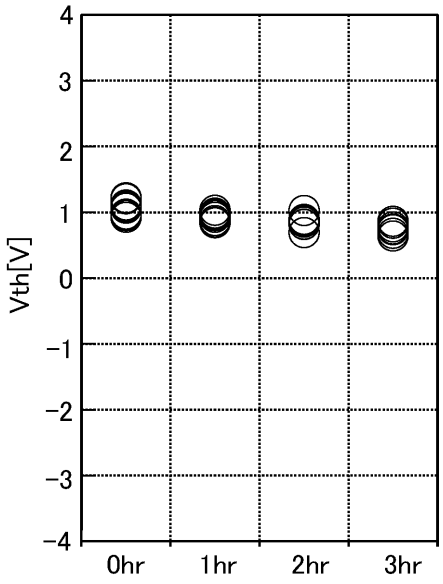
도면57


MIM
OSFET
4th layer
3rd layer
2nd layer
1st layer
500nm
OSFET

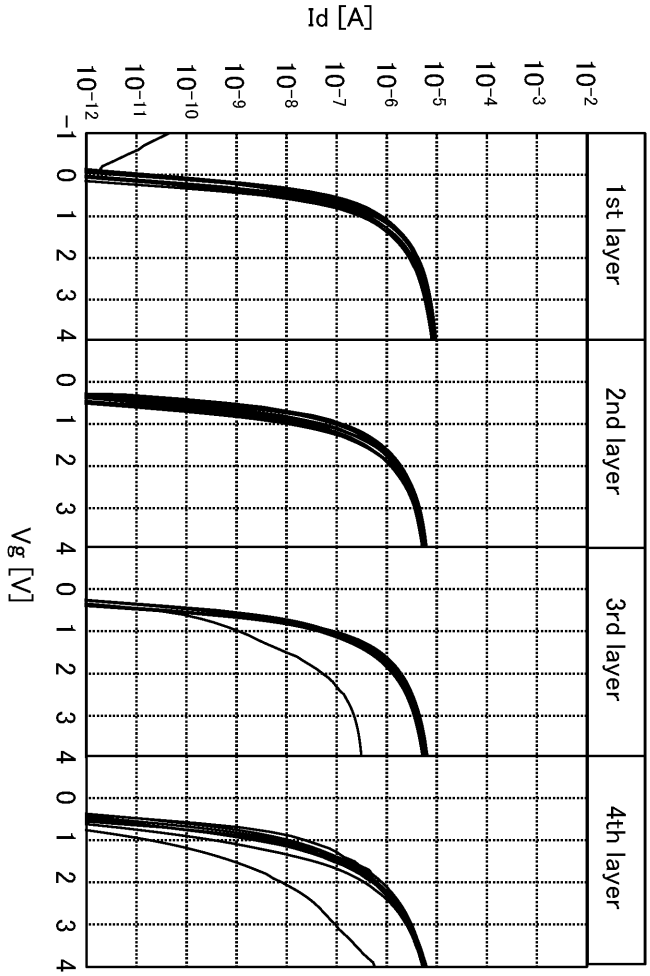
도면58


Id [A]
10^-12
10^-11
10^-10
10^-9
10^-8
10^-7
10^-6
10^-5
10^-4
10^-3
10^-2
Vg [V]
-1 0 1 2 3 4
가열 전
450°C 1hr
450°C 2hr
450°C 3hr

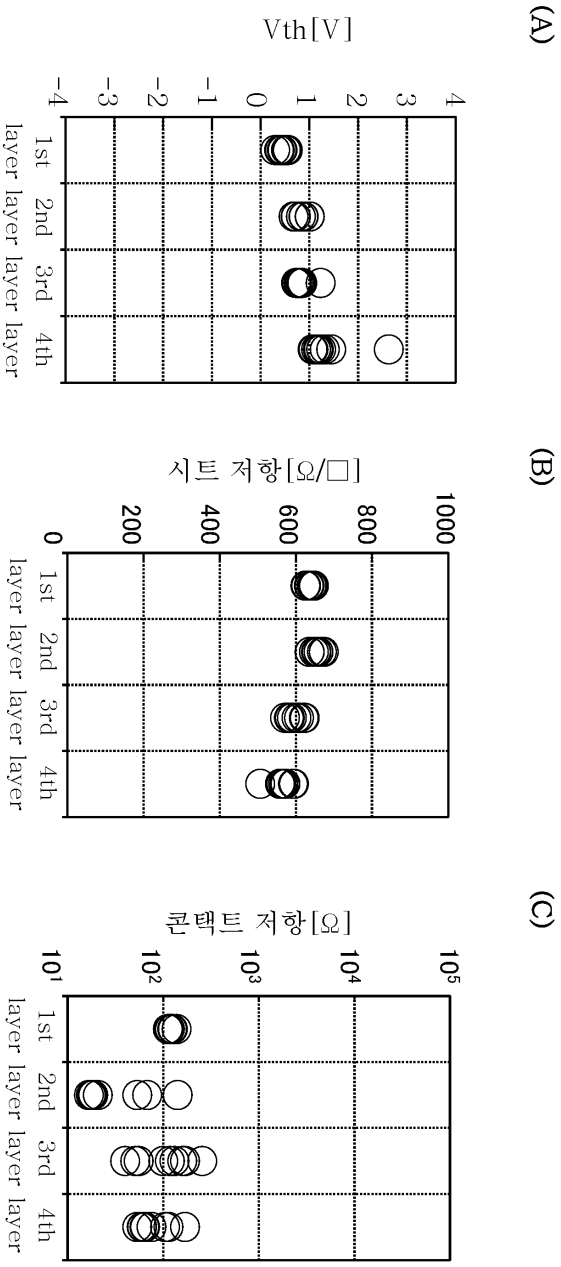
도면59


4
3
2
1
0
−1
−2
−3
−4
Vth[V]
0hr
1hr
2hr
3hr

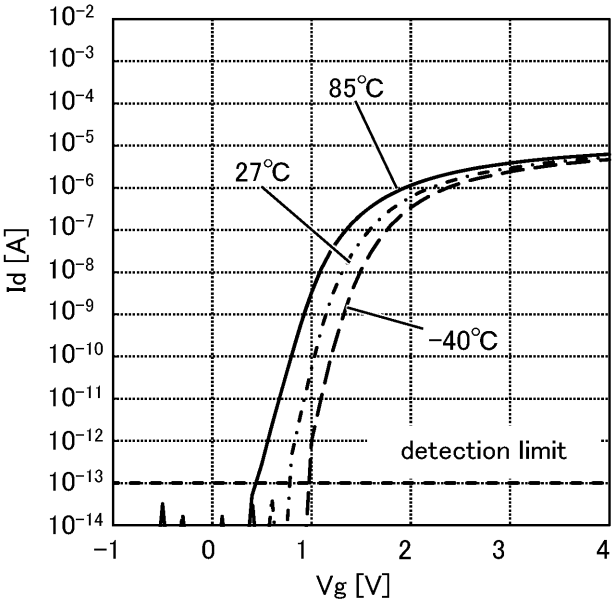
도면60


Id [A]
10−12
10−11
10−10
10−9
10−8
10−7
10−6
10−5
10−4
10−3
10−2
Vg [V]
1st layer
2nd layer
3rd layer
4th layer

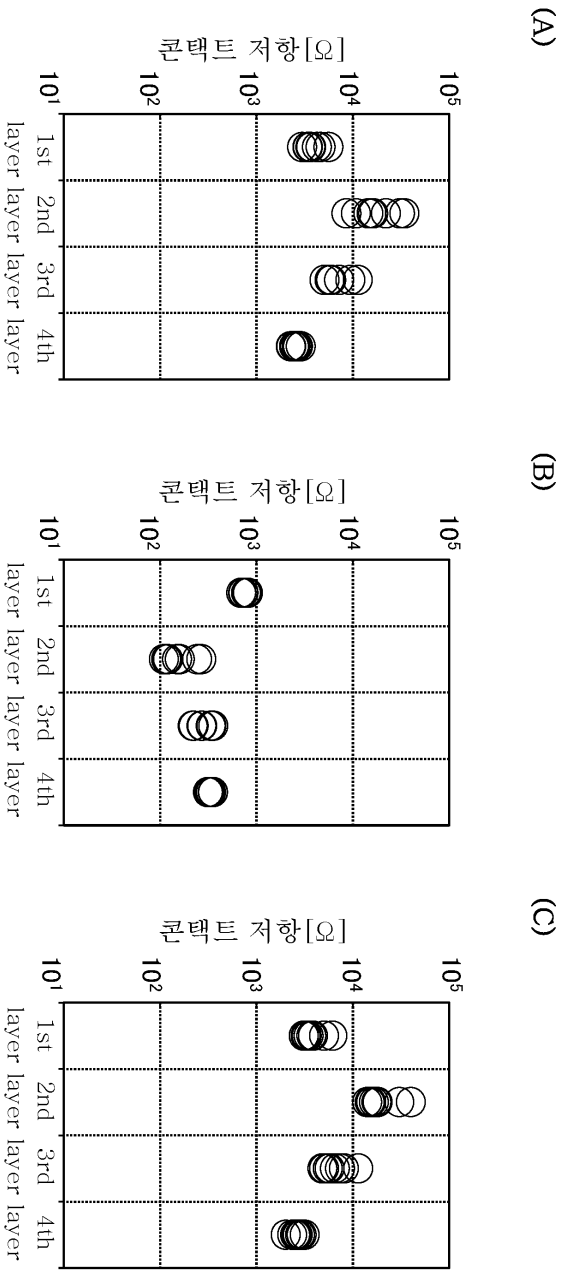
도면61


(A)
Vth[V]
-4
-3
-2
-1
0
1
2
3
4
1st layer
2nd layer
3rd layer
4th layer
(B)
시트 저항[Ω/□]
0
200
400
600
800
1000
1st layer
2nd layer
3rd layer
4th layer
(C)
콘택트 저항[Ω]
10¹
10²
10³
10⁴
10⁵
1st layer
2nd layer
3rd layer
4th layer

도면62

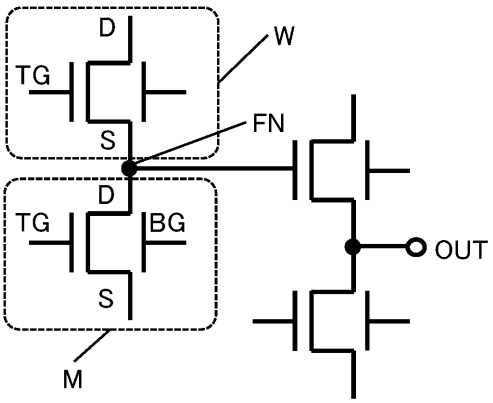

10^-2
10^-3
10^-4
10^-5
10^-6
10^-7
10^-8
10^-9
10^-10
10^-11
10^-12
10^-13
10^-14
Id [A]
85℃
27℃
-40℃
detection limit
-1
0
1
2
3
4
Vg [V]

도면63

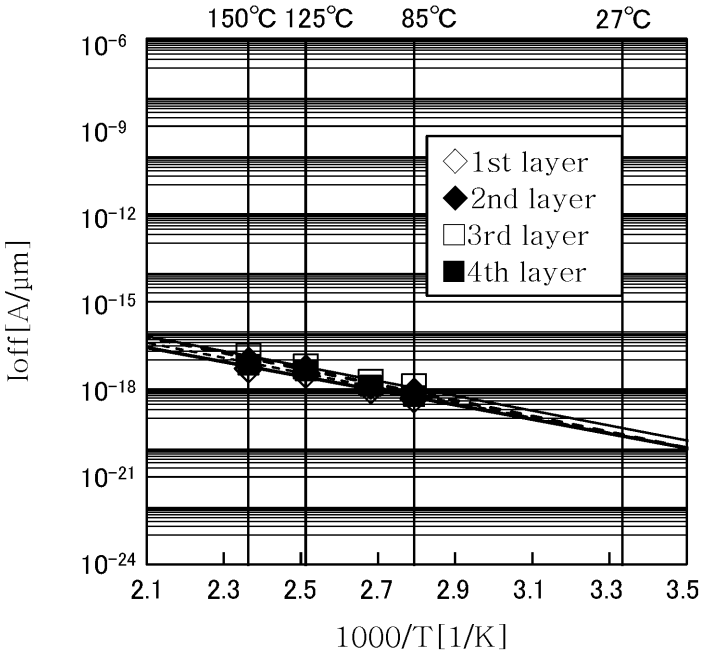

(A)
콘택트 저항[Ω]
10¹
10²
10³
10⁴
10⁵
1st layer
2nd layer
3rd layer
4th layer
(B)
콘택트 저항[Ω]
10¹
10²
10³
10⁴
10⁵
1st layer
2nd layer
3rd layer
4th layer
(C)
콘택트 저항[Ω]
10¹
10²
10³
10⁴
10⁵
1st layer
2nd layer
3rd layer
4th layer

도면64

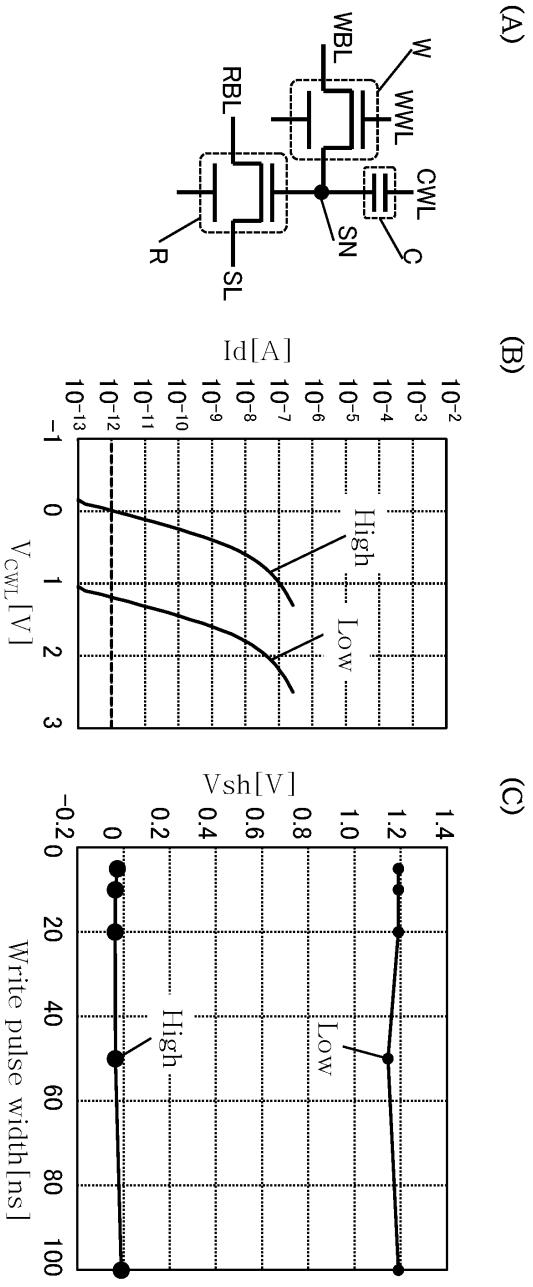
(A)


D
TG
S
W
FN
D
TG
BG
S
OUT
M

(B)

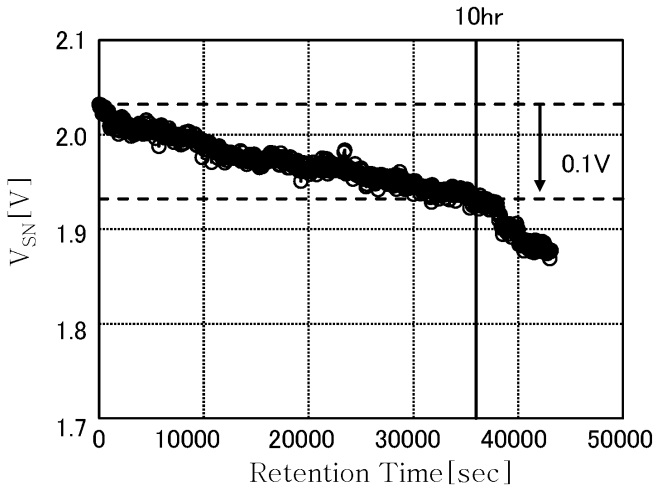

150℃ 125℃ 85℃ 27℃
10⁻⁶
10⁻⁹
10⁻¹²
10⁻¹⁵
10⁻¹⁸
10⁻²¹
10⁻²⁴
Ioff[A/μm]
◇1st layer
◆2nd layer
□3rd layer
■4th layer
2.1 2.3 2.5 2.7 2.9 3.1 3.3 3.5
1000/T[1/K]

도면65

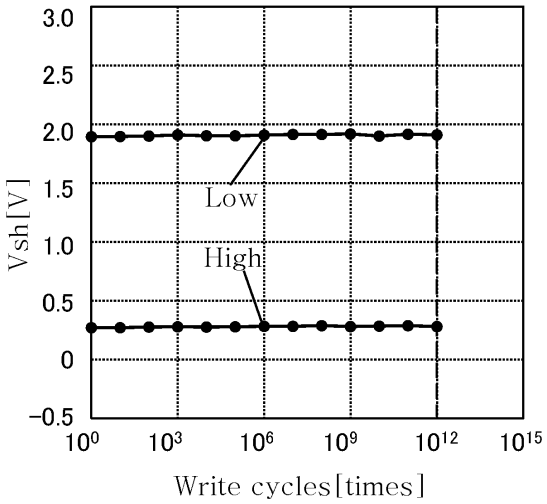

(A)
WBL
W
WWL
RBL
CWL
SN
C
R
SL
(B)
Id[A]
10^{-2}
10^{-3}
10^{-4}
10^{-5}
10^{-6}
10^{-7}
10^{-8}
10^{-9}
10^{-10}
10^{-11}
10^{-12}
10^{-13}
High
Low
V_{CWL}[V]
−1
0
1
2
3
(C)
Vsh[V]
1.4
1.2
1.0
0.8
0.6
0.4
0.2
0
−0.2
High
Low
Write pulse width[ns]
0
20
40
60
80
100

도면66

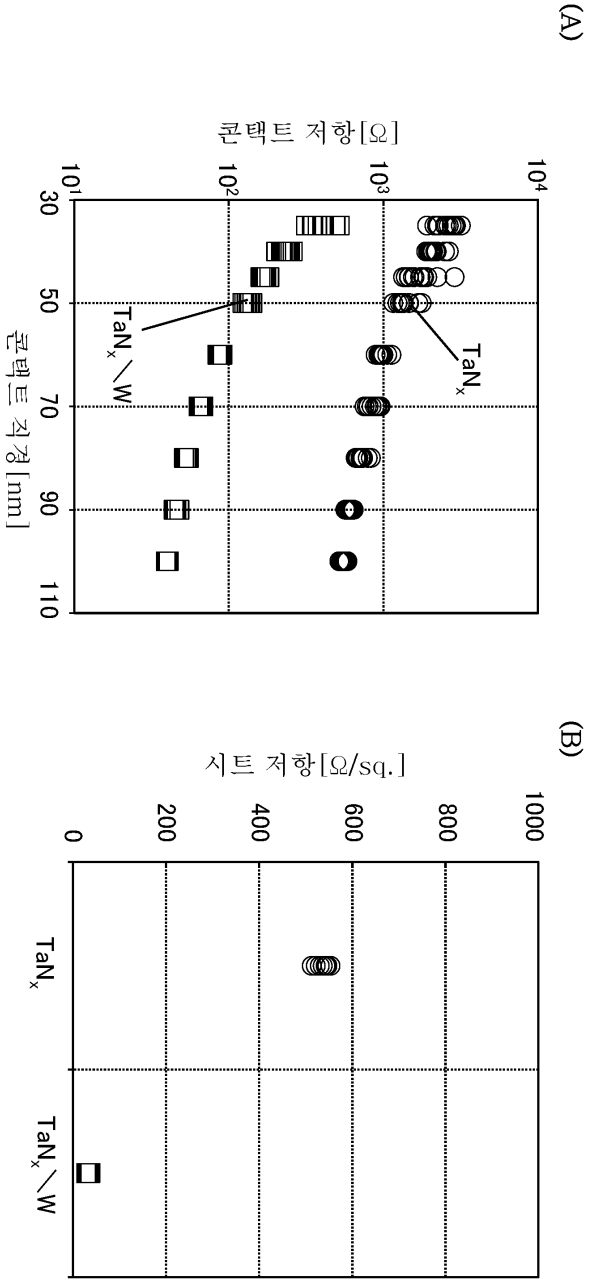
(A)


10hr
2.1
2.0
1.9
1.8
1.7
0.1V
V_{SN}[V]
0
10000
20000
30000
40000
50000
Retention Time[sec]

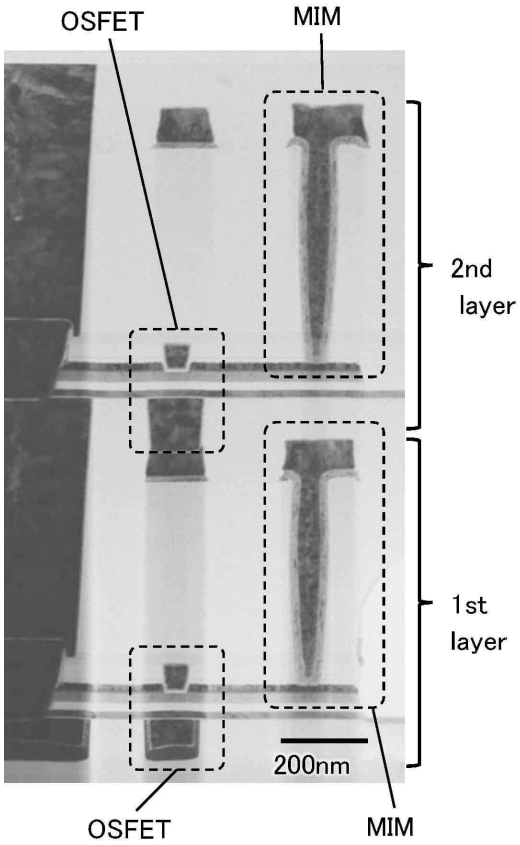
(B)


3.0
2.5
2.0
1.5
1.0
0.5
0
−0.5
Vsh[V]
Low
High
10^0
10^3
10^6
10^9
10^{12}
10^{15}
Write cycles[times]

도면67

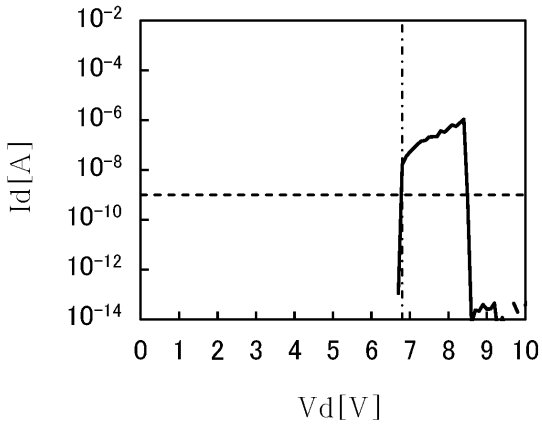

(A)
콘택트 저항[Ω]
10^1
10^2
10^3
10^4
콘택트 직경[nm]
30
50
70
90
110
TaN_x
TaN_x\W
(B)
시트 저항[Ω/sq.]
0
200
400
600
800
1000
TaN_x
TaN_x\W

도면68

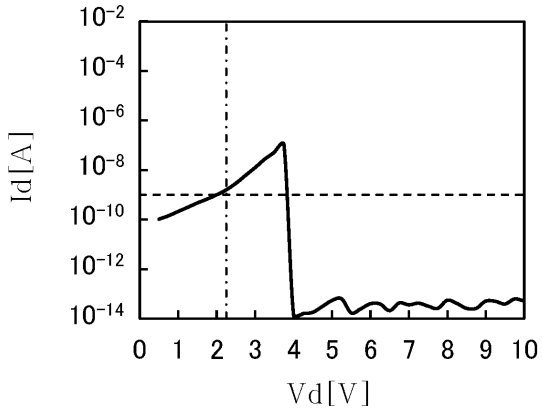


도면69

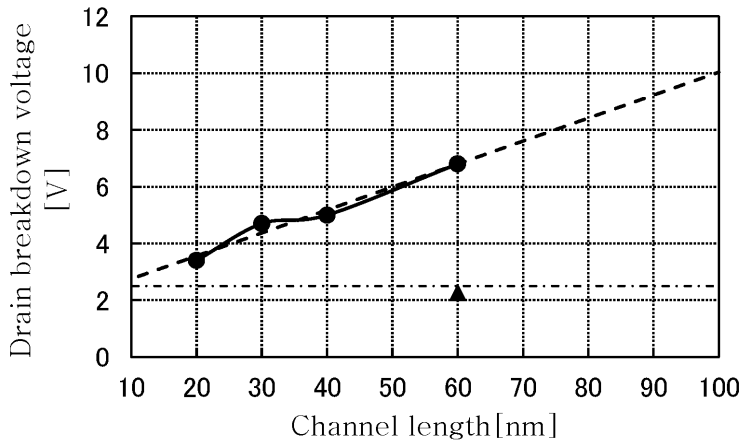
(A)


Id[A]
10-2
10-4
10-6
10-8
10-10
10-12
10-14
0 1 2 3 4 5 6 7 8 9 10
Vd[V]

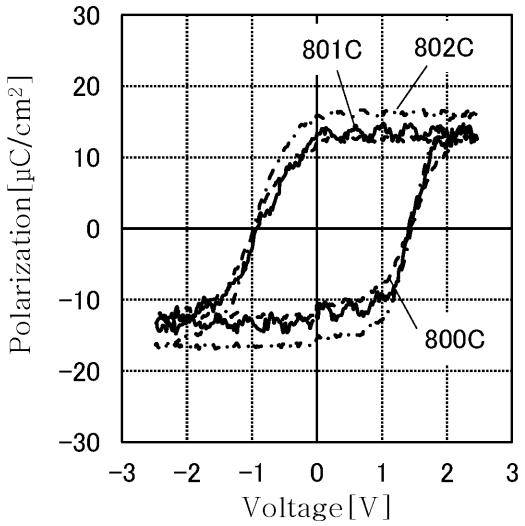
(B)


Id[A]
10-2
10-4
10-6
10-8
10-10
10-12
10-14
0 1 2 3 4 5 6 7 8 9 10
Vd[V]

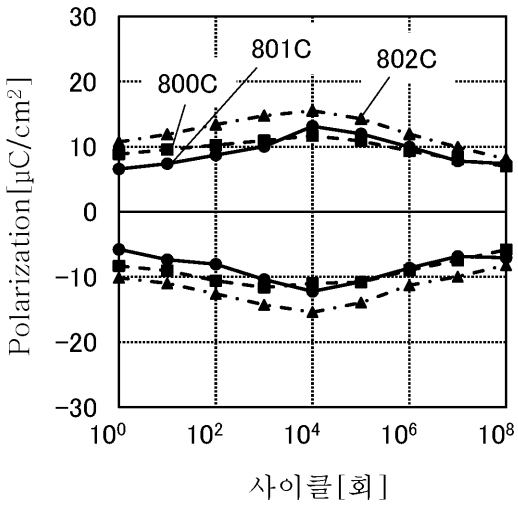
도면70


Drain breakdown voltage [V]
12
10
8
6
4
2
0
10 20 30 40 50 60 70 80 90 100
Channel length[nm]

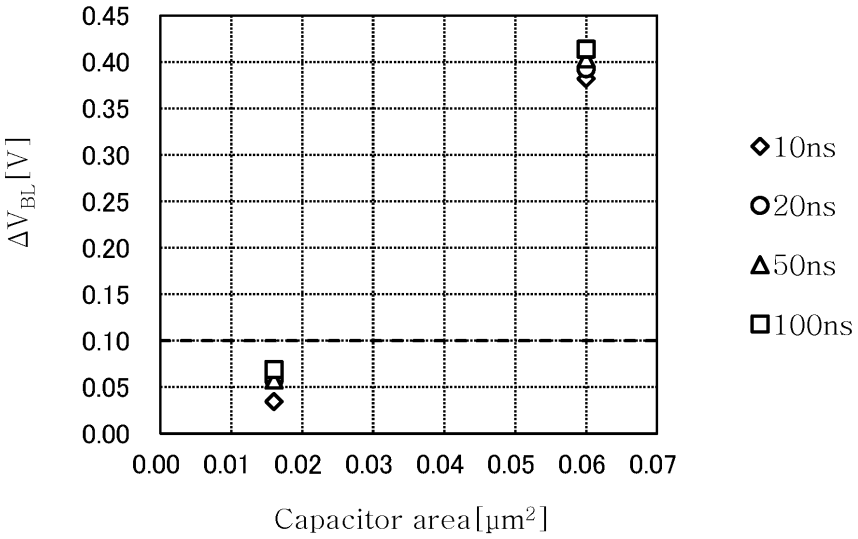
도면71


30
20
10
0
−10
−20
−30
−3
−2
−1
0
1
2
3
801C
802C
800C
Polarization[μC/cm²]
Voltage[V]

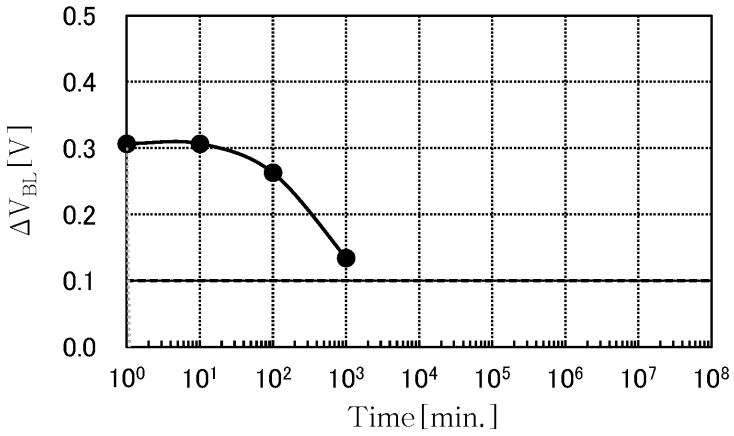
도면72


30
20
10
0
−10
−20
−30
10⁰
10²
10⁴
10⁶
10⁸
801C
802C
800C
Polarization[μC/cm²]
사이클[회]

도면73


0.45
0.40
0.35
0.30
0.25
0.20
0.15
0.10
0.05
0.00
ΔV_BL [V]
0.00 0.01 0.02 0.03 0.04 0.05 0.06 0.07
Capacitor area[μm²]
10ns
20ns
50ns
100ns

도면74


0.5
0.4
0.3
0.2
0.1
0.0
ΔV_BL [V]
10⁰ 10¹ 10² 10³ 10⁴ 10⁵ 10⁶ 10⁷ 10⁸
Time[min.]